

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5688266号
(P5688266)

(45) 発行日 平成27年3月25日 (2015. 3. 25)

(24) 登録日 平成27年1月30日 (2015.1.30)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 P

請求項の数 3 (全 10 頁)

<p>(21) 出願番号 特願2010-239169 (P2010-239169) (22) 出願日 平成22年10月26日 (2010.10.26) (65) 公開番号 特開2011-120458 (P2011-120458A) (43) 公開日 平成23年6月16日 (2011.6.16) 審査請求日 平成25年10月10日 (2013.10.10) (31) 優先権主張番号 特願2009-247700 (P2009-247700) (32) 優先日 平成21年10月28日 (2009.10.28) (33) 優先権主張国 日本国 (JP)</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 王丸 拓郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 伊藤 良明 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 今井 貞雄</p>
--	--

最終頁に続く

(54) 【発明の名称】 PWMリミッター回路及びDC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

第1の電位が入力される第1の端子と、
 前記第1の電位より低い第2の電位が入力される第2の端子と、
 第3の電位が入力される第3の端子と、
 前記第1の電位と前記第3の電位とを比較することができる機能を有する第1のコンパレータと、
 前記第2の電位と前記第3の電位とを比較することができる機能を有する第2のコンパレータと、
 前記第3の電位が前記第1の電位よりも高い場合にオンとなることができる機能を有する第1のスイッチと、
 前記第3の電位が前記第2の電位よりも低い場合にオンとなることができる機能を有する第2のスイッチと、
 前記第3の電位が前記第1の電位よりも低く、且つ前記第2の電位よりも高い場合にオンとなることができる機能を有する第3のスイッチと、
 出力端子と、
 第1の回路と、
 を有し、
 前記第1のコンパレータの出力及び前記第2のコンパレータの出力は、前記第1の回路と電氣的に接続され、

10

20

前記第 1 のスイッチは、前記第 1 の端子と電氣的に接続され、
 前記第 2 のスイッチは、前記第 2 の端子と電氣的に接続され、
 前記第 3 のスイッチは、前記第 3 の端子と電氣的に接続され、
 前記出力端子は、前記第 1 のスイッチ、前記第 2 のスイッチ、及び前記第 3 のスイッチ
 と電氣的に接続され、

前記第 1 のスイッチは、第 1 のトランジスタと、第 2 のトランジスタと、を有し、
 前記第 2 のトランジスタのソースは、前記第 2 のトランジスタのドレインと短絡されて
 おり、

前記第 2 のスイッチは、第 3 のトランジスタと、第 4 のトランジスタと、を有し、
 前記第 4 のトランジスタのソースは、前記第 4 のトランジスタのドレインと短絡されて
 おり、

前記第 3 のスイッチは、トランスミッションゲートを有し、
 前記トランスミッションゲートは、第 5 のトランジスタと、第 6 のトランジスタと、を
 有し、

前記第 1 乃至第 6 のトランジスタのゲートは、前記第 1 の回路と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の端子と電氣的に
 接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 2 の端子と電氣的に
 接続され、

前記第 5 のトランジスタのソースまたはドレインの一方、及び前記第 6 のトランジスタ
 のソースまたはドレインの一方は、前記第 3 の端子と電氣的に接続されていることを特徴
 とする P W M リミッター回路。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、P 型トランジスタであり、
 前記第 3 のトランジスタおよび前記第 4 のトランジスタは、N 型トランジスタであるこ
 とを特徴とする P W M リミッター回路。

【請求項 3】

請求項 1 又は 2 に記載の P W M リミッター回路を有することを特徴とする D C - D C コ
 ンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、電源回路等（例えば、スイッチングレギュレータ）に適用できる P W M リ
 ミッター回路に関する。

【背景技術】

【0002】

電源回路に用いられる P W M 制御は、P W M 信号のデューティ比を変化させることによ
 り、入力電圧を昇圧または降圧させるものである。

【0003】

図 5 は、P W M 制御回路の構成例である。この P W M 制御回路は、誤差増幅器 50、参
 照電圧発生回路 60、P W M リミッター回路 70、三角波を生成する発振器 80 および P
 W M コンバータ 90 から構成されている。

【0004】

誤差増幅器 50 は、帰還電圧 V_{fb} と、基準電圧との差を増幅し、電圧 V_{err} を出力
 する回路である。

【0005】

参照電圧発生回路 60 は、基準電圧および参照電圧 V_{ref} を生成する回路である。

【0006】

P W M リミッター回路 70 は、誤差増幅器 50 の出力電圧 V_{err} と、参照電圧 V_{re}

10

20

30

40

50

f とを比較して、その出力電圧 V_{ers} を制御する回路である。

【0007】

発振器 80 は、PWM 信号の生成に必要な信号である三角波 V_{osc} を発生させる回路である。

【0008】

PWM コンパレータ 90 は、PWM リミッター回路 70 の出力電圧 V_{ers} と、発振器 80 が生成した三角波 V_{osc} から、PWM 信号を出力する回路である。

【0009】

PWM 制御において、PWM 信号のデューティ比がある一定値 (80%) よりも高くなると、高調波ノイズの発生という問題が生ずるおそれがある。また、過剰な電流が流れることにより素子が故障するという問題が生ずるおそれがある。

10

【0010】

したがって、上記の問題を発生させずに PWM 制御を行うためには、PWM 信号のデューティ比がある一定値よりも高くなることを防ぐリミッター制御を行うことが必要となる。

【0011】

特許文献 1 では、リミッター制御の方法として、誤差増幅器の出力電圧が最大デューティ比電圧を超える場合、最大デューティ比電圧をコンパレータに入力することで、PWM 信号のデューティ比を制御する方法が提案されている。

【先行技術文献】

20

【特許文献】

【0012】

【特許文献 1】特開平 10 - 127047 号 公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

PWM 信号のデューティ比がある一定値よりも高くなることを防ぐためにリミッター制御をしても、PWM 制御の開始直後には、PWM 信号のデューティ比がゼロになり、コイルに流れる電流のリングングによるノイズの発生や、定電圧制御回路の不安定動作などを引き起こすという課題があった。

30

【0014】

太陽電池など入力電圧の変動が大きい機器を電源として使用して PWM 制御する場合も同様に、PWM 信号のデューティ比がゼロになるという課題があった。

【課題を解決するための手段】

【0015】

PWM リミッター回路の構成を、PWM 信号のデューティ比がある一定値より高くなることを防止し、かつ、ある一定値より低くなることを防止することが可能な構成にする。

【0016】

本発明の一態様は、最大デューティ比基準電圧が入力される第 1 の端子と、最小デューティ比基準電圧が入力される第 2 の端子と、第 3 の端子に入力された電圧と最大デューティ比基準電圧とを比較するコンパレータおよび第 3 の端子に入力された電圧と最小デューティ比基準電圧とを比較するコンパレータと、第 3 の端子に入力された電圧が最大デューティ比基準電圧より大きい場合にオンになる第 1 のスイッチと、第 3 の端子に入力された電圧が最小デューティ比基準電圧より小さい場合にオンになる第 2 のスイッチと、第 3 の端子に入力された電圧が最小デューティ比基準電圧より大きく、かつ、最大デューティ比基準電圧より小さい場合にオンになる第 3 のスイッチと、第 1 のスイッチ、第 2 のスイッチおよび第 3 のスイッチと電気的に接続された出力端子と、を有することを特徴とする PWM リミッター回路である。

40

【発明の効果】

【0017】

50

PWM信号のデューティ比が常に存在する状態に保つよう制御することで、ノイズの発生を低減し、また不安定動作を防止できる。

【図面の簡単な説明】

【0018】

【図1】PWMリミッター回路の回路図

【図2】PWMリミッター回路の回路図

【図3】誤差増幅器の出力電圧 V_{err} が、最小デューティ比基準電圧 V_{refL} より小さい場合を含む場合におけるPWM信号生成を示すグラフ

【図4】誤差増幅器の出力電圧 V_{err} が、最大デューティ比基準電圧 V_{refH} より大きい場合を含む場合におけるPWM信号生成を示すグラフ

【図5】PWM制御回路の構成例を示す回路図

【図6】PWM制御回路を用いたDC-DCコンバータの構成例を示す回路図

【発明を実施するための形態】

【0019】

以下、開示される発明の実施の形態について、図面を用いて説明する。ただし、発明は以下の説明に限定されず、その発明の趣旨およびその範囲から逸脱することなく、その態様および詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

(実施の形態1)

図1は、本実施の形態におけるPWMリミッター回路の回路図である。このPWMリミッター回路は、コンパレータ回路20、コントローラ回路30およびスイッチ回路40で構成されている。

【0021】

入力端子10には、誤差増幅器からの出力電圧 V_{err} が入力される。

【0022】

入力端子11には、最大デューティ比基準電圧 V_{refH} が入力される。

【0023】

入力端子12には、最小デューティ比基準電圧 V_{refL} が入力される。

【0024】

最大デューティ比基準電圧 V_{refH} および最小デューティ比基準電圧 V_{refL} を出力するための回路は、オペアンプで構成されていてもよい。

【0025】

コンパレータ回路20は、誤差増幅器からの出力電圧 V_{err} と、最大デューティ比基準電圧 V_{refH} および最小デューティ比基準電圧 V_{refL} をそれぞれ比較するための回路である。

【0026】

コンパレータ回路20は、コンパレータ21および22で構成されている。

【0027】

コンパレータ21の非反転入力端子には、誤差増幅器からの出力電圧 V_{err} が入力される。コンパレータ21の反転入力端子には、最大デューティ比基準電圧 V_{refH} が入力される。

【0028】

コンパレータ22の非反転入力端子には、最小デューティ比基準電圧 V_{refL} が入力される。コンパレータ22の反転入力端子には、誤差増幅器からの出力電圧 V_{err} が入力される。

【0029】

コントローラ回路30は、コンパレータ回路20の出力信号をスイッチ回路40で制御するための信号を生成する回路である。

【0030】

10

20

30

40

50

コントローラ回路30は、NOTゲート31および32ならびにNORゲート33, 34および35で構成されている。

【0031】

スイッチ回路40は、スイッチ41, 42および43で構成されている。ここでは、スイッチ41, 42および43は、NMOSトランジスタを用いたMOSスイッチで構成されている。

【0032】

ここで、スイッチ回路40を構成するトランジスタは、チャンネル層にシリコンを用いた薄膜トランジスタである。なお、スイッチ回路40を構成するトランジスタの構造は、シングルゲート構造に限らず、ダブルゲート構造などのマルチゲート構造であってもよい。

【0033】

また、スイッチ回路40を構成するトランジスタのチャンネル層は、シリコンに限られず、酸化物半導体などを用いてもよい。

【0034】

なお、スイッチ41, 42および43は、コントローラ回路30からの信号によってオン、オフが切り替わるものであれば、この構成に限られない。

【0035】

出力端子13には、PWMリミッター回路の出力電圧 V_{ers} が出力される。

【0036】

続いて、このPWMリミッター回路による、PWM信号の制御方法について説明する。

【0037】

PWM信号のデューティ比の制御は、PWMコンパレータにおいて、誤差増幅器の出力電圧 V_{err} と、三角波 V_{osc} とを比較して、その差分を増幅することにより行う。

【0038】

PWMコンパレータは、誤差増幅器の出力電圧 v_{err} と三角波 V_{osc} を比較し、三角波 V_{osc} の信号レベルが誤差増幅器の出力電圧 V_{err} より大きい場合は、H(ハイレベル)をPWM信号として出力する。一方、三角波 V_{osc} の信号レベルが誤差増幅器の出力電圧 V_{err} より小さい場合は、L(ローレベル)をPWM信号として出力する。

【0039】

三角波 V_{osc} より誤差増幅器の出力電圧 V_{err} が小さい場合は、PWM信号はデューティ比を有しない。同様に、三角波 V_{osc} より誤差増幅器の出力電圧 V_{err} が大きい場合も、PWM信号はデューティ比を有しない。

【0040】

まず、誤差増幅器の出力電圧 V_{err} が、最小デューティ比基準電圧 V_{refL} より小さい場合を考える。

【0041】

この場合、スイッチ43がオンとなり、PWMリミッター回路の出力電圧 V_{ers} として、最小デューティ比基準電圧 V_{refL} が出力される。

【0042】

図3は、誤差増幅器の出力電圧 V_{err} が、最小デューティ比基準電圧 V_{refL} より小さい場合を含む場合におけるPWM信号生成を示すグラフである。

【0043】

図3(A)において、縦軸は電圧[V]、横軸は時間[s]を示す。また、線100は三角波 V_{osc} 、線110は誤差増幅器の出力電圧 V_{err} 、線120は最小デューティ比基準電圧 V_{refL} を示す。

【0044】

図3(B)において、縦軸は電圧[V]、横軸は時間[s]を示す。また、線130は、図3(A)に表される三角波と誤差増幅器の出力電圧又は最小デューティ比基準電圧から生成されるPWM信号を示す。

【0045】

10

20

30

40

50

図3(A)の領域125において、誤差増幅器の出力電圧 V_{err} は、最小デューティ比基準電圧 V_{refL} より小さい。したがって、PWMリミッター回路の出力電圧 V_{ers} として、最小デューティ比基準電圧 V_{refL} が出力される。

【0046】

次に、誤差増幅器の出力電圧 V_{err} が、最大デューティ比基準電圧 V_{refH} より大きい場合を考える。

【0047】

この場合、スイッチ41がオンとなり、PWMリミッター回路の出力電圧 V_{ers} として、最大デューティ比基準電圧 V_{refH} が出力される。

【0048】

図4は、誤差増幅器の出力電圧 V_{err} が、最大デューティ比基準電圧 V_{refH} より大きい場合を含む場合におけるPWM信号生成を示すグラフである。

【0049】

図4(A)において、縦軸は電圧[V]、横軸は時間[s]を示す。また、線100は三角波 V_{osc} 、線110は誤差増幅器の出力電圧 V_{err} 、線140は最大デューティ比基準電圧 V_{refH} を示す。

【0050】

図4(B)において、縦軸は電圧[V]、横軸は時間[s]を示す。また、線130は、図4(A)に表される三角波と誤差増幅器の出力電圧又は最大デューティ比基準電圧から生成されるPWM信号を示す。

【0051】

図4(A)の領域145において、誤差増幅器の出力電圧 V_{err} は、最大デューティ比基準電圧 V_{refH} より大きい。したがって、PWMリミッター回路の出力電圧 V_{ers} として、最大デューティ比基準電圧 V_{refH} が出力される。

【0052】

最後に、誤差増幅器の出力電圧 V_{err} が、最小デューティ比基準電圧 V_{refL} より大きく、かつ、最大デューティ比基準電圧 V_{refH} より小さい場合を考える。

【0053】

この場合、スイッチ42がオンとなり、PWMリミッター回路の出力電圧 V_{ers} として、誤差増幅器の出力電圧 V_{err} が出力される。

【0054】

以上の制御により、PWMリミッター回路の出力電圧 V_{ers} は、常に三角波 V_{osc} の振幅の中に存在することとなり、PWM信号は常にデューティ比を有する信号となる。

【0055】

(実施の形態2)

図2は、本実施の形態におけるPWMリミッター回路の回路図である。このPWMリミッター回路は、図1と比較してスイッチ回路40およびコントローラ回路30の構成が異なる。

【0056】

スイッチ44は、PMOSトランジスタQ1を用いたMOSスイッチで構成されている。ソースとドレインを短絡させたPMOSトランジスタQ2は、PMOSトランジスタQ1がオフするとき、ゲートからのフィードスルー電荷を補償するためのダミースイッチとして付けている。

【0057】

MOSスイッチであるPMOSトランジスタQ1と、ダミースイッチであるPMOSトランジスタQ2とは、逆位相のパルスで駆動するため、コントローラ回路30にはNOTゲート36が設けられている。

【0058】

スイッチ45は、PMOSトランジスタQ3とNMOSトランジスタQ4を用いたMOSスイッチ(トランスミッションゲート)で構成されている。スイッチ45の駆動のため

10

20

30

40

50

、コントローラ回路 30 には NOT ゲート 37 が設けられている。

【0059】

スイッチ 46 は、NMOS トランジスタ Q5 を用いた MOS スイッチに、NMOS トランジスタ Q6 をダミースイッチとして付けたもので構成されている。スイッチ 46 の駆動のため、コントローラ回路 30 には NOT ゲート 38 が設けられている。

【0060】

MOS スイッチとして用いるトランジスタの極性はこれに限られないが、最大デューティ比基準電圧 V_{refH} が入力される入力端子 11 に、PMOS トランジスタ Q1 を用いた MOS スイッチであるスイッチ 44 を接続することには利点がある。その利点とは、PMOS トランジスタ Q1 のゲート - ソース電圧 (V_{gs}) が高くなり、その結果、ソース - ドレイン抵抗 (R_{ds}) が低くなることである。

10

【0061】

最小デューティ比基準電圧 V_{refL} が入力される入力端子 12 に、NMOS トランジスタ Q5 を用いた MOS スイッチであるスイッチ 46 を接続することでも、同様の効果を得ることができる。

【0062】

なお、図 2 に示す PWM リミッター回路による PWM 信号の制御方法は、図 1 に示す PWM リミッター回路と同様である。

【0063】

(実施の形態 3)

図 6 は、実施の形態 1 及び 2 で示された PWM リミッター回路を含む PWM 制御回路を用いた DC - DC コンバータの回路図である。

20

【0064】

本実施の形態で説明される DC - DC コンバータ 200 は、パワートランジスタ 210、コイル 220、ダイオード 230、コンデンサ 240、抵抗 250、抵抗 260 および PWM 制御回路 270 で構成される。DC - DC コンバータ 200 は、出力電圧から分圧された電圧を PWM 制御回路 270 でモニタリングし、出力電圧を所望の値にする。

【0065】

PWM 制御回路 270 はパワートランジスタ 210 を駆動させる PWM 信号を制御する。PWM 制御回路 270 の構成は、図 5 に示された回路と同様である。PWM 制御回路 270 に含まれる PWM リミッター回路は、PWM 信号のデューティ比の上限、下限を制御する。本実施の形態の PWM リミッター回路の構成は図 1、図 2 と同様である。また、これらの PWM リミッター回路による PWM 信号制御方法については、実施の形態 1 および実施の形態 2 と同様であるため説明を省略する。

30

【符号の説明】

【0066】

- 10, 11, 12 入力端子
- 13 出力端子
- 20 コンパレータ回路
- 21, 22 コンパレータ
- 30 コントローラ回路
- 31, 32, 36, 37, 38 NOT ゲート
- 33, 34, 35 NOR ゲート
- 40 スイッチ回路
- 41, 42, 43, 44, 45, 46 スイッチ
- 50 誤差増幅器
- 60 参照電圧発生回路
- 70 PWM リミッター回路
- 80 発振器
- 90 PWM コンパレータ

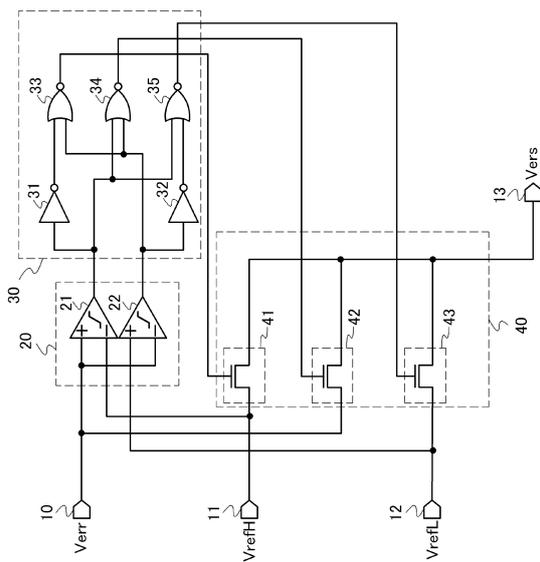
40

50

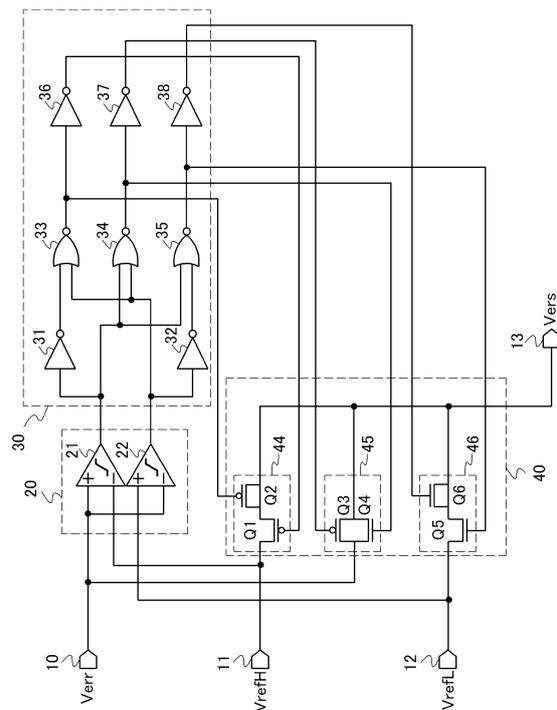
- 1 0 0 三角波 V_{osc}
- 1 1 0 誤差増幅器の出力電圧 V_{err} を示す線
- 1 2 0 最小デューティ比基準電圧 V_{refL} を示す線
- 1 2 5 領域
- 1 3 0 PWM信号を示す線
- 1 4 0 最大デューティ比基準電圧 V_{refH} を示す線
- 1 4 5 領域
- Q 1 , Q 2 , Q 3 P型トランジスタ
- Q 4 , Q 5 , Q 6 N型トランジスタ
- 2 0 0 DC - DCコンバータ
- 2 1 0 パワートランジスタ
- 2 2 0 コイル
- 2 3 0 ダイオード
- 2 4 0 コンデンサ
- 2 5 0 抵抗
- 2 6 0 抵抗
- 2 7 0 PWM制御信号

10

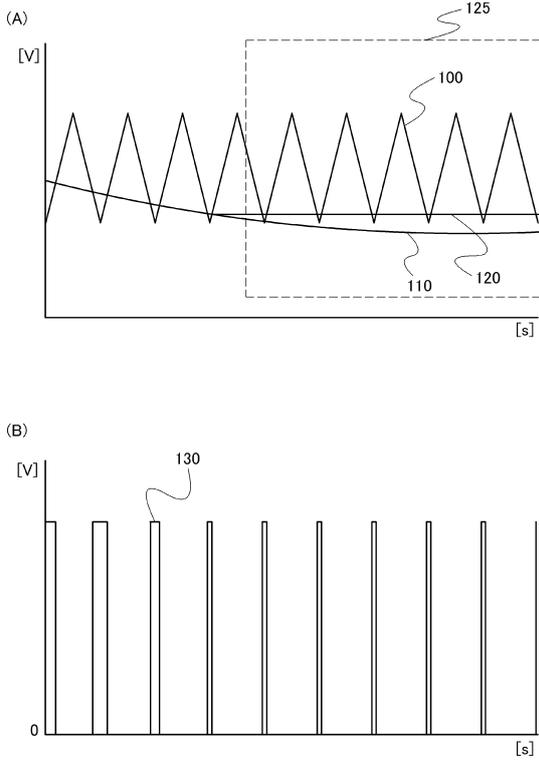
【図1】



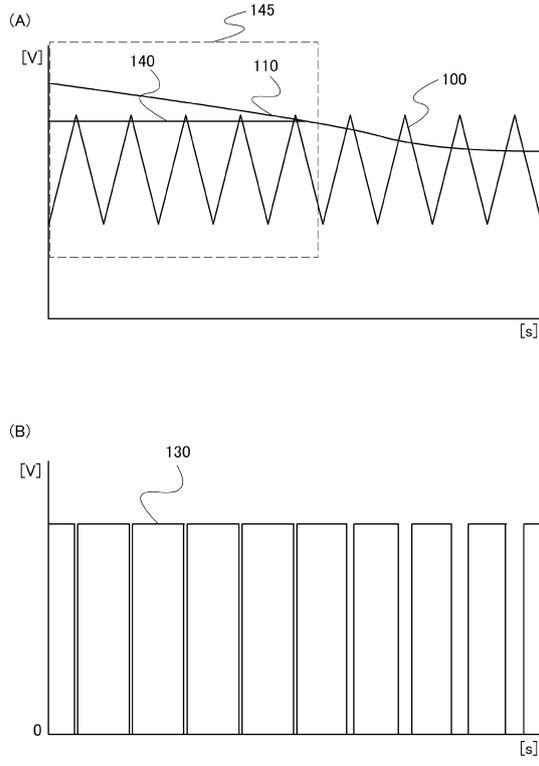
【図2】



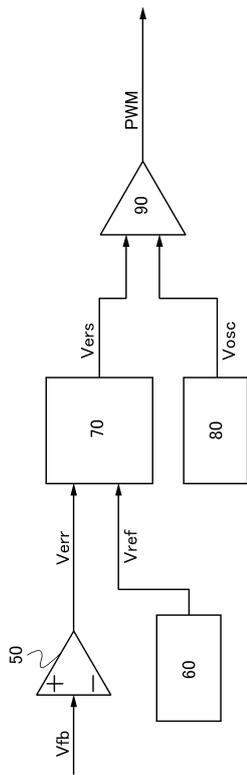
【 図 3 】



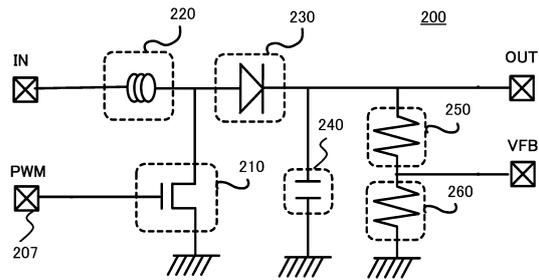
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(56)参考文献 特開2002-369505(JP,A)
特開平08-044465(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155