

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5200530号
(P5200530)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int. Cl.	F I				
H03K 5/19 (2006.01)	H03K	5/19		B	
H03K 5/1532 (2006.01)	H03K	5/00		E	
G01R 31/28 (2006.01)	G01R	31/28		V	
H01L 21/822 (2006.01)	H01L	27/04		T	
H01L 27/04 (2006.01)					

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2007-337737 (P2007-337737)
 (22) 出願日 平成19年12月27日(2007.12.27)
 (65) 公開番号 特開2009-159503 (P2009-159503A)
 (43) 公開日 平成21年7月16日(2009.7.16)
 審査請求日 平成22年11月5日(2010.11.5)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 梶田 幹浩
 東京都港区芝五丁目7番1号 日本電気株式会社内
 審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 モニタ回路及び電力低減システム

(57) 【特許請求の範囲】

【請求項1】

入力信号を取り込む第1のフリップフロップ回路と、前記第1のフリップフロップ回路の出力信号を受ける第1の論理回路と、前記第1の論理回路の出力信号を取り込む第2のフリップフロップ回路とを含む第1の論理パスと、

前記入力信号を取り込む第3のフリップフロップ回路と、前記第3のフリップフロップ回路の出力信号を受ける前記第1の論理回路と同一の構成をとる第2の論理回路と、前記第2の論理回路の出力信号を取り込む第4のフリップフロップ回路とを含む第2の論理パスと、

前記第1の論理パスおよび前記第2の論理パスをそれぞれ経過した前記入力信号の論理値の一致および不一致を検出する一致・不一致検出回路とを含み、

前記第1の論理パスは第1のクロック信号に同期して動作し、前記第2の論理パスはエッジ位置の間隔が可変される第2のクロック信号に同期して動作する

ことを特徴とするモニタ回路。

【請求項2】

前記第2のクロック信号における立ち上がりエッジのうち、

前記第3のフリップフロップ回路に対するエッジ位置を前記第1のクロック信号における立ち上がりエッジ位置よりも遅くし、

前記第4のフリップフロップ回路に対するエッジ位置を前記第1のクロック信号における立ち上がりエッジ位置よりも早くするように調整する

10

20

ことを特徴とする請求項 1 記載のモニタ回路。

【請求項 3】

第 1 のクロック信号に同期して入力信号を取り込む第 1 のフリップフロップ回路と、
エッジ位置の間隔が可変される第 2 のクロック信号に同期して前記第 1 のフリップフロップ回路の出力信号を取り込む第 2 のフリップフロップ回路と、
 前記第 2 のフリップフロップ回路の出力信号を受ける論理回路と、
 前記第 2 のクロック信号に同期して前記論理回路の出力信号を取り込む第 3 のフリップフロップ回路と、
前記第 1 のフリップフロップ回路の出力信号と前記第 3 のフリップフロップ回路の出力信号との一致および不一致を検出する一致・不一致検出回路と、を含む

10

ことを特徴とするモニタ回路。

【請求項 4】

前記第 2 のクロック信号における立ち上がりエッジのうち、
 前記第 2 のフリップフロップ回路に対するエッジ位置を前記第 1 のクロック信号における立ち上がりエッジ位置よりも遅くし、
 前記第 3 のフリップフロップ回路に対するエッジ位置を前記第 1 のクロック信号における立ち上がりエッジ位置よりも早くするように調整する
 ことを特徴とする請求項 3 記載のモニタ回路。

【請求項 5】

モニタ回路を含む論理ユニットと、電源電圧制御回路と、を含む電力低減システムであって、

20

前記モニタ回路は、

入力信号を取り込む第 1 のフリップフロップ回路と、前記第 1 のフリップフロップ回路の出力信号を受ける第 1 の論理回路と、前記第 1 の論理回路の出力信号を取り込む第 2 のフリップフロップ回路とを含む第 1 の論理パスと、

前記入力信号を取り込む第 3 のフリップフロップ回路と、前記第 3 のフリップフロップ回路の出力信号を受ける前記第 1 の論理回路と同一の構成をとる第 2 の論理回路と、前記第 2 の論理回路の出力信号を取り込む第 4 のフリップフロップ回路とを含む第 2 の論理パスと、

前記第 1 の論理パスおよび前記第 2 の論理パスをそれぞれ経過した前記入力信号の論理値の一致および不一致を検出する一致・不一致検出回路とを含み、

30

前記第 1 の論理パスは第 1 のクロック信号に同期して動作し、前記第 2 の論理パスはエッジ位置の間隔が可変される第 2 のクロック信号に同期して動作し、

前記電源電圧制御回路は、

前記一致・不一致検出回路の出力結果と前記第 2 のクロック信号のエッジ位置の間隔との関係に応じて前記論理ユニットに印加する電源電圧の調整を行う

ことを特徴とする電力低減システム。

【請求項 6】

前記第 2 のクロック信号における立ち上がりエッジのうち、
 前記第 3 のフリップフロップ回路に対するエッジ位置を前記第 1 のクロック信号における立ち上がりエッジ位置よりも遅くし、
 前記第 4 のフリップフロップ回路に対するエッジ位置を前記第 1 のクロック信号における立ち上がりエッジ位置よりも早くするように調整する
 ことを特徴とする請求項 5 記載の電力低減システム。

40

【請求項 7】

モニタ回路を含む論理ユニットと、電源電圧制御回路と、を含む電力低減システムであって、

前記モニタ回路は、

第 1 のクロック信号に同期して入力信号を取り込む第 1 のフリップフロップ回路と、エッジ位置の間隔が可変される第 2 のクロック信号に同期して前記第 1 のフリップフロ

50

ップ回路の出力信号を取り込む第2のフリップフロップ回路と、
前記第2のフリップフロップ回路の出力信号を受ける論理回路と、
前記第2のクロック信号に同期して前記論理回路の出力信号を取り込む第3のフリップ
フロップ回路と、
前記第1のフリップフロップ回路の出力信号と前記第3のフリップフロップ回路の出力
信号との一致および不一致を検出する一致・不一致検出回路と、を含み、
前記電源電圧制御回路は、
前記一致・不一致検出回路の出力結果と前記第2のクロック信号のエッジ位置の間隔と
の関係に応じて前記論理ユニットに印加する電源電圧の調整を行う
ことを特徴とする電力低減システム。

10

【請求項8】

前記第2のクロック信号における立ち上がりエッジのうち、
前記第2のフリップフロップ回路に対するエッジ位置を前記第1のクロック信号におけ
る立ち上がりエッジ位置よりも遅くし、
前記第3のフリップフロップ回路に対するエッジ位置を前記第1のクロック信号におけ
る立ち上がりエッジ位置よりも早くするように調整する
ことを特徴とする請求項7記載の電力低減システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、モニタ回路及び電力低減システムに関する。

20

【背景技術】

【0002】

昨今、プロセッサに対する消費電力低減要求はますます強くなってきている。消費電力の増加はLSI温度増加を招き、寿命など信頼性に悪影響を及ぼす。また、消費電力増加は、顧客の所有する電源設備の限界に近づくなど、大きな問題となるリスクがある。

【0003】

プロセッサのみで単純に電力低減を行う手法として、クロックゲーティングやデータゲーティングなどが知られている。クロックゲーティングやデータゲーティングは、動作が不要な論理回路を停止若しくは遅くするものである。しかし現実には、更なる性能向上のためのCLK周波数の増加や、プロセッサコア数のマルチコア化に伴って、このような手法だけでは電力増加を抑制しきれないのが現状である。

30

【0004】

そこで近年では、非特許文献1などに開示されるDVFS(Dynamic Voltage Frequency Scaling)が提案されている。DVFSでは、電源ドロップや温度変化をモニタして電源電圧や周波数を調整することで、モニタ量が信頼性や電力限界に影響を与える量とならないように、ダイナミックかつフレキシブルに動作を変えていく。これにより、DVFSでは、電力がクリティカルな値を超えないように調整する(図8に回路図の一例を示す。)また、非特許文献2では、性能モニタを搭載し、性能に応じてシステム制御を行う手法が提案されている。この性能モニタでは、一定の遅延を作っておき、FF(Flip Flop)間においてデータを正確にとれるか否かをモニタする構成となっている(図9に回路図の一例を示す)。この他にも、一般的に用いられるモニタとしては、例えば特許文献1に示すようなリングオシレータの回路が知られている(図10に回路図の一例を示す)。

40

【非特許文献1】James Tschanz, Nam Sung Kim, Saurabh Digne, et. al., "Adaptive Frequency and Biasing Techniques for Tolerance to Dynamic Temperature and Aging," ISSCC Dig. Tech. Papers, Feb., 2007.

【非特許文献2】Alan Drake, Robert Stranger, Harm

50

ander Deogun, et. al., "A Distributed Critical-Path Timing Monitor for a 65nm High Performance Microprocessor," ISSCC Dig. Tech. Papers, Feb., 2007.

【特許文献1】特開昭61-41976号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、いずれの電力低減手法においても、LSIテスト時の選別においてモニタリングを行うと共に、電力低減のための制御を行うことが困難であった。また、チップ動作時の制御において、比較的小さな面積で簡便にモニタリングを行うことが難しいという課題があった。

10

【0006】

本発明の目的は、LSIテスト時においても選別用のモニタリングを行うことができると共に、小さな面積で簡便な構成によりモニタ可能なモニタ回路を提供することにある。また、モニタ回路を用いて電力低減を可能とする電力低減システムを提供することにある。

【課題を解決するための手段】

【0007】

本発明に係るモニタ回路の一態様は、第1のクロック信号に同期して入力信号を取り込む第1のフリップフロップ回路と、第2のクロック信号に同期して前記入力信号を取り込む第2のフリップフロップ回路と、前記第2のフリップフロップ回路の出力信号を受ける論理回路と、前記第2のクロック信号に同期して前記論理回路の出力信号を取り込む第3のフリップフロップ回路とを含み、前記第2のクロック信号の立ち上がりエッジ位置を調整し、前記第1のフリップフロップ回路の出力信号と前記第3のフリップフロップ回路の出力信号とが所定の組合せとなったときの、前記調整した第2のクロック信号の立ち上がりエッジ位置と前記第1のクロック信号の立ち上がりエッジ位置とに基づいて前記チップの性能を判別する。

20

【0008】

また、本発明に係る電力低減システムの一態様は、モニタ回路と、電源電圧制御回路とを含み、前記モニタ回路により判別されるチップ性能に応じて前記チップの電力低減制御を行う電力低減システムであって、前記モニタ回路は、第1のクロック信号に同期して入力信号を取り込む第1のフリップフロップ回路と、第2のクロック信号に同期して前記入力信号を取り込む第2のフリップフロップ回路と、前記第2のフリップフロップ回路の出力信号を受ける論理回路と、前記第2のクロック信号に同期して前記論理回路の出力信号を取り込む第3のフリップフロップ回路とを含み、前記第2のクロック信号の立ち上がりエッジ位置を調整し、前記第1のフリップフロップ回路の出力信号と前記第3のフリップフロップ回路の出力信号とが所定の組合せとなったときの、前記調整した第2のクロック信号の立ち上がりエッジ位置と前記第1のクロック信号の立ち上がりエッジ位置とに基づいて前記チップの性能を判別し、前記電源電圧制御回路は、前記判別したチップ性能に応じて前記チップに印加する電源電圧の調整を行う。

30

40

【発明の効果】

【0009】

本発明によれば、LSIテスト時においても選別用のモニタリングを行うことができると共に、小さな面積で簡便な構成によりモニタ可能なモニタ回路を提供することができる。また、モニタ回路を用いて電力低減を可能とする電力低減システムを提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を実施するための最良の形態について、図面を参照しながら詳細に説明す

50

る。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡潔化がなされている。各図面において同一の構成又は機能を有する構成要素及び相当部分には、同一の符号を付し、その説明を省略する。

【 0 0 1 1 】

本発明に係るモニタ回路は、チップを構成する各 L S I 若しくは L S I 内の論理ユニットごとの遅延余裕度（マージン）をモニタする。モニタ回路は、チップ性能としての各 L S I 若しくは L S I 内の論理ユニットごとの遅延マージンをモニタするため、フリップフロップ回路へ印加するクロック信号の立ち上がりエッジを制御して偏重をかけ、その調整信号によるエッジ位置を任意に変えられることを特徴とする。また、本発明に係る電力低減システムは、モニタ回路を搭載したモニタを用いて、チップの電源電圧や C L K 周波数を制御する電力削減方式を実現する。

10

【 0 0 1 2 】

実施の形態 1 .

本発明を実施するための最良の形態について図面を参照して詳細に説明する。図 1 は、本実施の形態 1 に係るモニタ回路によるモニタ方式を示す回路図である。モニタ回路は、第 1 のクロック信号に同期して動作する第 1 の論理パス（論理パス A）と、第 2 のクロック信号に同期して動作する第 2 の論理パス（論理パス B）を含む。論理パス A 及び論理パス B は、入力信号を取り込むフリップフロップ回路（3 2、3 4）と、フリップフロップ回路（3 2、3 4）の出力信号を受ける論理回路（3 6、3 7）と、論理回路（3 6、3 7）の出力信号を取り込むフリップフロップ回路（3 3、3 5）とをそれぞれ含む。ここで、第 1 のクロック信号（3 9）はチップを動作させる通常のノーマルなクロックである。第 2 のクロック信号（4 0）は、そのクロック信号の立ち上がりエッジ位置を調整したクロック信号である。モニタ回路は、論理パス A の出力信号と論理パス B の出力信号とが不一致となるときの、調整した第 2 のクロック信号の立ち上がりエッジ位置と第 1 のクロック信号の立ち上がりエッジ位置とに基づいてチップの性能を判別する。

20

【 0 0 1 3 】

より具体的には、フリップフロップ回路 3 2（F F）とフリップフロップ回路 3 4（F F）に対して、データ 3 1 を入力する。F F 3 2 について、入力したデータ 3 1 がクロック（C L K）信号 3 9 により叩かれて次段の論理回路 3 6 へと送信される。そして、データ 3 1 は論理回路 3 6 を通過した後 F F 3 3 へと送信され、再び次の C L K 信号 3 9 の立ち上がりエッジにより叩かれて、排他的論理和回路（E X O R）3 8 へと送信される。これをパス A と呼ぶ。

30

【 0 0 1 4 】

一方、F F 3 4 について、入力したデータ 3 1 が C L K 信号 4 0 の立ち上がりエッジ 4 1 により叩かれて次段の論理回路 3 7 へと送信される。データ 3 1 は論理回路 3 7 を通過した後 F F 3 5 へと送信され、C L K 信号 4 0 の次の立ち上がりエッジ 4 2 により叩かれて、E X O R 3 8 へと送信される。これをパス B と呼ぶ。

【 0 0 1 5 】

ここで図 1 に示すように、C L K 信号 3 9 は通常のノーマルなクロックである。通常のノーマルなクロックとは、立ち上がりエッジの間隔が C L K 周期に一致するクロックである。また、C L K 信号 4 0 は、通常のクロックの立ち上がりエッジを制御した波形を有するクロックである。C L K 信号 4 0 の具体的な仕様については後述する。

40

【 0 0 1 6 】

パス A 及び B について、その論理回路（3 6 及び 3 7）は全く同一の構成をとる組合せ回路であるものとし、論理回路を経過する際に発生する遅延量は両者ともに全く同一であるものとする。また、その遅延量は、C L K 信号 3 9 の周期以下であるものとする。尚、クリティカルパスで構成されるデバイス（インバーター、N A N D、N O R など）により論理回路を構成することで、電源電圧に対する感度がクリティカルパスのものと同じとなり、よりよい効果を得ることができる。

【 0 0 1 7 】

50

EXOR38は、パスA及びBを経過したデータ信号の論理値が一致しているか否かを検出する。EXOR38は、これらパスの論理値が不一致の場合には、High信号を出力する。

【0018】

次に、図2を用いて、CLK信号40について詳細に説明する。図2(a)に、通常のノーマルなクロック信号の波形(Normal)を示す。図2(a)に示すクロック信号に対して、立ち上がりエッジの位置を制御して変調をかけることで、CLK信号40を生成する。例えば、CLK信号40における立ち上がりエッジのうち、図1に示したFF34に対するエッジ位置をCLK信号39における立ち上がりエッジ位置よりも遅くし、FF35に対するエッジ位置をCLK信号39における立ち上がりエッジ位置よりも早くするよう調整することができる。

10

【0019】

FF間の遅延量は同じであるため、最初のFF34を叩くCLK信号41が遅く、次のFF35を叩くCLK信号42が早くなる場合に、遅延のマージンとしては最も厳しい条件となる。そこで、例えば図2(b)乃至(d)に示すように、立ち上がりエッジの位置が次第に厳しい条件となるように調整した複数パターンのクロック信号(図においてMod1乃至Mod3)を生成する。これら複数のパターンのうち、どのパターンにおいてデータの方が遅くFF35へと到着するかについて、EXOR38の出力値を観測しながら判定する。これにより、その遅延パスBの余裕度(マージン)の大きさを測定することができる。

20

【0020】

図3は、各パターンの出力に対する電源電圧値を示す表の一例である。図3は、複数のパターン(Mod1乃至Mod3)のうちどのパターンでパスAと不一致が生じたかに応じて、その遅延パスのマージンを検出し、検出したマージンに応じて電源電圧を適応型により定めるものである。ここでパスAは、基準となるパスであり、常に正確にデータ取得可能となるように設計されている。

【0021】

例えば、全てのパターンにおいて不一致が起きる場合(即ち、Mod1乃至Mod3の全てにおいて出力がHighとなる場合)には、マージンは殆ど存在せずクリティカルパスに近いものであるため、電源電圧を例えばノーマル条件となる1.0Vに設定する。他方、いずれのパターンにおいても不一致が起きない場合(即ち、Mod1乃至Mod3のいずれにおいても出力がLowとなる場合)には、マージンが相当に存在することから、電源電圧を例えば0.85Vに設定して電力削減を優先する。尚、電源電圧が低下することで遅延パスのマージンは小さくなるものの、データ伝送を正常に行うことが可能な場合には特に問題は生じない。

30

【0022】

また、クロック信号40を複数パターンに分けて生成せずとも、各遅延パスについてEXOR38の出力信号を観測して、EXOR38がHigh信号を出力するまでの立ち上がりエッジ位置を観測することで、より細かく電源電圧を調整するようにしてもよい。尚このように電源電圧を調整する場合には、立ち上がりエッジ位置を制御できるように制御信号を加えることが好ましい。

40

【0023】

図4は、クロック信号の立ち上がりエッジを制御する回路図の一例である。通常のノーマルなクロック信号(CLK60)を8相のクロック発生回路(8-phase clock generator 61)へと入力し、位相を1/4ずつずらしたCLK信号を出力する。位相シフト回路(Phase shifter 62)は、入力された各位相の信号を所定の遅延量だけずらすことができる。制御論理回路65は、各信号に対する所定の遅延量を定める。位相シフト回路62は、所定の遅延量ずらした信号をMUX回路63へと入力する。MUX回路63は、所望のエッジの信号を取り出して出力する。

【0024】

50

図5は、波形が生成される様子を説明するための図である。まず、図5(a)に示す信号CLKを、位相ごとの信号(図5(b)及び(c))とする。そして、位相ごとに位相シフトを行い(図5(d)及び(e))、これらの信号を合成することによって、立ち上がりエッジの位置を変更した波形(図5(f))を生成する。尚、エッジを生成する回路は図に示した回路に限定されず、他の公知な回路を用いてもよい。

【0025】

各論理ユニットに対して遅延モニタ回路を設置して、上述したようにして決定された電源電圧によって、その最適な電源電圧制御を行う。図6は、各論理ユニットに対して遅延モニタ回路を設置した電力低減システムの構成例を示す一例である。図6において、モニタ回路としてのマイクロコントローラ90は、論理ユニット91(Unit 1~N)内の測定回路92の結果を受け、電圧制御やCLK周波数制御を行う。そして、電源電圧制御回路93及びCLK周波数制御回路94により、各論理ユニット91の電力値や周波数を最適なものへと調整する。

10

【0026】

尚、論理ユニット91の電力値や周波数の調整については、図6に示したように、動的にチップを動作させながら行うものとしてもよいし、他の手法により調整するものとしてもよい。例えば、LSIテスト時に電力値の調整を行い、チップのIDをフューズ等に記録しておいた上で、システムで使用する際にそのフューズを読み込むことで、各チップ若しくは各論理ユニットごとに最適な電圧やCLK周波数を印加するようにしてもよい。

【0027】

20

実施の形態2.

図7は、本実施の形態2に係るモニタ回路によるモニタ方式を示す回路図である。本実施の形態2に係るモニタ回路は、第1のクロック信号に同期して入力信号を取り込むフリップフロップ回路81と、第2のクロック信号に同期してフリップフロップ回路81の出力信号を取り込むフリップフロップ回路82と、フリップフロップ回路82の出力信号を受ける論理回路84と、第2のクロック信号に同期して論理回路84の出力信号を取り込むフリップフロップ回路83とを含む。ここで、第1のクロック信号(87)はチップを動作させる通常のノーマルなクロックである。第2のクロック信号(88)は、そのクロック信号の立ち上がりエッジ位置を調整したクロック信号である。モニタ回路は、フリップフロップ回路81の出力信号とフリップフロップ回路83の出力信号とが所定の組合せとなったときの、調整した第2のクロック信号(88)の立ち上がりエッジ位置と第1のクロック信号(87)の立ち上がりエッジ位置とに基づいてチップの性能を判別する。

30

【0028】

より具体的には、BIST回路(Built in Self Test)80によりデータパターンを生成して、そのデータパターンをFF82への入力として用いる。BIST回路80はデータパターンを生成し、その生成したデータパターンをFF81へ入力する。FF81について、入力したデータパターンは、まず通常のノーマルなクロックにより叩かれて次段のFF82へと送信される。FF82について、FF81より送信されたデータが、立ち上がりエッジを制御したクロック信号の先のエッジ86によって叩かれて、論理回路84へと伝送される。データパターンは論理回路84を通過した後FF83へと送信され、次の立ち上がりエッジ87により叩かれて、比較回路85へと送信される。比較回路85は、BIST回路80で生成した正確なデータパターンと、論理回路84を通過して伝送したデータパターンとを比較し、これらデータパターンが一致している場合にはLowを出力し、不一致の場合にはHighを出力する。ここで、立ち上がりエッジ86と87は、実施の形態1で説明したように、マージンを観測するために制御して生成するものであり、実施の形態2においても、実施の形態1において得られる効果と同様の効果を得ることができる。

40

【0029】

以上説明したように、本発明のモニタ回路の一態様は、第1のクロック信号に同期して入力信号を取り込む第1のフリップフロップ回路と、第2のクロック信号に同期して前記

50

入力信号を取り込む第2のフリップフロップ回路と、第2のフリップフロップ回路の出力信号を受ける論理回路と、第2のクロック信号に同期して前記論理回路の出力信号を取り込む第3のフリップフロップ回路とを含む。そして、モニタ回路は、第2のクロック信号の立ち上がりエッジ位置を調整し、第1のフリップフロップ回路の出力信号と第3のフリップフロップ回路の出力信号とが所定の組合せとなったときの、調整した第2のクロック信号の立ち上がりエッジ位置と第1のクロック信号の立ち上がりエッジ位置とに基づいてチップの性能を判別する。

【0030】

これにより本発明のモニタ回路によれば、各ユニット若しくはチップごとに最適なリソース（電源電圧やクロック周波数など）を定義することが可能となる。このため、モニタ回路を用いた電力低減システムによれば、従来では不確定要素として扱っていたマージンを排除することができ、チップの消費電力を削減することができる。また、モニタ回路の回路規模は小さく、実現に際しては小さな面積で設置することができるため、面積増加や回路追加に伴う電力増加などのデメリットを受けずに最適な効果を得ることができる。

10

【0031】

尚、本発明は上述した実施例のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

【図面の簡単な説明】

【0032】

【図1】本実施の形態1に係るモニタ回路によるモニタ方式を示す回路図である。

20

【図2】本実施の形態1に係るCLK信号を示す図である。

【図3】本実施の形態1に係る各CLK信号パターンの出力に対する電源電圧値を示す表の一例である。

【図4】本実施の形態1に係るクロック信号の立ち上がりエッジ位置を制御する回路図の一例である。

【図5】本実施の形態1に係るクロック信号の波形が生成される様子を説明するための図である。

【図6】本実施の形態1に係る電力低減システムの構成例を示す一例である。

【図7】本実施の形態2に係るモニタ回路によるモニタ方式を示す回路図である。

【図8】関連する技術を説明するための図である。

30

【図9】関連する技術を説明するための図である。

【図10】関連する技術を説明するための図である。

【符号の説明】

【0033】

31 データ、

32、33、34、35 フリップフロップ回路（FF）、

36、37 論理回路、

39、40 クロック（CLK）信号、

38 排他的論理和回路（EXOR）、

41、42 エッジ、

40

60 クロック（CLK）信号、

61 クロック発生回路（8-phase clock generator）、

62 位相シフト回路（Phase shifter 62）、

63、64 MUX回路、

65 制御論理回路、

66 制御信号、

90 マイクロコントローラ、

91 論理ユニット（Unit 1～N）、

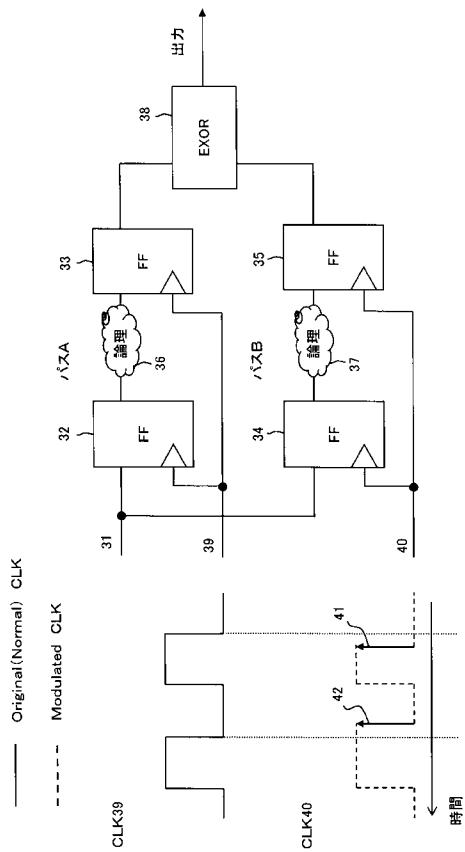
92 測定回路、

93 電源電圧制御回路、

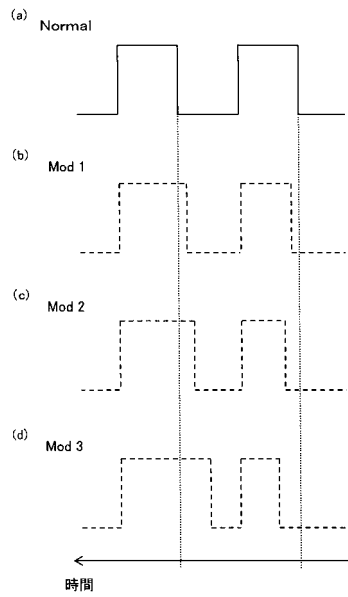
50

- 9 4 CLK周波数制御回路、
- 8 0 BIST回路 (Built in Self Test)、
- 8 1、8 2、8 3 フリップフロップ回路 (FF)、
- 8 4 論理回路、
- 8 5 比較回路、
- 8 6、8 7 エッジ、

【 図 1 】



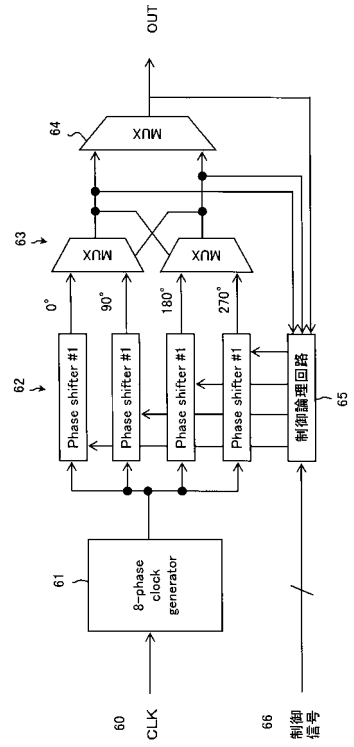
【 図 2 】



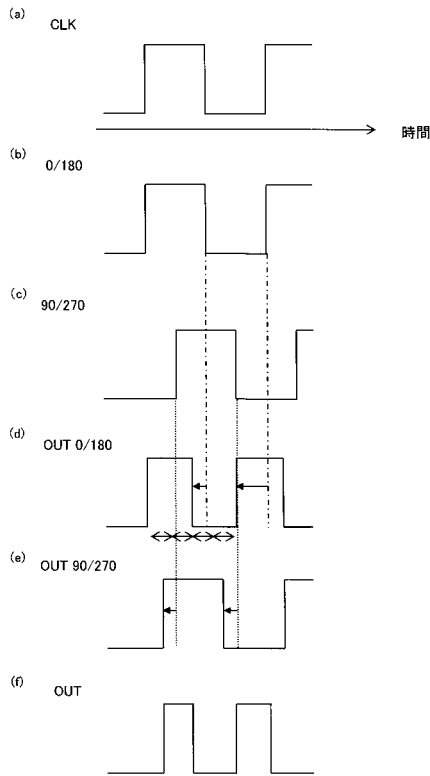
【 図 3 】

	出力			
Mod 1	H	L	L	L
Mod 2	H	H	L	L
Mod 3	J	H	H	L
電源電圧例	1.0 V	0.95 V	0.9 V	0.85 V

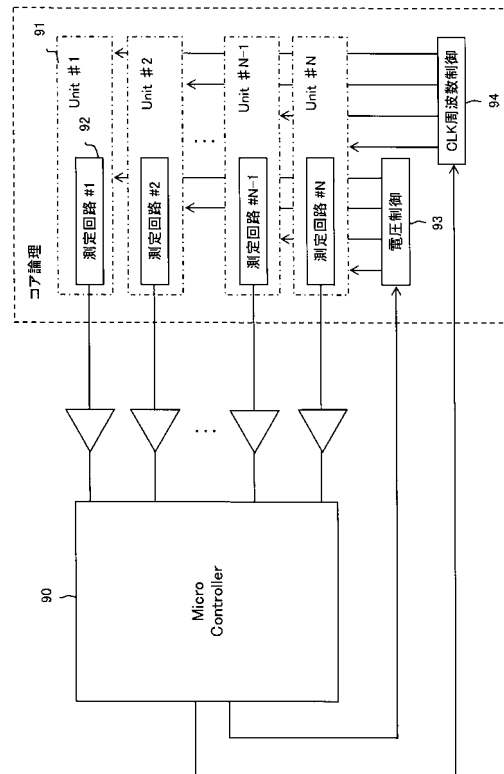
【 図 4 】



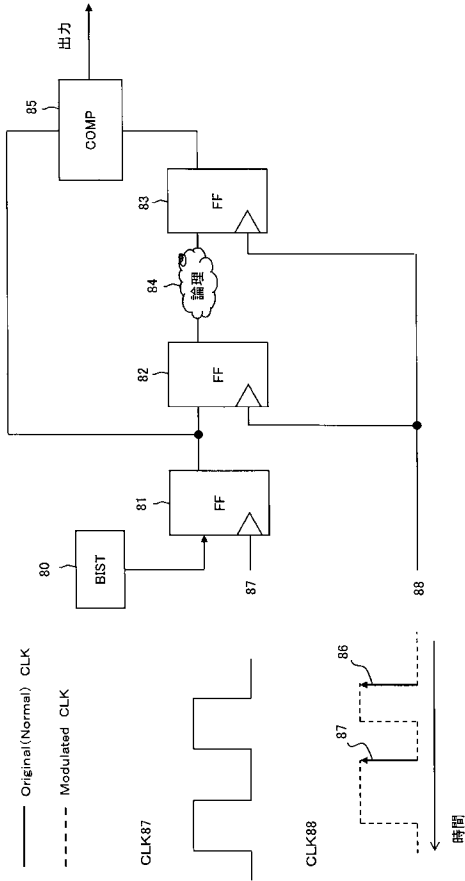
【 図 5 】



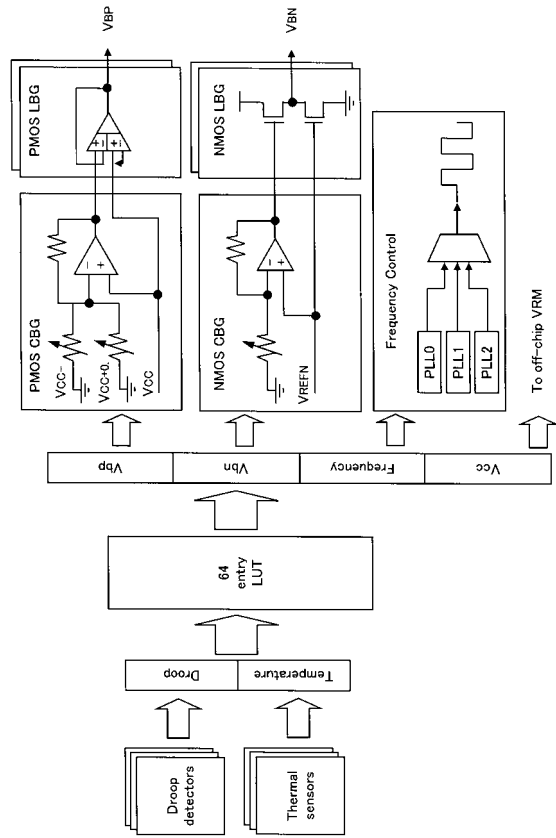
【 図 6 】



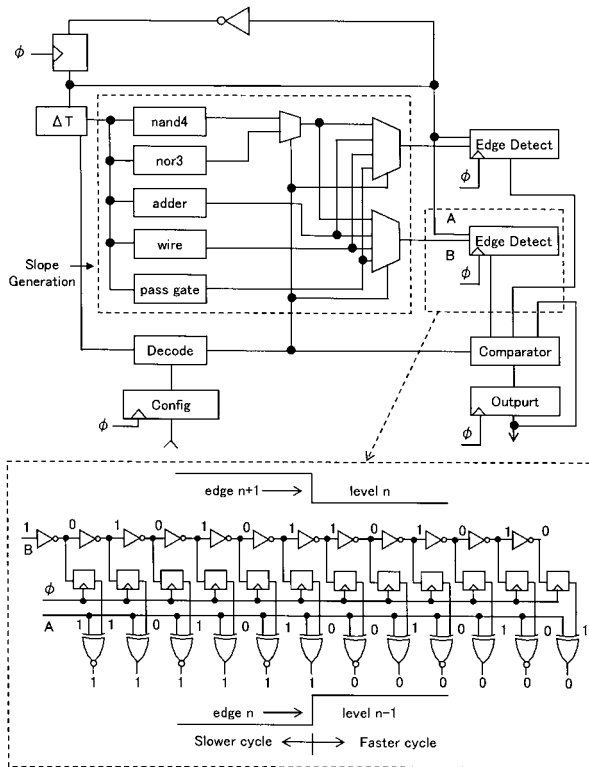
【図 7】



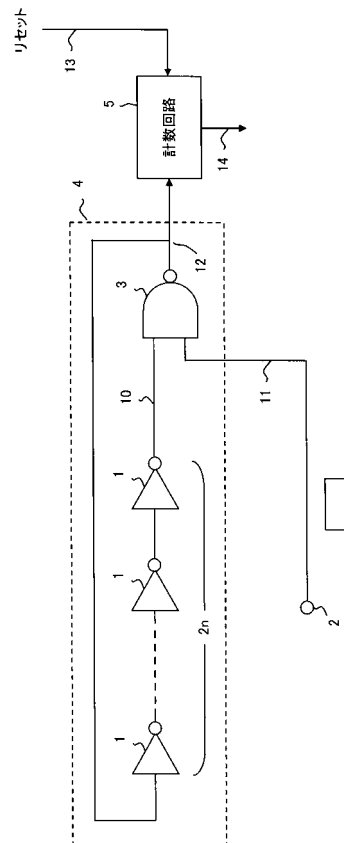
【図 8】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開昭59-79497(JP,A)
特開平1-305374(JP,A)
特開平3-209849(JP,A)
特開平4-274100(JP,A)
特開平6-148293(JP,A)
特開2001-345699(JP,A)
特開2002-73181(JP,A)
特開2003-60052(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/19
H03K 5/1532
G01R 31/28
H01L 21/822
H01L 27/04