



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0131665
(43) 공개일자 2019년11월27일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01) G06N 3/08 (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G06N 3/08 (2013.01)
(21) 출원번호 10-2018-0056303
(22) 출원일자 2018년05월17일
심사청구일자 2018년05월17일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
신형순
서울특별시 서초구 반포대로5길 65, 102동 301호 (서초동, 아이파크빌)
선우경
서울특별시 서대문구 북아현로4마길 18-6 (북아현동)
조수민
서울특별시 중랑구 검재로 92, 102호 (면목동, 동서그랜드맨션)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 8 항

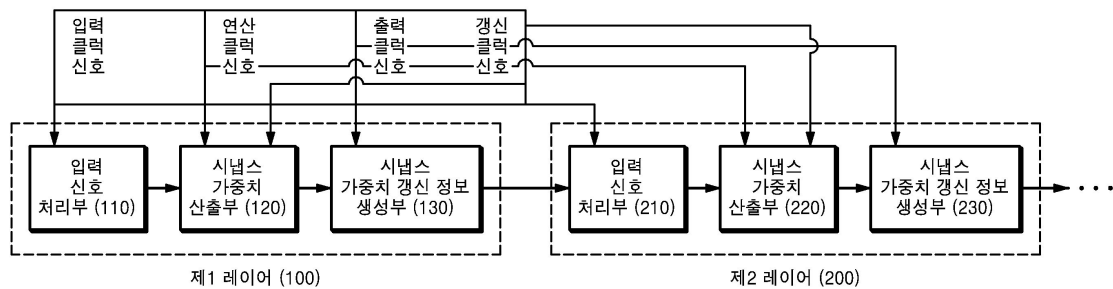
(54) 발명의 명칭 자율 학습용 다층 신경망 뉴로 모픽 하드웨어 시스템

(57) 요약

본 발명의 일 측면에 따른 뉴로 모픽 하드웨어 시스템은 입력 신호들을 처리하여 출력 신호들을 산출하며, 서로 연결된 복수의 레이어들을 포함하고, 각 레이어는 상기 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능하고, 입력 신호 처리부, 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부를 순차적 (뒷면에 계속)

대표도

10



으로 연결된 상태로 포함한다. 이때, 입력 신호 처리부는 입력 클럭 신호에 동기하여, 상기 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 상기 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부로 전달하고, 시냅스 가중치 산출부는 연산 클럭 신호에 동기하여, 상기 입력 신호와 시냅스 가중치의 연산에 기초하여 생성한 출력 스파이크를 상기 시냅스 가중치 갱신 정보 생성부로 전달하며, 갱신 클럭 신호에 동기하여 상기 시냅스 가중치 갱신 정보 생성부로부터 수신한 시냅스 가중치 갱신 정보를 기초로 상기 시냅스 가중치를 갱신하고, 시냅스 가중치 갱신 정보 생성부는 출력 클럭 신호에 동기하여, 상기 입력 신호 처리부로부터 수신한 입력 신호와 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하고, 출력 스파이크를 다음 레이어로 전달한다.

이 발명을 지원한 국가연구개발사업

과제고유번호	1345268637
부처명	교육부
연구관리전문기관	한국연구재단
연구사업명	이공학학술연구기반구축사업
연구과제명	인공지능용 뉴럴 네트워크에 최적화 된 뉴로모픽 컴퓨팅 하드웨어 아키텍처 개발
기 여 율	1/1
주관기관	이화여자대학교 산학협력단
연구기간	2017.11.01 ~ 2018.08.31

명세서

청구범위

청구항 1

뉴로 모픽 하드웨어 시스템에 있어서,

입력 신호들을 처리하여 출력 신호들을 산출하며, 캐스케이드 구조로 서로 연결된 복수의 레이어들을 포함하고, 각 레이어는 상기 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능하고, 입력 신호 처리부, 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부를 순차적으로 연결된 상태로 포함하며,

상기 입력 신호 처리부는 입력 클럭 신호에 동기하여, 상기 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 상기 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부로 전달하고,

상기 시냅스 가중치 산출부는 연산 클럭 신호에 동기하여, 상기 입력 신호와 시냅스 가중치의 연산에 기초하여 생성한 출력 스파이크를 상기 시냅스 가중치 갱신 정보 생성부로 전달하며, 갱신 클럭 신호에 동기하여 상기 시냅스 가중치 갱신 정보 생성부로부터 수신한 시냅스 가중치 갱신 정보를 기초로 상기 시냅스 가중치를 갱신하고,

상기 시냅스 가중치 갱신 정보 생성부는 출력 클럭 신호에 동기하여, 상기 입력 신호 처리부로부터 수신한 입력 신호와 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하고, 이를 상기 시냅스 가중치 산출부로 전달하고, 상기 출력 스파이크를 다음 레이어로 전달하되,

상기 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 각 클럭 신호가 순차적으로 출력되는 뉴로 모픽 하드웨어 시스템.

청구항 2

제 1 항에 있어서,

상기 시냅스 가중치 산출부는 상기 연산 클럭 신호에 동기하여, 상기 입력 신호와 시냅스 가중치 사이의 행렬곱 중 가장 큰 값을 1로 설정하고, 나머지는 0으로 설정하여 출력 스파이크를 생성하는 뉴로 모픽 하드웨어 시스템.

청구항 3

제 1 항에 있어서,

상기 시냅스 가중치 갱신 정보 생성부는 상기 입력 신호가 있고, 상기 출력 스파이크가 있는 경우 시냅스 가중치를 증가시키는 제 1 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호는 있지만 상기 출력 스파이크는 없는 경우 시냅스 가중치를 증가시키는 제 2 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호는 없지만 상기 출력 스파이크는 있는 경우 시냅스 가중치를 감소시키는 제 3 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호가 없고, 상기 출력 스파이크가 없는 경우 시냅스 가중치를 유지하는 제 4 시냅스 가중치 갱신 정보를 생성하는 뉴로 모픽 하드웨어 시스템.

청구항 4

다층 신경망 구조의 뉴로 모픽 하드웨어 시스템의 동작 방법에 있어서,

상기 뉴로 모픽 하드웨어 시스템은 입력 신호들을 처리하여 출력 신호들을 산출하며, 캐스케이드 구조로 서로 연결된 복수의 레이어들을 포함하고,

각 레이어는 상기 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능하고, 입력 신호 처리부, 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부를 순차적으로 연결된 상태로 포함하는 것으로서,

- (a) 입력 클럭 신호에 동기하여, 상기 입력 신호 처리부가 상기 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 상기 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부로 전달하는 단계;
 - (b) 연산 클럭 신호에 동기하여, 상기 시냅스 가중치 산출부가 상기 입력 신호와 시냅스 가중치의 연산에 기초하여 출력 스파이크를 생성하는 단계;
 - (c) 출력 클럭 신호에 동기하여, 상기 시냅스 가중치 갱신 정보 생성부가 상기 입력 신호 처리부로부터 수신한 입력 신호와 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하는 단계;
 - (d) 상기 출력 클럭 신호에 동기하여, 상기 시냅스 가중치 갱신 정보 생성부가 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크를 다음 레이어로 출력하는 단계; 및
 - (e) 갱신 클럭 신호에 동기하여, 상기 시냅스 가중치 산출부가 상기 시냅스 가중치 갱신 정보 생성부로부터 수신한 시냅스 가중치 갱신 정보를 기초로 상기 시냅스 가중치를 갱신하는 단계를 포함하되,
- 상기 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 각 클럭 신호가 순차적으로 출력되는 것인 뉴로 모픽 하드웨어 시스템의 동작 방법.

청구항 5

제 4 항에 있어서,

상기 (d)단계에서 다음 레이어로 출력된 출력 스파이크는 상기 갱신 클럭 신호의 출력 이후 출력되는 입력 클럭 신호에 동기하여 상기 다음 레이어의 입력 신호 처리부로 전달되는 것인 뉴로 모픽 하드웨어 시스템의 동작 방법.

청구항 6

제 4 항에 있어서,

상기 (b) 단계에서 상기 시냅스 가중치 산출부는 상기 연산 클럭 신호에 동기하여, 상기 입력 신호와 시냅스 가중치 사이의 행렬곱 중 가장 큰 값을 1로 설정하고, 나머지는 0으로 설정하여 출력 스파이크를 생성하는 뉴로 모픽 하드웨어 시스템의 동작 방법.

청구항 7

제 4 항에 있어서,

상기 (c) 단계에서 상기 시냅스 가중치 갱신 정보 생성부는 상기 입력 신호가 있고, 상기 출력 스파이크가 있는 경우 시냅스 가중치를 증가시키는 제 1 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호는 있지만 상기 출력 스파이크는 없는 경우 시냅스 가중치를 증가시키는 제 2 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호는 없지만 상기 출력 스파이크는 있는 경우 시냅스 가중치를 감소시키는 제 3 시냅스 가중치 갱신 정보를 생성하고, 상기 입력 신호가 없고, 상기 출력 스파이크가 없는 경우 시냅스 가중치를 유지하는 제 4 시냅스 가중치 갱신 정보를 생성하는 뉴로 모픽 하드웨어 시스템의 동작 방법.

청구항 8

제 4 항에 있어서,

상기 (e)단계에서 갱신된 시냅스 가중치는 상기 갱신 클럭 신호의 출력 이후 출력되는 연산 클럭 신호에 동기하여 출력 스파이크를 생성하는 단계에 사용되는 것인 뉴로 모픽 하드웨어 시스템의 동작 방법.

발명의 설명

기술 분야

본 발명은 다층 신경망 구조의 자율 학습 알고리즘에 적용될 수 있는 뉴로 모픽 하드웨어 시스템에 대한 것이다.

[0001]

배경 기술

- [0002] 최근 들어 인공 신경망에 대한 관심이 증가함에 따라, 이를 하드웨어적으로 구현한 뉴로 모픽 하드웨어 시스템에 대한 연구가 활발하게 진행되고 있다. 이러한 뉴로 모픽 하드웨어 시스템은 생체의 뇌신경계를 이루는 뉴런과 시냅스의 구조를 모방한 것으로, 대체로 시냅스 전에 위치한 절전뉴런(Presynaptic neuron), 시냅스, 시냅스 후에 위치한 절후 뉴런(Postsynaptic neuron)의 구조를 갖는다.
- [0003] 한편, 이러한 인공 신경 회로망의 연결 상태를 자율적으로 바꾸어 학습하는 방법으로서 비지도 학습(unsupervised learning)이 알려져 있으며, 그 중 자율 학습 기전의 가장 기본이 되는 방식으로 헤비안 학습(Hebbian Learning) 방식이 알려져 있다. 헤비안 학습은 입력 데이터에 대한 출력이 존재하는 연결에 대해서는 연결을 강화시키고 그렇지 않은 경우는 반대로 연결을 약화시키는 것과 같이, 주어진 정보(input data)와 이에 대한 결과(output)의 상관 관계를 통하여 시냅스 가중치를 조정하여 학습 하는 방식이다.
- [0004] 이러한 학습에는 STDP(Spike Timing Dependent Plasticity) 알고리즘이 적용되는데 입력 스파이크와 출력 스파이크의 타이밍에 따라 시냅스 가중치가 변경되는 것을 반영한다. 다만, 이러한 STDP 알고리즘을 다층 구조의 하드웨어로 구현할 경우 각 레이어 별로 입력 스파이크와 출력 스파이크의 크기가 다를 수 있으므로, 각 층별로 입력 스파이크가 입력된 후 출력 스파이크가 생성되기 까지 소요되는 시간이 상이할 수 있다.
- [0005] 도 1은 다층 신경망 구조의 뉴로 모픽 하드웨어 시스템에서 발생할 수 있는 데이터 오버래핑 문제를 설명하기 위한 도면이다.
- [0006] 도시된 바와 같이, 제 1 레이어(L1)의 출력이 제 2 레이어(L2)로 입력된 후, 제 2 레이어(L2)의 출력이 아직 출력되지 않은 상태라고 가정한다. 이때, 제 1 레이어(L1)로 새로운 입력 스파이크가 입력되고, 제 1 레이어(L1)가 이를 기반으로 생성한 출력을 제 2 레이어(L2)로 전달하게 되면, 제 2 레이어(L2)는 이전에 전달 받은 데이터와 나중에 전달 받은 데이터를 모두 중첩(overlapping)하여 출력 데이터를 생성하게 된다. 따라서, 입력 스파이크와 출력 스파이크에 따라 시냅스 가중치가 변경되는 STDP 알고리즘의 경우 이와 같은 데이터 중첩이 발생할 경우 심각한 오류를 초래할 수 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 대한민국 등록특허 제 10-1489416 호(발명의 명칭: 뉴로모픽 회로)

발명의 내용

해결하려는 과제

- [0008] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 다층 신경망 구조의 뉴로 모픽 하드웨어 시스템에서 발생할 수 있는 데이터 오버래핑 문제를 해소하는 뉴로 모픽 하드웨어 시스템을 제공하는 것을 그 목적으로 한다.
- [0009] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

- [0010] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 일측면에 따른 뉴로 모픽 하드웨어 시스템은 입력 신호들을 처리하여 출력 신호들을 산출하며, 캐스케이드 구조로 서로 연결된 복수의 레이어들을 포함하고, 각 레이어는 상기 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능하고, 입력 신호 처리부, 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부를 순차적으로 연결된 상태로 포함한다.
- 이때, 입력 신호 처리부는 입력 클럭 신호에 동기하여, 상기 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 상기 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부로 전달하고, 시냅스 가중치 산출부는 연산 클럭 신호에 동기하여, 상기 입력 신호와 시냅스 가중치의 연산에 기초하여 생성한 출력 스파이크를 상기 시냅스 가중치 갱신 정보 생성부로 전달하며, 갱신 클럭 신호에 동기하여 상기 시냅스 가중치 갱

신 정보 생성부로부터 수신한 시냅스 가중치 갱신 정보를 기초로 상기 시냅스 가중치를 갱신하고, 시냅스 가중치 갱신 정보 생성부는 출력 클럭 신호에 동기하여, 상기 입력 신호 처리부로부터 수신한 입력 신호와 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하고, 이를 상기 시냅스 가중치 산출부로 전달하고, 상기 출력 스파이크를 다음 레이어로 전달한다. 이때 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 각 클럭 신호가 순차적으로 출력된다.

[0011] 또한, 본 발명의 다른 측면에 따른 다층 신경망 구조의 뉴로 모픽 하드웨어 시스템의 동작 방법에서, 뉴로 모픽 하드웨어 시스템은 입력 신호들을 처리하여 출력 신호들을 산출하며, 캐스케이드 구조로 서로 연결된 복수의 레이어들을 포함하고, 각 레이어는 상기 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능하고, 입력 신호 처리부, 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부를 순차적으로 연결된 상태로 포함하는 것이다. 이때, 동작 방법은 (a) 입력 클럭 신호에 동기하여, 상기 입력 신호 처리부가 상기 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 상기 시냅스 가중치 산출부 및 시냅스 가중치 갱신 정보 생성부로 전달하는 단계; (b) 연산 클럭 신호에 동기하여, 상기 시냅스 가중치 산출부가 상기 입력 신호와 시냅스 가중치의 연산에 기초하여 출력 스파이크를 생성하는 단계; (c) 출력 클럭 신호에 동기하여, 상기 시냅스 가중치 갱신 정보 생성부가 상기 입력 신호 처리부로부터 수신한 입력 신호와 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하는 단계; (d) 상기 출력 클럭 신호에 동기하여, 상기 시냅스 가중치 갱신 정보 생성부가 상기 시냅스 가중치 산출부로부터 수신한 출력 스파이크를 다음 레이어로 출력하는 단계; 및 (e) 갱신 클럭 신호에 동기하여, 상기 시냅스 가중치 산출부가 상기 시냅스 가중치 갱신 정보 생성부로부터 수신한 시냅스 가중치 갱신 정보를 기초로 상기 시냅스 가중치를 갱신하는 단계를 포함한다. 이때, 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 각 클럭 신호가 순차적으로 출력된다.

발명의 효과

[0012] 전술한 본 발명의 과제 해결 수단에 의하면, 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 입력 신호 전달, 출력 스파이크 생성, 출력 스파이크 전달, 시냅스 가중치 갱신 정보 생성 및 시냅스 가중치 갱신 동작들을 순차적으로 수행하므로, 각 레이어 간의 데이터 오버래핑 문제를 해소할 수 있다.

도면의 간단한 설명

[0013] 도 1은 다층 신경망 구조의 뉴로 모픽 하드웨어 시스템에서 발생할 수 있는 데이터 오버래핑 문제를 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템을 도시한 블록도이다.

도 3은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 구체적인 구성을 도시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 시냅스 가중치 산출부의 구체적인 구성을 도시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 시냅스 가중치 갱신 정보 생성부의 구체적인 구성을 도시한 도면이다.

도 6은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템이 시냅스 가중치 갱신 정보를 생성하는 과정을 설명하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 동작 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이

어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [0016] 도 2는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템을 도시한 블록도이다.
- [0017] 도시된 바와 같이, 뉴로 모픽 하드웨어 시스템은 캐스케이드 구조로 서로 연결된 복수의 레이어(100, 200)를 포함한다. 도면에서는 설명의 편의를 위해 2개의 레이어만을 도시하였으나, 그 이상의 개수의 레이어가 포함될 수 있다.
- [0018] 각 레이어(100, 200)는 입력 신호를 처리하고 출력 신호를 출력하는 하나 이상의 뉴런 소자로서 기능한다. 그리고, 각 레이어(100, 200)는 입력 신호 처리부(110, 210), 시냅스 가중치 산출부(120, 220) 및 시냅스 가중치 갱신 정보 생성부(130, 230)를 각각 포함한다. 그리고, 각 레이어(100, 200)에 포함된 각 구성부는 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호에 동기하여 각각의 동작을 수행한다.
- [0019] 입력 신호 처리부(110, 210)는 입력 클럭 신호에 동기하여, 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 시냅스 가중치 산출부(120, 220) 및 시냅스 가중치 갱신 정보 생성부(130, 230)로 전달한다.
- [0020] 시냅스 가중치 산출부(120, 220)는 연산 클럭 신호에 동기하여, 입력 신호와 시냅스 가중치의 연산에 기초하여 생성한 출력 스파이크를 시냅스 가중치 갱신 정보 생성부(130, 230)로 전달하며, 갱신 클럭 신호에 동기하여 시냅스 가중치 갱신 정보 생성부(130, 230)로부터 수신한 시냅스 가중치 갱신 정보를 기초로 시냅스 가중치를 갱신한다.
- [0021] 시냅스 가중치 갱신 정보 생성부(130, 230)는 출력 클럭 신호에 동기하여, 입력 신호 처리부(110, 210)로부터 수신한 입력 신호와 시냅스 가중치 산출부(120, 220)로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성하고, 이를 시냅스 가중치 산출부(120, 220)로 전달하고, 출력 스파이크를 다음 레이어로 전달한다.
- [0022] 이때, 다음 레이어로 출력된 출력 스파이크는 갱신 클럭 신호의 출력 이후 출력되는 입력 클럭 신호에 동기하여 다음 레이어의 입력 신호 처리부(110, 210)로 전달된다. 또한 입력 클럭 신호, 연산 클럭 신호, 출력 클럭 신호 및 갱신 클럭 신호의 순서에 따라 각 클럭 신호가 순차적으로 출력되며, 이러한 순서가 유지된 상태로 각 클럭 신호가 주기적으로 출력된다.
- [0023] 도 3은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 구체적인 구성을 도시한 도면이고, 도 4는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 시냅스 가중치 산출부의 구체적인 구성을 도시한 도면이고, 도 5는 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 시냅스 가중치 갱신 정보 생성부의 구체적인 구성을 도시한 도면이다.
- [0024] 도 3에 도시된 바와 같이, 입력 신호 처리부(110, 210)는 입력 클럭 신호(IN)에 동기하여 동작하며, 해당 레이어로 입력되는 입력 신호 또는 직전 레이어에서 출력된 출력 스파이크를 입력 신호로서 시냅스 가중치 산출부(120, 220), 및 시냅스 가중치 갱신 정보 생성부(130, 230)로 각각 전달한다.
- [0025] 도 4에 도시된 바와 같이, 시냅스 가중치 산출부(120, 220)는 출력 스파이크 생성부(122) 및 시냅스 가중치 갱신부(124)를 포함한다.
- [0026] 출력 스파이크 생성부(122)는 입력 신호 처리부(110, 210)에서 수신한 입력 신호에 시냅스 가중치를 연산하여 출력 스파이크를 생성한다. 이때, 연산 클럭 신호(CAL)에 동기하여 동작하며, 입력 신호와 시냅스 가중치 사이의 행렬곱 중 가장 큰 값을 1로 설정하고, 나머지는 0으로 설정하여 출력 스파이크를 생성한다.
- [0027] 또한, 시냅스 가중치 갱신부(124)는 갱신 클럭 신호(UPDATE)에 동기하여 시냅스 가중치 갱신 정보 생성부(130, 230) 의하여 제공되는 시냅스 가중치 갱신 정보(Delta-W)에 기초하여 시냅스 가중치를 갱신할 수 있으며, 이와 같이 갱신된 시냅스 가중치를 출력 스파이크 생성부(122)로 전달하여, 출력 스파이크를 생성과정에 사용할 수 있도록 한다.
- [0028] 이때, 갱신 클럭 신호(UPDATE)는 연산 클럭 신호(CAL) 및 출력 클럭 신호(OUT) 보다 늦게 출력 되므로, 연산 클럭 신호(CAL)에 의하여 출력 스파이크가 생성되고, 출력 클럭 신호(OUT)에 의하여 시냅스 가중치 갱신 정보(Delta-W)가 생성되고, 갱신 클럭 신호(UPDATE)에 의하여 갱신된 시냅스 가중치가 생성된다. 따라서, 새롭게 생성된 시냅스 가중치는 다음 입력되는 연산 클럭 신호(CAL)에 맞춰 출력 스파이크 생성에 활용된다.

- [0029] 도 5에 도시된 바와 같이, 시냅스 가중치 갱신 정보 생성부(130, 230)는 출력 클럭 신호(OUT)에 동기하여, 입력 신호 처리부(110, 210)로부터 수신한 입력 신호(input spike)와 시냅스 가중치 산출부(120, 220)로부터 수신한 출력 스파이크(output spike)에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보(Delta-W)를 생성하고, 이를 시냅스 가중치 산출부(120, 220)로 전달하고, 출력 스파이크를 다음 레이어로 전달한다.
- [0030] 도 6은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템이 시냅스 가중치 갱신 정보를 생성하는 과정을 설명하기 위한 도면이다.
- [0031] 도시된 바와 같이, 입력 신호 처리부(110, 210)에서 전달되는 입력 신호와 시냅스 가중치 산출부(120, 220)에서 전달되는 출력 스파이크가 각각 존재하는지 여부를 기초로 시냅스 가중치 갱신 정보(Delta-W)를 생성한다.
- [0032] 입력 신호와 출력 스파이크가 모두 있는 경우 시냅스 가중치를 증가시키는 제 1 시냅스 가중치 갱신 정보(ΔW_1)를 생성하고, 입력 신호는 있지만 출력 스파이크는 없는 경우 시냅스 가중치를 증가시키는 제 2 시냅스 가중치 갱신 정보(ΔW_2)를 생성하며, 입력 신호는 없지만 출력 스파이크는 있는 경우 시냅스 가중치를 감소시키는 제 3 시냅스 가중치 갱신 정보(ΔW_3)를 생성하며, 입력 신호가 없고, 출력 스파이크가 없는 경우 시냅스 가중치를 유지하는 제 4 시냅스 가중치 갱신 정보(ΔW_4)를 생성한다. 이와 같은 시냅스 가중치 갱신 정보(Delta-W)는 각 입력 신호와 출력 스파이크 신호별로 생성되며, 이는 시냅스 가중치 산출부(120, 220)의 시냅스 가중치 갱신 부(124)로 전달되어 가중치 갱신에 활용된다.
- [0033] 도 7은 본 발명의 일 실시예에 따른 뉴로 모픽 하드웨어 시스템의 동작 방법을 도시한 순서도이다.
- [0034] 먼저, 입력 클럭 신호에 동기하여, 입력 신호 처리부(110, 210)가 입력 신호 또는 직전 레이어에서 수신한 출력 스파이크를 입력 신호로서 시냅스 가중치 산출부(120, 220) 및 시냅스 가중치 갱신 정보 생성부(130, 230)로 전달한다(S710).
- [0035] 다음으로, 연산 클럭 신호에 동기하여, 시냅스 가중치 산출부(120, 220)가 입력 신호와 시냅스 가중치의 연산에 기초하여 출력 스파이크를 생성한다(S720).
- [0036] 다음으로, 출력 클럭 신호에 동기하여, 시냅스 가중치 갱신 정보 생성부(130, 230)가 입력 신호 처리부(110, 210)로부터 수신한 입력 신호와 시냅스 가중치 산출부(120, 220)로부터 수신한 출력 스파이크에 STDP 알고리즘을 적용하여 시냅스 가중치 갱신 정보를 생성한다. 또한, 출력 클럭 신호에 동기하여, 시냅스 가중치 갱신 정보 생성부(130, 230)가 시냅스 가중치 산출부(120, 220)로부터 수신한 출력 스파이크를 다음 레이어로 출력한다(S730).
- [0037] 다음으로, 갱신 클럭 신호에 동기하여, 시냅스 가중치 산출부(120, 220)가 시냅스 가중치 갱신 정보 생성부(130, 230)로부터 수신한 시냅스 가중치 갱신 정보를 기초로 시냅스 가중치를 갱신한다(S740).
- [0038] 이때, 단계(S730)에서 다음 레이어로 출력된 출력 스파이크는 갱신 클럭 신호의 출력 이후 출력되는 입력 클럭 신호에 동기하여 다음 레이어의 입력 신호 처리부로 전달된다.
- [0039] 또한, 단계(S740)단계에서 갱신된 시냅스 가중치는 갱신 클럭 신호의 출력 이후 출력되는 연산 클럭 신호에 동기하여 출력 스파이크를 생성하는 단계에 사용된다.
- [0040] 이와 같이, 4가지 종류의 서로 다른 클럭 신호에 동기하여 입력 신호 전달, 출력 스파이크 생성, 가중치 갱신 정보 생성, 출력 스파이크 전달, 가중치 갱신 과정을 순차적으로 수행하므로 데이터 오버랩 문제를 해소할 수 있다.
- [0041] 이상에서 설명한 본 발명의 실시예에 따른 뉴로 모픽 하드웨어 시스템의 동작 방법은, 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행 가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 이러한 기록 매체는 컴퓨터 판독 가능 매체를 포함하며, 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체를 포함하며, 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다.
- [0042] 진술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로

이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

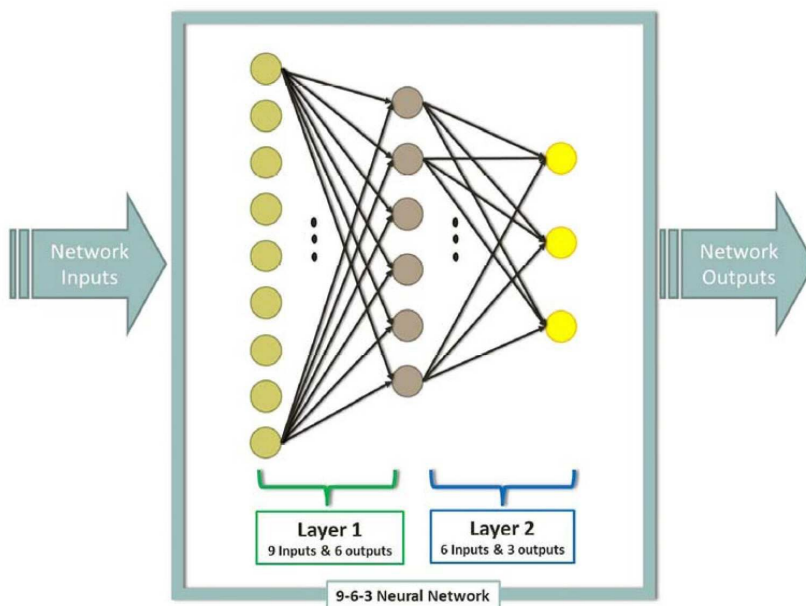
[0043] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0044] 10: 뉴로 모픽 하드웨어 시스템
 100, 200: 레이어
 110, 210: 입력 신호 처리부
 120, 220: 시냅스 가중치 산출부
 130, 230: 시냅스 가중치 갱신정보 생성부

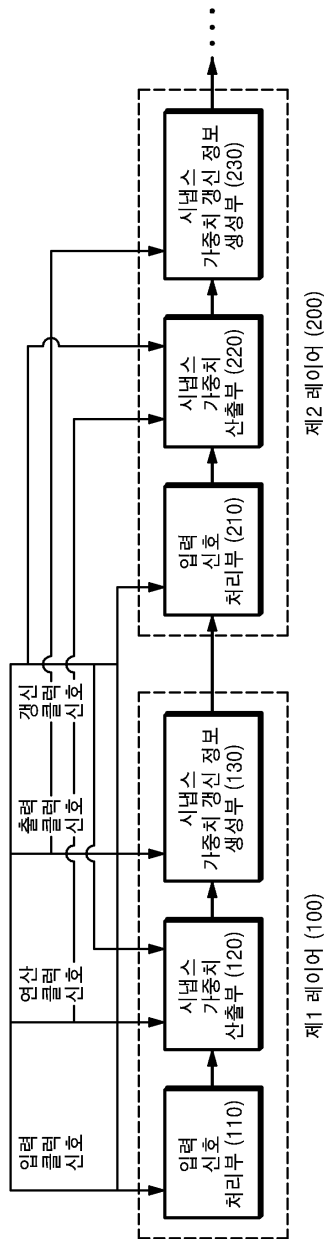
도면

도면1

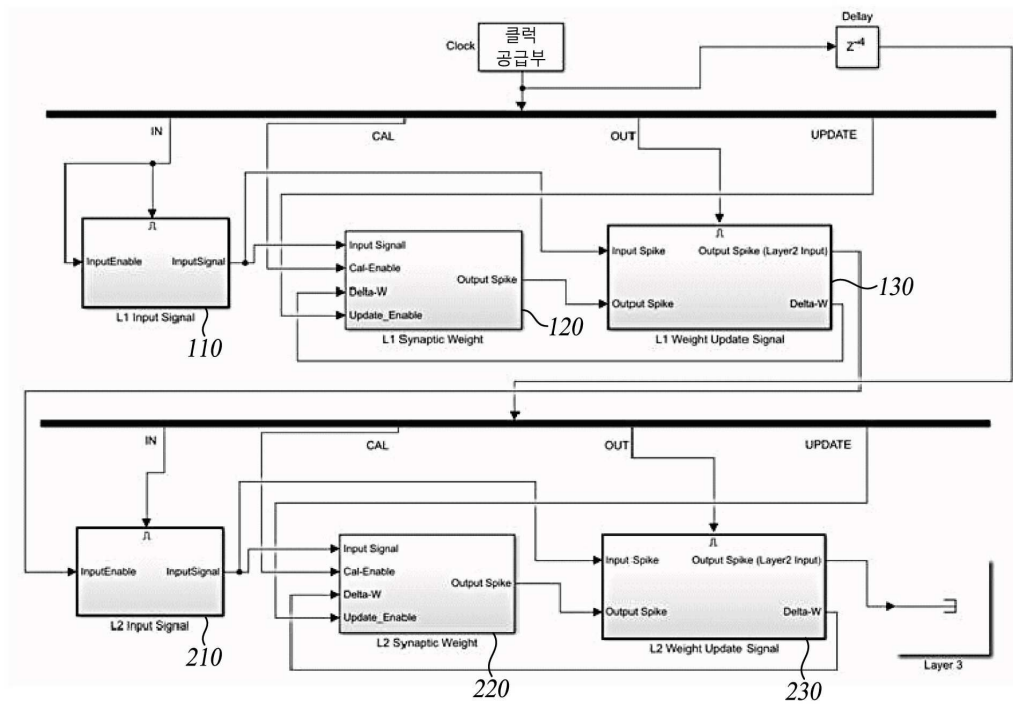


도면2

10

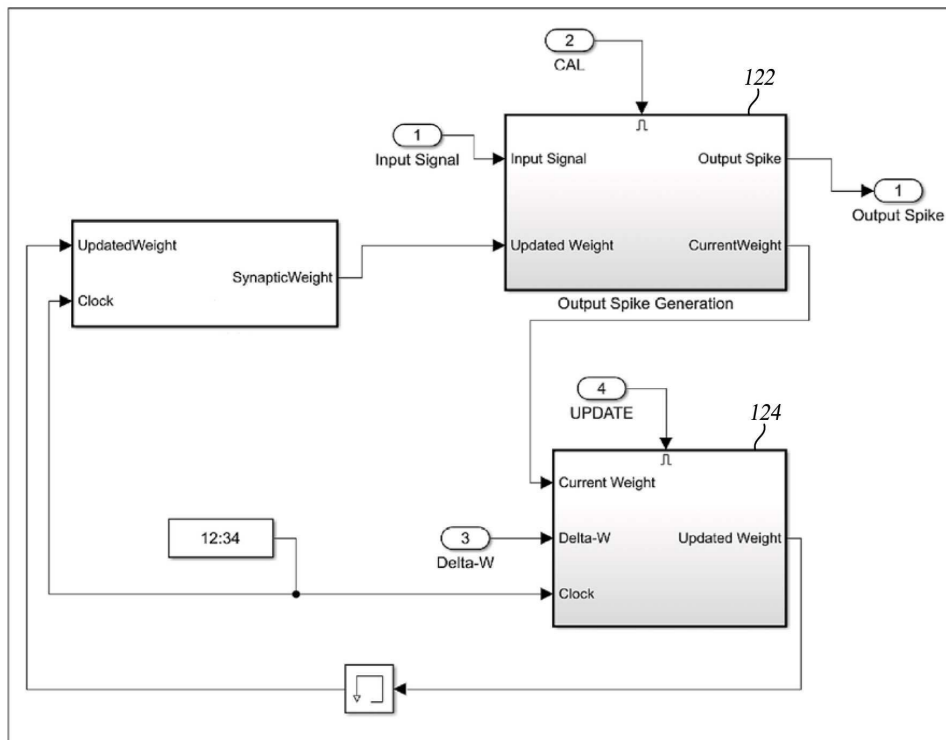


도면3

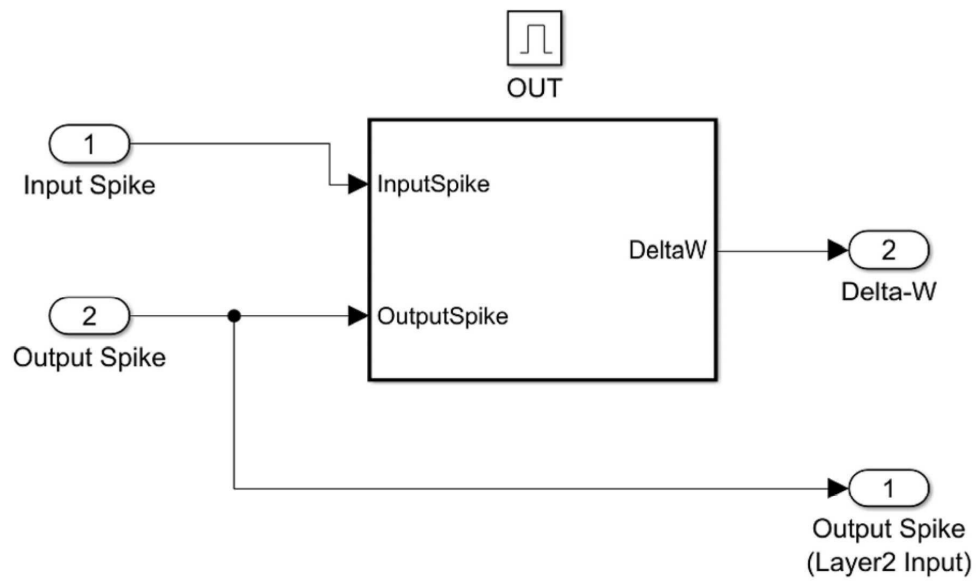


도면4

120



도면5



도면6

Input Spike i	Output Spike j	Delta-W W(i, j)
+	+	$\Delta W1$
+	-	$\Delta W2$
-	+	$\Delta W3$
-	-	$\Delta W4$

도면7

