

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公布说明书

[21] 申请号 200610100223.0

G09G 3/36 (2006.01)  
G09G 3/20 (2006.01)  
G02F 1/133 (2006.01)  
H03M 9/00 (2006.01)  
H01L 27/00 (2006.01)

[43] 公开日 2007年3月21日

[11] 公开号 CN 1932952A

[22] 申请日 2000.1.28

[21] 申请号 200610100223.0

分案原申请号 200410055695.X

[30] 优先权

[32] 1999.1.28 [33] JP [31] 19427/1999

[32] 1999.3.23 [33] JP [31] 77872/1999

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 浅见宗广 纳光明 盐野入丰  
长尾祥

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 刘杰

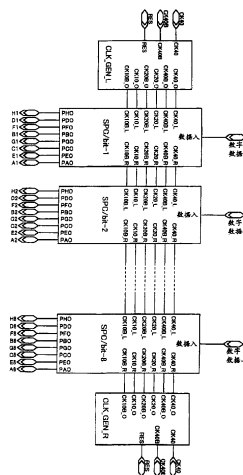
权利要求书4页 说明书41页 附图29页

## [54] 发明名称

串行-并行转换电路和使用这种转换电路的  
半导体显示器件

## [57] 摘要

在将串行输入的数字数据转换成并行数字数据的用于数字数据的串行-并行转换(SPC)电路中,使用频率最高为输入数字数据的频率的1/2的时钟信号用于操作该SPC电路,由此改进了SPC电路的功耗、稳定性和可靠性。



1. 一种显示装置, 包括:

绝缘衬底;

像素, 该像素包括:

在所述绝缘衬底之上的像素薄膜晶体管; 以及

电连接到所述像素薄膜晶体管的显示元件;

电连接到所述像素薄膜晶体管的栅极驱动器;

电连接到所述像素薄膜晶体管的源极驱动器; 以及

电连接到所述源极驱动器的用于数字数据的串行-并行转换电路,

其中, 所述串行-并行转换电路将以  $m$  Hz 串行输入的数字数据转换成  $m \cdot 2^y$  Hz 的  $2^y$  个并行数字数据并将所述  $2^y$  个并行数字数据输出, 其中, 字母  $m$  表示正数, 字母  $y$  表示自然数;

其中, 用于数字数据的所述串行-并行转换电路以最高  $m/2$  Hz 的多个时钟信号工作, 以及

其中, 所述串行-并行转换电路包括在所述绝缘衬底之上的薄膜晶体管。

2. 一种显示装置, 包括:

绝缘衬底;

像素, 该像素包括:

在所述绝缘衬底之上的像素薄膜晶体管; 以及

电连接到所述像素薄膜晶体管的显示元件;

电连接到所述像素薄膜晶体管的栅极驱动器;

电连接到所述像素薄膜晶体管的源极驱动器; 以及

电连接到所述源极驱动器的用于数字数据的串行-并行转换电路,

其中, 所述串行-并行转换电路将以  $m$  Hz 串行输入的数字数据转换成  $m \cdot 2^y$  Hz 的  $2^y$  个并行数字数据并将所述  $2^y$  个并行数字数据输出, 其中, 字母  $m$  表示正数, 字母  $y$  表示自然数;

其中, 用于数字数据的所述串行-并行转换电路以最高  $m/2$  Hz 以及最低  $m \cdot 2^y$  Hz 的多个时钟信号工作, 以及

其中, 所述串行-并行转换电路包括在所述绝缘衬底之上的薄膜晶体管。

3. 一种显示装置, 包括:

绝缘衬底;

像素, 该像素包括:

在所述绝缘衬底之上的像素薄膜晶体管; 以及

电连接到所述像素薄膜晶体管的显示元件;

电连接到所述像素薄膜晶体管的栅极驱动器;

电连接到所述像素薄膜晶体管的源极驱动器; 以及

电连接到所述源极驱动器的用于数字数据的串行-并行转换电路,

其中, 所述串行-并行转换电路包括  $x$  个 SPC/位电路,

其中, 所述  $x$  个 SPC/位电路中的每一个 SPC/位电路将以  $m$  Hz 串行输入的  $x$  位数字数据的对应位的数字数据转换成  $m \cdot 2^{-y}$  Hz 的  $2^y$  个并行数字数据并将所述  $2^y$  个并行数字数据输出, 其中, 字母  $m$  表示正数, 字母  $x$  和  $y$  表示自然数;

其中, 所述  $x$  个 SPC/位电路中的每一个 SPC/位电路以最高  $m/2$  Hz 的多个时钟信号工作, 以及

其中, 所述  $x$  个 SPC/位电路之一包括在所述绝缘衬底之上的薄膜晶体管。

4. 一种显示装置, 包括:

绝缘衬底;

像素, 该像素包括:

在所述绝缘衬底之上的像素薄膜晶体管; 以及

电连接到所述像素薄膜晶体管的显示元件;

电连接到所述像素薄膜晶体管的栅极驱动器;

电连接到所述像素薄膜晶体管的源极驱动器; 以及

电连接到所述源极驱动器的用于数字数据的串行-并行转换电路,

其中, 所述串行-并行转换电路包括  $x$  个 SPC/位电路,

其中, 所述  $x$  个 SPC/位电路中的每一个 SPC/位电路将以  $m$  Hz 串行输入的  $x$  位数字数据的对应位的数字数据转换成  $m \cdot 2^{-y}$  Hz 的  $2^y$  个并行数字数据并将所述  $2^y$  个并行数字数据输出, 其中, 字母  $m$  表示正数, 字母  $x$  和  $y$  表示自然数;

其中, 所述  $x$  个 SPC/位电路中的每一个 SPC/位电路包括第一级电路到第  $y$  级电路,

其中所述第  $y$  级电路将串行输入的  $2y-1$  个数字数据的频率降低到  $1/2$ ,

并且将所述  $2^{y-1}$  个数字数据转换成所述  $2^y$  个并行数字数据，

其中，所述第一级电路到第  $y$  级电路数中的每一级电路以最高  $m/2$  Hz 的多个时钟信号工作，以及

其中，所述第一级电路到第  $y$  级电路之一包括在所述绝缘衬底之上的薄膜晶体管。

5. 一种显示装置，包括：

绝缘衬底；

像素，该像素包括：

在所述绝缘衬底之上的像素薄膜晶体管；以及

电连接到所述像素薄膜晶体管的显示元件；

电连接到所述像素薄膜晶体管的栅极驱动器；

电连接到所述像素薄膜晶体管的源极驱动器；以及

电连接到所述源极驱动器的用于数字数据的串行-并行转换电路，

其中，所述串行-并行转换电路包括  $x$  个 SPC/位电路，

其中，所述  $x$  个 SPC/位电路中的每一个 SPC/位电路将以  $m$  Hz 串行输入的  $x$  位数字数据的对应位的数字数据转换成  $m \cdot 2^y$  Hz 的  $2^y$  个并行数字数据并将所述  $2^y$  个并行数字数据输出，其中，字母  $m$  表示正数，字母  $x$  和  $y$  表示自然数；

其中所述  $x$  个 SPC 电路中的每一个包括  $\sum_{k=0}^{y-1} 2^{k-1}$  个基本单元，

其中，每个所述基本单元将串行输入的数字数据的频率降低到  $1/2$ ，并且将所述串行输入的数字数据转换成两个并行数字数据，

其中，每个所述基本单元以最高  $m/2$  Hz 的多个时钟信号工作，以及

其中，所述串行-并行转换电路包括在所述绝缘衬底之上的薄膜晶体管。

6. 如权利要求 1 所述的显示装置，其中，所述显示元件是 EL 元件。

7. 如权利要求 2 所述的显示装置，其中，所述显示元件是 EL 元件。

8. 如权利要求 3 所述的显示装置，其中，所述显示元件是 EL 元件。

9. 如权利要求 4 所述的显示装置，其中，所述显示元件是 EL 元件。

10. 如权利要求 5 所述的显示装置，其中，所述显示元件是 EL 元件。

11. 如权利要求 1 所述的显示装置，其中，所述串行-并行转换电路电连接到  $2^y$  个数字数据重新排列开关。

12. 如权利要求 2 所述的显示装置，其中，所述串行-并行转换电路电连接

到  $2^y$  个数字数据重新排列开关。

13. 如权利要求 3 所述的显示装置, 其中, 所述串行-并行转换电路电连接到  $2^y$  个数字数据重新排列开关。

14. 如权利要求 4 所述的显示装置, 其中, 所述串行-并行转换电路电连接到  $2^y$  个数字数据重新排列开关。

15. 如权利要求 5 所述的显示装置, 其中, 所述串行-并行转换电路电连接到  $2^y$  个数字数据重新排列开关。

16. 如权利要求 1 所述的显示装置, 其中, 所述显示装置是从包括正面型投影仪、背面型投影仪、便携式电话机、摄像机、移动计算机、头戴式显示器和电子书的组中选择一个。

17. 如权利要求 2 所述的显示装置, 其中, 所述显示装置是从包括正面型投影仪、背面型投影仪、便携式电话机、摄像机、移动计算机、头戴式显示器和电子书的组中选择一个。

18. 如权利要求 3 所述的显示装置, 其中, 所述显示装置是从包括正面型投影仪、背面型投影仪、便携式电话机、摄像机、移动计算机、头戴式显示器和电子书的组中选择一个。

19. 如权利要求 4 所述的显示装置, 其中, 所述显示装置是从包括正面型投影仪、背面型投影仪、便携式电话机、摄像机、移动计算机、头戴式显示器和电子书的组中选择一个。

20. 如权利要求 5 所述的显示装置, 其中, 所述显示装置是从包括正面型投影仪、背面型投影仪、便携式电话机、摄像机、移动计算机、头戴式显示器和电子书的组中选择一个。

## 串行—并行转换电路和使用这种 转换电路的半导体显示器件

本申请是申请日为 2000 年 1 月 28 日、申请号为 200410055695.X、发明名称为“串行-并行转换电路和使用这种转换电路的半导体显示器件”的申请的  
分案申请。

### 技术领域

本发明涉及将串行数字数据转换为并行数字数据的串行-并行转换（SPC）  
电路。本发明还涉及包括这种 SPC 电路的半导体器件。

### 背景技术

输入信号是数字数据的半导体器件的例子是有源矩阵型液晶显示器件。近  
年来，有源矩阵型液晶显示器件已经由多个 TFTs（薄膜晶体管）构成，而 TFT  
是由多晶硅形成的，并且这种有源矩阵型液晶显示器件单一地形成有用于显示  
图象的有源矩阵电路和用于驱动该有源矩阵电路的驱动电路。

用于数字数据的串行-并行转换（SPC）电路接收数字数据的输入（以下称  
为“输入数字数据”）作为输入信号，并将通过暂时延长输入数字数据的脉冲  
长度（脉冲长度可以被延长任何倍数，但是最普通的是延长  $n$  倍，其中字母  $n$   
表示最少为 2 的自然数）修改的数字数据输送给有源矩阵型液晶显示器件的源  
信号线驱动电路。输入数字数据的脉冲长度被暂时延长为  $n$  倍不会有别的影响，  
只是会将输入数字数据的频率降低为  $1/n$ 。

用于数字数据的 SPC 电路具有如下所述的重要性。要输入给有源矩阵型液  
晶显示器件的数字数据通常在几十 MHz，但是为符合近来更高清晰度、更高  
分辨率和更多灰度等级的需求，在一百和几十 MHz 的数字数据可被统一化。

不管怎样，包含在有源矩阵型液晶显示器件的源信号线驱动电路中的 TFT  
具有不足以处理这种较高频率的数字数据的性能，并且它们不能操作或者在可  
靠性上有困难。因此必须将输入数字信号的频率降低到源信号线驱动电路能够  
完美地操作的程度。关于这一点，用于数字数据的 SPC 电路的功能是降低输入  
数字数据的频率。顺便提及，与源信号线驱动电路相比，用于数字数据的 SPC

电路的规模较小，并且 SPC 电路中的时钟信号不易变为“迟钝”（作为在时钟信号脉冲的上升或下降的信号延迟），因此可以在较高的速度驱动 SPC 电路。

如上所述，用于数字数据的 SPC 电路可以比源信号线驱动电路等更快地被驱动。但是对于符合近来对更高清晰度、更高分辨率和更多灰度等级的需求的可靠性和稳定性来说 SPC 电路的更快操作某种程度上说是不利的。

迄今为止已经被本发明人使用的用于数字数据的 SPC 电路的例子是转让给本申请同一受让人的日本专利申请特许公开 No.11-231798（1999）中公开的用于数字数据的 SPC 电路。该日本专利申请对应美国专利申请系列号 09/206297 和欧洲专利申请特许公开 No.0921517A。

所述用于数字数据的例子 SPC 电路对于其操作来说需要在与输入数字数据的频率相同的频率的时钟信号。例如，为了将 80MHz 的串行输入数字数据转换成八个并行数字数据，通常给该 SPC 电路输送 80MHz 的时钟信号。这种操作在功耗、稳定性、可靠性等上是有问题的。

#### 发明内容

本发明是鉴于上述问题做出的，并且本发明的目的是提供用于数字数据的新的串行-并行转换（SPC）电路，该电路的功耗、稳定性和可靠性都优异。

下面简述根据本发明的 SPC 电路和包含该 SPC 电路的半导体显示器件的结构。

根据本发明，用于数字数据的串行-并行转换（SPC）电路将以  $m$  Hz 串行输入的数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据（其中字母  $m$  表示正数，字母  $y$  表示自然数），用于数字数据的串行-并行转换电路用最高  $(m/2)$  Hz 的多个时钟信号操作。

通过这种方式，本发明的 SPC 电路容许用在最高是要输入的数字数据的频率的  $1/2$  的频率的时钟信号操作。

此外，在本说明书中，经常限定时钟信号和数字信号的频率，但是它们应该是覆盖等效频率的近似频率。

而且，根据本发明，用于数字数据的串行-并行转换（SPC）电路将以  $m$  Hz 串行输入的数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据（其中字母  $m$  表示正数，字母  $y$  表示自然数），用于数字数据的串行-并行转换电路用最高  $(m/2)$  Hz 和最低  $(m \cdot 2^y)$  Hz 的多个时钟信号操作。

此外, 根据本发明: 用于数字数据的串行-并行转换 (SPC) 电路将以  $m$  Hz 串行输入的  $x$  位数字数据的各位数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据 (其中字母  $m$  表示正数, 字母  $x$  和  $y$  表示自然数); 用于数字数据的串行-并行转换电路包括  $x$  个 SPC/位电路, 所述  $x$  位数字数据的各位数字数据输入给该  $x$  个 SPC/位电路, 每个所述 SPC 位电路包括第一级到第  $y$  级电路, 第  $y$  级电路把串行输入的  $2^{y-1}$  数字数据的频率降低一半, 并把该  $2^{y-1}$  数字数据转换为  $2^y$  并行数字数据。

另外, 根据本发明: 用于数字数据的串行-并行转换 (SPC) 电路把以  $m$  Hz 串行输入的  $x$  位数字数据的各位数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据 (其中字母  $m$  表示正数, 字母  $x$  和  $y$  表示自然数); 用于数字数据的串行-并行转换电路包括  $x$  个 SPC/位电路, 所述  $x$  位数字数据的各位数字数据输入给该  $x$  个 SPC/位电路, 每个所述 SPC/位电路包括数量由下面给出的公式 (1) 表示的基本单元, 数量由公式 (1) 表示的所述基本单元的每个把串行输入的数字数据的频率转换为二分之一, 并把串行输入的数字数据转换为两个并行数字数据。

$$\sum_{k=1}^y 2^{k-1} \quad (1)$$

此外, 根据本发明: 一种半导体显示器件具有其中像素 TFTs 排列成矩形的有源矩阵电路、驱动该有源矩阵电路的源信号线驱动电路和栅信号线驱动电路、和用于数字数据的串行-并行转换电路, 其中该用于数字数据的串行-并行转换电路把以  $m$  Hz 串行输入的数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据 (其中字母  $m$  表示正数, 字母  $y$  表示自然数); 该半导体显示器件用最高  $(m/2)$  Hz 的多个时钟信号操作。

此外, 根据本发明: 一种半导体显示器件具有其中像素 TFT 排列成矩形的有源矩阵电路、驱动该有源矩阵电路的源信号线驱动电路和栅信号线驱动电路、和用于数字数据的串行-并行转换电路, 其中该用于数字数据的串行-并行转换电路把以  $m$  Hz 串行输入的数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据 (其中字母  $m$  表示正数, 字母  $y$  表示自然数); 该半导体显示器件用最高  $(m/2)$  Hz 和最低  $(m \cdot 2^y)$  Hz 的多个时钟信号操作。

此外, 根据本发明: 一种半导体显示器件具有其中像素 TFTs 排列成矩阵

形的有源矩阵电路、驱动该有源矩阵电路的源信号线驱动电路和栅信号线驱动电路、和用于数字数据的串行-并行转换电路，其中该用于数字数据的串行-并行转换电路把以  $m$  Hz 串行输入的  $x$  位数字数据的各位数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出该并行数字数据（其中字母  $m$  表示正数，字母  $y$  表示自然数）；用于数字数据的串行-并行转换电路包括  $x$  个 SPC/位电路，所述  $x$  位数字数据的各位数字数据输入给该  $x$  个 SPC/位电路，每个所述 SPC/位电路包括第一级到第  $y$  级电路，第  $y$  级电路把串行输入的  $2^{y-1}$  数字数据的频率降低一半，并把该  $2^{y-1}$  数字数据转换为  $2^y$  并行数字数据。

另外，根据本发明：一种半导体显示器件具有其中像素 TFT 排列成矩阵形的有源矩阵电路、驱动该有源矩阵电路的源信号线驱动电路和栅信号线驱动电路、和用于数字数据的串行-并行转换电路，其中该用于数字数据的串行-并行转换电路把以  $m$  Hz 串行输入的  $x$  位数字数据的各位的数字数据转换为  $(m \cdot 2^y)$  Hz 的  $2^y$  并行数字数据并输出  $2^y$  并行数字数据（其中字母  $m$  表示正数，字母  $y$  表示自然数）；用于数字数据的串行-并行转换电路包括  $x$  个 SPC/位电路，所述  $x$  位数字数据的各位的数字数据输入给该  $x$  个 SPC/位电路，每个所述 SPC/位电路包括数量由下面给出的公式（1）表示的基本单元，数量由公式（1）表示的所述基本单元的每个把串行输入的数字数据的频率降低到  $1/2$ ，并把串行输入的数字数据转换为两个并行数字数据。

$$\sum_{k=1}^y 2^{k-1} \quad (1)$$

附图说明

图 1 是实施例 1 中的用于数字数据的串行-并行转换（SPC）电路的方块图；

图 2 是表示实施例 1 的 SPC 电路中的时钟发生器和 SPC/位电路的电路布局的示意图；

图 3 是表示实施例 1 的 SPC 电路中的 SPC 基本单元的电路布局的示意图；

图 4A、4B 和 4C 是表示实施例 1 的 SPC 电路中的 D-锁存电路的电路布局的示意图；

图 5 是用于解释实施例 1 的 SPC 电路的操作的时序图；

图 6 是实施例 2 中用于数字数据的串行-并行转换（SPC）电路的方块图；

图 7 是表示实施例 2 的 SPC 电路中的时钟发生器和 SPC/位电路的电路布局

的示意图;

图 8 是表示实施例 2 的 SPC 电路中的数字数据重新排列开关的电路布局的示意图;

图 9 是用于解释实施例 2 的 SPC 电路的操作的时序图;

图 10 是采用根据本发明的用于数字数据的串行-并行转换 (SPC) 电路的实施例 3 中的有源矩阵型液晶显示器件的方块图;

图 11A-11E 是表示制造实施例 3 的有源矩阵型液晶显示器件的工艺的例子剖视图;

图 12A、12B 和 12C 是表示制造实施例 3 的有源矩阵型液晶显示器件的工艺的例子剖视图;

图 13A、13B 和 13C 是表示制造实施例 3 的有源矩阵型液晶显示器件的工艺的例子剖视图;

图 14A、14B 和 14C 是表示制造实施例 3 的有源矩阵型液晶显示器件的工艺的例子剖视图;

图 15A-15E 是表示制造实施例 4 的有源矩阵型液晶显示器件的工艺的例子剖视图;

图 16A、16B 和 16C 是表示制造实施例 4 的有源矩阵型液晶显示器件的工艺的例子示意图;

图 17A 和 17B 分别是表示其中配备采用本发明的 SPC 电路的有源矩阵型半导体显示器件的投影仪的例子示意图;

图 18A-18E 分别是表示其中配备采用本发明的 SPC 电路的有源矩阵型半导体显示器件的电子设备的例子示意图;

图 19 是表示由实施例 3 中的制造工艺制造的本发明 SPC 电路的工作波形的波形图;

图 20A、20B 和 20C 分别是表示由实施例 3 中的制造工艺制造的本发明 SPC 电路的工作波形的波形图;

图 21 是表示 TFT 特性的曲线图;

图 22 表示包括根据本发明的用于数字视频数据的 SPC 电路的有源矩阵型液晶显示器件的显示例子;

图 23 表示采用各包括根据本发明的用于数字视频数据的 SPC 电路的有源

矩阵型液晶显示器件的投影仪的显示例子；

图 24 是表示无阈值混合反铁电液晶的施加电压-透射特性的曲线图；

图 25A 和 25B 分别是表示根据本发明的有源矩阵型的 EL 板的例子的结构的顶部平面图和剖视图（实施例 9）；

图 26A 和 26B 分别是表示本发明的有源矩阵型 EL 板的另一例子的结构的顶部平面图和剖视图（实施例 10）；

图 27 是本发明有源矩阵型 EL 板的另一例子的剖视图（实施例 11）；

图 28A 和 28B 分别是图 27 中所示的有源矩阵型 EL 板的例子的顶部平面图和电路图（实施例 11）；

图 29 是本发明的有源矩阵型 EL 板的又一例子的剖视图（实施例 12）；和

图 30A、30B 和 30C 分别是解释本发明有源矩阵型 EL 板的不同例子的电路图（实施例 13）。

具体实施方式

现在结合实施例介绍根据本发明的用于数字数据的串行-并行转换（SPC）电路。但是本发明的 SPC 电路不应该限于下面的实施例。

（实施例 1）

下面参照图 1 介绍根据本发明的用于数字数据的串行-并行转换（SPC）电路的一个实施例。在图 1 中，以方块图的形式示出本例中用于 8 位数字数据的 SPC 电路的电路布局。本例中的用于 8 位数字数据的 SPC 电路把以 80 MHz 串行输入的 8 位（DIGITAL DATA-1（LSB）到 DIGITAL DATA-8（MSB））数字数据转换成并行，并输出每位 10 MHz 的八个并行数字数据。

在图 1 所示的本例 SPC 电路中，符号 CLK\_GEN\_L 和 CLK\_GEN\_R 表示时钟发生电路，每个时钟发生电路产生 SPC 电路工作需要的多个时钟信号。该时钟发生电路 CLK\_GEN\_L 和 CLK\_GEN\_R 可以是本发明的 SPC 电路或其外部电路的一部分。本例中，40 MHz（CK40）的时钟信号和作为前一信号的反相信号的反相时钟信号（CK40B）从 SPC 电路的外部输入到各时钟发生电路 CLK\_GEN\_L 和 CLK\_GEN\_R 中。在这种方式中，时钟信号的频率可以是外部输入的数字数据的频率（本例中为 80 MHz）的 1/2。这是本发明的 SPC 电路的特点之一。

此外，复位信号（RES）馈送给时钟发生电路 CLK\_GEN\_L 和 CLK\_GEN\_R。

本例的 SPC 电路的操作是由复位信号的脉冲输入启动的。

每个时钟发生电路 CLK\_GEN\_L 和 CLK\_GEN\_R 在外部输入的 40 MHz 时钟信号的基础上产生 20 MHz 和 10 MHz 的时钟信号，并且将产生的时钟信号和其反相时钟信号输送给后面要解释的 SPC/位电路。从图 1 所示的每个时钟发生器 CLK\_GEN\_L 和 CLK\_GEN\_R 的输出节点 CK40\_O 传输 40 MHz 的时钟信号，而从输出节点 CK40B\_O 传输其反相时钟信号。此外，从每个发生器的输出节点 CK20\_O 输送 20 MHz 的时钟信号，并从输出节点 CK20B\_O 输送其反相时钟信号。另外，从每个发生器的输出节点 CK10\_O 传输 10MHz 的时钟信号，从输出节点 CK10B\_O 传输其反相时钟信号。

顺便提及，在本例中采用了两个时钟发生器 CLK\_GEN\_L 和 CLK\_GEN\_R，但也可以只采用其中的一个。

SPC/位电路是对应数字数据的一个位的电路。本例中，在用于数字数据的 SPC 电路中包含了 8 个 SPC/位电路（SPC/位-1 电路到 SPC/位-8 电路）。由于本例的 SPC 电路处理 8 位的数字数据（DIGITAL DATA-1（LSB）到 DIGITAL DATA-8（MSB）），因此数字数据的位数据（DIGITAL VIDEO-1 到 DIGITAL VIDEO-8）分别输入到 SPC /位-1 电路到 SPC/位-8 电路。

在从时钟发生器 CLK\_GEN 输送的时钟信号（CK40，CK40B，CK20，CK20B，CK10 和 CK10B）基础上，SPC/位电路将以每位 80MHz 串行输入的数字数据转换成并行并以 10 MHz 输出 8 并行数字数据。

这里，参照图 2 介绍作为本例的 SPC 电路组成部分的 SPC/位电路。图 2 表示本例的 SPC 电路中的时钟发生器 CLK\_GEN\_L 和 SPC/位-1 电路，其中数字数据的最低位（DIGITAL DATA-1）输入到 SPC/位-1 电路。顺便提及，分别输入数字数据（DIGITAL DATA-2 到 DIGITAL DATA-8）的 SPC/位电路基本上与图 2 所示的 SPC/位-1 电路相同。

如图 2 所示，在本例中，SPC/位-1 电路具有第一级电路（1 级）、第二级电路（2 级）和第三级电路（3 级）。

SPC/位-1 电路包括七个 SPC 基本单元。更具体地说，第一级电路包括一个 SPC 基本单元，第二级电路包括两个 SPC 基本单元，第三级电路包括四个 SPC 基本单元。

第一级电路的 SPC 基本单元输送以来自时钟发生器 CLK\_GEN\_L 或 CLK

GEN\_R 的 40MHz(CK40)的时钟信号和其反相时钟信号 (CK40B)。80 MHz 的数字数据从 SPC 电路的外部输入到第一级的 SPC 基本单元的输入节点 (IN)。最低位 (DIGITAL DATA-1) 的 80 MHz 的 8-位数字数据从外部输入到图 2 所示的 SPC/位-1 电路的第一级电路的 SPC 基本单元的输入节点 (IN)。40MHz 的数字数据从第一级电路的 SPC 基本单元的输出节点 OUT1 和 OUT2 传输到第二级电路的两个 SPC 基本单元的各对应输入节点 (IN)。

第二级电路的两个 SPC 基本单元被输送以来自时钟发生器 CLK\_GEN\_L 或 CLK\_GEN\_R 的 20MHz (CK20) 的时钟信号和其反相时钟信号 (CK20B)。20 MHz 数字数据从第二级电路的 SPC 基本单元的输出节点 OUT1 和 OUT2 输送到第三级电路的四个基本单元的各对应输入节点 (IN)。

第三级电路的四个 SPC 基本单元被输送以来自钟发生器 CLK\_GEN\_L 或 CLK\_GEN\_R 的 10 MHz (CK10) 时钟信号和其反相时钟信号 (CK10B)。从第三级电路的各 SPC 基本单元的输出节点 OUT1 和 OUT2 输送 10 MHz 的数字数据。

另外, 也在分别输入剩余七位数字数据 (DIGITAL DATA-2 到 DIGITAL DATA-8) 的 SPC/位-2 电路到 SPC/位-8 电路中进行与上述相同的操作, 因此从所有 SPC/位电路的第三级电路的各 SPC 基本单元的输出节点 OUT1 和 OUT2 传输 10 MHz 的数字数据。

这里, 参照图 3 介绍构成本例 SPC 电路的 SPC/位电路的 SPC 基本单元的电路布局。在图 3 中, 以方块图形式示出一个 SPC 基本单元的电路布局。本例中, 任何 SPC 基本单元都具有如图 3 所示的布置。但是, 由于各级电路的 SPC 基本单元的操作频率不同, 因此它们最好由有不同特性的晶体管构成。

在图 3 所示的 SPC 基本单元中, 符号 H-DL 和 L-DL 表示称为“D-锁存电路”的锁存电路。锁存电路 H-DL 是在输入锁存信号为 Hi (高) 时锁住输入信号 (IN) 的 D-锁存电路, 而锁存电路 L-DL 是在输入锁存信号为 Lo (低) 时锁住输入信号 (IN) 的 D-锁存电路。

这里, 参照图 4A、4B 和 4C 介绍本例中的 D 锁存电路 H-DL 和 L-DL 的电路布局。但是也容许采用图 4A、4B 和 4C 中所示那些电路以外的 D 锁存电路。

D-锁存电路 H-DL 示于图 4A 中, 而 D-锁存电路 L-DL 示于图 4B 中。每个锁存电路 H-DL 和 L-DL 包括两个时钟反相电路和一个反相电路。“时钟反相电

路”是在输入的时钟信号和其反相时钟信号基础上工作的反相电路。本例中的时钟反相电路的电路布局示于图 4C 中。

时钟信号 (CK) 和其反相时钟信号 (CKB) 输入到各 D-锁存电路 H-DL 和 L-DL 中。在本例中, 时钟信号 (CK) 对应 D-锁存电路 H-DL 和 L-DL 中的锁存信号。此外, 在时钟信号 (CK) 为 Hi 时, D-锁存电路 H-DL 锁住从输入节点 IN 接收的输入信号并从输出节点 OUT 输送输出信号。另一方面, 在时钟信号 (CK) 为 Lo 时, D-锁存电路 L-DL 锁住从输入节点 IN 接收的输入信号并从输出节点 OUT 输送输出信号。

这里, 参照图 1 和图 2 及图 5 的时序图详细介绍本例中的用于数字数据的 SPC 电路的操作。在图 5 的时序图中, 示出了作为输入到时钟发生器 CLK\_GEN L 和 CLK\_GEN\_R 的信号的 40MHz 时钟信号 (CK40) (也是从时钟发生器 CLK\_GEN\_L 和 CLK\_GEN\_R 输入到 SPC/位电路的 40MHz 时钟信号)、其反相信号 (CK40B) 和复位信号 (RES)。

此外, 图 5 中还示出了从时钟发生器 CLK\_GEN 输入到 SPC/位电路的 20 MHz 时钟信号 (CK20) 和 10 MHz 时钟信号 (CK10)。

而且还示出了 80MHz 的串行 8-位数字数据的最低位 (A、B、C、...A'、B'、C'、...、和 A''、B''、C''、...), 这些数字数据分别输送给 SPC/位-1 电路到 SPC/位-8 电路。此外, 一个数字数据组 (例如数据组 A) 的数据长度为 12.5nsec。

此外, 从每个 SPC/位电路的输出节点 OUT100 和 OUT200 (1 级)、其输出节点 OUT110、OUT120、OUT210 和 OUT220 (2 级) 及其输出节点 OUT111 (PAO)、OUT112 (PEO)、OUT121 (PCO)、OUT122 (PGO)、OUT211 (PBO)、OUT212 (PFO)、OUT221 (PDO) 和 OUT222 (PHO) (3 级) 输送的数字信号示于图 5 的时序图中。

如图 5 的时序图所示, 每级的 SPC 基本单元将输入数字数据的频率降低到 1/2 (换言之, 它是数据长度的两倍), 并且将输入数字数据顺序地转换为两并行数字信号。

更具体地说, 首先, 每个 SPC/位电路的 1 级 SPC 基本单元将以 80MHz 串行输入的数字数据转换成 40MHz 的并行数字数据, 这些并行数字数据分别从输出节点 OUT100 和 OUT200 传输到 2 级的两个 SPC 基本单元的对应输入节

点 (IN)。例如, 1 级的 SPC 基本单元将以 80MHz 串行输入的数字数据 (数据长度各为 12.5nsec 的 A 和 B) 转换成 40MHz 的两并行数字数据 (数据长度各为 25 nsec 的 A 和 B)。

其次, 每个 SPC/位电路的 2 级的两个 SPC 基本单元将以 40 MHz 串行输入的数字数据转换成 20MHz 的并行数字数据, 它们分别从输出节点 OUT110 和 OUT120 及 OUT210 和 OUT220 传输到 3 级的四个 SPC 基本单元。例如, 2 级的 SPC 基本单元将以 40MHz 串行输入的数字数据 (数据长度各为 25nsec 的 A 和 C) 转换成 20MHz 的两并行数字数据 (数据长度各为 50 nsec 的 A 和 C)。

另外, 每个 SPC/位电路的 3 级的四个 SPC 基本单元将以 20 MHz 串行输入的数字数据转换成 10MHz 的并行数字数据, 它们分别从输出节点 OUT111 (PAO) 和 OUT112 (PEO)、输出节点 OUT121 (PCO) 和 OUT122 (PGO)、OUT211 (PBO) 和 OUT212 (PFO) 以及 OUT221 (PDO) 和 OUT222 (PHO) 传输。例如, 3 级的 SPC 基本单元将以 20MHz 串行输入的数字数据 (数据长度各为 50nsec 的 A 和 E) 转换成 10MHz 的两并行数字数据 (数据长度各为 100 nsec 的 A 和 E)。

因而, 该 10MHz 的数字数据分别从输出节点 PAO、PBO、PCO、PDO、PEO、PFO、PGO 和 PHO 传输。

所有 SPC/位电路中进行上述操作, 结果使串行输入的 80 MHz 的 8 位数字数据转换成 10MHz 的 8 个并行 8-位数字数据。

顺便提及, 前面已经介绍了涉及本发明的用于数字数据的串行-并行转换电路将 80 MHz 的 8-位数字数据转换成 10MHz 的 8 个并行 8-位数字数据的情况的实施例。但是, 可适用于本发明串行-并行转换电路不限于此。

根据本发明的用于数字数据的串行-并行转换电路可以将以  $m$  Hz 串行输入的数字数据转换成  $(m \cdot 2^y)$  Hz 的  $2^y$  个并行数字数据, 以便输出并行数字数据。这里, 字母  $m$  表示正数, 字母  $y$  表示自然数。应该理解, 在这种情况下, 本发明的串行-并行转换电路可以用等于或低于  $(m/2)$  Hz 的多个时钟信号操作。

这里, 对于多个时钟信号所采用的频率最高为  $(m/2)$  Hz, 最低为  $(m \cdot 2^y)$  Hz。

此外, 在要被本发明的串行-并行转换电路处理的数字数据为  $x$  位的情况下, 输入  $x$  位数字数据的各位的数字数据的 SPC/位电路由 SPC/位-1 电路到 SPC/位

-x 电路的 x 个 SPC/位电路组成。另外，每个 SPC/位电路包括多个 SPC 基本单元，其数量由下面给出的公式 (1) 表示。这里，字母 x 表示最小为 2 的自然数。

[公式 1]

$$\sum_{k=1}^y 2^{k-1} \quad (1)$$

更详细地说，第一级电路包括一个 SPC 基本单元，第二级电路包括两个 SPC 基本单元，第 k 级电路包括  $2^{k-1}$  个 SPC 基本单元，第 y 级电路包括  $2^{y-1}$  个 SPC 基本单元。这里，字母 k 表示 1 到 y (包括 1 和 y) 的自然数。

x 位数字数据的各位数字数据输入给对应 SPC/位电路。每个 SPC/位电路的第 k 级电路把串行输入的  $2^{k-1}$  数字数据的频率降低一半，第 k 级电路把串行输入的  $2^{k-1}$  个数字数据转换成  $2^k$  个并行数字数据。 $2^k$  个并行数字数据输出到作为后级的第 (k+1) 级电路的对应 SPC 基本单元。顺便提及，末级的级别电路传输对应位数字数据作为 SPC 电路的输出。

如上所述，根据本发明的用于数字数据的串行-并行转换电路不受数字数据的任何频率、其位数量及其分割数量的限制。

而且，本发明的串行-并行转换电路只需要最高为要输入的数字数据的频率的一半的频率的时钟信号。因此，与现有技术的电路相比，本发明的串行-并行转换电路的稳定性、可靠性和功耗更优异。

(实施例 2)

现在介绍根据本发明的用于数字数据的串行-并行转换 (SPC) 电路的另一实施例。本例中的 SPC 电路是对实施例 1 中的 SPC 电路添加了重新排列数字数据的功能。其余的结构与实施例 1 的相同。

现在参见图 6，其中以方块图示出了本例中的用于数字数据的 SPC 电路的电路布局。在本例中，与实施例 1 一样，也处理 8-位的数字数据。与实施例 1 中的 SPC 电路一样，本例中用于 8-位数字数据的 SPC 电路将以 80MHz 串行输入的 8-位数字数据 (DIGITAL DATA-1 (LSB) 到 DIGITAL DATA-8 (MSB)) 转换成并行并输出每位 10MHz 的 8 个并行数字数据。

如图 6 所示在本例的 SPC 电路中，用于体现数字数据重新排列功能的数字数据重新排列信号 (LR) 及其反相信号 (LRB) 输送给每个 SPC/位电路的输

入节点 LRL 和 LRL。

这里，参照图 7 介绍作为本例 SPC 电路的组成部分的 SPC/位电路。图 7 表示本例的 SPC 电路中的时钟发生器 CLK GEN L 和输入数字数据的最低位 (DIGITAL DATA-1) 的 SPC/位-1 电路。顺便提及，分别输入数字数据 (DIGITAL DATA-2 到 DIGITAL DATA-8) 的每个 SPC/位电路基本上与图 6 中所示的 SPC/位电路相同。

如图 7 所示，在本例中，SPC/位-1 电路包括 7 个 SPC 基本单元和 8 个数字数据重新排列开关 SW\_LR。7 个 SPC 基本单元的连接与实施例 1 中的相同。

这里，本例中的数字数据重新排列开关 SW\_LR 的电路图示于图 8 中。本例中，开关 SW\_LR 包括两个模拟开关，每个模拟开关由 P-沟道晶体管 (Pch Tr) 和 N-沟道晶体管 (Nch Tr) 构成。本例中的数字数据重新排列开关 SW\_LR 可以根据作为输入接收的信号 LR 和 LRB 从输出节点 P3 输送输入节点 P1 或输入节点 P2 的信号。

当保持 LR=Hi (高) 和 LRB=Lo (低) 时，数字数据重新排列开关 SW\_LR 从节点 P3 输出输入到节点 P1 的数字数据。另一方面，当保持 LR=Lo 和 LRB=Hi 时，数字数据重新排列开关 SW\_LR 从节点 P3 输出输入到节点 P2 的数字数据。

下面参照图 9 的时序图介绍本例中用于数字数据的 SPC 电路的操作。直到第三级电路的 SPC 基本单元的输出节点 OUT111、OUT112、OUT121、OUT122、OUT211、OUT212、OUT221 和 OUT222 的信号的 SPC 基本单元的输出信号与实施例 1 的相同，因此可参照实施例 1。

每个 SPC/位电路的第三级电路的 SPC 基本单元将以 20MHz 串行输入的数字数据转换成 10 MHz 的并行数字数据，它们分别从输出节点 OUT111 和 OUT112、OUT121 和 OUT122、OUT211 和 OUT212 以及 OUT221 和 OUT222 传输。

当输入到数字数据重新排列开关 SW\_LR 的信号为 LR= Hi 和 LRB=Lo 时，这些开关从节点 P3 输出输入给节点 P1 的数字数据。因此如图 9 的时序图所示，分别从输出节点 PAO、PEO、PCO、PGO、PBO、PFO、PDO、和 PHO 传输数字数据 A、E、C、G、B、F、D、和 H。

当输入到数字数据重新排列开关 SW\_LR 的信号为 LR= Lo 和 LRB= Hi 时，

这些开关从节点 P3 输出输入给节点 P2 的数字数据。因此如图 9 的时序图所示出的和括以括号的, 分别从输出节点 PAO、PEO、PCO、PGO、PBO、PFO、PDO 和 PHO 传输数字数据 H、D、F、B、G、C、E、和 A。

在所有 SPC/位电路中进行上述操作, 结果, 串行输入的 80 MHz 8-位数字数据被转换成 10 MHz 的 8 个并行 8-位数字数据。

在这种方式中, 通过控制输入给数字数据重新排列开关 SW\_LR 的信号 LR, 可以重新排列要从串行-并行转换电路输出的数字数据。

在本例中, 通过控制输入给数字数据重新排列开关的信号 LR, 重新排列要从串行-并行转换 (SPC) 电路输出的数字数据。但是, 还可以采用这样的方法: 预先重新排列要从 SPC 电路外部输入的数字数据, 然后将该重新排列的数据输入给 SPC 电路。该方法对于实施例 1 的 SPC 电路中的不包含数字数据重新排列开关的方案尤其有用。

### (实施例 3)

在本例中, 将介绍上述实施例 1 或 2 中的用于数字数据的串行-并行转换 (SPC) 电路适用于用于有源矩阵型液晶显示器件的驱动电路的情况。

参见图 10, 其中示出了本例中的有源矩阵型液晶显示器件的示意方块图。数字 1001 表示源信号线驱动电路 A, 而标记 1002 表示源信号线驱动电路 B。标记 1003 表示栅信号线驱动电路。此外, 标记 1004 表示有源矩阵电路。以标记 1005 表示的是用于数字数据的 SPC 电路, 该电路具有在前面实施例 2 中所述的数字数据重新排列功能。

源信号线驱动电路 A 1001 包括移位寄存电路 (具有 240 级×2 的移位寄存电路) 1001-1、锁存电路 1 (锁住 960×8 个数字数据的锁存电路) 1001-2、锁存电路 2 (锁住 960×8 个数字数据的锁存电路) 1001-3、选择电路 1 (选择 240 个数字数据的选择电路) 1001-4、D/A (数字-模拟) 转换电路 (转换 240 个数字数据并且还称为“DAC”的 D/A 转换电路) 1001-5 和选择电路 2 (选择 240 个数字数据的选择电路) 1001-6。此外, 该驱动电路 A 1001 还包括缓冲电路和电平移位电路 (都未示出)。此外, 为便于说明, DAC1001-5 中应该包含电平移位电路。

时钟信号 (CK) 和启动脉冲 (SP) 输入给移位寄存电路 1001-1。输入给锁存电路 1 (1001-2) 的是其频率已经被 SPC 电路 1005 降低到 10 MHz 的 8 个并

行 8-位数字数据。锁存信号输入给锁存电路 2 (1001-3)。选择信号输入给选择电路 1 (1001-4)。输入给 D/A 转换电路 1001-5 的是高电位电源电压 (DC\_VIDEO\_H)、低电位电源电压 (DC\_VIDEO\_L)、偏移电源电压 (DC\_VIDEO\_M) 和复位脉冲 (ResA 和 ResB)。另外, 选择信号输入给选择电路 2 (1001-6)。

源信号线驱动电路 B 1002 的结构与源信号线驱动电路 A 1001 的结构相同。顺便提及, 源信号线驱动电路 A 1001 将视频信号 (灰度等级电压信号) 输送给奇数个源信号线, 而源信号线驱动电路 B 1002 将视频信号输送给偶数个源信号线。

此外, 在本例的有源矩阵型液晶显示器件中, 两个源信号线驱动电路 A 和 B 设置成为了电路布局的原因而垂直地保持其间的有源矩阵电路 1004。但是, 如果可以从电路布局的观点来看, 可以只设置一个源信号线驱动电路。

同时, 栅信号线驱动电路 1003 包括移位寄存电路、缓冲电路、电平移位电路等 (都未示出)。

有源矩阵电路 1004 具有数量为  $1920 \times 1080$  (水平 $\times$ 垂直) 的像素。像素 TFTs (薄膜晶体管) 分配给各像素。源信号线和栅信号线分别电连接到每个像素 TFTs 的源区和栅极。此外, 像素电极与每个像素 TFT 的漏区电连接。每个像素 TFT 控制视频信号 (灰度等级电压) 到与之电连接的像素电极的输送。该视频信号 (灰度等级电压) 输送给各像素电极, 并且所述电压施加于夹在像素电极和对电极之间的液晶, 由此驱动液晶。

在本例中, 80MHz 的 8-位数字数据从液晶显示器件的外部输入给串行-并行转换 (SPC) 电路 1005。SPC 电路 1005 转换外部输入的 80MHz 的 8-位数字数据, 并且将 10 MHz 的 8 个并行数字数据输送给源信号线驱动电路 A 和 B。

这里, 接下来将介绍本例中的有源矩阵型液晶显示器件的操作。

首先, 解释源信号线侧驱动电路 A 1001 的操作。时钟信号 (CK) 和启动脉冲 (SP) 输入给移位寄存电路 1001-1。该移位寄存电路 1001-1 在时钟信号 (CK) 和启动脉冲 (SP) 的基础上连续产生定时信号, 并通过缓冲电路等 (未示出) 将该定时信号连续地输送给后级电路。

来自移位寄存电路 1001-1 的定时信号被缓冲电路等缓冲。输送以定时信号的每个源信号线具有很大的负载电容 (寄生电容), 这是因为大量电路或元件与之连接造成的。设置缓冲电路, 以便防止每个定时信号的上升或下降由于大

负载电容而变为“迟钝”。

接着，被缓冲电路缓冲的定时信号输送给锁存电路 1（1001-2）。该锁存电路 1（1001-2）具有 960 级子锁存电路，每个子锁存电路处理 8-位数字数据。当输送以定时信号时，锁存电路 1（1001-2）连续地接受从本发明 SPC 电路 1005 馈送的 8-位数字数据并将它们保持在其中。

数字数据完全被写入锁存电路 1（1001-2）的所有级的子锁存电路的时间周期被称为“行扫描周期”。就是说，在正向向前扫描的情况下，行扫描周期是从将数字数据写入锁存电路 1（1001-2）的最左一级的子锁存电路中的操作开始时的时间点到将数字数据写入最右一级的子锁存电路中的操作结束时的时间点的间隔。实际上，有时将水平回扫周期加上上述行扫描周期得到的时间周期称为“行扫描周期”。

一个行扫描周期结束后，与移位寄存电路 1001-1 的操作定时相符合，锁存信号输送给锁存电路 2（1001-3）。此时，被写入并保持在锁存电路 1（1001-2）中的数字数据同时输送给锁存电路 2（1001-3），并且它们被写入并保持在锁存电路 2（1001-3）的所有级的子锁存电路中。

在来自移位寄存电路 1001-1 的定时信号基础上，从本发明的 SPC 电路 1005 传输的数字数据再次被连续地写入已经向锁存电路 2（1001-3）传输保持的数字数据的锁存电路 1（1001-2）中。

在第二周期的一个行扫描周期期间，被写入并保持在锁存电路 2（1001-3）中的数字数据被选择电路 1（1001-4）连续地选择并输送给 D/A 转换电路（DAC）1001-5。在本例中，选择电路 1（1001-4）具有子选择电路，每个子选择电路对应四个源信号线。

顺便说明一下，关于选择电路，还可以采用在转让给本申请同一受让人的日本专利申请特许公开 No.11-167373（1999）中公开的选择电路。该日本专利申请对应美国专利申请系列号 09/162230 和欧洲专利申请特许公开 No.0938074A。

根据输入的选择信号，一个行扫描周期（水平扫描周期）的每 1/4，选择电路 1（1001-4）选择和输出对应四个源信号线的数字数据。

在本例的选择电路 1（1001-4）中，设置每四分之一源信号线一个子选择电路。这样，从锁存电路 2（1001-3）输送到对应源信号线的 8-位数字数据被选

择一个行扫描周期的每 1/4 时间。

被选择电路 1 (1001-4) 选择的 8-位数字数据输送给 DAC1001-5。在本例中, 可以采用任何 D/A 转换电路, 但是采用在转让给与本申请相同的转让人的日本专利申请 No.10-344732 (1998) 中公开的 D/A 转换电路是有利的。

用与前述选择电路 1 (1001-4) 相同的方式, 每 1/4 扫描周期, 从 D/A 转换电路 1001-5 输出的模拟数据 (灰度等级电压) 被选择电路 2 (1001-6) 选择并输送给源信号线。

输送给源信号线的模拟数据输送到与源信号线连接的有源矩阵电路 1004 的像素 TFTs 的源区。

源信号线驱动电路 B1002 具有与前述源信号线驱动电路 A1001 相同的结构。该驱动电路 B 1002 将模拟数据输送给偶数个源信号线。

栅信号线驱动电路 1003 包括输送以来自移位寄存器 (未示出) 的定时信号的缓冲电路 (未示出), 并将定时信号传输给对应栅信号线 (扫描行)。用于一个水平行的像素 TFTs 的栅电极连接到每个栅信号线, 并且需要用于一个水平行的所有像素 TFTs 同时被打开。因此, 采用的缓冲电路具有大电流容量。

在这种方式中, 对应像素 TFTs 被来自栅信号线驱动电路 1003 的扫描信号切换, 并且它们被输送以来自源信号线驱动电路 A (1001) 和 B (1002) 的模拟数据 (灰度等级电压), 由此驱动液晶分子。

当根据本发明用于数字数据的串行-并行转换 (SPC) 电路适用于与本例一样的有源矩阵型液晶显示器件时, 可以处理较高频率的数字数据。

下面将介绍制造包括本例中所述的本发明 SPC 电路的有源矩阵型液晶显示器件的工艺的例子。本例中, 通过举例介绍液晶显示器件, 其中多个 TFTs 形成在具有绝缘表面的衬底上, 并且在同一衬底上形成有源矩阵电路、源信号线驱动电路、栅信号线驱动电路、本发明的 SPC 电路、和其它外围电路。用于制造这个例子的工艺示于图 11A-11E、图 12A-12C、图 13A-13E 和图 14A-14C 中。顺便提及, 在下面的例子中将介绍这样的状态: 其中有源矩阵电路的一个像素 TFT 同时形成有 CMOS (互补 MOS 晶体管) 电路, 该 CMOS 电路是其它电路 (源信号线驱动电路、栅信号线驱动电路、SPC 电路和其它外围电路) 的基本电路。而且, 在下面的例子中将介绍关于在 CMOS 电路中每个 P-沟道 TFT 和 N-沟道 TFT 包括一个栅极的情况的制造步骤, 但是同样可以制造以各包括

多个栅极的 TFTs 如双栅型或三栅型的 TFTs 为基础的 CMOS 电路。此外，在下面的例子中介绍了作为双栅 N-沟道 TFT 的像素 TFT，但是也可以用单栅型、三栅型等 TFT 代替。

现在参照图 11A。首先，制备石英衬底 5001 作为具有绝缘表面的衬底。可以使用具有热氧化膜的硅衬底代替石英衬底。而且还可以采用这样的方法，其中非晶硅膜一次形成在石英衬底上，并完全热氧化成绝缘膜。另外，容许采用形成有氮化硅膜作为绝缘膜的石英衬底、陶瓷衬底或硅衬底。然后形成基底膜 5002。在本例中，氧化硅 ( $\text{SiO}_2$ ) 用于基底膜 5002。在下一步骤形成非晶硅膜 5003。调整非晶硅膜 5003，使其最后厚度（考虑在热氧化之后膜变薄获得的厚度）可以为 10 到 75nm（优选为 15 到 45nm，更优选为 25nm）。

顺便提及，在形成非晶硅膜 5003 时，完全控制膜中的杂质浓度是很重要的。在本例的情况下，在非晶硅膜 5003 中，C（碳）、N（氮）和 O（氧）是杂质，它们会妨碍非晶膜后来的结晶。控制杂质 C 和 N 的浓度以使其在  $5 \times 10^{18} \text{atoms/cm}^3$  以下（通常至多为  $5 \times 10^{17} \text{atoms/cm}^3$ ，优选至多为  $2 \times 10^{17} \text{atoms/cm}^3$ ），而杂质 O（氧）的浓度被控制在  $5 \times 10^{19} \text{atoms/cm}^3$  以下（通常至多为  $1 \times 10^{18} \text{atoms/cm}^3$ ，优选至多为  $5 \times 10^{17} \text{atoms/cm}^3$ ）。原因是，以较高浓度存在的杂质对后来的结晶产生有害的影响并导致结晶膜的质量下降。在本说明书中，膜中杂质元素的浓度被定义为 SIMS（二次离子质谱仪）的测量结果的最小值。

为得到上述结构，本例中使用的低压热 CVD 炉通常应该进行干洗处理，以便清洗膜形成室。干洗可以用这种方法进行，即：使  $\text{ClF}_3$ （氟化氯）气体以 100 到 300sccm 在被加热到约 200-400°C 的炉子内流动，而后用热分解产生的氟清洗膜形成室。

另外，本发明人已经发现，在炉内温度设置在 300°C 和  $\text{ClF}_3$  气体的流量设置在 300sccm 的情况下，在 4 小时内可以完全除去约为 2 $\mu\text{m}$  厚的粘接物质（主要由硅组成）。

而且，非晶硅膜 5003 中的氢的浓度是非常重要的参数，在将氢含量抑制在很低时，可以产生良好结晶性的膜。因此，利用低压热 CVD 形成非晶硅膜 5003 是有利的。还可以通过优化膜形成的条件而采用等离子体 CVD。

接下来，进行非晶硅膜 5003 的结晶步骤。可采用日本专利申请特许公开

No.7-130652 (1995) 中公开的技术作为结晶的方法。该日本专利申请对应美国专利 No.5643826 和美国专利 No.5923962。虽然可以依赖于在该日本专利申请中所述的实施例 1 和 2 的任一个的方法,但是在本例中可以有利地采用该日本专利申请(细节见日本专利申请特许公开 No.8-78329 (1996))的实施例 2 中所述的技术内容。

日本专利申请特许公开 No.8-78329 中公开的技术是,首先形成厚度为 150 nm 的用于选择区域的掩模绝缘膜 5004,该膜将要用催化剂元素掺杂。掩模绝缘膜 5004 具有多个开口,以便引入催化剂元素。晶体区的位置可以由这些开口来确定。

此外,作为促进非晶硅膜 5003 结晶的催化剂元素,通过用含有镍的溶液(乙酸镍的乙醇溶液) 5005 旋涂涂敷所得到的衬底。除了镍元素以外,钴 (Co)、铁 (Fe)、钯 (Pd)、锗 (Ge)、铂 (Pt)、铜 (Cu)、金 (Au) 等任何一种都可以作为催化剂元素(图 11B)。

而且,对于用催化剂元素的掺杂步骤也可以采用利用抗蚀剂掩模的离子注入或等离子体掺杂。在这种情况下,减小要掺杂的每个区域的占据面积并控制后面将要介绍的每个横向生长区域的生长距离是有利的。因此,这种技术对于构成微型电路非常有效。

完成用催化剂元素的掺杂步骤之后,在 450°C 对得到的衬底进行脱氢处理一个小时候左右。之后,通过在 500-960°C (通常为 550-650°C) 下在惰性气氛、氢气气氛或氧气气氛中对得到的衬底进行热处理 4 小时-24 小时,使非晶硅膜 5003 结晶。在本例中,热处理是在 600°C 下在氮气气氛中进行了 12 小时。

在这种情况下,优先从出现在用催化剂元素 Ni 掺杂的区域 5004 中的晶核进行非晶硅膜 5003 的结晶,由此形成晶体区 5007,每个晶体区是由基本上与衬底 5001 的衬底平面平行生长的多晶硅膜构成。晶体区 5007 被称为“横向生长区”。由于横向生长区具有以相对均匀状态聚集的分立的晶体,因此作为整体来说具有结晶性优异的优点(图 11C)。

顺便提及,也可以通过用乙酸镍溶液涂敷其整个表面使非晶硅膜 5003 结晶,而不采用掩模绝缘膜 5004。

参照图 11D,其中示出了吸收催化剂元素的工艺。首先,用磷离子掺杂得到的衬底的选择部分。使用掺杂剂磷的掺杂是在形成掩模绝缘膜 5004 的状态

中进行的。然后，用掺杂剂磷只掺杂未被掩模绝缘膜 5004 覆盖的多晶硅膜 5007 的那些部分 5008（这些部分应该称为“磷掺杂区 5008”）。在这种情况下，应该最佳选择掺杂的加速电压和由氧化膜构成的掩模 5004 的厚度，以免掺杂剂磷穿过掩模绝缘膜 5004。虽然掩模绝缘膜 5004 不一定必须是氧化膜，但氧化膜是有利的，这是因为即使它直接与任何有源层接触氧化膜也不会构成污染的原因。

掺杂剂磷的剂量可以在  $1 \times 10^{14}$  ions/cm<sup>2</sup> 到  $2 \times 10^{15}$  ions/cm<sup>2</sup> 数量级。在本实施例的例子中，掺杂剂磷可以利用离子掺杂设备以  $2 \times 10^{15}$  ions/cm<sup>2</sup> 的剂量引入。

另外，离子掺杂的加速电压设置在 10keV。通过 10keV 的加速电压，掺杂剂磷几乎不会穿过 150nm 厚的掩模绝缘膜。

参照图 11E。接着，在 600°C 的氮气氛中对得到的衬底进行热退火 1-12 小时（本例中为 12 小时），由此除去元素镍。因此，如图 11E 中的箭头所示，元素镍被向掺杂剂磷方向拉过去。在 600°C 的温度，磷原子几乎不会在膜 5007 内迁移，但是镍原子可以迁移至少几百  $\mu\text{m}$  左右等的距离。因此，可以理解磷是最适于除去镍的元素之一。

下面参照图 12A 介绍构图多晶硅膜 5007 的步骤。在这种情况下，应该防止留下其中吸除元素镍的磷掺杂区 5008。通过这种方式，获得作为几乎不含元素镍的多晶硅膜的有源层 5009、5010 和 5011。如此获得的作为多晶硅膜的有源层 5009、5010 和 5011 用做后来 TFTs 的有源层。

参照图 12B，用由含有硅的绝缘膜构成的厚度为 70nm 的栅绝缘膜 5012 叠加有源层 5009、5010 和 5011。此外，在氧化气氛中在 800-1100°C（优选为 950-1050°C）进行热处理，由此在有源层 5009、5010 和 5011 和栅绝缘膜 5012 之间的界面形成热氧化膜（未示出）。

另外，可以用这种方式使对应要求高速度操作的本发明的 SPC 电路、驱动电路等的部分的栅绝缘膜 5012 变薄，即：在已经形成这种栅绝缘膜 5012 之后，部分地除去栅绝缘膜，然后进一步形成栅绝缘膜。

另外，可以在这个阶段进行用于除去催化剂元素的热处理（用于除去催化剂元素的工艺）。在这种情况下，使热处理的气氛含有卤族元素，并获得利用卤族元素除去催化剂元素的除气效果。其中，为了满意地获得在卤族元素基础上的除气效果，最好在 700°C 以上的温度进行热处理。在 700°C 和 700°C 以下

的温度，显然处理气氛中的卤素化合物变得很难分解，因此不能获得除气效果。在这种情况下，通常可用做含有卤族元素的气体是选自下列含卤素化合物中的至少一种：HCl、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>2</sub>、F<sub>2</sub> 和 Br<sub>2</sub>。在该步骤中，在例如使用化合物 HCl 的情况下，应该考虑到，在氯的作用下除去有源层中的元素镍，从而形成易挥发的氯化镍，该氯化镍将蒸发到大气中。此外，在使用卤族元素进行除去催化剂元素的工艺的情况下，该工艺应该在去掉掩模绝缘膜 5004 之后和有源层构图之前进行。另外，最好在有源层的构图之后进行用于催化剂元素的除气工艺。并且，任何这种工艺都可以结合进行。

然后，形成其主要成分是铝的未示出的金属膜，并构图成后来栅极的原型。在本例中，形成的含 2wt% 钪 (Sc) 的铝膜的厚度为 400nm。

或者，可以用掺杂了赋予导电类型的杂质的多晶硅膜形成栅极。

接下来借助日本专利申请特许公开 No.7-135318 (1995) 中公开的技术形成多孔阳极氧化膜 5013-5020、非多孔阳极氧化膜 5021-5024、和栅极 5025-5028。(图 12B)。该日本专利申请对应美国专利申请 No.5648277。

用这种方式获得图 12B 的状态之后，用作为栅极 5025-5028 和多孔阳极氧化膜 5013-5020 的掩模腐蚀栅绝缘膜 5012。然后，去掉多孔阳极氧化膜 5013-5020 以获得图 12C 的状态。另外，图 12C 中的标号 5029-5032 表示上述处理之后的栅绝缘膜。

现在参照图 13 (A)，其中示出了用施加一种导电类型的杂质元素掺杂的步骤。对于 N-沟道型，杂质元素可以是 P (磷) 或 As (砷)，对于 P-沟道型，杂质元素可以是 B (硼) 或 Ga (镓)。

本例中，用于形成 N-沟道和 P-沟道 TFTs 的每个杂质掺杂步骤被分成两个子步骤。

首先，进行用于形成 N-沟道 TFTs 的杂质掺杂步骤。在约 80keV 的高加速电压下进行用本例中采用的杂质磷掺杂的第一子步骤，由此形成 n<sup>-</sup> 区。调整该 n<sup>-</sup> 区，使其呈现 1×10<sup>18</sup> 到 1×10<sup>19</sup>atoms/cm<sup>3</sup> 的磷浓度。

另外，在约 10 keV 的低加速电压下进行用杂质掺杂的第二子步骤，由此形成 n<sup>+</sup> 区。在这种情况下，由于加速电压较低，栅绝缘膜 5029-5032 用做掩模。此外，调整 n<sup>+</sup> 区，使其呈现至多为 500Ω (优选至多为 300Ω) 的表面电阻。

通过上述步骤形成构成 CMOS 电路的 N-沟道 TFT 的源区 5033 和漏区

5034、其低浓度杂质区 5037、和其沟道形成区 5040。并调整构成像素 TFT 的 N-沟道 TFT 的源区 5035 和漏区 5036、其低浓度杂质区 5038、和其沟道形成区 5041、5042 (图 13A)。

另外,在图 13A 所示的状态中,构成 CMOS 电路的 P-沟道 TFT 的有源层与 N-沟道 TFT 的结构相同。

接着如图 13B 所示,提供覆盖 N-沟道 TFTs 的抗蚀剂掩模 5043,用施加 P 型的杂质离子(本例中采用硼)掺杂得到的衬底。

与用杂质掺杂的前述步骤一样,该步骤也分成两个子步骤。但是,由于 N 沟道型需要反型成 P 沟道型,因此以用 P 离子掺杂的前述浓度的几倍高的浓度引入 B 离子。

这样就形成了构成 CMOS 电路的 P-沟道 TFT 的源区 5045 和漏区 5044、其低浓度杂质区 5046、和其沟道形成区 5047 (图 13B)。

此外,在用掺杂了施加导电类型的杂质的多晶硅膜形成栅极的情况下,可以利用用于形成低浓度杂质区的公知侧壁结构。

接着,通过炉退火、激光退火、灯退火等的组合激活杂质离子。同时,修复由掺杂步骤造成的有源层的损伤。

现在参见图 13C,形成由氧化硅膜和氮化硅膜组成的叠层膜,作为第一层间绝缘膜 5048,该膜带有接触孔。而后,形成源极和漏极 5049-5053。另外,还可以采用有机树脂膜作为第一层间绝缘膜 5048。

下面参照图 14A、14B 和 14C。然后,形成氮化硅膜的第二层间绝缘膜 5054。在下一步骤,形成由有机树脂膜制成的厚度为 0.5-3 $\mu\text{m}$  的第三层间绝缘膜 5056。用于有机树脂膜的可以是聚酰亚胺、丙烯酸树脂、聚亚氨酰胺 (polyimidoamide) 等的任何一种。上述有机树脂膜的优点是:形成膜的方法很容易,该膜很容易增厚,由于有机树脂的小介电常数而可以降低寄生电容,膜表面的平坦度优异。另外,也可以采用除了上述之外的有机树脂膜。

接着,腐蚀部分第三层间绝缘膜 5056,在像素 TFT 的漏极 5053 上形成黑矩阵 5055,其中第二层间绝缘膜 5054 插在黑矩阵 5055 和漏极 5053 之间。本例中,Ti (钛)用于黑矩阵 5055。另外,本例中,在像素 TFT 和黑矩阵 5055 之间形成存储 (retention) 电容 5058。

接着,在第二层间绝缘膜 5054 和第三层间绝缘膜 5056 中形成接触孔,并

形成厚度为 120nm 的像素电极 5057。这里，由于本例介绍了透射型的有源矩阵型液晶显示器件，因此采用 ITO（氧化铟锡）的透明导电膜等作为形成像素电极 5057 的导电膜。

然后，在 350°C 的氢气气氛中加热整个衬底 1-2 小时，使其完全氢化，由此补偿膜（尤其是有源层中的）中的悬挂键。另外，使用通过将气体转化为等离子体产生的氢进行氢化。

经过上述步骤完成了有源矩阵衬底，其中 CMOS 电路和像素矩阵电路形成在同一衬底上。

接下来介绍在通过上述步骤制备的有源矩阵衬底的基础上制造有源矩阵型液晶显示器件的工艺。

在图 14B 状态中的有源矩阵衬底上形成定向膜 5059。本例中，聚酰亚胺用于定向膜 5059。然后制备对衬底。对衬底是由玻璃衬底 5060、由透明导电膜制成的对电极 5061 和定向膜 5062 构成。

在本例中，定向膜 5062 是聚酰亚胺膜。形成定向膜之后，进行磨擦处理。另外，在本例中，具有相对宽预倾斜（pretilt）角的聚酰亚胺用于定向膜。

接着，按公知的单元组装步骤利用密封部件（未示出）、间隔物（未示出）等将已经进行了上述步骤的有源矩阵衬底和对衬底彼此固定在一起。随后，在两衬底之间注入液晶 5063，并用密封剂（未示出）完全密封所得到的结构。在本例中，向列液晶用做液晶 5063。

然后完成了如图 14C 中所示的有源矩阵型透射液晶显示器件。

另外，可以使用激光光束（通常为准分子激光光束）代替本例中所述的非晶硅膜的结晶方法使非晶硅膜结晶。

此外，使用“Smart Cut”、“SIMOX”、“ELTRAN”等的 SOI 结构（SOI 衬底）代替多晶硅膜，可很好地完成另一工艺。

下面参照图 19、图 20A、20B 和 20C 介绍本例中的有源矩阵型液晶显示器件的操作结果。图 19 表示在操作本例中的用于数字数据的串行-并行转换（SPC）电路时获得的波形图。

图 19 中所示的是来自时钟发生器 CLK\_GEN\_L 或 CLK\_GEN\_R 的时钟信号的输出波形。图中，符号 Ref1 表示时钟信号 CK40\_O（约 40MHz）的输出波形，符号 Ref2 表示时钟信号 CK20\_O（约 20MHz）的输出波形，符号 Ref3 表

示时钟信号 CK10\_O (约 10MHz) 的输出波形。另外, 符号 Ref5 表示复位脉冲 (RES), 符号 Ref4 表示实际测量 SPC 电路中的复位脉冲获得的信号波形。

图 20A、20B 和 20C 表示 SPC/位-1 电路中的输出波形, 其中 8-位数字数据中的最低位数字数据输入给该 SPC/位-1 电路。

图 20A 示出了输入给 SPC/位-1 电路的第一级 (1 级) 的 SPC 基本单元的约 40MHz (Ref1) 的时钟信号 CK40 和 80 MHz (Ref2) 的数字数据, 和分别从上述 SPC 基本单元的输出节点 OUT100 和 OUT200 传输的 40 MHz (Ref3 和 Ref4) 的两并行数字数据。而且, 还示出了复位脉冲 (Ref5)。

80 MHz (Ref2) 的数字数据输送给 SPC/位-1 电路的输入节点 IN。该 80 MHz 数字数据是串行数字数据, 从最左边的脉冲开始, 它们依次具有电平 Hi (高)、Lo (低)、Lo、Hi、Lo、Lo、Hi 和 Hi。另外, 该 80 MHz 串行数字数据对应这种情况, 即在图 5 中的时序图中, 表示在行 DIGITAL DATA 的数据 A、D、G、和 H 是电平 Hi, 而其它数据是电平 Lo。

从分别从输出节点 OUT100 和 OUT200 传输的数字数据 (Ref3 和 Ref4) 来看, 可看到输入的数字数据 (Ref2) 的频率降低到 1/2 (约 40 MHz) 并转换成两并行数字数据 (Ref3 和 Ref4) 的状态。关于行 DIGITAL DATA 的 Hi 数据 A、D、G、和 H 从输出节点 OUT100 和 OUT200 传输的顺序, 参照图 5 的时序图可清楚看到这种状态。

图 20B 表示输入到 SPC/位-1 电路的第二级 (2 级) 的 SPC 基本单元的约 20 MHz (Ref1) 的时钟信号 CK20 和 40 MHz (Ref2) 的数字数据, 和分别从上述 SPC 基本单元的输出节点 OUT110 和 OUT120 传输的 20 MHz 的两并行数字数据 (Ref3 和 Ref4)。而且还示出了复位脉冲 (Ref5)。

在图 20B 中, 从由输出节点 OUT110 和 OUT120 传输的数字数据 (Ref3 和 Ref4) 来看, 可看到这样的状态, 其中输入的数字数据 (Ref2) 的频率降低到一半 (约 20 MHz) 并转换为两并行数字数据 (Ref3 和 Ref4)。

此外, 图 20C 表示输入给 SPC/位-1 电路的第三级 (3 级) 的 SPC 基本单元的约 10 MHz (Ref1) 的时钟信号 CK10 和 20 MHz (Ref2) 的数字数据, 和分别从输出节点 OUT111 和 OUT112 传输的 10 MHz (Ref3 和 Ref4) 的两并行数字数据。而且还示出了复位脉冲 (Ref5)。

在图 20C 中, 从分别从输出节点 OUT111 和 OUT112 传输的数字数据 (Ref3

和 Ref4) 来看, 可看到这样的状态, 其中输入的数字数据 (Ref2) 的频率降低到 1/2 (约 10 MHz) 并转换为两并行数字数据 (Ref3 和 Ref4)。

如上所述, 尽管输入的数字数据的频率是约 80 MHz 的较高频率, 根据本发明的用于数字数据的串行-并行转换 (SPC) 电路呈现稳定操作。此外, 此次制造的本发明 SPC 电路的最高操作频率为 140 MHz (输入的数字数据为 140 MHz, 时钟信号为 70MHz)。

#### (实施例 4)

在本例中将介绍用于制造有源矩阵型液晶显示器件的工艺的另一例子, 其中所述有源矩阵型液晶显示器件包括如上面实施例 3 中所述的根据本发明的用于数字数据的串行-并行转换 (SPC) 电路。而且在本例中, 在具有绝缘表面的衬底上形成多个 TFTs, 并在相同衬底上形成有源矩阵电路、源信号线驱动电路、栅信号线驱动电路、本发明的 SPC 电路、和其它外围电路。现在参照图 15A-15E 和图 16A-16C 介绍作为 CMOS 电路的基本排列的反相电路。

现在参照图 15A-15E。可采用玻璃衬底、塑料衬底、陶瓷衬底等作为衬底 6001。还可以采用硅衬底或金属衬底, 典型为不锈钢衬底, 其表面形成有绝缘膜, 如氧化硅膜或氮化硅膜。当然, 也可以使用石英衬底。

在其上要形成 TFTs 的衬底 6001 表面上形成由氮化硅膜构成的基底膜 6002 和由氧化硅膜形成的基底膜 6003。这些基底膜是用等离子体 CVD 或溅射形成的, 并设置以防止任何对 TFTs 有害的杂质从衬底 6001 扩散到半导体层中。为此, 可形成由氮化硅膜构成的厚度为 20-100nm、通常为 50nm 的基底膜 6002, 同时形成由氧化硅膜构成的厚度为 50-500nm、通常为 150-200nm 的胶层膜 6003。

当然, 还可以只形成由氮化硅膜构成的基底膜 6002 或由氧化硅膜构成的基底膜 6003。在本例中, 考虑到 TFTs 的可靠性, 最希望的是双层结构。

希望要形成得与胶层膜 6003 接触的半导体层是由用下述方式制造的晶体半导体制成, 所述方式为: 通过以激光结晶或热退火为基础的固相生长方法, 使通过膜形成方法如等离子体 CVD、减压 CVD 或溅射形成的非晶半导体结晶。还可以施加由上述膜形成方法形成的微晶半导体。这里可使用的半导体材料包括硅 (Si)、锗 (Ge)、硅-锗合金、和碳化硅。此外, 也可以使用化合物半导体材料, 如砷化镓。

该半导体层形成为 10-100nm 厚, 典型为 50nm。由等离子体 CVD 产生的非晶半导体膜含有 10-40 原子%比率的氢。关于这一点, 通过在结晶步骤之前进行在 400-500°C 的热处理步骤, 希望对非晶半导体膜进行脱氢, 使氢含量为 5 原子%或更少。此外, 可以用其它形成方法形成非晶硅膜, 如溅射或汽相沉积。在这种情况下, 应该充分减少含在膜中的杂质元素如氧和氮。

另外, 由于可以用相同的膜形成方法形成基底膜和非晶半导体膜, 因此可以连续形成基底膜 6002、基底膜 6003 和另一半导体层。形成各膜之后, 它们的表面不与大气接触, 因此可以防止表面污染。结果, 可以消除造成 TFTs 特性分散的原因之一。

使非晶半导体膜结晶的步骤可依赖于激光结晶或热结晶的公知技术。可以采用以使用催化剂元素的热结晶技术为基础的晶体半导体膜。另外, 当对由采用催化剂元素的热结晶技术形成的晶体半导体膜进行吸杂步骤以便除去催化剂元素时, 可以获得优异的 TFT 特性。

根据利用第一光掩模的公知构图方法, 用抗蚀剂膜覆盖如此形成的晶体半导体膜, 并利用干法腐蚀将其构图成第一岛形半导体层 (有源层) 6005 和第二岛形半导体层 (有源层) 6004。

然后, 用栅绝缘膜 6006 覆盖第二岛形半导体层 6004 和第一岛形半导体层 6005, 其中栅绝缘膜 6006 的主要成分是氧化硅或氮化硅。可以用等离子体 CVD 或溅射方法形成厚度为 10-200nm、优选 50-150nm 的栅绝缘膜 6006 (图 15A)。

此外, 使用第二光掩模形成覆盖第二岛形半导体层 6004 和第一岛形半导体层 6005 的沟道形成区的抗蚀剂掩模 6007 和 6008。在这种情况下, 可以在形成布线的区域中形成抗蚀剂掩模 6009。

随后, 通过用施加 n-导电类型的杂质元素掺杂, 进行形成第二杂质区的步骤。作为杂质元素, 公知为磷 (P)、砷 (As)、锑 (Sb) 等, 这些杂质给晶体半导体材料赋予 n-导电类型。在本例中采用了元素磷, 但可采用使用磷化氢 (PH<sub>3</sub>) 的离子掺杂用于掺杂。在该步骤中, 由于元素磷穿过栅绝缘膜 6006 以使用该元素掺杂下层半导体层, 因此离子掺杂的加速电压设置在 80keV 的某高电压。作为掺杂剂要引入到半导体层中的元素磷的浓度优选设置在  $1 \times 10^{16}$ - $1 \times 10^{19}$  atoms/cm<sup>3</sup> 范围内。这里该浓度设置为  $1 \times 10^{18}$  atoms/cm<sup>3</sup>。这样, 就在半导体层中形成了用元素磷掺杂的区域 6010、6011。这里形成的第二杂质区的部

分用做LDD区(图15B)。

为去掉抗蚀剂掩模,可使用市场上可买得到的碱性分解溶液,但本例中使用灰化也是有效的。灰化是这样一种方法,即在氧化气氛中生长等离子体,并使硬化的抗蚀剂暴露于等离子体,以便除去抗蚀剂。在本例中,在所述气氛中向氧添加水蒸气是有效的。

随后,在栅绝缘膜6006表面上形成第一导电层6012。第一导电层6012是使用主要成分为选自Ta、Ti、Mo和W的元素的导电材料形成的。此外,第一导电层6012的厚度设置在10-100nm,优选150-400nm(图15C)。

例如可以采用下列化合物中的任一种:WMo、TaN、MoTa和 $WSi_x$ (其中保持 $2.4 < x < 2.7$ )。

与元素Al或Cu相比,导电材料如Ta、Ti、Mo或W的电阻率较高。但是,在本例中,毫无疑问可以使用这些导电材料,从而相对于要制造的电路的面积来说,得到约 $100\text{cm}^2$ 的最大面积。

然后,使用第三光掩模形成抗蚀剂掩模6013、6014、6015和6016。抗蚀剂掩模6013用于形成P沟道TFT的栅极,而抗蚀剂掩模6015和6016分别用于形成栅布线和其栅总线。此外,形成覆盖第一岛形半导体层6005整个表面的抗蚀剂掩模6014,它用于在下一步骤检测引入半导体层的杂质的掩模。

通过干法腐蚀去掉第一导电层不需要的部分,由此形成第二栅极6017、栅布线6019和栅总线6020。在本例中,灰化对于消除腐蚀后留下的剩余物是有效的。

随后,用剩下的未受损伤的抗蚀剂掩模6013、6014、6015和6016,以这样的方式进行形成第三杂质区的步骤,其中用施加p-导电类型的杂质元素掺杂要在其中形成p-沟道TFT的第二岛形半导体层6004的部分。公知作为这种杂质元素的是硼(B)、铝(Al)和镓(Ga),它们可以给予p导电类型。在本例中,采用杂质元素硼,并且用乙硼烷( $B_2H_6$ )实现离子掺杂。而且在这种情况下,离子掺杂的加速电压设置为 $80\text{keV}$ ,以便以 $2 \times 10^{20} \text{atoms/cm}^3$ 的浓度引入元素硼。这样就形成了如图15D所示的用元素硼以高浓度掺杂的第三杂质区6021、6022。

在图15D的步骤去掉抗蚀剂掩模之后,使用第四光掩模形成抗蚀剂掩模6023、6024和6025。第四光掩模用做形成n-沟道TFT的栅极,并用干法腐蚀

形成第一栅极 6026。在这种情况下，形成第一栅极 6026 以便穿过栅绝缘膜与部分第二杂质区 6010、6011 叠加（图 15E）。

此外，完全去掉抗蚀剂掩模 6023、6024 和 6025 之后，使用第五光掩模形成抗蚀剂掩模 6029、6030 和 6031（参见图 16A）。形成抗蚀剂掩模 6030 以便覆盖第一栅极 6026 并与部分第二杂质区 6010、6011 叠加。换言之，抗蚀剂掩模 6030 用于确定每个 LDD 区的偏移量。

这里，可以使用抗蚀剂掩模 6030 去掉部分栅绝缘膜，由此预先剥去要形成第一杂质区的半导体层的表面部分。对于这种情况，可以有效地进行用施予 n-导电类型的杂质元素掺杂的下一步骤。

然后，通过用施予 n-导电类型的杂质元素掺杂进行形成第一杂质区的步骤。因此形成用做源区的第一杂质区 6032 和用做漏区的第一杂质区 6033。本例中，使用磷化氢（ $\text{PH}_3$ ）的离子掺杂用于掺杂。而且，在本步骤中，由于元素磷穿过栅绝缘膜 6006 以便使用该元素掺杂下层半导体层，因此离子掺杂的加速电压设置在较高的 80keV。这些区域中的磷元素的浓度比用施予 n-导电类型的第一杂质元素掺杂的步骤中的浓度高，其最好设置为  $1 \times 10^{19} - 1 \times 10^{21} \text{atoms/cm}^3$ 。本例中，该浓度设置为  $1 \times 10^{20} \text{atoms/cm}^3$ （图 16A）。

随后，在栅绝缘膜 6006、第一和第二栅极 6026、6017、栅布线 6027 和栅总线 6028 的表面上形成第一层间绝缘膜 6034 和第二层间绝缘膜 6035。第一层间绝缘膜 6034 是氮化硅膜，并且其厚度为 50nm。另一方面，第二层间绝缘膜 6035 是氧化硅膜，其厚度为 950nm。

这里形成的氮化硅膜的第一层间绝缘膜 6034 是用于进行热处理步骤所必须的。该膜对于防止第一和第二栅极 6026、6017、栅布线 6027 和栅总线 6028 被氧化是有很有效的。

需要进行用于激活赋予 n-导电类型和 p-导电类型并以单独的浓度引入的杂质元素的热处理步骤。该步骤可以通过用电热炉的热退火、用前述准分子激光器的激光退火或用卤素灯的快速退火（RTA）来完成。激光退火可以在低衬底加热温度激活杂质元素，但是很难激活隐藏在栅极下面区域中的杂质元素。因而，本例中采用热退火。这种情况下的条件是氮气氛，加热温度为 300-700°C，优选 350-550°C。本例中热处理是在 450°C 下进行 2 小时。

在热处理步骤，可以预先向氮气氛中加入 3-90%的氢。此外，进行完热处

理步骤之后，最好是进行氢化步骤，该氢化步骤是在含 3-100%氢的气氛中、在 150-500°C、优选为 300-450°C 的温度下进行 2-12 小时。或者，可以在 150-500°C、优选 200-450°C 的衬底温度下进行氢等离子体处理。对于任何一种情况，氢可以补偿留在半导体层中或其界面的缺陷，由此提高 TFTs 的特性。

然后，使用第六光掩模，用预定抗蚀剂掩模覆盖第一层间绝缘膜 6034 和第二层间绝缘膜 6035，并通过腐蚀形成具有通到各 TFTs 的源区和漏区的接触孔。此外，形成第二导电层，并借助采用第七光掩模的构图步骤形成源极 6036、6037 和漏极 6038。在本例中，用于电极的第二导电层形成为三层结构，其中利用溅射连续形成 100nm 厚的 Ti 膜、含 Ti 且厚度为 300nm 的 Al 膜和 150nm 厚的 Ti 膜，但图中未示出。

对于上述步骤，以自对准形成 p-沟道 TFT，以非自对准形成 n-沟道 TFT。

CMOS 电路的 n-沟道 TFT 形成有沟道形成区 6042、第一杂质区 6045、6046 和第二杂质区 6043、6044。其中，第二杂质区 6043、6044 分别由与栅极叠加的区域（GOLD 区）6043a、6044a 和不与栅极叠加的区域（LDD 区）6043b、6044b 构成。此外，第一杂质区 6045 作为源区，而第一杂质区 6046 作为漏区。

另一方面，p-沟道 TFT 形成有沟道形成区 6039 和第三杂质区 6040、6041。此外，第三杂质区 6040 作为源区 第三杂质区 6041 作为漏区（图 16B）。

另外，图 16C 表示反相电路的顶部平面图，并且 TFT 部分的 A-A' 剖视结构、栅布线部分的 B-B' 剖视结构和栅总线部分的 C-C' 剖视结构对应图 16B 中所示部分。本例中，栅极、栅布线和栅总线是由第一导电层形成的。

在图 15A-15E 和图 16A-16C 中，示出了 n-沟道 TFT 和 p-沟道 TFT 互补地组合在其中的 CMOS 电路，但是也可以同样制造采用 n-沟道 TFTs 的 NMOS 电路、有源矩阵电路等。

用与实施例 3 中相同的方法将如此制备的有源矩阵衬底制造成有源矩阵型液晶显示器件。

#### （实施例 5）

在上述实施例 3 和 4 的有源矩阵型液晶显示器件中，以向列液晶为基础的 TN 模式用做显示模式，但也可以采用其它显示模式。

另外，可以使用无阈值反铁电液晶或快速响应时间的铁电液晶构成有源矩阵型液晶显示器件。

例如,可以采用在下列文献中公开的液晶:由 H. Furue 等人在 1998 年的 SID 中公开的“Charateristic and Driving Scheme of Polymer-Stabilized Monostable FLCDC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability”; T. Yoshida 等人在 1997 年的 SID 文摘、841 中公开的“A Full-Color Thresholdless Antiferroelectric LCD Exhiting Wide Viewing Angle with Fast Response Time”; 由 S. Inui 等人在 J. Mater. Chem 1996 年的 6 (4)、第 671-673 页中公开的“Thresholdless antiferroelectric in liquid crystals and its application to displays”; 和美国专利 No.5594569。

在某一温度范围内呈现反铁电相的液晶称为“反铁电液晶”。具有反铁电液晶的混合液晶包括称为“无阈值混合反铁电液晶”的液晶,其呈现透射率随着电场连续变化的电光响应特性。已经发现,无阈值混合反铁电液晶包括呈现所谓的“V 形电光响应特性”的液晶和驱动电压约为  $\pm 2.5\text{V}$  (单元厚度为约  $1\text{-}2\mu\text{m}$ ) 的液晶。

对此,图 24 示出了呈现 V 形电光响应的无阈值混合反铁电液晶的“光透射率与施加电压”特性的例子。图 24 所示曲线的纵坐标轴表示透射率,而横坐标表示施加电压。此外,在液晶显示器件的入口侧上的极化器的透射轴设置成基本上与无阈值混合反铁电液晶的近晶层的法线方向平行,其中所述方向实际上与液晶显示器件的摩擦方向一致。此外,显示器件出口侧的极化器的透射轴设置成基本上与入口侧的极化器的透射轴垂直。

从图 24 可以看出,当采用这种无阈值混合反铁电液晶时,可以实现低电压驱动和灰度等级显示。即使在这种低电压驱动无阈值混合反铁电液晶用于包括本发明的用于数字数据的串行-并行转换 (SPC) 电路的有源矩阵型液晶显示器件的情况下,也可以降低 DAC (D/A 转换电路) 的输出电压,从而可以降低 DAC 的操作电源电压,并且可以使驱动器的工作电源电压设置为较低。因而可以实现有源矩阵型液晶显示器件的低功耗和高可靠性。

因此,在采用其 LDD 区 (低浓度杂质区) 相对较窄 (例如  $0\text{-}500\text{nm}$  或  $0\text{-}200\text{nm}$ ) 的 TFT 的情况下,使用上述低电压驱动无阈值混合反铁电液晶也是有效的。

通常,无阈值混合反铁电液晶呈现大幅度的自发极化,并且自身具有大的介电常数。因此,在无阈值混合反铁电液晶用于液晶显示器件的情况下,显示

器件的像素需要相对大值的存储电容。要使用的无阈值混合反铁电液晶最好具有自发极化。

顺便提及，由于通过采用上述无阈值混合反铁电液晶实现了低电压驱动，因此可以降低有源矩阵型液晶显示器件的功耗。

此外，具有如图 24 所示的电光特性的任何液晶都可以用做根据本发明的液晶显示器件的显示介质。

另外，根据其施加电压可以调制其光学特性的任何其它显示介质都可以用于包括本发明的 SPC 电路的有源矩阵型半导体显示器件。例如，可以采用电致发光元件。

另外，除了 TFT 以外，也可以使用 MIM 元件等作为构成有源矩阵型液晶显示器件的有源矩阵电路的有源元件。

而且，虽然上述实施例 3 和 4 中介绍了顶栅型的 TFTs，但是包括本发明的 SPC 电路的有源矩阵型半导体显示器件（通常为液晶显示器件）可以由底栅型如反向交错型的 TFTs 构成。

#### （实施例 6）

采用根据本发明的用于数字数据的串行-并行转换（SPC）电路的有源矩阵型半导体显示器件（包括有源矩阵型液晶显示器件）具有很多应用。在本例中，将介绍其中各装有采用本发明 SPC 电路的有源矩阵型半导体显示器件的半导体器件或装置。

上述半导体器件或装置是：视频摄像机、静止摄像机、投影仪、头部安装型显示器、车辆导航设备、个人计算机、便携式信息终端（如可移动计算机或便携式电话机），等等。这些例子示于图 17A 和 17B 和图 18A-18E 中。

图 17A 表示正面型投影仪，它由主体 10001、有源矩阵型半导体显示器件 10002（通常为液晶显示器件）、光源 10003、光学系统 10004 和荧光屏 10005 构成。另外，虽然图 17（A）中示出了包括单个半导体显示器件的正面型投影仪，可以通过组合三个有源矩阵型液晶显示器件（分别对应颜色 R、G 和 B 中的光）实现更高分辨率和更高清晰度的正面型投影仪。

图 17B 表示背面型投影仪，其中标号 10006 表示主体，标号 10007 是有源矩阵型半导体显示器件，标号 10008 是光源，标号 10009 是反射器，标号 10010 是荧光屏。在图 17B 中，背面型投影仪包括三个有源矩阵型半导体显示器件（分

别对应颜色 R、G 和 B 中的光)。

图 18A 展示了便携式电话机，它由主体 11001、声音输出装置 11002、声音输入装置 11003、有源矩阵型半导体显示器件 11004、操作开关 11005 和天线 11006 构成。

图 18B 展示了视频摄像机，它由主体 12001、有源矩阵型半导体显示器件 12002、声音输入装置 12003、操作开关 12004、电池 12005 和图像接收装置 12006。

图 18C 表示可移动计算机，由主体 13001、摄像装置 13002、图像接收装置 13003、操作开关 13004 和有源矩阵型半导体显示器件 13005 构成。

图 18D 表示头部安装型显示器，由主体 14001、有源矩阵型半导体显示器件 14002 构成。

图 18E 表示便携式笔记本（电子笔记本），由主体 15001、有源矩阵型半导体显示器件 15002、15003、存储介质 15004、操作开关 15005 和天线 15006 构成。

#### (实施例 7)

在本例中，将介绍制造包括本发明的用于数字数据的串行-并行转换（SPC）电路的有源矩阵型液晶显示器件的例子。此外，在本例中，进行了与实施例 3 中所述的制造例子基本上相同的工艺，因此不再特别说明。

在本实施例的例子中，在图 11A 的状态中，用乙酸镍溶液涂敷非晶硅膜 5003 的整个表面而没采用掩模绝缘膜 5004，与用催化剂元素掺杂的步骤一样。

在结束用催化剂元素掺杂的步骤之后，在 450°C 对得到的衬底进行脱氢处理一个小时候左右。然后，通过在惰性气氛、氢气气氛或氧气气氛中在 500-960°C（通常 550-650°C）温度下对得到的衬底进行热处理 4-24 小时，使非晶硅膜 5003 结晶。在本例中，热处理是在 590°C 在氮气气氛中进行 8 小时。

而后，进行用于除去催化剂元素的热处理（用于除去催化剂元素的工艺）。在本例的情况下，使热处理的气氛含有卤族元素，并获得利用卤族元素除去催化剂元素的吸杂效果。这里，为了满意地实现以卤族元素为基础的吸杂效果，最好在 700°C 以上的温度下进行热处理。在等于或低于 700°C 的温度，显然处理气氛中的卤素化合物将很难分解，因此不能实现吸杂效果。在这种情况下，通常可用做含有卤族元素的气体的是选自下列含有卤素化合物中的至少一种：

如 HCl、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>2</sub>、F<sub>2</sub> 和 Br<sub>2</sub>。在本实施例中例子中，吸杂工艺是在含 O<sub>2</sub> 和 HCl 的气氛中在 950°C 下进行的，同时形成热氧化膜。

随后形成栅绝缘膜。在本实施例的例子中，栅绝缘膜的厚度设置为约 50nm 的最终厚度。

关于其它步骤可以参照实施例 3。

由本实施例的制造工艺得到的 TFTs 的特性列于下面的表 1 中。

表 1

L/W=6.8/7.6[ $\mu\text{m}$ ]	Nch	Pch
I <sub>on</sub> [ $\mu\text{A}$ ]	227	91.5
I <sub>off</sub> [pA]	3.10	11.8
I <sub>on</sub> /I <sub>off</sub> [dec.]	7.86	6.89
V <sub>th</sub> [V]	0.44	-0.56
S 值[V/dec.]	0.08	0.10
$\mu\text{FE}$ (max) [ $\text{cm}^2/\text{Vs}$ ]	314	131
* $\mu\text{FE}$ (max) [ $\text{cm}^2/\text{Vs}$ ]	425	262

表 1 中，L/W 表示（沟道长度/沟道宽度），I<sub>on</sub> 表示（ON 电流），I<sub>off</sub> 表示（OFF 电流），I<sub>on</sub>/I<sub>off</sub> 表示（ON 电流和 OFF 电流之间比值的常用对数），V<sub>th</sub> 是（阈值电压），S 值是（亚阈值电压摆动）， $\mu\text{FE}$  是（场效应迁移率）。此外，\* $\mu\text{FE}$  表示沟道长度 L=50 $\mu\text{m}$  的 TFT 的  $\mu\text{FE}$ 。

图 21 表示通过本实施例的制造工艺得到的 TFT 特性的曲线。图中，V<sub>g</sub> 表示栅电压，I<sub>d</sub> 表示漏电流，V<sub>d</sub> 表示漏电压。

（实施例 8）

在本例中，将介绍包括根据本发明的用于数字视频数据的串行-并行转换（SPC）电路并由本发明人制造的有源矩阵型液晶显示器件的例子。

下面的表 2 中列出了包括由本发明人制造的根据本发明的 SPC 电路有源矩阵型液晶显示器件的技术指标。

表 2

显示器对角线尺寸	2.6 英寸
像素的数量	1920×1080
像素尺寸	30 (H) ×30 (V) $\mu\text{m}$
孔径比	46%
输入数据	8 位
电源 (逻辑)	5V
输入数字数据速率	80MHz
数据驱动器的频率	10MHz
扫描驱动器的频率	8.1kHz
寻址模式	列反相
对比度	>100

表 2 中的“数据驱动器”和“扫描驱动器”分别表示源信号线驱动电路和栅信号线驱动电路。在本实施例的例子中，源信号线反相显示作为寻址模式。

图 22 表示在本例中所述的包括根据本发明的用于数字视频数据 (8 位) 的串行-并行转换 (SPC) 电路的有源矩阵型液晶显示器件。

另外，图 23 示出了采用在本例中所述的各包括根据本发明的用于数字视频数据 (8 位) 的 SPC 电路的有源矩阵型液晶显示器件的正面型投影仪的显示例子。关于该正面型投影仪，可以参照实施例 6。

从图 22 和 23 可以看出，尽管 1980×1080 个像素的高分辨率，包括本发明的 SPC 电路的有源矩阵型液晶显示器件实现了非常高的清晰度显示和非常精细灰度等级显示。

#### (实施例 9)

在本例中将介绍利用本发明制造 EL (电致发光) 显示板的例子。

图 25A 是采用本发明的 EL 显示板的顶部平面图。参见图 25A，标号 4010 表示衬底，标号 4011 表示像素单元，标号 4012 表示源侧驱动电路，标号 4013 表示栅侧驱动电路。各驱动电路经过布线 4014、4015 和 4016 引到 FPC (挠性印刷电路) 4017 (还可参见图 25B)，并与外部设备连接。

在这种情况下，覆盖部件 7010、密封部件 (也称为“外壳部件”) 7000 (图 25B) 和气密密封部件 (第二密封部件) 7001 设置成至少围绕像素单元，并优

选地围绕驱动电路和像素单元。

另外，图 25B 示出了本实施例的 EL 显示板的剖视结构。在衬底 4010 和胶层膜 4021 上形成用于驱动电路（这里指的是 n-沟道 TFT 和 p-沟道 TFT 组合在其中的 CMOS 电路）的 TFTs 4022 和用于像素单元（这里指的只是用于控制流向 EL 元件的电流的 TFT）的 TFT4023。这些 TFTs 可以具有公知结构（顶栅结构或底栅结构）。

本发明可用于驱动电路 TFTs4022 和像素单元 TFT4023。

当使用本发明完成驱动电路 TFTs4022 和像素单元 TFT4023 时，在由树脂材料制成的层间绝缘膜（整平膜）4026 上形成由透明导电膜构成并与像素单元 TFT4023 的漏电连接的像素电极 4027。氧化铟和氧化锡的化合物（称为“ITO”）或氧化铟和氧化锌的化合物可用于透明导电膜。此外，形成像素电极 4027 之后，淀积绝缘膜 4028 并使其形成有在像素电极 4027 上的开口。

接着形成 EL 层 4029。通过任意组合公知 EL 材料，可使该 EL 层 4029 构形为多层结构或单层结构（空穴注入层、空穴传输层、发光层、电子传输层和电子注入层）。其结构可以由公知技术来确定。此外，EL 材料被分类为低分子材料和高分子（聚合物）材料。在使用低分子材料的情况下，可利用汽相淀积，而在使用高分子材料的情况下，可利用简单的方法，如旋涂、普通印刷或喷墨印刷。

在本例中，EL 层是通过利用遮光掩模的汽相淀积形成的。能发出不同波长光的发光层（红光发光层、绿光发光层和蓝光发光层）的每个像素是采用遮光掩模形成的，由此实现彩色显示。还可采用颜色转换装置（CCM）和滤色器组合的方案，和白光发光层和滤色器组合的方案，并且还可以采用这些方法的任何一种。当然，还可以构成发单色光的 EL 显示板。

形成 EL 层 4029 之后，用阴极 4030 覆盖。希望事先最大限度地除去存在于阴极 4030 和 EL 层 4029 之间边界中的潮气和氧。因而，需要这样的措施，即在真空中连续形成 EL 层 4029 和阴极 4030，或者在惰性气氛中形成 EL 层 4029，然后形成阴极 4030，而不使得到的衬底暴露于大气。在本例中，可以采用多室系统（成组工具系统）的膜形成设备完成上述膜的形成。

此外，在本例中，阴极 4030 可采用由 LiF（氟化锂）膜和 Al（铝）膜组成的多层结构。具体地讲，利用汽相淀积在 EL 层 4029 上形成厚度为 1nm 的 LiF

膜，并用厚度 300nm 的 Al 膜覆盖。当然，也可以使用公知的阴极材料 MgAg 电极，此外，阴极 4030 与区域 4031 中的布线 4016 连接。该布线 4016 是用于给阴极 4030 施加预定电压的电源电压输送线，并通过导电膏材料 4032 与 FPC4017 连接。

为了使阴极 4030 和区域 4031 中的布线 4016 电连接，需要在层间绝缘膜 4026 和绝缘膜 4028 中形成接触孔。可以预先在腐蚀层间绝缘膜 4026 时（在形成用于像素电极的接触孔时）和在腐蚀绝缘膜 4028（在形成 EL 层之前形成开口时）时形成这些接触孔。或者，在腐蚀绝缘膜 4028 时，也可以用集合形式腐蚀层间绝缘膜 4026。这种情况下，如果层间绝缘膜 4026 和绝缘膜 4028 由相同树脂材料构成，则可以使接触孔形成为有利形状。

形成覆盖如此形成的 EL 元件表面的钝化膜 7013、填充部件 7014 和覆盖部件 7010。

另外，在覆盖部件 7010 和衬底 4010 之间设置密封部件 7000，以便包围 EL 元件部分，并且在密封部件 7000 外部形成气密密封部件（第二密封部件）7001。

这种情况下，填充部件 7014 也是作为用于粘接覆盖部件 7010 的粘合剂。可用做填充部件 7014 的是 PVC（聚氯乙烯）、环氧树脂、硅氧烷树脂、PVB（聚乙烯醇缩丁醛）或 EVA（乙撑乙烯基乙酸酯）。当预先向填充部件 7014 中加入干燥剂时，可有利地保持吸湿效果。

另外，填充部件 7014 中可含间隔物。这种情况下，可选择由 BaO 制成的粒状材料作为间隔物，由此使间隔物本身具有吸湿性。

在采用间隔物的情况下，钝化膜 7013 可以弛豫间隔物压力。还容许设置与钝化膜 7013 分开的弛豫间隔物压力的树脂膜等。

可用做覆盖部件 7010 的是玻璃板、铝板、不锈钢板、FRP（玻璃纤维增强塑料）板、PVF（聚氟乙烯）膜、Mylar 膜、聚酯膜或丙烯酸（acrylic）膜。另外，在填充部件 7014 使用 PVB 或 EVA 材料的情况下，采用具有几十  $\mu\text{m}$  厚的铝箔夹在 PVF 膜或 Mylar 膜之间的结构的薄片是有利的。

但是，根据从 EL 元件发出的光的方向（光的辐射方向），要求覆盖部件 7010 具有透光特性。

此外，布线 4016 穿过密封部件 7000 和气密密封部件 7001 与衬底 4010 之间的间隙电连接到 FPC4017。虽然这里已经介绍了布线 4016，但其它布线 4014、

4015 在密封部件 7000 和气密密封部件 7001 下面穿过并与 FPC4017 电连接，与布线 4016 一样。

(实施例 10)

在本例中，参照图 26A 和 26B 介绍使用本发明制造不同于实施例 9 的结构 EL 层的例子。在这些图中，与图 25A 和 25B 相同的标号表示相同的部分，并省略了关于它们的说明。

图 26A 是本实施例中的 EL 显示板的顶部平面图，图 26B 中示出了沿着图 26A 中所示的 A-A' 平面截取的剖视图。

根据实施例 9 进行直到形成钝化膜 7013 以便覆盖 EL 元件表面步骤的步骤。

另外，设置填充部件 7014 以便覆盖 EL 元件。该填充部件 7014 也用做用于粘接覆盖部件 7010 的粘合剂。可用做填充部件 7014 的是 PVC（聚氯乙烯）、环氧树脂、硅氧烷树脂、PVB（聚乙烯醇缩丁醛）或 EVA（乙撑乙烯基乙酸酯）。当预先向填充部件 7014 中加入干燥剂时，可有利地保持吸湿效果。

此外，填充部件 7014 中可含间隔物。这种情况下，可选择由 BaO 等制成的粒状材料作为间隔物，由此使间隔物本身具有吸湿性。

在采用间隔物的情况下，钝化膜 7013 可以弛豫间隔物压力。还容许设置与钝化膜 7013 分开的弛豫间隔物压力的树脂膜等。

可用做覆盖部件 7010 的是玻璃板、铝板、不锈钢板、FRP（玻璃纤维增强塑料）板、PVF（聚氟乙烯）膜、Mylar 膜、聚酯膜

或丙烯酸膜。另外，在填充部件 6004 使用 PVB 或 EVA 材料的情况下，采用具有几十  $\mu\text{m}$  厚的铝箔夹在 PVF 膜或 Mylar 膜之间的结构的薄片是有利的。

但是，根据从 EL 元件发出的光的方向（光的辐射方向），要求覆盖部件 7010 具有透光特性。

然后，使用填充部件 7014 粘接覆盖部件 7010，之后安装框架部件 7011 以便覆盖填充部件 7014 的侧表面（暴露表面）。用密封部件（用做粘合剂）7012 粘接框架部件 7011。在这种情况下，最好采用光固化树脂用于密封部件 7012。但是，如果 EL 层的热电阻容许，可以使用热固性树脂。另外，要求密封部件 7012 是尽可能防止潮气和氧进入的材料。还可以向密封部件 7012 中加入干燥剂。

此外，布线 4016 穿过密封部件 6002 和衬底 4010 之间的间隙与 FPC4017

电连接。虽然已经介绍了布线 4016, 但是其它布线 4014、4015 在密封部件 7012 下面穿过并与 FPC 4017 电连接, 与布线 4016 一样。

#### (实施例 11)

在本例中, 在图 27 中示出了 EL 显示板的象素单元的更详细的剖视结构, 在图 28A 中示出了其顶部平面图, 在图 28B 中示出了电路图。由于图 27、图 28A 和图 28B 中使用了通用的参考标记, 因此它们可以互相参考。

在图 27 中, 使用 N-沟道 TFTs 形成设置在衬底 3501 上的开关 TFT3502。虽然本例中采用了双栅结构, 但其本身结构和制造工艺与前述没有太大区别, 因此不再详细说明。但是, 实际上, 双栅结构是两个 TFTs 串联的结构, 并且其优点是可以减小 OFF 电流的幅度。另外, 本例中 TFT3502 具有双栅结构, 但也可以采用单栅结构或采用三栅结构或具有大量栅的多栅结构。而且, 可以利用 P-沟道 TFTs 形成 TFT 3502。

同时, 使用 N-沟道 TFT 形成电流控制 TFT3503。在这种情况下, 开关 3502 的漏布线 35 通过布线 36 与电流控制 TFT3503 的栅极 37 电连接。此外, 由标记 38 表示的布线是与开关 TFT3502 的栅极 39a、39b 电连接的栅布线。

由于电流控制 TFT3503 是用于控制流过 EL 元件的电流量的元件, 大量电流流过 TFT, 因此该 TFT 是很容易由于热量和热载流子而退化的元件。因此采用如下结构是很有效的: 其中 LDD 区设置在电流控制 TFT 的漏一侧上, 以便通过栅绝缘膜与栅极叠加。

此外, 本例中示出的电流控制 TFT3503 是单栅结构, 但也可以是多个 TFTs 串联连接的多栅结构。另外, 还容许采用这样的结构, 即多个 TFTs 并联连接, 以便将沟道形成区分成多个区域, 由此可以以高效率辐射热量。这种结构作为抵抗热退化的一种手段是很有效的。

而且, 如图 28A 所示, 用做电流控制 TFT3503 的栅极 37 的布线穿过由标记 3504 表示的区域中的绝缘膜与电流控制 TFT3503 的漏布线叠加。在这种情况下, 在由标记 3504 表示的区域中形成电容器。电容器 3504 用于保持施加于电流控制 TFT3503 的栅极的电压。此外, 漏布线 40 与电流馈送线(电源电压线) 3506 连接, 并且总保持预定电压施加于布线 40。

开关 TFT3502 和电流控制 TFT3503 与第一钝化膜 41 叠加, 而第一钝化膜 41 还与由树脂绝缘膜构成的整平膜 42 叠加。利用整平膜 42 整平由于 TFTs 形

成的阶梯结构是很重要的。由于后面要形成的 EL 层很薄，因此有时会由于存在任何阶梯结构而出现很差的发光。因而，希望在形成像素电极之前整平这些阶梯结构，以使 EL 层可以形成为尽可能平的表面。

标记 43 表示由高反射率的导电膜构成并与电流控制 TFT3503 的漏电连接的像素电极 (EL 元件的阴极)。低电阻的导电膜，如铝合金膜、铜合金膜或银合金膜，或者这些膜的叠层膜都可用做像素电极 43。当然，还可以采用任何其它导电膜的叠层结构。

此外，在由绝缘膜（最好是树脂）构成的存储体 44a、44b 限定的沟槽（对应像素）中形成发光层 45。顺便提及，虽然这里只示出了一个像素，但可以分别形成对应各颜色 R（红）、G（绿）、B（蓝）的发光层。用于发光层的有机 EL 材料是 $\pi$ 共轭聚合物系材料。上述典型的聚合物系材料是聚对苯撑亚乙烯 (PPV) 系、聚乙烯吡啶 (PVK) 系、聚氟系等。

另外，PPV 系有机 EL 材料包括很多种类。可以采用在例如 H.Shenk,H.Becker,O.Gelsen,E.Kluge,W.Kreuder,and H.Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, pp.33-37 和日本专利申请特公开 No.10-92576 (1998) 中所述的任何材料。

作为实际使用的发光层，对于发红光的发光层可以使用氰基聚亚苯基 1,2-亚乙烯基，发绿光的发光层可使用聚亚苯基 1,2-亚乙烯基，发蓝光的发光层可使用聚亚苯基 1,2-亚乙烯基或聚烷基亚苯基。每个发光层的厚度可设置为 30-150nm（优选 40-100nm）。

但是，上述材料只是对于发光层可采用的有机 EL 材料的例子而已，发光层根本不限于上述材料。可以通过任意组合发光层、电荷传输层和电荷注入层形成 EL 层（可以发光并使载流子迁移以便发光的层）。

例如，本例中已经介绍了采用聚合物系材料作为发光层的例子，但也可以使用低分子有机 EL 材料。还可以使用无机材料如碳化硅用于电荷传输层或电荷注入层。公知材料可用做有机 EL 材料和无机材料。

本例中，EL 层具有叠层结构，其中发光层 45 与由 PEDOT（聚噻吩）或 PAni（聚苯胺）构成的空穴注入层 46 叠加。空穴注入层 46 与透明导电膜构成的阳极 47 叠加。在本例情况下，由发光层 45 产生的光射向 EL 显示板的上表面侧（TFT 向上方向），因此阳极必须可传输光。氧化铟和氧化锡的化合物或氧化

铟和氧化锌的化合物可用于透明导电膜。但是，由于在已经形成发光层和低热电阻的空穴注入层之后形成阳极，因此该透明导电膜应该是可以在尽可能最低的温度下形成的材料。

在形成阳极 47 时，就完成了 EL 元件 3505。此外，这里“EL 元件 3503”表示由像素电极（阴极）43、发光层 45、空穴注入层 46 和阳极 47 形成的电容器。由于像素电极 43 的面积基本上与图 28A 中所示的像素的面积相符，因此整个像素用做 EL 元件。因而，光的利用效率很高，并且可获得清晰的图象显示。

同时，在本例中，阳极 47 还与第二钝化膜 48 叠加。氮化硅膜或氧氮化硅膜可作为第二钝化膜 48。第二钝化膜 48 使 EL 元件与外部隔离，并具有防止有机 EL 材料由于氧化而退化的功能和抑制气体从有机 EL 材料逸出的作用。这样，可提高 EL 显示板的可靠性。

如上所述，根据本发明的 EL 显示板有由图 27 中所示结构的像素构成的像素单元，并且包括 OFF 电流很低的开关 TFTs 和可避免热载流子注入的电流控制 TFTs。因而可以获得具有高可靠性并能产生高质量图象显示的 EL 显示板。

使用本例的 EL 显示板作为实施例 6 中的各电子设备的显示单元也是有效的。

#### （实施例 12）

在本例中将介绍在实施例 11 中所述像素单元中 EL 元件 3505 的结构被倒置的结构。参照图 29。顺便提及，由于不同于图 27 的结构的地方只在于部分 EL 元件和电流控制 TFT，因此省略了其它部分的说明。

参见图 29，用 P-沟道 TFT 形成电流控制 TFT3503。

在本例中，透明导电膜用做像素电极（阳极）50。具体地说，该导电膜由氧化铟和氧化锌的化合物构成。当然，还可以使用由氧化铟和氧化锡的化合物制成的导电膜。

形成由绝缘膜制成的存储体 51a 和 51b 之后；用溶液涂敷形成由聚乙烯吡啶制成的发光层 52。发光层 52 可以顺序与由乙酰丙酮化钾（称为“acacK”）制成的电子注入层 53 和由铝合金制成的阴极 54 叠加。在此情况下，阴极 54 还用做钝化膜。这样就完成了 EL 元件 3701。

在本例的情况下，由发光层 52 产生的光射向形成有 TFTs 的衬底，如箭头

所示。

使用本例的 EL 显示板作为实施例 6 中的各电子设备也是有效的。

#### (实施例 13)

在本例中，将参照图 30A、30B 和 30C 介绍像素结构具有不同于图 28B 的电路图中所示结构的情况。在本例中，标记 3801 表示开关 TFT3802 的源布线，标记 3803 表示开关 TFT3802 的栅布线，标记 3804 表示电流控制 TFT，标记 3805 表示电容器，标记 3806、3808 表示电源输送线，标记 3807 表示 EL 元件。

图 30A 中所示的例子对应电源输送线 3806 在两像素之间公用的情况。即，本例的特点在于两像素形成得相对于电源输送线 3806 线性对称。在这种情况下，可以减少电源输送线的数量，因此可进一步提高像素单元的清晰度。

此外，图 30B 中所示的例子对应电源输送线 3808 设置成与栅布线 3803 平行的情况。另外，在图 30B 的结构中，电源输送线 3808 和栅布线 3803 设置成互相不叠加。但是，如果在不同层中形成这两布线，它们可以设置成穿过绝缘膜互相叠加的形式。在这种情况下，电源输送线 3808 和栅布线 3803 可具有公共的占据面积，使像素单元的清晰度更高。

另外，图 30C 所示例子的特点在于电源输送线 3808 用与图 30B 结构中的相同方式设置成与栅布线 3803 平行，并且两像素形成得相对于电源输送线 3808 线性对称。电源输送线 3808 设置成与栅布线 3808a、3803b 中的一个叠加也是有效的。这种情况下，可减少电源输送线的数量，因而使像素单元的清晰度进一步提高。

此外，本例的结构可以与实施例 9 或 10 的结构任意组合。使用具有本例像素结构的 EL 显示板作为实施例 6 中的各电子设备的显示单元也是有效的。

#### (实施例 14)

在实施例 11 中所参照的图 28A 和 28B 所示的结构中，为了保持施加于电流控制 TFT3503 的电压而提供电容器 3504，但是也可以省去电容器 3504。在实施例 11 的情况下，电流控制 TFT3503 包括设置成穿过栅绝缘膜被栅极叠加的 LDD 区。通常，在各叠加区域中会形成称为“栅电容”的寄生电容。本例的特点在于有效利用寄生电容来代替电容器 3504。

寄生电容的大小取决于栅极和每个 LDD 区之间的叠加面积。因此可以由包括在叠加区域中的每个 LDD 区的长度来确定。

在实施例 13 中所参照的图 30A、30B 和 30C 的各结构中可同样省去电容器 3805。

此外，本例的结构可以与实施例 9-13 的结构任意组合。使用具有本例像素结构的 EL 显示板作为实施例 6 中的各电子设备的显示单元也是有效的。

本发明具有以下效果。

根据本发明用于数字数据的串行-并行转换（SPC）电路只需要最高是要输入的数字数据的频率的一半的频率的时钟信号。因此，与现有技术的转换电路相比，本发明的 SPC 电路的稳定性和可靠性更优异。

而且，与现有技术用于数字数据的串行-并行转换电路相比，本发明的 SPC 电路的组成元件和布线的数量更少，面积更小。因此可以使采用本发明 SPC 电路的有源矩阵型半导体显示器件的尺寸更小。

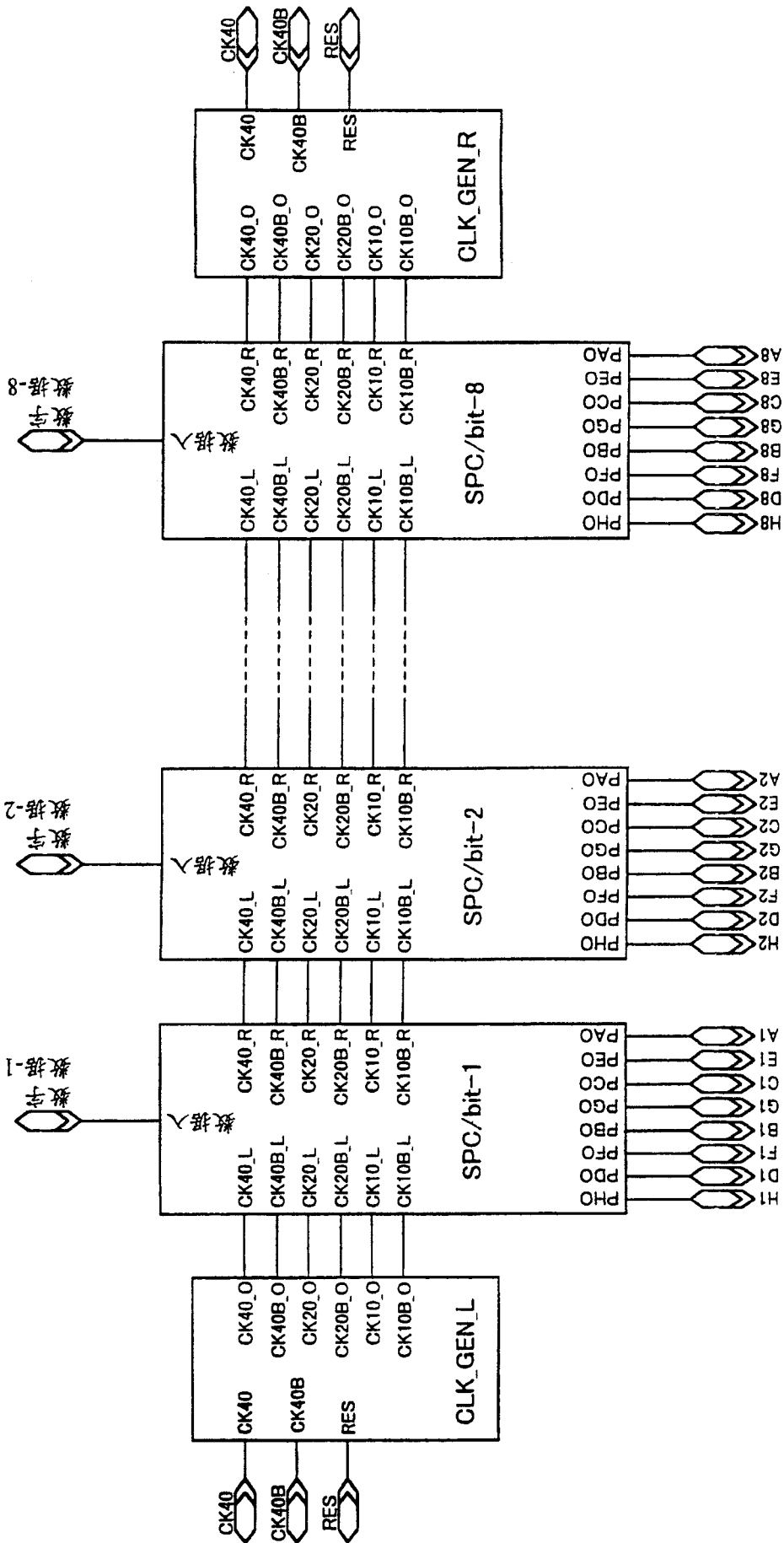


图 1

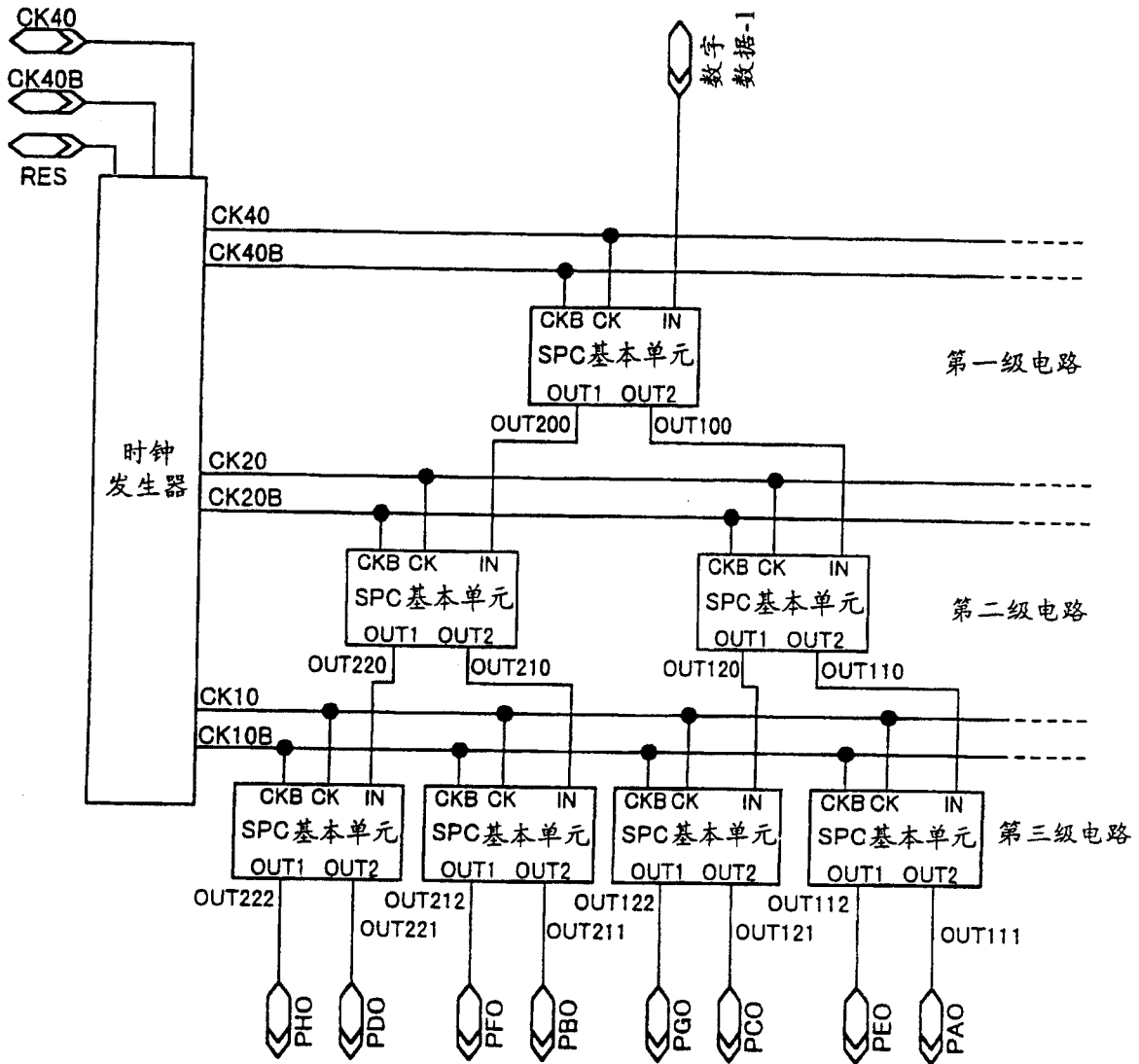


图 2

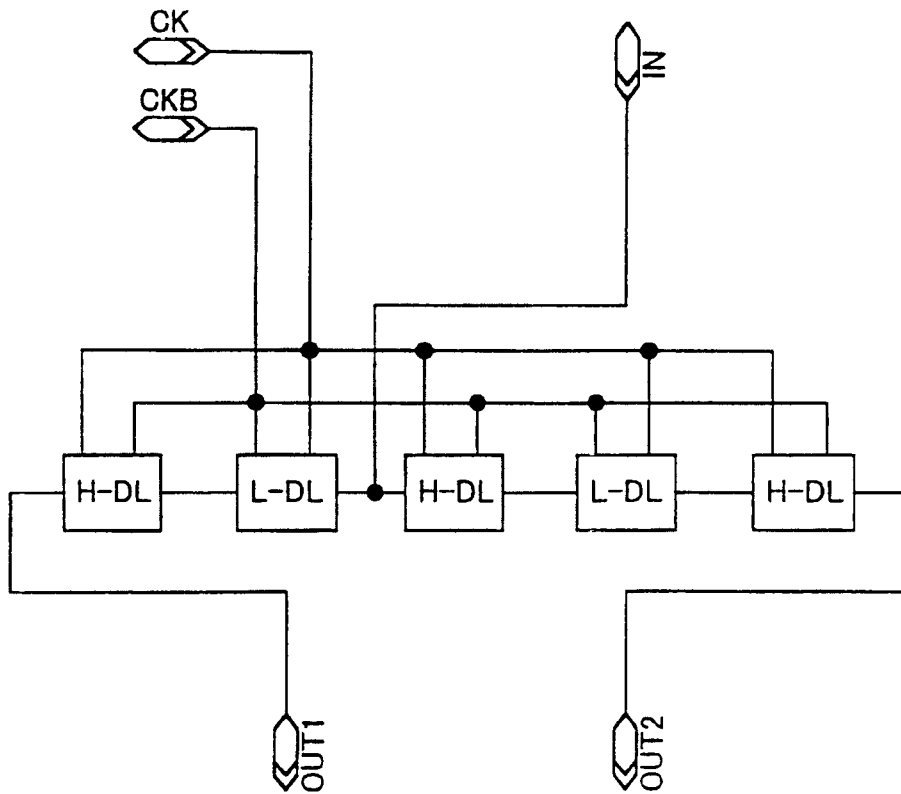


图 3

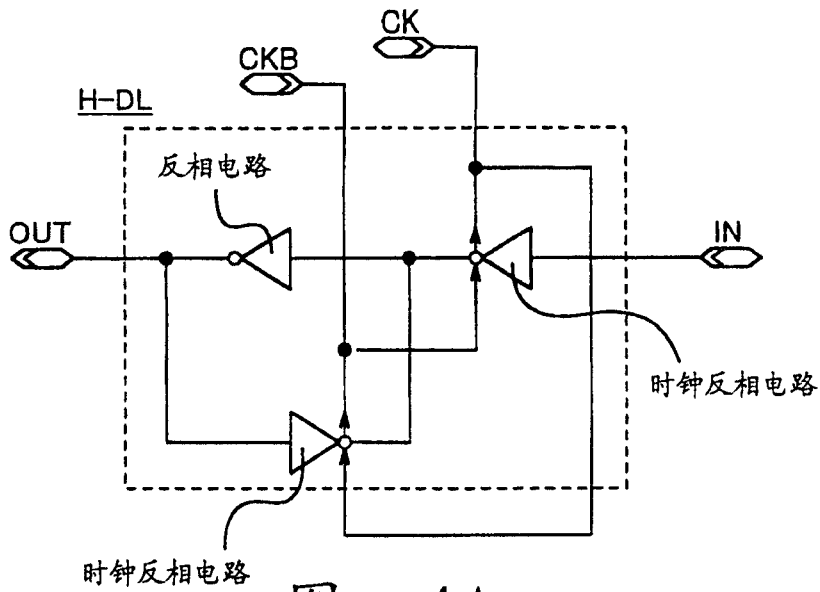


图 4A

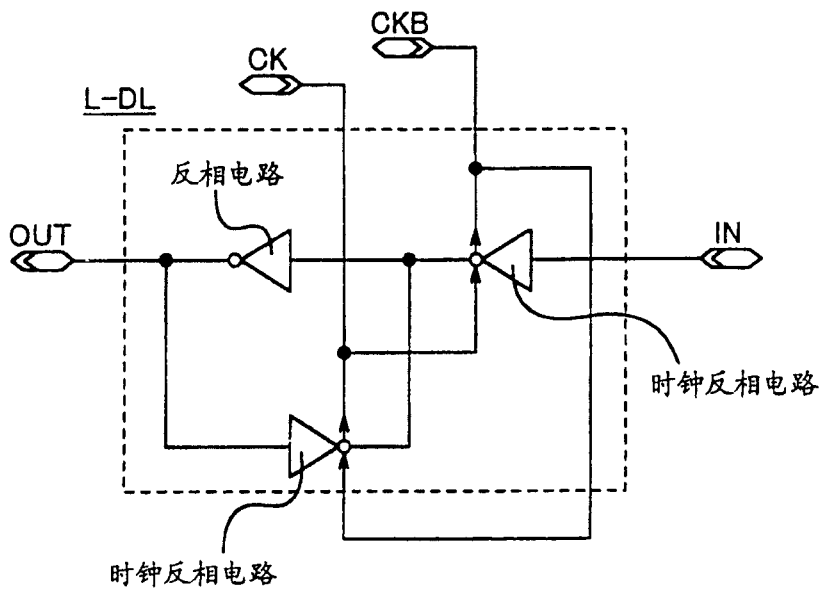


图 4B

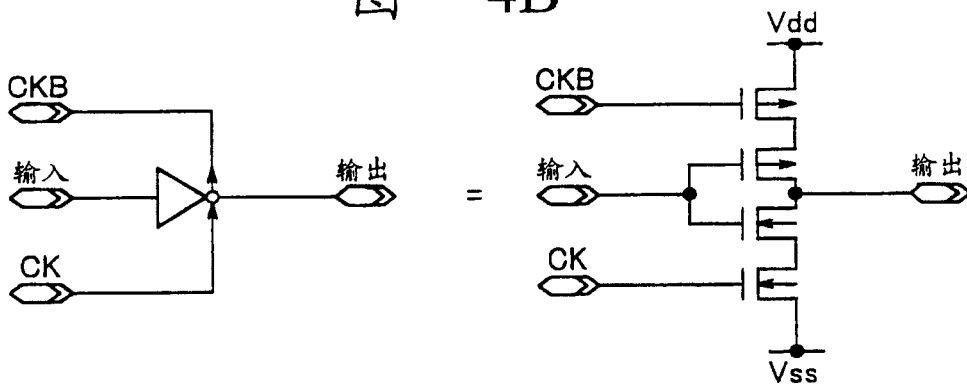


图 4C

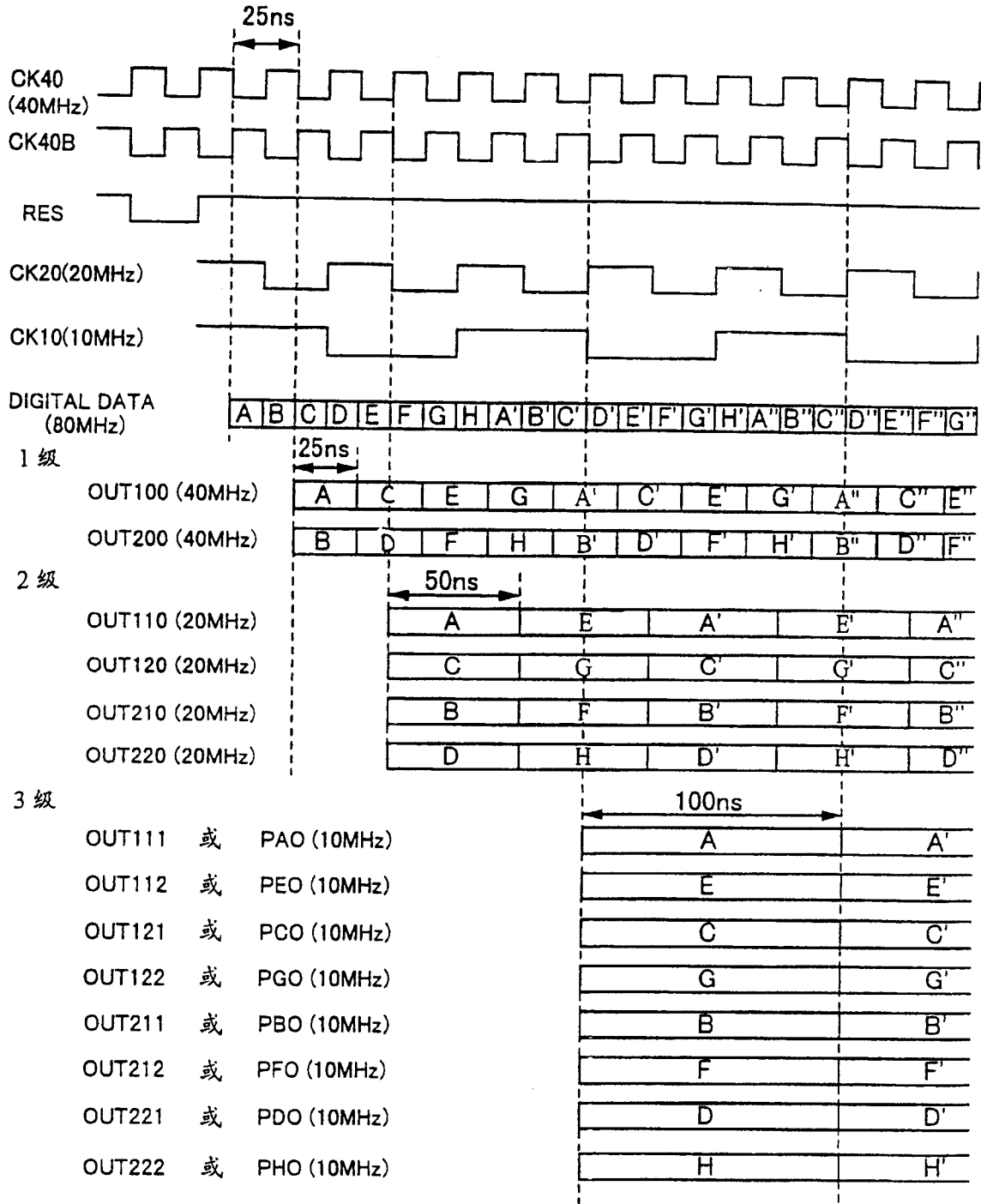


图 5



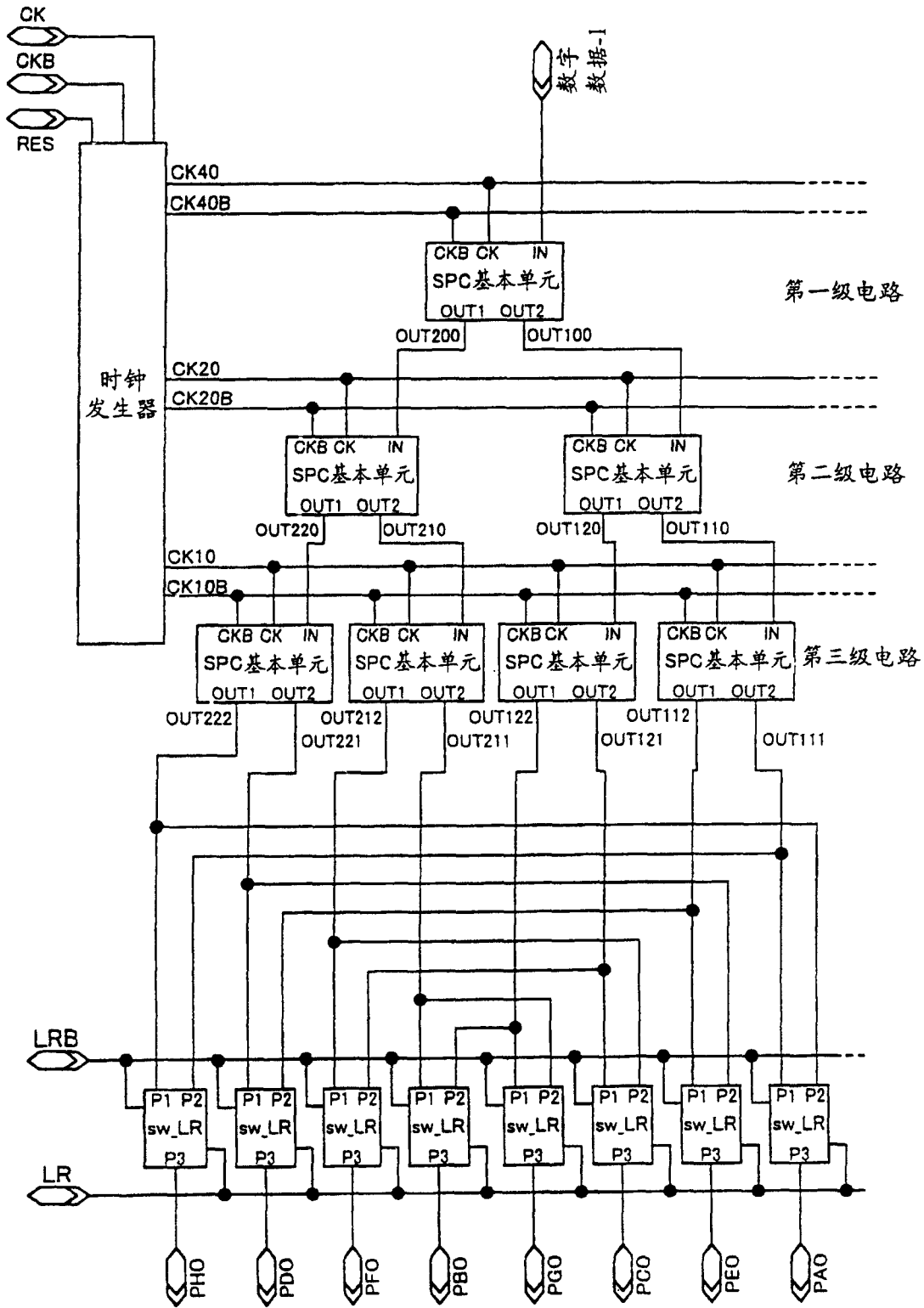


图 7

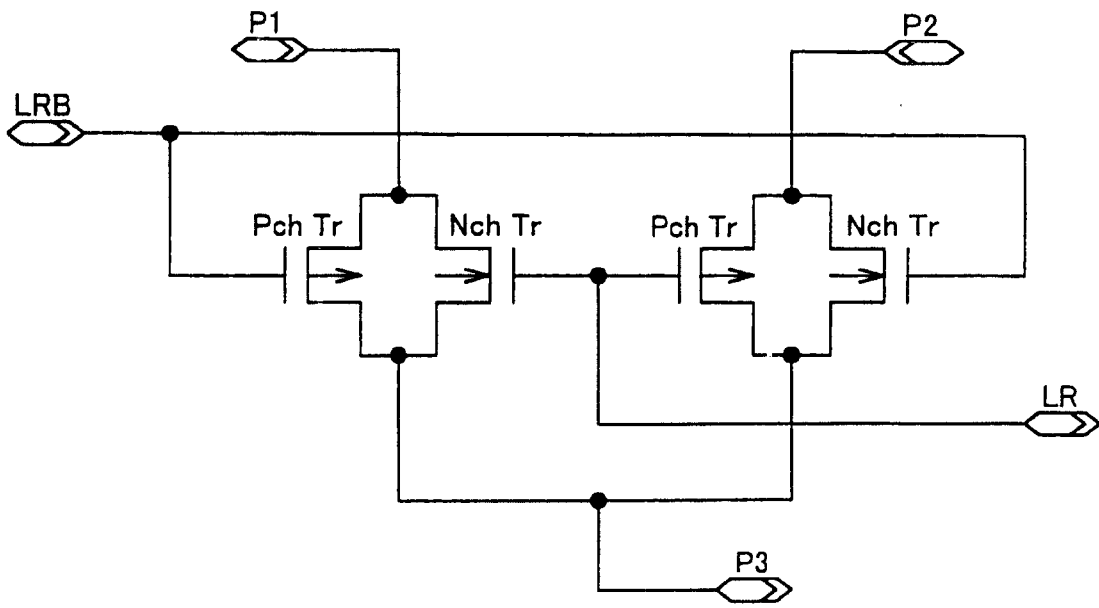


图 8

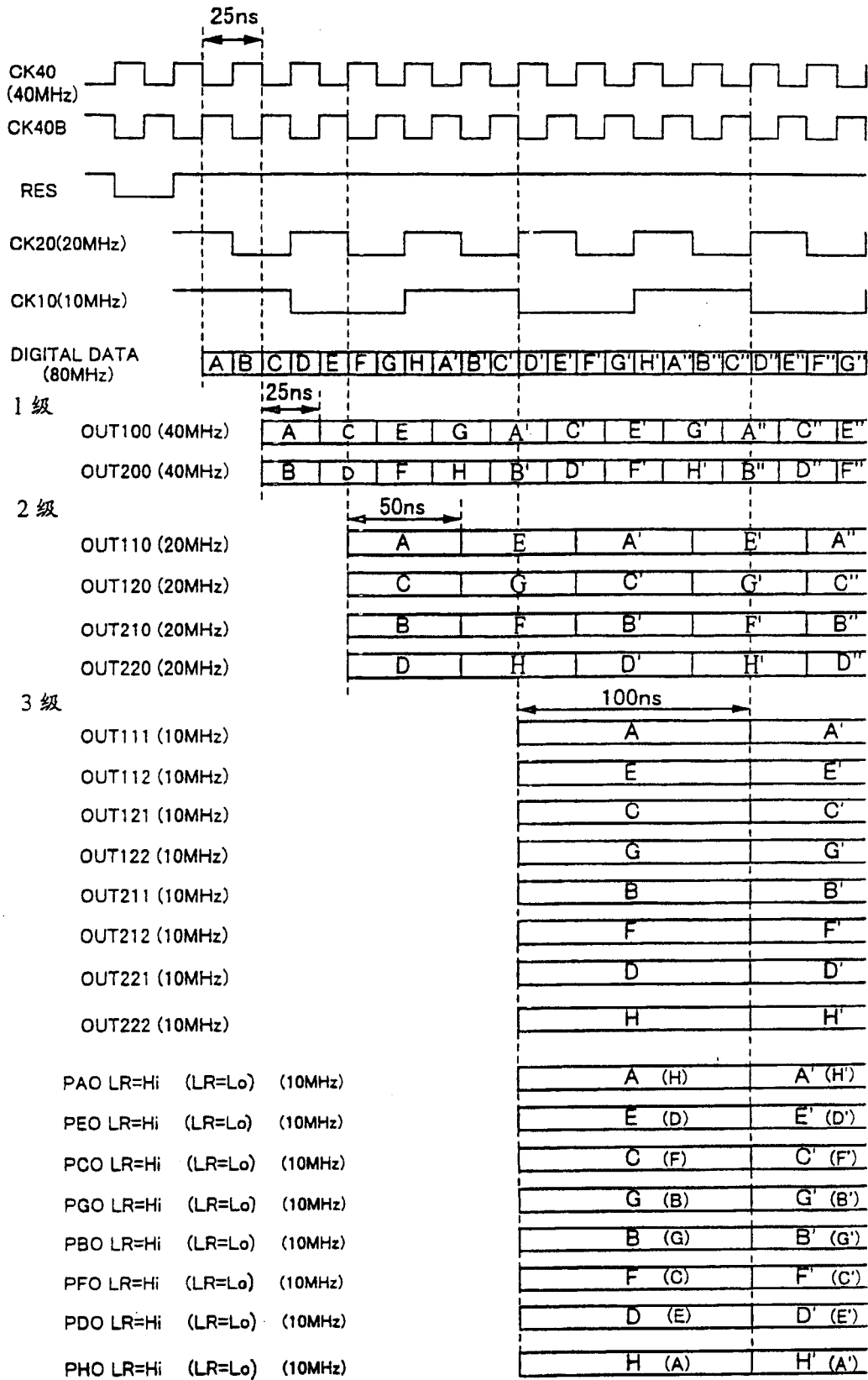


图 9

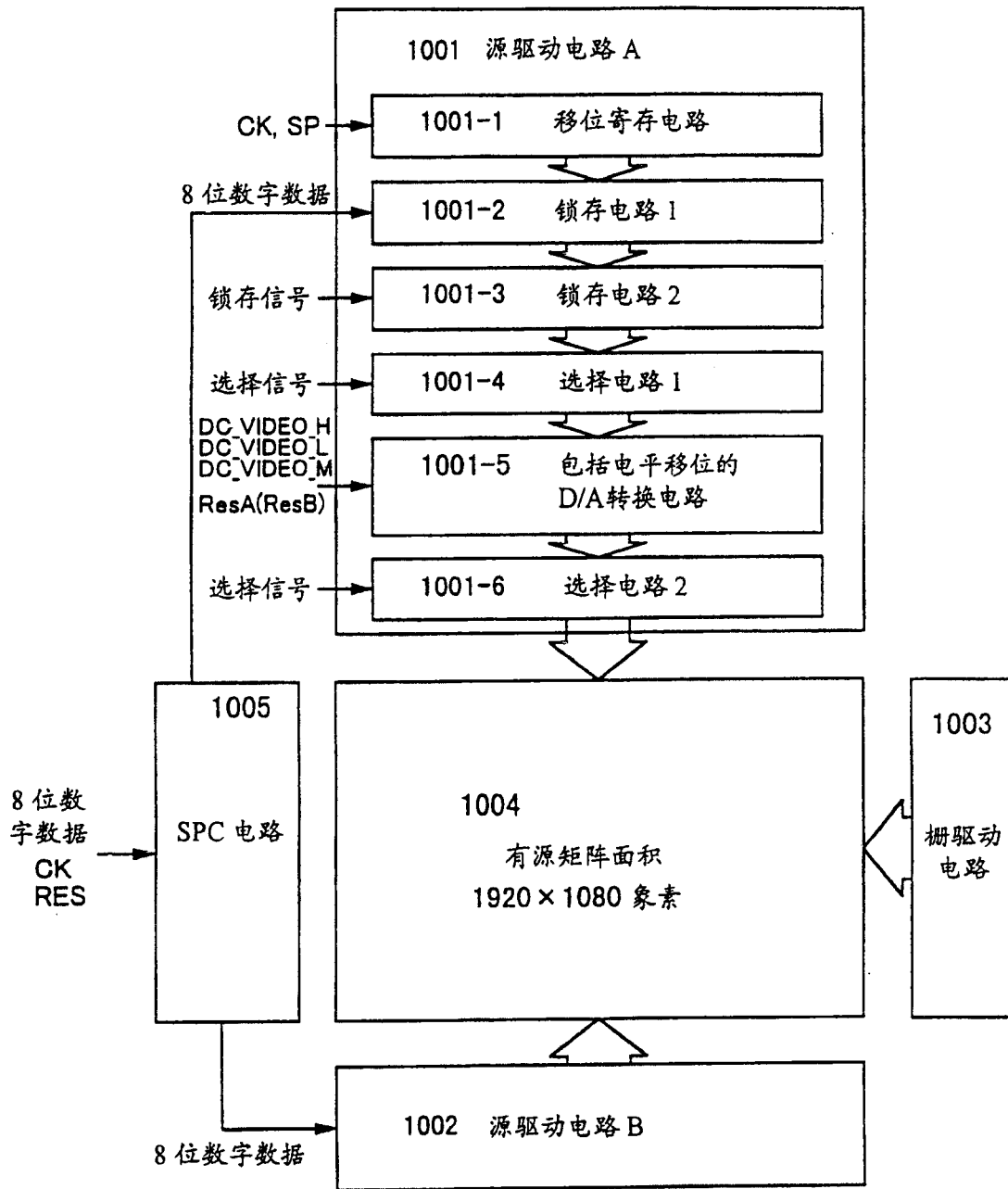
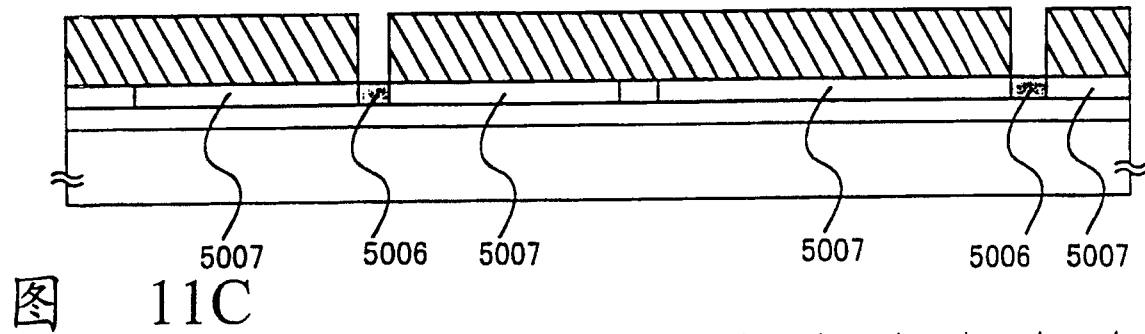
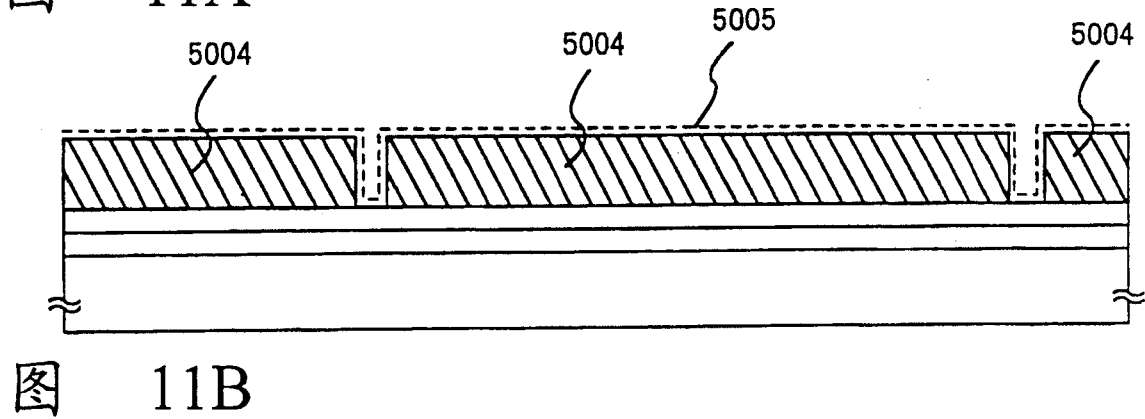
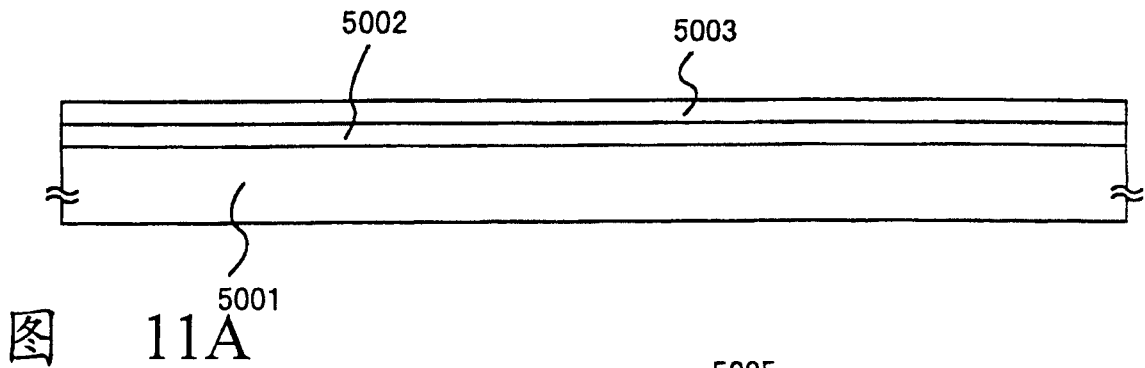
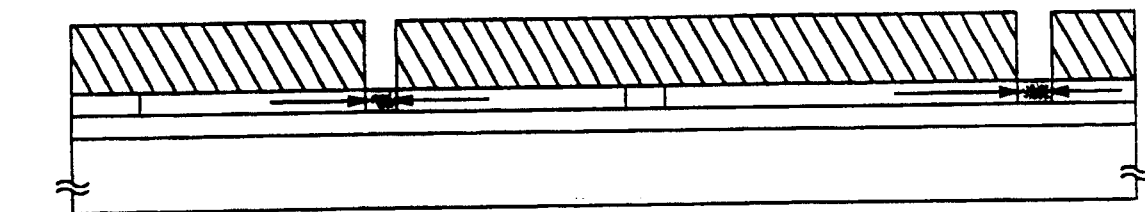
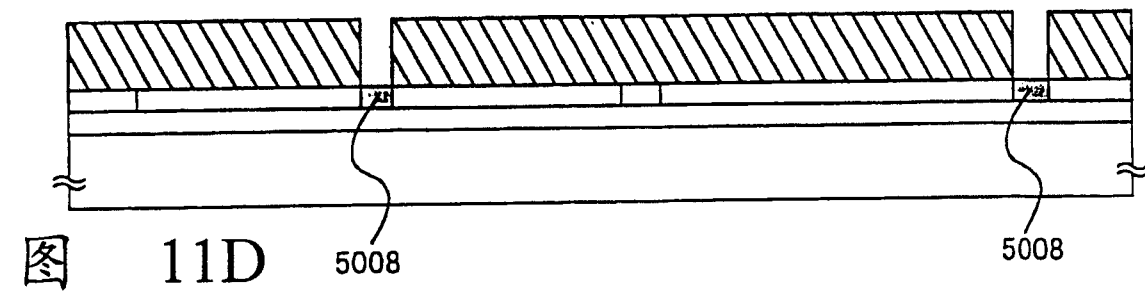


图 10



↓ ↓ ↓ ↓ ↓ ↓ 添加磷 ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓



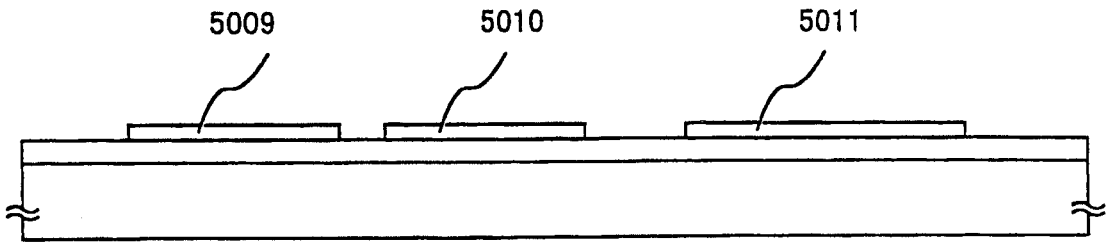


图 12A

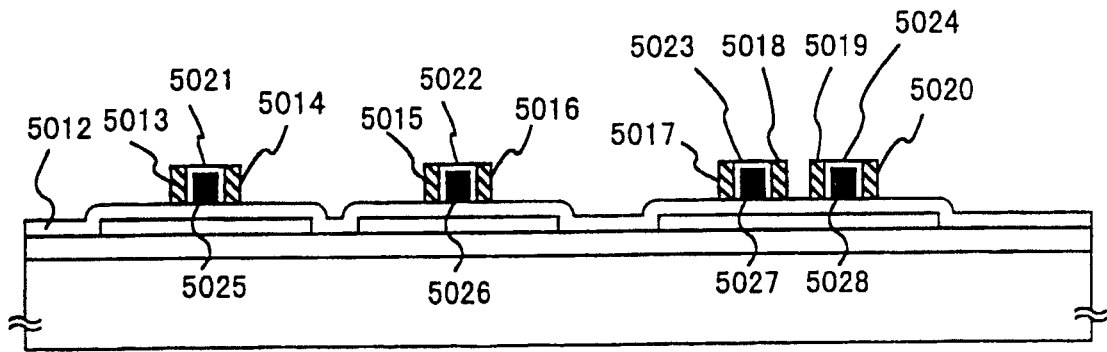


图 12B

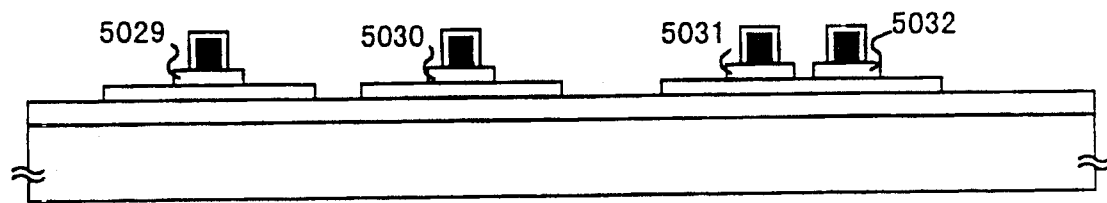


图 12C

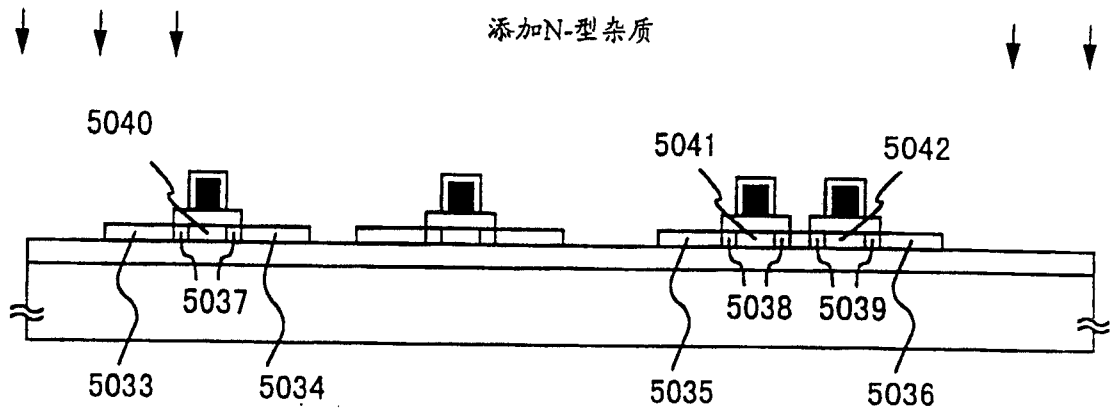


图 13A

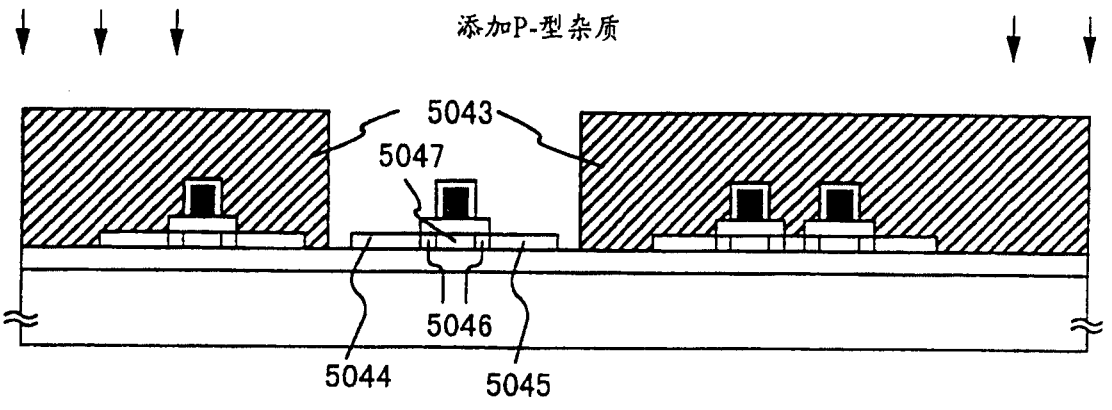


图 13B

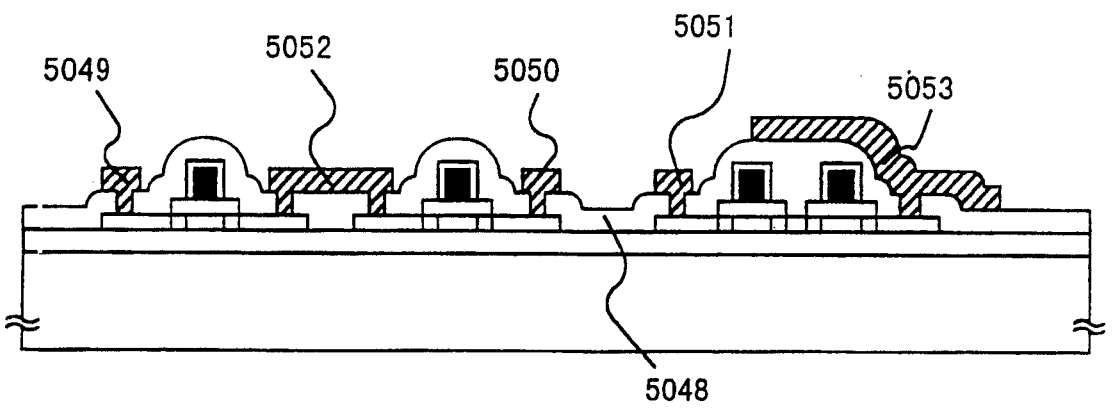


图 13C

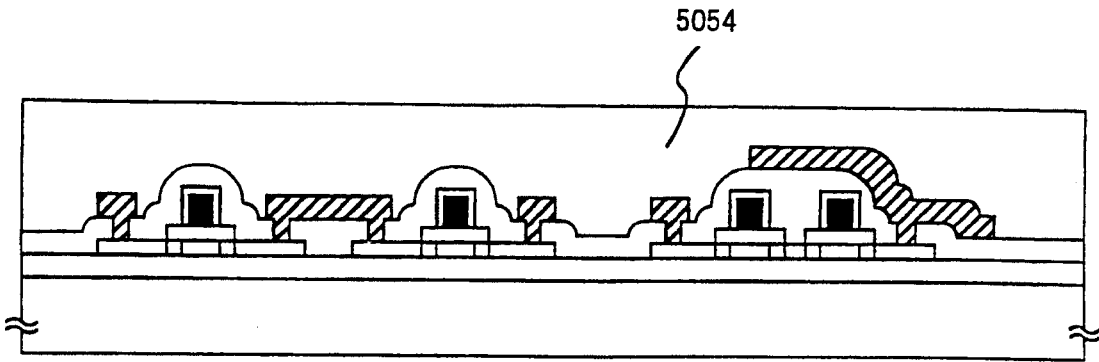


图 14A

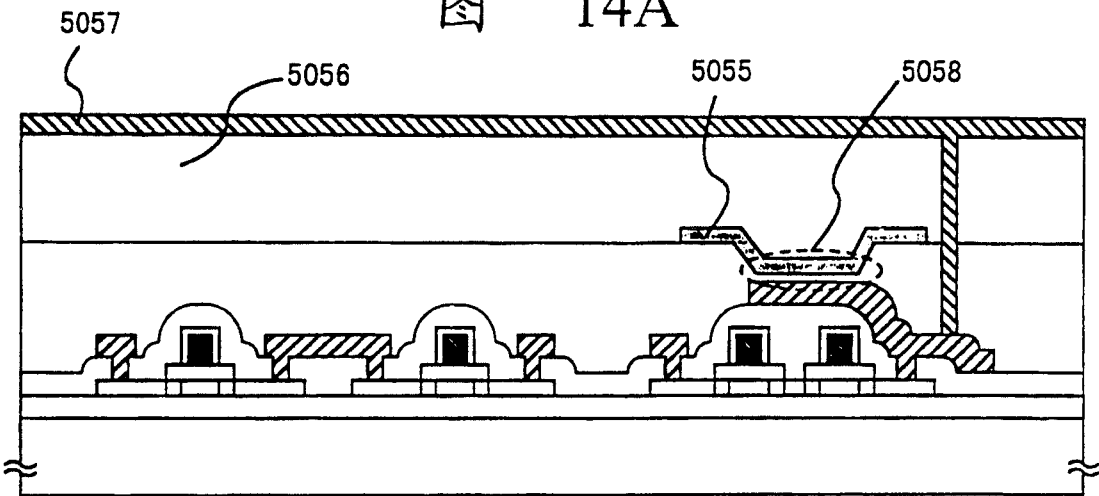


图 14B

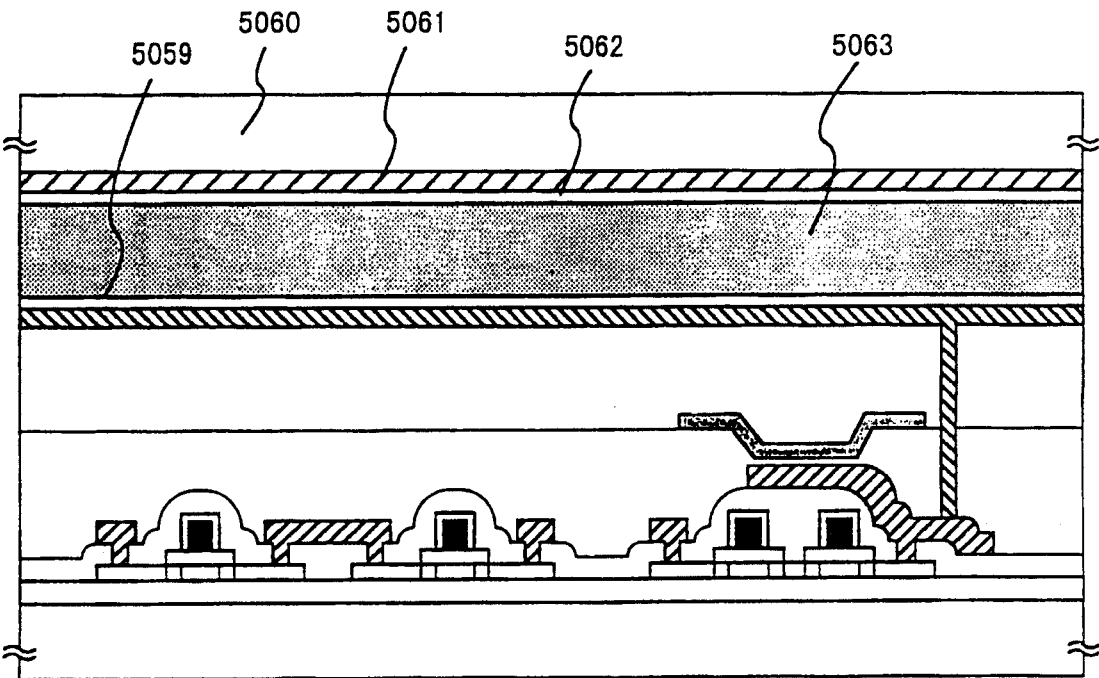


图 14C

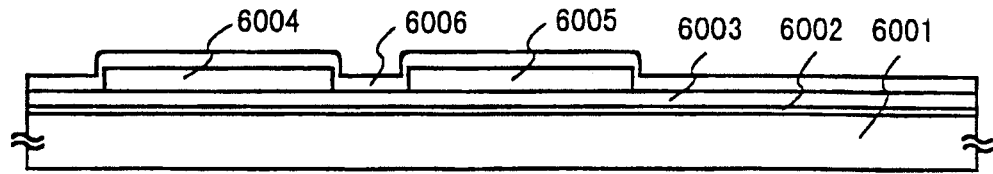


图 15A ↓↓↓↓ 添加N-型杂质 ↓↓↓↓

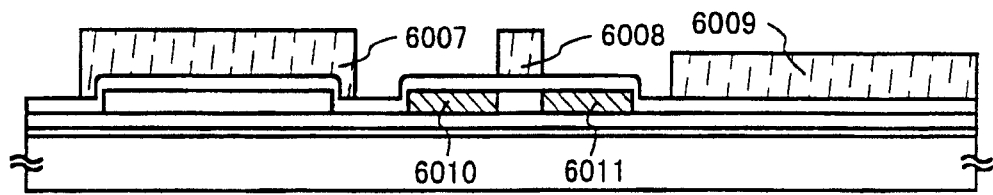


图 15B

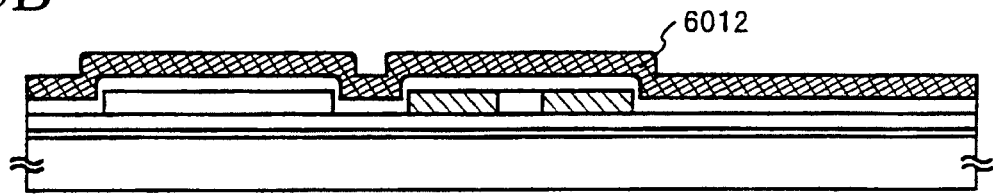


图 15C ↓↓↓↓ 添加P-型杂质 ↓↓↓↓

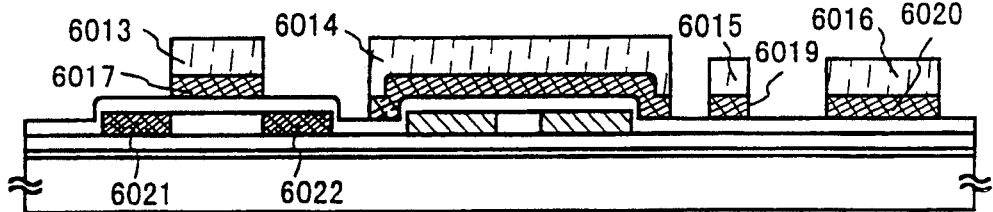


图 15D

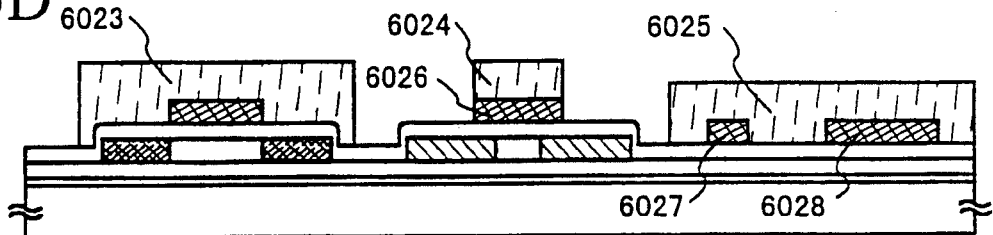


图 15E

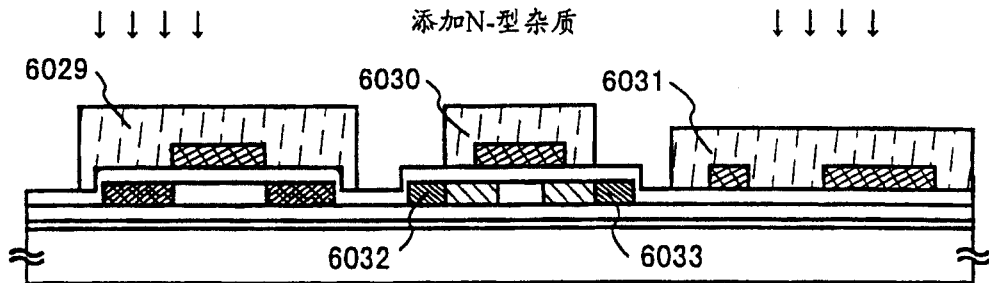


图 16A

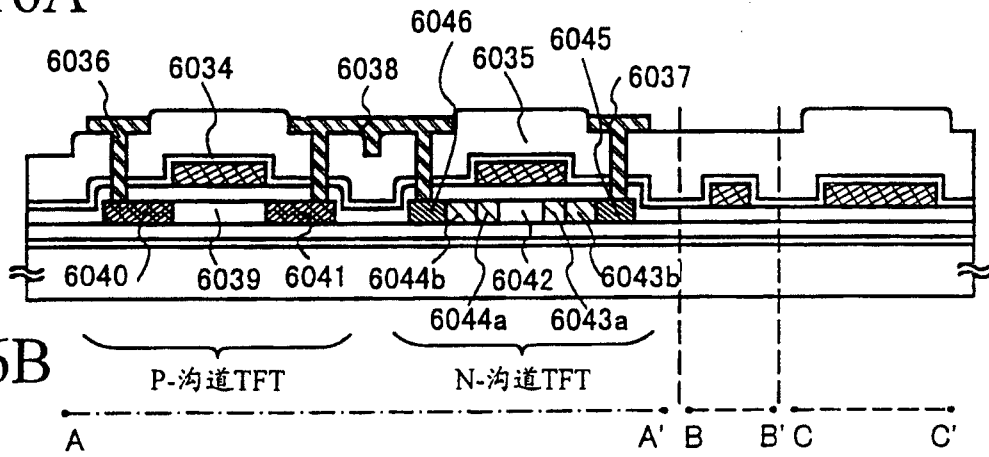


图 16B

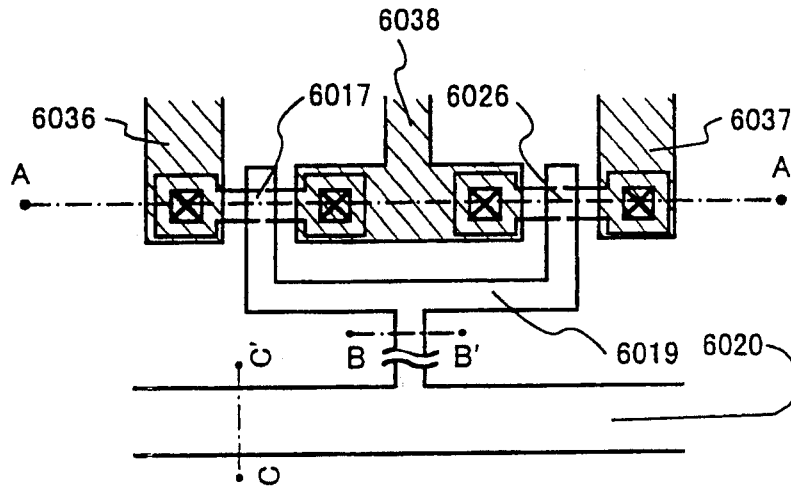


图 16C

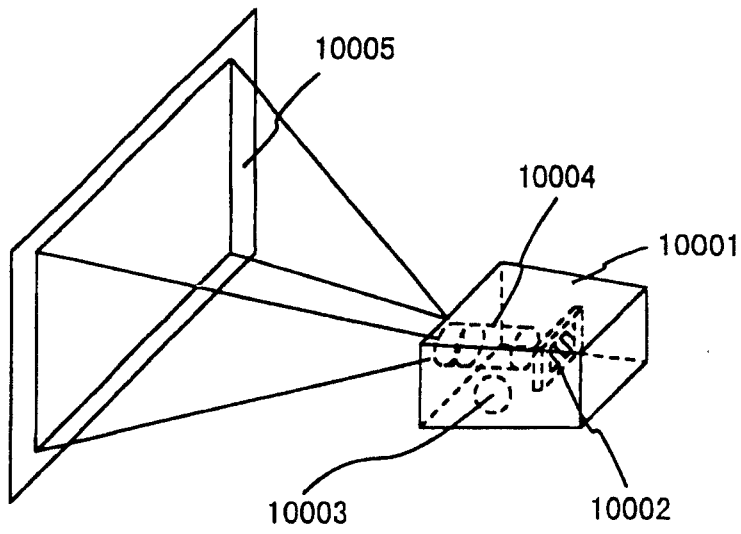


图 17A

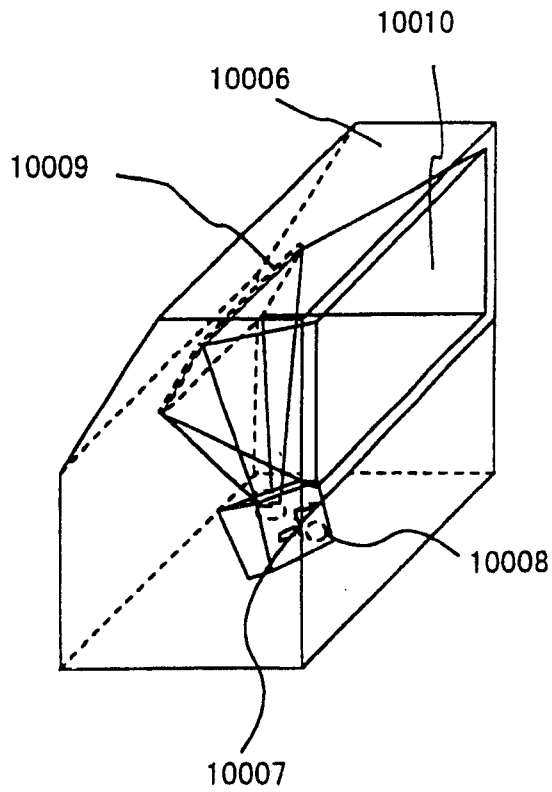


图 17B

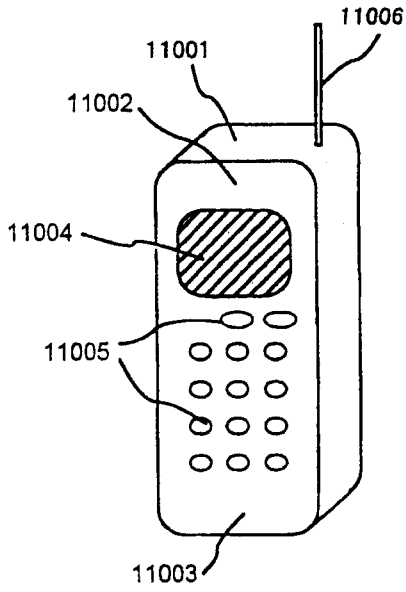


图 18A

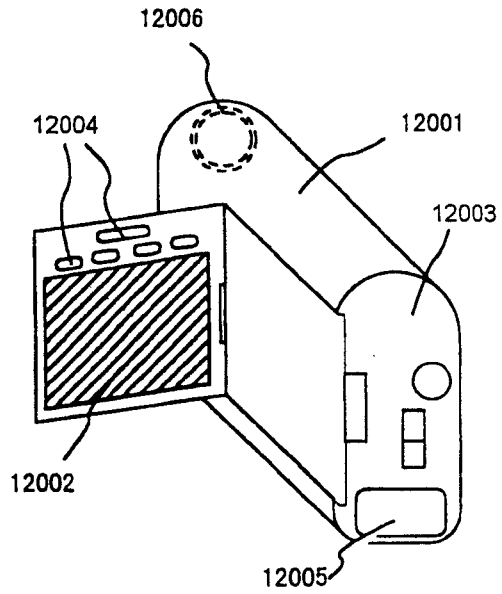


图 18B

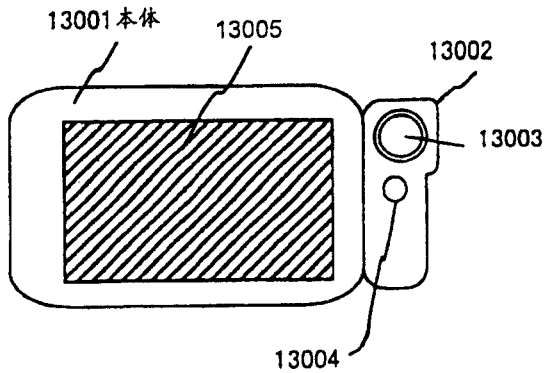


图 18C

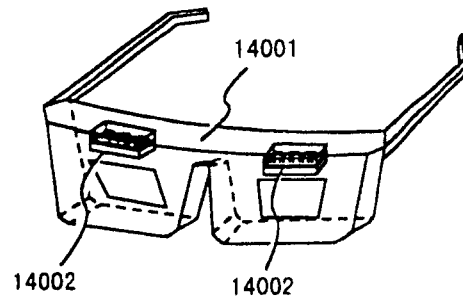


图 18D

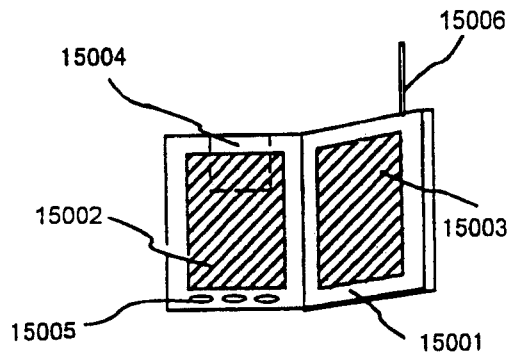


图 18E

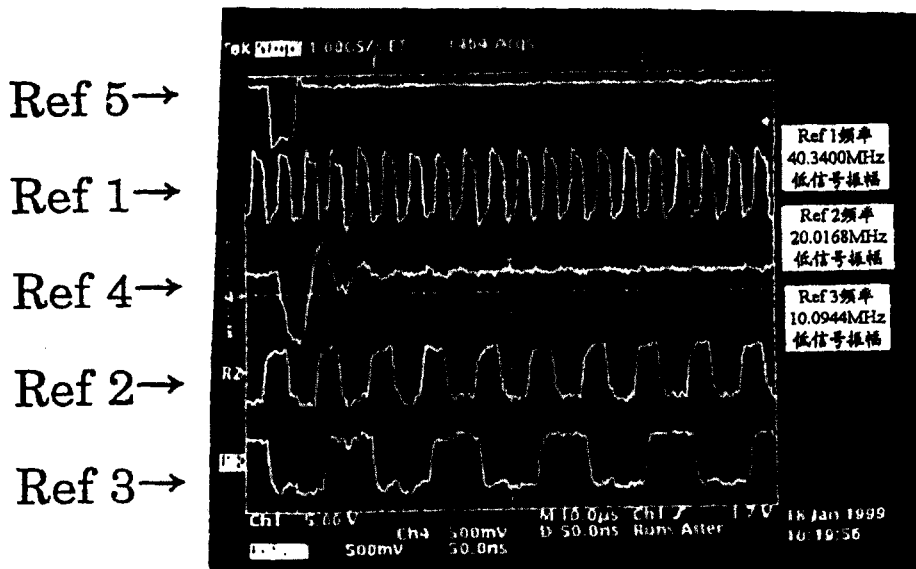


图 19

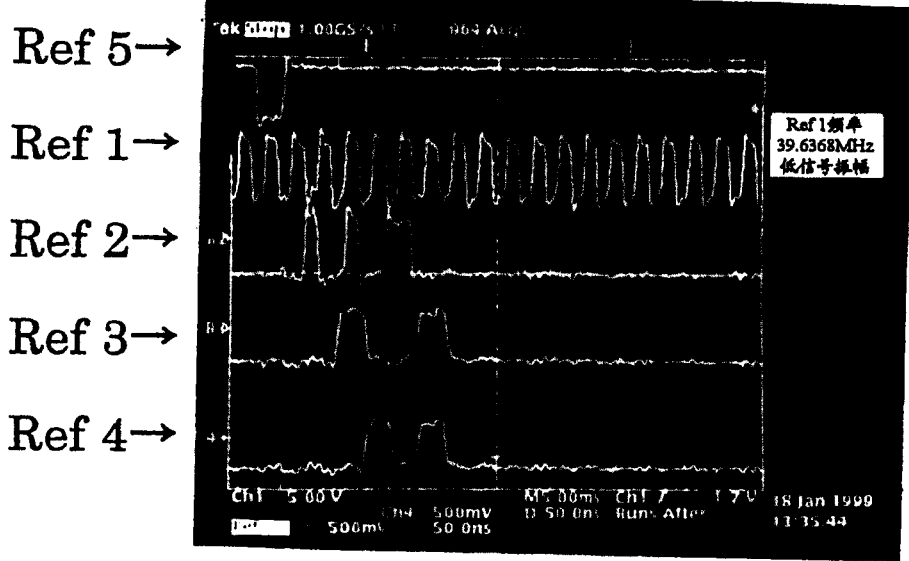


图 20A

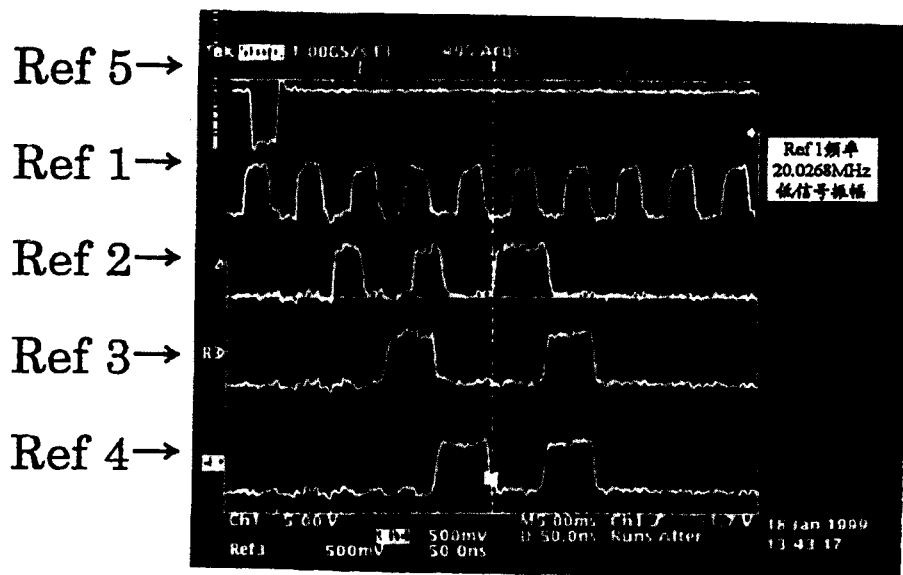


图 20B

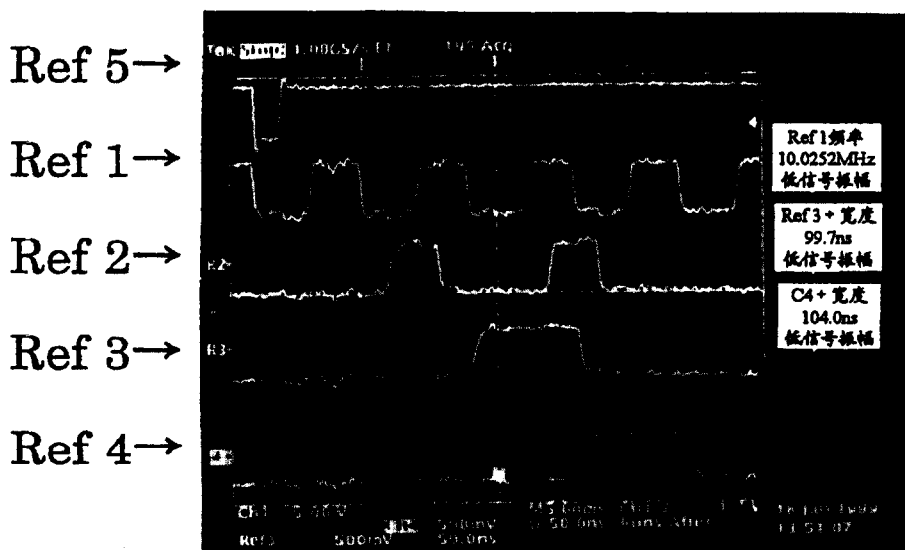


图 20C

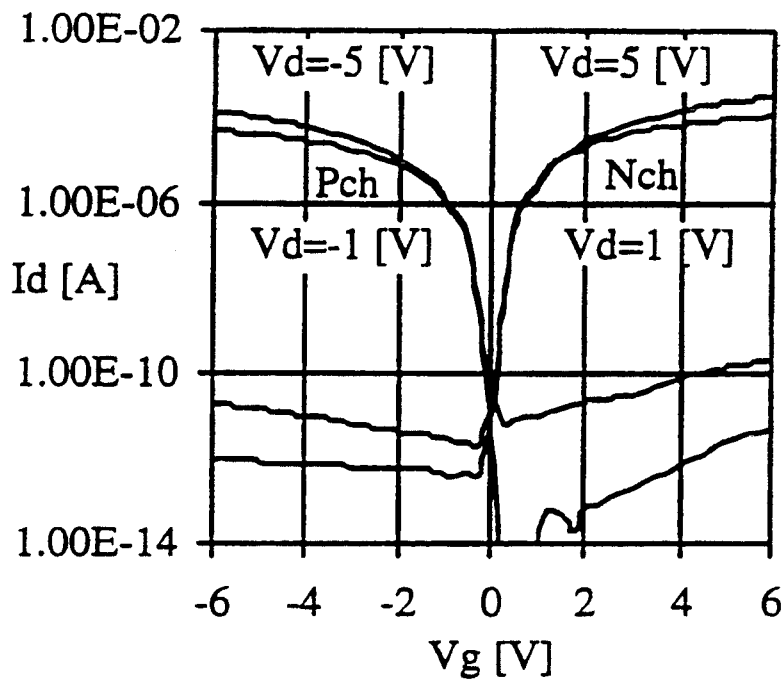


图 21

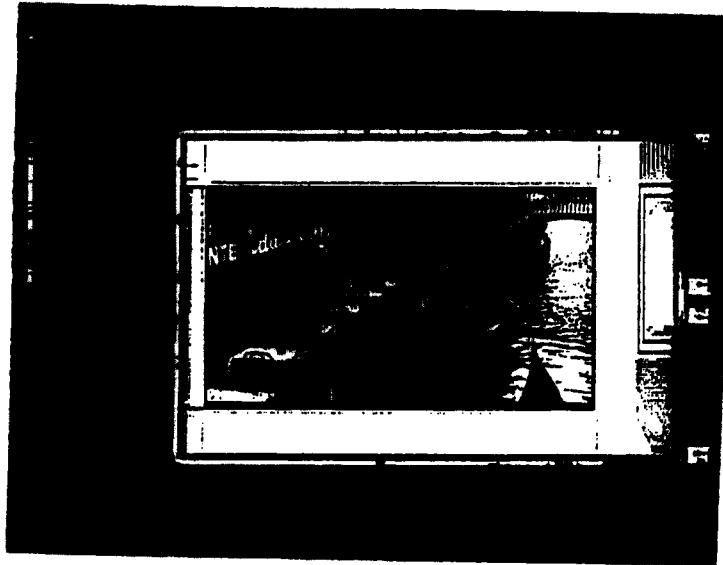


图 22

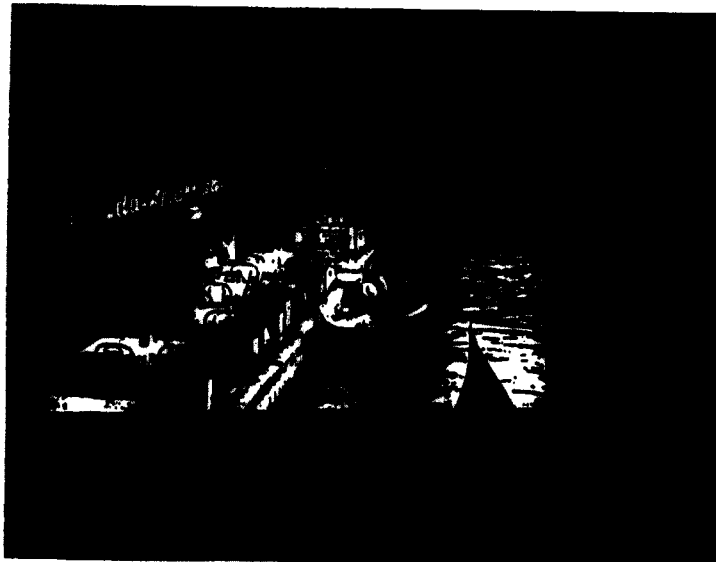


图 23

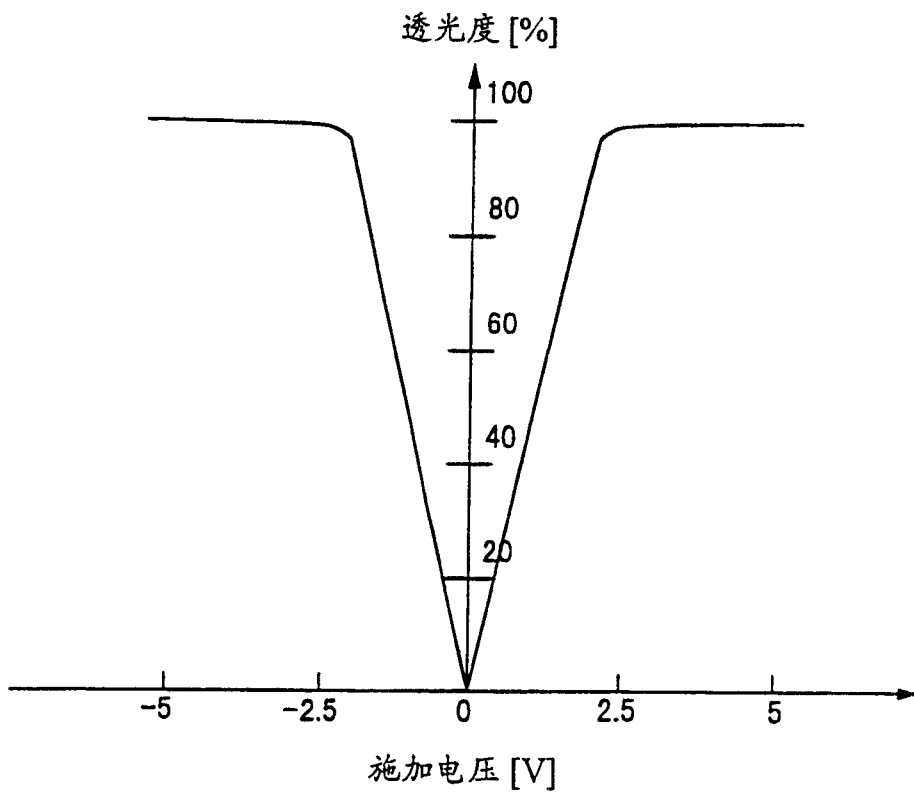


图 24

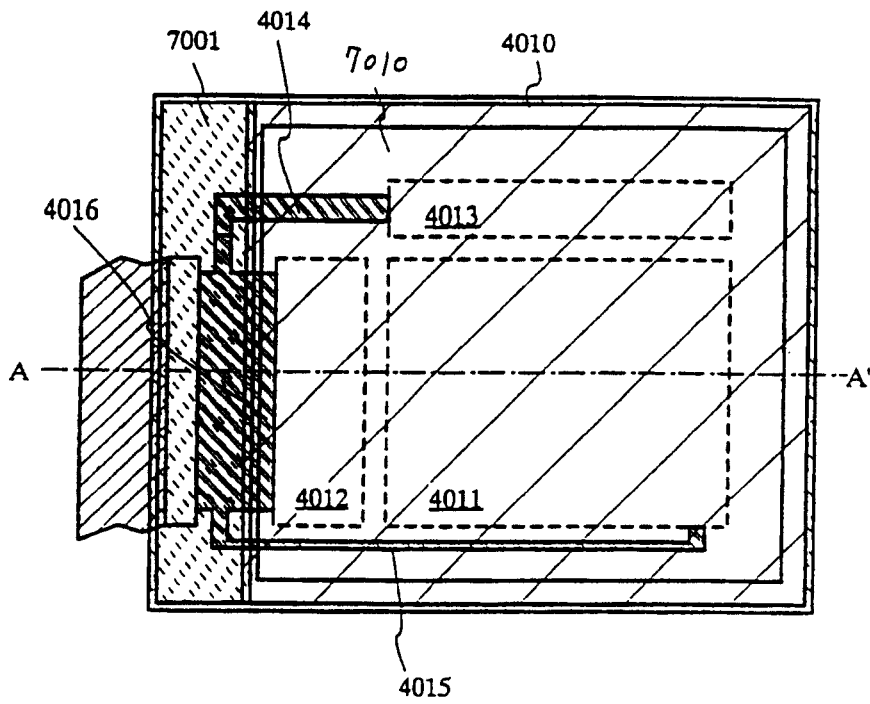


图 25A

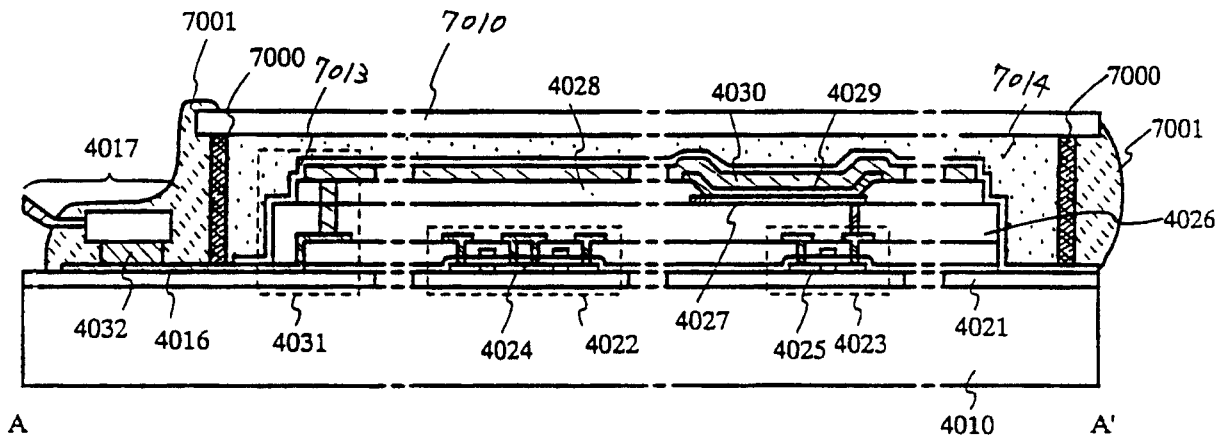


图 25B

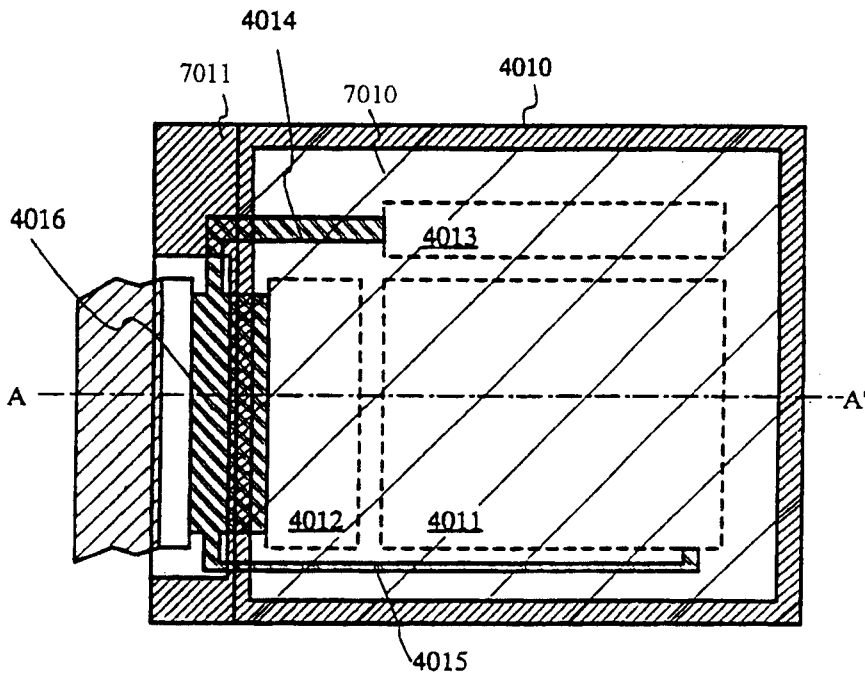


图 26A

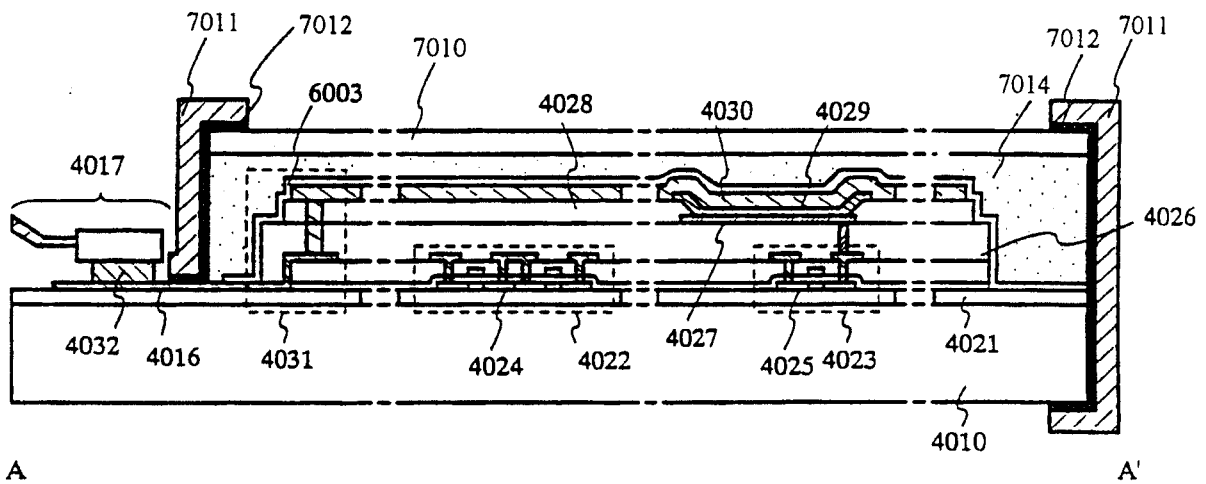


图 26B

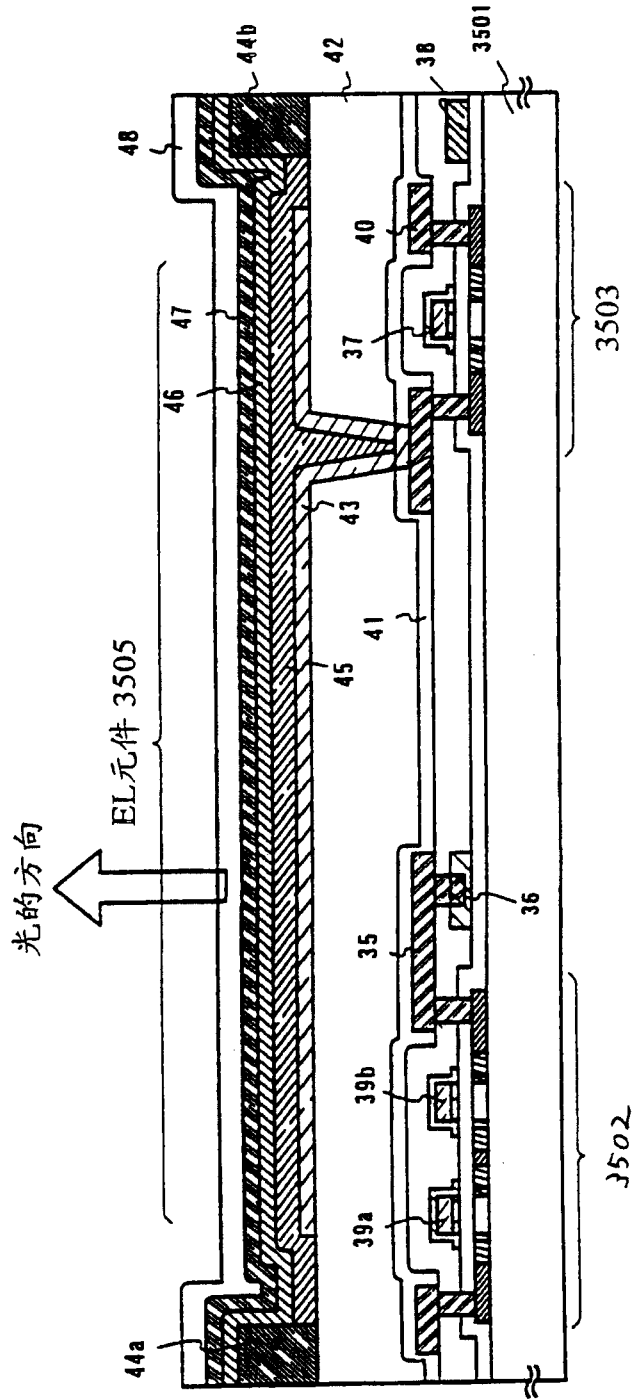


图 27

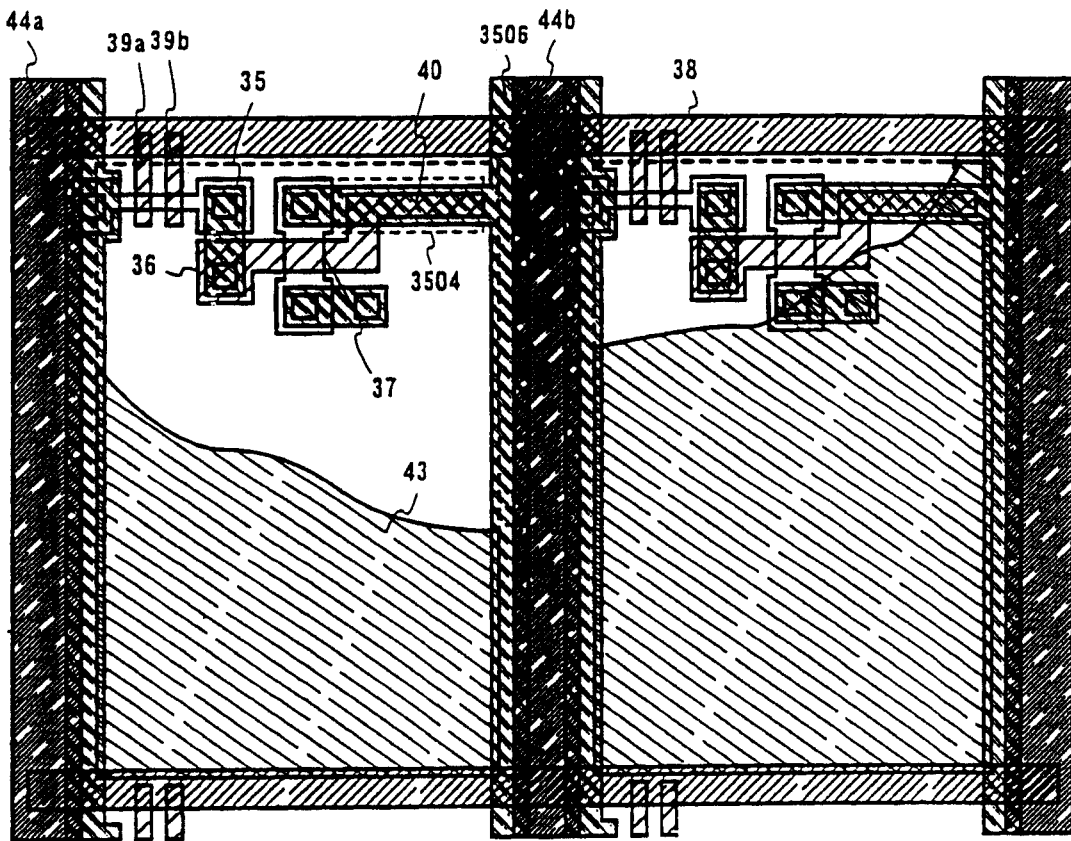


图 28A

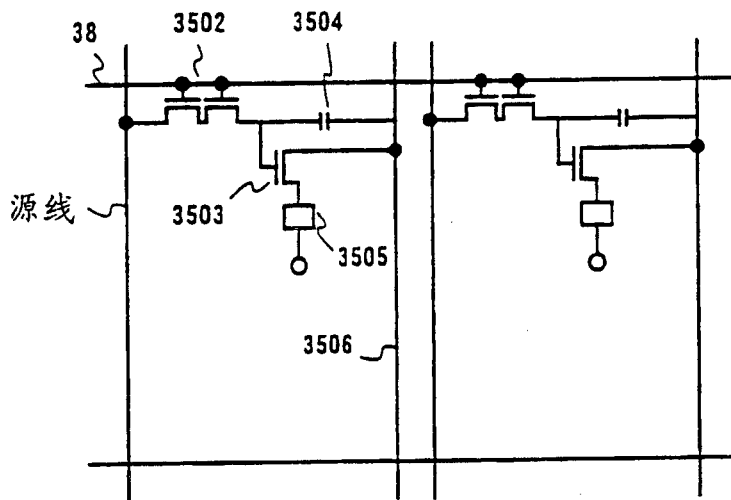


图 28B

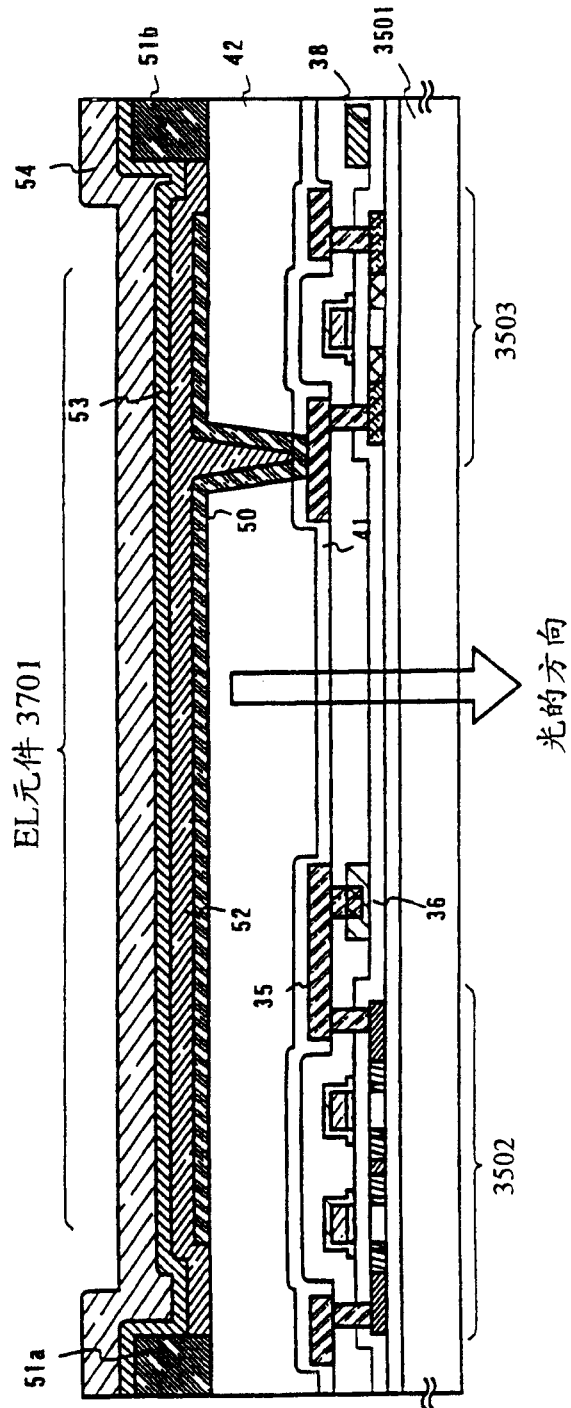


图 29

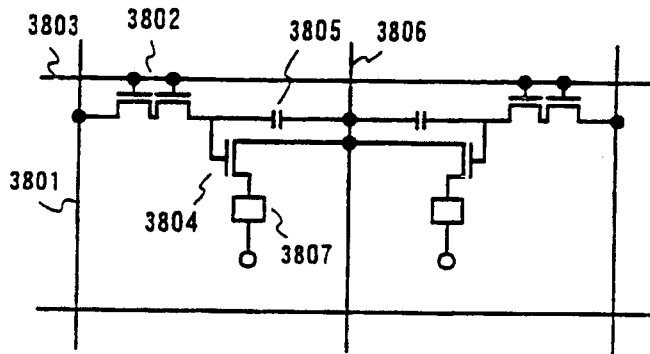


图 30A

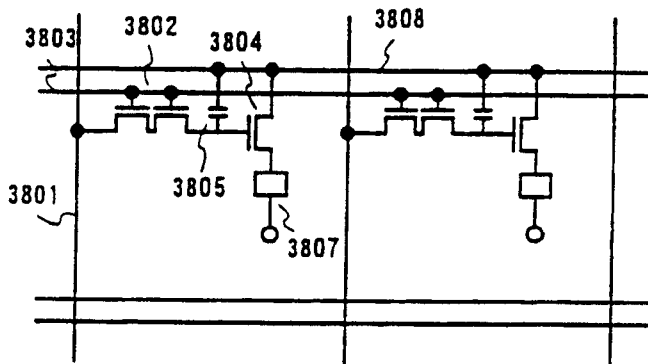


图 30B

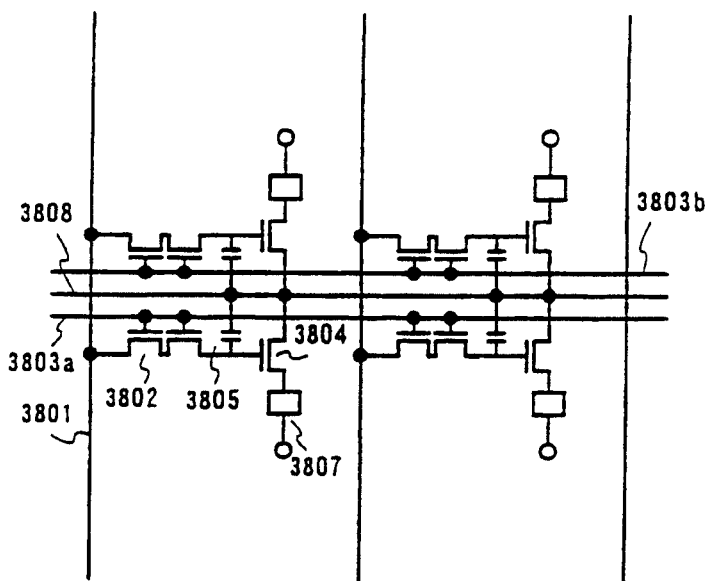


图 30C