

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年1月27日(27.01.2011)

PCT

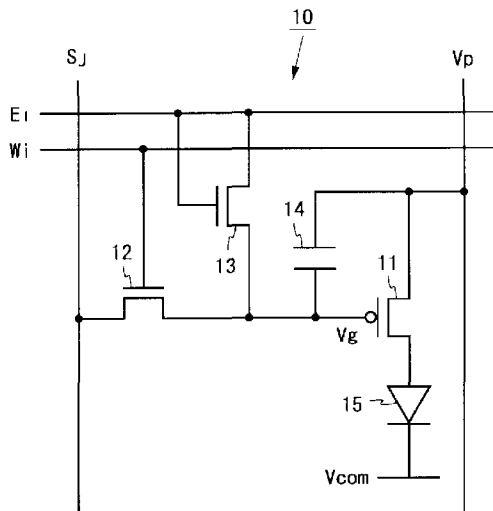
(10)
WO 2011/010486 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) HOIL 51/50 (2006.01)
G09G 3/20 (2006.01)
 - (21) 国際出願番号: PCT/JP20 10/054492
 - (22) 国際出願日: 2010年3月17日(17.03.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-172149 2009年7月23日(23.07.2009) JP
 - (71) 出願人(米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
 - (72) 発明者: および
 - (75) 発明者/出願人(米国につかてのみ): 仙田 孝裕
(SENDA, Takahiro).
 - (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
 - (81) 打定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, Aφ, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, Cφ,
CR, CU, CZ, DE, DK, DM, Dφ, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, Rφ, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国(表示のない限り、全ての種類の区域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), エーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, Rφ, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, Gφ, GW, ML, MR, NE, SN,
TD, TG).
- 添付公開書類:
— 国際特許調査報告(条約第21条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING DISPLAY DEVICE

(54) 発明の名称: 表示装置および表示装置の駆動方法

[図3]



(57) Abstract: An erasure TFT (13) is provided between the gate terminal of a driving TFT (11) and a control line (Ei), and the gate terminal of the erasure TFT (13) is connected to the control line (Ei). At the time of erasing data, a potential equal to or higher than the total of the potential of a power supply line (Vp) and the threshold voltage of the erasure TFT (13) is applied to the control line (Ei) until data writing is started, and the organic EL element (15) is controlled to be in a state wherein light is not emitted. The high level potential to be applied to a control line (Wi) is the potential with which a write TFT (12) maintains the off-state when the potential applied to a data line (Sj) is the high level potential that corresponds to the state wherein light is not emitted. Thus, unnecessary light emission of the electro-optical element due to the change of the potential of the control line is eliminated without increasing the number of power supplies and wiring lines.

(57) 要約: 駆動用TFT11のゲート端子と制御線Eiの間に消去用TFT13を設け、消去用TFT13のゲート端子を制御線Eiに接続する。データ書き込みを行うときには、データ書き込みを行う前まで、制御線Eiに対して電源線Vpの電位と消去用TFT13の閾値電位の合計以上の電位を印加し、有機EL素子15を非発光状態に制御する。制御線Wiに印加されるハイレベル電位は、データ線Sjに印加される電位が非発光状態に対応したハイレベル電位であるときに、書き込み用TFT12がオフ状態を維持する電位とする。これにより、電源や配線の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止する。

データ書き込みを行うときには、データ書き込みを行う前まで、制御線Eiに対して電源線Vpの電位と消去用TFT13の閾値電位の合計以上の電位を印加し、有機EL素子15を非発光状態に制御する。制御線Wiに印加されるハイレベル電位は、データ線Sjに印加される電位が非発光状態に対応したハイレベル電位であるときに、書き込み用TFT12がオフ状態を維持する電位とする。これにより、電源や配線の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止する。

WO 2011 104 6 1

明 細 書

発明の名称 : 表示装置および表示装置の駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より特定的には、有機ELディスプレイなどの電流駆動型表示装置に関する。

背景技術

[0002] 近年、薄型、軽量、高速応答可能な表示装置として、有機EL (Electro Luminescence) ディ스플레이が注目されている。有機ELディスプレイで階調表示を行う方法として、画素回路内の駆動用TFT (Thin Film Transistor) をアナログ信号を用いて制御するアナログ階調駆動と、駆動用TFTをデジタル信号を用いて制御するデジタル階調駆動とが知られている。アナログ階調駆動よりもデジタル階調駆動のほうが階調再現性が高く、画質の点で優れている。

[0003] 以下、デジタル階調駆動の一種である時分割階調駆動を取り上げる。時分割階調駆動とは、「フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において表示素子の状態を発光状態または非発光状態に制御する駆動方法である。「フレーム期間における表示素子の輝度は、当該表示素子が発光状態にあるサブフレーム期間の長さの合計によって定まる。時分割階調駆動は、PDP (Plasma Display Panel) の駆動にも利用されている。

[0004] 有機ELディスプレイについては、これまでに各種の画素回路が考案されている（以下に示す従来の画素回路では、本件発明との対比を容易にするために、構成要素や信号線の名称が変更されている）。特許文献1には、図6に示すように、TFT61~63、コンデンサ64、および、有機EL素子65を含む画素回路60が記載されている。制御線Siの電位は、図7に示すように、制御線Wiの電位よりも所定時間だけ遅れて変化する。制御線Siの電位がハイレベルになると、TFT63はオン状態、TFT61はオフ

状態になり、有機 \equiv 」素子65は非発光状態になる。したがって、図7に示す遅延時間の長さを調整することにより、有機 \equiv 」素子65の表示輝度を調整することができる。

[0005] 特許文献2には、図8に示すように、TFT7 Γ ~73、コンデンサ74、および、有機 \equiv 」素子75を含む画素回路70が記載されている。制御線 \equiv iの電位がハイレベルになると、TFT73はオン状態、TFT7 Γ はオフ状態になり、有機 \equiv 」素子75は非発光状態になる。TFT73は、時分割階調駆動を行う有機 \equiv 」ディスプレイにおいて、データの書き込みと消去を並列に行うために設けられている。

[0006] 特許文献3には、図9に示すように、TFT8 Γ ~83、コンデンサ84、および、有機 \equiv 」素子85を含む画素回路80が記載されている。画素回路80では、TFT83のゲート端子とドレイン端子は、制御線 \equiv iに接続されている。制御線 \equiv iの電位がハイレベルになると、制御線 \equiv iからT Γ T83を経由してTFT8 Γ のゲート端子に電流が流れ、TFT8 Γ はオフ状態になり、有機 \equiv 」素子85は非発光状態になる。TFT83は、時分割階調駆動と面積分割階調駆動を行う有機 \equiv 」ディスプレイにおいて、データの書き込みと消去を並列に行うために設けられている。このように有機 \equiv 」ディスプレイの画素回路に、データ書き込み用のT \equiv Tとは別に、データ消去用のT \equiv Tを設けることは従来から知られている。

先行技術文献

特許文献

- [0007] 特許文献1：日本国特開200 Γ -60076号公報
特許文献2：日本国特開2002 Γ -49 Γ 3号公報
特許文献3：日本国特開2007-86762号公報

発明の概要

発明が解決しようとする課題

[0008] 時分割階調駆動を行う有機 \equiv 」ディスプレイの画素回路には、有機 \equiv 」素

子の発光状態に対応したデータ（以下、白データという）、および、有機 π - π 素子の非発光状態に対応したデータ（以下、黒データという）のいずれかが書き込まれる。ところが、画素回路に黒データを書き込んだ後や、書き込んだデータを消去した後でも、有機 π - π 素子が微小な輝度で発光し、画面内に輝点が現れたり、画面全体が低輝度で光ったりすることがある。以下、図10および図11を参照して、その理由を説明する。

[0009] 図10に示す画素回路90は、駆動用TFT91、書き込み用TFT92、消去用TFT93、コンデンサ94、および、有機 π - π 素子95を含んでいる。図11に示すように、画素回路90に白データ（黒データ）を書き込むときには、データ線 S_j の電位はローレベル（ハイレベル）に制御され、制御線 W_i の電位はハイレベルに制御される。書き込んだデータを消去するときには、制御線 π_i の電位がハイレベルに制御される。制御線 W_i 、 π_i の電位は、いずれも「水平走査期間（「H期間）だけハイレベルに制御される。

[0010] 時刻 T_b において制御線 π_i の電位がハイレベルに変化すると、消去用TFT93がオン状態になり、駆動用TFT91のゲート電位 V_g は電源線 V_p の電位に等しくなる。その後、時刻 T_c において制御線 π_i の電位がローレベルに変化し、消去用TFT93がオフ状態になっても、ゲート電位 V_g は変化しないはずである。ところが実際には、消去用TFT93のゲート端子とソース端子の間に寄生容量96が存在するために、制御線 π_i の電位がローレベルに変化する時刻 T_c において、ゲート電位 V_g は AV_2 だけ低下する。このときにゲート電位 V_g が駆動用TFT91のオン電位 V_{on} よりも低くなると、有機 π - π 素子95は時刻 T_c 以降で不要に発光する。

[0011] 同様の現象は、黒データを書き込むときにも起こる。時刻 T_d において制御線 W_i とデータ線 S_j の電位が共にハイレベルに変化すると、書き込み用TFT92がオン状態になり、ゲート電位 V_g はデータ線 S_j の電位に等しくなる。その後、時刻 T_e において制御線 W_i の電位がローレベルに変化し、書き込み用TFT92がオフ状態になっても、ゲート電位 V_g は変化しな

いはずである。ところが実際には、書き込み用 T F T 9 2 のゲート端子と駆動用 T F T 9 1 側の導通端子との間に寄生容量 9 7 が存在するために、制御線 W i の電位がローレベルに変化する時刻 T e において、ゲート電位 V g は A V 1 だけ低下する。このときにゲート電位 V g が駆動用 T F T 9 1 のオン電位 V o n よりも低くなると、有機 3 素子 9 5 は時刻 T e 以降で不要に発光する。

- [0012] なお、白データを書き込むときにも、制御線 W i の電位がローレベルに変化する時刻 T a において、ゲート電位 V g は低下する。このときにゲート電位 V g が低下しても、有機 3 素子 9 5 が発光することには変わりはないので、画素回路 9 0 の動作に支障はない。
- [0013] データ消去後の不要な発光を防止するためには、消去用 T F T 9 3 のドレイン端子に駆動用 T F T 9 1 のオン電位 V o n よりも十分に高い電位を印加すればよい。しかしながら、画素回路 9 0 では、電源と配線の数減らすために、消去用 T F T 9 3 のドレイン端子は駆動用 T F T 9 1 のソース端子と共に電源線 V p に接続されている。このため、画素回路 9 0 では、消去用 T F T 9 3 のドレイン端子に自由な電位を印加することができない。
- [0014] また、黒データ書き込み後の不要な発光を防止するためには、黒データ書き込み時にデータ線 S j に十分に高い電位を印加すればよい。しかしながら、データ線 S j に対して電源線 V p の電位以外のハイレベル電位を印加するためには、当該電位を発生させる電源が必要となり、表示装置の回路量が増加する。
- [0015] 図 6、図 8 および図 9 に示す従来の画素回路 6 0、7 0、8 0 でも、上記の問題を解決することはできない。この問題は、導通しやすい特性を有する駆動用 T F T を含み、データ消去時に駆動用 T F T のゲート端子に対してソース電位に近い電位を印加する画素回路において発生する。
- [0016] それ故に、本発明は、電源や配線の数増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止した表示装置を提供することを目的とする。

課題を解決するための手段

- [0017] 本発明の第「の局面は、電流駆動型の表示装置であって、
- 2次元状に配置された複数の画素回路と、
 - 前記画素回路の行ごとに設けられた複数の第「の制御線および複数の第2の制御線と、
 - 前記画素回路の列ごとに設けられた複数のデータ線と、
 - 前記第「の制御線を用いてデータ書き込みの対象となる画素回路を選択すると共に、前記第2の制御線を用いてデータ消去の対象となる画素回路を選択する制御線駆動回路と、
 - 前記データ線に対して、2値の表示データに応じた電位を印加するデータ線駆動回路とを備え、
 - 前記画素回路は、
 - 第「の電源線と第2の電源線との間に設けられた電気光学素子と、
 - 前記第「の電源線と前記第2の電源線との間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、
 - 前記駆動用トランジスタのゲート端子と前記データ線との間に設けられ、ゲート端子が前記第「の制御線に接続された書き込み用トランジスタと、
 - 前記駆動用トランジスタのゲート端子と所定の信号線との間に設けられ、ゲート端子が前記第2の制御線に接続された消去用トランジスタと、
 - 前記駆動用トランジスタのゲート端子と前記第「の電源線との間に設けられたコンデンサとを含み、
 - 前記第「の制御線に印加される電位がデータ書き込み用の電位に変化するまで、前記第2の制御線にはデータ消去用の電位が印加され、
 - 前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される電位が前記電気光学素子の非発光状態に対応した非発光電位であるときに、前記書き込み用トランジスタがオフ状態を維持する電位であることを特徴とする。

- [0018] 本発明の第2の局面は、本発明の第「の局面において、

前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される非発光電位に等しいことを特徴とする。

[0019] 本発明の第3の局面は、本発明の第2の局面において、
前記データ線に印加される非発光電位は、前記第「の電源線の電位に等しいことを特徴とする。

[0020] 本発明の第4の局面は、本発明の第「の局面において、
前記消去用トランジスタは、前記駆動用トランジスタのゲート端子と前記第2の制御線との間に設けられていることを特徴とする。

[0021] 本発明の第5の局面は、本発明の第4の局面において、
前記第2の制御線に印加されるデータ消去用の電位は、前記第「の電源線の電位と前記消去用トランジスタの閾値電圧の合計以上であることを特徴とする。

[0022] 本発明の第6の局面は、本発明の第「の局面において、
前記制御線駆動回路と前記データ線駆動回路は、「フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において前記電気光学素子の状態を制御する時分割階調駆動を行うことを特徴とする。

[0023] 本発明の第7の局面は、本発明の第「の局面において、
前記電気光学素子は、有機「素子で構成されていることを特徴とする。

[0024] 本発明の第8の局面は、2次元状に配置された複数の画素回路と、前記画素回路の行ごとに設けられた複数の第「の制御線および複数の第2の制御線と、前記画素回路の列ごとに設けられた複数のデータ線とを備えた表示装置の駆動方法であつて、

前記画素回路が、第「の電源線と第2の電源線との間に設けられた電気光学素子と、前記第「の電源線と前記第2の電源線との間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、前記駆動用トランジスタのゲート端子と前記データ線との間に設けられ、ゲート端子が前記第「の制御線に接続された書き込み用トランジスタと、前記駆動用トランジスタのゲート端子と所定の信号線との間に設けられ、ゲート端子が前記第2の制御線に接

続された消去用トランジスタと、前記駆動用トランジスタのゲート端子と前記第「の電源線との間に設けられたコンデンサとを含む場合において、

前記第「の制御線を用いて、データ書き込みの対象となる画素回路を選択するステップと、

前記第2の制御線を用いて、データ消去の対象となる画素回路を選択するステップと、

前記データ線に対して、2値の表示データに応じた電位を印加するステップとを備え、

前記第「の制御線に印加される電位がデータ書き込み用の電位に変化するまで、前記第2の制御線にはデータ消去用の電位が印加され、

前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される電位が前記電気光学素子の非発光状態に対応した非発光電位であるときに、前記書き込み用トランジスタがオフ状態を維持する電位であることを特徴とする。

[0025] 本発明の第9の局面は、本発明の第8の局面において、

前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される非発光電位に等しいことを特徴とする。

[0026] 本発明の第「0の局面は、本発明の第9の局面において、

前記データ線に印加される非発光電位は、前記第「の電源線の電位に等しいことを特徴とする。

[0027] 本発明の第「「の局面は、本発明の第8の局面において、

前記消去用トランジスタは、前記駆動用トランジスタのゲート端子と前記第2の制御線との間に設けられていることを特徴とする。

[0028] 本発明の第12の局面は、本発明の第「「の局面において、

前記第2の制御線に印加されるデータ消去用の電位は、前記第「の電源線の電位と前記消去用トランジスタの閾値電圧の合計以上であることを特徴とする。

[0029] 本発明の第13の局面は、本発明の第8の局面において、

前記3つのステップは、「フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において前記電気光学素子の状態を制御する時分割階調駆動を行うことを特徴とする。

- [0030] 本発明の第14の局面は、本発明の第8の局面において、
前記電気光学素子は、有機 π -i素子で構成されていることを特徴とする。

発明の効果

- [0031] 本発明の第「または第8の局面によれば、画素回路に対するデータ書き込みを行う前まで、画素回路に対するデータ消去が行われ、電気光学素子は非発光状態に制御される。また、電気光学素子の非発光状態に対応した黒データを画素回路に書き込むときには、書き込み用トランジスタはオフ状態を維持する。これにより、黒データを書き込むことなく、電気光学素子を黒データに対応した非発光状態に制御すると共に、データ書き込み終了時に第「の制御線の電位が変化したときの駆動用トランジスタのゲート電位の変化を防止することができる。したがって、黒データ書き込み後の電気光学素子の不要な発光を防止することができる。
- [0032] 本発明の第2または第9の局面によれば、第「の制御線に印加されるデータ書き込み用の電位をデータ線に印加される黒データに対応した電位に等しくすることにより、データ書き込み用の電位を生成するための電源を増やすことなく、黒データ書き込み後の電気光学素子の不要な発光を防止することができる。
- [0033] 本発明の第3または第「0の局面によれば、データ線に印加される黒データに対応した電位を第「の電源線の電位に等しくすることにより、黒データに対応した電位を生成するための電源を増やすことなく、黒データ書き込み後の電気光学素子の不要な発光を防止することができる。
- [0034] 本発明の第4または第「の局面によれば、消去用トランジスタの一方の導通端子をゲート端子と共に第2の制御線に接続することにより、第2の制御線を用いて駆動用トランジスタのゲート端子に好適な電位を印加し、データ消去中に電気光学素子を確実に非発光状態に制御することができる。また

、第2の制御線にマージンを見込んだ電位を印加することにより、データ消去終了時に第2の制御線の電位が変化し、駆動用トランジスタのゲート電位が変化する場合でも、データ消去後の電気光学素子の不要な発光を防止することができる。

[0035] 本発明の第5または第「2の局面によれば、第2の制御線に印加されるデータ消去用の電位を第「の電源線の電位と消去用トランジスタの閾値電圧の合計以上にすることにより、データ消去中に電気光学素子を確実に非発光状態に制御することができる。

[0036] 本発明の第6または第「3の局面によれば、電源や配線の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止した、時分割階調駆動を行う表示装置を得ることができる。

[0037] 本発明の第7または第「4の局面によれば、電源や配線の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止した有機「ディスプレイを得ることができる。

図面の簡単な説明

[0038] [図1] 本発明の実施形態に係る表示装置の構成を示すブロック図である。

[図2] 図「に示す表示回路が行う時分割階調駆動のタイミングチャートである。

[図3] 図「に示す表示回路に含まれる画素回路の回路図である。

[図4] 図3に示す画素回路のタイミングチャートである。

[図5] 図3に示す画素回路に印加される電位を示す図である。

[図6] 従来の表示装置に含まれる画素回路（第「例）の回路図である。

[図7] 図6に示す画素回路のタイミングチャートである。

[図8] 従来の表示装置に含まれる画素回路（第2「）の回路図である。

[図9] 従来の表示装置に含まれる画素回路（第3「）の回路図である。

[図10] 比較例に係る画素回路の回路図である。

[図11] 図「0に示す画素回路のタイミングチャートである。

発明を実施するための形態

- [0039] 以下、図面を参照して、本発明の実施形態に係る表示装置について説明する。本発明の実施形態に係る表示装置は、電気光学素子、コンデンサ、駆動用トランジスタ、書き込み用トランジスタ、および、消去用トランジスタを含む画素回路を備えている。画素回路は、電気光学素子として有機「 π 」素子を含み、3種類のトランジスタとして「 T_{π} 」を含んでいる。画素回路に含まれる「 T_{π} 」は、例えば低温ポリシリコンなどを用いて形成される。以下、 n 、 m および p は2以上の整数、 i は「 $1 \leq i \leq n$ 」以下の整数、 j は「 $1 \leq j \leq m$ 」以下の整数、 k は「 $1 \leq k \leq p$ 」以下の整数とする。
- [0040] 図「 1 」は、本発明の実施形態に係る表示装置の構成を示すブロック図である。図「 1 」に示す表示装置「 1 」は、複数の画素回路 A_{ij} 、表示制御回路 2、ゲートドライバ回路 3、および、ソースドライバ回路 4 を備えている。画素回路 A_{ij} は、行方向に m 個ずつ、列方向に n 個ずつ、2次元状に配置される。画素回路 A_{ij} の行ごとに2種類の制御線 W_i 、 π_i が設けられ、画素回路 A_{ij} の列ごとにデータ線 S_j が設けられる。画素回路 A_{ij} は、制御線 W_i とデータ線 S_j の各交差点に対応して配置される。
- [0041] 制御線 W_i 、 π_i はゲートドライバ回路 3 に接続され、データ線 S_j はソースドライバ回路 4 に接続される。制御線 W_i 、 π_i の電位はゲートドライバ回路 3 によって制御され、データ線 S_j の電位はソースドライバ回路 4 によって制御される。また、図「 1 」では省略されているが、画素回路 A_{ij} の配置領域には、画素回路 A_{ij} に電源電圧を供給するために、電源線 V_p と共通陰極 V_{com} が配置されている。
- [0042] 表示装置「 1 」には、垂直同期信号 $VSYNC$ や水平同期信号 $HSYNC$ などの制御信号と、2ビット以上の幅を有する表示データ DT とが入力される。表示装置「 1 」は、「フレーム期間を p 個のサブフレーム期間に分割する時分割階調駆動によって、2°レベルの階調表示を行う。
- [0043] 表示制御回路 2 は、入力された制御信号に基づき、ゲートドライバ回路 3 に対して出カインエーブル信号 O_{π} 、スタートパルス YI 、クロック YCK 、および、遅延時間信号 D を出力し、ソースドライバ回路 4 に対してスター

トパルス $S P$ 、クロック $C L K$ 、および、ラッチパルス $L P$ を出力する。スタートパルス $Y I$ 、 $S P$ は、サブフレーム期間ごとに出力される。遅延時間信号 $D L$ は、サブフレーム期間ごとに、データ書き込みからデータ消去までの遅延時間を指定する。これに加えて表示制御回路 2 は、表示データ $D T$ に基づき、サブフレーム期間ごとに $(m \times n)$ 個の 2 値の表示データ（以下、2 値データ $B D$ という）を出力する。

[0044] ゲートドライバ回路 3 は、シフトレジスタ回路、書き込み信号生成回路、消去信号生成回路、および、バッファ（いずれも図示せず）を含んでいる。スタートパルス $Y I$ は、各サブフレーム期間の先頭で所定レベル（例えば、ハイレベル）になる。シフトレジスタ回路は、クロック $Y C K$ に同期してスタートパルス $Y I$ を順次転送する。書き込み信号生成回路は、シフトレジスタ回路の各段から出力されたパルスと出力イネーブル信号 $O E$ との間で論理演算を行う。書き込み信号生成回路の出力は、バッファを経由して、対応する制御線 $W i$ に与えられる。消去信号生成回路は、書き込み信号生成回路の出力よりも遅延時間信号 $D L$ で指定された時間だけ遅れてハイレベルに変化し、次に書き込み信号生成回路の出力がハイレベルになるときにローレベルに変化する信号を出力する。消去信号生成回路の出力は、バッファを経由して、対応する制御線 $E i$ に与えられる。

[0045] 制御線 $W i$ の電位と制御線 $E i$ の電位は、「サブフレーム期間に「回ずつハイレベルに制御される。制御線 $W i$ の電位がハイレベルになると、「行分の画素回路 $A i j$ がデータ書き込みのために選択される。制御線 $E i$ の電位がハイレベルになると、「行分の画素回路 $A i j$ がデータ消去のために選択される。このようにして画素回路 $A i j$ は、「フレーム期間にデータ書き込みのためとデータ消去のために p 回ずつ選択される。このようにゲートドライバ回路 3 は、制御線 $W i$ を用いてデータ書き込みの対象となる画素回路 $A i j$ を選択すると共に、制御線 $E i$ を用いてデータ消去の対象となる画素回路 $A i j$ を選択する制御線駆動回路として機能する。

[0046] ソースドライバ回路 4 は、 m ビットのシフトレジスタ 5、レジスタ 6、ラ

ッチ回路 7、および、 m 個のバッファ 8 を含んでいる。シフトレジスタ 5 は、縦続接続された m 個の「ビットレジスタを含んでいる。シフトレジスタ 5 は、クロック C 」 K に同期してスタートパルス S P を順次転送し、各段のレジスタからタイミングパルス D 」 P を出力する。タイミングパルス D 」 P の出力タイミングに合わせて、レジスタ 6 には現在のサブフレーム期間に係る 2 値データ B D が供給される。レジスタ 6 は、タイミングパルス D 」 P に従い、2 値データ B D を記憶する。レジスタ 6 に「行分の 2 値データ B D が記憶されると、表示制御回路 2 はラッチ回路 7 に対してラッチパルス」 P を出力する。ラッチ回路 7 は、ラッチパルス」 P を受け取ると、レジスタ 6 に記憶された 2 値データを保持する。

[0047] バッファ 8 は、データ線 S j に対応して設けられ、データ線 S j に対してラッチ回路 7 に保持された 2 値データに応じた電位を印加する。より詳細には、バッファ 8 は、保持された 2 値データが白データ（有機 \equiv 」素子「5 の発光状態に対応したデータ）のときには、データ線 S j に対してローレベル電位を印加し、保持された 2 値データが黒データ（有機 \equiv 」素子「5 の非発光状態に対応したデータ）のときには、データ線 S j に対してハイレベル電位を印加する。このようにソースドライバ回路 4 は、データ線 S j に対して、2 値の表示データに応じた電位を印加するデータ線駆動回路として機能する。

[0048] 図 2 は、表示装置「が行う時分割階調駆動のタイミングチャートである。図 2 に示すように、「フレーム期間は p 個のサブフレーム期間に分割される。各サブフレーム期間では、制御線 W i の電位が順にハイレベルに制御され、「行分の画素回路 A i j に対するデータ書き込みが順に行われる。データ書き込み終了後、画素回路 A i j 内の有機 \equiv 」素子の状態は、書き込まれたデータに応じて発光状態または非発光状態になる。

[0049] 制御線 W i から所定時間だけ遅れて、制御線 \equiv i の電位がハイレベルに制御され、「行分の画素回路 A i j に対するデータ消去が行われる。制御線 \equiv i の電位は、次に制御線 W i の電位がハイレベルになるまでハイレベルに維

持される。これにより、画素回路 A i j 内の有機「素子は、次にデータ書き込みが行われるまで非発光状態に制御される。データ書き込みからデータ消去までの期間が、各サブフレーム期間における有機「素子の発光期間となる。この期間の長さは、表示制御回路 2 からゲートドライバ回路 3 に出力される遅延時間信号 D」によって指定される。

[0050] 例えば、表示データ DT の幅が 8 ビットのとくに、「フレーム期間を 8 個のサブフレーム期間に分割し、第「～第 8 サブフレーム期間における有機「素子の発光期間の長さの比を $2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5 : 2^6 : 2^7$ とする。この場合には、第 k サブフレーム期間に係る 2 値データ BD として、表示データ DT の下位から k ビット目をそのまま使用することができる。なお、ここでは、表示装置「は、図 2 に示すタイミングチャートに従って時分割階調駆動を行うこととしたが、これ以外の時分割階調駆動を行ってもよい。

[0051] 図 3 は、表示装置「に含まれる画素回路 A i j の回路図である。図 3 に示す画素回路「0 は、駆動用 T「1、書き込み用 T「2、消去用 T「3、コンデンサ「4、および、有機「素子「5 を含んでいる。駆動用 T「1 は P チャネル型 トランジスタであり、書き込み用 T「2 と消去用 T「3 は N チャネル型 トランジスタである。画素回路「0 は、図「では画素回路 A i j に該当する。

[0052] 画素回路「0 は、電源線 V p、共通陰極 V c o m、制御線 W i、 Ξi 、および、データ線 S j に接続される。共通陰極 V c o m は、表示装置「内のすべての有機「素子「5 の共通電極となる。画素回路「0 では、駆動用 T「1 のソース端子は電源線 V p に接続され、ドレイン端子は有機「素子「5 のアノード端子に接続される。有機「素子「5 のカソード端子は共通陰極 V c o m に接続される。書き込み用 T「2 は、駆動用 T「1 のゲート端子とデータ線 S j との間に設けられる。消去用 T「3 は、駆動用 T「1 のゲート端子と制御線 Ξi との間に設けられる。書き込み用 T「2 のゲート端子は制御線 W i に接続され、消去用 T「3 のゲート

端子は制御線 $\equiv i$ に接続される。コンデンサ $\Gamma 4$ は、駆動用 $\Gamma \equiv T \Gamma \Gamma$ のゲート端子とソース端子の間に設けられる。以下、駆動用 $\Gamma \equiv T \Gamma \Gamma$ のゲート電位を V_g といい、書き込み用 $\Gamma \equiv T \Gamma 2$ の導通端子のうち、データ線 S_j 側の端子を第 Γ 端子、駆動用 $\Gamma \equiv T \Gamma \Gamma$ 側の端子を第 2 端子という。

[0053] 消去用 $\Gamma \equiv T \Gamma 3$ のゲート端子とドレイン端子は、共に制御線 $\equiv i$ に接続される。このように接続された消去用 $\Gamma \equiv T \Gamma 3$ は、ダイオードとして機能する。より詳細には、制御線 $\equiv i$ の電位がゲート電位 V_g よりも高いときには、制御線 $\equiv i$ から消去用 $\Gamma \equiv T \Gamma 3$ を経由して駆動用 $\Gamma \equiv T \Gamma \Gamma$ のゲート端子に電流が流れ、ゲート電位 V_g は上昇し、最終的に制御線 $\equiv i$ の電位（より正確には、制御線 $\equiv i$ の電位から消去用 $\Gamma \equiv T \Gamma 3$ の閾値電圧を引いた電位）に等しくなる。これに対して、制御線 $\equiv i$ の電位がゲート電位 V_g よりも低いときには、消去用 $\Gamma \equiv T \Gamma 3$ を経由する電流は流れず、ゲート電位 V_g は変化しない。このように消去用 $\Gamma \equiv T \Gamma 3$ は、制御線 $\equiv i$ から駆動用 $\Gamma \equiv T \Gamma \Gamma$ のゲート端子に向かう方向にのみ電流を流す整流作用を有する。

[0054] 図 4 は、画素回路 $\Gamma 0$ のタイミングチャートである。図 4 には、制御線 W_i 、 $\equiv i$ およびデータ線 S_j の電位の変化と、ゲート電位 V_g の変化とが記載されている。図 4 に示すように、画素回路 $\Gamma 0$ にデータを書き込むときには、制御線 W_i の電位は「水平走査期間（「H期間）だけハイレベルに制御される。これと共にデータ線 S_j の電位は、白データを書き込むときにはローレベルに制御され、黒データを書き込むときにはハイレベルに制御される。書き込んだデータを消去するときには、制御線 $\equiv i$ の電位がハイレベルに制御される。制御線 $\equiv i$ の電位は、次に制御線 W_i の電位がハイレベルになるときにローレベルに変化する。言い換えると、制御線 $\equiv i$ の電位は、制御線 W_i の電位がローレベルである間はハイレベルに維持される。

[0055] 図 4 では、時刻 T_1 から時刻 T_2 までの期間が白データの書き込み期間、時刻 T_1 から時刻 T_3 までの期間が白データに基づく有機 \equiv 素子 $\Gamma 5$ の発光期間、時刻 T_3 から時刻 T_4 の期間がデータ消去期間、時刻 $T_4 \sim T_5$ の期間が黒データの書き込み期間、時刻 $T_4 \sim T_6$ の期間が黒データに基づく

有機EL素子「5の非発光期間、時刻T6以降がデータ消去期間となる。データ消去期間では、有機EL素子「5は非発光状態になる。

[0056] ここで、図5に示すように、制御線Wiに印加されるハイレベル電位をV_{w h}、制御線Xiに印加されるハイレベル電位をV_{e h}、データ線Sjに印加されるハイレベル電位（黒データに対応）をV_{s h}、データ線Sjに印加されるローレベル電位（白データに対応）をV_{s l}とする。また、電源線V_pの電位をV_{d d}、消去用T「3の閾値電圧をV_{t h}とする。

[0057] 表示装置「では、これらの電位は、以下に示す3つの条件を満たすように決定される。

(1) 制御線Wiに印加されるハイレベル電位V_{w h}は、データ線Sjに印加される電位がハイレベル電位V_{s h}であるときに、書き込み用T「2がオフ状態を維持する電位である。

(2) 制御線Xiに印加されるハイレベル電位V_{e h}は、電源線V_pの電位V_{d d}と消去用T「3の閾値電圧V_{t h}の合計以上である（V_{e h}≧V_{d d}+V_{t h}）。

(3) データ線Sjに印加されるローレベル電位V_{s l}は、当該電位をゲート端子に印加したときに駆動用T「1が線形状態で動作する電位である。

[0058] あるいは、第「の条件を限定して、以下に示す第4の条件を満たすこととしてもよい。この場合には、以下に示す第5の条件をさらに満たすこととしてもよい。

(4) 制御線Wiに印加されるハイレベル電位V_{w h}は、データ線Sjに印加されるハイレベル電位V_{s h}に等しい（V_{w h}=V_{s h}）。

(5) データ線Sjに印加されるハイレベル電位V_{s h}は、電源線V_pの電位V_{d d}に等しい（V_{s h}=V_{d d}）。

[0059] 以下、図4を参照して、画素回路「0の動作を説明する。ここでは、上記第「～第5の条件を満たすものとする。時刻T「より前では、ゲート電位V_gはハイレベルである。このときのゲート電位V_gをV_{g h}とする。

- [0060] 時刻 T_1 において、制御線 W_i の電位がハイレベルに変化し、制御線 W_j の電位がローレベルに変化する。また、時刻 T_1 から時刻 T_2 までの間、データ線 S_j の電位はローレベルに制御される。このとき、書き込み用 TFT_{12} のゲート電位は V_{wh} 、第1端子の電位は V_{s1} 、第2端子の電位は V_{gh} である。第1端子の電位は第2端子の電位よりも低いので、第1端子がソース端子、第2端子がドレイン端子となる。ゲート電位 V_{wh} はソース電位 V_{s1} よりも十分に高いので、書き込み用 TFT_{12} はオン状態になる。したがって、駆動用 TFT_{11} のゲート端子から書き込み用 TFT_{12} を経由してデータ線 S_j に電流が流れ、ゲート電位 V_g は低下して、データ線 S_j の電位 V_{s1} に等しくなる。よって、時刻 T_1 以降、駆動用 TFT_{11} はオン状態になり、電源線 V_p と共通陰極 V_{com} の間に駆動用 TFT_{11} と有機EL素子5を経由する電流が流れ、有機EL素子5は発光する。なお、この間、制御線 W_i の電位はゲート電位 V_g よりも低いので、消去用 TFT_{13} を経由する電流は流れない。
- [0061] 時刻 T_2 において、制御線 W_i の電位がローレベルに変化すると、書き込み用 TFT_{12} はオフ状態になる。このときコンデンサ4は電極間の電位差を保持するので、時刻 T_2 以降、ゲート電位 V_g はローレベルに維持される。したがって、時刻 T_2 以降も、駆動用 TFT_{11} はオン状態になり、電源線 V_p と共通陰極 V_{com} の間に駆動用 TFT_{11} と有機EL素子5を経由する電流が流れ、有機EL素子5は発光する。
- [0062] なお、書き込み用 TFT_{12} のゲート端子と第2端子との間に寄生容量（図示せず）が存在するために、時刻 T_2 において制御線 W_i の電位がローレベルに変化すると、ゲート電位 V_g は低下する。このときにゲート電位 V_g が低下しても、有機EL素子5が発光することには変わりはないので、画素回路0の動作に支障はない。
- [0063] 時刻 T_3 から時刻 T_4 までの間、制御線 W_i の電位はハイレベルに制御される。時刻 T_3 において制御線 W_i の電位がゲート電位 V_g よりも高くなると、制御線 W_i から消去用 TFT_{13} を経由して駆動用 TFT_{11} のゲート

端子に電流が流れ、ゲート電位 V_g は上昇して、制御線 W_i の電位 V_{eh} (より正確には、電位 V_{eh} から消去用 T_3 の閾値電圧 V_{th} を引いた電位) に等しくなる。このときのゲート電位 V_g が、 \bar{A} 記 V_{gh} である。

[0064] ゲート電位 V_g がハイレベルである間、駆動用 T_1 はオフ状態になり、駆動用 T_1 と有機 EL 素子 5 を経由する電流は流れず、有機 EL 素子 5 は発光しない。したがって、時刻 T_3 から時刻 T_4 までの間、制御線 W_i の電位をハイレベルに制御することにより、有機 EL 素子 5 は非発光状態に制御される。

[0065] 時刻 T_4 において、制御線 W_i の電位がハイレベルに変化し、制御線 W_i の電位がローレベルに変化する。また、時刻 T_4 から時刻 T_5 までの間、データ線 S_j の電位はハイレベルに制御される。このとき、書き込み用 T_2 のゲート電位は V_{wh} 、第 1 端子の電位は V_{sh} 、第 2 端子の電位は V_{gh} である。上記第 1 、第 4 および第 5 の条件から、これら 3 つの電位の間には、 $V_{wh} = V_{sh} = V_{gh}$ という関係が成り立つ。

[0066] ここで、第 1 端子をソース端子、第 2 端子をドレイン端子と考えると、書き込み用 T_2 のゲート-ソース間に電位差がない。逆に第 1 端子をドレイン端子、第 2 端子をソース端子と考えると、ゲート電位はソース電位よりも十分に高くない。したがって、どちらをソース端子と考えると、時刻 T_4 において制御線 W_i の電位がハイレベルに変化したときに、書き込み用 T_2 はオン状態にならない。

[0067] このため時刻 T_4 以降も、書き込み用 T_2 はオフ状態を維持し、ゲート電位 V_g はハイレベルを維持する。したがって、時刻 T_4 以降も、駆動用 T_1 はオフ状態を維持し、駆動用 T_1 と有機 EL 素子 5 を経由する電流は流れず、有機 EL 素子 5 は発光しない。

[0068] 時刻 T_5 において、制御線 W_i の電位がローレベルに変化しても、画素回路 0 の状態は変化せず、有機 EL 素子 5 は非発光状態を維持する。書き込み用 T_2 のゲート端子と第 2 端子の間に寄生容量 (図示せず) が存在するために、時刻 T_5 において制御線 W_i の電位がローレベルに変化する

と、ゲート電位 V_g は低下する。そこで、制御線 W_i に印加されるハイレベル電位をマージンを見込んで十分に高くしておけば、ゲート電位 V_g が低下しても、有機 π -I 素子 T_5 を非発光状態に制御することができる。

[0069] 時刻 T_6 以降、制御線 W_i の電位は再びハイレベルに制御される。時刻 T_6 以降の画素回路 P_0 の状態は、時刻 T_3 から時刻 T_4 までの間と同じである。

[0070] 以上に示すように、本実施形態に係る表示装置 D では、制御線 W_i に印加される電位がデータ書き込み用のハイレベル電位に変化するまで、制御線 W_i にはデータ消去用のハイレベル電位が印加される（図4を参照）。また、制御線 W_i に印加されるデータ書き込み用のハイレベル電位は、データ線 S_j に印加される電位が有機 π -I 素子 T_5 の非発光状態に対応したハイレベル電位であるときに、書き込み用 T_3 T_2 がオフ状態を維持する電位である。

[0071] このように表示装置 D では、画素回路 P_0 に対するデータ書き込みを行う前まで、画素回路 P_0 に対するデータ消去が行われ、有機 π -I 素子 T_5 は非発光状態に制御される。また、有機 π -I 素子 T_5 の非発光状態に対応した黒データを画素回路 P_0 に書き込むときには、書き込み用 T_3 T_2 はオフ状態を維持する。これにより、黒データを書き込むことなく、有機 π -I 素子 T_5 を黒データに対応した非発光状態に制御すると共に、データ書き込み終了時に制御線 W_i の電位が変化したときの駆動用 T_3 T_2 のゲート電位の変化を防止することができる。したがって、黒データ書き込み後の有機 π -I 素子 T_5 の不要な発光を防止することができる。

[0072] また、制御線 W_i に印加されるデータ書き込み用のハイレベル電位を、データ線 S_j に印加されるハイレベル電位（黒データに対応）に等しくすることにより、データ書き込み用の電位を生成するための電源を増やすことなく、黒データ書き込み後の有機 π -I 素子 T_5 の不要な発光を防止することができる。また、データ線 S_j に印加されるハイレベル電位を、電源線 V_p の電位に等しくすることにより、黒データに対応した電位を生成するための電源

を増やすことなく、黒データ書き込み後の有機 π -i π -n素子15の不要な発光を防止することができる。

[0073] また、消去用TFT3は、駆動用TFT1のゲート端子と制御線 π -iとの間に設けられている。このように消去用TFT3の一方の導通端子をゲート端子と共に制御線 π -iに接続することにより、制御線 π -iを用いて駆動用TFT1のゲート端子に好適な電位を印加し、データ消去中に有機 π -i π -n素子15を確実に非発光状態に制御することができる。また、制御線 π -iにマージンを見込んだ電位を印加することにより、データ消去終了時に制御線 π -iの電位が変化し、駆動用TFT1のゲート電位が変化する場合でも、データ消去後の有機 π -i π -n素子15の不要な発光を防止することができる。また、制御線 π -iに印加されるデータ消去用のハイレベル電位を、電源線 V_p の電位と消去用TFT3の閾値電圧の合計以上にすることにより、データ消去中に有機 π -i π -n素子15を確実に非発光状態に制御することができる。

[0074] また、ゲートドライバ回路3とソースドライバ回路4は、「フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において有機 π -i π -n素子15の状態を制御する時分割階調駆動を行う。したがって、電源や配線の数を増やすことなく、制御線 W_i 、 π -iの電位の変化に伴う有機 π -i π -n素子15の不要な発光を防止した、時分割階調駆動を行う有機 π -i π -nディスプレイを得ることができる。

[0075] 以上に示すように、本発明の表示装置によれば、配線や電源の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止することができる。

産業上の利用可能性

[0076] 本発明の表示装置は、配線や電源の数を増やすことなく、制御線の電位の変化に伴う電気光学素子の不要な発光を防止できるという効果を奏するので、有機 π -i π -nディスプレイなどの電流駆動型表示装置に利用することができる。

符号の説明

- [0077] 「…表示装置
- 2 …表示制御回路
 - 3 …ゲートドライバ回路
 - 4 …ソースドライバ回路
 - 5 …シフトレジスタ
 - 6 …レジスタ
 - 7 …ラッチ回路
 - 8 …バッファ
- 「0…画素回路
- 「1…駆動用トランジスタ
 - 「2…書き込み用トランジスタ
 - 「3…消去用トランジスタ
 - 「4…コンデンサ
 - 「5…有機発光素子
- W_i、 \bar{W}_i …制御線
- S_j…データ線

請求の範囲

[請求項1]

電流駆動型の表示装置であつて、
2次元状に配置された複数の画素回路と、
前記画素回路の行ごとに設けられた複数の第1の制御線および複数の第2の制御線と、
前記画素回路の列ごとに設けられた複数のデータ線と、
前記第1の制御線を用いてデータ書き込みの対象となる画素回路を選択すると共に、前記第2の制御線を用いてデータ消去の対象となる画素回路を選択する制御線駆動回路と、
前記データ線に対して、2値の表示データに応じた電位を印加するデータ線駆動回路とを備え、
前記画素回路は、
第1の電源線と第2の電源線との間に設けられた電気光学素子と、
前記第1の電源線と前記第2の電源線との間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、
前記駆動用トランジスタのゲート端子と前記データ線との間に設けられ、ゲート端子が前記第1の制御線に接続された書き込み用トランジスタと、
前記駆動用トランジスタのゲート端子と所定の信号線との間に設けられ、ゲート端子が前記第2の制御線に接続された消去用トランジスタと、
前記駆動用トランジスタのゲート端子と前記第1の電源線との間に設けられたコンデンサとを含み、
前記第1の制御線に印加される電位がデータ書き込み用の電位に変化するまで、前記第2の制御線にはデータ消去用の電位が印加され、
前記第1の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される電位が前記電気光学素子の非発光状態に対応した

非発光電位であるときに、前記書き込み用トランジスタがオフ状態を維持する電位であることを特徴とする、表示装置。

[請求項2] 前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される非発光電位に等しいことを特徴とする、請求項「に記載の表示装置。

[請求項3] 前記データ線に印加される非発光電位は、前記第「の電源線の電位に等しいことを特徴とする、請求項2に記載の表示装置。

[請求項4] 前記消去用トランジスタは、前記駆動用トランジスタのゲート端子と前記第2の制御線との間に設けられていることを特徴とする、請求項「に記載の表示装置。

[請求項5] 前記第2の制御線に印加されるデータ消去用の電位は、前記第「の電源線の電位と前記消去用トランジスタの閾値電圧の合計以上であることを特徴とする、請求項4に記載の表示装置。

[請求項6] 前記制御線駆動回路と前記データ線駆動回路は、「フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において前記電気光学素子の状態を制御する時分割階調駆動を行うことを特徴とする、請求項「に記載の表示装置。

[請求項7] 前記電気光学素子は、有機 π 素子で構成されていることを特徴とする、請求項「に記載の表示装置。

[請求項8] 2次元状に配置された複数の画素回路と、前記画素回路の行ごとに設けられた複数の第「の制御線および複数の第2の制御線と、前記画素回路の列ごとに設けられた複数のデータ線とを備えた表示装置の駆動方法であつて、

前記画素回路が、第「の電源線と第2の電源線との間に設けられた電気光学素子と、前記第「の電源線と前記第2の電源線との間に、前記電気光学素子と直列に設けられた駆動用トランジスタと、前記駆動用トランジスタのゲート端子と前記データ線との間に設けられ、ゲート端子が前記第「の制御線に接続された書き込み用トランジスタと、

前記駆動用トランジスタのゲート端子と所定の信号線との間に設けられ、ゲート端子が前記第2の制御線に接続された消去用トランジスタと、前記駆動用トランジスタのゲート端子と前記第「の電源線との間に設けられたコンデンサとを含む場合において、

前記第「の制御線を用いて、データ書き込みの対象となる画素回路を選択するステップと、

前記第2の制御線を用いて、データ消去の対象となる画素回路を選択するステップと、

前記データ線に対して、2値の表示データに応じた電位を印加するステップとを備え、

前記第「の制御線に印加される電位がデータ書き込み用の電位に変化するまで、前記第2の制御線にはデータ消去用の電位が印加され、

前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される電位が前記電気光学素子の非発光状態に対応した非発光電位であるときに、前記書き込み用トランジスタがオフ状態を維持する電位であることを特徴とする、表示装置の駆動方法。

[請求項9] 前記第「の制御線に印加されるデータ書き込み用の電位は、前記データ線に印加される非発光電位に等しいことを特徴とする、請求項8に記載の表示装置の駆動方法。

[請求項10] 前記データ線に印加される非発光電位は、前記第「の電源線の電位に等しいことを特徴とする、請求項9に記載の表示装置の駆動方法。

[請求項11] 前記消去用トランジスタは、前記駆動用トランジスタのゲート端子と前記第2の制御線との間に設けられていることを特徴とする、請求項8に記載の表示装置の駆動方法。

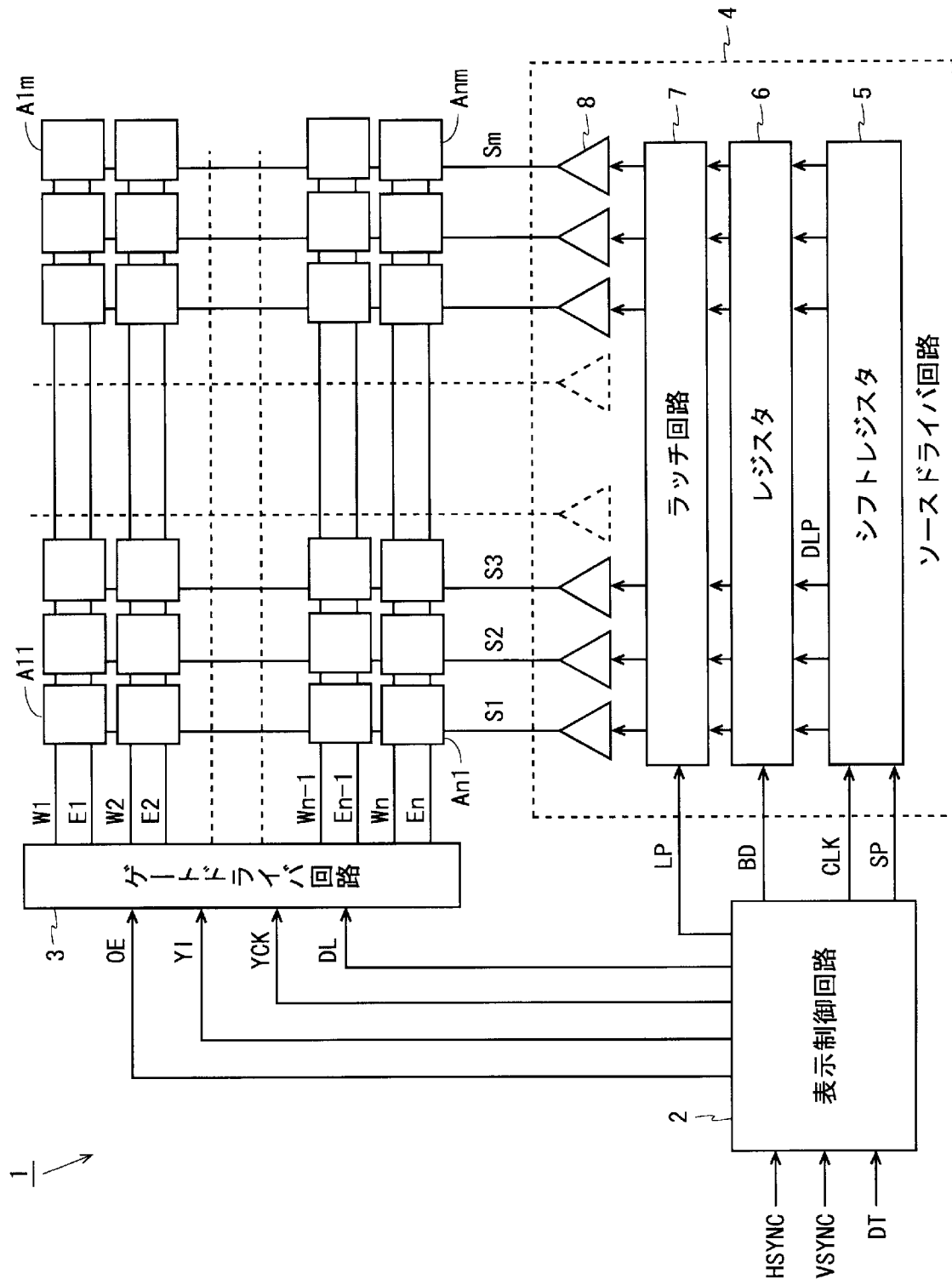
[請求項12] 前記第2の制御線に印加されるデータ消去用の電位は、前記第「の電源線の電位と前記消去用トランジスタの閾値電圧の合計以上であることを特徴とする、請求項「「に記載の表示装置の駆動方法。

[請求項13] 前記3つのステップは、「フレーム期間を複数のサブフレーム期間

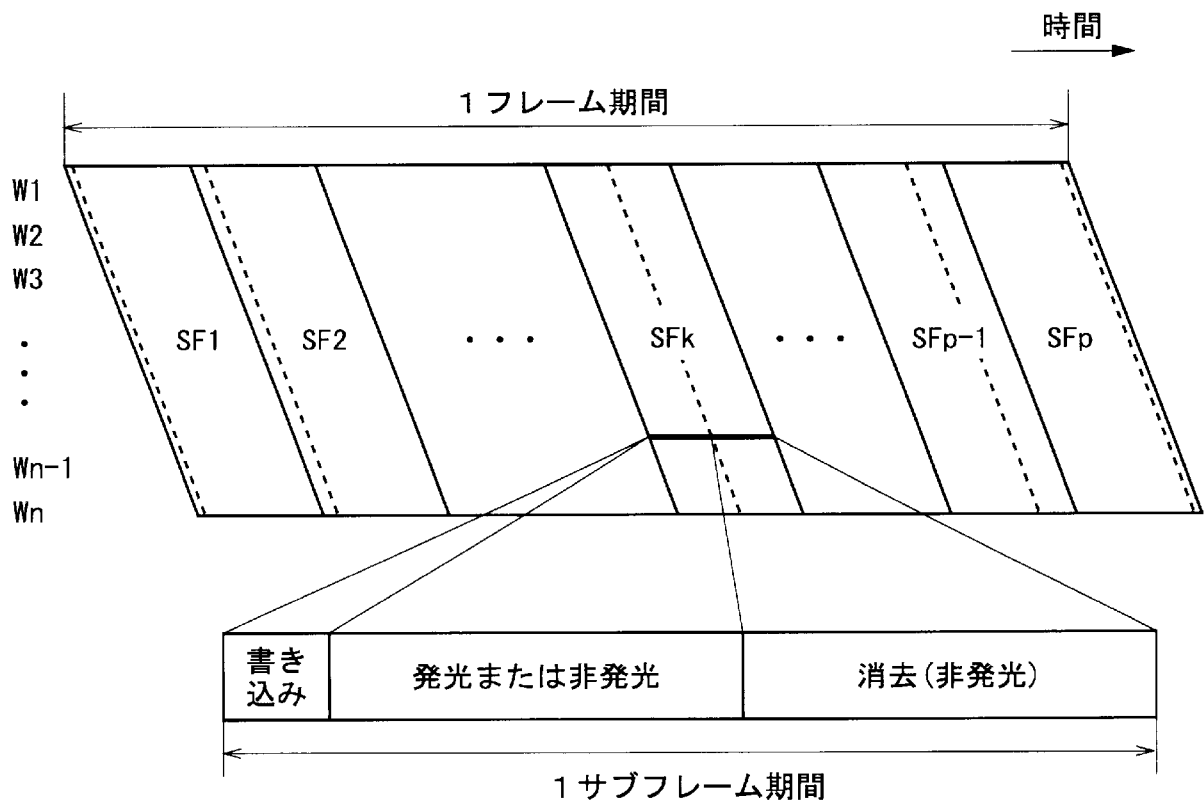
に分割し、各サブフレーム期間において前記電気光学素子の状態を制御する時分割階調駆動を行うことを特徴とする、請求項 8 に記載の表示装置の駆動方法。

[請求項 14] 前記電気光学素子は、有機 π - π 素子で構成されていることを特徴とする、請求項 8 に記載の表示装置の駆動方法。

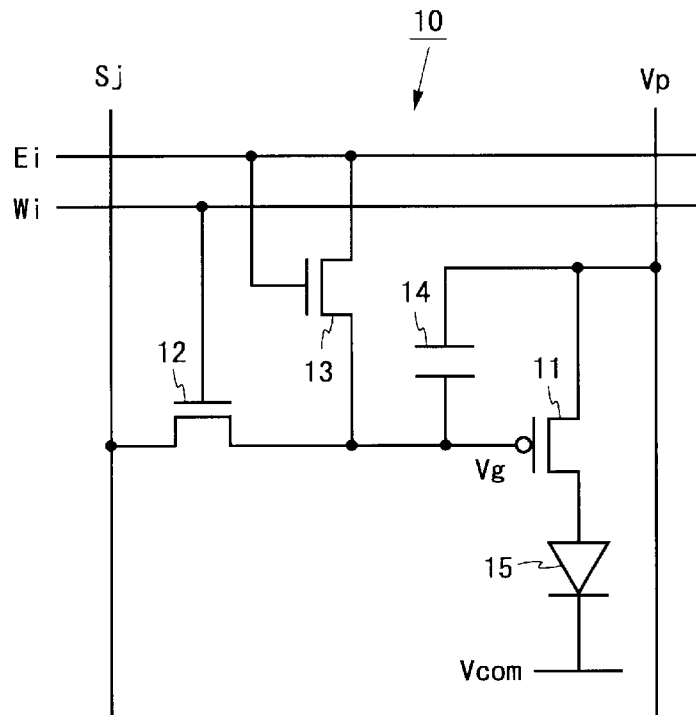
[図1]



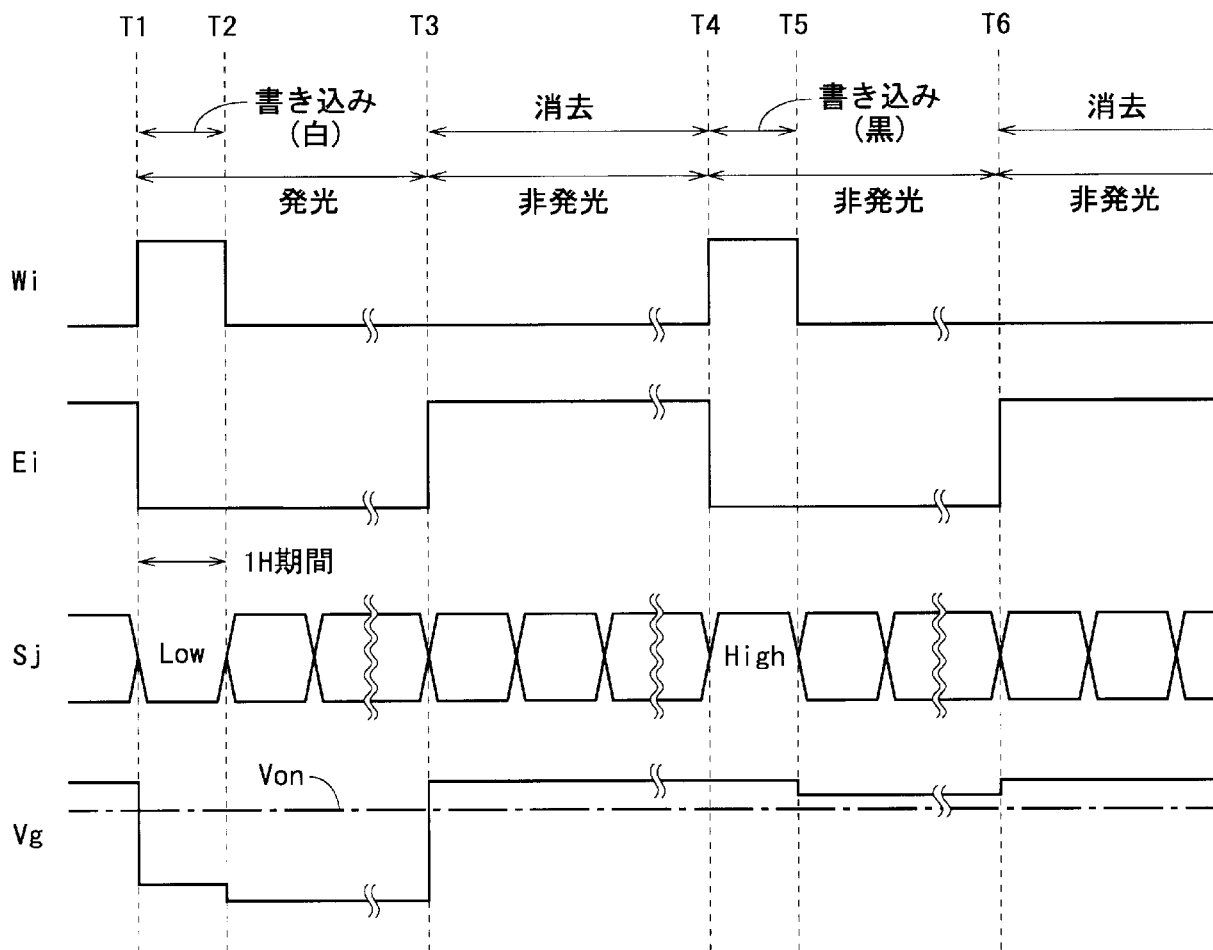
[図2]



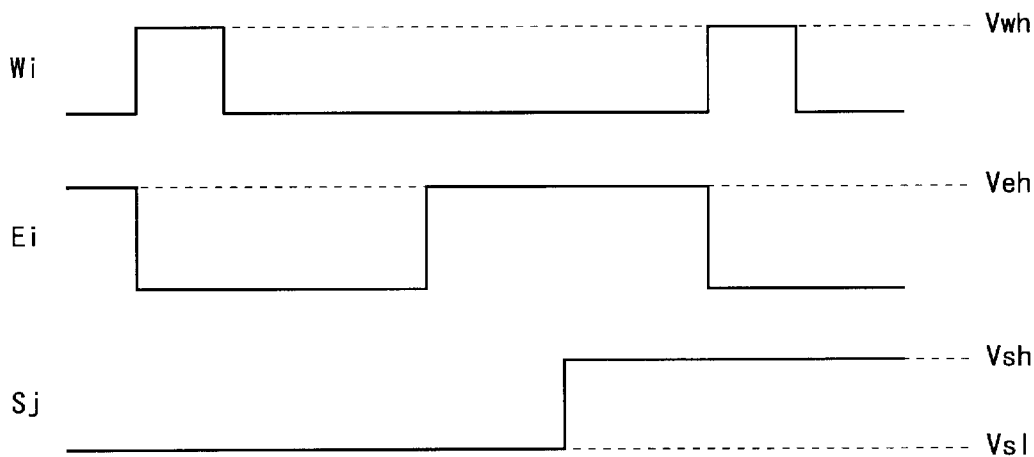
[図3]



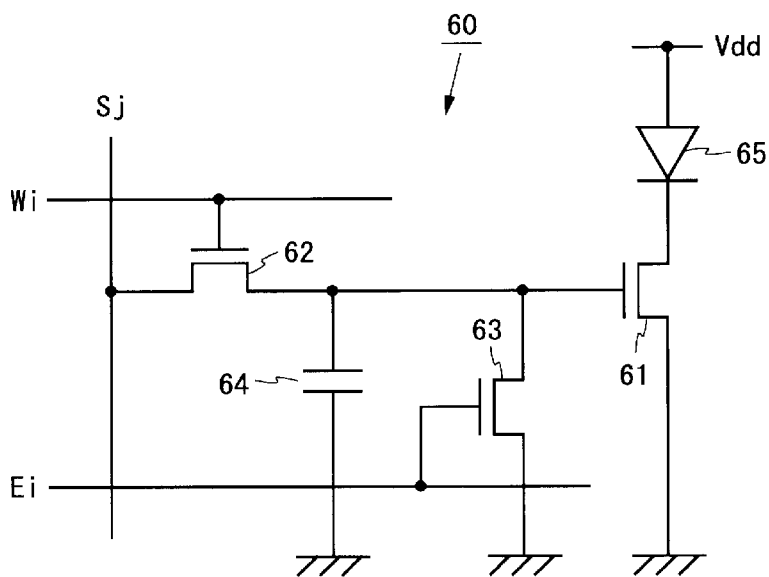
[図4]



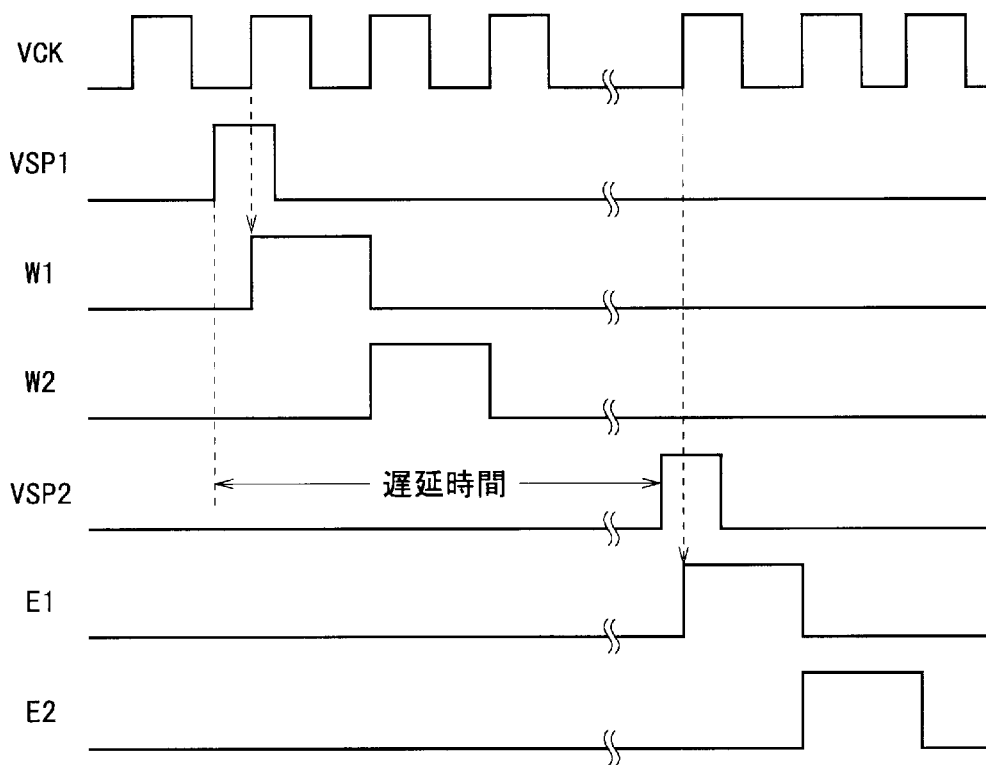
[図5]



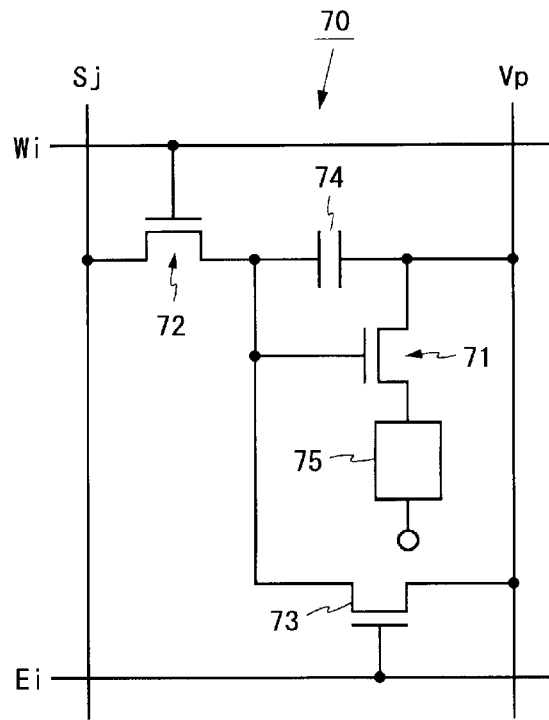
[圖6]



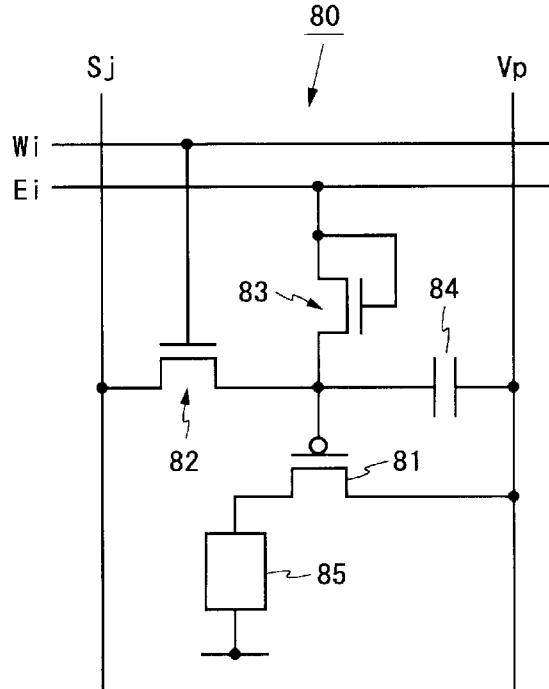
[圖7]



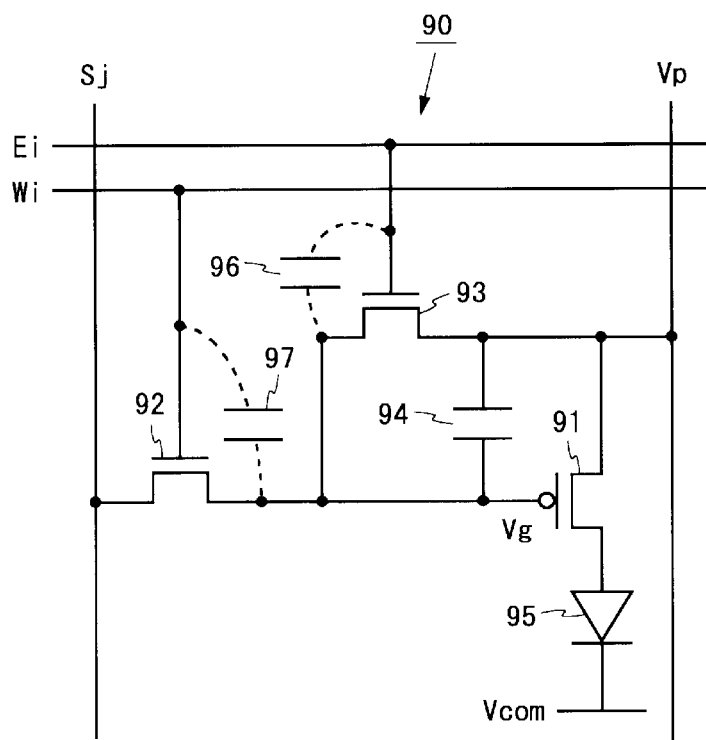
[図8]



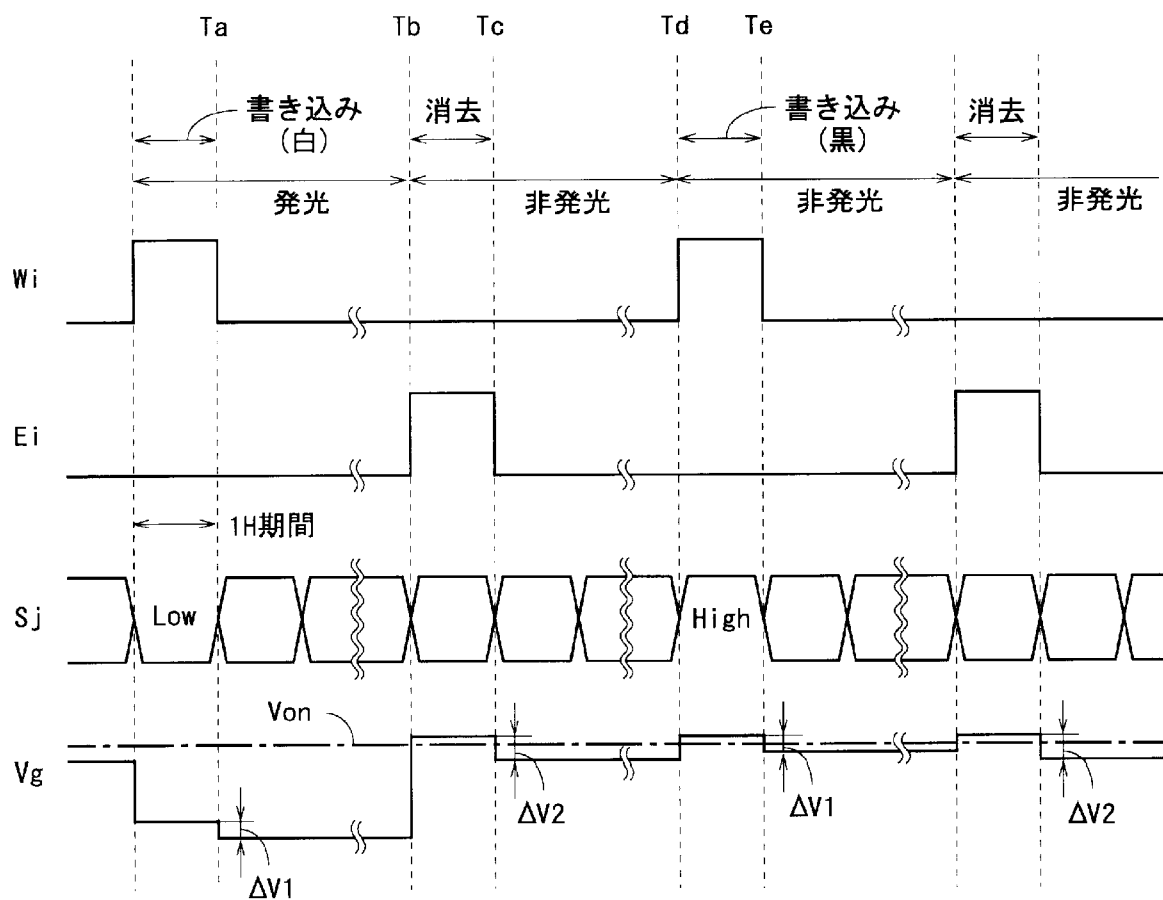
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054492

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, *G09G3/20(2006.01)i*, *H01L51/50(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-140490 A (Semiconductor Energy Laboratory Co., Ltd.),	1-2,6-9,
Y	07 June 2007 (07.06.2007), paragraphs [0034] to [0062]; fig. 1 to 6 & US 2006/0146385 A1 & EP 1777689 A1 & KR 10-2007-0042458 A & CN 1953006 A	13-14 3-5,10-12
Y	JP 2001-109432 A (Pioneer Corp.), 20 April 2001 (20.04.2001), paragraphs [0014] to [0015], [0022] to [0025]; fig. 6 & US 6380689 B1	3,10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 June, 2010 (01.06.10)

Date of mailing of the international search report
15 June, 2010 (15.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054492

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-323376 A (Semiconductor Energy Laboratory Co., Ltd.), 30 November 2006 (30.11.2006), entire text; all drawings & US 2006/0238135 A1 & CN 1877678 A	4-5 , 11-12
Y	WO 2007/010956 A1 (Pioneer Corp.), 25 January 2007 (25.01.2007), entire text; all drawings & US 2009/0058843 A1	4-5 , 11-12
A	JP 2006-323371 A (Semiconductor Energy Laboratory Co., Ltd.), 30 November 2006 (30.11.2006), entire text; all drawings & US 2009/0079350 A1 & WO 2006/112421 A1 & KR 10-2007-0116998 A & CN 101164094 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int Cl G09G3/30 (2006.01) i, G09G3/20 (2006.01) i, H01L51/50 (2006.01) i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int Cl G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー ^ホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-140490 A (株式会社半導体エネルギー研究所) 2007.06.07, 段落 [0034] - [0062], 図1-6 & US 2006/0246385 A1 & EP 1777689 A1 & KR 10-2007-002458 A & CN 1953006 A	1-2, 6-9, 13-14
Y	JP 2001-109432 A (パイオニア株式会社) 2001.10.20, 段落 [0014] - [0015], [0022] - [0025], 図6 & US 6380689 B1	3, 10

洋 C欄の続きにも文献が列挙されている。

ヴ パテントファミリーに関する別紙を参照。

ホ 引用文献のカテゴリー	<p>IA」特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>IE」国際出願日前の出願または特許であるか、国際出願日以後に公表されたもの</p> <p>IL」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>IO」口頭による開示、使用、展示等に言及する文献</p> <p>rp」国際出願日前で、かつ優先権の主張の基礎となる出願日の役に公表された文献</p>
<p>IT」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>IX」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>IY」特に関連のある文献であって、当該文献以外の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p>	<p>IT&J 同一パテントファミリー文献</p>

国際調査を完了した日 01.06.2010	国際調査報告の発送日 15.06.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関3丁目4番3号	特許庁審査官 (権限のある職員) 奈良田 新一 電話番号 03-3531-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の テコリーホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-323376 A (株式会社半導体エネルギー研究所) 2006.11.30, 全文全図 & US 2006/0238135 A1 & CN 1877678 A	4-5, 11-12
Y	WO 2007/010956 A1 (パイオニア株式会社) 2007. 01. 25, 全文全図 & US 2009/0058843 A1	4-5, 11-12
A	JP 2006-323371 A (株式会社半導体エネルギー研究所) 2006.11.30, 全文全図 & US 2009/0079350 A1 & WO 2006/112421 A1 & KR 10-2007-0116998 A & CN 101164094 A	1-14