

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/20 (2006.01)

H01L 21/8242 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580047930.1

[43] 公开日 2008 年 1 月 30 日

[11] 公开号 CN 101116174A

[22] 申请日 2005.12.9

[21] 申请号 200580047930.1

[30] 优先权

[32] 2004.12.9 [33] US [31] 11/008,007

[86] 国际申请 PCT/US2005/044681 2005.12.9

[87] 国际公布 WO2006/063259 英 2006.6.15

[85] 进入国家阶段日期 2007.8.8

[71] 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

[72] 发明人 R·P·劳斯

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 赵蓉民

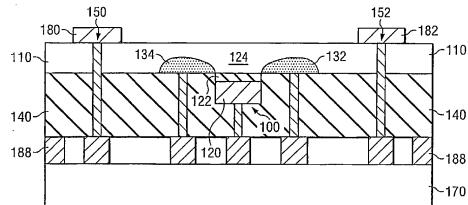
权利要求书 2 页 说明书 8 页 附图 6 页

[54] 发明名称

晶片结合的 MOS 去耦电容器

[57] 摘要

本发明公开了一种形成可用作去耦电容器的 MOS 电容器(100)的技术。MOS 电容器与其将服务的特定电路装置(170)分别形成。因而，电容器和它的制造工艺可在效率等方面被最优化。该电容器可用导电接触件制造，所述导电接触件允许通过装置(170)的导电垫将电容器熔合到装置(170)。因而，电容器(100)与装置(170)可被封装在一起，并且因为电容器不是从与装置(170)相同的衬底形成的，从而可节省宝贵的半导体区。电容器进一步包括深接触件(150、152)，其上焊垫(180、182)可被形成以允许电容器和装置(170)电连接到外界。



1. 一种形成 MOS 去耦电容器的方法，包括：

图案化形成于电容器介电材料层之上的电容器上电极材料层；

图案化形成于半导体衬底之上的所述电容器介电材料层；

在所述衬底以及图案化的电容器上电极层和电容器介电材料层之上形成介电材料层；

在所述介电材料层内形成通孔，所述通孔下至所述图案化的电容器上电极材料层并下至所述衬底，包括形成深入所述衬底的至少一个深接触通孔；

使用导电材料填充所述通孔；

在所述介电材料层和填充的通孔之上形成第一金属化层；

图案化所述第一金属化层以在所述填充的通孔之上形成导电接触垫；

将所述电容器与集成电路装置对齐以使所述电容器的所述接触垫与所述集成电路装置的接触垫对齐；

执行退火以熔合所述电容器的所述接触垫和所述集成电路装置的所述接触垫；

去除一些所述衬底以暴露所述至少一个深接触通孔；

在所述衬底和所述至少一个深接触通孔之上形成第二金属化层；

以及

图案化所述第二金属化层以在所述至少一个深接触通孔之上形成各个的焊垫。

2. 根据权利要求 1 所述的方法，其中去除一些所述衬底包括对所述衬底进行背面研磨以暴露所述至少一个深接触通孔。

3. 根据权利要求 2 所述的方法，其中所述衬底是 SOI，其包括覆盖绝缘体材料层的硅材料层，所述绝缘体材料层覆盖体硅衬底，其中所述至少一个深接触通孔穿过所述硅材料层并进入所述绝缘体材料层。

4. 根据权利要求 2 所述的方法，其中所述衬底是 SOI，其包括覆盖绝缘体材料层的硅材料层，所述绝缘体材料层覆盖体硅衬底，其中所述至少一个深接触通孔穿过所述硅材料层并进入所述绝缘体材料层，所述方法进一步包括在背面削磨掉所述体硅衬底之后执行湿式蚀刻以去除所述绝缘体材料层。

5. 根据权利要求1-4中任意一个所述的方法，进一步包括：在形成所述介电材料层之前，有选择地对接近所述图案化的电容器上电极和电容器介电层的所述衬底区域进行掺杂。

6. 根据权利要求 5 所述的方法，其中至少一个所述通孔被向下形成至所述衬底的掺杂区域。

晶片结合的 MOS 去耦电容器

技术领域

【1】本发明一般涉及半导体器件，更具体地涉及精加工金属氧化物半导体（MOS）电容器，所述金属氧化物半导体电容器可被操作地耦合到集成电路以作为去耦电容器。

背景技术

【2】电容器，例如金属氧化物半导体（MOS）电容器，通常与集成电路（IC）相联系以简化对电路的一个或更多个部分提供稳定的电流供给。其中，电容器通过充当电荷库（charge reservoir）以向IC提供稳定的电流供给并减轻瞬态电流，所述电荷库稳定地将存储的电流放电而不管电路或部分电路被暴露到诸如本底噪声的功率的瞬变现象。因为这样的电容器将IC的一个或更多个部分从环境噪声中分离或去耦，所以它们经常被称作去耦电容器。

【3】可以理解的是，通常将去耦电容器定位在尽可能接近被保护的IC（或它的一部分）的位置是有益的。的确如此，因为IC的开关速度正不断增加以使得电子器件操作更快并执行更复杂的功能，而这些增加的开关速度放大了电路内的寄生电感，寄生电感抑制了电容器去耦噪声及稳定供给电流的能力。另外，当从IC中移除去耦电容器时，寄生电感通常会增加。

【4】虽然希望如此，但是将MOS电容器制造为IC的一部分是昂贵的，因为这样做会延长并复杂化制造工艺，而且，举例来说会消耗宝贵的半导体区。替代性地，去耦MOS电容器可被操作地耦合到环绕IC的封装上。然而，这增加了封装成本并且使电容器远离IC，恶化了与寄生电感相关的副作用。因此，希望能够以成本效益合算的方式制造MOS电容器，允许电容器可被操作地连接到集成电路以使其可用作去耦电容器。

发明内容

【5】本发明涉及以成本效益合算的方式形成 MOS 电容器，其允许电容器可被操作地耦合到集成电路的一部分以使电容器可用作去耦电容器。根据本发明的一个或更多个方面，一种形成 MOS 去耦电容器的方法包括图案化形成于电容器介电材料层之上的电容器上电极材料层和图案化形成于半导体衬底之上的电容器介电材料层。介电材料层形成于衬底以及图案化的电容器上电极层和电容器介电材料层之上。然后通孔形成于介电材料层内并下至图案化的电容器上电极材料层以及下至衬底。深入衬底的至少一个深接触通孔还形成于介电材料层内部。使用导电材料填充通孔，并且第一金属化层形成于介电材料层和填充的通孔之上。第一金属化层被图案化以在填充的通孔之上形成导电接触垫，然后电容器与集成电路装置对齐以使电容器的接触垫与集成电路装置的接触垫对齐。执行退火以熔合电容器的接触垫和集成电路装置的接触垫。然后去除一些衬底以暴露至少一个深接触通孔，并且第二金属化层形成于衬底以及至少一个深接触通孔之上。第二金属化层然后被图案化以在至少一个深接触通孔之上形成相应的焊垫。

附图描述

【6】图 1 是说明根据本发明的一个或更多个方面的用于形成 MOS 去耦电容器的示例性方法的流程图。

【7】图 2-13 是根据本发明的一个或更多个方面，如图 1 中列出的流程而形成的 MOS 去耦电容器的截面图。

具体实施方式

【8】本发明涉及形成可用作去耦电容器的 MOS 电容器。电容器是以成本效益合算的方式制造的，因为该电容器是通过适合制造电容器的制造工艺而被精加工于半导体晶片或晶片芯片 (die) 之中/之上的。特别地，就效率而言，电容器制造工艺的设计是可调节或最优化的。一旦被制造好，MOS 电容器就被从晶片或冲模移走并被可操作地耦合到独立制造的集成电路，其因此能进行进一步的处理，包括封装。这样，去耦电容器可被安装于非常接近其将服务的电路装置的地方，这允许电容器对该装置有更大的影响。另外，根据本发明的一个或更多个方

面将电容器耦合到 IC 不需要牺牲宝贵的半导体区。

【9】图 1 显示了根据本发明的一个或更多个方面的用于形成金属氧化物半导体 (MOS) 去耦电容器的示例性方法 10。虽然方法 10 将在下文中被说明和描述为一系列的动作或事件，但是应该理解本发明并不限于所说明的这样的动作或事件的顺序。例如，一些动作可以不同的顺序出现和/或与除在此说明和/或描述的那些动作或事件之外的其它动作或事件同时出现。另外，根据本发明的一个或更多个方面，执行方法时并不是所有所说明的步骤都是必需的。此外，一个或更多个动作可在一或更多个单独的动作或阶段中执行。应该理解，根据本发明的一个或更多个方面实现的方法可与在本说明书所说明和描述的结构的形成和/或加工结合以及与在本说明书未说明或描述的其它结构结合来执行。

【10】方法 10 开始于 12，其中半导体衬底 102 被提供并且电容器介电材料层 104 形成于其上，然后电容器上电极材料层 106 形成于电容器介电材料层 104 之上(图 2)。如在本说明书描述的所有层一样(除非另有说明)，层 104 和 106 基本上是共形地 (conformally) 形成的。此外，有时可能需要用相同的或相似的材料形成不同的层以使所述层对随后的加工(例如，蚀刻、CMP) 具有相似的反应。然而，在其它时候可能需要用不同材料形成不同的层以使它们对随后的加工具有不同的响应(例如，具有不同的蚀刻率)。

【11】应该理解，在本说明书所使用的衬底或半导体衬底可包含基本的半导体晶片或其任何部分(例如，一个或更多个晶片芯片)以及形成于其上和/或与其关联的任何外延层或其它类型半导体层。衬底可以包含，例如，硅、SiGe、GaAs、InP 和/或 SOI。在所说明的例子中，衬底 102 包括硅绝缘体 (SOI) 或其它绝缘体材料 112，硅绝缘体 (SOI) 包含覆盖氧化物(例如， SiO_2) 薄层的硅材料层 110，绝缘体材料 112 覆盖体硅衬底 114。在 SOI 排列中，例如，层 110 通常被形成的厚度为大约 10 纳米到大约 2 微米之间，而层 112 被形成的厚度为大约 100 纳米到大约 1 微米之间。

【12】电容器介电材料层 104 可包含任意数量的适当的电介质或非导电材料。一些例子包含二氧化硅，高 k 介电材料，或许多这样的

层。作为另外的例子，电容器介电材料层可包含下列材料中的一种或多种，单独的或组合的： SiO_2 、氧化铝 (Al_2O_3)，硅酸锆、硅酸铪、氮氧化硅铪 (hafnium silicon oxynitride)、氮氧化铪、氮氧化锆、氮氧化硅锆 (zirconium silicon oxynitride)、氮化硅铪 (hafnium silicon nitride)、氧化镧 (La_2O_3)、氧化铪 (HfO_2)、氧化锆 (ZrO_2)、二氧化铈 (CeO_2)、氧化硅铋 (bismuth silicon oxide) ($\text{Bi}_4\text{Si}_2\text{O}_{12}$)、二氧化钛 (TiO_2)、氧化钽 (Ta_2O_5)、氧化钨 (WO_3)、氧化钇 (Y_2O_3)、氧化铝镧 (lanthanum aluminum oxide) (LaAlO_3)、钛酸锶钡 (barium strontium titanate)、氧化锶钡 (barium strontium oxide)、钛酸钡、钛酸锶、 PbZrO_3 、PST、PZN、PZT 和 PMN。例如，电容器介电材料层 104 可被形成的厚度为大约 1 纳米或 1 纳米以上，并且可具有大约 1 纳米或小于 1 纳米的等同的氧化物厚度 (EOT)，而电容器上电极材料层 106 可被形成的厚度为大约 50 到大约 200 纳米之间，例如。上电极层 106 通常包含多晶硅、 SiGe 和/或金属（例如，氮化钛、钽、氮化钽、钨）。

【13】方法 10 然后前进到 14，其中电容器上电极材料层 106 和电容器介电材料层 104 被图案化以分别建立电容器上电极 120 和电容器电介质 122（图 3）。通常，电容器上电极材料层 106 首先被图案化而电容器介电材料层 104 作为该工艺的一部分至少被部分图案化。例如，用于图案化电容器上电极材料层 106 的蚀刻剂也可去除一些电容器介电材料层 104。类似地，与图案化电容器上电极材料层 106 相关联的清理步骤以及与硬质掩膜去除工艺相关联的清理步骤也可以去除一些栅极电容器 (gate capacitor) 介电材料层 104。应该理解，衬底 102 可包含导电的 n 型或 p 型材料（例如， p^+ 或 n^+ ）。在这样的排列中，衬底 102 用作 MOS 电容器 100 的底电极 124。

【14】如在本说明书所描述的所有层一样（除非另外明确地指示），层 104 和 106 可采用任何适当方式图案化，例如通过蚀刻和/或光刻的技术。光刻术指的是用于在各种介质之间转印更多图案的工艺。在光刻术中，辐射敏感的抗蚀剂涂层 (resist coating) 被形成于图案将被转印的一个或更多个层之上。抗蚀剂，有时称为光致抗蚀剂，其本身首先通过暴露在辐射下而被图案化，在此辐射（有选择地）穿过包

含图案的插入掩膜。结果，抗蚀剂涂层的暴露或未曝露的区域或多或少成为可溶解的，这取决于所使用的抗蚀剂的类型。然后显影剂被用于去除可溶性更强的区域，从而保留图案化的抗蚀剂。图案化的抗蚀剂因此能作为底层的掩膜，所述底层可被有选择地蚀刻以将图案转印于其上。

【15】应该理解，半导体衬底 102 还可被加工以在其中建立更重掺杂的区域。因而，在电容器上电极材料层 106 和电容器介电材料层 104 被图案化之后，方法 10 前进到 16，其中衬底 102 可被选择性地掺杂(图 4)。特别是，掺杂材料 130 可被有选择地施加于衬底 102 的区域以在那里形成更重掺杂的区域 132、134。掺杂剂 130 可在掩膜材料层 136(例如，光致抗蚀剂)的辅助下被有选择地应用，所述掩膜材料层 136 形成于衬底 102 之上并被图案化。掺杂剂 130 基本上由图案化的掩膜材料 136 阻挡，因此仅影响衬底 102 的暴露区域(以及可选的电容器上电极 120—取决于掩膜材料层 136 的图案)。掺杂剂 130 改变了受影响区域 132、134 的电气性质，以使它们可用作 MOS 电容器的底电极。应该理解，可用任何适当的掺杂剂 130 对衬底 102 进行掺杂以在衬底内部灌注所需的电气性质。例如，如果衬底 102 最初包括 p 型材料，那么掺杂剂 130 可以是 p 型掺杂剂，其可被以一定量和/或一定的持续时间应用于衬底以使该区域 132、134 成为 p+型区域。例如，这样的掺杂区域 132、134 各自的深度通常在衬底 102 中延伸至大约 10 纳米到大约 500 纳米之间。

【16】然后在 18，介电材料层 140 形成于衬底 102、电容器上电极 120 和电容器电介质 122 之上(图 5)。如图解说明的例子所说明的更重掺杂的区域 132、134 形成于衬底 102 中的情况下，应该理解，图案化的掩膜材料 136 在形成介电材料层 140 之前被去除。介电材料层 140 可包含如上面所列出的与电容器介电材料层 104 有关的任何适当的非导电材料(一种或多种)，并且例如被形成的厚度为大约 500 纳米到大约 5 微米之间。

【17】在 20，通孔形成(例如，被蚀刻)于介电材料层 140 内(图 6)。虽然未示出，但应该理解，可在图案化的掩膜(例如，光刻图案化的光致抗蚀剂)的辅助下通过蚀刻介电材料层 140 来形成通孔。在

所说明的例子中，一个通孔 144 被向下形成至电容器上电极 120，而通孔 146、148 被分别向下形成至掺杂区域 132 和 134，深接触通孔 150、152 被形成至衬底 102 中（例如，通过蚀刻和光刻法）。应该理解，通孔简化了下至电容器 100 和衬底 102 的各个区域的电接触的形成，并且根据本发明的一个或更多个方面可形成任何适当数目的通孔。例如，如果区域 132、134 不是使用衬底 102 建立的以使 n 型或 p 型衬底 102 用作电容器 100 的底电极 124，那么单个通孔（例如，146 或 148）可被形成下至衬底 102 以和该底电极 124 进行电接触。此外，深接触通孔，例如通孔 150、152 通常形成的深度为大约 10 微米到大约 20 微米之间，并且直径可被制得较大以减少不需要的电阻的形成。还应该理解，如在所说明的例子中，在衬底 102 包含 SOI 之处，深接触通孔，例如通孔 150、152 被形成通过衬底 102 的硅材料层 110 并下至绝缘体材料层 112。例如，在第一掩膜层被用于限定分别到电容器上电极 120 和掺杂区域 132、134 的通孔 144、146、148，以及第二掩膜层被用于限定深接触通孔 150、152 的情况下，可使用氮化物蚀刻停蚀层（etch stopping layer）。替代性地，可依赖蚀刻选择性基本上同时形成通孔。

【18】在 20，形成通孔之后，方法 10 前进至 22，在此它们被诸如钨的导电材料 156 填充（图 7）。可采用任何适当方式将导电材料添加至通孔，例如通过化学气相沉积。然后在 24，导电材料层 160，比如铜，被形成于介电层 140 之上并填充通孔 24（图 8）。导电材料层 160 通常被形成的厚度为例如大约 100 纳米到大约 1 微米之间。然后在 26，在导电通孔 156 之上图案化导电材料层 160（例如，使用蚀刻和光刻法），以在填充的通孔之上形成导电接触垫 162（图 9）。电容器 100 的接触垫 162 在尺寸上通常在大约 15×15 平方微米到大约 100×100 平方微米。

【19】在 28，电容器 100 与特定的集成电路装置 170 对齐（例如，使用光学和/或红外技术），其中电容器作为集成电路装置 170 的去耦电容器（图 10）。特别是，电容器 100 的接触垫 162 与集成电路装置 170 的接触垫 172 对齐，并且在 30 执行退火（例如，在大约 350 到大约 500 摄氏度的温度之间的温度）以熔合电容器 100 的接触垫 162 和

集成电路装置 170 的接触垫 172 (图 11)。应该理解，电容器 100 通常相对于电路装置 170 是反向的以对齐垫 162 和 172。应该理解，这种排列节省了宝贵的半导体区，原因是电容器 100 与集成电路装置 170 形成于同样的半导体衬底上，但并不靠近集成电路装置 170。因而，可采用区域有效方式将集成电路 170 精加工于半导体衬底上，而 MOS 电容器 100 可以采用被调节成有效形成电容器 100 的制造工艺，以同样方式被精加工于半导体衬底上。还应该理解，可在 MOS 电容器 100 被退火到电路装置 170 之前将 MOS 电容器 100 从半导体晶片或芯片（例如，其上形成了多个去耦电容器的晶片或芯片）上去除（例如，切割）。

【20】在 32，一些衬底 102 被去除以暴露一个或更多个填充的深接触通孔 150、152 (图 11)。应该理解，可采用任何适当方式去除衬底 102，例如背面削磨、蚀刻、冲蚀等等。在衬底 102 包括 SOI 之处，例如，背面削磨可被用于去除体硅衬底 114，随后以湿式蚀刻去除绝缘体材料层 112。在去除一些衬底 102 之后，填充的深接触通孔 150、152 通常剩余大约 10 微米到大约 15 微米。

【21】然后在 34，第二金属化层 174 形成于衬底 102 的暴露表面以及填充的深接触通孔 150、152 之上。第二金属化层 174 可以包含任何适当的导电材料，例如铝。在 36，第二金属化层 174 被图案化以在至少一个填充的深接触通孔 150、152 之上形成相应的焊垫 180、182 (图 13)。方法 100 因此能继续进一步处理，例如对电路装置 170 和操作地耦合的 MOS 去耦电容器 100 进行封装。应该理解，焊垫 180、182 (例如，凸起 (bump) 或倒装片或丝焊) 提供电学上将电容器 100 和关联的装置 170 耦合到外界的装置。还应该理解，额外的“假的(dummy)”垫可被分别形成于电容器 100 和装置 170 上，并且这些垫可被熔合以提供机械加强结合 188 (图 13)。

【22】因此，本发明的一个或更多个方面使得电容器可以为特定的应用/电路装置而定制，以成本效益合算的方式生产，并且因为封装上不需要额外的部分或组件从而降低封装成本。电容器和制造工艺可被定制及最优化，例如，在成本、产量、电容/单位面积、泄漏、电流、电压、频率、功率、电感等方面，这取决于电路需求，以及按照使电容器以稳定的方式可操作地连接到电路装置的接触垫的数目和位置定

制及最优化。另外，因为 MOS 电容器可从整个晶片中制成，它们可被制得相对较大而不会对 IC 区域有不利的影响。因此可使用标准的金属氧化物半导体 (MOS) 工艺流程来制造去耦电容器，然而由于多了深接触件，所以电容器可以是 NMOS、PMOS、N 阵 (well) 中的 NMOS 或 P 阵中的 PMOS。

【23】应该理解，虽然在讨论本说明书描述的方法的各方面中，贯穿整个说明文引用了示例性结构（例如，当讨论图 1 中阐述的方法时，在图 2—13 中示出的那些结构），但那些方法并不被所介绍的相应结构所限制。而是，方法（和结构）被认为是相互独立的并能够单独存在和实施，而不考虑附图中所描述的任何一个特定方面。

【24】此外，一直贯穿本说明书和权利要求，一个或更多个层或结构可被描述为是或包含诸如“钨”、“铜”、“氮化硅”的物质。这些描述在上下文中可被理解，并且它们可用于半导体制造业。例如，在半导体工业中，当金属化层被描述为包含铜时，应该理解该层的金属主要成分包括纯铜，但是纯铜可以是，并且常常是合金的、掺杂的或其它不纯的。举另一个例子，氮化硅可能是富硅氮化硅或富氧氮化硅。氮化硅可包含一些氧，但不会包含太多的使材料的介电常数基本上不同于高纯度化学计算的氮化硅的氧。

【25】本发明涉及领域的技术人员应该理解，可在示例性实施例中进行各种补充、删除、替换和改变而不偏离本发明的范围，并且所限定的发明旨在包含等同物。

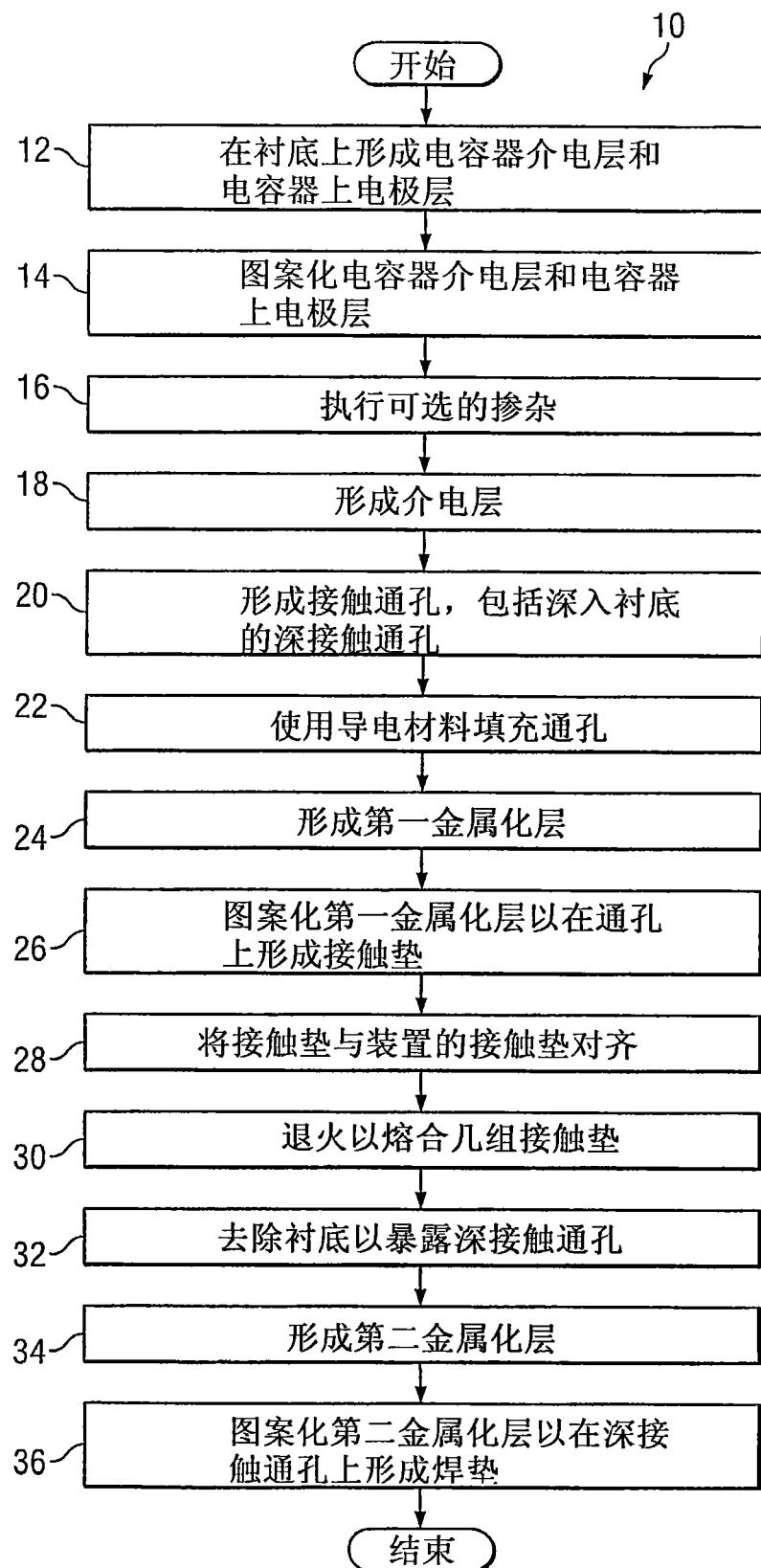


图1

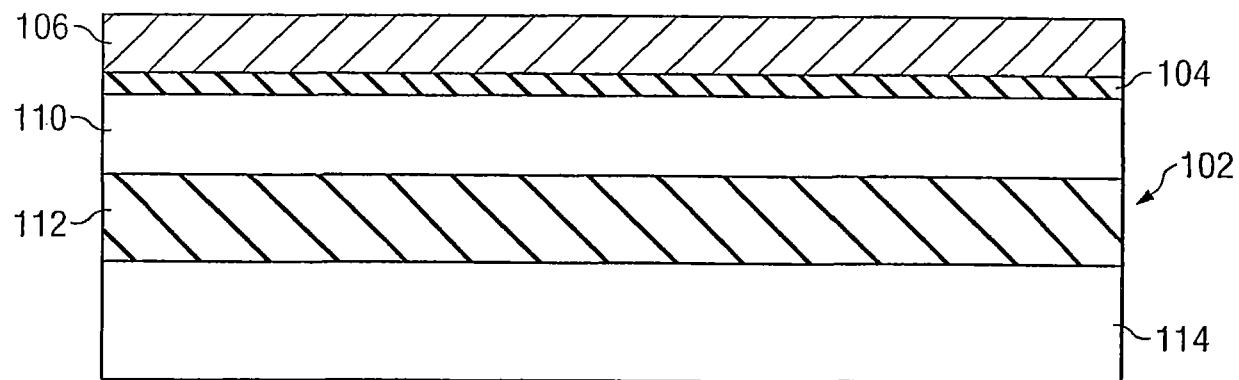


图2

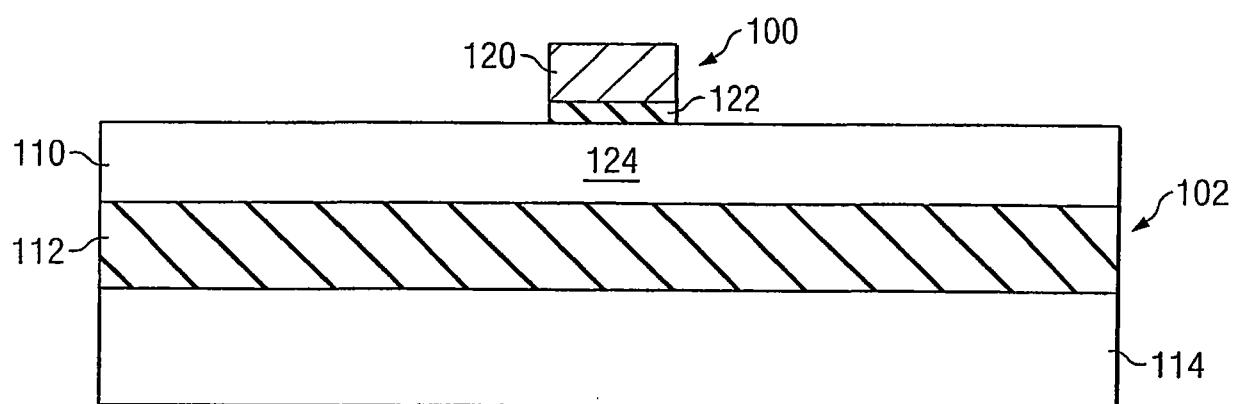


图3

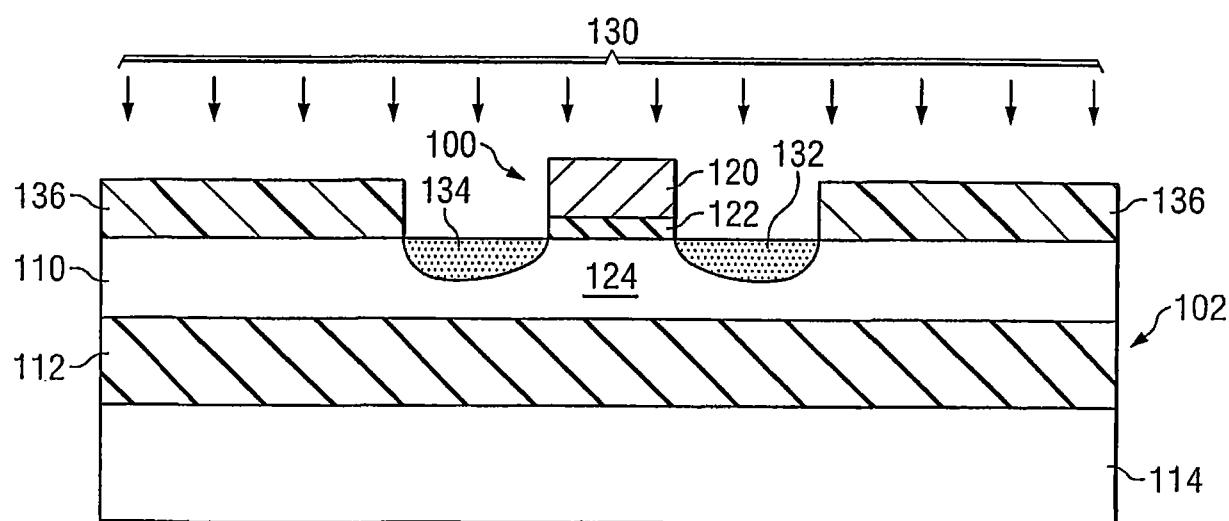


图4

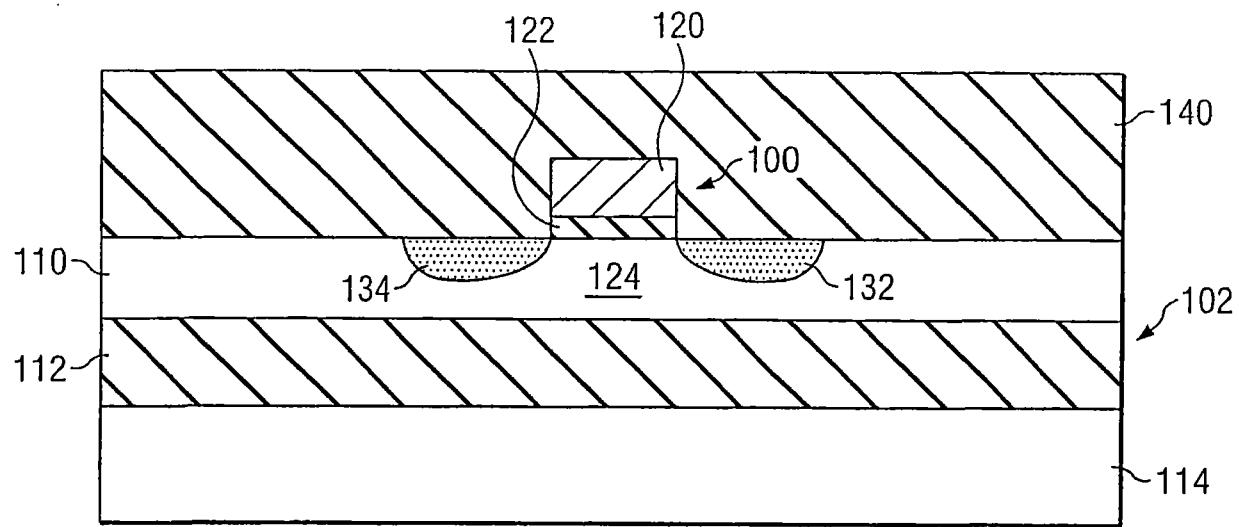


图5

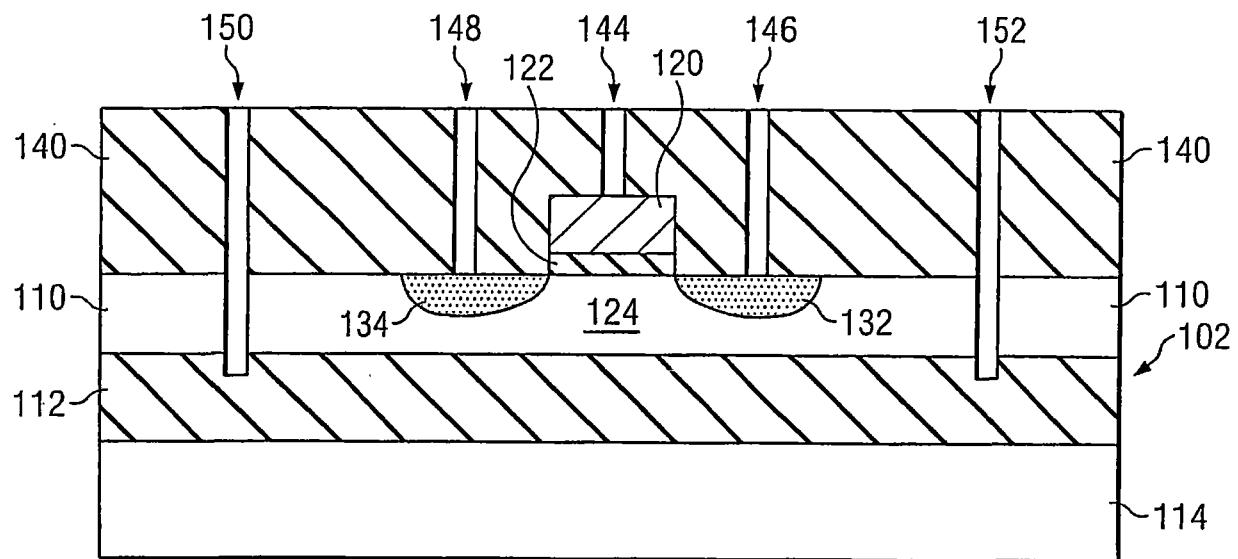


图6

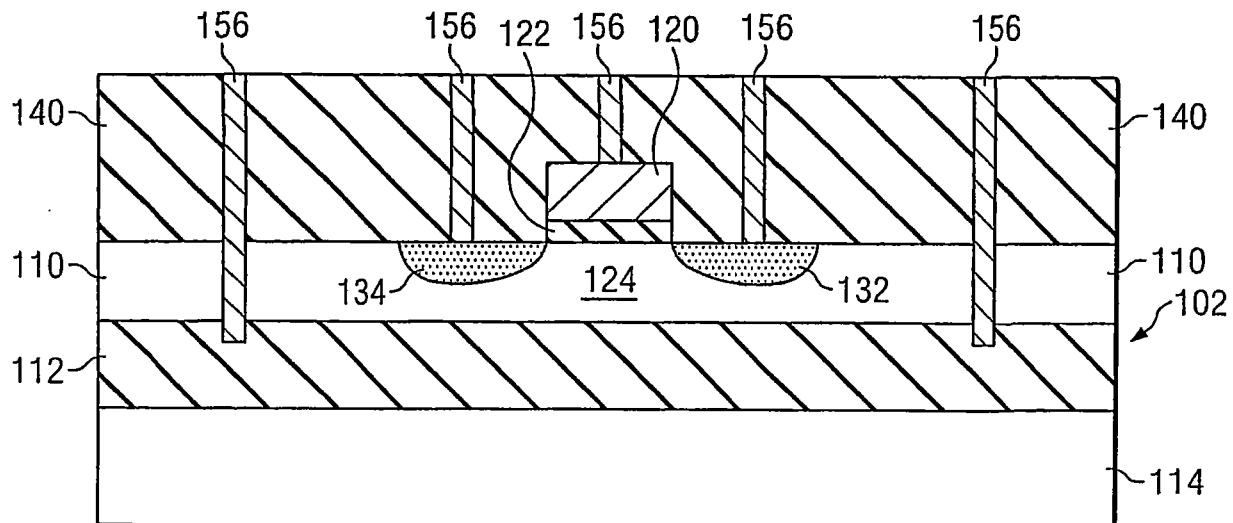


图7

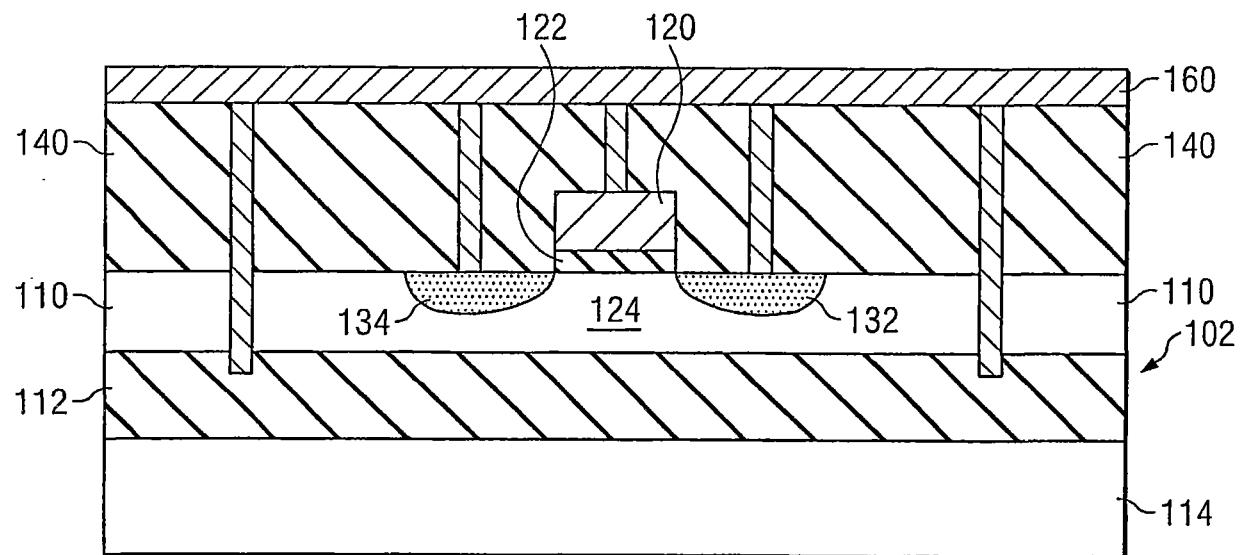


图8

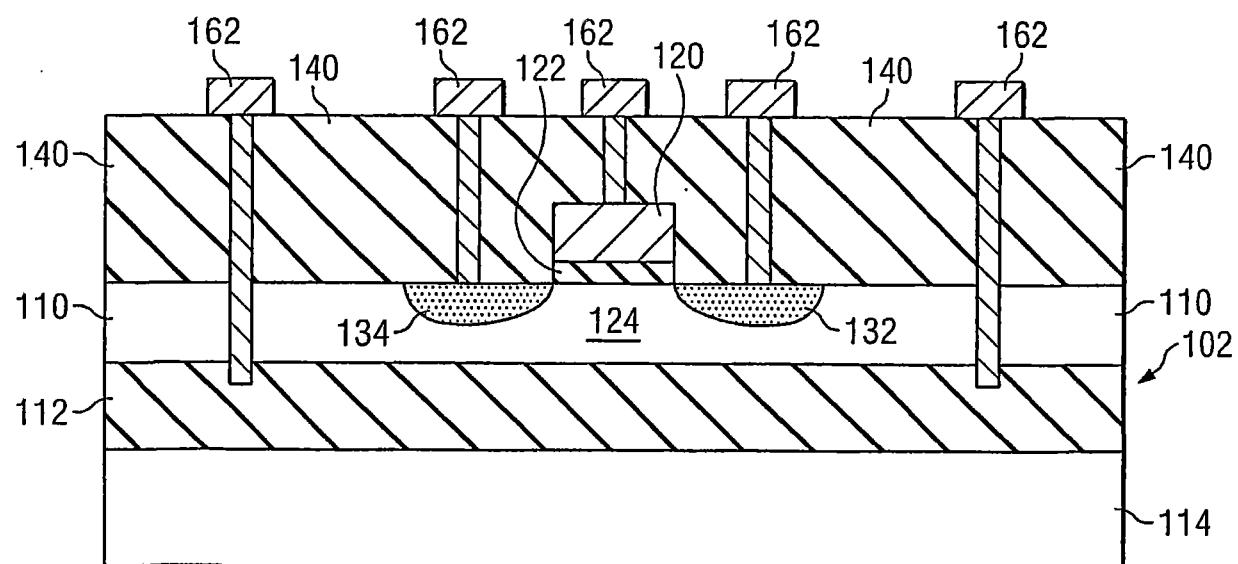


图9

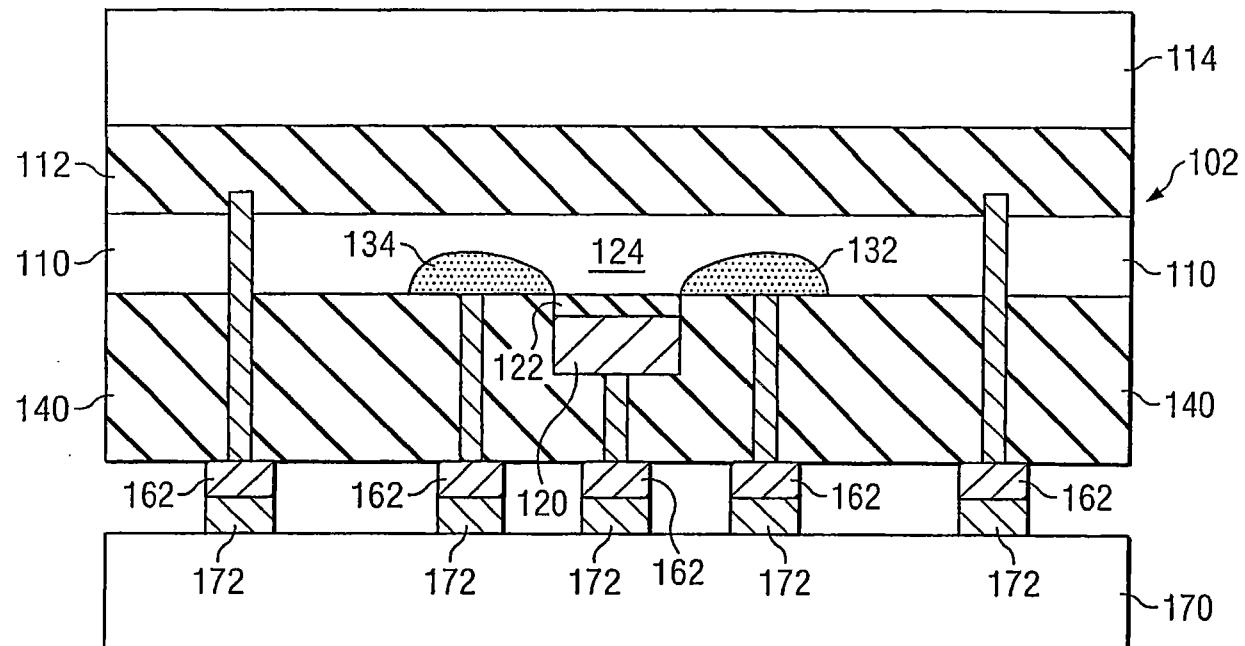


图10

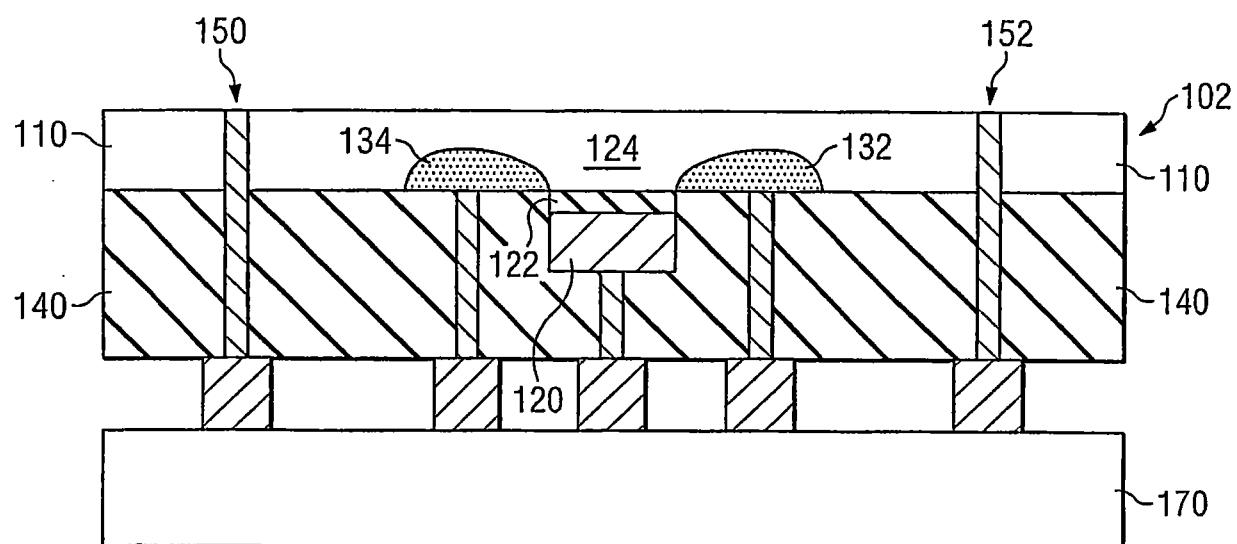


图11

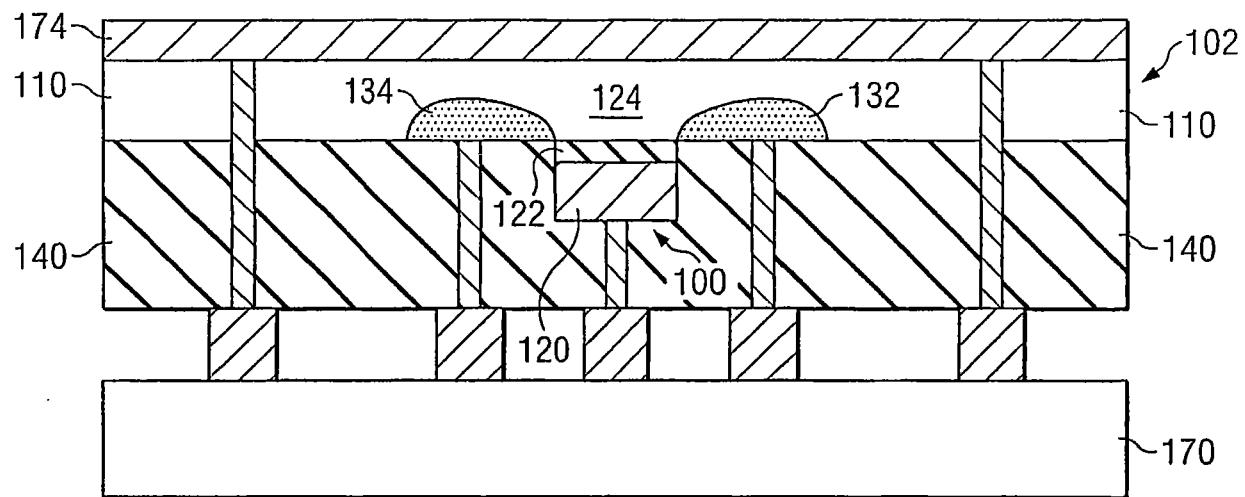


图12

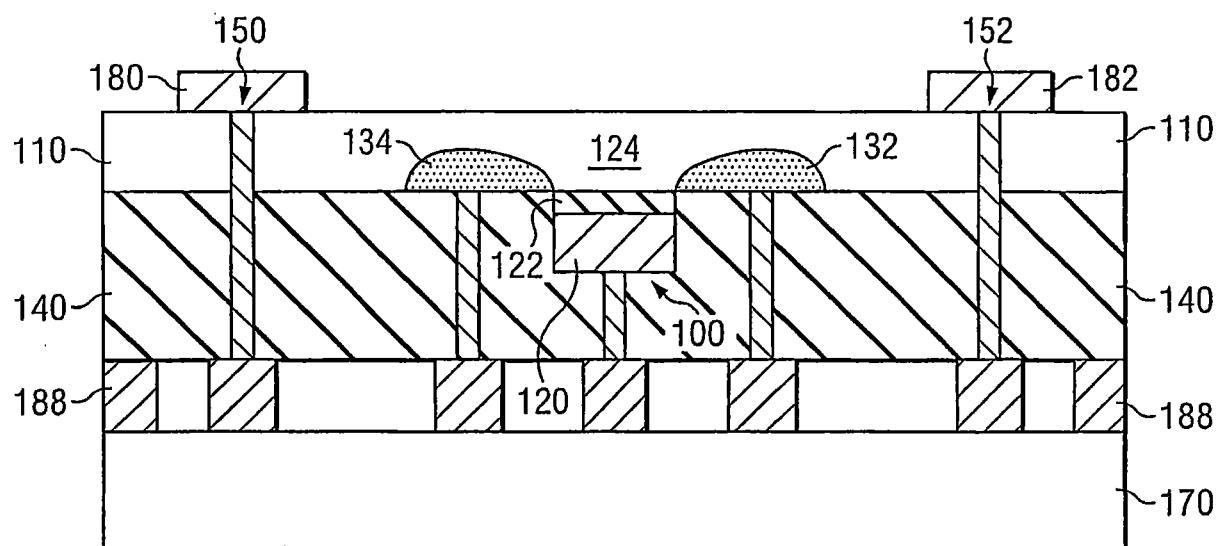


图13