(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年10 月23 日 (23.10.2008)

PCT

(10) 国際公開番号
WO 2008/126166 A1

(51) 国際特許分類:
*H01L 27/10* (2006.01) *G11C 13/00* (2006.01)

(21) 国際出願番号: PCT/JP2007/054672

(22) 国際出願日: 2007 年3 月9 日 (09.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木下 健太郎 (KINOSHITA, Kentaro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 北野 好人 (KITANO, Yoshihito); 〒1600015 東京都新宿区大京町９番地 エクシード四谷２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

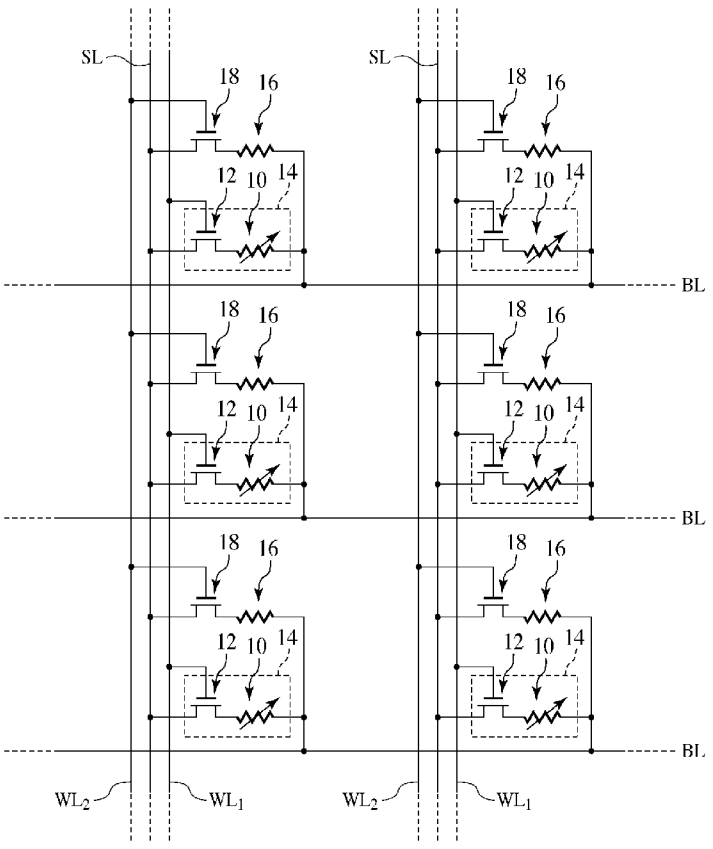
*[続葉有]*

WO 2008/126166 A1

**(54) Title:** NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND READING METHOD THEREOF

**(54) 発明の名称:** 不揮発性半導体記憶装置及びその読み出し方法

[図6]




**(57) Abstract:** A resistive memory element (10) for storing a high resistance state and a low resistance state and switching the high resistance state and the low resistance state by applying a voltage comprises a memory cell (14) having one end connected with a bit line (BL) and the other end connected with a source line (SL) through a first transistor (12), and an a resistor having a resistance higher than the resistance of the resistive memory element in the low resistance state but lower than the resistance of the resistive memory element in the high resistance state and connected, at one end thereof, with one ed of the resistive memory element and the bit line, and at the other end thereof, with the source line through a second transistor (18).

**(57) 要約:** 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって高抵抗状態と低抵抗状態とを切り換える抵抗記憶素子１０であって、一方の端部がビット線ＢＬに接続され、他方の端部が第１のトランジスタ１２を介してソース線ＳＬに接続された抵抗記憶素子を有するメモリセル１４と、低抵抗状態の抵抗記憶素子の抵抗値より高く、高抵抗状態の抵抗記憶素子の抵抗値より低い抵抗値を有し、抵抗記憶素子の一方の端部及びビット線に一方の端部が接続され、他方の端部

*[続葉有]*

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

が第２のトランジスタ１８を介してソース線に接続された抵抗体とを有している。

# 明 細 書

## 不揮発性半導体記憶装置及びその読み出し方法

## 技術分野

[0001] 本発明は、抵抗値の異なる複数の抵抗状態を記憶する抵抗記憶素子を用いた不揮発性半導体記憶装置及びその読み出し方法に関する。

## 背景技術

[0002] 近年、新たなメモリ素子として、ReRAM(Resistance Random Access Memory:抵抗変化メモリ)と称される不揮発性半導体記憶装置が注目されている。ReRAMは、抵抗値が異なる複数の抵抗状態を有し、外部から電気的刺激を与えることにより抵抗状態が変化する抵抗記憶素子を用い、抵抗記憶素子の高抵抗状態と低抵抗状体とを例えば情報の“0”と“1”とに対応づけることにより、メモリ素子として利用するものである。ReRAMは、高速性、大容量性、低消費電力性等を実現可能なため、将来性が期待されている。

[0003] 抵抗記憶素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料を一対の電極間に挟持したものである。抵抗記憶材料としては、代表的なものとして遷移金属を含む酸化物材料が知られている。

[0004] 図31は、抵抗記憶素子の電流－電圧特性を示すグラフである。図31に示すように、高抵抗状態にある抵抗記憶素子に印加する電圧を徐々に高くしていくと、電圧がある値(セット電圧$V_{set}$)を超えたところで急激に抵抗値が減少し、抵抗記憶素子は低抵抗状態に遷移する。このような動作は、一般に「セット」と称される。一方、低抵抗状態にある抵抗記憶素子に印加する電圧を徐々に高くしていくと、電圧がある値(リセット電圧$V_{reset}$)を超えたところで急激に抵抗値が増加し、抵抗記憶素子は高抵抗状態に遷移する。このような動作は、一般に「リセット」と称される。

[0005] これら動作により、抵抗記憶素子に単純に電圧を印加するだけで、抵抗記憶素子の抵抗状態を制御することができる。

[0006] また、データの読み出しは、抵抗記憶素子に所定の読み出し電流を流したときに抵抗記憶素子に流れる電流値を測定することにより可能である。

[0007] なお、本願発明の背景技術としては以下のようなものがある。

非特許文献1:A. Beck et al., "Reproducible switching effect in thin oxide films for memory applications", Applied Physics Letters, Volume 77, Number 1, p. 139-141 (2000)

非特許文献2:I.G. Baek et al., "Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses", IEDM Technical Digest, p. 587-590 (2004)

## 発明の開示

## 発明が解決しようとする課題

[0008] しかしながら、抵抗記憶素子は、高抵抗状態のときの抵抗値のばらつきが大きい。このため、単に抵抗記憶素子を用いた場合には、読み出しエラーを生ずる虞がある。

[0009] 本発明の目的は、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置並びにその読み出し方法を提供することにある。

## 課題を解決するための手段

[0010] 本発明の一観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の抵抗値より低い抵抗値を有し、前記抵抗記憶素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された抵抗体とを有することを特徴とする不揮発性半導体記憶装置が提供される。

[0011] また、本発明の他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の最低の抵抗値以下の抵抗値を有する他の抵抗記憶素子より成る抵抗体であって、前記抵抗記憶

素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された抵抗体とを有することを特徴とする不揮発性半導体記憶装置が提供される。

[0012] また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、前記抵抗記憶素子の前記一方の端部及び前記ビット線にドレイン端子が接続され、前記ソース線にソース端子が接続された第2のトランジスタとを有し、前記メモリセルに書き込まれた情報を読み出す際に、前記第2のトランジスタの前記ソース端子と前記第2のトランジスタの前記ドレイン端子との間の抵抗値が、前記低抵抗状態の前記抵抗記憶素子の抵抗値より大きく、前記高抵抗状態の前記抵抗記憶素子の抵抗値より小さくなるように、前記第2のトランジスタのゲート端子に電圧が印加されることを特徴とする不揮発性半導体記憶
装置が提供される。

[0013] また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルを有する不揮発性半導体記憶装置であって、前記抵抗記憶素子は、第1の電極と、前記第1の電極上に形成された抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極とを有し、前記抵抗記憶層内に、前記抵抗記憶層の電気抵抗を低減するためのドーパント不純物が導入されていることを特徴とする不揮発性半導体記憶装置が提供される。

[0014] また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の抵抗値

より低い抵抗値を有し、前記抵抗記憶素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された抵抗体とを有する不揮発性半導体記憶装置の読み出し方法であって、前記第1のトランジスタがオン状態となるように、前記第1のトランジスタのゲート端子に所定の電圧を印加し、前記第2のトランジスタがオン状態となるように、前記第2のトランジスタの前記第2のゲート端子に所定の電圧を印加し、前記ソース線を接地し、前記ビット線に所定の電圧を印加した際に前記ビット線に流れる情報に基づいて前記メモリセルに書き込まれた情報を読み出すことを特徴とする不揮発性半導体記憶装置の読み出し方法が提供される。

[0015] また、本発明の更に他の観点によれば、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、前記抵抗記憶素子の前記一方の端部及び前記ビット線にドレイン端子が接続され、前記ソース線にソース端子が接続された第2のトランジスタとを有する不揮発性半導体記憶装置の読み出し方法であって、前記第1のトランジスタがオン状態となるように前記第1のトランジスタのゲート端子に第1の電圧を印加し、前記第2のトランジスタの前記ソース端子と前記第2のトランジスタの前記ドレイン端子との間の抵抗値が、前記低抵抗状態の前記抵抗記憶素子の抵抗値より大きく、且つ、前記高抵抗状態の前記抵抗記憶素子の抵抗値より小さくなるように、前記第2のトランジスタのゲート端子に前記第1の電圧より低い第2の電圧を印加し、前記ソース線を接地し、前記ビット線に所定の電圧を印加した際に前記ビット線に流れる情報に基づいて前記メモリセルに書き込まれた情報を読み出すことを特徴とする不揮発性半導体記憶装置の読み出し方法が提供される。

## 発明の効果

[0016] 本発明によれば、抵抗記憶素子に書き込まれた情報を読み出す際に、抵抗値が比較的小さく且つ抵抗値のばらつきが比較的小さい抵抗体が、抵抗記憶素子に対して並列に接続される。抵抗記憶素子に対して並列に接続する抵抗体の抵抗値が、抵

抗記憶素子の高抵抗状態の抵抗値と比較して十分に低いため、抵抗体と抵抗記憶素子との合成抵抗においては、抵抗記憶素子に対して並列に接続した抵抗体の抵抗値が支配的となる。抵抗記憶素子に対して並列に接続された抵抗体の抵抗値は、ばらつきが極めて小さい。このため、抵抗記憶素子の抵抗値が大きくばらついたとしても、抵抗記憶素子と抵抗体との合成抵抗の値は殆どばらつかない。このため、本発明によれば、読み出し電流のばらつきを小さくすることができ、ひいては、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置を提供することができる。

[0017] また、本発明によれば、電気抵抗を低減するためのドーパント不純物が抵抗記憶層に導入されているため、フィラメント領域を除く領域の抵抗を十分に小さくすることができ、高抵抗状態における抵抗値のばらつきの小さい抵抗記憶素子を得ることができる。

## 図面の簡単な説明

[0018] [図1]図1は、抵抗記憶素子の電流－電圧特性を示すグラフ(その1)である。

[図2]図2は、抵抗記憶素子の電流－電圧特性を示すグラフ(その2)である。

[図3]図3は、抵抗記憶素子の概念的な断面図及び等価回路を示す図である。

[図4]図4は、抵抗記憶素子の電流－電圧特性を示すグラフ(その3)である。

[図5]図5は、抵抗記憶素子の電流－電圧特性を示すグラフ(その4)である。

[図6]図6は、本発明の第1実施形態による不揮発性半導体記憶装置の回路図である。

[図7]図7は、本発明の第1実施形態による不揮発性半導体記憶装置の構造を示す断面図である。

[図8]図8は、本発明の第1実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図9]図9は、本発明の第1実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図10]図10は、本発明の第1実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その3)である。

[図11]図11は、本発明の第2実施形態による不揮発性半導体記憶装置の回路図で

ある。

[図12]図12は、本発明の第2実施形態による不揮発性半導体記憶装置の構造を示す断面図である。

[図13]図13は、本発明の第3実施形態による不揮発性半導体記憶装置の回路図である。

[図14]図14は、本発明の第3実施形態による不揮発性半導体記憶装置の構造を示す断面図である。

[図15]図15は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その1)である。

[図16]図16は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その2)である。

[図17]図17は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その3)である。

[図18]図18は、本発明の第3実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図(その4)である。

[図19]図19は、本発明の第4実施形態による不揮発性半導体記憶装置を示す回路図である。

[図20]図20は、本発明の第5実施形態による不揮発性半導体記憶装置を示す回路図である。

[図21]図21は、本発明の第5実施形態による不揮発性半導体記憶装置を示す断面図である。

[図22]図22は、本発明の第6実施形態による不揮発性半導体記憶装置を示す回路図である。

[図23]図23は、本発明の第7実施形態による不揮発性半導体記憶装置を示す回路図である。

[図24]図24は、本発明の第7実施形態による不揮発性半導体記憶装置を示す断面図である。

[図25]図25は、本発明の第8実施形態による不揮発性半導体記憶装置を示す回路

図である。

[図26]図26は、本発明の第9実施形態による不揮発性半導体記憶装置を示す回路図である。

[図27]図27は、本発明の第9実施形態による不揮発性半導体記憶装置を示す断面図である。

[図28]図28は、本発明の第10実施形態による不揮発性半導体記憶装置を示す回路図である。

[図29]図29は、本発明の第11実施形態による不揮発性半導体記憶装置を示す回路図である。

[図30]図30は、本発明の第11実施形態による不揮発性半導体記憶装置の構造を示す断面図である。

[図31]図31は、抵抗記憶素子の電流－電圧特性を示すグラフ(その5)である。

## 符号の説明

[0019] 2…抵抗記憶素子

10、10a…抵抗記憶素子

12…第1のトランジスタ

14…メモリセル

16…抵抗体

18…第2のトランジスタ

20…抵抗体

22…抵抗体

24…抵抗体

30…半導体基板

32…素子分離領域

34、34a、34b…ゲート電極、ワード線

36…ソース／ドレイン拡散層

38…ソース／ドレイン拡散層

40…層間絶縁膜

41a～41c…コンタクトホール

46…コンタクトプラグ

48、48a、48b…コンタクトプラグ

49a、49b…コンタクトプラグ

50…ソース線

52a～52c…中継配線

54…層間絶縁膜

56…コンタクトホール

58…コンタクトプラグ

60…下部電極

62、62a…抵抗記憶層

64…上部電極

67…フィラメント領域

68…層間絶縁膜

69a、69b…コンタクトホール

72…コンタクトプラグ

73…コンタクトプラグ

74…ビット線

76…フォトレジスト膜

78…開口部

80…フォトレジスト膜

82…開口部

## 発明を実施するための最良の形態

[0020] ［本発明の原理］

図1(a)は、ある抵抗記憶素子に対してセットとリセットを10回繰り返した際の電流－電圧特性を示すグラフである。図1(a)に示す電流－電圧特性を測定する際には、高抵抗状態の抵抗記憶素子に対して印加電圧を徐々に上昇させた。抵抗記憶素子のサイズは、1．5μm×1．5μmとした。また、抵抗記憶素子の下部電極と上部電極の

材料としてはPtを用いた。また、抵抗記憶素子の抵抗記憶層の材料としては$NiO_x$を用いた。

[0021] 図1(a)から分かるように、同じ抵抗記憶素子を測定しているにもかかわらず、高抵抗状態の抵抗値には10～100倍程度のばらつきがある。

[0022] 図2(a)は、任意に選択した12個の抵抗記憶素子の電流－電圧特性を示すグラフである。図2(a)に示す電流－電圧特性を測定する際には、高抵抗状態の抵抗記憶素子に対して印加電圧を徐々に上昇させた。抵抗記憶素子のサイズは、上記と同様に、1．5μm×1．5μmとした。また、抵抗記憶素子の下部電極と上部電極の材料としては、上記と同様にPtを用いた。また、抵抗記憶素子の抵抗記憶層の材料としては上記と同様に$NiO_x$を用いた。

[0023] 図2(a)から分かるように、異なる抵抗記憶素子間においても、高抵抗状態の抵抗値には10～100倍程度のばらつきがある。

[0024] 図1(b)は、抵抗記憶素子に対して抵抗体を並列に接続し、セットとリセットを10回繰り返した際の電流－電圧特性を示すグラフである。抵抗記憶素子に対して並列に接続する抵抗体としては、抵抗値が比較的小さく且つ抵抗値のばらつきが極めて小さい抵抗体を用いた。図1(a)に示す電流－電圧特性においては、高抵抗状態の抵抗記憶素子の電気抵抗の最低値は700kΩ程度であった。このため、抵抗記憶素子に対して並列に接続する抵抗体の抵抗値は100kΩとした。

[0025] 図1(b)から分かるように、抵抗値が比較的小さい抵抗体を抵抗記憶素子に対して並列に接続した場合には、電流－電圧特性のばらつきが著しく低減されている。

[0026] 図2(b)は、任意に選択した12個の抵抗記憶素子の各々に対して抵抗体を並列に接続した際の電流－電圧特性を示すグラフである。抵抗記憶素子に対して並列に接続する抵抗体としては、抵抗値が比較的小さく且つ抵抗値のばらつきが極めて小さい抵抗体を用いた。図2(a)に示す電流－電圧特性においては、高抵抗状態の抵抗記憶素子の電気抵抗の最低値は700kΩ程度であった。このため、抵抗記憶素子に対して並列に接続する抵抗体の抵抗値は100kΩとした。

[0027] 図2(b)から分かるように、抵抗値が比較的小さい抵抗体を抵抗記憶素子に対して並列に接続した場合には、電流－電圧特性のばらつきが著しく低減されている。

[0028] このように抵抗値が比較的小さい抵抗体を抵抗記憶素子に対して並列に接続すると電流－電圧特性のばらつきが著しく低減されるのは、以下のような理由によるものである。

[0029] 即ち、抵抗記憶素子に対して並列に接続する抵抗体の抵抗値が、抵抗記憶素子の高抵抗状態の抵抗値と比較して十分に低いため、抵抗体と抵抗記憶素子との合成抵抗においては、抵抗記憶素子に対して並列に接続した抵抗体の抵抗値が支配的となる。700kΩの抵抗記憶素子と100kΩの抵抗体とが並列に接続されている場合には、合成抵抗の値は87．5kΩとなる。抵抗記憶素子に対して並列に接続された抵抗体の抵抗値は、ばらつきが極めて小さい。このため、抵抗記憶素子の抵抗値が大きくばらついたとしても、抵抗記憶素子と抵抗体との合成抵抗の値は殆どばらつかなくなる。このため、抵抗値が比較的小さく且つ抵抗値のばらつきが比較的小さい抵抗体を抵抗記憶素子に対して並列に接続した場合には、電流－電圧特性のばらつきが著しく低減される。

[0030] このように、抵抗値が比較的小さく且つ抵抗値のばらつきが比較的小さい抵抗体を抵抗記憶素子に対して並列に接続すれば、電流－電圧特性のばらつきを低減することが可能となる。

[0031] また、電流－電圧特性のばらつきは、以下のようにして低減することも可能である。

[0032] 図3(a)は、抵抗記憶素子の概念的な断面図である。図3(b)は、抵抗記憶素子の等価回路を示す図である。

[0033] 図3(a)に示すように、抵抗記憶素子2は、例えばPtより成る下部電極60と、例えば$NiO_X$より成る抵抗記憶層62と、例えばPtより成る上部電極64とを有している。抵抗記憶素子2において抵抗の変化が生じる領域(フィラメント領域)67は、抵抗記憶素子2のうちの一部の領域であると考えられている。

[0034] 従って、抵抗記憶素子2の等価回路は、図3(b)に示すように、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$とが並列に接続されたものと考えることができる。

[0035] フィラメント領域を除く領域の抵抗$R_{excl}$を十分に小さく設定すれば、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$との合成抵抗においては、

フィラメント領域67を除く領域の抵抗$R_{excl}$の抵抗値が支配的となる。フィラメント領域67の抵抗$R_{fila}$はばらつきが大きいが、フィラメント領域67を除く領域の抵抗$R_{excl}$はばらつきが極めて小さい。このため、フィラメント領域67を除く領域の抵抗$R_{excl}$を十分に低くすれば、フィラメント領域67の抵抗$R_{fila}$が大きくばらついたとしても、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$との合成抵抗の値は殆どばらつかなくなる。

[0036] 図4(a)は、1.5μm×1.5μmのサイズの抵抗記憶素子の概念的な断面図である。図4(b)は、図4(a)に示す抵抗記憶素子の電流－電圧特性を示すグラフである。

[0037] 図4(a)に示す抵抗記憶素子2の場合には、フィラメント領域67を除く領域の面積があまり大きくないため、フィラメント領域67を除く領域の抵抗$R_{excl}$がフィラメント領域67の抵抗$R_{fila}$に比べて十分に小さくはない。このため、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$との合成抵抗において、フィラメント領域67を除く領域の抵抗$R_{excl}$の抵抗値は支配的となっていない。

[0038] 図4(b)から分かるように、1.5μm×1.5μmのサイズの抵抗記憶素子においては、電流－電圧特性のばらつきが大きくなっている。

[0039] 図5(a)は、170μm×170μmのサイズの抵抗記憶素子の概念的な断面図である。図5(b)は、図5(a)に示す抵抗記憶素子の電流－電圧特性を示すグラフである。

[0040] 図5(a)に示す抵抗記憶素子2の場合には、フィラメント領域67を除く領域の面積が十分に大きいため、フィラメント領域67を除く領域の抵抗$R_{excl}$がフィラメント領域67の抵抗$R_{fila}$に比べて十分に小さくなっている。このため、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$との合成抵抗において、フィラメント領域67を除く領域の抵抗$R_{excl}$の抵抗値が支配的となっている。

[0041] 図5(b)から分かるように、170μm×170μmのサイズの抵抗記憶素子2においては、電流－電圧特性のばらつきが極めて小さくなっている。

[0042] このように、フィラメント領域67を除く領域の抵抗$R_{excl}$を十分に小さくすれば、抵抗値が比較的小さい抵抗体を抵抗記憶素子に対して並列に接続したのと同様の効果が得られる。このため、フィラメント領域67を除く領域の抵抗$R_{excl}$を十分に小さくすることによっても、電流－電圧特性のばらつきを著しく低減することが可能となる。

[0043] ［第1実施形態］

本発明の第1実施形態による不揮発性半導体記憶装置及びその読み出し方法を図6乃至図8を用いて説明する。図6は、本実施形態による不揮発性半導体記憶装置の回路図である。図7は、本実施形態による不揮発性半導体記憶装置の構造を示す断面図である。

[0044] （不揮発性半導体記憶装置の回路構成）

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図6を用いて説明する。

[0045] 図6に示すように、行方向（図面縦方向）には、複数のワード線WL1，WL2と、複数のソース線SLとが配されている。また、列方向（図面横方向）には、複数のビット線BLが配されている。

[0046] ワード線WL1，WL2とビット線BLとの各々の交差部には、抵抗記憶素子10と第1のトランジスタ（選択トランジスタ）12とを有するメモリセル14がそれぞれ形成されている。

[0047] 抵抗記憶素子10は、高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって高抵抗状態と低抵抗状態とが切り換わるものである。低抵抗状態の抵抗記憶素子10に対してリセット電圧より高く且つセット電圧より低い電圧を印加すると、低抵抗状態の抵抗記憶素子10は高抵抗状態へと変化する。一方、高抵抗状態の抵抗記憶素子10に対してセット電圧より高い電圧を印加すると、抵抗記憶素子10は高抵抗状態から低抵抗状態へと変化する。

[0048] 低抵抗状態の抵抗記憶素子10の抵抗値$R_{low}$は、例えば500Ω～5kΩ程度である。ここでは、低抵抗状態の抵抗記憶素子10の抵抗値$R_{low}$を、例えば1kΩ程度とする。

[0049] 一方、高抵抗状態の抵抗記憶素子10の抵抗値$R_{high}$は、例えば50kΩ～500MΩ程度である。このように、高抵抗状態の抵抗記憶素子10の抵抗値$R_{high}$は、大きくばらついている。ここでは、高抵抗状態の抵抗記憶素子10の抵抗値$R_{high}$の最大値は、例えば10MΩ程度であるものとする。また、ここでは、高抵抗状態の抵抗記憶素子10の抵抗値$R_{high}$の最小値は、例えば100kΩ程度であるものとする。

[0050] 各々のメモリセル14において、抵抗記憶素子10の一方の端部はビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗記憶素子10の他方の端部は、第1のトランジスタ12のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0051] また、各々のメモリセル14において、第1のトランジスタ12のソース／ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。また、各々のメモリセル14において、第1のトランジスタ12のゲート電極、即ち、ゲート端子は、ワード線WL1に電気的に接続されている。

[0052] 各々のメモリセル14において、メモリセル14に対して並列に抵抗体（電気抵抗、抵抗素子）16が接続されており、抵抗体16に対して直列に第2のトランジスタ18が接続されている。

[0053] 各々のメモリセル14において、抵抗体16の一方の端部は、抵抗記憶素子10の一方の端部及びビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗体16の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0054] また、各々のメモリセル14において、第2のトランジスタ18のソース／ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。また、各々のメモリセル14において、第2のトランジスタ18のゲート電極、即ち、ゲート端子は、第2のワード線WL2に電気的に接続されている。

[0055] メモリセル14に対して並列に接続された抵抗体16の抵抗値は、抵抗記憶素子10の低抵抗状態の抵抗値に対して十分大きく、抵抗記憶素子10の高抵抗状態の抵抗の最低値に対して十分に小さく設定されている。低抵抗状態の抵抗記憶素子10の抵抗値は、例えば1kΩである。一方、高抵抗状態の抵抗記憶素子10の抵抗の最低値は、例えば100kΩである。ここでは、抵抗体16の抵抗値を、例えば10kΩとする。

[0056] ビット線BLの端部には、ビット線BLを適宜選択するための図示しない列デコーダ（制御回路）が接続されている。かかる列セレクタには、読み出し回路（図示せず）が接続されている。かかるセンスアンプは、選択された列のビット線に流れる電流に基づいて、メモリセル14に書き込まれた情報を読み出すためのものである。

[0057] ワード線WL1，WL2の端部には、ワード線WL1，WL2を適宜選択するための図示しない行セレクタ（制御回路）が接続されている。ソース線SLの端部には、ソース線SLを接地するための図示しない他の行セレクタ（制御回路）が接続されている。

[0058] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0059] （不揮発性半導体記憶装置の構造）

次に、本実施形態による不揮発性半導体記憶装置の構造について図7を用いて説明する。

[0060] 図7に示すように、半導体基板30上には、素子領域を確定する素子分離領域32が形成されている。

[0061] 素子領域が画定された半導体基板30上には、ゲート絶縁膜を介して、ワード線WL1とワード線WL2とが形成されている。ワード線WL1は、第1のトランジスタのゲート電極34aを兼ねるものである。ワード線WL2は、第2のトランジスタのゲート電極34bを兼ねるものである。ワード線WL1及びワード線WL2は、図7の紙面垂直方向に延在している。

[0062] ワード線WL1の両側の半導体基板30内及びワード線WL2の両側の半導体基板30内には、ソース／ドレイン拡散層36，38が形成されている。

[0063] ワード線WL1を兼ねるゲート電極34aとソース／ドレイン拡散層36，38とにより第1のトランジスタ12が構成されている。

[0064] また、ワード線WL2を兼ねるゲート電極34bとソース／ドレイン拡散層36，38とにより第2のトランジスタ18が構成されている。

[0065] 第1のトランジスタ12の一方のソース／ドレイン拡散層36と第2のトランジスタ18の一方のソース／ドレイン拡散層36とは、共通のソース／ドレイン拡散層36により構成されている。

[0066] また、素子分離領域32上には、例えばポリシリコンより成る抵抗体16が形成されている。

[0067] 第1のトランジスタ12、第2のトランジスタ18及び抵抗体16が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0068] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と

、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48aと、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48bと、抵抗体16の一方の端部に接続されたコンタクトプラグ49aと、抵抗体16の他方の端部に接続されたコンタクトプラグ49bとが埋め込まれている。

[0069] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL）と、コンタクトプラグ48aを介してソース／ドレイン拡散層38に電気的に接続された中継配線52aと、コンタクトプラグ48bとコンタクトプラグ49aとを電気的に接続する中継配線52bと、コンタクトプラグ49bを介して抵抗体16に電気的に接続された中継配線52cとが形成されている。ソース線50は、ワード線WL1及びワード線WL2に並行するように形成されており、紙面垂直方向に延在している。

[0070] ソース線50及び中継配線52a～52cが形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ58が埋め込まれている。

[0071] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成されている。抵抗記憶素子10は、コンタクトプラグ58等を介してソース／ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62と、抵抗記憶層62上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62の材料としては、例えば$NiO_x$が用いられている。

[0072] 抵抗記憶素子10が形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、上部電極64に接続されたコンタクトプラグ72が埋め込まれている。また、層間絶縁膜68及び層間絶縁膜54には、中継配線52cに接続されたコンタクトプラグ73が埋め込まれている。

[0073] コンタクトプラグ72，73が埋め込まれた層間絶縁膜68上には、ビット線74（BL）が形成されている。ビット線74は、紙面左右方向に延在している。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ73等を介して抵抗体16の端部に電気的に接続さ

れている。

[0074] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0075] このように、本実施形態による不揮発性半導体記憶装置では、抵抗記憶素子10に書き込まれた情報を読み出す際に、抵抗値が比較的小さく且つ抵抗値のばらつきが比較的小さい抵抗体16が、抵抗記憶素子10に対して並列に接続されるように構成されている。抵抗記憶素子10に対して並列に接続する抵抗体16の抵抗値が、抵抗記憶素子10の高抵抗状態の抵抗値と比較して十分に低いため、抵抗体16と抵抗記憶素子10との合成抵抗においては、抵抗記憶素子10に対して並列に接続した抵抗体16の抵抗値が支配的となる。抵抗記憶素子10に対して並列に接続された抵抗体16の抵抗値は、ばらつきが極めて小さい。このため、抵抗記憶素子10の抵抗値が大きくばらついたとしても、抵抗記憶素子10と抵抗体16との合成抵抗の値は殆どばらつかない。このため、本実施形態によれば、読み出し電流のばらつきを小さくすることができ、ひいては、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置を提供することができる。

[0076] 次に、本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法について図6を用いて説明する。

[0077] (書き込み方法)

まず、抵抗記憶素子10をリセットする場合、即ち、抵抗記憶素子10に高抵抗状態を書き込む場合について図6を用いて説明する。

[0078] 抵抗記憶素子10に高抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1を行セレクタ(図示せず)により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14の第1のトランジスタ12がオン状態となる。なお、抵抗記憶素子10に対して書き込みを行う際には、第2のトランジスタ18に接続されたワード線WL2には電圧を印加しない。

[0079] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ(図示せず)により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線

BLに、所定の電圧を所定時間だけ印加する。

[0080] こうして、書き込み対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれる。

[0081] 次に、抵抗記憶素子10をセットする場合、即ち、抵抗記憶素子10に低抵抗状態を書き込む場合について図6を用いて説明する。

[0082] 抵抗記憶素子10に低抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1を行セレクタ(図示せず)により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0083] なお、抵抗記憶素子10に対して書き込みを行う際には、第2のトランジスタ18に接続されたワード線WL2には電圧を印加しない。

[0084] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ(図示せず)により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線BLに、所定の電圧を所定時間だけ印加する。

[0085] こうして、書き込み対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれる。

[0086] (読み出し方法)

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図6を用いて説明する。

[0087] メモリセル14の抵抗記憶素子10に書き込まれた情報を読み出す際には、読み出し対象のメモリセル14に接続されたワード線WL1を行セレクタ(図示せず)により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL1に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、読み出し対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0088] また、読み出し対象のメモリセル14に接続されたワード線WL2を行セレクタ(図示

せず）により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL2に、行セレクタにより、所定の電圧を印加する。これにより、読み出し対象のメモリセル14の第2のトランジスタ18がオン状態となる。

[0089] 次に、読み出し対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。これにより、列セレクタに選択されたビット線BLが、読み出し回路（図示せず）に接続される。読み出し対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれている場合には、ビット線BLに比較的小さい電流が流れる。一方、読み出し対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれている場合には、ビット線BLに比較的大きい電流が流れる。読み出し回路は、ビット線BLに流れる電流をセンスアンプにより検出し、抵抗記憶素子10が低抵抗状態であるか高抵抗状態であるかを判断する。即ち、読み出し回路は、ビット線BLに流れる電流に基づいて、抵抗記憶素子10に書き込まれた情報を読み出す。

[0090] 本実施形態では、抵抗記憶素子10に書き込まれた情報を読み出す際に、抵抗値が比較的小さく且つ抵抗値のばらつきが比較的小さい抵抗体16が、抵抗記憶素子10に対して並列に接続されるため、読み出し電流のばらつきを小さくすることができる。従って、本実施形態によれば、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置を提供することができる。

[0091] （不揮発性半導体記憶装置の製造方法）

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図8乃至図10を用いて説明する。図8乃至図10は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0092] まず、図8（a）に示すように、半導体基板30内に、例えばSTI（Shallow Trench Isolation）法により、素子領域を確定する素子分離領域32を形成する。半導体基板30としては、例えばシリコン基板を用いる。

[0093] 次に、半導体基板30上に、通常のMOSトランジスタの製造方法と同様にして、ゲート電極34aとソース／ドレイン拡散層36，38とを有する第1のトランジスタ12と、ゲート電極34bとソース／ドレイン拡散層36，38とを有する第2のトランジスタ18を形成する。また、素子分離領域32上に、ポリシリコンより成る抵抗体16を形成する。

[0094] 次に、例えばCVD法により、第1のトランジスタ12、第2のトランジスタ18及び抵抗体16が形成された半導体基板30上に、シリコン酸化膜を形成する。

[0095] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。こうして、シリコン酸化膜より成る層間絶縁膜40が形成される。

[0096] 次に、フォトリソグラフィ技術を用い、ソース／ドレイン拡散層36に達するコンタクトホール41a、ソース／ドレイン拡散層38に達するコンタクトホール41b，41c、抵抗体16の一方の端部に達するコンタクトホール41d、抵抗体16の他方の端部に達するコンタクトホール41eを、層間絶縁膜40に形成する。

[0097] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0098] 次に、例えばエッチバックを行うことにより、コンタクトホール41a～41e内に、タングステンより成るコンタクトプラグ46、48a、48b、49a、49bをそれぞれ埋め込む（図8（b）参照）。

[0099] 次に、例えばCVD法により、コンタクトプラグ46、48a、48b、49a、49bが埋め込まれた層間絶縁膜40上に、導電膜を形成する。

[0100] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るソース線50及び中継配線52a～52cが形成される（図8（c）参照）。

[0101] 次に、例えばCVD法により、ソース線50及び中継配線52a～52cが形成された層間絶縁膜40上に、シリコン酸化膜を形成する。

[0102] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。これにより、シリコン酸化膜より成る層間絶縁膜54が形成される。

[0103] 次に、フォトリソグラフィ技術を用い、層間絶縁膜54に、中継配線52aに達するコンタクトホール56を形成する。

[0104] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0105] 次に、例えばエッチバックを行うことにより、コンタクトホール56内に、タングステンより成るコンタクトプラグ58を埋め込む（図9（a）参照）。

[0106] 次に、例えばスパッタリング法により、コンタクトプラグ58が埋め込まれた層間絶縁膜54上に、例えばプラチナ膜を形成する。かかるプラチナ膜は、抵抗記憶素子10の下部電極80となるものである。

[0107] 次に、プラチナ膜上に、例えばレーザアブレーション法、ゾルゲル法、スパッタリング法、MOCVD法等により、$NiO_x$膜を形成する。かかる$NiO_x$膜は、抵抗記憶素子の抵抗記憶層62となるものである。

[0108] 次に、例えばスパッタリング法により、$NiO_x$膜上に、例えばプラチナ膜を形成する。かかるプラチナ膜は、抵抗記憶素子10の上部電極84となるものである。

[0109] こうして、プラチナ膜と$NiO_x$膜とプラチナ膜とから成る積層膜が形成される。

[0110] 次に、フォトリソグラフィ技術を用い、積層膜をパターニングする。こうして、プラチナ膜より成る下部電極60と、$NiO_x$膜より成る抵抗記憶層62と、プラチナ膜より成る上部電極64とを有する抵抗記憶素子10が形成される(図9(b)参照)。

[0111] 次に、例えばCVD法により、抵抗記憶素子10が形成された層間絶縁膜54上に、シリコン酸化膜を形成する。

[0112] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。こうして、シリコン酸化膜より成る層間絶縁膜68が形成される。

[0113] 次に、フォトリソグラフィ技術を用い、抵抗記憶素子10の上部電極64に達するコンタクトホール69aと中継配線52cに達するコンタクトホール69bとを形成する。

[0114] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0115] 次に、エッチバックを行うことにより、コンタクトホール69a, 69b内にタングステン膜より成るコンタクトプラグ72, 73を埋め込む(図10(a)参照)。

[0116] 次に、例えばスパッタリング法により、コンタクトプラグ72, 73が埋め込まれた層間絶縁膜68上に、導電膜を形成する。

[0117] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るビット線74が形成される(図10(b)参照)。

[0118] こうして、本実施形態による不揮発性半導体記憶装置が製造される。

[0119] [第2実施形態]

本発明の第2実施形態による不揮発性半導体記憶装置及びその読み出し方法を図11及び図12を用いて説明する。図11は、本実施形態による不揮発性半導体記憶装置の回路図である。図12は、本実施形態による不揮発性半導体記憶装置の構造を示す断面図である。図1乃至図10に示す第1実施形態による不揮発性半導体

記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0120] 本実施形態による不揮発性半導体記憶装置は、抵抗体16が、同一の列に存在する複数のメモリセル14により共用されるように構成されていることに主な特徴がある。

[0121] 図11に示すように、行方向(図面縦方向)には、複数のワード線WL1, WL2, WL3, WL4…と、複数のソース線SLとが配されている。また、列方向(図面横方向)には、複数のビット線BLが配されている。

[0122] ワード線WL1, WL3, WL4…とビット線BLとの各々の交差部には、抵抗記憶素子10と第1のトランジスタ(選択トランジスタ)12とを有するメモリセル14がそれぞれ形成されている。

[0123] また、ワード線WL2とビット線BLとの各々の交差部には、抵抗体16及び第2のトランジスタ18が形成されている。抵抗体16及び第2のトランジスタ18は、複数のビット線BLの各々に対して一組ずつ設けられている。

[0124] 各々のメモリセル14において、抵抗記憶素子10の一方の端部はビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗記憶素子10の他方の端部は、第1のトランジスタ12のソース/ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0125] また、各々のメモリセル14において、第1のトランジスタ12のソース/ドレイン拡散層の他方、即ち、ソース端子は、ソース線SL1, SL2に電気的に接続されている。また、各々のメモリセル14において、第1のトランジスタ12のゲート電極、即ち、ゲート端子は、ワード線WL1, WL3, WL4…にそれぞれ電気的に接続されている。

[0126] 各々の列において、抵抗体16の一方の端部は、ビット線BLに電気的に接続されている。即ち、同一の列に存在する各々の抵抗記憶素子10の一方の端部は、ビット線BLを介して共通の抵抗体16に接続されている。

[0127] また、各々の列において、抵抗体16の他方の端部は、第2のトランジスタ18のソース/ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0128] また、各々の列において、第2のトランジスタ18のソース/ドレイン拡散層の他方、即ち、ソース端子は、ソース線SL1に電気的に接続されている。

[0129] また、各々の列において、第2のトランジスタ18のゲート電極、即ち、ゲート端子は、ワード線WL2に電気的に接続されている。

[0130] ビット線BLの端部には、ビット線BLを適宜選択するための列セレクタ(図示せず)が接続されている。ワード線WL1, WL2, WL3, WL4…の端部には、ワード線WL1, WL2, WL3, WL4を適宜選択するための行セレクタ(図示せず)が接続されている。ソース線SLの端部には、ソース線SL1, SL2を適宜接地するための他の行セレクタが接続されている。

[0131] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0132] (不揮発性半導体記憶装置の構造)

次に、本実施形態による不揮発性半導体記憶装置の構造について図12を用いて説明する。

[0133] 図12に示すように、半導体基板30上には、素子領域を確定する素子分離領域32が形成されている。

[0134] 素子領域が画定された半導体基板30上には、ゲート絶縁膜を介して、ワード線WL1、ワード線WL2、ワード線WL3及びワード線WL4が形成されている。ワード線WL1, WL3, WL4…は、第1のトランジスタのゲート電極34aを兼ねるものである。ワード線WL2は、第2のトランジスタのゲート電極34bを兼ねるものである。

[0135] ワード線WL1, WL2, WL3, WL4は、図12の紙面垂直方向に延在している。

[0136] ワード線WL1の両側の半導体基板30内、ワード線WL2の両側の半導体基板30内、ワード線WL3の両側の半導体基板30内、及び、ワード線WL4の両側の半導体基板30内には、ソース/ドレイン拡散層36, 38が形成されている。

[0137] ワード線WL1を兼ねるゲート電極34aとソース/ドレイン拡散層36, 38とにより第1のトランジスタ12が構成されている。

[0138] また、ワード線WL2を兼ねるゲート電極34bとソース/ドレイン拡散層36, 38とにより第2のトランジスタ18が構成されている。

[0139] また、ワード線WL3を兼ねるゲート電極34aとソース/ドレイン拡散層36, 38とにより第1のトランジスタ12が構成されている。

[0140] また、ワード線WL4を兼ねるゲート電極34aとソース/ドレイン拡散層36, 38とによ

り第1のトランジスタ12が構成されている。

[0141] 第1のトランジスタ12の一方のソース／ドレイン拡散層36と第2のトランジスタ18の一方のソース／ドレイン拡散層36とは、共通のソース／ドレイン拡散層36により構成されている。

[0142] また、第1のトランジスタ12の一方のソース／ドレイン拡散層36と第1のトランジスタ12の一方のソース／ドレイン拡散層36とは、共通のソース／ドレイン拡散層36により構成されている。

[0143] また、素子分離領域32上には、例えばポリシリコンより成る抵抗体16が形成されている。

[0144] 第1のトランジスタ12、第2のトランジスタ18及び抵抗体16が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0145] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48aと、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48bと、抵抗体16の一方の端部に接続されたコンタクトプラグ49aと、抵抗体16の他方の端部に接続されたコンタクトプラグ49bとが埋め込まれている。

[0146] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL1，SL2）と、コンタクトプラグ48aを介してソース／ドレイン拡散層38に電気的に接続された中継配線52aと、コンタクトプラグ48bとコンタクトプラグ49aとを電気的に接続する中継配線52bと、コンタクトプラグ49bを介して抵抗体16の端部に電気的に接続された中継配線52cとが形成されている。ソース線50は、ワード線WL1，WL2，WL3，WL4…に並行するように形成されており、紙面垂直方向に延在している。

[0147] ソース線50（SL1，SL2）及び中継配線52a～52cが形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ58が埋め込まれている。

[0148] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成されている。

[0149] 抵抗記憶素子10が形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、上部電極64に接続されたコンタクトプラグ72が埋め込まれている。また、層間絶縁膜68及び層間絶縁膜54には、中継配線52cに接続されたコンタクトプラグ73が埋め込まれている。

[0150] コンタクトプラグ72，73が埋め込まれた層間絶縁膜68上には、ビット線74（BL）が形成されている。ビット線74は、紙面左右方向に延在している。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ73等を介して抵抗体16の端部に電気的に接続されている。

[0151] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0152] このように、抵抗体16が、同一の列に存在する複数のメモリセル14により共用されるように構成してもよい。

[0153] 次に、本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法について図6を用いて説明する。

[0154] （書き込み方法）

まず、抵抗記憶素子10をリセットする場合、即ち、抵抗記憶素子10に高抵抗状態を書き込む場合について図11を用いて説明する。

[0155] 抵抗記憶素子10に高抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1，WL3，WL4…を行セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1，WL3，WL4…に、行セレクタにより、所定の電圧を印加する。また、ソース線SL1，SL2を、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14の第1のトランジスタ12がオン状態となる。なお、抵抗記憶素子10に対して書き込みを行う際には、第2のトランジスタ18に接続されたワード線WL2には電圧を印加しない。

[0156] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線BLに、所定の電圧を所定時間だけ印加する。

[0157] こうして、書き込み対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれる。

[0158] 次に、抵抗記憶素子10をセットする場合、即ち、抵抗記憶素子10に低抵抗状態を書き込む場合について図6を用いて説明する。

[0159] 抵抗記憶素子10に低抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1，WL3，WL4…を行セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1，WL3，WL4…に、行セレクタにより、所定の電圧を印加する。また、ソース線SL1，SL2を、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0160] なお、抵抗記憶素子10に対して書き込みを行う際には、第2のトランジスタ18に接続されたワード線WL2には電圧を印加しない。

[0161] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線BLに、所定の電圧を所定時間だけ印加する。

[0162] こうして、書き込み対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれる。

[0163] （読み出し方法）

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図11を用いて説明する。

[0164] メモリセル14の抵抗記憶素子10に書き込まれた情報を読み出す際には、読み出し対象のメモリセル14に接続されたワード線WL1，WL3，WL4…を行セレクタ（図示せず）により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL1，WL3，WL4…に、行セレクタにより、所定の電圧を印加する。また、ソース線SL1，SL2を、所定の基準電位、例えば接地電位に接続する。これにより、読み出し対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0165] また、第2のトランジスタ18に接続されたワード線WL2を行セレクタ（図示せず）により選択する。具体的には、第2のトランジスタ18に接続されたワード線WL2に、行セ

レクタにより、所定の電圧を印加する。これにより、第2のトランジスタ18がオン状態となる。

[0166] 次に、読み出し対象のメモリセル14に接続されたビット線BLを列セレクタ(図示せず)により選択する。これにより、列セレクタに選択されたビット線BLが、読み出し回路(図示せず)に接続される。読み出し対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれている場合には、ビット線BLに比較的小さい電流が流れる。一方、読み出し対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれている場合には、ビット線BLに比較的大きい電流が流れる。読み出し回路は、ビット線BLに流れる電流をセンスアンプにより検出し、抵抗記憶素子10が低抵抗状態であるか高抵抗状態であるかを判断する。即ち、読み出し回路は、ビット線BLに流れる電流に基づいて、抵抗記憶素子10に書き込まれた情報を読み出す。

[0167] このように、抵抗体16が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0168] [第3実施形態]

本発明の第3実施形態による不揮発性半導体記憶装置について図13を用いて説明する。図13は、本実施形態による不揮発性半導体記憶装置の回路図である。図14は、本実施形態による不揮発性半導体記憶装置の構造を示す断面図である。図1乃至図12に示す第1又は第2実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0169] 本実施形態による不揮発性半導体記憶装置は、読み出しを行う際に抵抗記憶素子10に対して並列に接続される抵抗体20が不純物拡散層により構成されていることに主な特徴がある。

[0170] (不揮発性半導体記憶装置の回路構成)

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図13を用いて説明する。

[0171] 図13に示すように、各々のメモリセル14において、抵抗記憶素子10の一方の端部はビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗

記憶素子10の他方の端部は、第1のトランジスタ12のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0172] また、各々のメモリセル14において、第1のトランジスタ12のソース／ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。また、各々のメモリセル14において、第1のトランジスタ12のゲート電極、即ち、ゲート端子は、ワード線WL1に電気的に接続されている。

[0173] 各々のメモリセル14において、メモリセル14に対して並列に抵抗体20が接続されており、抵抗体20に対して直列に第2のトランジスタ18が接続されている。

[0174] 各々のメモリセル14において、抵抗体20の一方の端部は、抵抗記憶素子10の一方の端部及びビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗体20の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0175] また、各々のメモリセル14において、第2のトランジスタ18のソース／ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。また、各々のメモリセル14において、第2のトランジスタ18のゲート電極、即ち、ゲート端子は、第2のワード線WL2に電気的に接続されている。

[0176] メモリセル14に対して並列に接続された抵抗体20の抵抗値は、抵抗記憶素子10の低抵抗状態の抵抗値に対して十分大きく、抵抗記憶素子10の高抵抗状態の抵抗の最低値に対して十分に小さく設定されている。低抵抗状態の抵抗記憶素子10の抵抗値は、例えば1kΩである。一方、高抵抗状態の抵抗記憶素子10の抵抗の最低値は、例えば100kΩである。ここでは、抵抗体20の抵抗値を、例えば10kΩとする。

[0177] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0178] (不揮発性半導体記憶装置の構造)

次に、本実施形態による不揮発性半導体記憶装置の構造を図14を用いて説明する。

[0179] 図14に示すように、半導体基板30上には、素子領域を確定する素子分離領域32が形成されている。

[0180] 素子領域が画定された半導体基板30上には、ゲート絶縁膜を介して、ワード線W

L1とワード線WL2とが形成されている。ワード線WL1は、第1のトランジスタのゲート電極34aを兼ねるものである。ワード線WL2は、第2のトランジスタのゲート電極34bを兼ねるものである。ワード線WL1及びワード線WL2は、図7の紙面垂直方向に延在している。

[0181] ワード線WL1の両側の半導体基板30内には、ソース／ドレイン拡散層36，38が形成されている。

[0182] ワード線WL1を兼ねるゲート電極34aとソース／ドレイン拡散層36，38とにより第1のトランジスタ12が構成されている。

[0183] ワード線WL2の一方の側の半導体基板30内には、ソース／ドレイン拡散層36が形成されている。第1のトランジスタ12の一方のソース／ドレイン拡散層36と第2のトランジスタ18の一方のソース／ドレイン拡散層36とは、共通のソース／ドレイン拡散層36により構成されている。

[0184] ワード線WL2の他方の側の半導体基板30内には、不純物拡散層より成る抵抗体20が形成されている。かかる不純物拡散層20は、第2のトランジスタのソース／ドレイン拡散層として機能するとともに、読み出しを行う際に抵抗記憶素子10に対して並列に接続される抵抗体20としても機能するものである。抵抗体として機能する不純物拡散層20における不純物濃度は、ソース／ドレイン拡散層36，38における不純物濃度より低く設定されている。不純物拡散層20における不純物濃度をソース／ドレイン拡散層36，38における不純物濃度より低く設定しているのは、不純物拡散層20における抵抗値を比較的大きく設定するためである。不純物拡散層より成る抵抗体20の抵抗値は、低抵抗状態における抵抗記憶素子10の抵抗値に対して十分に大きく、高抵抗状態における抵抗記憶素子10の抵抗値に対して十分に小さく設定されている。なお、ソース／ドレイン拡散層36，38の抵抗値は、低抵抗状態における抵抗記憶素子10の抵抗値より小さくなっている。

[0185] ワード線WL2を兼ねるゲート電極34bと、ソース／ドレイン拡散層36と、抵抗体を兼ねるソース／ドレイン拡散層20とにより第2のトランジスタ18が構成されている。

[0186] 第1のトランジスタ12、第2のトランジスタ18及び抵抗体16が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0187] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48aと、不純物拡散層より成る抵抗体20に接続されたコンタクトプラグ48bとが埋め込まれている。

[0188] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL）と、コンタクトプラグ48aを介してソース／ドレイン拡散層38に電気的に接続された中継配線52aと、コンタクトプラグ48bを介して抵抗体20に電気的に接続された中継配線52aとが形成されている。ソース線50は、ワード線WL1，WL2に並行するように形成されており、紙面垂直方向に延在している。

[0189] ソース線50及び中継配線52aが形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ58が埋め込まれている。

[0190] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成されている。

[0191] 抵抗記憶素子10が形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、上部電極64に接続されたコンタクトプラグ72が埋め込まれている。また、層間絶縁膜68及び層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ73が埋め込まれている。

[0192] コンタクトプラグ72，73が埋め込まれた層間絶縁膜68上には、ビット線74（BL）が形成されている。ビット線74は、紙面左右方向に延在している。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ73等を介して抵抗体20に電気的に接続されている。

[0193] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0194] このように、読み出しを行う際に抵抗記憶素子10に対して並列に接続される抵抗体20が不純物拡散層により構成されていてもよい。

[0195] なお、本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0196] （不揮発性半導体記憶装置の製造方法）

次に、本実施形態による不揮発性半導体記憶装置の製造方法を図15乃至図18を用いて説明する。図15乃至図18は、本実施形態による不揮発性半導体記憶装置の製造方法を示す工程断面図である。

[0197] まず、図15(a)に示すように、半導体基板30内に、例えばSTI法により、素子領域を確定する素子分離領域32を形成する。

[0198] 次に、通常のMOSトランジスタの製造方法と同様にして、半導体基板30上に、ゲート絶縁膜を介してゲート電極34a、34bを形成する。

[0199] 次に、全面に、スピンコート法により、フォトレジスト膜76を形成する。

[0200] 次に、フォトリソグラフィ技術を用い、ソース／ドレイン拡散層36，38が形成される領域を露出する開口部78をフォトレジスト膜76に形成する。

[0201] 次に、例えばイオン注入法により、フォトレジスト膜76及びゲート電極34a，34bをマスクとして、半導体基板30内にドーパント不純物を導入する(図15(b)参照)。これにより、ゲート電極34aとソース／ドレイン拡散層36，38とを有する第1のトランジスタ12が形成される。この後、フォトレジスト膜76を剥離する。

[0202] 次に、全面に、スピンコート法により、フォトレジスト膜80を形成する。

[0203] 次に、フォトリソグラフィ技術を用い、抵抗体として機能する不純物拡散層20が形成される領域を露出する開口部82をフォトレジスト膜80に形成する。

[0204] 次に、例えばイオン注入法により、フォトレジスト膜80及びゲート電極34bをマスクとして、半導体基板30内にドーパント不純物を導入する(図15(c)参照)。これにより、ゲート電極34bと、ソース／ドレイン拡散層36と、抵抗体として機能するソース／ドレイン拡散層20とを有する第2のトランジスタ18が形成される。この後、フォトレジスト膜80を剥離する(図16(a)参照)。

[0205] 次に、例えばCVD法により、第1のトランジスタ12、第2のトランジスタ18及び抵抗体20が形成された半導体基板30上に、シリコン酸化膜を形成する。

[0206] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。こうして、シリコン酸化膜より成る層間絶縁膜40が形成される。

[0207] 次に、フォトリソグラフィ技術を用い、ソース／ドレイン拡散層36に達するコンタクトホ

ール41a、ソース／ドレイン拡散層38に達するコンタクトホール41b、抵抗体20の端部に達するコンタクトホール41cを、層間絶縁膜40に形成する。

[0208] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0209] 次に、例えばエッチバックを行うことにより、コンタクトホール41a～41c内に、タングステンより成るコンタクトプラグ46、48a、48bをそれぞれ埋め込む（図16（b）参照）。

[0210] 次に、例えばCVD法により、コンタクトプラグ46、48a、48bが埋め込まれた層間絶縁膜40上に、導電膜を形成する。

[0211] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るソース線50（SL）及び中継配線52aが形成される（図16（c）参照）。

[0212] 次に、例えばCVD法により、ソース線50及び中継配線52aが形成された層間絶縁膜40上に、シリコン酸化膜を形成する。

[0213] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。これにより、シリコン酸化膜より成る層間絶縁膜54が形成される。

[0214] 次に、フォトリソグラフィ技術を用い、層間絶縁膜54に、中継配線52aに達するコンタクトホール56を形成する。

[0215] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0216] 次に、例えばエッチバックを行うことにより、コンタクトホール56内に、タングステンより成るコンタクトプラグ58を埋め込む（図17（a）参照）。

[0217] 次に、例えばスパッタリング法により、コンタクトプラグ58が埋め込まれた層間絶縁膜54上に、例えばプラチナ膜を形成する。かかるプラチナ膜は、抵抗記憶素子10の下部電極80となるものである。

[0218] 次に、プラチナ膜上に、例えばレーザアブレーション法、ゾルゲル法、スパッタリング法、MOCVD法等により、$NiO_x$膜を形成する。かかる$NiO_x$膜は、抵抗記憶素子の抵抗記憶層62となるものである。

[0219] 次に、例えばスパッタリング法により、$NiO_x$膜上に、例えばプラチナ膜を形成する。かかるプラチナ膜は、抵抗記憶素子10の上部電極84となるものである。

[0220] こうして、プラチナ膜と$NiO_x$膜とプラチナ膜とから成る積層膜が形成される。

[0221] 次に、フォトリソグラフィ技術を用い、積層膜をパターニングする。こうして、プラチナ

膜より成る下部電極60と、$NiO_x$膜より成る抵抗記憶層62と、プラチナ膜より成る上部電極64とを有する抵抗記憶素子10が形成される(図17(b)参照)。

[0222] 次に、例えばCVD法により、抵抗記憶素子10が形成された層間絶縁膜54上に、シリコン酸化膜を形成する。

[0223] 次に、例えばCMP法により、シリコン酸化膜の表面を平坦化する。こうして、シリコン酸化膜より成る層間絶縁膜68が形成される。

[0224] 次に、フォトリソグラフィ技術を用い、抵抗記憶素子10の上部電極64に達するコンタクトホール69aと中継配線52cに達するコンタクトホール69bとを形成する。

[0225] 次に、例えばCVD法により、バリア膜及びタングステン膜を形成する。

[0226] 次に、エッチバックを行うことにより、コンタクトホール69a, 69b内にタングステン膜より成るコンタクトプラグ72, 73を埋め込む(図18(a)参照)。

[0227] 次に、例えばスパッタリング法により、コンタクトプラグ72, 73が埋め込まれた層間絶縁膜68上に、導電膜を形成する。

[0228] 次に、フォトリソグラフィ技術を用い、導電膜をパターニングする。これにより、導電膜より成るビット線74が形成される(図18(b)参照)。

[0229] こうして、本実施形態による不揮発性半導体記憶装置が製造される。

[0230] [第4実施形態]

本発明の第4実施形態による不揮発性半導体記憶装置について図19を用いて説明する。図19は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図1乃至図18に示す第1乃至第3実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0231] 本実施形態による不揮発性半導体記憶装置は、不純物拡散層より成る抵抗体20が、第2実施形態による不揮発性半導体記憶装置の抵抗体16と同様に、同一の列に存在する複数のメモリセル14により共用されるように構成されていることに主な特徴がある。

[0232] 図19に示すように、各々の列において、不純物拡散層より成る抵抗体20の一方の端部は、ビット線BLに電気的に接続されている。即ち、同一の列に存在する各々の

抵抗記憶素子10の一方の端部は、ビット線BLを介して共通の抵抗体20に接続されている。

[0233] また、各々の列において、不純物拡散層より成る抵抗体20の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0234] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0235] このように、不純物拡散層より成る抵抗体20が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0236] 本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第2実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0237] ［第5実施形態］

本発明の第5実施形態による不揮発性半導体記憶装置について図20及び図21を用いて説明する。図20は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図21は、本実施形態による不揮発性半導体記憶装置を示す断面図である。図1乃至図19に示す第1乃至第4実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0238] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10と同様の積層構造より成る他の抵抗記憶素子により抵抗体22が構成されていることに主な特徴がある。

[0239] （不揮発性半導体記憶装置の回路構成）

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図20を用いて説明する。

[0240] 図20に示すように、各々のメモリセル14において、メモリセル14に対して並列に抵抗体22が接続されており、抵抗体22に対して直列に第2のトランジスタ18が接続されている。

[0241] 各々のメモリセル14において、抵抗体22の一方の端部は、抵抗記憶素子10の一

方の端部及びビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗体16の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0242] 抵抗体22は、抵抗記憶素子10と同様の積層構造より成る他の抵抗記憶素子により構成されている。抵抗体22として用いる抵抗記憶素子としては、フォーミング処理を行っていない初期状態の抵抗記憶素子、即ち、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子を用いることができる。初期状態の抵抗記憶素子の抵抗値が高抵抗状態の抵抗記憶素子の抵抗値より小さい場合、又は、高抵抗状態の抵抗記憶素子の抵抗の最低値と同等である場合には、初期状態の抵抗記憶素子を抵抗体22として用いることができる。

[0243] 初期状態の抵抗記憶素子の抵抗値が高抵抗状態の抵抗記憶素子の抵抗の最低値より大きい場合には、抵抗記憶素子より成る抵抗体22の抵抗値が、高抵抗状態の抵抗記憶素子10の抵抗の最低値と同等になるように、抵抗体22に対して書き込みを行えばよい。高抵抗状態の抵抗記憶素子10の抵抗の最低値と同等の抵抗値に設定された抵抗体22に対して再度の書き込みを行わなければ、抵抗体22の抵抗値は高抵抗状態の抵抗記憶素子10の抵抗の最低値と同様のまま維持される。従って、かかる抵抗体22は、読み出し電流のばらつきの低減に寄与し得る。

[0244] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0245] （不揮発性半導体記憶装置の構造）

次に、本実施形態による不揮発性半導体記憶装置の構造について図21を用いて説明する。

[0246] 図21に示すように、半導体基板30上には、素子領域を確定する素子分離領域32が形成されている。

[0247] 素子領域が画定された半導体基板30上には、ゲート絶縁膜を介して、ワード線WL1とワード線WL2とが形成されている。ワード線WL1は、第1のトランジスタのゲート電極34aを兼ねるものである。ワード線WL2は、第2のトランジスタのゲート電極34bを兼ねるものである。

[0248] ワード線WL1の両側の半導体基板30内及びワード線WL2の両側の半導体基板3

0内には、ソース／ドレイン拡散層36，38が形成されている。

[0249] ワード線WL1を兼ねるゲート電極34aとソース／ドレイン拡散層36，38とにより第1のトランジスタ12が構成されている。

[0250] また、ワード線WL2を兼ねるゲート電極34bとソース／ドレイン拡散層36，38とにより第2のトランジスタ18が構成されている。

[0251] 第1のトランジスタ12の一方のソース／ドレイン拡散層36と第2のトランジスタ18の一方のソース／ドレイン拡散層36とは、共通のソース／ドレイン拡散層36により構成されている。

[0252] 第1のトランジスタ12及び第2のトランジスタ18が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0253] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48aと、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48bとが埋め込まれている。

[0254] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL）と、コンタクトプラグ48aを介してソース／ドレイン拡散層38に電気的に接続された中継配線52aと、コンタクトプラグ48bを介してソース／ドレイン拡散層38に接続された中継配線52aとが形成されている。

[0255] ソース線50及び中継配線52aが形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ58が埋め込まれている。

[0256] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成されている。抵抗記憶素子10は、コンタクトプラグ58等を介してソース／ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62と、抵抗記憶層62上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62の材料としては、例えば$NiO_x$が用いられている。

[0257] また、コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10と同様の構造の抵抗記憶素子より成る抵抗体22が形成されている。抵抗体22は、コ

ンタクトプラグ58等を介してソース／ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62と、抵抗記憶層62上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62の材料としては、例えば$NiO_x$が用いられている。

[0258] 抵抗記憶素子10及び抵抗体22が形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、抵抗記憶素子10の上部電極64に接続されたコンタクトプラグ72と、抵抗体22の上部電極64に接続されたコンタクトプラグ72とが埋め込まれている。

[0259] コンタクトプラグ72が埋め込まれた層間絶縁膜68上には、ビット線74（BL）が形成されている。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ72を介して抵抗体22の上部電極に電気的に接続されている。

[0260] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0261] このように、抵抗記憶素子10と同様の構造の抵抗記憶素子により抵抗体22を構成してもよい。

[0262] 本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0263] ［第6実施形態］

本発明の第6実施形態による不揮発性半導体記憶装置について図22を用いて説明する。図22は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図1乃至図21に示す第1乃至第5実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0264] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10と同様の構造の抵抗記憶素子より成る抵抗体22が、第2実施形態による不揮発性半導体記憶装置の抵抗体16と同様に、同一の列に存在する複数のメモリセル14により共用されるよう

に構成されていることに主な特徴がある。

[0265] 図22に示すように、各々の列において、抵抗記憶素子より成る抵抗体22の一方の端部は、ビット線BLに電気的に接続されている。即ち、同一の列に存在する各々の抵抗記憶素子10の一方の端部は、ビット線BLを介して共通の抵抗体22に接続されている。

[0266] また、各々の列において、抵抗記憶素子より成る抵抗体22の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0267] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0268] このように、抵抗記憶素子より成る抵抗体22が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0269] 本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第2実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0270] ［第7実施形態］

本発明の第7実施形態による不揮発性半導体記憶装置について図23及び図24を用いて説明する。図23は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図24は、本実施形態による不揮発性半導体記憶装置を示す断面図である。図1乃至図22に示す第1乃至第6実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0271] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10の素子面積より素子面積が大きい他の抵抗記憶素子により抵抗体24が構成されていることに主な特徴がある。

[0272] （不揮発性半導体記憶装置の回路構成）

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図23を用いて説明する。

[0273] 図23に示すように、各々のメモリセル14において、メモリセル14に対して並列に抵

抗体24が接続されており、抵抗体24に対して直列に第2のトランジスタ18が接続されている。

[0274] 各々のメモリセル14において、抵抗体24の一方の端部は、抵抗記憶素子10の一方の端部及びビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗体16の他方の端部は、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0275] 抵抗体24は、素子面積が抵抗記憶素子10の素子面積より大きい抵抗記憶素子により構成されている。即ち、抵抗体24は、下部電極60と上部電極64との対向面積が抵抗記憶素子10より大きい抵抗記憶素子により構成されている。

[0276] 図3を用いて上述したように、抵抗記憶素子において抵抗の変化が生じる領域（フィラメント領域）67は、抵抗記憶素子のうちの一部の領域であると考えられている。抵抗記憶素子の等価回路は、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$とが並列に接続されたものと考えることができる。従って、抵抗記憶素子における下部電極60と上部電極64との対向面積を十分に大きく設定すれば、抵抗記憶素子の抵抗値を小さくすることが可能となる。

[0277] 本実施形態では、抵抗体24における下部電極60と上部電極64との対向面積S1が、抗記憶素子10における下部電極60と上部電極64との対向面積S2より大きく設定されているため、抵抗体24の抵抗値を抵抗記憶素子10の抵抗値より小さくすることが可能となる。

[0278] 抵抗体24における下部電極60と上部電極64との対向面積をS1、抵抗記憶素子10における下部電極60と上部電極64との対向面積をS2とすると、対向面積S1は対向面積S2の5倍以上とすることが望ましい。対向面積S1を対向面積S2の5倍以上とすれば、抵抗体24の抵抗値を抵抗記憶素子10の抵抗値に対して十分に小さくすることができる。

[0279] 抵抗体24として用いる抵抗記憶素子としては、フォーミング処理を行っていない初期状態の抵抗記憶素子、即ち、高抵抗状態と低抵抗状態とを可逆的に切り換え可能な抵抗記憶特性を発現していない抵抗記憶素子を用いることができる。初期状態の抵抗記憶素子より成る抵抗体24の抵抗値が、高抵抗状態の抵抗記憶素子10の抵

抗値より小さい場合には、初期状態の抵抗記憶素子を抵抗体24として用いることができる。

[0280] 初期状態の抵抗記憶素子より成る抵抗体24の抵抗値が、高抵抗状態の抵抗記憶素子10の抵抗の最低値より大きい場合には、抵抗記憶素子より成る抵抗体24の抵抗値が、高抵抗状態の抵抗記憶素子10の抵抗の最低値より小さくなるように、抵抗体24に対して書き込みを行えばよい。高抵抗状態の抵抗記憶素子10の抵抗の最低値より抵抗値が小さく設定された抵抗体24に対して再度の書き込みを行わなければ、抵抗体24の抵抗値は、高抵抗状態の抵抗記憶素子10の抵抗の最低値より小さいまま維持される。

[0281] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0282] (不揮発性半導体記憶装置の構造)

次に、本実施形態による不揮発性半導体記憶装置の構造について図24を用いて説明する。

[0283] 図24に示すように、コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成されている。抵抗記憶素子10は、コンタクトプラグ58等を介してソース/ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62と、抵抗記憶層62上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62の材料としては、例えば$NiO_x$が用いられている。

[0284] また、コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、下部電極60と上部電極64との対向面積が抵抗記憶素子10より大きい抵抗記憶素子より成る抵抗体24が形成されている。抵抗体24は、コンタクトプラグ58等を介してソース/ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62と、抵抗記憶層62上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62の材料としては、例えば$NiO_x$が用いられている。

[0285] 抵抗記憶素子10及び抵抗体24が形成された層間絶縁膜54上には、層間絶縁膜

68が形成されている。層間絶縁膜68には、抵抗記憶素子10の上部電極64に接続されたコンタクトプラグ72と、抵抗体24の上部電極64に接続されたコンタクトプラグ72とが埋め込まれている。

[0286] コンタクトプラグ72が埋め込まれた層間絶縁膜68上には、ビット線74(BL)が形成されている。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ72を介して抵抗体24の上部電極に電気的に接続されている。

[0287] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0288] このように、下部電極60と上部電極64との対向面積が抵抗記憶素子10より大きい抵抗記憶素子を抵抗体24として用いてもよい。

[0289] 本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0290] [第8実施形態]

本発明の第8実施形態による不揮発性半導体記憶装置について図25を用いて説明する。図25は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図1乃至図24に示す第1乃至第7実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0291] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10より素子面積が大きい他の抵抗記憶素子より成る抵抗体24が、第2実施形態による不揮発性半導体記憶装置の抵抗体16と同様に、同一の列に存在する複数のメモリセル14により共用されるように構成されていることに主な特徴がある。

[0292] 図25に示すように、各々の列において、抵抗記憶素子より成る抵抗体24の一方の端部は、ビット線BLに電気的に接続されている。即ち、同一の列に存在する各々の抵抗記憶素子10の一方の端部は、ビット線BLを介して共通の抵抗体24に接続されている。

[0293] また、各々の列において、抵抗記憶素子より成る抵抗体24の他方の端部は、第2

のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0294] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0295] このように、抵抗記憶素子より成る抵抗体24が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0296] 本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法は、第2実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法と同様であるので、省略する。

[0297] ［第9実施形態］

本発明の第9実施形態による不揮発性半導体記憶装置について図26及び図27を用いて説明する。図26は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図27は、本実施形態による不揮発性半導体記憶装置を示す断面図である。図1乃至図25に示す第1乃至第8実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0298] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10に書き込まれた情報を読み出す際に、第2のトランジスタ18のオン抵抗（チャネル抵抗）を制御することにより、抵抗記憶素子10に対して並列に抵抗体を接続することに主な特徴がある。

[0299] （不揮発性半導体記憶装置の回路構成）

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図26を用いて説明する。

[0300] 図26に示すように、各々のメモリセル14において、メモリセル14に対して並列に第2のトランジスタ18が接続されている。

[0301] 各々のメモリセル14において、第2のトランジスタ18のソース／ドレイン拡散層の一方、即ち、ドレイン端子は、抵抗記憶素子10の一方の端部及びビット線BLに電気的に接続されている。

[0302] 第2のトランジスタ18のソース／ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。

[0303] 本実施形態では、抵抗記憶素子10に書き込まれた情報を読み出す際に、第2のトランジスタ18のソース－ドレイン間の抵抗値（オン抵抗）が、低抵抗状態の抵抗記憶素子10の抵抗値に対して十分に大きく、高抵抗状態の抵抗記憶素子10の抵抗値に対して十分に小さく成るように、第2のトランジスタ18のゲート端子に電圧を印加する。

[0304] 本実施形態によっても、抵抗記憶素子10に書き込まれた情報を読み出す際に、抵抗値が比較的小さく且つ抵抗値のばらつきが小さい抵抗体が、メモリセル14に対して並列に接続されるため、読み出し電流のばらつきを低減することができる。

[0305] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0306] （不揮発性半導体記憶装置の構造）

次に、本実施形態による不揮発性半導体記憶装置の構造について図27を用いて説明する。

[0307] 図27に示すように、半導体基板30上には、ゲート電極34aとソース／ドレイン拡散層36，38を有する第1のトランジスタ12と、ゲート電極34bとソース／ドレイン拡散層36，38とを有する第2のトランジスタ18が形成されている。

[0308] 第1のトランジスタ12及び第2のトランジスタ18が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0309] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48aと、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48bとが埋め込まれている。

[0310] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL）と、コンタクトプラグ48aを介してソース／ドレイン拡散層38に電気的に接続された中継配線52aと、コンタクトプラグ48bを介してソース／ドレイン拡散層38に接続された中継配線52aとが形成されている。

[0311] ソース線50及び中継配線52aが形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ58が埋め込まれている。

[0312] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10が形成

されている。

[0313] 抵抗記憶素子10が形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、抵抗記憶素子10の上部電極64に接続されたコンタクトプラグ72が埋め込まれている。また、層間絶縁膜68及び層間絶縁膜54には、中継配線52aに接続されたコンタクトプラグ73が埋め込まれている。

[0314] コンタクトプラグ72，73が埋め込まれた層間絶縁膜68上には、ビット線74（BL）が形成されている。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。また、ビット線74は、コンタクトプラグ73等を介して第2のトランジスタ18のソース／ドレイン拡散層38に電気的に接続されている。

[0315] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0316] 本実施形態による不揮発性半導体記憶装置の書き込み方法は、第1実施形態による不揮発性半導体記憶装置の書き込み方法と同様であるため、説明を省略する。

[0317] （読み出し方法）

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図26を用いて説明する。

[0318] メモリセル14の抵抗記憶素子10に書き込まれた情報を読み出す際には、読み出し対象のメモリセル14に接続されたワード線WL1を行セレクタ（図示せず）により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL1に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、読み出し対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0319] また、読み出し対象のメモリセル14に接続されたワード線WL2に図示しない行セレクタ（制御回路）を用いて電圧を印加する。この際、第2のトランジスタのソース－ドレイン間の抵抗（オン抵抗）が、低抵抗状態の抵抗記憶素子10の抵抗値に対して十分に大きく、且つ、高抵抗状態の抵抗記憶素子10の抵抗値に対して十分に小さくなるように、ワード線WL2に印加する電圧を適宜制御する。これにより、第2のトランジスタのソース－ドレイン間の抵抗（抵抗体）が、メモリセル14に対して並列に接続される。

[0320] 次に、読み出し対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せ

ず）により選択する。これにより、列セレクタに選択されたビット線BLが、読み出し回路（図示せず）に接続される。読み出し対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれている場合には、ビット線BLに比較的小さい電流が流れる。一方、読み出し対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれている場合には、ビット線BLに比較的大きい電流が流れる。読み出し回路は、ビット線BLに流れる電流をセンスアンプにより検出し、抵抗記憶素子10が低抵抗状態であるか高抵抗状態であるかを判断する。即ち、読み出し回路は、ビット線BLに流れる電流に基づいて、抵抗記憶素子10に書き込まれた情報を読み出す。

[0321] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10に書き込まれた情報を読み出す際に、第2のトランジスタ18のソース－ドレイン間の抵抗を制御することにより、抵抗記憶素子10に対して並列に抵抗体を接続するようにしてもよい。

[0322] ［第10実施形態］

本発明の第10実施形態による不揮発性半導体記憶装置について図28を用いて説明する。図28は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図1乃至図27に示す第1乃至第9実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0323] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10に書き込まれた情報を読み出す際に抵抗記憶素子10に対して並列に接続される第2のトランジスタ18が、同一の列に存在する複数のメモリセル14により共用されるように構成されていることに主な特徴がある。

[0324] 図28に示すように、各々の列において、第2のトランジスタ18のソース－ドレインかの一方、即ち、ドレイン端子は、ビット線BLに電気的に接続されている。即ち、同一の列に存在する各々の抵抗記憶素子10の一方の端部は、ビット線BLを介して共通の第2のトランジスタ18に接続されている。

[0325] また、各々の列において、第2のトランジスタ18のソース／ドレイン拡散層の他方、即ち、ソース端子は、ワード線WL2に電気的に接続されている。

[0326] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0327] このように、第2のトランジスタ18が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0328] 本実施形態による不揮発性半導体記憶装置の書き込み方法は、第2実施形態による不揮発性半導体記憶装置の書き込み方法と同様であるので、説明を省略する。

[0329] (読み出し方法)

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図28を用いて説明する。

[0330] メモリセル14の抵抗記憶素子10に書き込まれた情報を読み出す際には、読み出し対象のメモリセル14に接続されたワード線WL1, WL3, WL4…を行セレクタ(図示せず)により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL1, WL3, WL4…に、行セレクタにより、所定の電圧を印加する。また、ソース線SL1, SL2を、所定の基準電位、例えば接地電位に接続する。これにより、読み出し対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0331] また、第2のトランジスタ18に接続されたワード線WL2に行セレクタ(図示せず)を用いて電圧を印加する。この際、第2のトランジスタのソース－ドレイン間の抵抗(オン抵抗)が、低抵抗状態の抵抗記憶素子10の抵抗値に対して十分に大きく、且つ、高抵抗状態の抵抗記憶素子10の抵抗値に対して十分に小さくなるように、ワード線WL2に印加する電圧を適宜制御する。これにより、第2のトランジスタのソース－ドレイン間の抵抗(抵抗体)が、メモリセル14に対して並列に接続される。

[0332] 次に、読み出し対象のメモリセル14に接続されたビット線BLを列セレクタ(図示せず)により選択する。これにより、列セレクタに選択されたビット線BLが、読み出し回路(図示せず)に接続される。読み出し対象のメモリセル14の抵抗記憶素子10に高抵抗状態が書き込まれている場合には、ビット線BLに比較的小さい電流が流れる。一方、読み出し対象のメモリセル14の抵抗記憶素子10に低抵抗状態が書き込まれている場合には、ビット線BLに比較的大きい電流が流れる。読み出し回路は、ビット線BLに流れる電流をセンスアンプにより検出し、抵抗記憶素子10が低抵抗状態であるか高抵抗状態であるかを判断する。即ち、読み出し回路は、ビット線BLに流れる電流に基づいて、抵抗記憶素子10に書き込まれた情報を読み出す。

[0333] このように、抵抗体16が、同一の列に存在する複数のメモリセル14により共用されるようにしてもよい。

[0334] [第11実施形態]

本発明の第11実施形態による不揮発性半導体記憶装置について図29を用いて説明する。図29は、本実施形態による不揮発性半導体記憶装置を示す回路図である。図30は、本実施形態による不揮発性半導体記憶装置の構造を示す断面図である。図1乃至図28に示す第1乃至第10実施形態による不揮発性半導体記憶装置及びその読み出し方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

[0335] 本実施形態による不揮発性半導体記憶装置は、抵抗記憶素子10aの抵抗記憶層62a内に、抵抗記憶層62aの電気抵抗を低減するためのドーパント不純物が導入されていることに主な特徴がある。

[0336] (不揮発性半導体記憶装置の回路構成)

まず、本実施形態による不揮発性半導体記憶装置の回路構成について図29を用いて説明する。

[0337] 図29に示すように、行方向(図面縦方向)には、複数のワード線WL1, WL2と、複数のソース線SLとが配されている。また、列方向(図面横方向)には、複数のビット線BLが配されている。

[0338] ワード線WL1, WL2とビット線BLとの各々の交差部には、抵抗記憶素子10aとトランジスタ(選択トランジスタ)12とを有するメモリセル14がそれぞれ形成されている。

[0339] 各々のメモリセル14において、抵抗記憶素子10aの一方の端部はビット線BLに電気的に接続されている。また、各々のメモリセル14において、抵抗記憶素子10の他方の端部は、トランジスタ12のソース/ドレイン拡散層の一方、即ち、ドレイン端子に電気的に接続されている。

[0340] また、各々のメモリセル14において、トランジスタ12のソース/ドレイン拡散層の他方、即ち、ソース端子は、ソース線SLに電気的に接続されている。列方向に隣接するメモリセル14のソース線SLは、共用されている。

[0341] また、各々のメモリセル14において、トランジスタ12のゲート電極、即ち、ゲート端

子は、ワード線WL1，WL2にそれぞれ電気的に接続されている。

[0342] ビット線BLの端部には、ビット線BLを適宜選択するための列セレクタ（図示せず）が接続されている。ワード線WL1，WL2…の端部には、ワード線WL1，WL2を適宜選択するための行セレクタ（図示せず）が接続されている。ソース線SLの端部には、ソース線SLを適宜接地するための他の行セレクタが接続されている。

[0343] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0344] （不揮発性半導体記憶装置の構造）

次に、本実施形態による不揮発性半導体記憶装置の構造について図30を用いて説明する。

[0345] 図30に示すように、半導体基板30上には、ゲート電極34とソース／ドレイン拡散層36，38を有するトランジスタ12が形成されている。

[0346] 第1のトランジスタ12が形成された半導体基板30上には、層間絶縁膜40が形成されている。

[0347] 層間絶縁膜40には、ソース／ドレイン拡散層36に接続されたコンタクトプラグ46と、ソース／ドレイン拡散層38に接続されたコンタクトプラグ48とが埋め込まれている。

[0348] 層間絶縁膜40上には、コンタクトプラグ46を介してソース／ドレイン拡散層36に電気的に接続されたソース線50（SL）と、コンタクトプラグ48を介してソース／ドレイン拡散層38に電気的に接続された中継配線52とが形成されている。

[0349] ソース線50及び中継配線52が形成された層間絶縁膜40上には、層間絶縁膜54が形成されている。層間絶縁膜54には、中継配線52に接続されたコンタクトプラグ58が埋め込まれている。

[0350] コンタクトプラグ58が埋め込まれた層間絶縁膜54上には、抵抗記憶素子10aが形成されている。抵抗記憶素子10aは、コンタクトプラグ58等を介してソース／ドレイン拡散層38に電気的に接続された下部電極60と、下部電極60上に形成された抵抗記憶材料より成る抵抗記憶層62aと、抵抗記憶層62a上に形成された上部電極64とを有している。下部電極60及び上部電極64の材料としては、例えばプラチナが用いられている。抵抗記憶層62aの材料としては、例えば$NiO_x$が用いられている。抵抗記憶素子62aには、抵抗記憶素子62aの電気抵抗を低減するためのドーパント不純

物が導入されている。$NiO_X$はP型の半導体であるため、抵抗記憶層62aにはP型のドーパント不純物が導入されている。

[0351] 図3乃至図5を用いて上述したように、フィラメント領域67を除く領域の抵抗$R_{excl}$がフィラメント領域67の抵抗$R_{fila}$に比べて十分に小さくなれば、フィラメント領域67の抵抗$R_{fila}$とフィラメント領域67を除く領域の抵抗$R_{excl}$との合成抵抗において、フィラメント領域67を除く領域の抵抗$R_{excl}$の抵抗値が支配的となる。フィラメント領域67を除く領域の抵抗$R_{excl}$の抵抗値はばらつきが極めて小さいため、フィラメント領域67を除く領域の面積を十分に大きく設定すれば、抵抗記憶素子における抵抗値のばらつきを十分に小さくすることが可能となる。本実施形態では、電気抵抗を低減するためのドーパント不純物が抵抗記憶層62aに導入されているため、フィラメント領域67を除く領域の抵抗$R_{excl}$を十分に小さくすることができ、高抵抗状態における抵抗値のばらつきの小さい抵抗記憶素子10aを得ることができる。

[0352] 抵抗記憶素子10aが形成された層間絶縁膜54上には、層間絶縁膜68が形成されている。層間絶縁膜68には、抵抗記憶素子10の上部電極64に接続されたコンタクトプラグ72が埋め込まれている。

[0353] コンタクトプラグ72が埋め込まれた層間絶縁膜68上には、ビット線74(BL)が形成されている。ビット線74は、コンタクトプラグ72を介して抵抗記憶素子10の上部電極64に電気的に接続されている。

[0354] こうして本実施形態による不揮発性半導体記憶装置が構成されている。

[0355] このように、本実施形態によれば、電気抵抗を低減するためのドーパント不純物が抵抗記憶層62aに導入されているため、フィラメント領域67(図3参照)を除く領域の抵抗$R_{excl}$を十分に小さくすることができ、高抵抗状態における抵抗値のばらつきの小さい抵抗記憶素子10aを得ることができる。従って、本実施形態によれば、読み出しエラーを効果的に防止しうる不揮発性半導体記憶装置を提供することができる。

[0356] 次に、本実施形態による不揮発性半導体記憶装置の書き込み方法及び読み出し方法について図29を用いて説明する。

[0357] (書き込み方法)

まず、抵抗記憶素子10aをリセットする場合、即ち、抵抗記憶素子10に高抵抗状態

を書き込む場合について図6を用いて説明する。

[0358] 抵抗記憶素子10aに高抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1，WL2を行セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1，WL2に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14のトランジスタ12がオン状態となる。

[0359] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線BLに、所定の電圧を所定時間だけ印加する。

[0360] こうして、書き込み対象のメモリセル14の抵抗記憶素子10aに高抵抗状態が書き込まれる。

[0361] 次に、抵抗記憶素子10aをセットする場合、即ち、抵抗記憶素子10aに低抵抗状態を書き込む場合について図29を用いて説明する。

[0362] 抵抗記憶素子10aに低抵抗状態を書き込む場合には、書き込み対象のメモリセル14に接続されたワード線WL1，WL2を行セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたワード線WL1，WL2に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、書き込み対象のメモリセル14のトランジスタ12がオン状態となる。

[0363] 次に、書き込み対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。具体的には、書き込み対象のメモリセル14に接続されたビット線BLに、所定の電圧を所定時間だけ印加する。

[0364] こうして、書き込み対象のメモリセル14の抵抗記憶素子10aに低抵抗状態が書き込まれる。

[0365] （読み出し方法）

次に、本実施形態による不揮発性半導体記憶装置の読み出し方法について図29を用いて説明する。

[0366] メモリセル14の抵抗記憶素子10aに書き込まれた情報を読み出す際には、読み出し対象のメモリセル14に接続されたワード線WL1，WL2を行セレクタ（図示せず）により選択する。具体的には、読み出し対象のメモリセル14に接続されたワード線WL1，WL2に、行セレクタにより、所定の電圧を印加する。また、ソース線SLを、所定の基準電位、例えば接地電位に接続する。これにより、読み出し対象のメモリセル14の第1のトランジスタ12がオン状態となる。

[0367] 次に、読み出し対象のメモリセル14に接続されたビット線BLを列セレクタ（図示せず）により選択する。これにより、列セレクタに選択されたビット線BLが、読み出し回路（図示せず）に接続される。読み出し対象のメモリセル14の抵抗記憶素子10aに高抵抗状態が書き込まれている場合には、ビット線BLに比較的小さい電流が流れる。一方、読み出し対象のメモリセル14の抵抗記憶素子10aに低抵抗状態が書き込まれている場合には、ビット線BLに比較的大きい電流が流れる。読み出し回路は、ビット線BLに流れる電流をセンスアンプにより検出し、抵抗記憶素子10aが低抵抗状態であるか高抵抗状態であるかを判断する。即ち、読み出し回路は、ビット線BLに流れる電流に基づいて、抵抗記憶素子10aに書き込まれた情報を読み出す。

[0368] [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

[0369] 例えば、上記実施形態では、抵抗記憶層62を構成する抵抗記憶材料として$NiO_x$を用いる場合を例に説明したが、抵抗記憶層62を構成する抵抗記憶材料は$NiO_x$に限定されるものではない。例えば、抵抗記憶層62を構成する抵抗記憶材料として、$TiO_x$、$SrTiO_x$、$YO_x$、$CeO_x$、$CoO_x$、$MgO_x$、$ZnO_x$、$ZrO_x$、$WO_x$、$NbO_x$、$TaO_x$、$CrO_x$、$MnO_x$、$AlO_x$、$VO_x$又は$SiO_x$等を用いることも可能である。

[0370] また、下部電極60及び上部電極64を構成する電極材料として、プラチナを用いる場合を例に説明したが、下部電極60及び上部電極64を構成する電極材料はプラチナに限定されるものではない。例えば、下部電極60及び上部電極64を構成する電極材料として、Ir、W、Ni、Au、Cu、Ag、Pd、Zn、Cr、Al、Mn、Ta、Si、TaN、TiN、Ru、ITO、NiO、IrO、SrRuO、$CoSi_2$、$WSi_2$、NiSi、$MoSi_2$、$TiSi_2$、Al－Si合金、Al－Cu合金又はAl－Si－Cu合金等を用いることも可能である。

[0371] また、第11実施形態では、$NiO_X$より成る抵抗記憶層62aにドーパント不純物としてLiを導入する場合を例に説明したが、抵抗記憶層62aに導入するドーパント不純物はLiに限定されるものではない。抵抗記憶層62aの材料としてN型の半導体を用いる場合には、N型のドーパント不純物を導入すればよい。また、抵抗記憶層62aの材料としてP型の半導体を用いる場合には、P型のドーパント不純物を導入すればよい。例えば、$TiO_2$、$SrTiO_3$、$ZnO_X$はN型の半導体であるため、これらの材料を抵抗記憶層62aの材料として用いる場合には、N型のドーパント不純物を抵抗記憶層62aに導入すればよい。例えば、$TiO_2$を抵抗記憶層62aの材料として用いる場合には、N型のドーパント不純物として例えばNb等を導入すればよい。また、$SrTiO_3$を抵抗記憶層62aの材料として用いる場合には、N型のドーパント不純物として例えばNb等を導入すればよい。また、$ZnO_X$を抵抗記憶層62aの材料として用いる場合には、N型のドーパント不純物として例えばAl、In、Ga等を導入すればよい。また、$SnO_X$を抵抗記憶層62aの材料として用いる場合には、ドーパント不純物として例えばSb等を導入すればよい。また、$CdO_X$を抵抗記憶層62aの材料として用いる場合には、ドーパント不純物として例えばIn等を導入すればよい。また、$In_2O_3$を抵抗記憶層62aの材料として用いる場合には、ドーパント不純物として例えばSn等を導入すればよい。また、$CoO_X$、$MnO_X$、$Bi_2O_3$、$Cr_2O_3$はP型の半導体であるため、これらの材料を抵抗記憶層62aの材料として用いる場合には、P型のドーパント不純物を抵抗記憶層62aに導入すればよい。$CoO_X$を抵抗記憶層62aの材料として用いる場合には、P型のドーパント不純物として例えばLi等を導入すればよい。また、$MnO_X$を抵抗記憶層62aの材料として用いる場合には、P型のドーパント不純物として例えばLi等を導入すればよい。また、$Bi_2O_3$を抵抗記憶層62aの材料として用いる場合には、P型のドーパント不純物として例えばBa等を導入すればよい。また、$Cr_2O_3$を抵抗記憶層62aの材料として用いる場合には、P型のドーパント不純物として例えばMg等を導入すればよい。

## 産業上の利用可能性

[0372] 本発明による不揮発性半導体記憶装置及びその読み出し方法は、読み出しエラーを効果的に防止し得る不揮発性半導体記憶装置及びその読み出し方法を提供する

のに有用である。

# 請求の範囲

[1] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、

前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の抵抗値より低い抵抗値を有し、前記抵抗記憶素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された抵抗体と

を有することを特徴とする不揮発性半導体記憶装置。

[2] 請求の範囲第1項記載の不揮発性半導体記憶装置において、

前記抵抗体は、ポリシリコン層より成る

ことを特徴とする不揮発性半導体記憶装置。

[3] 請求の範囲第1項記載の不揮発性半導体記憶装置において、

前記抵抗体は、不純物拡散層より成る

ことを特徴とする不揮発性半導体記憶装置。

[4] 請求の範囲第1項記載の不揮発性半導体記憶装置において、

前記抵抗体は、他の抵抗記憶素子より成り、

前記他の抵抗記憶素子の素子面積は、前記抵抗記憶素子の素子面積より大きい

ことを特徴とする不揮発性半導体記憶装置。

[5] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、

前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の最低の抵抗値以下の抵抗値を有する他の抵抗記憶素子より成る抵抗体であって、前記抵抗記憶素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された

抵抗体と

を有することを特徴とする不揮発性半導体記憶装置。

[6] 請求の範囲第1項乃至第5項のいずれか1項に記載の不揮発性半導体記憶装置において、

複数の前記メモリセルが、マトリクス状に配置されており、

前記抵抗体が、前記複数のメモリセルの各々に対して設けられている

ことを特徴とする不揮発性半導体記憶装置。

[7] 請求の範囲第1項乃至第5項のいずれか1項に記載の不揮発性半導体記憶装置において、

複数の前記メモリセルが、マトリクス状に配置されており、

同一の列に存在する複数の前記抵抗記憶素子の各々の前記一方の端部が、前記ビット線を介して、前記抵抗体の前記一方の端部に共通接続されている

ことを特徴とする不揮発性半導体記憶装置。

[8] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、

前記抵抗記憶素子の前記一方の端部及び前記ビット線にドレイン端子が接続され、前記ソース線にソース端子が接続された第2のトランジスタとを有し、

前記メモリセルに書き込まれた情報を読み出す際に、前記第2のトランジスタの前記ソース端子と前記第2のトランジスタの前記ドレイン端子との間の抵抗値が、前記低抵抗状態の前記抵抗記憶素子の抵抗値より大きく、前記高抵抗状態の前記抵抗記憶素子の抵抗値より小さくなるように、前記第2のトランジスタのゲート端子に電圧が印加される

ことを特徴とする不揮発性半導体記憶装置。

[9] 請求の範囲第8項記載の不揮発性半導体記憶装置において、

複数の前記メモリセルが、マトリクス状に配置されており、

前記第2のトランジスタが、前記複数のメモリセルの各々に対して設けられている

ことを特徴とする不揮発性半導体記憶装置。

[10] 請求の範囲第8項記載の不揮発性半導体記憶装置において、

複数の前記メモリセルが、マトリクス状に配置されており、

同一の列に存在する複数の前記抵抗記憶素子の各々の前記一方の端部が、前記ビット線を介して、前記第2のトランジスタの前記ドレイン端子に共通接続されている

ことを特徴とする不揮発性半導体記憶装置。

[11] 請求の範囲第1項乃至第10項のいずれか1項に記載の不揮発性半導体記憶装置において、

前記抵抗記憶素子は、第1の電極と、前記第1の電極上に形成された抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極とを有し、

前記抵抗記憶層は、$NiO_x$、$TiO_x$、$SrTiO_x$、$YO_x$、$CeO_x$、$CoO_x$、$MgO_x$、$ZnO_x$、$ZrO_x$、$WO_x$、$NbO_x$、$TaO_x$、$CrO_x$、$MnO_x$、$AlO_x$、$VO_x$又は$SiO_x$より成る

ことを特徴とする不揮発性半導体記憶装置。

[12] 請求の範囲第1項乃至第10項のいずれか1項に記載の不揮発性半導体記憶装置において、

前記抵抗記憶素子は、第1の電極と、前記第1の電極上に形成された抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極とを有し、

前記第1の電極又は前記第2の電極は、Pt、Ir、W、Ni、Au、Cu、Ag、Pd、Zn、Cr、Al、Mn、Ta、Si、TaN、TiN、Ru、ITO、NiO、IrO、SrRuO、$CoSi_2$、$WSi_2$、NiSi、$MoSi_2$、$TiSi_2$、Al－Si合金、Al－Cu合金又はAl－Si－Cu合金より成る

ことを特徴とする不揮発性半導体記憶装置。

[13] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルを有する不揮発性半導体記憶装置であって、

前記抵抗記憶素子は、第1の電極と、前記第1の電極上に形成された抵抗記憶層と、前記抵抗記憶層上に形成された第2の電極とを有し、

前記抵抗記憶層内に、前記抵抗記憶層の電気抵抗を低減するためのドーパント不

純物が導入されている

ことを特徴とする不揮発性半導体記憶装置。

[14] 請求の範囲第13項記載の不揮発性半導体記憶装置において、

前記抵抗記憶層は、$NiO_x$、$TiO_x$、$SrTiO_x$、$YO_x$、$CeO_x$、$CoO_x$、$MgO_x$、$ZnO_x$、$ZrO_x$、$WO_x$、$NbO_x$、$TaO_x$、$CrO_x$、$MnO_x$、$AlO_x$、$VO_x$又は$SiO_x$より成る

ことを特徴とする不揮発性半導体記憶装置。

[15] 請求の範囲第13項又は第14項記載の不揮発性半導体記憶装置において、

前記第1の電極又は前記第2の電極は、Pt、Ir、W、Ni、Au、Cu、Ag、Pd、Zn、Cr、Al、Mn、Ta、Si、TaN、TiN、Ru、ITO、NiO、IrO、SrRuO、$CoSi_2$、$WSi_2$、NiSi、$MoSi_2$、$TiSi_2$、Al－Si合金、Al－Cu合金又はAl－Si－Cu合金より成る

ことを特徴とする不揮発性半導体記憶装置。

[16] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、

前記低抵抗状態の前記抵抗記憶素子の抵抗値より高く、前記高抵抗状態の前記抵抗記憶素子の抵抗値より低い抵抗値を有し、前記抵抗記憶素子の前記一方の端部及び前記ビット線に一方の端部が接続され、他方の端部が第2のトランジスタを介して前記ソース線に接続された抵抗体と

を有する不揮発性半導体記憶装置の読み出し方法であって、

前記第1のトランジスタがオン状態となるように、前記第1のトランジスタのゲート端子に所定の電圧を印加し、前記第2のトランジスタがオン状態となるように、前記第2のトランジスタの前記第2のゲート端子に所定の電圧を印加し、前記ソース線を接地し、前記ビット線に所定の電圧を印加した際に前記ビット線に流れる情報に基づいて前記メモリセルに書き込まれた情報を読み出す

ことを特徴とする不揮発性半導体記憶装置の読み出し方法。

[17] 高抵抗状態と低抵抗状態とを記憶し、電圧の印加によって前記高抵抗状態と前記低抵抗状態とを切り換える抵抗記憶素子であって、一方の端部がビット線に接続され

、他方の端部が第1のトランジスタを介してソース線に接続された抵抗記憶素子を有するメモリセルと、

前記抵抗記憶素子の前記一方の端部及び前記ビット線にドレイン端子が接続され、前記ソース線にソース端子が接続された第2のトランジスタと

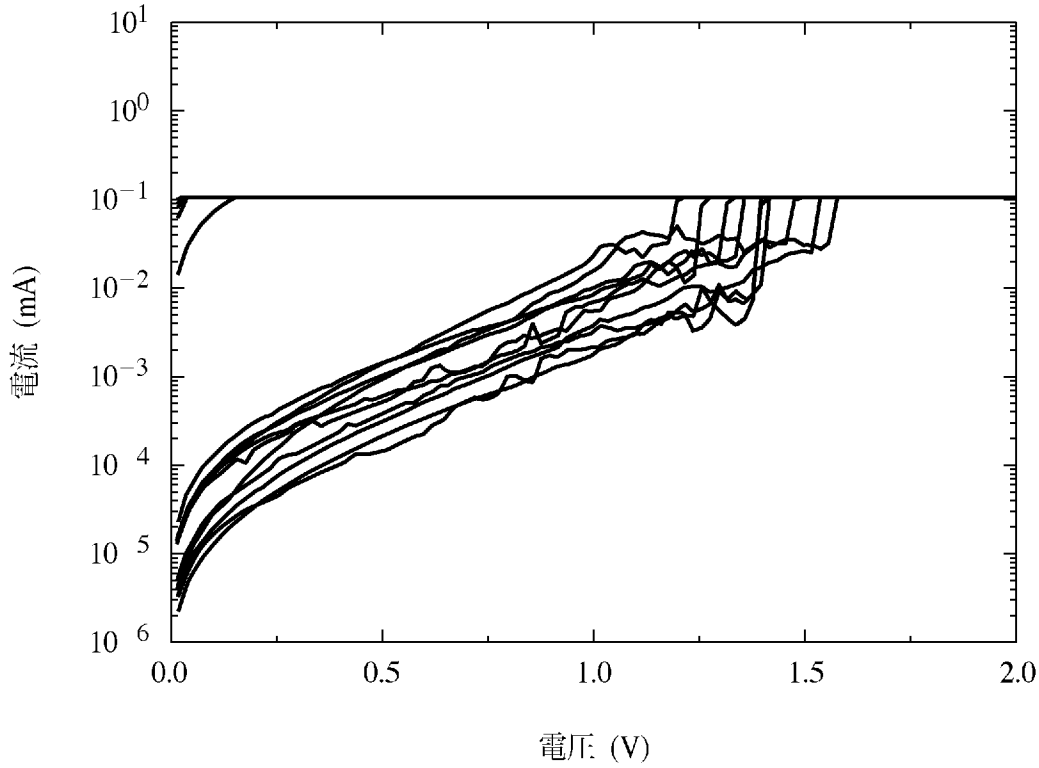
を有する不揮発性半導体記憶装置の読み出し方法であって、

前記第1のトランジスタがオン状態となるように前記第1のトランジスタのゲート端子に第1の電圧を印加し、前記第2のトランジスタの前記ソース端子と前記第2のトランジスタの前記ドレイン端子との間の抵抗値が、前記低抵抗状態の前記抵抗記憶素子の抵抗値より大きく、且つ、前記高抵抗状態の前記抵抗記憶素子の抵抗値より小さくなるように、前記第2のトランジスタのゲート端子に前記第1の電圧より低い第2の電圧を印加し、前記ソース線を接地し、前記ビット線に所定の電圧を印加した際に前記ビット線に流れる情報に基づいて前記メモリセルに書き込まれた情報を読み出す

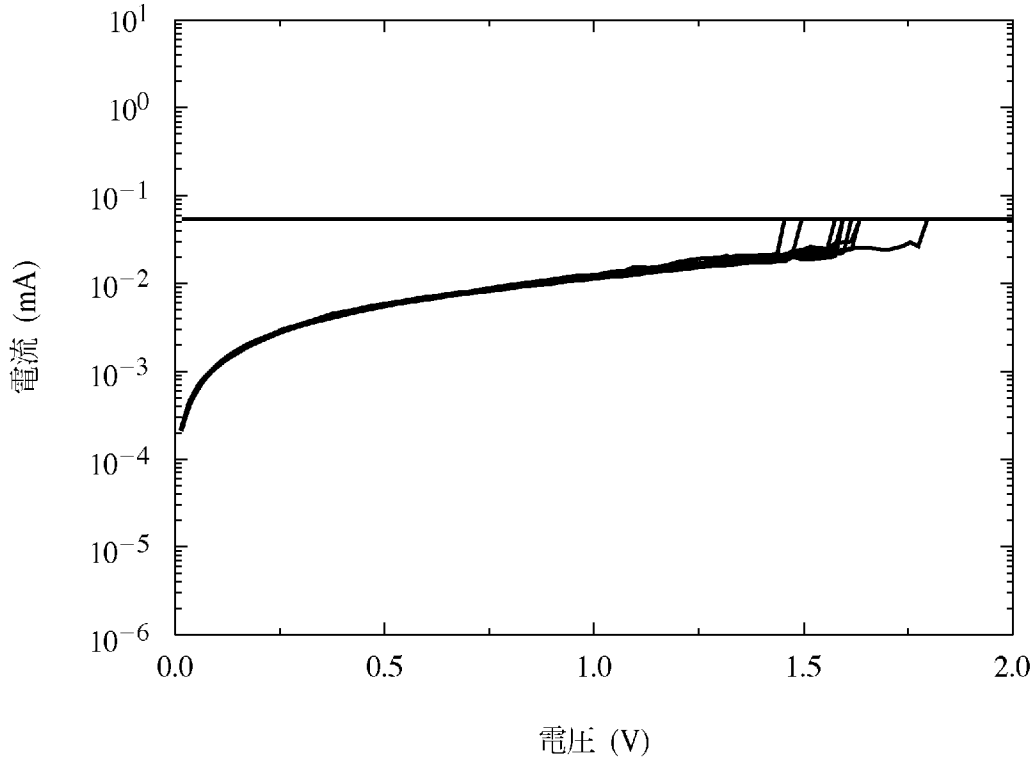
ことを特徴とする不揮発性半導体記憶装置の読み出し方法。

[図1]

(a)

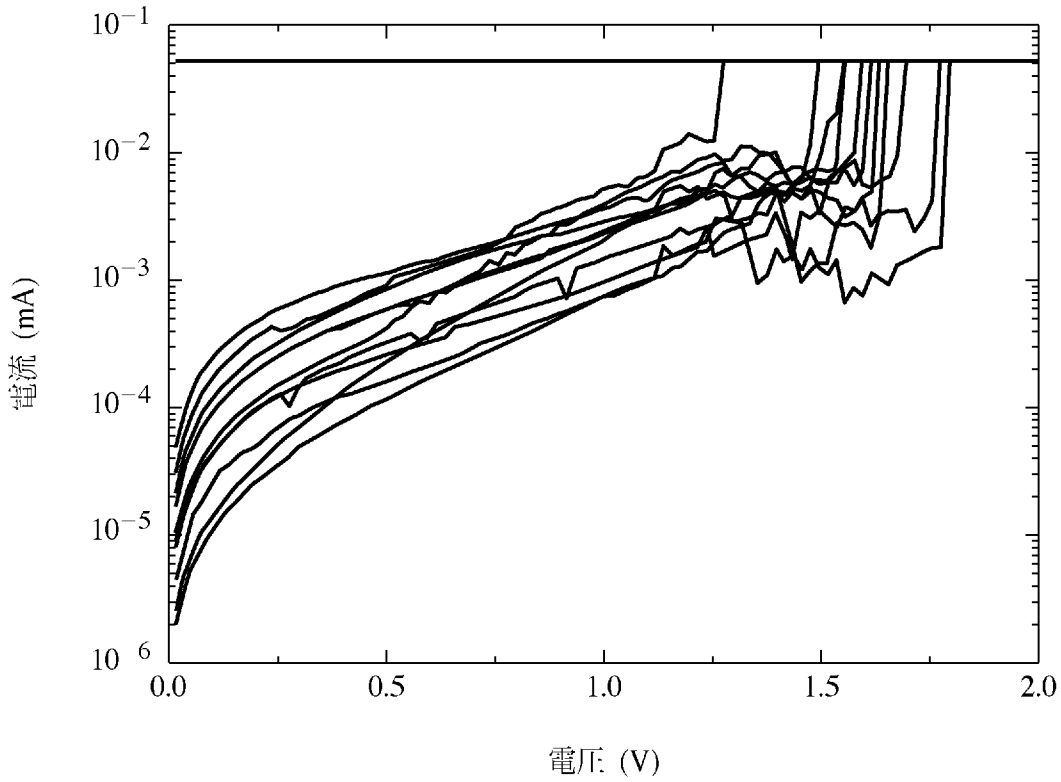



(b)

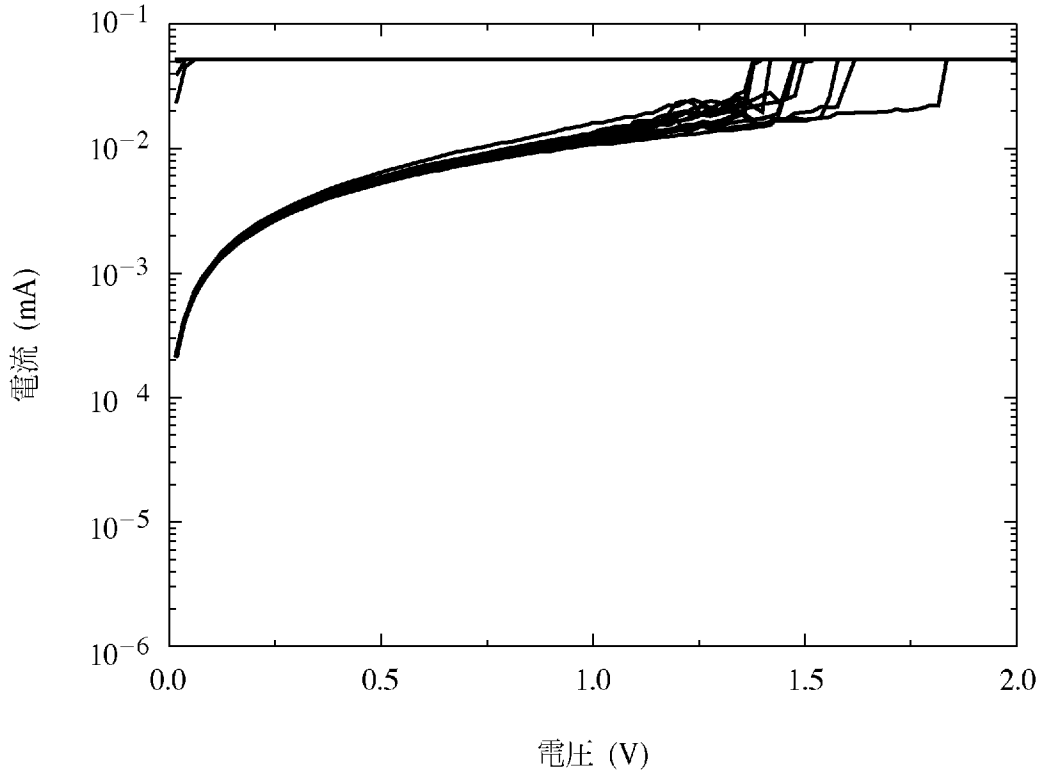


[図2]

(a)

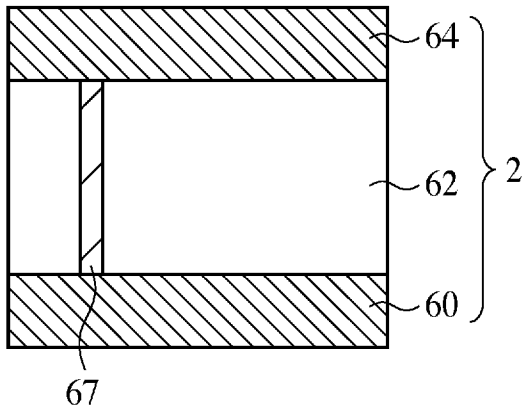

$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
電流 (mA)
0.0
0.5
1.0
1.5
2.0
電圧 (V)

(b)

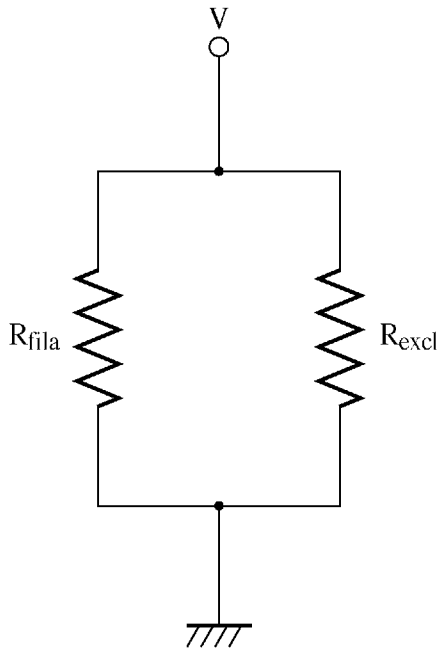

$10^{-1}$
$10^{-2}$
$10^{-3}$
$10^{-4}$
$10^{-5}$
$10^{-6}$
電流 (mA)
0.0
0.5
1.0
1.5
2.0
電圧 (V)

[図3]

(a)

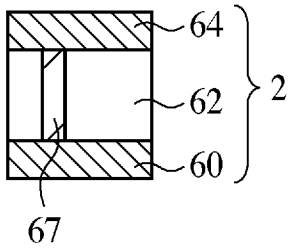



(b)

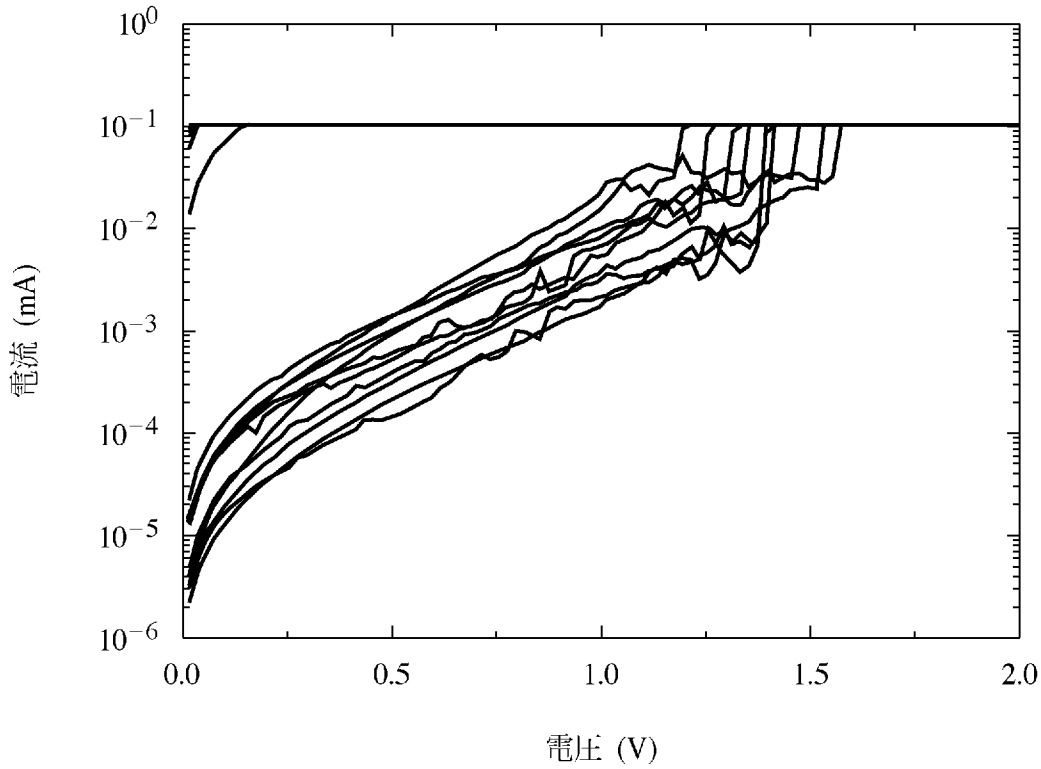


[図4]

(a)

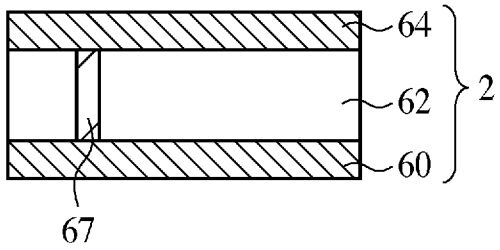



(b)

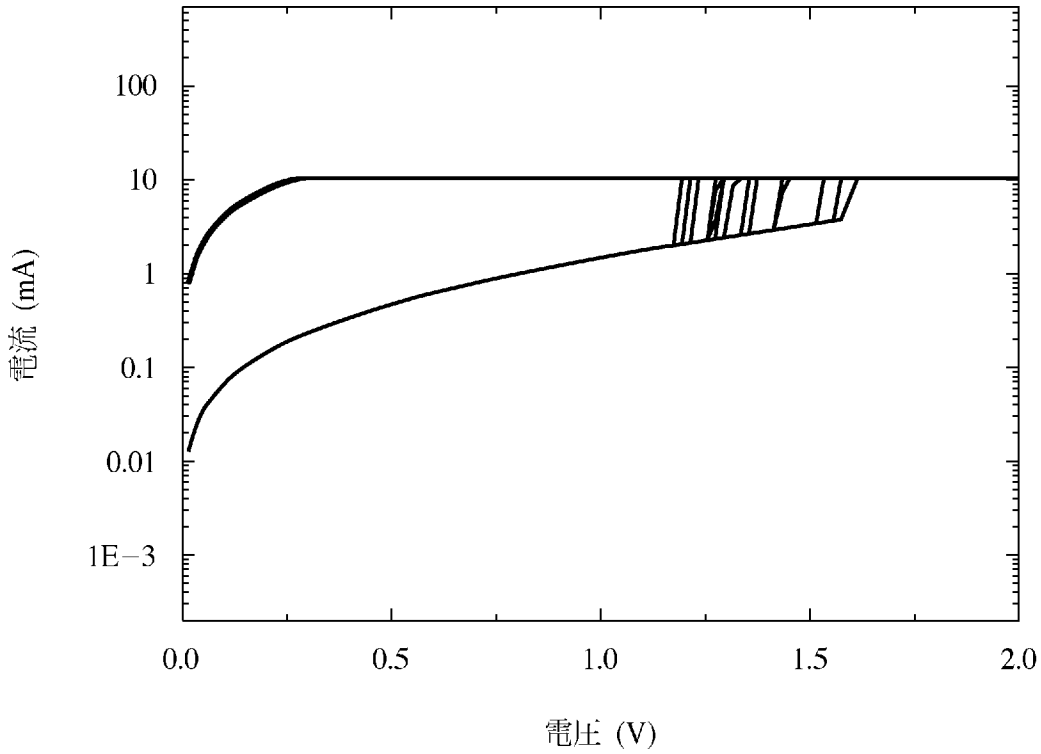


[図5]

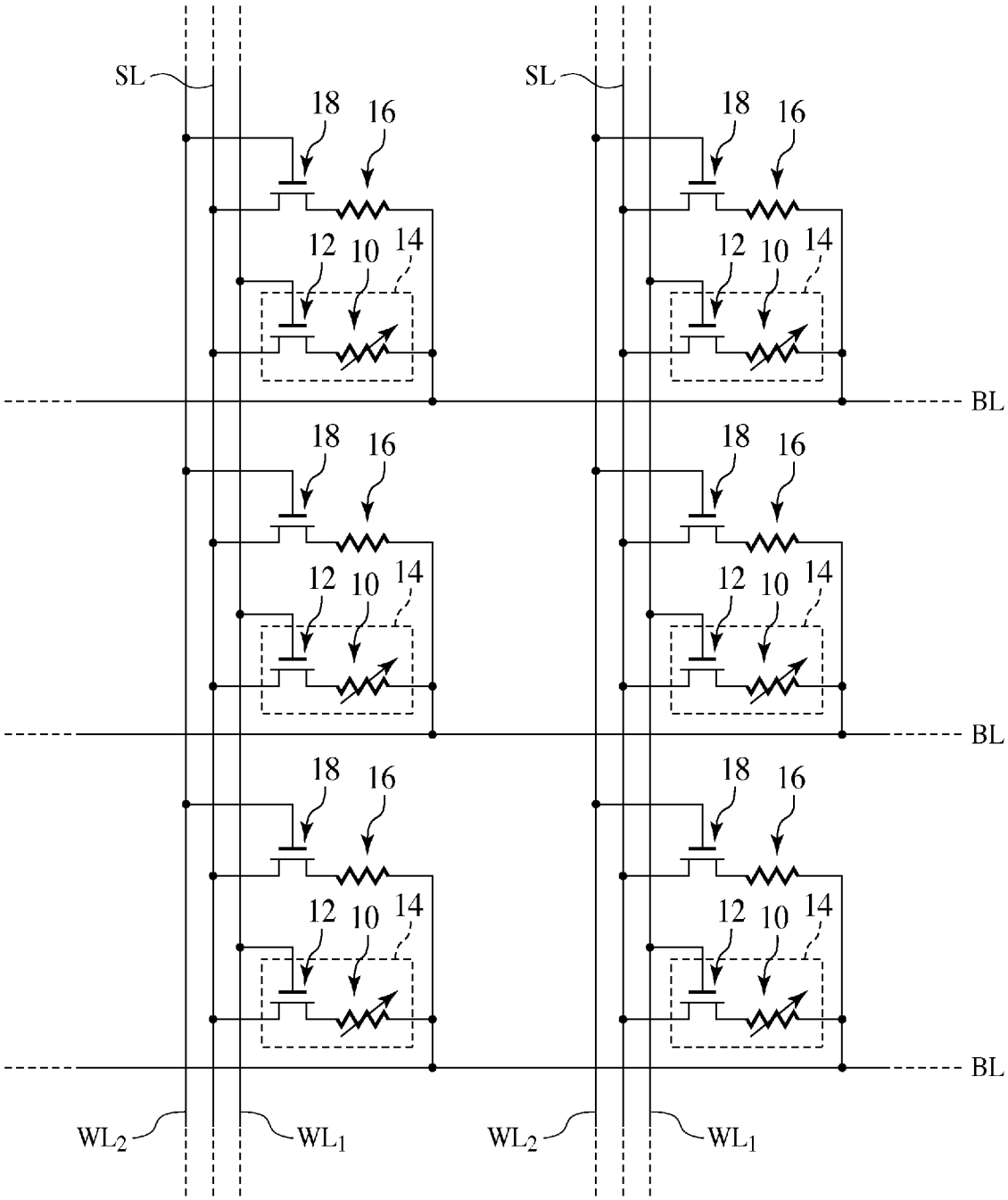
(a)



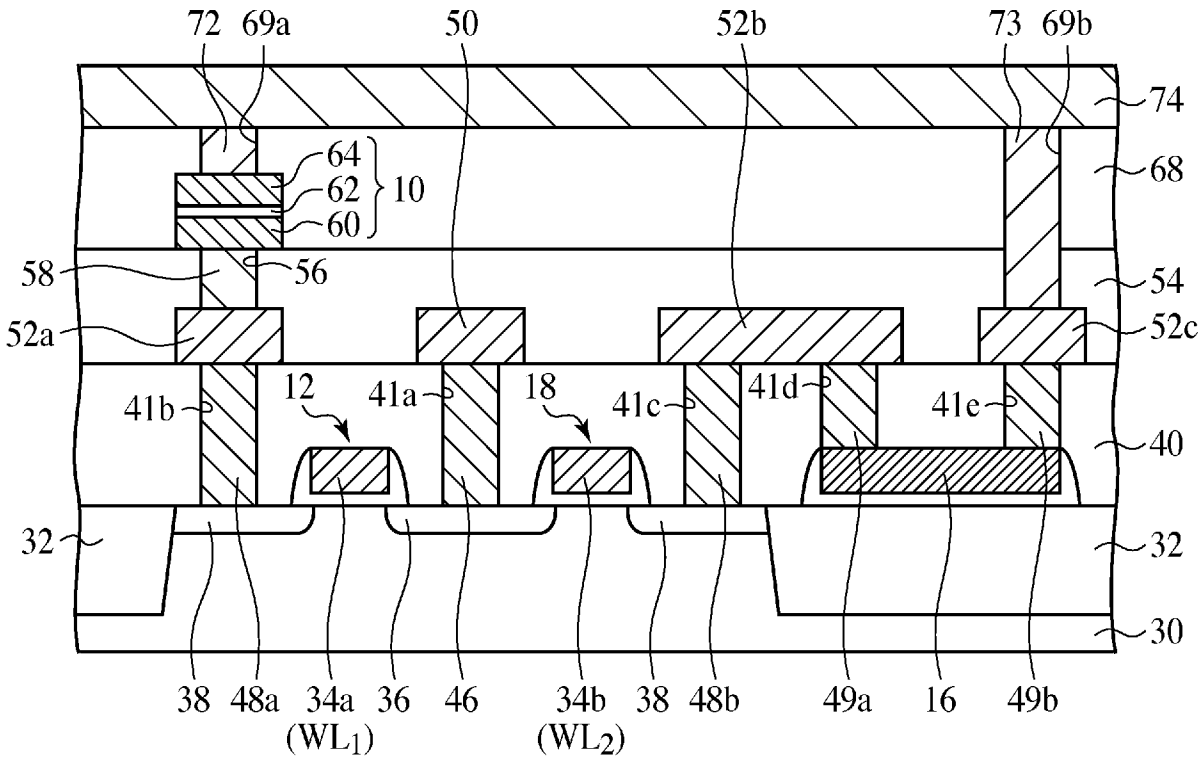

(b)



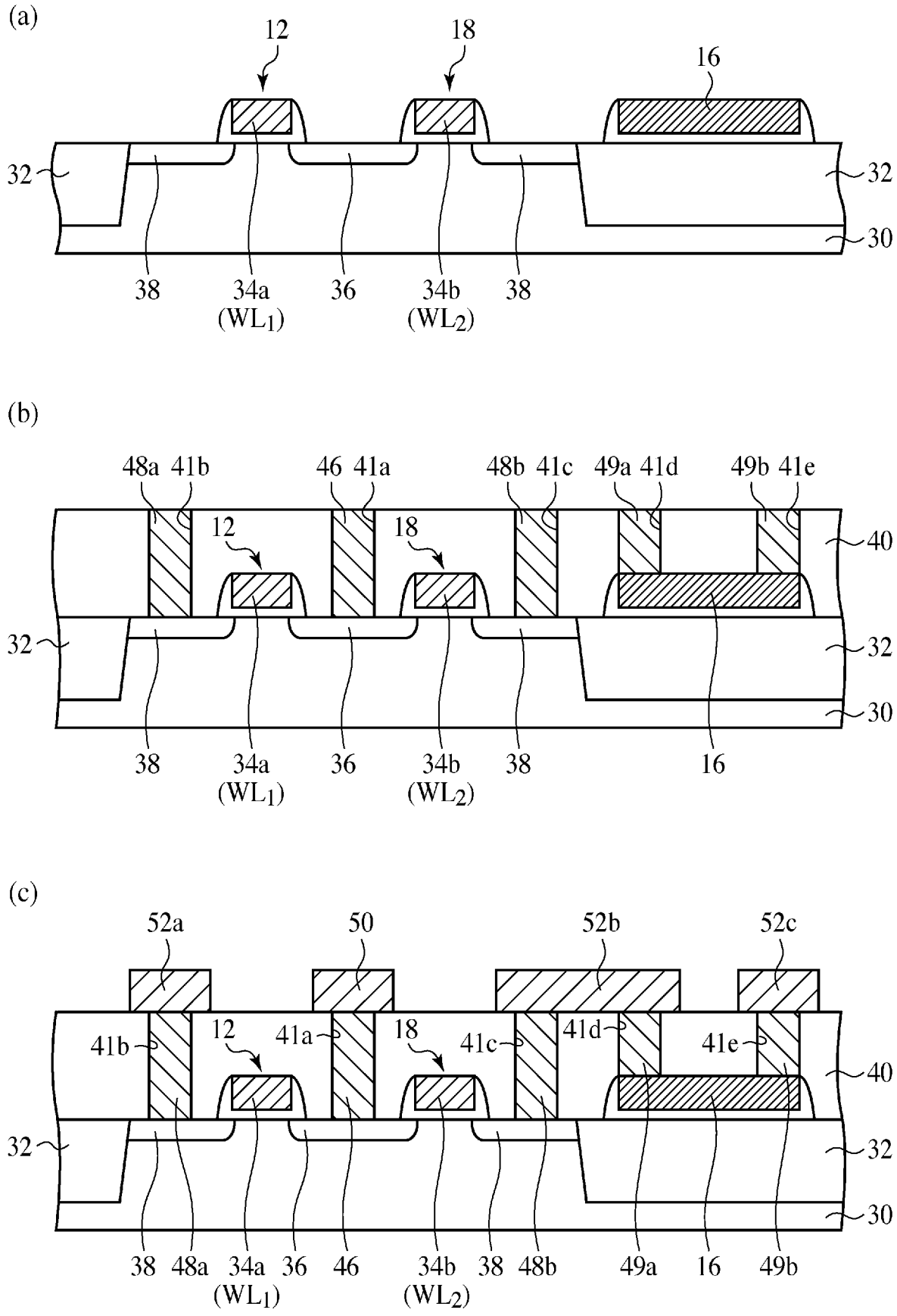
[図6]



[図7]

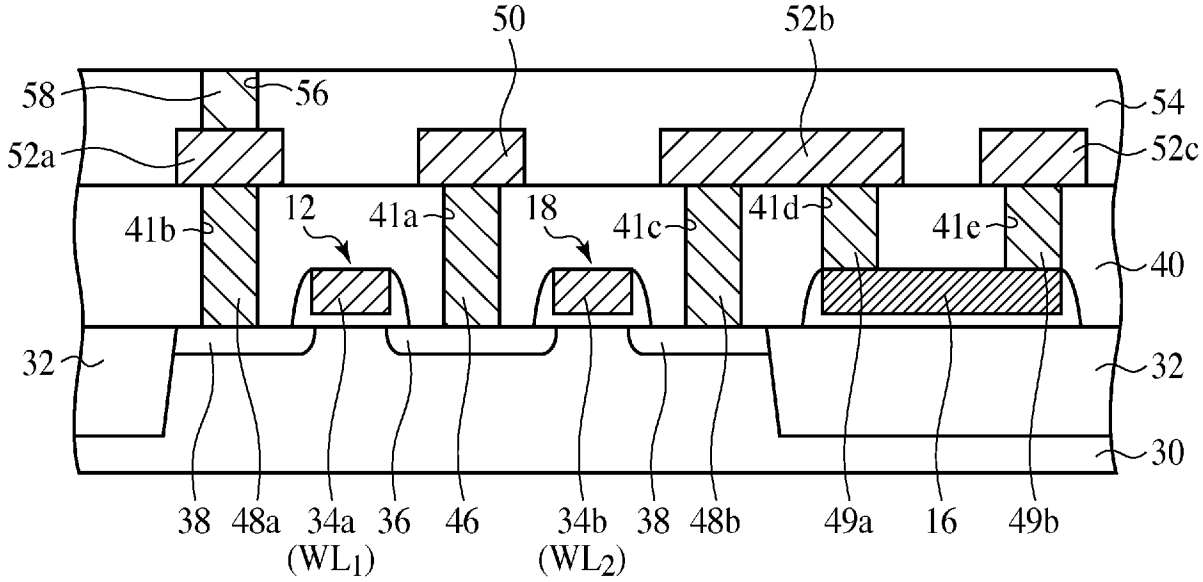

72
69a
50
52b
73
69b
74
64
62
60
10
68
58
56
54
52a
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
36
46
34b
38
48b
49a
16
49b
(WL1)
(WL2)

[図8]

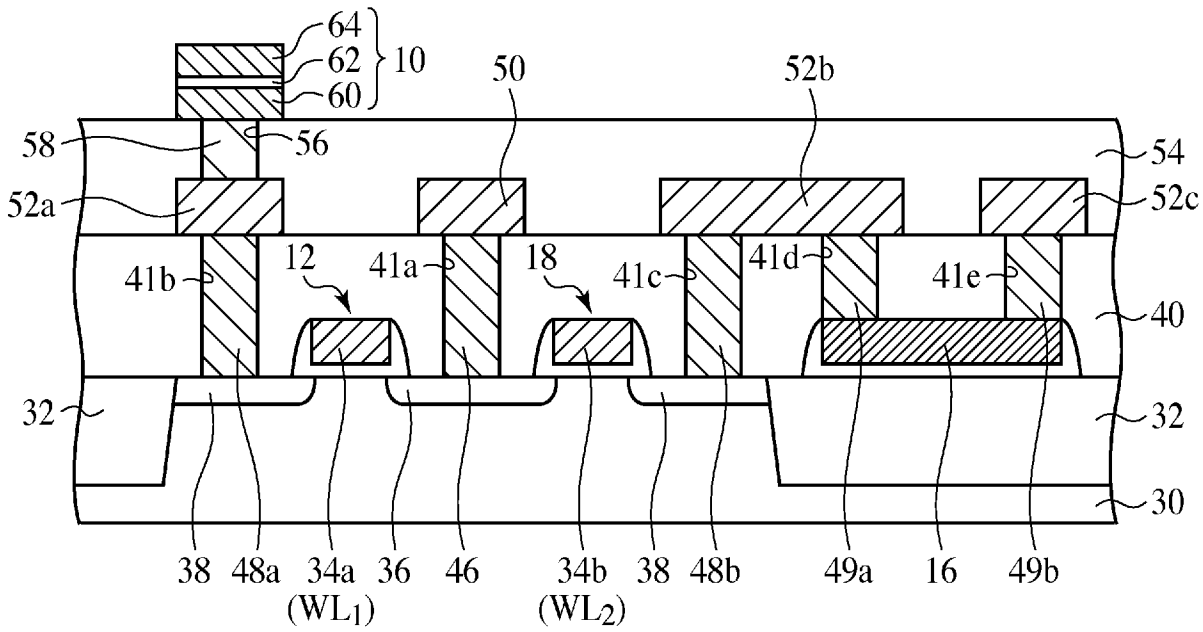

(a)
12
18
16
32
32
30
38
34a
(WL1)
36
34b
(WL2)
38
(b)
48a 41b
46 41a
48b 41c
49a 41d
49b 41e
12
18
40
32
32
30
38
34a
(WL1)
36
34b
(WL2)
38
16
(c)
52a
50
52b
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
(WL1)
36
46
34b
(WL2)
38
48b
49a
16
49b

[図9]

(a)

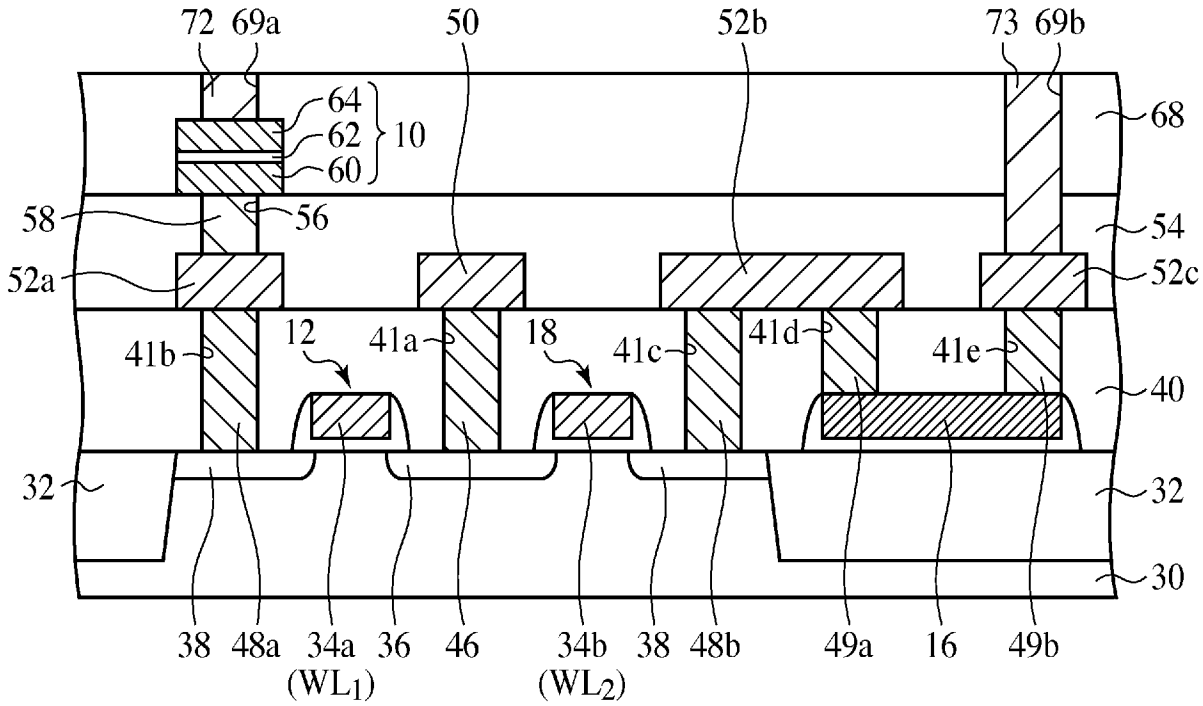

50
52b
58
56
54
52a
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
36
46
34b
38
48b
49a
16
49b
(WL1)
(WL2)

(b)

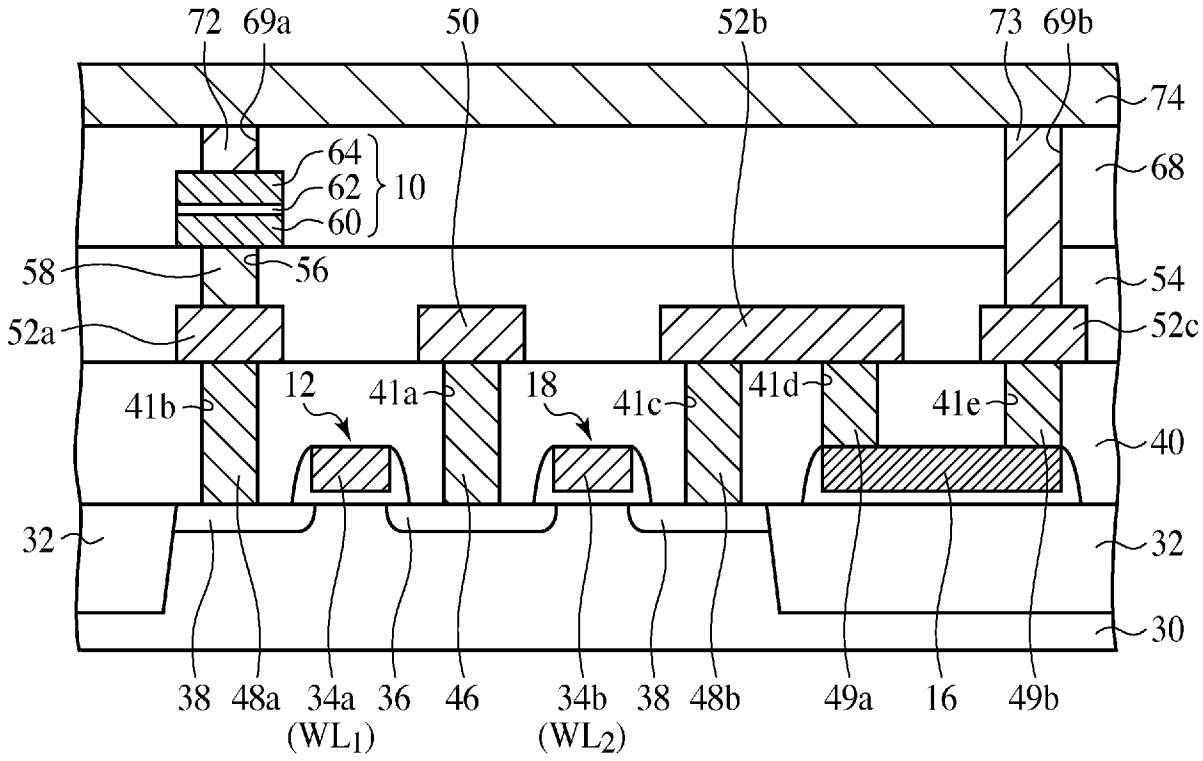

64
62
60
10
50
52b
58
56
54
52a
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
36
46
34b
38
48b
49a
16
49b
(WL1)
(WL2)

[図10]

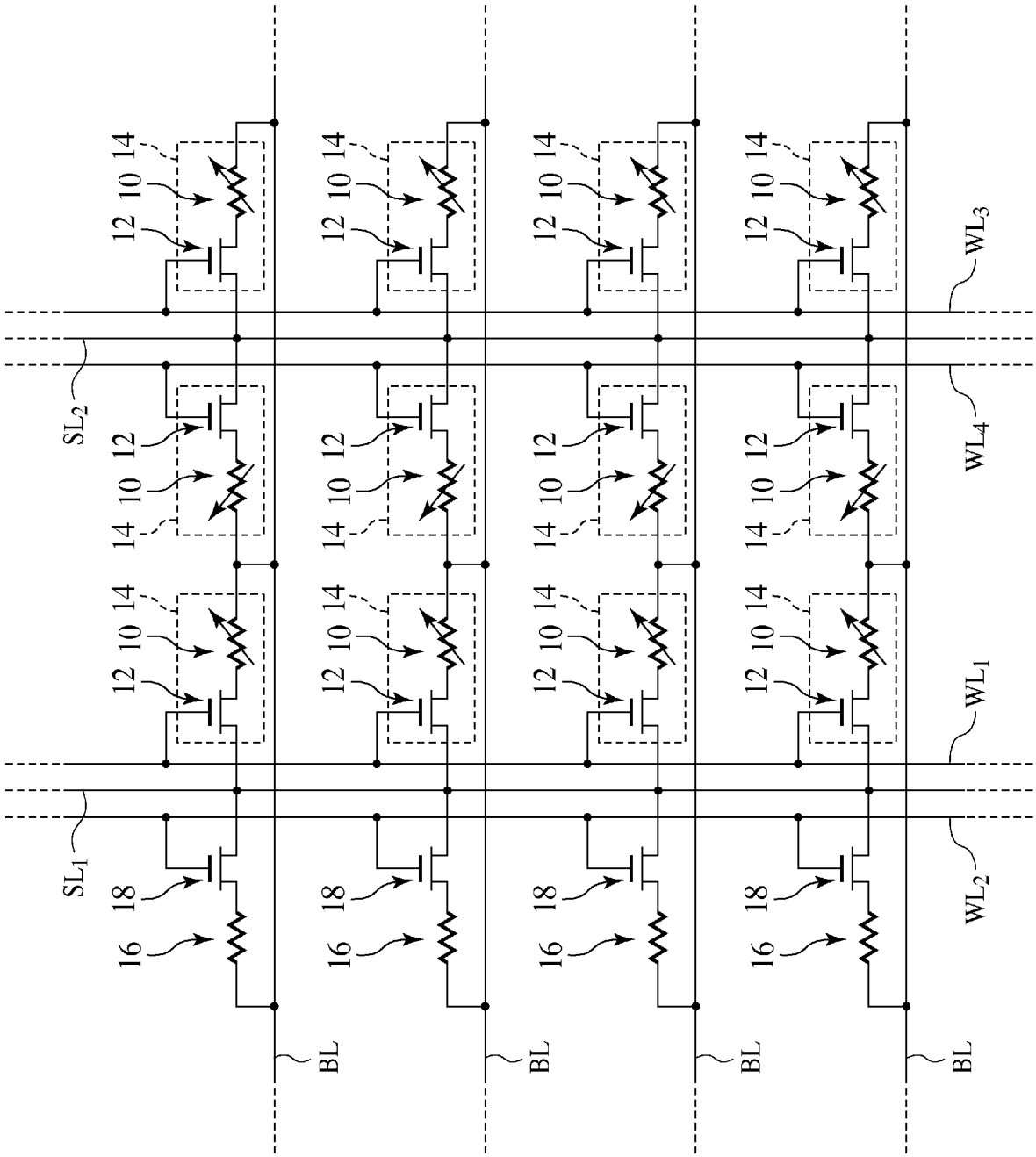
(a)


72
69a
50
52b
73
69b
64
62
60
10
68
58
56
54
52a
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
36
46
34b
38
48b
49a
16
49b
(WL1)
(WL2)

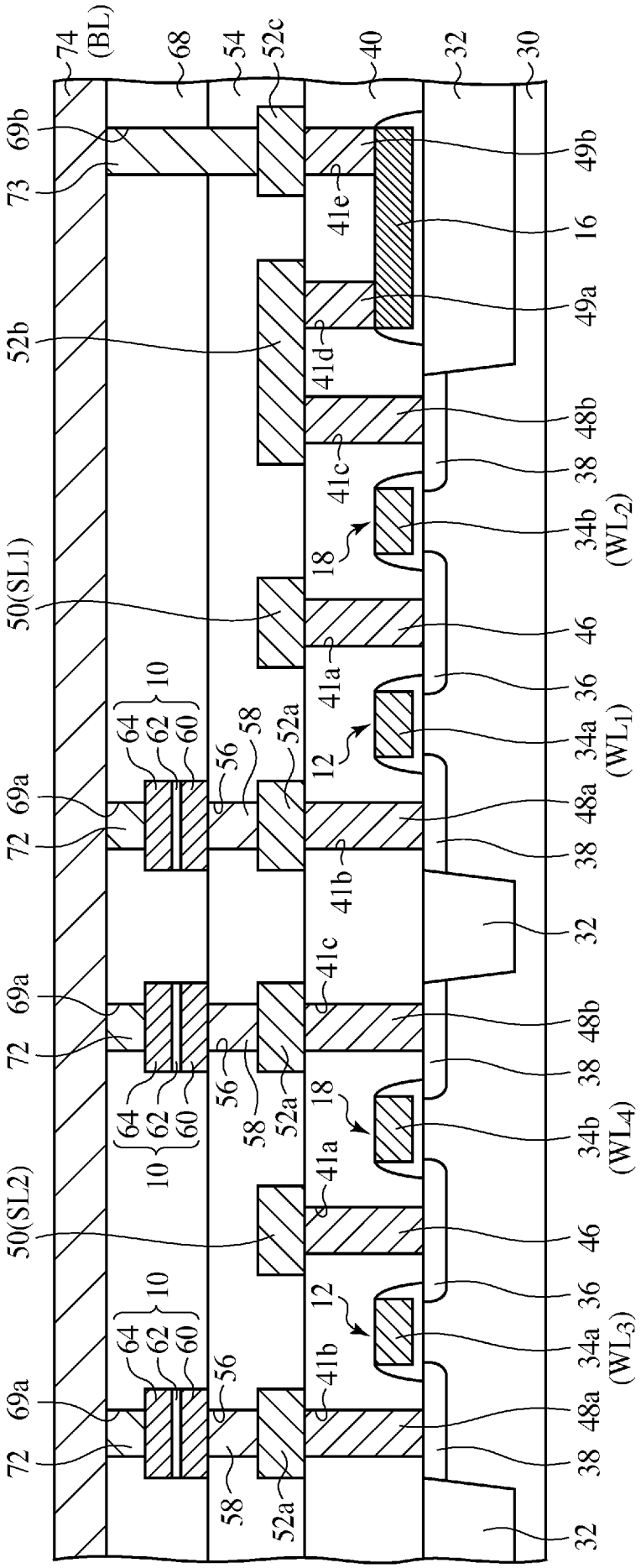
(b)


72
69a
50
52b
73
69b
74
64
62
60
10
68
58
56
54
52a
52c
41b
12
41a
18
41c
41d
41e
40
32
32
30
38
48a
34a
36
46
34b
38
48b
49a
16
49b
(WL1)
(WL2)

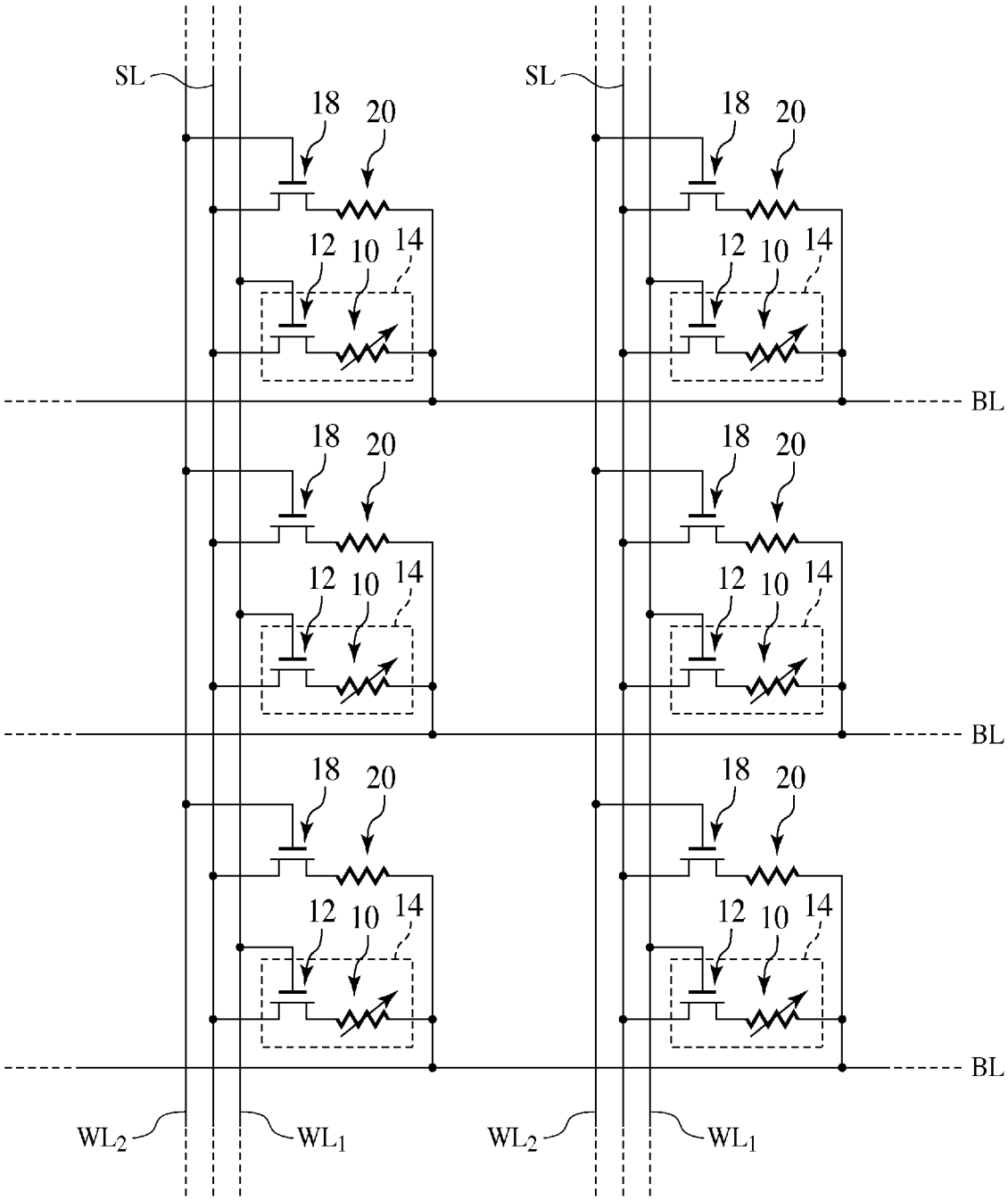
[図11]



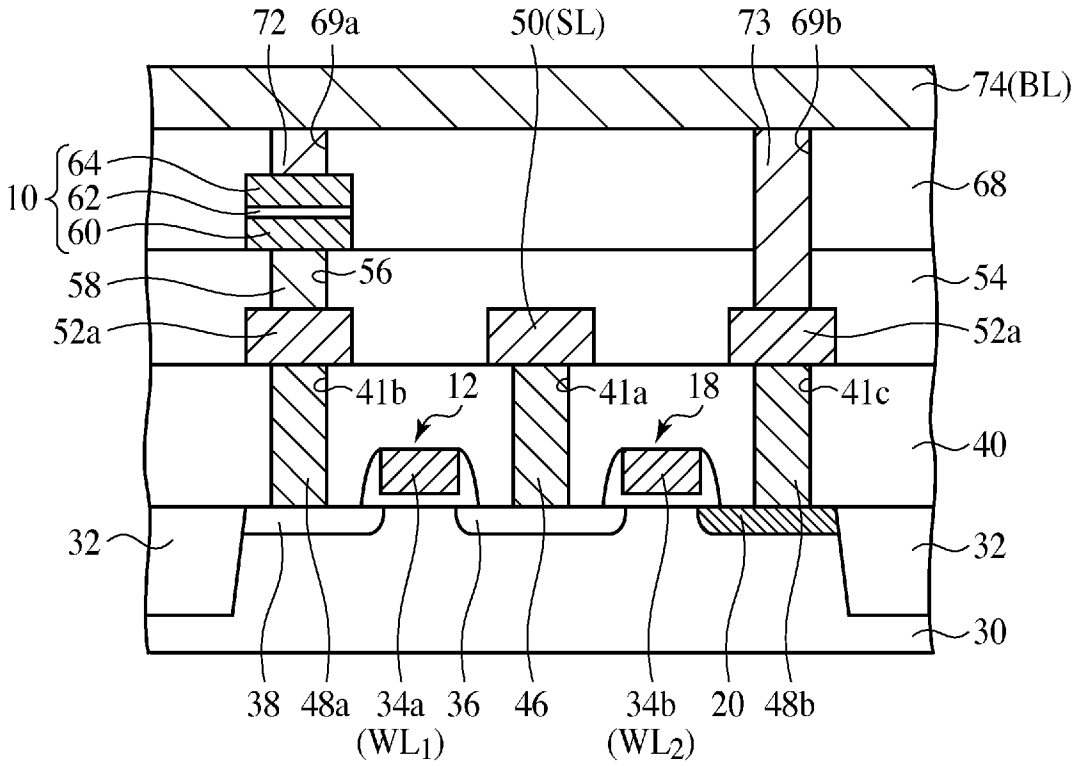
[図12]


74
(BL)
68
54
52c
40
32
30
69b
73
49b
41e
16
49a
52b
41d
48b
41c
38
34b
(WL2)
18
50(SL1)
46
41a
36
34a
(WL1)
10
64
62
60
56
58
52a
12
69a
72
48a
38
41b
32
41c
48b
38
34b
(WL4)
18
50(SL2)
46
36
34a
(WL3)
12
41b
48a
38
32

[図13]

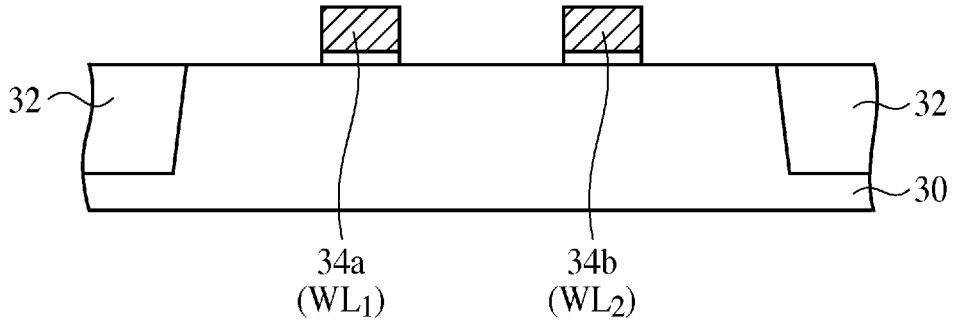


[図14]

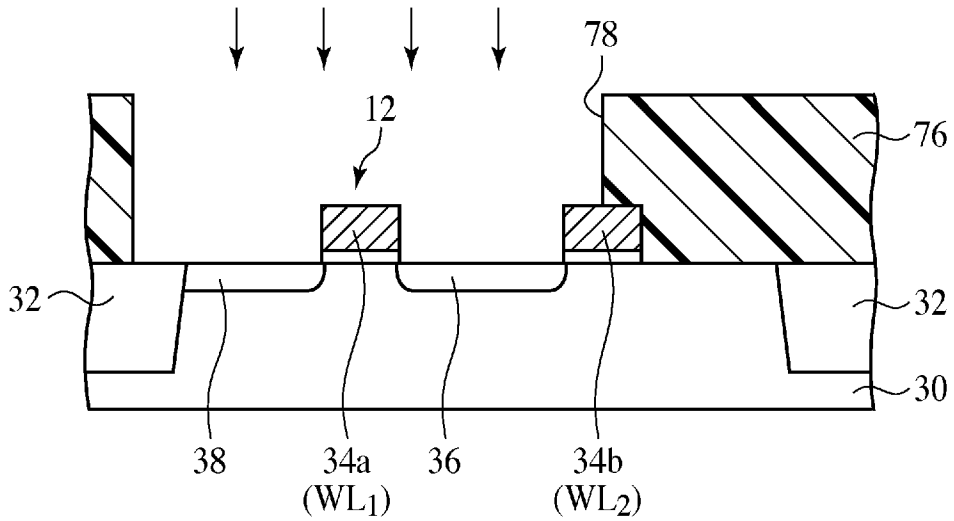

72
69a
50(SL)
73
69b
74(BL)
10
64
62
60
68
58
56
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
20
48b
(WL1)
(WL2)

[図15]

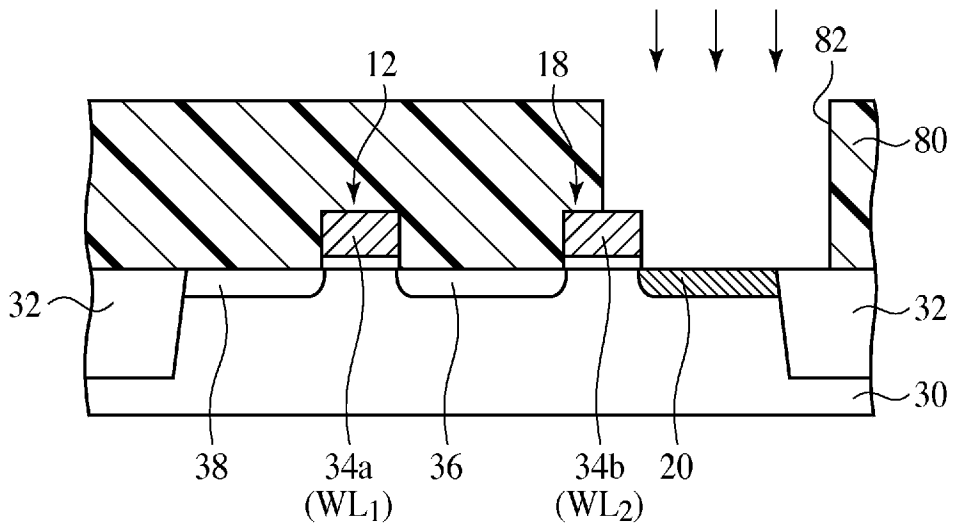
(a)


32
32
30
34a
(WL1)
34b
(WL2)

(b)

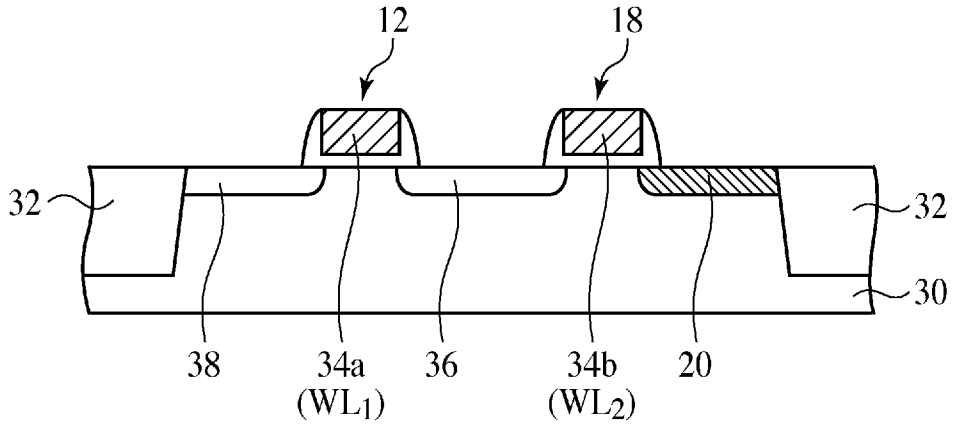

78
12
76
32
32
30
38
34a
(WL1)
36
34b
(WL2)

(c)

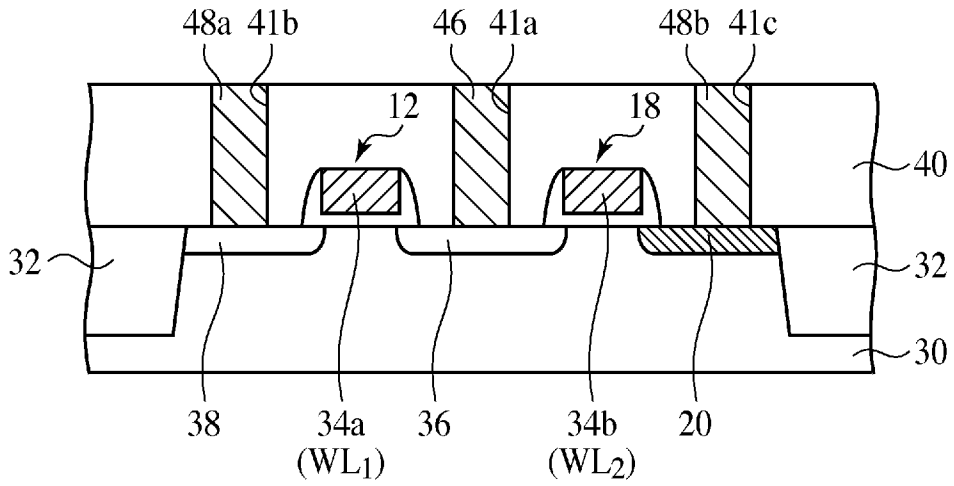

82
12
18
80
32
32
30
38
34a
(WL1)
36
34b
(WL2)
20

[図16]

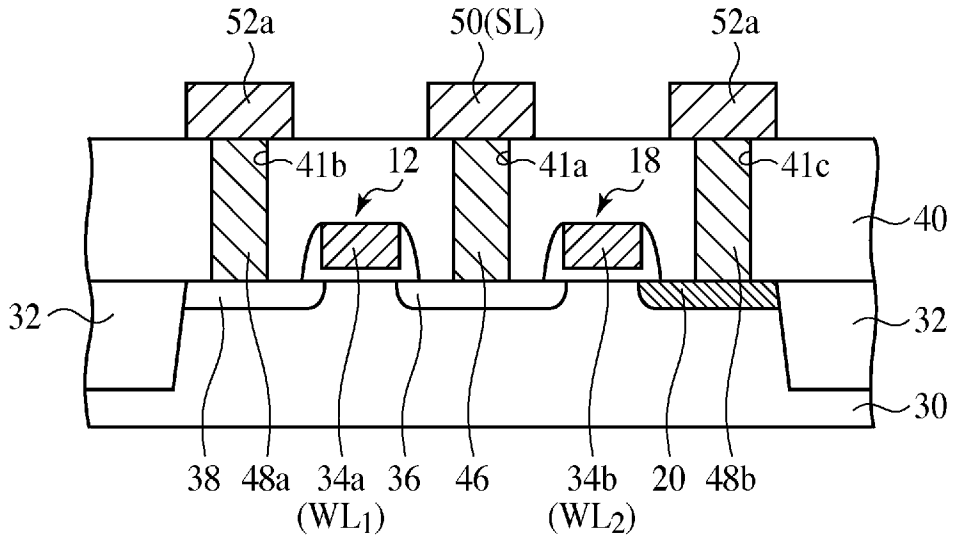
(a)


12
18
32
32
30
38
34a
(WL1)
36
34b
(WL2)
20

(b)

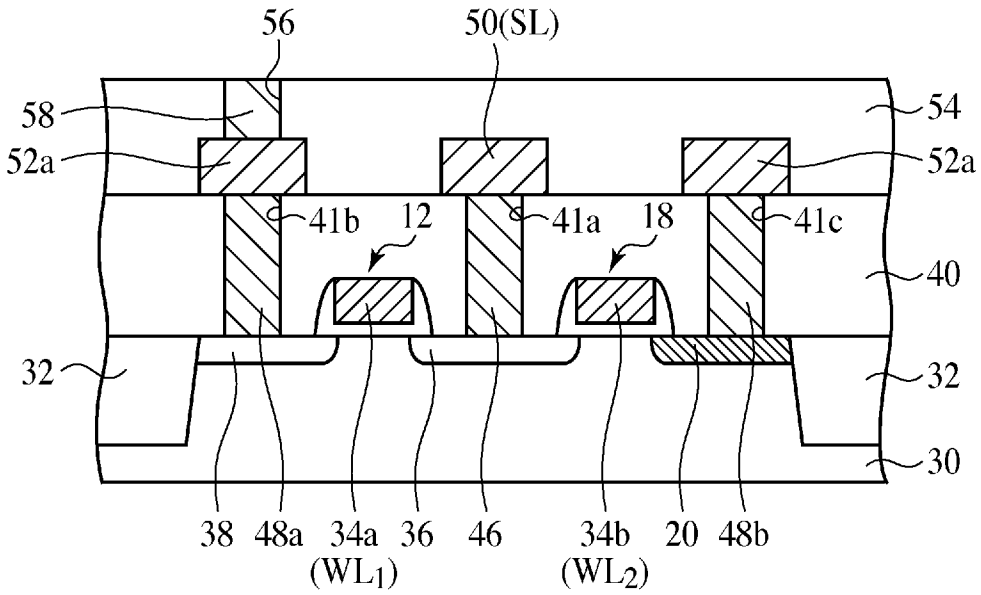

48a
41b
46
41a
48b
41c
12
18
40
32
32
30
38
34a
(WL1)
36
34b
(WL2)
20

(c)

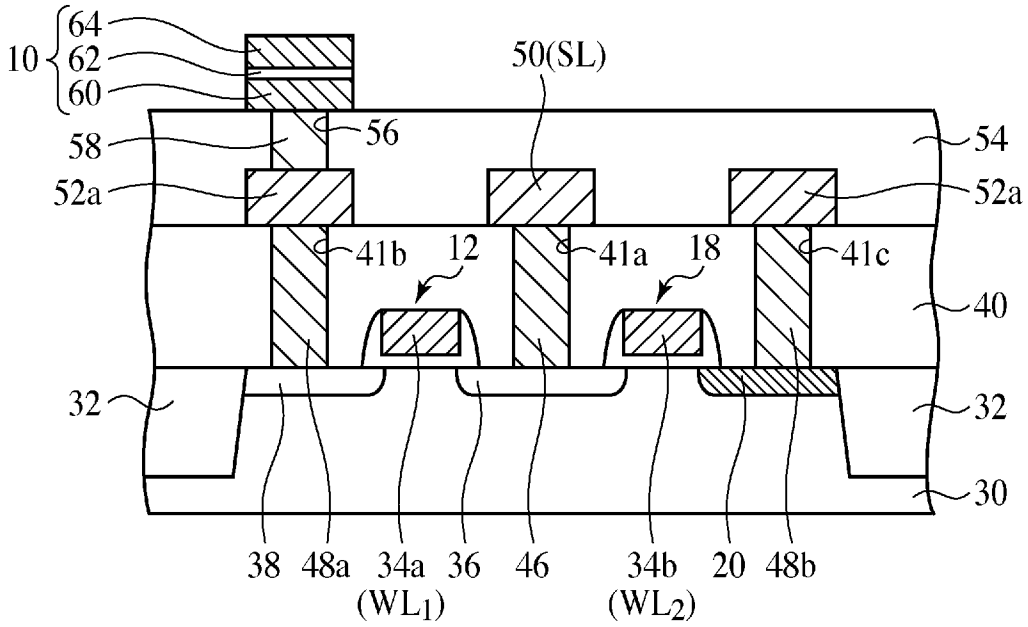

52a
50(SL)
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
(WL1)
36
46
34b
(WL2)
20
48b

[図17]

(a)

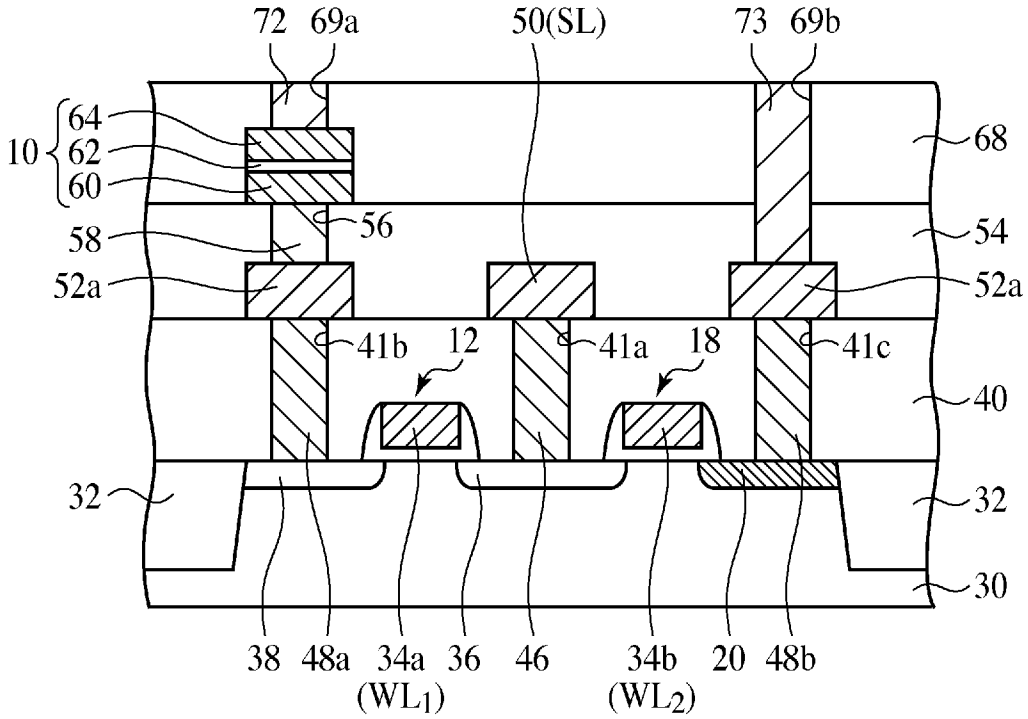

56
50(SL)
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
20
48b
(WL1)
(WL2)

(b)

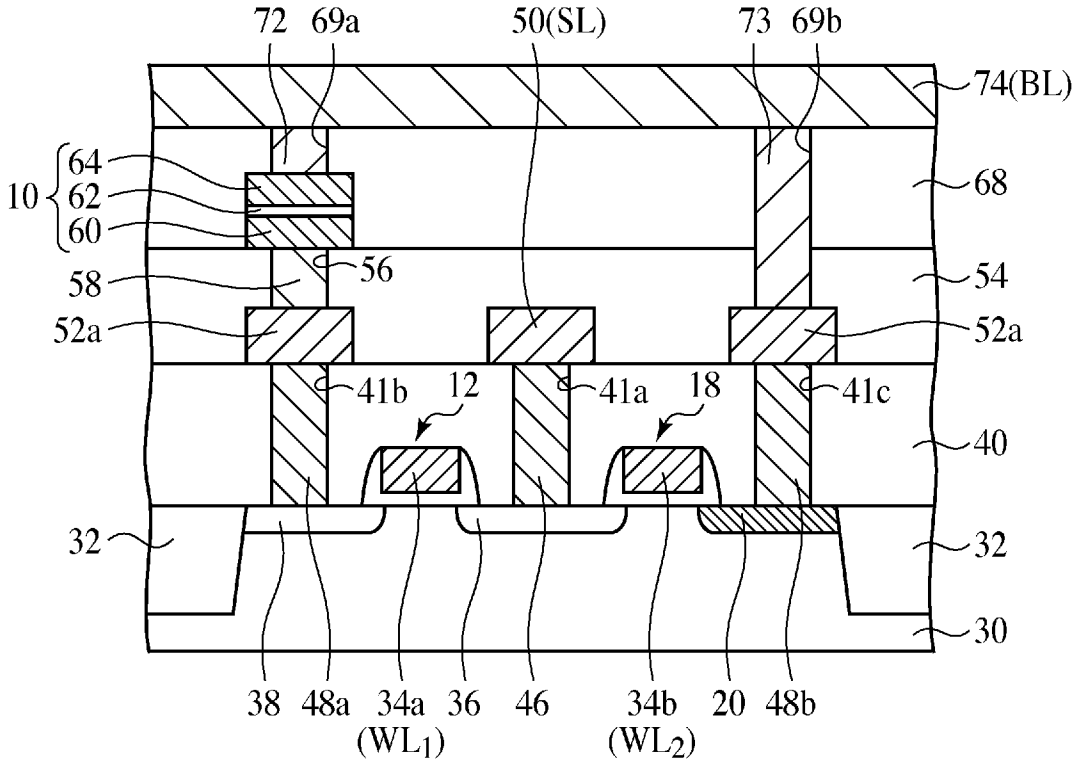

10
64
62
60
50(SL)
56
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
20
48b
(WL1)
(WL2)

[図18]

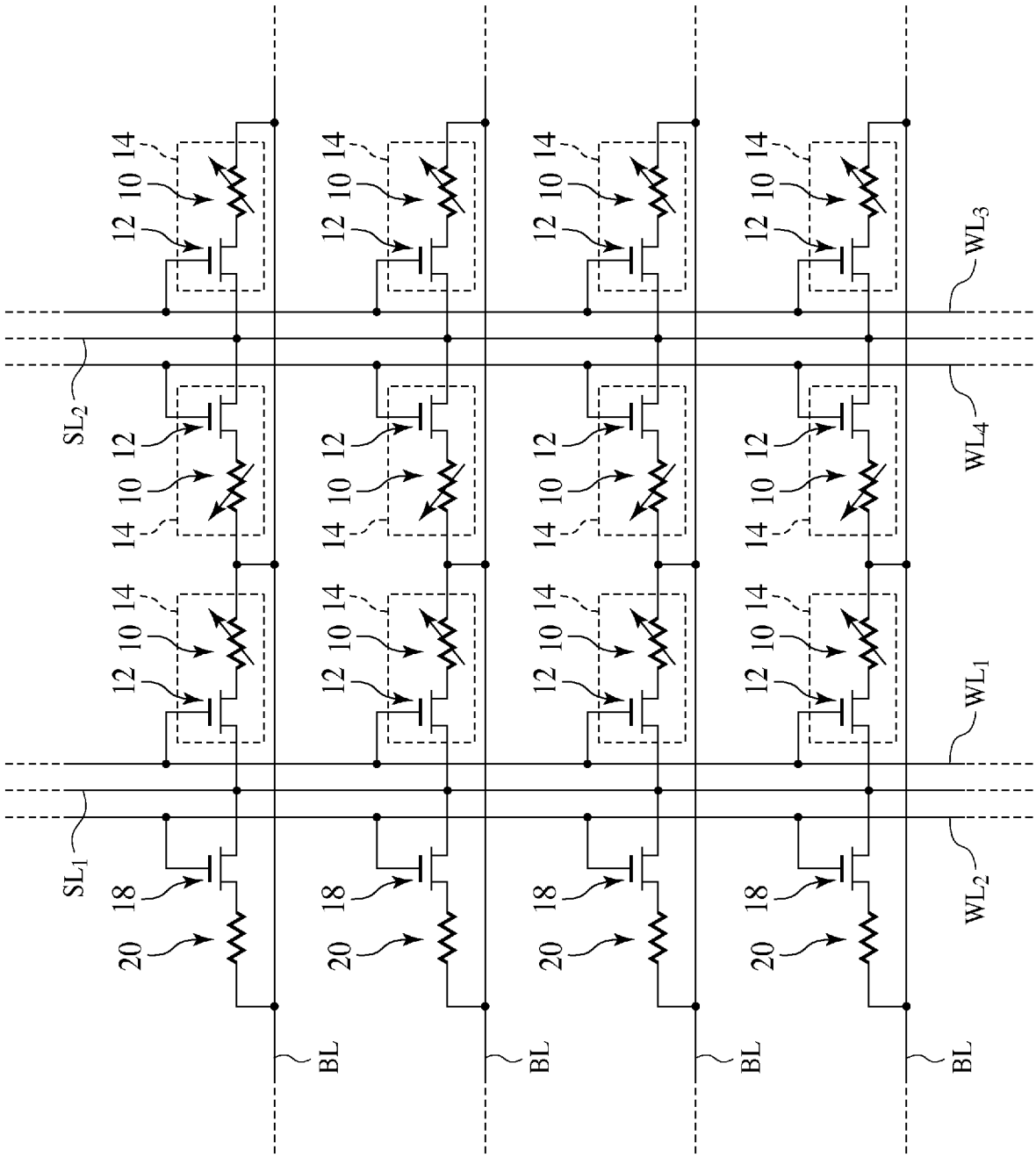
(a)


72
69a
50(SL)
73
69b
10
64
62
60
68
56
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
20
48b
(WL1)
(WL2)

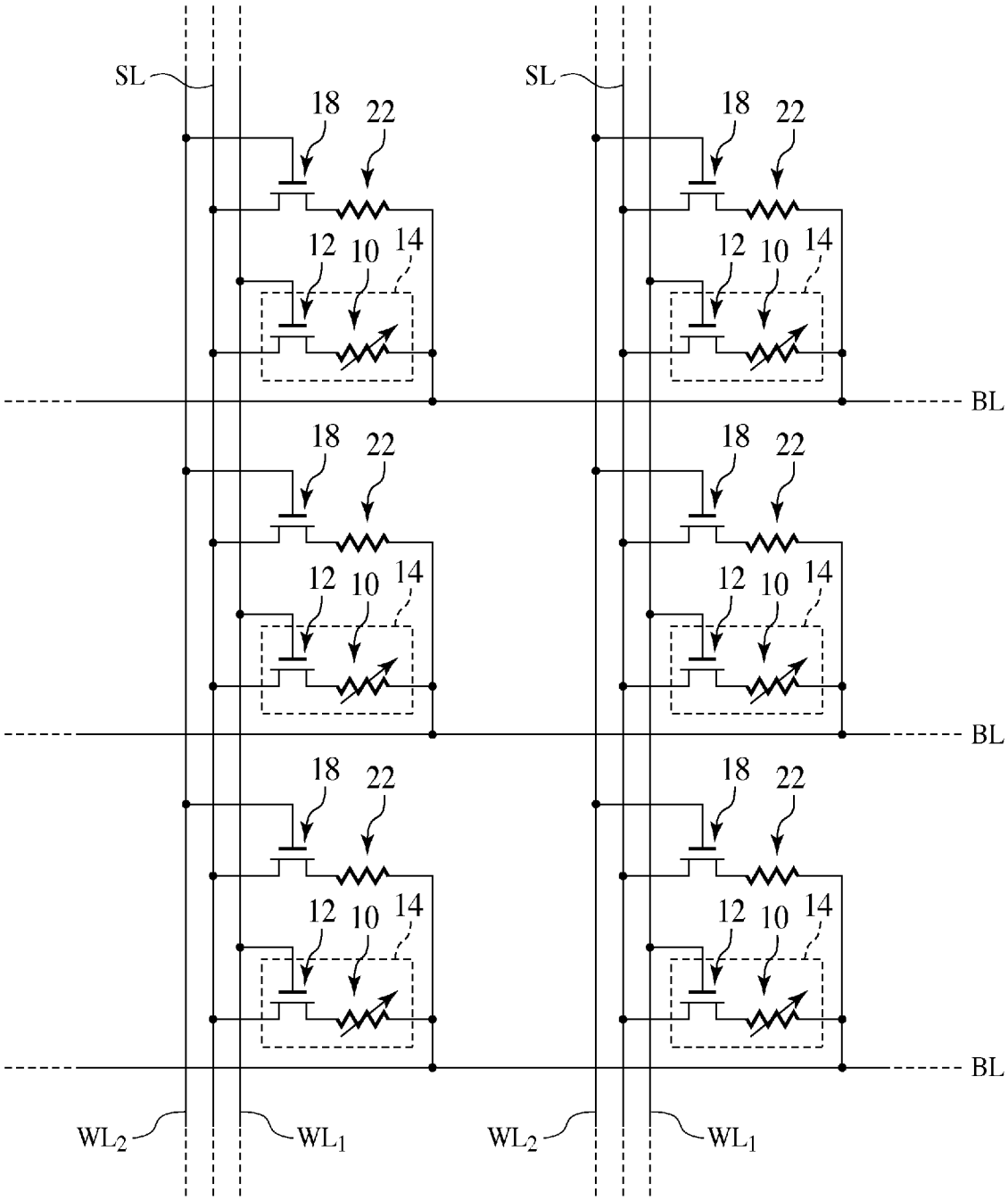
(b)


72
69a
50(SL)
73
69b
74(BL)
10
64
62
60
68
56
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
20
48b
(WL1)
(WL2)

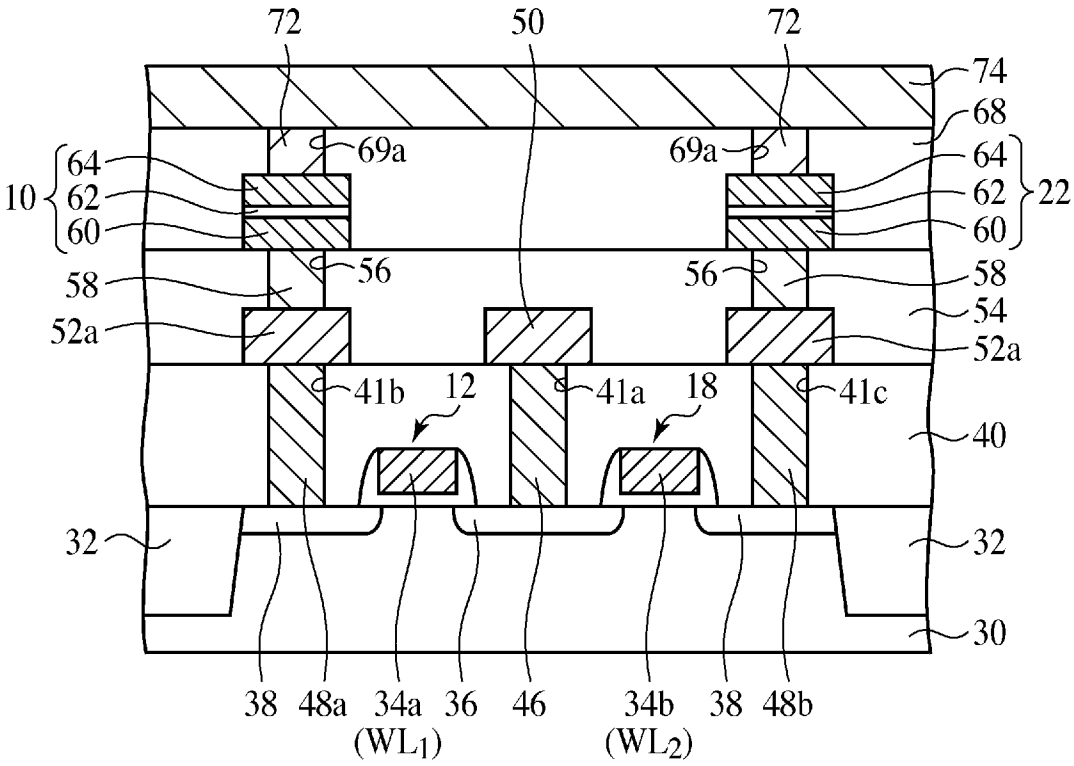
[図19]



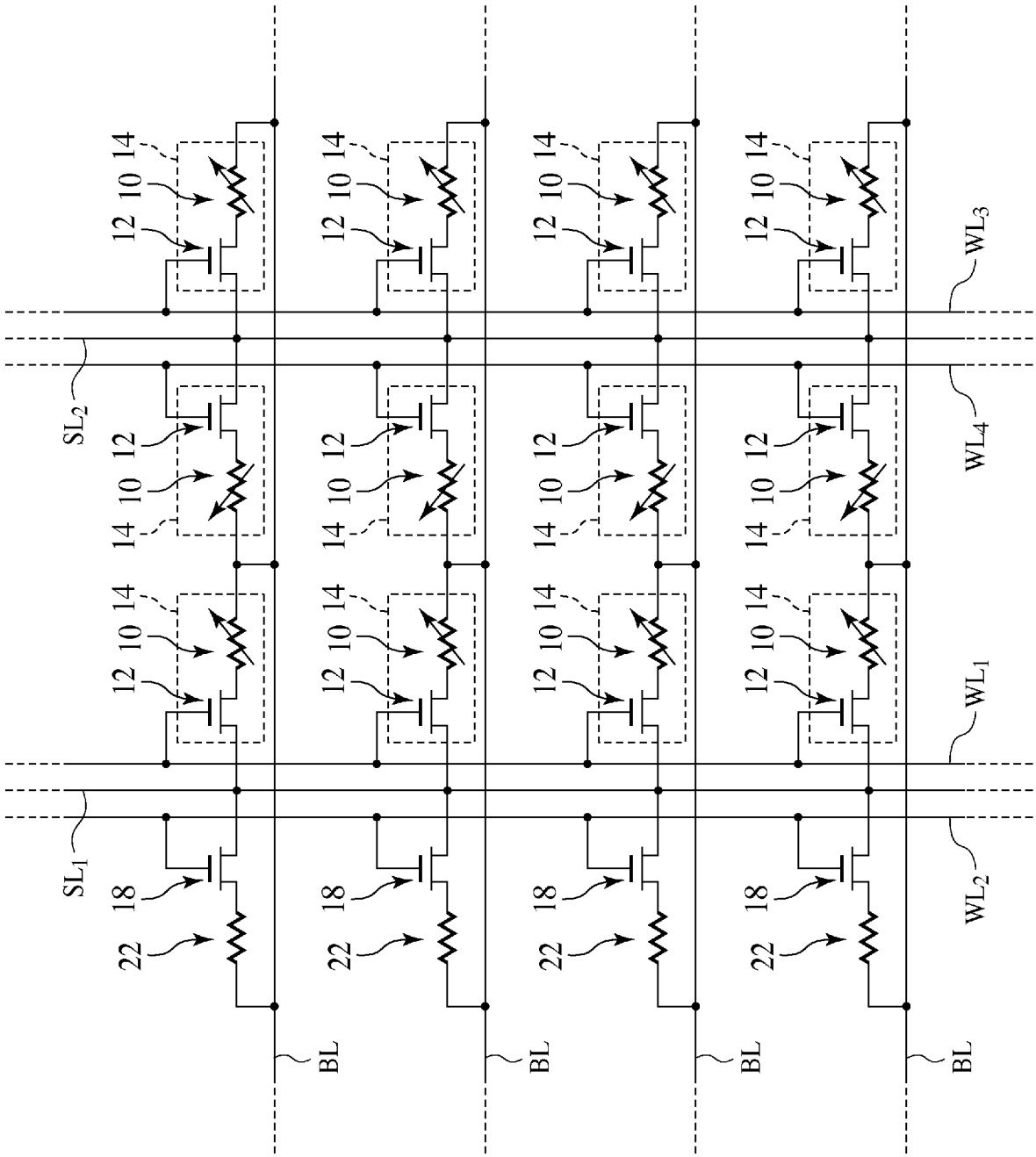
[図20]



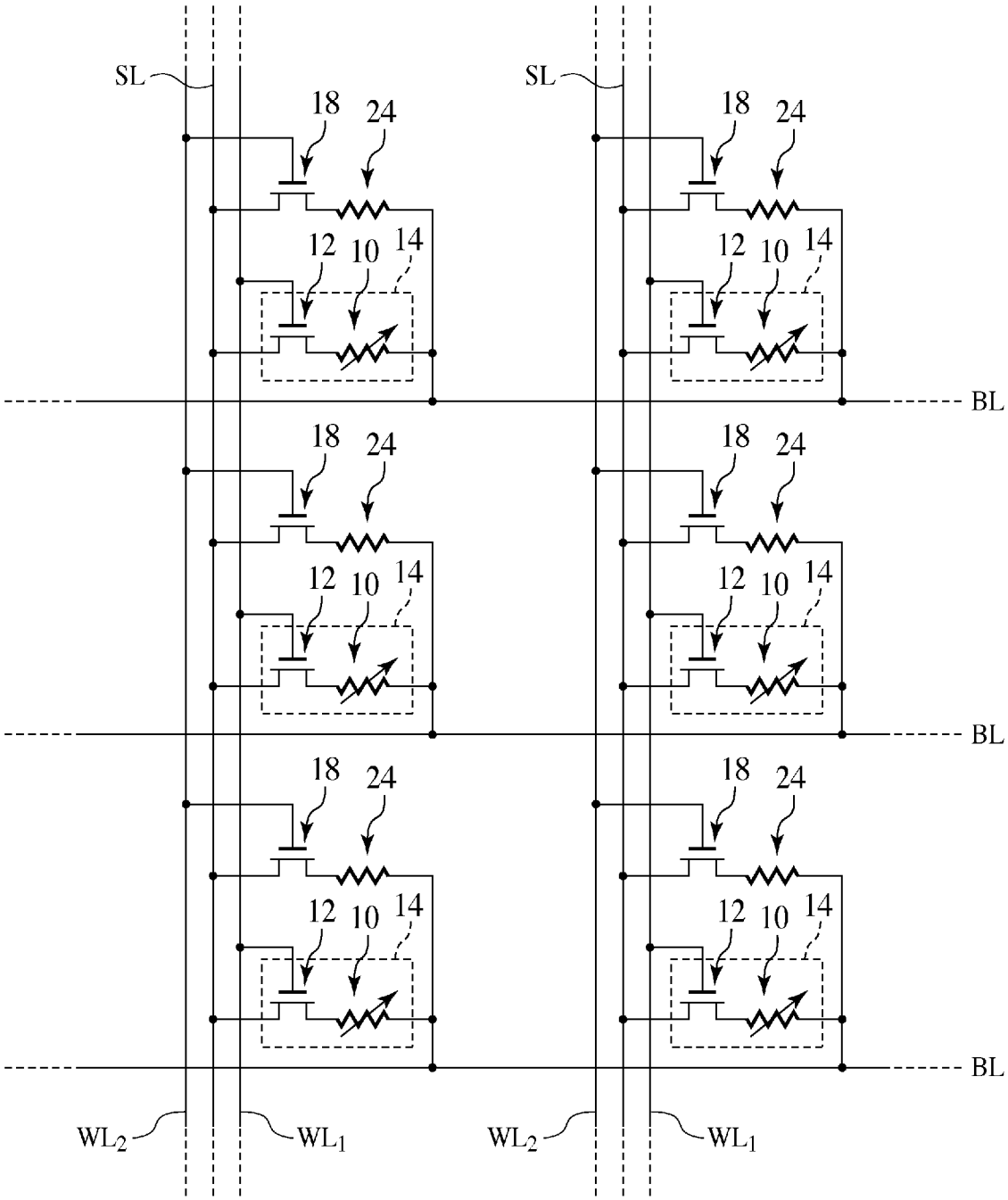
[図21]


72
50
72
74
68
69a
69a
64
62
60
10
64
62
60
22
56
56
58
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
38
48b
(WL1)
(WL2)

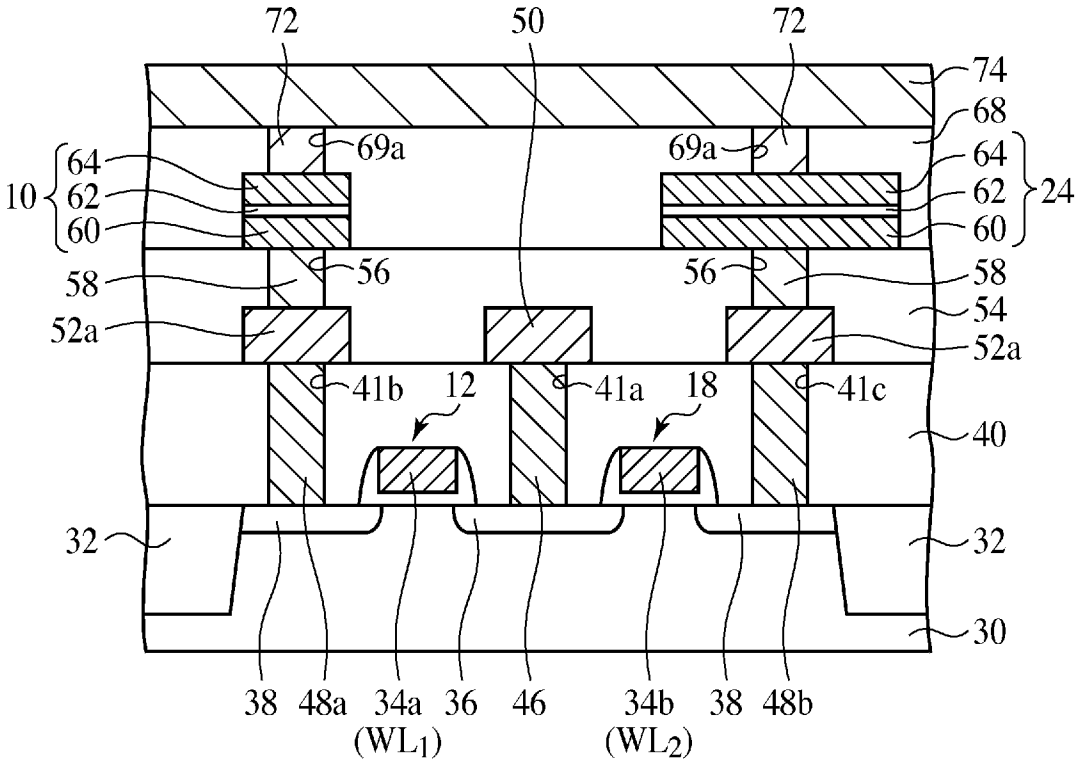
[図22]



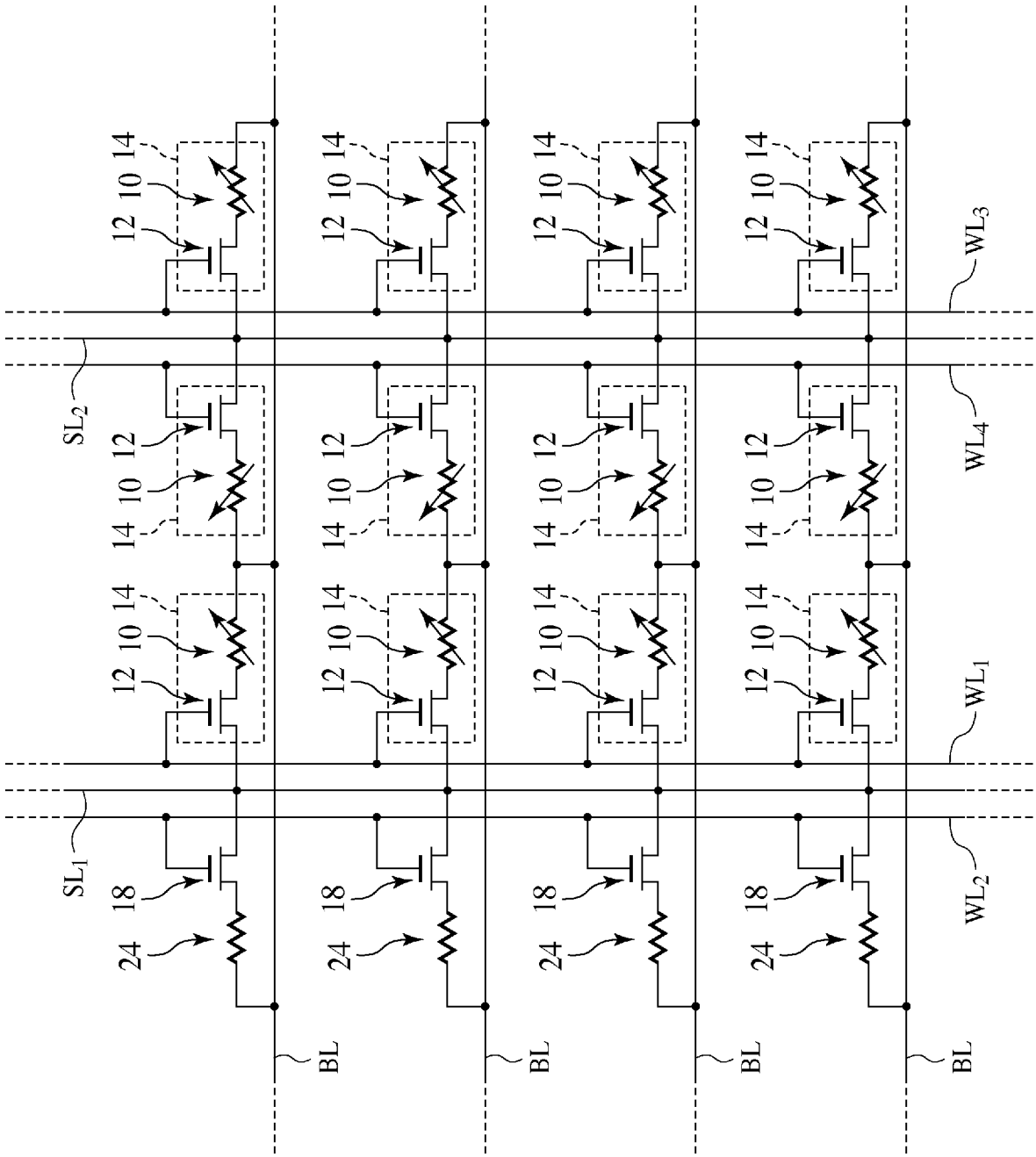
[図23]



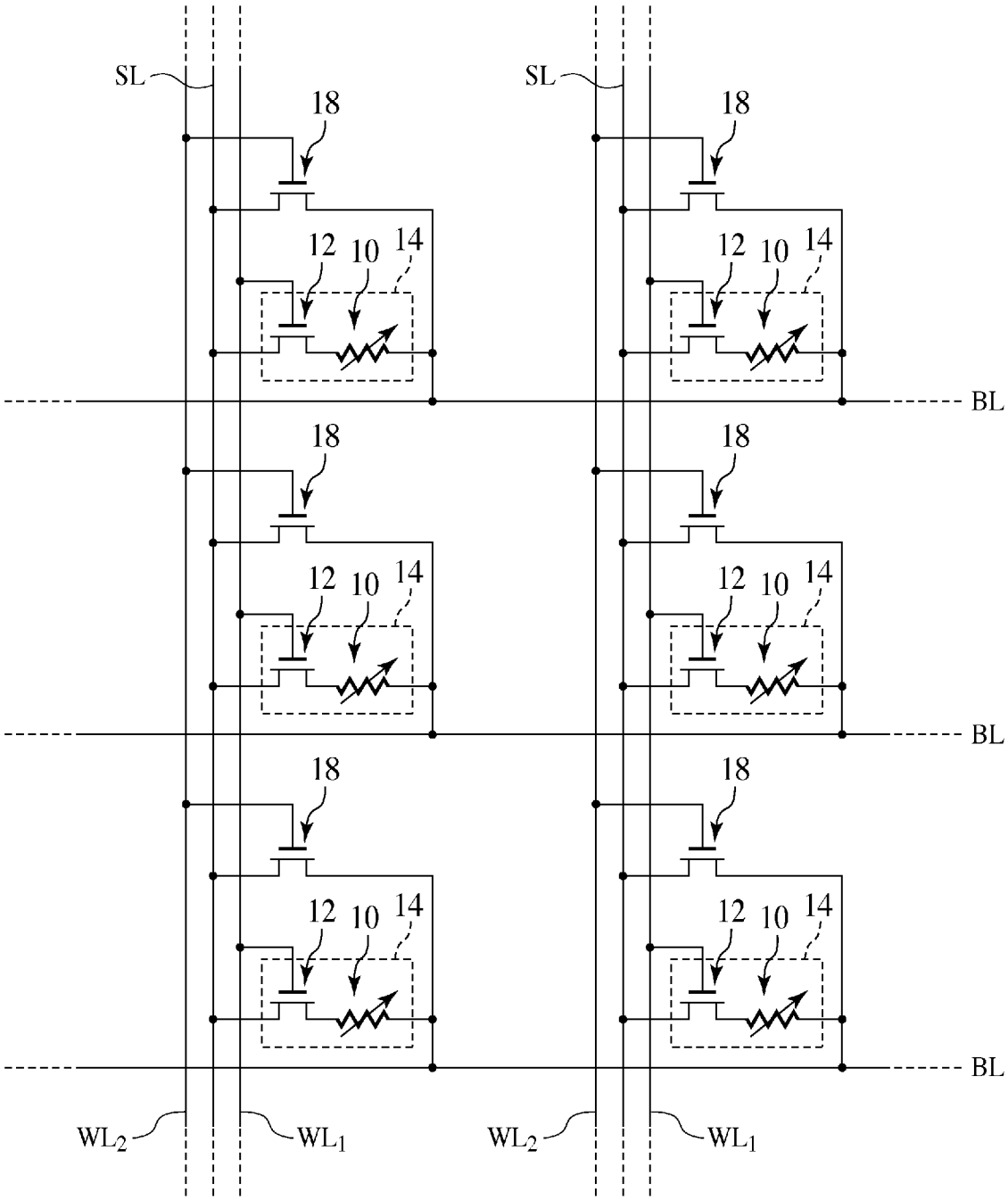
[図24]


72
50
72
74
68
69a
69a
64
62
60
10
64
62
60
24
58
56
56
58
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
38
48b
(WL1)
(WL2)

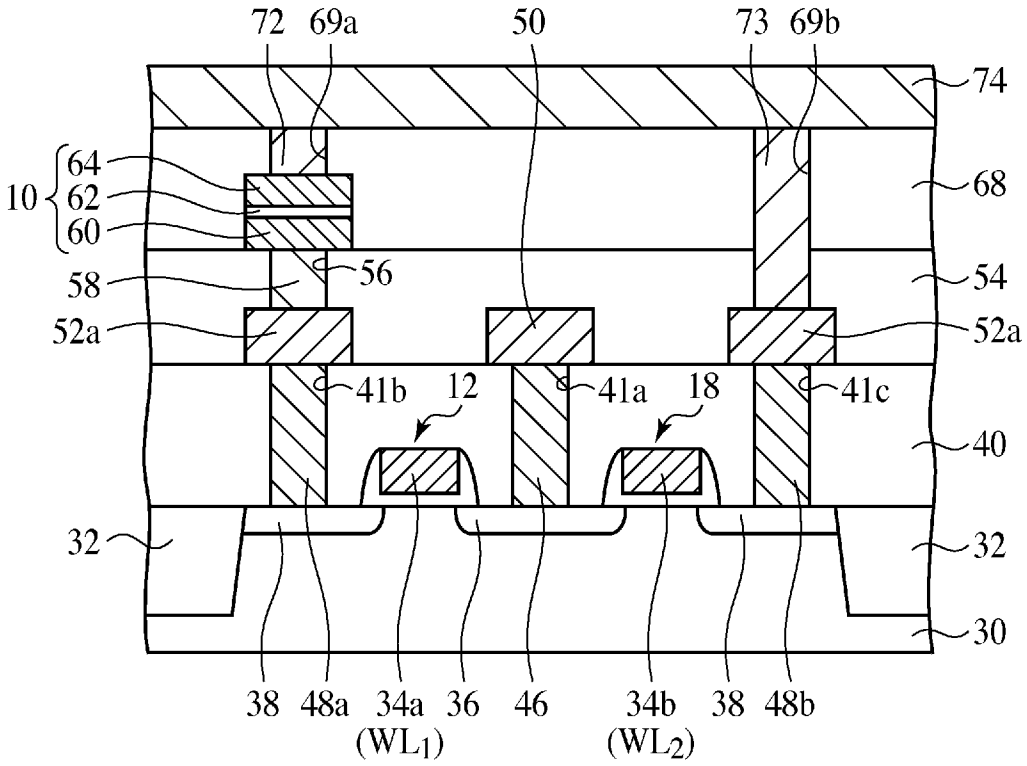
[図25]



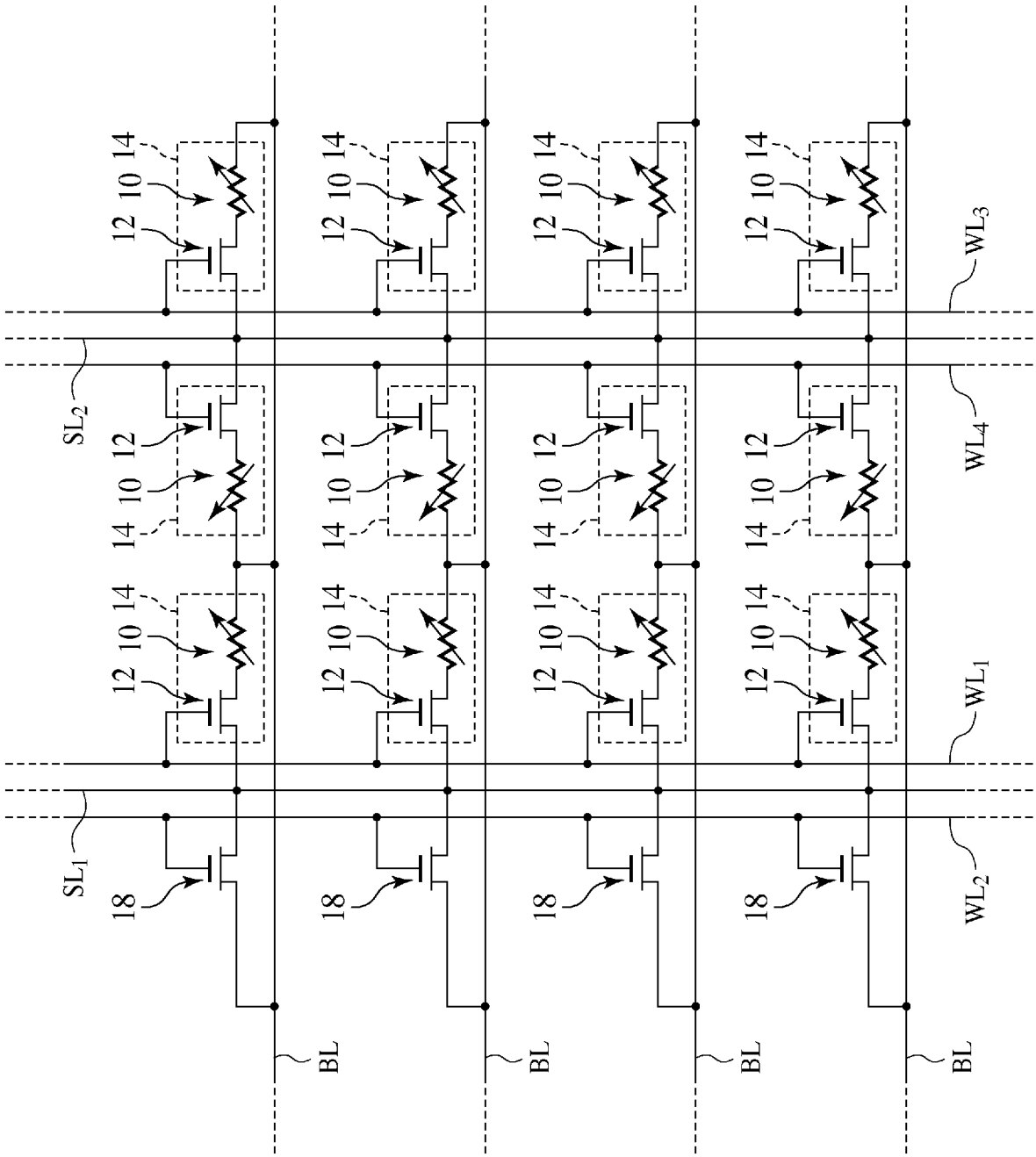
[図26]



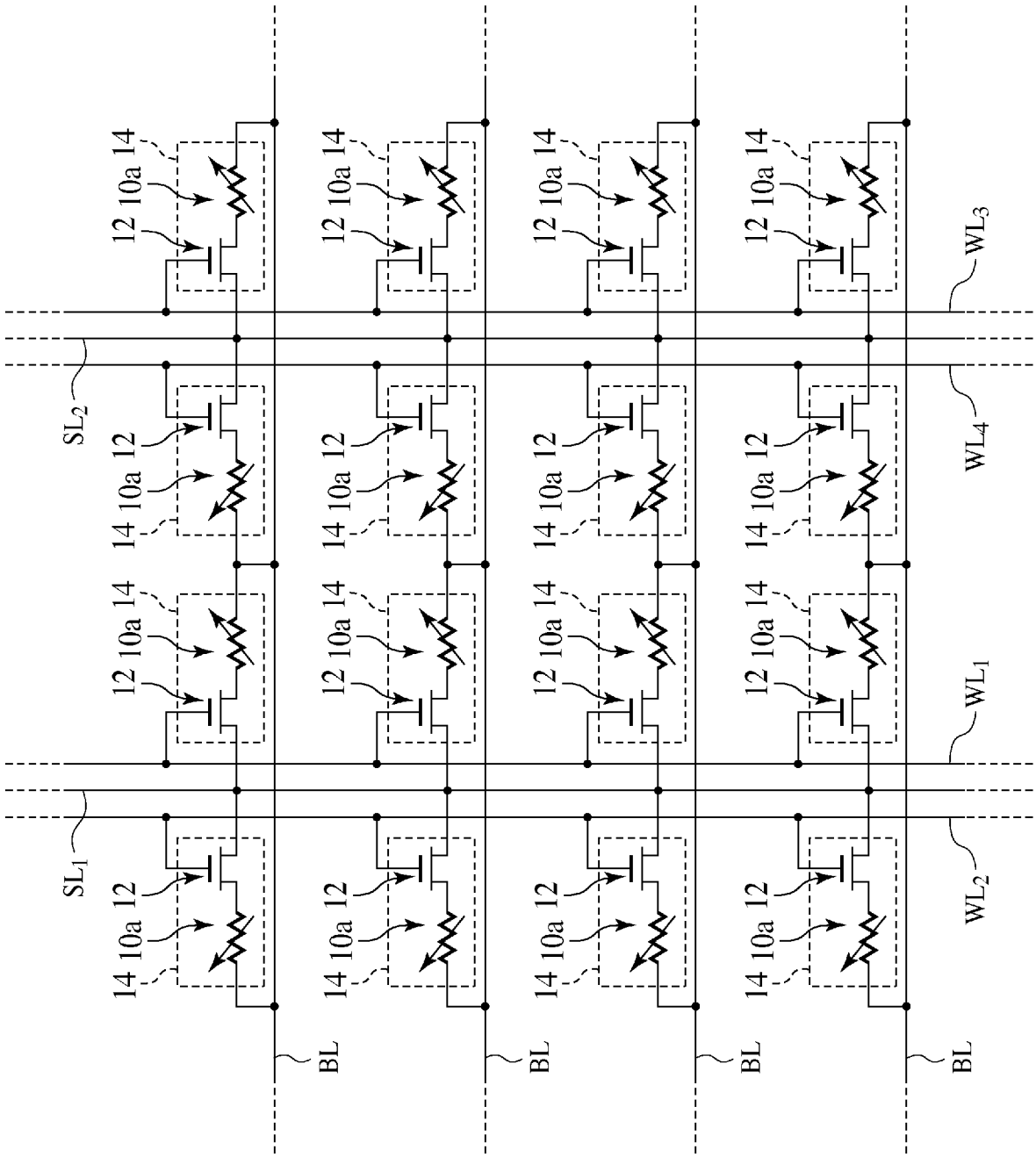
[図27]


72
69a
50
73
69b
74
64
62
60
10
68
58
56
54
52a
52a
41b
12
41a
18
41c
40
32
32
30
38
48a
34a
36
46
34b
38
48b
(WL1)
(WL2)

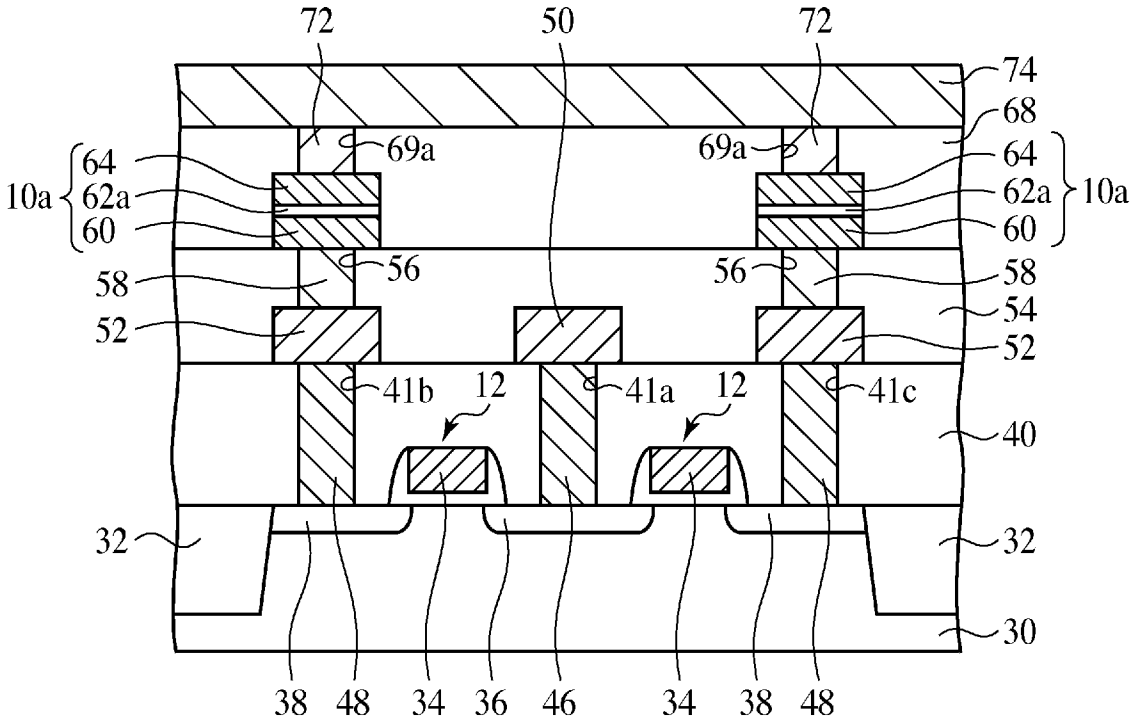
[図28]



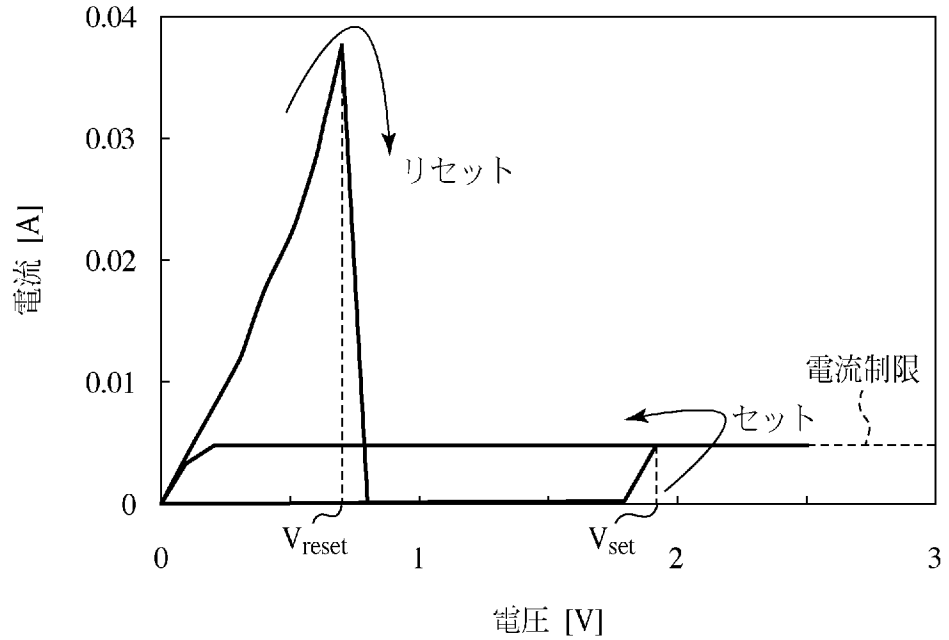
[図29]



[図30]


72
50
72
74
68
69a
69a
64
62a
60
10a
64
62a
60
10a
58
56
56
58
54
52
52
41b
12
41a
12
41c
40
32
32
30
38
48
34
36
46
34
38
48

[図31]


0.04
0.03
0.02
0.01
0
電流 [A]
リセット
電流制限
セット
0
V reset
1
V set
2
3
電圧 [V]

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/054672

A. CLASSIFICATION OF SUBJECT MATTER
*H01L27/10*(2006.01)i, *G11C13/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10, G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2007 |
| Kokai Jitsuyo Shinan Koho | 1971-2007 | Toroku Jitsuyo Shinan Koho | 1994-2007 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | WO 2007/023569 A1 (Fujitsu Ltd.), 01 March, 2007 (01.03.07), Full text (Family: none) | 1-17 |
| A | WO 2006/137110 A1 (Fujitsu Ltd.), 28 December, 2006 (28.12.06), Full text (Family: none) | 1-17 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| | |
|---|---|
| Date of the actual completion of the international search<br>22 May, 2007 (22.05.07) | Date of mailing of the international search report<br>29 May, 2007 (29.05.07) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５４６７２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10(2006.01)i, G11C13/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/10, G11C13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２００７年 |
| 日本国実用新案登録公報 | １９９６－２００７年 |
| 日本国登録実用新案公報 | １９９４－２００７年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求の範囲の番号 |
|---|---|---|
| A | WO 2007/023569 A1（富士通株式会社）2007.03.01, 全文（ファミリーなし） | 1-17 |
| A | WO 2006/137110 A1（富士通株式会社）2006.12.28, 全文（ファミリーなし） | 1-17 |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ２２．０５．２００７ | ２９．０５．２００７ |

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　4M　9054
瀧内　健夫
電話番号　０３－３５８１－１１０１　内線　３４６２