(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3586502号
(P3586502)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月13日(2004.8.13)

(51)Int.Cl.[7]　F I
G05F 3/24　G05F 3/24 B
G05F 3/24 Z

請求項の数 19　(全 38 頁)

(21)出願番号　特願平7-226452
(22)出願日　平成7年9月4日(1995.9.4)
(65)公開番号　特開平9-73330
(43)公開日　平成9年3月18日(1997.3.18)
審査請求日　平成14年8月21日(2002.8.21)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】電圧発生回路

(57)【特許請求の範囲】
【請求項１】
出力ノードに予め定められたレベルの電圧を発生するための電圧発生回路であって、
第１の電源ノードに結合される一方電極ノードと、前記出力ノードに結合される他方電極ノードとを有する第１導電型の第１の絶縁ゲート型電界効果トランジスタと、
第２の電源ノードに結合される一方電極ノードと、前記出力ノードに結合される他方電極ノードとを有する第２導電型の第２の絶縁ゲート型電界効果トランジスタと、
少なくとも第３および第４の電源ノード上の電圧を受け、受けた電圧に従って第１および第２の電圧を生成してそれぞれ前記第１および第２の絶縁ゲート型電界効果トランジスタの制御電極ノードへ印加する電圧生成手段とを備え、
前記第１の電圧と前記第２の電圧の差は、前記第１の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値と前記第２の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との和に等しく、
前記第３の電源ノードの電圧は、前記出力ノードから出力される電圧と前記出力ノードの電圧の測定基準値を与える測定基準電圧との差の２倍よりも高い電圧レベルにあり、
前記第４の電源ノードの電圧は、前記測定基準電圧よりも低い電圧レベルである、電圧発生回路。
【請求項２】
前記電圧生成手段は、
前記第３の電源ノードと前記第３の電源ノード上の電圧よりも低い電圧を受ける第５の電

源ノードとの間に結合され、前記第３および第５の電源ノード上の電圧から前記第１の電圧を生成する第１の電圧発生部と、
前記第４の電源ノードと前記第４の電源ノード上の電圧よりも高い電圧を受ける第６の電源ノードとの間に接続され、前記第４および第６の電源ノード上の電圧から前記第２の電圧を生成する第２の電圧発生部とを備える、請求項１記載の電圧発生回路。
【請求項３】
前記第１の電圧発生部は、
前記第３の電源ノードと第１の内部ノードとの間に接続され、前記第３の電源ノード上の電圧と前記第１の内部ノード上の電圧を分圧して前記第１の電圧を生成する第１の分圧手段と、
前記第１の内部ノードと前記第５の電源ノードとの間に接続される、ダイオードモードで動作する第３の絶縁ゲート型電界効果トランジスタとを備え、
前記第３の電源ノードの電圧は、前記出力ノードからの電圧と前記測定基準電圧の差の２倍の大きさの電圧と前記第３の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値との和に実質的に等しく、かつ
前記第５の電源ノード上の電圧は、前記測定基準電圧レベルの電圧である、請求項２記載の電圧発生回路。
【請求項４】
前記第２の電圧発生部は、
前記第６の電源ノードと第２の内部ノードとの間に接続される、ダイオードモードで動作する第４の絶縁ゲート型電界効果トランジスタと、
前記第２の内部ノードと前記第４の電源ノードとの間に接続され、前記第２の内部ノード上の電圧と前記第４の電源ノード上の電圧とを分圧して前記第２の電圧を生成する第２の分圧手段を備え、
前記第６の電源ノードの電圧は、前記出力ノードからの電圧と前記測定基準電圧との差の２倍の大きさの電圧であり、前記第４の電源ノード上の電圧は、前記測定基準電圧より前記第４の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値分低い電圧である、請求項２または３記載の電圧発生回路。
【請求項５】
前記電圧生成手段は、
前記第３の電源ノードと第１の内部ノードとの間に接続され、前記第３の電源ノード上の電圧と前記第１の内部ノード上の電圧とを分圧して前記第１の電圧を生成する第１の分圧手段と、
前記測定基準電圧レベルの電圧を受ける第５の電源ノードと前記第１の内部ノードとの間に接続される、ダイオードモードで動作する第３の絶縁ゲート型電界効果トランジスタと、
前記第４の電源ノードと第２の内部ノードとの間に接続され、前記第４の電源ノード上の電圧と前記第２の内部ノード上の電圧とを分圧して前記第２の電圧を生成する第２の分圧手段と、
前記第２の内部ノードと前記第１および第２の電圧の和または差の電圧レベルに等しい電圧を受ける第６の電源ノードとの間に接続される、ダイオードモードで動作する第４の絶縁ゲート型電界効果トランジスタとを備え、
前記第３の電源ノード上の電圧と前記第６の電源ノード上の電圧の差は、実質的に前記第４の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値に等しく、かつ
前記第４の電源ノード上の電圧は、前記測定基準電圧よりも実質的に前記第３の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値分低い電圧である、請求項１記載の電圧発生回路。
【請求項６】
前記電圧生成手段は、
前記第３の電源ノードと第１の内部ノードとの間に互いに直列に接続される第１の抵抗素

子およびダイオード接続された第３の絶縁ゲート型電界効果トランジスタで構成され、前記第１の抵抗素子と前記第３の絶縁ゲート型電界効果トランジスタの接続部から前記第１の電圧を出力する第１の電圧発生部と、
前記第１の内部ノードと前記第４の電源ノードとの間に、互いに直列に接続される第２の抵抗素子および第４の絶縁ゲート型電界効果トランジスタとで構成され、前記第２の抵抗性素子と前記第４の絶縁ゲート型電界効果トランジスタの接続部から前記第２の電圧を出力する第２の電圧発生部とを備える、請求項１記載の電圧発生回路。
【請求項７】
前記第３の電源ノード上の電圧は、前記出力ノードから出力される電圧と前記測定基準電圧の差の２倍の大きさの電圧よりも高く、かつ前記第３および第４の電源ノード上の電圧の和は前記第１および第２の電圧の和に等しく、
前記第４の電源ノード上の電圧は、前記測定基準電圧よりも前記第４の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値分低いレベルの電圧に実質的に等しい、請求項６記載の電圧発生回路。
【請求項８】
前記第３の絶縁ゲート型電界効果トランジスタは前記第１の導電型を有し、前記第４の絶縁ゲート型電界効果トランジスタは前記第２導電型を有する、請求項７記載の電圧発生回路。
【請求項９】
前記第３の絶縁ゲート型電界効果トランジスタは前記第２の導電型を有し、かつ前記第４の絶縁ゲート型電界効果トランジスタは前記第１の導電型を有する、請求項７記載の電圧発生回路。
【請求項１０】
前記電圧生成手段は、
前記第３の電源ノードと前記第４の電源ノードとの間に接続され、前記第３の電源ノード上の電圧と前記第４の電源ノード上の電圧とから第３、第４および第５の電圧を発生する第１の電圧発生部と、
前記第３の電圧を制御電極ノードに受けて、ソースフォロアモードで動作して前記第１の電圧を生成する第３の絶縁ゲート型電界効果トランジスタと、
前記第５の電圧を制御電極ノードに受けてソースフォロアモードで動作して前記第２の電圧を生成する第４の絶縁ゲート型電界効果トランジスタとを備え、
前記第３の電圧と前記第４の電圧との差は、前記第１の電圧と前記第２の電圧の差の２倍に実質的に等しく、かつ前記第５の電圧は、前記第３の電圧と前記第４の電圧の和の実質的に半分であり、かつ前記第３および第４の電極ノード上の電圧の和の半分に前記第５の電圧が実質的に等しい、請求項１記載の電圧発生回路。
【請求項１１】
前記電圧生成手段は、さらに、
前記第５の電圧を制御電極ノードに受けて、ソースフォロアモードで動作して前記第１の電圧の上限レベルをクランプする第５の絶縁ゲート型電界効果トランジスタと、
前記第４の電圧を制御電極ノードに受けて、ソースフォロアモードで動作して前記第２の電圧の上限レベルをクランプする第６の絶縁ゲート型電界効果トランジスタを備える、請求項１０記載の電圧発生回路。
【請求項１２】
前記電圧生成手段は、
前記第３の電源ノードと第１の内部ノードとの間に互いに直列に接続される、第１の抵抗性素子および各々がダイオード接続された第５および第６の絶縁ゲート型電界効果トランジスタで構成され、前記第１の抵抗性素子と前記第５の絶縁ゲート型電界効果トランジスタの接続部から前記第３の電圧を出力する第１の電圧発生部と、
前記第１の内部ノードと前記第４の電源ノードとの間に互いに直列に接続される第２の抵抗性素子および各々がダイオード接続された第７および第８の絶縁ゲート型電界効果トラ

ンジスタで構成され、前記第２の抵抗性素子と前記第７の絶縁ゲート型電界効果トランジスタの接続部から前記第４の電圧を生成する第２の電圧発生部とを備える、請求項１０または１１記載の電圧発生回路。

【請求項１３】

前記第３の電源ノードの電圧と前記第４の電源ノード上の電圧の和は前記第３の電圧と前記第４の電圧の和に等しく、かつ前記第４の電源ノードの電圧は、前記測定基準電圧よりも前記第７および第８の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値の和分低くされる、請求項１２記載の電圧発生回路。

【請求項１４】

前記第５および第６の絶縁ゲート型電界効果トランジスタは同じ導電型を有し、前記第７および第８の絶縁ゲート型電界効果トランジスタは同じ導電型を有しかつ前記第５および第６の絶縁ゲート型電界効果トランジスタの導電型と異なる導電型を有する、請求項１２記載の電圧発生回路。

【請求項１５】

前記第５および第６の絶縁ゲート型電界効果トランジスタは互いに異なる導電型を有し、かつ前記第７および第８の絶縁ゲート型電界効果トランジスタは互いに異なる導電型を有する、請求項１２記載の電圧発生回路。

【請求項１６】

前記第３の電源ノード上の電圧は、前記第１の電圧の２倍の電圧と前記第５の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値の和から前記第７の絶縁ゲート型電界効果トランジスタのしきい値電圧の絶対値分低い電圧レベルであり、

前記第４の電源ノードの電圧レベルは前記測定基準電圧よりも前記第５および第７の絶縁ゲート型電界効果トランジスタのそれぞれのしきい値電圧の絶対値の和分低い電圧レベルであり、

前記第５および第７の絶縁ゲート型電界効果トランジスタは互いに異なる導電型を有する、請求項１２記載の電圧発生回路。

【請求項１７】

前記電圧発生手段はさらに、

前記第３の電源ノードと前記第５の電圧が出力される第３の内部ノードとの間に接続され、かつ互いに直列に接続される第３の抵抗性素子と各々がダイオードモードで動作する第９および第１０の絶縁ゲート型電界効果トランジスタで構成される第３の電圧発生部と、

前記第３の内部ノードと前記第４の電源ノードとの間に接続されかつ互いに直列に接続される第４の抵抗性素子および各々がダイオード接続される第１１および第１２の絶縁ゲート型電界効果トランジスタで構成される第４の電圧発生部を備える、請求項１０ないし１６のいずれかに記載の電圧発生回路。

【請求項１８】

前記第１の内部ノードから前記第５の電圧が出力される、請求項１０ないし１６のいずれかに記載の電圧発生回路。

【請求項１９】

前記電圧発生手段はさらに前記第３の電源ノードと前記第４の電源ノードとの間に結合され、前記第３および第４の電源ノード上の電圧を分圧して前記第５の電圧を生成する分圧手段を備える、請求項１０ないし１６のいずれかに記載の電圧発生回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は所定のレベルの電圧を発生するための回路に関し、特にＭＯＳトランジスタ（絶縁ゲート型電界効果トランジスタ）を構成要素として含む半導体集積回路装置内に設けられる内部電圧発生回に関する。より特定的には、ダイナミック型半導体記憶装置（ＤＲＡＭ）において動作電源電圧の約半分の電圧レベルの中間電圧を発生するための回路に関する。

【０００２】
【従来の技術】
図２３は、ダイナミック型半導体記憶装置（ＤＲＡＭと以下称す）の内部電圧を利用する部分の構成の一例を示す図である。図２３においては、メモリセルアレイ部の構成が概略的に示される。メモリセルアレイにおいては、メモリセルＭＣが行および列のマトリクス状に配列され、各行に対応してワード線ＷＬが配設され、かつ各列に対応してビット線対が配設される。ワード線ＷＬには、対応の行のメモリセルが接続され、またビット線対には対応の列のメモリセルが接続される。図２３においては、２本のワード線ＷＬ１およびＷＬ２と、１対のビット線ＢＬおよび／ＢＬを代表的に示す。
【０００３】
ワード線ＷＬ１とビット線ＢＬの交差部に対応してメモリセルＭＣ１が配設され、ワード線ＷＬ２とビット線／ＢＬとの交差部に対応してメモリセルＭＣ２が配設される。メモリセルＭＣ１は、情報を電荷の形態で格納するキャパシタＣａ１と、対応のワード線ＷＬ１上の信号電位に応答して導通してキャパシタＣａ１をビット線ＢＬに接続し、キャパシタＣａ１に格納された情報を対応のビット線ＢＬに読出すためのアクセストランジスタＭＴ１を含む。メモリセルＭＣ２は、メモリセルＭＣ１と同様、キャパシタＣａ２と、対応のワード線ＷＬ２上の信号電位に応答して導通するアクセストランジスタＭＴ２を含む。アクセストランジスタＭＴ１およびＭＴ２はともに、ｎチャネルＭＯＳトランジスタ（絶縁ゲート型電界効果トランジスタ）で構成される。
【０００４】
ビット線対ＢＬおよび／ＢＬには、スタンバイ時にビット線ＢＬおよび／ＢＬを中間電位ＶＢＬにプリチャージするためのプリチャージ／イコライズ回路ＰＥが設けられる。プリチャージ／イコライズ回路ＰＥは、イコライズ信号ＥＱに応答してビット線ＢＬおよび／ＢＬを電気的に短絡するイコライズトランジスタＴ１と、イコライズ信号ＥＱに応答して導通し、ビット線ＢＬおよび／ＢＬへプリチャージ電圧ＶＢＬをそれぞれ伝達するプリチャージトランジスタＴ２およびＴ３を含む。トランジスタＴ１～Ｔ３は、ｎチャネルＭＯＳトランジスタで構成される。このプリチャージ電圧ＶＢＬは、動作電源電圧ＶＣＣと接地電圧ＶＳＳの間の中間電位（ＶＣＣ／２：ＶＳＳ＝０Ｖ）に設定される。
【０００５】
メモリセルキャパシタＣａ１およびＣａ２のセルプレート電極（共通電極：アクセストランジスタＭＴ１およびＭＴ２に接続されないノード）にもまた、中間電位レベルのセルプレート電圧ＶＣＰが与えられる。このプリチャージ電圧ＶＢＬおよびセルプレート電圧ＶＣＰはＤＲＡＭ内部に設けられた中間電圧発生回路ＭＶから与えられる。プリチャージ電圧ＶＢＬおよびセルプレート電圧ＶＣＰが中間電位ＶＣＣ／２の電圧レベルに設定される理由については後に説明する。次に、この図２３に示すＤＲＡＭの動作について、図２４に示す動作波形図を参照して説明する。
【０００６】
ＤＲＡＭにおいては、動作サイクル（待機状態にあるスタンバイサイクルおよびメモリセル選択動作が行なわれるアクティブサイクル）は、外部から与えられるローアドレスストローブ信号／ＲＡＳにより決定される。ローアドレスストローブ信号／ＲＡＳがハイレベルのとき、ＤＲＡＭはスタンバイサイクルにあり、内部のメモリセルアレイはプリチャージ状態に維持される。このスタンバイサイクルにおいては、イコライズ信号ＥＱがハイレベルにあり、プリチャージ／イコライズ回路ＰＥにおけるトランジスタＴ１～Ｔ３はすべてオン状態にあり、ビット線ＢＬおよび／ＢＬは中間電圧発生回路ＭＶから与えられるプリチャージ電圧ＶＢＬの電圧レベルにプリチャージされる。ワード線ＷＬ１およびＷＬ２は非選択状態にあり、接地電圧レベルのローレベルに保持される。
【０００７】
ローアドレスストローブ信号／ＲＡＳがローレベルに立下がると、アクティブサイクルが始まり、メモリセル選択動作が開始される。このローアドレスストローブ信号／ＲＡＳの立下がりに応答して、イコライズ信号ＥＱがローレベルとなり、プリチャージ／イコライ

ズ回路ＰＥのトランジスタＴ１～Ｔ３がすべてオフ状態とされる。この状態においては、ビット線ＢＬおよび／ＢＬはプリチャージ電圧ＶＢＬでフローティング状態とされる。

【０００８】

次いで、外部から与えられるローアドレス信号がこのローアドレストローブ信号／ＲＡＳの立下がりに応答して取込まれてデコードされ、このローアドレス信号によりアドレス指定された行に対応して配置されたワード線ＷＬが選択されて、選択ワード線ＷＬの電位がハイレベルに上昇する（通常、動作電源電圧ＶＣＣよりも高い電圧レベル）。この選択ワード線ＷＬの電位が立上がると、選択ワード線ＷＬに接続されるメモリセルＭＣのアクセストランジスタＭＴが導通状態となり、メモリセルキャパシタＣａがそれぞれ対応のビット線と電気的に接続される。今、説明を簡単にするために、ワード線ＷＬ１が選択されると仮定する。この状態においては、メモリセルＭＣ１のアクセストランジスタＭＴ１がオン状態となり、キャパシタＣａ１がビット線ＢＬに電気的に接続される。メモリセルキャパシタＣａ１の蓄積電荷量（記憶情報）に従ってビット線ＢＬとキャパシタＣａ１の間で電荷の移動が生じ、ビット線ＢＬの電位が変化する。図２４においては、このメモリセルＭＣ１がハイレベルデータを記憶しており、ビット線ＢＬの電位が上昇した場合を一例として示す。他方のビット線／ＢＬには、メモリセルキャパシタは接続されないため、ビット線／ＢＬはプリチャージ電圧ＶＢＬの電圧レベルを維持する。

【０００９】

ビット線ＢＬおよび／ＢＬの電位差が十分に拡大されると、次いで図示しないセンスアンプが活性化され、ビット線ＢＬおよび／ＢＬの電位が差動的に増幅され、ハイレベルのビット線ＢＬの電位が電源電圧ＶＣＣレベル、低電位のビット線／ＢＬの電位が接地電圧ＶＳＳレベルに設定される。次いで、図示しないコラムアドレス信号が与えられてデコードされ、このデコードされたコラムアドレス信号が指定する列のメモリセルが選択され、選択列のメモリセルに対するデータの書込または読出が行なわれる。

【００１０】

メモリセルのアクセス動作が完了すると、ローアドレスストローブ信号／ＲＡＳがハイレベルへ立上がり、選択ワード線ＷＬの電位がローレベルに立下がり、この選択ワード線ＷＬ１に接続されるメモリセルＭＣのアクセストランジスタＭＴ１がオフ状態とされる。次いで、センスアンプが非活性状態とされ、ビット線ＢＬおよび／ＢＬの電位のラッチ動作が停止される。次いでイコライズ信号ＥＱがハイレベルに立上がり、プリチャージ／イコライズ回路ＰＥにより、ビット線ＢＬおよび／ＢＬが中間電圧ＶＣＣ／２レベルのプリチャージ電圧ＶＢＬにプリチャージされる。

【００１１】

図２４の動作波形図から明らかなように、ビット線ＢＬおよび／ＢＬの電圧はプリチャージ電圧ＶＢＬから動作電源電圧ＶＣＣまたは接地電圧ＶＳＳへ変化する。したがってビット線ＢＬおよび／ＢＬの電圧振幅がＶＣＣ／２となり、ビット線ＢＬおよび／ＢＬがそれぞれ読出されたメモリセルデータに応じてハイレベルおよびローレベルに設定されるのに要する時間が短くなり、速いタイミングでビット線ＢＬおよび／ＢＬの電圧レベルを確定状態とすることができる。それにより、選択メモリセルへのアクセスタイミングを速くすることができ、高速アクセスが可能となる。

【００１２】

セルプレート電圧ＶＣＰを中間電圧ＶＣＣ／２レベルに設定するのは、以下の理由による。ＤＲＡＭの記憶容量が増大しまた集積度も高くなると、メモリセルの占有面積が小さくされ、応じてメモリセルキャパシタの占有面積も小さくされる。図２４に示すビット線ＢＬおよび／ＢＬの電位差（読出電圧）ΔＶが図示しないセンスアンプにより検知増幅されてメモリセルデータが読出される。したがって、センスアンプが正確にセンス動作を行なうためには、この読出電圧ΔＶの値はできるだけ大きくするのが望ましい。この読出電圧ΔＶの大きさは、ビット線ＢＬ（または／ＢＬ）の容量Ｃｂとメモリセルキャパシタ Ｃａの容量Ｃｓの比、Ｃｓ／Ｃｂにほぼ比例する。したがって、メモリセルキャパシタＣａの容量値はできるだけ大きくすることが必要とされる。メモリセルキャパシタの容量値は、

ストレージノード（アクセストランジスタに接続される電極ノード）とセルプレートとの対向面積およびセルプレートとストレージノードとの距離により決定される。十分な大きさのメモリセルキャパシタの容量値を実現するために、このメモリセルキャパシタＣａの絶縁膜の膜厚はできるだけ薄くされる。このような薄くされたキャパシタ絶縁膜を有するメモリセルキャパシタの耐圧特性を保証するために、セルプレート電圧ＶＣＰとして中間電圧ＶＣＣ／２の電圧を印加して、メモリセルキャパシタＣａのストレージノードとセルプレートとの間の印加される電圧を中間電圧ＶＣＣ／２の電圧レベルに保持する。

【００１３】

図２５は、従来の中間電圧発生回路の一例を示す図である。図２５において、中間電圧発生回路は、電源ノード４ａ上の電圧ＶＣＣと接地ノード４ｂ上の電圧ＶＳＳとから第１の電圧を生成する第１の電圧発生部ＶＧ１と、電源ノード４ａ上の電圧ＶＣＣと接地ノード４ｂ上の電圧ＶＳＳとから第２の電圧を生成する第２の電圧発生部ＶＧ２と、電源ノード４ａと接地ノード４ｂの間に接続され、電圧発生部ＶＧ１およびＶＧ２から発生された第１および第２の電圧に従って所定の電圧レベルの内部電圧Ｖ０を生成する出力回路ＯＵＴを含む。

【００１４】

第１の電圧発生部ＶＧ１は、電源ノード４ａと内部ノード１ａの間に接続される高抵抗の抵抗素子Ｒ１と、内部ノード１ａおよび１ｂの間に接続される高抵抗の抵抗素子Ｒ２と、内部ノード１ｂと接地ノード４ｂの間に互いに直列に接続されるダイオードモードで動作するｎチャネルＭＯＳトランジスタＱ１およびＱ２を含む。ＭＯＳトランジスタＱ１およびＱ２の各々は、そのゲートおよびドレインが相互接続されて（ダイオード接続されて）、抵抗素子Ｒ１、Ｒ２からの小電流によりダイオードモードで動作する。

【００１５】

第２の電圧発生部ＶＧ２は、電源ノード４ａと内部ノード２ｂの間に互いに直列に接続されるｐチャネルＭＯＳトランジスタＱ３およびＱ４と、内部ノード２ｂと内部ノード２ａの間に接続される高抵抗の抵抗素子Ｒ３と、内部ノード２ａと接地ノード４ｂの間に接続される高抵抗の抵抗素子Ｒ４を含む。ＭＯＳトランジスタＱ３およびＱ４の各々は、そのゲートおよびドレインが相互接続され、抵抗素子Ｒ３、Ｒ４による小電流によりダイオードモードで動作する。内部ノード１ａから第１の電圧が生成され、内部ノード２ａから第２の電圧が出力される。

【００１６】

出力回路ＯＵＴは、電源ノード４ａと出力ノード３の間に接続され、そのゲートが内部ノード１ａに接続されるｎチャネルＭＯＳトランジスタＱ５と、出力ノード３と接地ノード４ｂの間に接続され、その制御電極ノード（ゲート）に内部ノード２ａ上の第２の電圧を受けるｐチャネルＭＯＳトランジスタＱ６を含む。次に動作について説明する。

【００１７】

抵抗素子Ｒ１およびＲ２のそれぞれの抵抗値はｎチャネルＭＯＳトランジスタＱ１およびＱ２のオン抵抗（チャネル抵抗）よりも十分大きいように設定されている。この状態においては、ＭＯＳトランジスタＱ１およびＱ２がダイオードモードで動作し、それぞれがそのしきい値電圧ＶＴＮの電圧降下を生じさせる。したがって内部ノード１ｂ上の電圧は２・ＶＴＮの電圧レベルとなる（接地電圧ＶＳＳは０Ｖ）。抵抗素子Ｒ１およびＲ２の抵抗値が互いに等しくＲとすると、内部ノード１ａには、電源ノード４ａと内部ノード１ｂの電位差を１：１の比で抵抗分割した電圧が出力される。すなわち、

（ＶＣＣ＋２・ＶＴＮ）／２＝ＶＣＣ／２＋ＶＴＮ

の電圧レベルの電圧が第１の電圧として内部ノード１ａからＭＯＳトランジスタＱ５のゲートへ与えられる。第２の電圧発生部においても、抵抗素子Ｒ３およびＲ４の抵抗値がＭＯＳトランジスタＱ３およびＱ４のオン抵抗（チャネル抵抗）よりも十分大きい値に設定される。ＭＯＳトランジスタＱ３およびＱ４がダイオードモードで動作し、それぞれしきい値電圧の絶対値の電圧降下を生じさせる。したがって、内部ノード２ｂの電位は、ＶＣＣ－２・｜ＶＴＰ｜となる。抵抗素子Ｒ３およびＲ４の抵抗値が互いに等しく、抵抗素子

Ｒ３およびＲ４にかかる電圧が等しくなるため、内部ノード２ａの電位は、
ＶＣＣ／２－｜ＶＴＰ｜
で与えられる。
【００１８】
出力回路ＯＵＴにおいて、ＭＯＳトランジスタＱ５の制御電極ノード（ゲート）へ印加される電圧レベルは、電源ノード４ａへ与えられる電源電圧ＶＣＣよりも低いため、このＭＯＳトランジスタＱ５がソースフォロアモードで動作し、出力ノード３へは、このＭＯＳトランジスタＱ５がそのゲート電位からしきい値電圧を引いた電圧を伝達させる。すなわち、ＭＯＳトランジスタＱ５が、出力ノード３へＶＣＣ／２の電位を伝達する。出力ノード３の電位Ｖ０がＶＣＣ／２よりも高くなると、ＭＯＳトランジスタＱ５のゲート－ソース間電位がそのしきい値電圧ＶＴＮよりも小さくなり、ＭＯＳトランジスタはオフ状態となる。一方、この出力ノード３の電圧Ｖ０がＶＣＣ／２よりも低くなると、ＭＯＳトランジスタＱ５のゲート－ソース間電圧はＭＯＳトランジスタのしきい値電圧ＶＴＮよりも高くなり、ＭＯＳトランジスタＱ５がオン状態となり、電源ノード４ａから出力ノード３へ電流を供給し、その電位を上昇させる。
【００１９】
ＭＯＳトランジスタＱ６は、そのゲート電位がそのドレイン、すなわち接地ノード４ｂの電位よりも高いため、同様、ソースフォロアモードで動作し、出力ノード３の電位を、このゲート電位から自身のしきい値電圧の絶対値高い電圧レベルにまで放電する。すなわち、ＭＯＳトランジスタＱ６は、出力ノード３の電圧Ｖ０をＶＣＣ／２の電圧レベルにまで低下させる。出力ノード３の電圧Ｖ０がＶＣＣ／２よりも高くなると、ＭＯＳトランジスタＱ６は、そのゲート－ソース間電位がしきい値電圧よりも大きくなり、オン状態となり、この出力ノード３の電位を低下させる。出力ノード３の電圧Ｖ０がＶＣＣ／２よりも低くなると、そのＭＯＳトランジスタＱ６のゲート－ソース間電位が、しきい値電圧ＶＴＰよりも小さくなり、ＭＯＳトランジスタＱ６がオフ状態となる。
【００２０】
したがって、出力回路ＯＵＴにおいては、ＭＯＳトランジスタＱ５およびＱ６が、一方がオン状態のとき、他方はオフ状態であり、プッシュプル態様で動作する。またＭＯＳトランジスタＱ５およびＱ６は、それぞれのゲート－ソース間電圧が、それぞれのしきい値電圧に等しい領域近傍で動作するため、すなわちＭＯＳトランジスタＱ５およびＱ６はオン状態とオフ状態の境界で動作しているため、電源ノード４ａから接地ノード４ｂへの貫通電流はほとんど生じず、消費電力が小さくなる。また、電圧発生部ＶＧ１およびＶＧ２においても、ＭＯＳトランジスタＱ１～Ｑ４をダイオードモードで動作させるために微小電流が要求されるだけであり、抵抗素子Ｒ１～Ｒ４の抵抗値は十分大きくされており、そこを流れる電流も十分小さくされ、消費電流も小さくされている。
【００２１】
図２６は、従来の中間電圧発生回路の他の構成を示す図である。図２６において、中間電圧発生回路は、基準電圧を発生する電圧発生部ＶＧと、この電圧発生部ＶＧからの基準電圧に従って所定の電圧レベルの中間電圧Ｖ０を出力する出力回路ＯＵＴを含む。電圧発生部ＶＧは、電源ノード４ａと内部ノード１の間に接続される高抵抗の抵抗性素子Ｒ５と、内部ノード１と内部ノード７の間に接続されるダイオード接続されたｎチャネルＭＯＳトランジスタＱ７と、内部ノード７と内部ノード２の間に接続されるダイオード接続されたｐチャネルＭＯＳトランジスタＱ８と、内部ノード２と接地ノード４ｂの間に接続される高抵抗の抵抗性素子Ｒ６を含む。出力回路ＯＵＴは、図２５に示す構成と同様、出力ノード３を充電するためのｎチャネルＭＯＳトランジスタＱ５と、出力ノード３を放電するためのｐチャネルＭＯＳトランジスタＱ６を含む。
【００２２】
抵抗性素子Ｒ５およびＲ６の抵抗値は、ＭＯＳトランジスタＱ７およびＱ８のオン抵抗（チャネル抵抗）よりも十分大きくされており、ＭＯＳトランジスタＱ７およびＱ８がダイオードモードで動作し、それぞれしきい値電圧の電圧降下を生じさせる。抵抗性素子Ｒ５

およびＲ６の抵抗値は互いに等しくＲとし、ＭＯＳトランジスタＱ７およびＱ８のしきい値電圧をそれぞれＶＴＮおよびＶＴＰとし、また電源ノード４ａから接地ノード４ｂへこの電圧発生部ＶＧを介して流れる電流をＩとすると次式が得られる。

【００２３】

２・Ｉ・Ｒ＋ＶＴＮ＋｜ＶＴＰ｜＝ＶＣＣ

Ｉ・Ｒ＝（ＶＣＣ－ＶＴＮ－｜ＶＴＰ｜）／２

内部ノード１および２の電圧ＶＮ１およびＶＮ２は、したがって、次式で与えられる。

【００２４】

$$VN1=VCC-I\cdot R$$
$$=VCC/2+(VTN+|VTP|)/2$$
$$VN2=VN1-VTN-|VTP|$$
$$=VCC/2-(VTN+|VTP|)/2$$

ＭＯＳトランジスタＱ５およびＱ６は、それぞれソースフォロアモードで動作し、自身のゲートの電位からしきい値電圧を引いた電圧をドレインからソースへ伝達する。したがって、出力ノード３からの電圧ＶＮ３は、次式で与えられる。

【００２５】

ＶＮ３＝ＶＣＣ／２＋（｜ＶＴＰ｜－ＶＴＮ）／２

出力ノード３の電圧ＶＮ３が上昇すると、ｐチャネルＭＯＳトランジスタＱ６がオン状態となり、その出力ノード３の電圧ＶＮ３の電圧レベルを低下させる。一方、出力ノード３の電圧レベルが低下すると、ＭＯＳトランジスタＱ５がオン状態となり、この出力ノード３からの電圧ＶＮ３の電圧レベルを上昇させる。しきい値電圧｜ＶＴＰ｜およびＶＴＮはほぼ値が等しいため、出力ノード３から出力される電圧ＶＮ３の電圧レベルは、ほぼＶＣＣ／２となる。この図２６に示す中間電圧発生回路の構成においても、出力回路ＯＵＴのＭＯＳトランジスタＱ５およびＱ６は、オン状態とオフ状態の境界領域で動作しており、またプッシュプル態様で動作しているため、電源ノード４ａから接地ノード４ｂへの電流はほとんど流れず、消費電力は小さい。また電圧発生部ＶＧにおいても、抵抗性素子Ｒ５およびＲ６の抵抗値は十分大きいため、流れる電流は極めて小さく、消費電流は小さくされる。

【００２６】

【発明が解決しようとする課題】

ＤＲＡＭは、たとえばノートブック型パーソナルコンピュータなどのような携帯型機器の用途に多く用いられている。このような携帯型機器では、電池を電源として動作させるため、低消費電力のデバイスが特に要求される。低消費電力化に対しては種々の方法があるが、消費電力は動作電源電圧の２乗に比例するため、動作電源電圧を低下させる方法が最も効果が大きい。このような観点から、電源電圧が１．８Ｖ±０．１５（１．６５～１．９５Ｖ）という要求も出てきている。電源電圧の減少に伴って、ＭＯＳトランジスタのサイズもスケールダウンされるが、しきい値電圧をこの電源電圧の減少に伴って低下させるのは、以下に述べるように、サブスレッショルド電流が増大するため通常困難である。

【００２７】

図２７は、ｎチャネルＭＯＳトランジスタのゲート電圧とドレイン電流との関係を示す図である。縦軸にドレイン電流Ｉｄｓを示し、横軸にゲート電圧（ソース電圧を基準とするゲート電圧）Ｖｇｓを示す。ＭＯＳトランジスタのしきい値電圧は、ある量のドレイン電流が流れるときのゲート電圧として規定される。たとえば、１０μｍのゲート幅を有するＭＯＳトランジスタにおいて、１μＡの電流が流れるときのゲート電圧Ｖｇｓがしきい値電圧Ｖｔｈとして規定される。ＭＯＳトランジスタにおいては、そのゲート電圧がしきい値電圧以下となるとドレイン電流Ｉｄｓは指数関数的に低下するが、そのゲート電圧Ｖｇｓが０Ｖとなってもドレイン電流Ｉｄｓは０にはならない。

【００２８】

今、ＭＯＳトランジスタのしきい値電圧をＶｔｈ１からＶｔｈ２へ低下させると、このＭＯＳトランジスタの特性曲線は、曲線Ｉから曲線ＩＩへ移行する。このとき、ゲート電圧Ｖｇｓが０Ｖのとき流れる電流（サブスレッショルド電流）は、Ｉ１からＩ２へと増加する。したがって、単純にしきい値電圧を低下させると、サブスレッショルド電流が増加し、消費電流が多くなるという問題が生じる。ｐチャネルＭＯＳトランジスタの特性は図２７のＶｇｓの符号を反転することにより得られ、同様の問題が生じる。たとえば、現在ＤＲＡＭで用いられているＭＯＳトランジスタのしきい値電圧の大きさは、ＶＴＮ＝０．７±０．１Ｖ、｜ＴＶＰ｜＝０．７５±０．１Ｖ程度の値を有する。

【００２９】

図２８は、図２５に示す中間電圧発生回路のノード１ａの電圧Ｖ１と電源電圧ＶＣＣとの関係を示す図である。電源電圧ＶＣＣが２・ＶＴＮ以下の状態においては、ＭＯＳトランジスタＱ１およびＱ２の少なくとも一方がオフ状態であり、第１の電圧発生部ＶＧ１においては電流は流れないため、ノード１ａ上の電圧Ｖ１は電源電圧ＶＣＣに従って上昇する（Ｖ１＝ＶＣＣ）。

【００３０】

電源電圧ＶＣＣが２・ＶＴＮ以上になると、ＭＯＳトランジスタＱ１およびＱ２はともにオン状態となり、第１の電圧発生部ＶＧ１において電源ノード４ａから接地ノード４ｂへ電流が流れ、ノード１ａの電圧Ｖ１は、ＶＣＣ／２＋ＶＴＮとなる。ＭＯＳトランジスタＱ１およびＱ２が前述の値のしきい値電圧ＶＴＮを有する場合、２・ＶＴＮ＝１．４±０．２Ｖとなる。したがって、電源電圧ＶＣＣがこの１．４±０．２Ｖ以下においては、ノード１ａの電圧Ｖ１は電源電圧ＶＣＣに等しくなり、必要とされるレベルＶＣＣ／２＋ＶＴＮの電圧を生成することができない。一方、電源電圧ＶＣＣの許容最小値は１．８－０．１５＝１．６５Ｖである。第１の電圧発生部ＶＧ１が正常に動作するために必要とされる電圧は、１．４＋０．２＝１．６Ｖであり、両者の差は０．０５Ｖとなり、その差は極めて小さい値となる。第２の電圧発生部ＶＧ２においても同様、電源電圧ＶＣＣが２｜ＶＴＰ｜以上のときに所望の電圧ＶＣＣ／２－｜ＶＴＰ｜が出力され、電源電圧ＶＣＣが２｜ＶＴＰ｜より小さい場合には、この第２の電圧発生部ＶＧ２のノード２ａの電位は接地電圧レベルすなわち０Ｖとなる。

【００３１】

したがって、通常動作状態において、電源電圧にノイズが生じ電源電圧ＶＣＣの電圧レベルが低下するかまたは接地電圧にノイズが生じこの接地電圧ＶＳＳの電圧レベルが０Ｖよりも高くなると、ノード１ａの電圧Ｖ１＝ＶＣＣ、ノード２ａの電圧Ｖ２＝ＶＳＳとなり、所望の電圧レベル（中間電圧ＶＣＣ／２）の電圧Ｖ０を出力することができなくなるという問題が生じる。

【００３２】

上述の状況は、図２６に示す中間電圧発生回路においても同様である。すなわち、図２６において、電源電圧ＶＣＣが、ＭＯＳトランジスタＱ７およびＱ８のしきい値電圧の絶対値の和、すなわち０．７＋０．１＋０．７５＋０．１＝１．６５Ｖ以下となると、ＭＯＳトランジスタＱ７およびＱ８がオフ状態となり、ノード１の電圧が電源電圧ＶＣＣのレベルとなり、一方ノード２の電位は接地電圧レベルとなる。

【００３３】

したがって、いずれの中間電圧発生回路においても、出力回路ＯＵＴにおいて、ＭＯＳトランジスタＱ５のゲートおよびドレイン電圧がともに電源電圧ＶＣＣとなり、またＭＯＳトランジスタＱ６のゲートおよびドレインが接地電圧ＶＳＳレベルとなる。この状態においては、ＭＯＳトランジスタＱ５のゲート電圧ＶＣＣとソース電圧（出力電圧Ｖ０またはＶＮ３）の差はＭＯＳトランジスタＱ５のしきい値電圧よりも小さくなり、ＭＯＳトランジスタＱ５がオフ状態となる。すなわち、図２５に示す出力回路ＯＵＴにおいてＭＯＳトランジスタＱ５のゲートーソース間電圧がＶＣＣ／２となり、ＶＣＣ＜２・ＶＴＮより、このＭＯＳトランジスタＱ５のゲートーソース間電圧がしきい値電圧ＶＴＮより小さくなる。同様、ＭＯＳトランジスタＱ６においても、図２５に示す構成においては、そのゲー

トーソース間電圧がＶＣＣ／２（＜｜ＶＴＰ｜）となり、ＭＯＳトランジスタＱ６がオフ状態となる。したがって、ＭＯＳトランジスタＱ５およびＱ６がともにオフ状態となり、その出力ノード３から出力される電圧Ｖ０の電圧レベルが不安定になる。

【００３４】

また同様、図２６に示す構成においても、ＭＯＳトランジスタＱ５のゲートとソース（出力ノード）との電位差ＶＣＣ－ＶＮ３は、

ＶＣＣ／２－（｜ＶＴＰ｜－ＶＴＮ）／２

となる。電源電圧ＶＣＣが、ＭＯＳトランジスタＱ７およびＱ８のしきい値電圧の和よりも小さいため、この式から、ＭＯＳトランジスタＱ５のゲートーソース間電位差は、しきい値電圧ＶＴＮよりも小さくなり、ＭＯＳトランジスタＱ５がオフ状態となる。同様、ＭＯＳトランジスタＱ６においても、そのゲートーソース間電圧－ＶＮ３は、

ＶＣＣ／２＋（｜ＶＴＰ｜－ＶＴＮ）／２

となる。この場合においても、ＭＯＳトランジスタＱ６のゲートーソース間電圧は、｜ＶＴＰ｜よりも小さくなり、ＭＯＳトランジスタＱ６がオフ状態となる。したがって、ＭＯＳトランジスタＱ５およびＱ６がともにオフ状態となり、出力ノード３からの電圧Ｖ０（ＶＮ３）は不安定となる。

【００３５】

また、電源投入後、電源電圧ＶＣＣが所定の電圧レベル（２・ＶＴＮ、２｜ＶＴＰ｜またはＶＴＮ＋｜ＶＴＰ｜）の電圧レベルにまで到達しない状態で安定したとき、ＭＯＳトランジスタＱ５は、そのゲートーソース間電圧がしきい値電圧より低くなり（ＶＣＣ－ＶＴＮ＜ＶＴＮ）、常時オフ状態を維持する。したがって、所望の電圧を生成することがなくなるという問題が生じる。

【００３６】

また、構成要素であるＭＯＳトランジスタのしきい値電圧が製造パラメータのばらつきなどによりその絶対値が大きくなった場合においても、所望の電圧を安定に生成することができなくなる。

【００３７】

それゆえ、この発明の目的は電源電圧に対するマージンが拡大された電圧発生回路を提供することである。

【００３８】

この発明の他の目的は、低電源電圧においても安定に所望のレベルの内部電圧を生成することのできるＤＲＡＭ用途に適した電圧発生回路を提供することである。

【００３９】

【課題を解決するための手段】

この発明に係る電圧発生回路は、第１の電源ノードに結合される一方電極ノードと、所定の電圧レベルの電圧を発生するための出力ノードに接続される他方電極ノードとを有する第１導電型の第１のＭＯＳトランジスタと、第２の電源ノードに結合される一方電極ノードと出力ノードに接続される他方電極ノードとを有する第２導電型の第２のＭＯＳトランジスタと、少なくとも第３および第４の電源ノード上の電圧を受けて第１および第２の電圧を生成してそれぞれ第１および第２のＭＯＳトランジスタの制御電極ノードへ印加する電圧生成手段を備える。

【００４０】

第１および第２の電圧の差は、第１および第２のＭＯＳトランジスタのしきい値電圧の絶対値の和に等しくされる。第３の電源ノードの電圧は、出力ノードから出力される電圧と、この出力ノードの電圧値の測定基準値を与える測定基準電圧との差の２倍よりも高い電圧レベルに設定される。第４の電源ノードの電圧は、特定基準電圧よりも低い電圧レベルに設定される。

【００４１】

出力すべき電圧の電圧値の２倍以上の電圧と、出力ノードからの電圧の測定基準を与える測定基準電圧よりも低い電圧レベルとを利用することにより、この第３および第４の電源

ノードの電圧差は十分大きくされ、これらの電圧に基づいて第１および第２のＭＯＳトランジスタのしきい値電圧の絶対値の和に等しい差を有する第１および第２の電圧を生成するため、電源電圧と接地電圧を利用する構成に比べて安定に第１および第２の電圧を生成することができ、第１および第２のＭＯＳトランジスタがオフ状態になるのを防止することができ、低電源電圧条件下でも安定に所望の電圧レベルの電圧を生成することができる。

【００４２】

【発明の実施の形態】

［実施の形態１］

図１は、この発明の実施の形態１である電圧発生回路の構成を示す図である。図１において、電圧発生回路は、第１の電源ノードとしての電源ノード４ａと第２の電源ノードとしての接地ノード４ｂの間に接続され、出力ノード３に所定の電圧レベルの内部電圧Ｖ０を生成する出力回路ＯＵＴと、少なくとも第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢとを利用して、出力ノード３へ出力される電圧Ｖ０の電圧レベルを決定する第１および第２の電圧を生成して出力回路ＯＵＴへ与える電圧発生部ＶＧＡを含む。第３の出力ノード３に与えられる電圧Ｖ０は、後に説明するように、電圧ＶＣＣ／２の電圧レベルを有する。この出力ノード３の電圧Ｖ０の電圧値は、接地ノード４ｂ上の接地電圧を基準として測定される。すなわちＶ０＝ＶＣＣ／２－ＶＳＳである。第３の電源ノード５へ与えられる電圧ＶＰＰは、出力ノード３上の電圧Ｖ０と、この出力ノード３上の電圧Ｖ０の測定基準電圧ＶＳＳ（０Ｖ）の差の２倍以上の大きさを有する。すなわち、この第３の電源ノード５上の電圧ＶＰＰは、電源電圧ＶＣＣよりも高い電圧レベルを有する。第４の電源ノード６へは、この測定基準電圧である接地電圧よりも低い電圧すなわち負電圧が与えられる。

【００４３】

出力回路ＯＵＴは、第１の電源ノード４ａに接続される一方電極ノード（ドレイン）と出力ノード３に接続される他方電極ノード（ソース）を有するｎチャネルＭＯＳトランジスタＱ５と、第２の電源ノードとしての接地ノード４ｂに接続される一方電極ノード（ドレイン）と、出力ノード３に接続される他方電極ノード（ソース）を有するｐチャネルＭＯＳトランジスタＱ６を含む。

【００４４】

電圧発生部ＶＧＡは、第３の電源ノード５上の電圧ＶＰＰと接地ノード４ｂ上の電圧ＶＳＳとを受けて第１の電圧を生成してＭＯＳトランジスタＱ５のゲート（制御電極ノード）へ与える第１の電圧発生部ＶＧＡａと、電源ノード４ａ上の電圧ＶＣＣと第４の電源ノード６上の電圧ＶＢＢとを受けて第２の電圧を生成してＭＯＳトランジスタＱ６のゲートへ与える第２の電圧発生部ＶＧＡｂを含む。

【００４５】

第１の電圧発生部ＶＧＡａは、第３の電源ノード５と内部ノード１の間に接続される高抵抗の抵抗性素子Ｒ１と、ノード１と接地ノード４ｂの間に互いに直列に接続される高抵抗の抵抗性素子Ｒ２およびｎチャネルＭＯＳトランジスタＱ１Ｎを含む。ＭＯＳトランジスタＱ１Ｎは、そのゲートおよびドレインが相互接続され（ダイオード接続され）、ダイオードモードで動作する。第２の電圧発生部ＶＧＡｂは、電源ノード４ａとノード２の間に互いに直列に接続されるｐチャネルＭＯＳトランジスタＱ３Ｐおよび高抵抗の抵抗性素子Ｒ３と、ノード２と第４の電源ノード６の間に接続される高抵抗の抵抗性素子Ｒ４を含む。ＭＯＳトランジスタＱ３Ｐは、そのゲートおよびドレインが相互接続されてダイオードモードで動作する。抵抗性素子Ｒ１およびＲ２の抵抗値はＭＯＳトランジスタＱ１Ｎのオン抵抗（チャネル抵抗）よりも十分大きな値に設定される。抵抗性素子Ｒ３およびＲ４の抵抗値は、またＭＯＳトランジスタＱ３Ｐのオン抵抗よりも十分大きい値に設定される。次に動作について説明する。以下の説明では電圧の大きさは、接地電圧を測定基準電圧として示される。

【００４６】

第３の電源ノード５へ与えられる高電圧ＶＰＰは、ＶＣＣ＋ＶＴＮの電圧レベルに設定される。ここでＶＴＮは、ＭＯＳトランジスタＱ１Ｎのしきい値電圧を示す。第４の電源ノード６へ与えられる電圧ＶＢＢは、－｜ＶＴＰ｜の電圧レベルに設定される。ここで、ＶＴＰは、ＭＯＳトランジスタＱ３Ｐのしきい値電圧を示す。以下の説明においては、ｎチャネルＭＯＳトランジスタはすべてしきい値電圧ＶＴＮを有し、ｐチャネルＭＯＳトランジスタはしきい値電圧ＶＴＰを有するとする。抵抗性素子Ｒ１～Ｒ４の抵抗値は十分大きい値に設定されており、ＭＯＳトランジスタＱ１ＮおよびＱ３Ｐは、それぞれダイオードモードで動作し、しきい値電圧の絶対値の電圧降下を生じさせる。抵抗性素子Ｒ１およびＲ２は同じ抵抗値を有し、また抵抗性素子Ｒ３およびＲ４は同じ抵抗値を有する。抵抗性素子Ｒ１およびＲ２が同じ抵抗値を有しており、抵抗性素子Ｒ１およびＲ２それぞれにかかる電圧は同じ値を有する。したがって、ノード１の電圧Ｖ１は、次式で与えられる。

【００４７】

$$V1=(VCC+VTN-VTN)/2+VTN$$
$$=VCC/2+VTN \quad \cdots(1)$$

第２の電圧発生部ＶＧＡｂにおいても、抵抗性素子Ｒ３およびＲ４にかかる電圧は同じである。したがって、ノード２から出力される電圧Ｖ２は、次式で与えられる。

【００４８】

$$V2=(VCC-|VTP|-(-|VTP|))/2-|VTP|$$
$$=VCC/2-|VTP| \quad \cdots(2)$$

ＭＯＳトランジスタＱ５は、ゲート電位がドレイン電位（電源電圧ＶＣＣ）よりも低く（ＶＣＣ／２－ＶＴＮ≧０）、ソースフォロアモードで動作する。したがって、ＭＯＳトランジスタＱ５は、出力ノード３へＶＣＣ／２の電圧を伝達する。ＭＯＳトランジスタＱ６は、ゲート電位がドレイン電位よりも高く、出力ノード３の電圧をＶＣＣ／２の電圧レベルにクランプする。出力ノード３の電圧Ｖ０が上昇すると、ＭＯＳトランジスタＱ５のゲート－ソース間電圧が大きくなり、ＭＯＳトランジスタＱ５が導通し、電源ノード４ａから出力ノード３へ電流を供給してこの出力ノード３上の電圧Ｖ０の電圧レベルを上昇させる。出力ノード３の電圧Ｖ０が高くなると、ＭＯＳトランジスタＱ６のゲート－ソース間電圧が大きくなり、ＭＯＳトランジスタＱ６が導通し、この出力ノード３から接地ノード４ｂへ電流を放電し、電圧Ｖ０の電圧レベルを低下させる。このプッシュ・プル動作により、出力ノード３の電圧Ｖ０は、ＶＣＣ／２の電圧レベルに保持される。

【００４９】

この図１に示す電圧発生回路の構成においては、図２５に示す構成に比べて電圧発生部ＶＧＡａおよびＶＧＡｂそれぞれにおいて、ＭＯＳトランジスタの数が１つ少なくされており、また第３の電源ノード５上の電圧ＶＰＰは、ＭＯＳトランジスタＱ１Ｎのしきい値電圧の絶対値分高くされ、また第４の電源ノード６上の電圧ＶＢＢは、ＭＯＳトランジスタＱ３Ｐのしきい値電圧の絶対値だけ低くされている。第１の電圧発生部ＶＧＡａおよび第２の電圧発生部ＶＧＡｂそれぞれにおいて、電源ノード間の電圧差は、従来の構成に比べてしきい値電圧の絶対値分大きくされる。第１の電圧発生部ＶＧＡａにおいては、ＶＣＣ＋ＶＴＮ＞ＶＴＮであり、電源電圧ＶＣＣが発生され、高電圧ＶＰＰの電圧レベルが上昇すると、確実にＭＯＳトランジスタＱ１Ｎをオン状態にすることができ、安定に電圧ＶＣＣ／２＋ＶＴＮを生成することができる。第２の電圧発生部ＶＧＡｂにおいても、電圧ＶＢＢが－｜ＶＴＰ｜の電圧レベルにあれば、電源電圧ＶＣＣ－｜ＶＴＰ｜＞－｜ＶＴＰ｜であり、電源電圧ＶＣＣが発生されているかぎり、この第２の電圧発生部ＶＧＡｂに電流が流れ、安定に電圧ＶＣＣ／２－｜ＶＴＰ｜の電圧レベルを生成することができる。

【００５０】

すなわち、電源電圧ＶＣＣの電圧レベルが低い場合であっても、第１および第２の電圧発生部ＶＧＡａおよびＶＧＡｂにおいて電流の流れを生じさせることができ、安定に所望の電圧レベルの電圧を生成することができ、電源電圧ＶＣＣの動作範囲が広くなる。すなわ

ち、電源電圧ＶＣＣが０Ｖ近くにまで低下しても、出力ノード３からは所定の電圧レベルの電圧Ｖ０を生成することができる。

【００５１】

出力ノード３上の電圧Ｖ０とノード１の電圧Ｖ１の差はほぼしきい値電圧ＶＴＮとなり、また出力ノード３と内部ノード２の間の電圧差はほぼ｜ＶＴＰ｜となり、ＭＯＳトランジスタＱ５およびＱ６は、オン状態とオフ状態の境界領域で動作しており、出力回路ＯＵＴにおいて電源ノード４ａから接地ノード４ｂへは、ほとんど電流は流れず、低消費電流で所望の電圧レベルの電圧を生成することができる。

【００５２】

なお、図１において、抵抗性素子Ｒ１～Ｒ４には、十分大きなチャネル抵抗（オン抵抗）を有するＭＯＳトランジスタが用いられてもよい。

【００５３】

［実施の形態２］

図２は、この発明の実施の形態２の電圧発生回路の構成を示す図である。この図２に示す電圧発生回路は、以下の点を除いて図１に示す電圧発生回路と同じである。すなわち、第１の電圧発生部ＶＧＡａにおいて、ｎチャネルＭＯＳトランジスタＱ１Ｎに代えてダイオード接続されたｐチャネルＭＯＳトランジスタＱ１Ｐが用いられ、また第２の電圧発生部ＶＧＡｂにおいて、ｐチャネルＭＯＳトランジスタＱ３Ｐに代えて、ダイオード接続されたｎチャネルＭＯＳトランジスタＱ３Ｎが用いられる。

【００５４】

抵抗性素子Ｒ１およびＲ２の抵抗値は、ｐチャネルＭＯＳトランジスタＱ１Ｐのチャネル抵抗よりも十分大きな値に設定される。また、抵抗性素子Ｒ３およびＲ４の抵抗値は、ｎチャネルＭＯＳトランジスタＱ３Ｎのチャネル抵抗よりも十分大きい値に設定される。抵抗性素子Ｒ１およびＲ２の抵抗値は等しく、また抵抗性素子Ｒ３およびＲ４の抵抗値は等しくされる。このノード１上の電圧Ｖ１およびノード２の電圧Ｖ２は、ＭＯＳトランジスタＱ３ＰおよびＱ３Ｎがダイオードモードで動作するためそれぞれ次式で与えられる。

【００５５】

$$V1=(VCC+VTN-|VTP|)/2+|VTP|$$
$$=VCC/2+(VTN+|VTP|)/2$$
$$V2=(VCC-VTN+|VTP|)/2-|VTP|$$
$$=VCC/2-(VTN+|VTP|)/2$$

ＭＯＳトランジスタＱ５およびＱ６は、ソースフォロアモードで動作する。したがって、出力ノード３の電圧Ｖ０は、次式（３）で与えられる。

【００５６】

Ｖ０＝ＶＣＣ／２＋（｜ＶＴＰ｜－ＶＴＮ）／２　　…（３）

しきい値電圧の絶対値ＶＴＮおよび｜ＶＴＰ｜はほぼ等しいため、この出力ノード３からの電圧Ｖ０は、ほぼＶＣＣ／２の電圧レベルとなる。

【００５７】

この図２に示す構成においても、ＭＯＳトランジスタＱ５およびＱ６は、それぞれのゲート－ソース間電圧がほぼしきい値電圧の絶対値に等しく、オン状態とオフ状態の境界領域で動作する。ＭＯＳトランジスタＱ５がオン状態のときには、ＭＯＳトランジスタＱ６がオフ状態にあり、ＭＯＳトランジスタＱ６がオン状態のときにはＭＯＳトランジスタＱ５がオフ状態とされる。このようなプッシュ・プル動作を行なっているため、電源ノード４ａから接地ノード４ｂへは、ほとんど電流は流れず、低消費電力が実現される。また、電圧発生部ＶＧＡａおよびＶＧＡｂにおいても、電源ノード間の電圧が電源電圧ＶＣＣとＭＯＳトランジスタのしきい値電圧ＶＴＮまたは｜ＶＴＰ｜との和に設定されており、また１つのＭＯＳトランジスタが含まれているだけであり、電源電圧ＶＣＣが低い値であっても（原理的にはＶＣＣ＝０Ｖでも）、確実にＭＯＳトランジスタＱ１ＰおよびＱ３Ｎをオ

ン状態とすることができ、安定に所定の電圧レベルの電圧を生成して出力回路ＯＵＴへ与えることができる。したがって、図２に示す構成においても、電源電圧ＶＣＣの電圧レベルが低い場合においても、確実に所定の電圧レベルの電圧を電圧発生部から発生させることができ、電源電圧ＶＣＣの動作範囲を広くすることができる。

【００５８】

［実施の形態３］

図３は、この発明の実施の形態３である電圧発生回路の構成を示す図である。この図３に示す電圧発生回路は、第３の電源ノード５および第４の電源ノード６へ与えられる電圧レベルを除いて図２に示す電圧発生回路の構成と同じである。図３に示す構成においては、第３の電源ノード５へ与えられる電圧ＶＰＰは、電圧ＶＣＣ＋｜ＶＴＰ｜の電圧レベルに設定される。第４の電源ノード６へ与えられる電圧ＶＢＢは、－ＶＴＮの電圧レベルに設定される。この条件下では、ノード１の電圧Ｖ１およびノード２の電圧Ｖ２は、次式で与えられる。

【００５９】

$$V1=(VCC+|VTP|-|VTP|)/2+|VTP|$$
$$=VCC/2+|VTP|$$
$$V2=(VCC-VTN-(-VTN))/2-VTN$$
$$=VCC/2-VTN$$

ＭＯＳトランジスタＱ５およびＱ６がソースフォロアモードで動作するため、出力ノード３に表われる電圧Ｖ０は、次式で与えられる。

【００６０】

Ｖ０＝ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ

しきい値電圧ＶＴＮおよび｜ＶＴＰ｜はほぼ値が等しいため、この出力ノード３からの電圧Ｖ０は、ほぼＶＣＣ／２の電圧レベルになる。

【００６１】

この図３に示す構成においても、先の実施の形態１および２の電圧発生回路と同様、低消費電力で動作する電源電圧ＶＣＣの動作範囲の広い電圧発生回路を実現することができる。

【００６２】

［実施の形態４］

図４は、この発明の実施の形態４である電圧発生回路の構成を示す図である。この図４に示す電圧発生回路は、以下の点を除いて、図１に示す電圧発生回路と同じである。すなわち、第３の電源ノード５へ与えられる電圧ＶＰＰがＶＣＣ＋｜ＶＴＰ｜の電圧レベルに設定される。また、第４の電源ノード６へ与えられる電圧ＶＢＢが－ＶＴＮの電圧レベルに設定される。ＶＴＰは、ｐチャネルＭＯＳトランジスタＱ３Ｐのしきい値電圧の絶対値であり、ＶＴＮは、ｎチャネルＭＯＳトランジスタＱ１Ｎのしきい値電圧を示す。この図４に示す構成においては、第１の電圧発生部ＶＧＡａのノード１からは、次式で示す電圧Ｖ１が出力される。

【００６３】

$$V1=(VCC+|VTP|-VTN)/2+VTN$$
$$=VCC/2+VTN/2+|VTP|/2$$

また第２の電圧発生部ＶＧＡｂのノード２からは、次式で示す電圧Ｖ２が出力される。

【００６４】

$$V2=(VCC-|VTP|+VTN)/2-VTN$$
$$=VCC/2-|VTP|/2-VTN/2$$

したがって、出力回路ＯＵＴの出力ノード３には、次式で示される電圧Ｖ０が出力される

。
【００６５】
Ｖ０＝ＶＣＣ／２＋｜ＶＴＰ｜／２－ＶＴＮ／２
この図４に示す構成においても、しきい値電圧の絶対値ＶＴＮおよび｜ＶＴＰ｜はほぼ等しいため、この出力電圧Ｖ０はほぼＶＣＣ／２の電圧レベルとなる。
【００６６】
この第３の電源ノード５上の電圧ＶＰＰと出力ノード３の電圧Ｖ０（接地電圧レベルを基準とする電圧値）は、次の関係を満足する。
【００６７】
ＶＰＰ＞Ｖ０
なぜならば、ＶＣＣ＋｜ＶＴＰ｜－ＶＣＣ－｜ＶＴＰ｜＋ＶＴＮ＝ＶＣＣ＋ＶＴＮ＞０
このＶＰＰ＞２・Ｖ０の関係は、図３に示す構成においても満たされている。すなわち、
ＶＣＣ＋｜ＶＴＰ｜－ＶＣＣ－２｜ＶＴＰ｜＋２・ＶＴＮ
２・ＶＴＮ－｜ＶＴＰ｜＞０
したがって、このＶＰＰ＞２（Ｖ０－ＶＳＳ）の関係を満足する電圧を第３の電源ノードへ印加し、第４の電源ノード６へ負電圧を印加することにより、電源電圧ＶＣＣの電圧レベルが小さい場合においても、安定に所望の電圧レベルの電圧を生成することができる。
【００６８】
［実施の形態５］
図５は、この発明の実施の形態５である電圧発生回路の構成を示す図である。図５に示す電圧発生回路は、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノート６上の電圧ＶＢＢとから、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ５およびＱ６のゲートへ与えられる第１および第２の電圧を生成する。この電圧発生部ＶＧＡは、第３の電源ノード５と内部ノード１の間に接続される高抵抗の抵抗性素子Ｒ５と、内部ノード１と内部ノード７の間に接続されるダイオード接続されたｎチャネルＭＯＳトランジスタＱ７Ｎと、ノード７とノード２の間に接続される、ダイオード接続されたｐチャネルＭＯＳトランジスタＱ８Ｐと、ノード２と第４の電源ノード６の間に接続される高抵抗の抵抗素子Ｒ６を含む。
【００６９】
第３の電源ノード５へ与えられる電圧ＶＰＰは、ＶＣＣ＋ＶＴＮの電圧レベルに設定される。ここで、ＶＴＮはＭＯＳトランジスタＱ７Ｎのしきい値電圧を示す。第４の電源ノード６上の電圧ＶＢＢは、－｜ＶＴＰ｜の電圧レベルに設定される。ＶＴＰは、ＭＯＳトランジスタＱ８Ｐのしきい値電圧を示す。抵抗性素子Ｒ５およびＲ６はＭＯＳトランジスタＱ７ＮおよびＱ８Ｐのチャネル抵抗よりも十分大きな抵抗値を有し、かつ互いに同じ抵抗値を有する。次に動作について説明する。
【００７０】
今、抵抗性素子Ｒ５およびＲ６の抵抗値をＲとし、第３の電源ノード５から第４の電源ノード６へ流れる電流をＩで示す。ノード７上の電圧をＶｘで示すと、次式が得られる。
【００７１】
ＶＣＣ＋ＶＴＮ－Ｖｘ＝Ｉ・Ｒ＋ＶＴＮ
Ｖｘ＋｜ＶＴＰ｜＝｜ＶＴＰ｜＋Ｉ・Ｒ　…（４）
式（４）から次式（５）が得られる。
【００７２】
Ｉ・Ｒ＝Ｖｘ　…（５）
式（５）を式（１）に代入して整理すると、次式（６）が得られる。
【００７３】
Ｖｘ＝ＶＣＣ／２　…（６）
式（６）から、内部ノード１上の電圧Ｖ１および内部ノード２上の電圧Ｖ２は、それぞれ次式で与えられる。
【００７４】

Ｖ１＝ＶＣＣ／２＋ＶＴＮ
Ｖ２＝ＶＣＣ／２－｜ＶＴＰ｜
ＭＯＳトランジスタＱ５およびＱ６は、それぞれ電圧Ｖ１およびＶ２をゲートに受けて、ソースフォロアモードで動作する。したがって、この出力ノード３には、ＶＣＣ／２のレベルの電圧が出力される。

【００７５】
この図５に示す構成においても、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ５およびＱ６は、それぞれのゲート－ソース間電圧がほぼ自身のしきい値電圧の絶対値に等しく、オン状態とオフ状態の境界領域で動作しており、この出力回路ＯＵＴにおいて電源ノード４ａから接地ノード４ｂへは、ほとんど電流は流れない。電圧発生部ＶＧＡにおいては、２つのダイオード接続されたＭＯＳトランジスタが直列に接続される。しかしながら、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢの差はＶＣＣ＋ＶＴＮ＋｜ＶＴＰ｜である。したがって、原理的には、電源電圧ＶＣＣが０Ｖに近い値であっても、ＭＯＳトランジスタＱ７ＮおよびＱ８Ｐはともに導通状態となり、ＭＯＳトランジスタＱ７ＮおよびＱ８Ｐには、抵抗性素子Ｒ５およびＲ６を介して微小電流が流れ、ダイオードモードでこれらのＭＯＳトランジスタＱ７ＮおよびＱ８Ｐが動作する。したがって、電源電圧ＶＣＣの電圧レベルが低い場合においても、確実に所望の電圧レベルの電圧を生成することができる。

【００７６】
したがって図５に示す構成においても、低消費電力で安定に所望の電圧レベルの電圧Ｖ０を生成することのできる、電源電圧ＶＣＣの動作範囲の広い電圧発生回路を実現することができる。

【００７７】
［実施の形態６］
図６は、この発明の実施の形態６である電圧発生回路の構成を示す図である。図６において、電圧発生部ＶＧＡは、第３の電源ノード５とノード１の間に接続される高抵抗の抵抗性素子Ｒ５と、ノード１とノード７の間に接続されるダイオード接続されたｐチャネルＭＯＳトランジスタＱ７Ｐと、ノード７とノード２の間に接続されるダイオード接続されたｎチャネルＭＯＳトランジスタＱ８Ｎと、ノード２と第４の電源ノード６の間に接続される高抵抗の抵抗性素子Ｒ６を含む。第３の電源ノード５へ与えられる電圧ＶＰＰは、ＶＣＣ＋｜ＶＴＰ｜の電圧レベルに設定される。第４の電源ノード６へ印加される電圧ＶＢＢは、－ＶＴＮの電圧レベルに設定される。ＶＴＰおよびＶＴＮは、ＭＯＳトランジスタＱ７ＰおよびＱ８Ｎのそれぞれのしきい値電圧を示す。ノード１上の電圧が、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ５のゲートへ与えられる。ノード２上の電圧が出力回路ＯＵＴに含まれるｐチャネルＭＯＳトランジスタＱ６のゲートへ与えられる。次に動作について説明する。

【００７８】
抵抗素子Ｒ５およびＲ６の抵抗値は互いに等しくＲとし、この抵抗値Ｒが、ＭＯＳトランジスタＱ７ＰおよびＱ８Ｎのチャネル抵抗より十分高い値とする。この場合、ＭＯＳトランジスタＱ７ＰおよびＱ８Ｎは、ダイオードモードで動作し、それぞれのしきい値電圧の絶対値の電圧降下を生じさせる。第３の電源ノード５とノード７の間の電圧から、次式が得られる。

【００７９】
ＶＣＣ＋｜ＶＴＰ｜－Ｖｘ＝Ｉ・Ｒ＋｜ＶＴＰ｜
ここで、Ｖｘはノード７上の電圧を示す。また、ノード７と第４の電源ノード６の間の電圧は、次式で与えられる。

【００８０】
Ｖｘ＋ＶＴＮ＝Ｉ・Ｒ＋ＶＴＮ
上２式から、
Ｖｘ＝ＶＣＣ／２

が得られる。したがって、ノード１上の電圧Ｖ１およびノード２上の電圧Ｖ２は、それぞれ次式で与えられる。

【００８１】

Ｖ１＝ＶＣＣ／２＋｜ＶＴＰ｜

Ｖ２＝ＶＣＣ／２－ＶＴＮ

出力回路ＯＵＴにおいては、ＭＯＳトランジスタＱ５が、第１の電源ノード４ａから以下の式で示される電圧を出力ノード３へ伝達する。

【００８２】

ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ

一方、出力回路ＯＵＴのＭＯＳトランジスタＱ６は、出力ノード３を次式で与えられる電圧レベルにまで放電する。

【００８３】

ＶＣＣ／２－ＶＴＮ＋｜ＶＴＰ｜

したがって、出力ノード３上の電圧Ｖ０は、次式で与えられる。

【００８４】

Ｖ０＝ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ

この図６に示す構成においても、ＶＴＮと｜ＶＴＰ｜の値がほぼ等しいため、出力ノード３からの電圧Ｖ０は、ほぼＶＣＣ／２となる。

【００８５】

この図６に示す構成においても、第３の電源ノード５へは、出力ノード３に与えられる電圧Ｖ０（接地電圧を基準とする）の値の２倍以上の電圧が印加されている。

【００８６】

ＶＣＣ＋｜ＶＴＰ｜－ＶＣＣ－２｜ＶＴＰ｜＋２・ＶＴＮ＝２・ＶＴＮ－｜ＶＴＰ｜＞０

電圧発生部ＶＧＡにおいては、ダイオード接続されたＭＯＳトランジスタが２個直列に接続されている。第３の電源ノード５と第４の電源ノード６の電圧は、それぞれしきい値電圧分変化しているため、第５の実施の形態の電圧発生回路と同様、電源電圧ＶＣＣが極めて低い値であっても、ＭＯＳトランジスタＱ７ＰおよびＱ８Ｎがオン状態となり、確実に所望の電圧レベルの電圧をノード１および２に生成することができる。また出力回路ＯＵＴにおいても、ＭＯＳトランジスタＱ５およびＱ６は、そのゲート－ソース間電圧をほぼ自身のしきい値電圧の絶対値に等しく、オン状態とオフ状態の境界領域で動作しており、かつプッシュプル態様で動作するため、電源ノード４ａから接地ノード４ｂへの貫通電流はほとんど生じない。したがって、この図６に示す電圧発生回路においても、低消費電流で安定に所望の電圧レベルの電圧を生成することのできる、電源電圧ＶＣＣの動作範囲の広い電圧発生回路を得ることができる。

【００８７】

なお、実施の形態５および６において、抵抗性素子Ｒ５およびＲ６は、大きなチャネル抵抗を有するＭＯＳトランジスタで構成されてもよい。

【００８８】

［実施の形態７］

図７は、この発明の実施の形態７である電圧発生回路の構成を示す図である。図７において、電圧発生回路ＶＧＢは、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢとから第３および第４の電圧をそれぞれノード８およびノード９上に出力する電圧発生部ＶＧＢａと、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢとから第５の電圧を生成してノード１０上に出力する電圧発生部ＶＧＢｂと、第３の電源ノード５上の電圧ＶＰＰと接地ノード４ｂ上の電圧とを受け、電圧発生部ＶＧＢａおよびＶＧＢｂからの第３および第５の電圧に従って、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ５のゲートへ与えられる第１の電圧を生成する電圧発生部ＶＧＢｃと、電源ノード４ａと第４の電源ノード６の間に接続され、電圧発生部ＶＧＢａおよびＶＧＢｂからの第４および第５の電圧に従って、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ６のゲートへ与えられる第２の電圧を生成する電圧発生部ＶＧＢｄを含む。出力回路

ＯＵＴは、先の第１～第６の実施の形態と同様、ｎチャネルＭＯＳトランジスタＱ５およびｐチャネルＭＯＳトランジスタＱ６を含む。

【００８９】

電圧発生部ＶＧＢａは、第３の電源ノード５とノード８の間に接続される高抵抗の抵抗性素子Ｒ５と、ノード８とノード７の間に互いに直列に接続される各々がダイオード接続されたｎチャネルＭＯＳトランジスタＱ９ＮおよびＱ７Ｎと、ノード７とノード９の間に互いに直列に接続される、各々がダイオード接続されたｐチャネルＭＯＳトランジスタＱ８ＰおよびＱ１０Ｐと、ノード９と第４の電源ノード６の間に接続される高抵抗の抵抗性素子Ｒ６を含む。抵抗性素子Ｒ５およびＲ６の抵抗値は、ＭＯＳトランジスタＱ７Ｎ、Ｑ８Ｐ、Ｑ９ＮおよびＱ１０Ｐのそれぞれのチャネル抵抗よりも十分大きな値に設定される。

【００９０】

電圧発生部ＶＧＢｂは、第３の電源ノード５とノード１０の間に直列に接続される高抵抗の抵抗性素子Ｒ７、ｎチャネルＭＯＳトランジスタＱ１３Ｎおよびｐチャネルトランジスタ ＭＯＳＱ１１Ｐを含む。ＭＯＳトランジスタＱ１３ＮおよびＱ１１Ｐは、それぞれダイオード接続され、第３の電源ノード５からノード１０へ向かってそのしきい値電圧の絶対値に等しい電圧降下を生じさせる。

【００９１】

電圧発生部ＶＧＢｂは、さらに、ノード１０と第４の電源ノード６との間に直列に接続されるｎチャネルＭＯＳトランジスタＱ１２Ｎ、ｐチャネルＭＯＳトランジスタＱ１４Ｐ、および高抵抗の抵抗性素子Ｒ８を含む。ＭＯＳトランジスタＱ１２ＮおよびＱ１４Ｐは、それぞれダイオード接続され、ノード１０から第４の電源ノード６に向かってそれぞれしきい値電圧の絶対値分の電圧降下を生じさせる。

【００９２】

電圧発生部ＶＧＢｃは、第３の電源ノード５とノード１の間に接続され、そのゲートに電圧発生部ＶＧＢａからノード８上に生成された第３の電圧を受けるｎチャネルＭＯＳトランジスタＱ１５と、ノード１と接地ノード４ｂの間に接続され、そのゲートに電圧発生部ＶＧＢｂのノード１０上に発生された第５の電圧を受けるｐチャネルＭＯＳトランジスタＱ１６を含む。電圧発生部ＶＧＢｄは、電源ノード４ａとノード２の間に接続され、そのゲートが電圧発生部ＶＧＢｂのノード１０に接続されるｎチャネルＭＯＳトランジスタＱ１７と、ノード２と第４の電源ノード６の間に接続され、そのゲートが電圧発生部ＶＧＢａからノード９上に発生された第４の電圧を受けるｐチャネルＭＯＳトランジスタＱ１８を含む。ノード１が出力回路ＯＵＴのｎチャネルＭＯＳトランジスタＱ５のゲートに接続され、ノード２が、出力回路ＯＵＴのｐチャネルＭＯＳトランジスタＱ６に接続される。

次に動作について説明する。

【００９３】

第３の電源ノード５へ与えられる電圧ＶＰＰがＶＣＣ＋２・ＶＴＮの電圧レベルに設定され、第４の電源ノード６上の電圧ＶＢＢは、－２｜ＶＴＰ｜の電圧レベルに設定される。抵抗性素子Ｒ５およびＲ６の抵抗値は、この経路に含まれるＭＯＳトランジスタのチャネル抵抗よりも十分大きくされており、ＭＯＳトランジスタＱ７Ｎ、Ｑ８Ｐ、Ｑ９ＮおよびＱ１０Ｐは、それぞれしきい値電圧の絶対値の電圧降下を生じさせるダイオードモード下で動作する。抵抗性素子Ｒ５およびＲ６の抵抗値がともに等しくＲであり、この電圧発生部ＶＧＢａにおいて電流Ｉが流れるとすると、ノード７と第３の電源ノード５の間の電圧が次式で与えられる。

【００９４】

ＶＣＣ＋２・ＶＴＮ－Ｖｘ＝Ｉ・Ｒ＋ＶＴＮ＋｜ＶＴＰ｜

ここで、Ｖｘはノード７上の電圧を示す。一方、ノード７と第４の電源ノード６の間の電圧は、次式で与えられる。

【００９５】

Ｖｘ＋２｜ＶＴＰ｜＝２｜ＶＴＰ｜＋Ｉ・Ｒ

上式からＩ・Ｒの項を消去すると、ノード７上の電圧Ｖｘは、次式で与えられる。

【００９６】
Ｖｘ＝ＶＣＣ／２
したがって、ノード８上の電圧Ｖ８およびノード９上の電圧Ｖ９は、それぞれ次式で与えられる。
【００９７】
Ｖ８＝ＶＣＣ／２＋２・ＶＴＮ　…（７）
Ｖ９＝ＶＣＣ／２－２｜ＶＴＰ｜　…（８）
電圧発生回路または、電圧発生部ＶＧＢｂにおいて、抵抗性素子Ｒ７およびＲ８の抵抗値は、この経路に含まれるＭＯＳトランジスタのチャネル抵抗よりも十分大きい値に設定される。また抵抗性素子Ｒ７およびＲ８の抵抗値は、互いに等しくＲであるとし、この経路に流れる電流をＩとすると、電圧発生部ＶＧＢａと同様にして、ノード１０の上の電圧をＶｙとすると、次式が得られる。
【００９８】
ＶＣＣ＋２・ＶＴＮ－Ｖｙ＝Ｉ・Ｒ＋ＶＴＮ＋｜ＶＴＰ｜
Ｖｙ＋２｜ＶＴＰ｜＝ＶＴＮ＋｜ＶＴＰ｜＋Ｉ・Ｒ
この２つの式からＩ・Ｒの式を消去すると、次式が得られる。
【００９９】
Ｖｙ＝ＶＣＣ／２＋ＶＴＮ－｜ＶＴＰ｜　…（９）
電圧発生部ＶＧＢｃにおいて、ＭＯＳトランジスタＱ１５は、そのゲート電位はドレイン電位（第３の電源ノード５の電位）よりも低いので、ＭＯＳトランジスタＱ１５はソースフォロアモードで動作する。したがって、ノード１の電圧は、ＭＯＳトランジスタＱ１５により、ＶＣＣ／２＋ＶＴＮのレベルにまで充電される。ノード１の電圧が、この電圧レベルよりも高くなると、式（９）で示される電圧ＶｙとノードＩ上の電圧Ｖ１との差がＭＯＳトランジスタＱ１６のしきい値電圧の絶対値よりも大きくなり、ＭＯＳトランジスタＱ１６がオン状態となり、ノード１の電位を低下させる。ＭＯＳトランジスタＱ１６は、このノード１の電圧Ｖ１を、ＶＣＣ／２＋ＶＴＮのレベルまで放電する。したがって、ノード１の電圧Ｖ１は、次式で与えられる。
【０１００】
Ｖ１＝ＶＣＣ／２＋ＶＴＮ
同様にして、電圧発生部ＶＧＢｄにおいても、ＭＯＳトランジスタＱ１７は、ソースフォロアモードで動作し、ノード２の電位を、ＶＣＣ／２－｜ＶＴＰ｜の電位レベルまで充電する。この電圧レベルよりも高くなると、ＭＯＳトランジスタＱ１８がオン状態となり、ノード２の電位をＶＣＣ／２－｜ＶＴＰ｜のレベルまで放電する。したがって、ノード２の電圧Ｖ２は、次式で与えられる。
【０１０１】
Ｖ２＝ＶＣＣ／２－｜ＶＴＰ｜
出力回路ＯＵＴにおいては、ＭＯＳトランジスタＱ５およびＱ６がソースフォロアモードで動作する。したがって、出力ノード３上の電圧Ｖ０は、ＶＣＣ／２の電圧レベルとなる。出力回路ＯＵＴにおいては、ＭＯＳトランジスタＱ５およびＱ６のゲートーソース間電圧は、それぞれのしきい値電圧の絶対値に等しく、オン状態とオフ状態の境界領域で動作している。したがって、消費電流が十分小さくされ、また出力ノード３上の電圧が上昇すれば、ＭＯＳトランジスタＱ６がオン状態となり、またこの出力ノード３上の電圧Ｖ０が低下すると、ＭＯＳトランジスタＱ５がオン状態となる。したがって、低消費電流で安定にＶＣＣ／２レベルの電圧Ｖ０を出力することができる。
【０１０２】
電圧発生部ＶＧＢｃおよびＶＧＢｄにおいても、それぞれＭＯＳトランジスタＱ１５～Ｑ１８は、オン状態とオフ状態の境界領域で動作しており、安定時においては、その消費電流が極めて小さくなる。また、ＭＯＳトランジスタＱ１５およびＱ１６が、一方がオン状態のときは他方がオフ状態となるプッシュ・プル動作を行なうため、ＭＯＳトランジスタＱ５の電圧レベルを所定電圧レベルに安定に維持することができる。同様、ＭＯＳトラン

ジスタＱ１７およびＱ１８がプッシュ・プル動作を行なっており、ＭＯＳトランジスタＱ６のゲート電位を所定レベルに安定に維持することができる。

【０１０３】

この電圧発生回路から出力される電圧Ｖ０が、ＤＲＡＭのビット線プリチャージ電圧ＶＢＬまたはセルプレート電圧ＶＣＰとして利用される場合、出力ノード３には、ビット線容量またはセルプレート容量による大きな寄生容量が存在する。この大きな寄生容量を高速で充電しかつ安定に所定の電圧レベルに維持するためには、出力回路ＯＵＴのＭＯＳトランジスタＱ５およびＱ６のサイズ（チャネル幅Ｗまたはチャネル幅Ｗとチャネル長Ｌの比）が大きくされる。したがって、ＭＯＳトランジスタＱ５およびＱ６のゲート容量がかなり大きな値となる。このような大きなゲート容量を、大きな抵抗値を有する抵抗を介して充電する場合、その電位の立上がり時、抵抗とゲート容量によるＲＣ遅延により、ＭＯＳトランジスタＱ５およびＱ６のゲート電位の上昇が遅くなる。すなわち、電源投入時、ＭＯＳトランジスタＱ５およびＱ６の電位が所定電位レベルに安定化するのに長時間を要し、電源投入後ＤＲＡＭを動作状態とするまで長時間を要し、電源投入後高速でＤＲＡＭを動作状態とすることができなくなるという問題が生じる。

【０１０４】

しかしながら、図７に示すように、この出力回路ＯＵＴのＭＯＳトランジスタＱ５およびＱ６のゲートをＭＯＳトランジスタＱ１５～Ｑ１８で駆動することにより、以下に説明するようにこの電位立上がりが遅くなるという問題を解消することができる。すなわち、ＭＯＳトランジスタＱ１５～Ｑ１８は、単にＭＯＳトランジスタＱ５およびＱ６のゲート容量を駆動することが要求されるだけであり、ビット線容量およびセルプレート容量に比べて、これらのＭＯＳトランジスタＱ５およびＱ６のゲート容量は十分小さい。したがって、ＭＯＳトランジスタＱ１５～Ｑ１８のサイズ（チャネル幅またはチャネル幅とチャネル長の比）をＭＯＳトランジスタＱ５およびＱ６のそれの１／１０ないし１／１００程度の大きさにすることができる。したがって、ＭＯＳトランジスタＱ１５～Ｑ１８のゲート容量は応じて小さくされ、抵抗値の大きな抵抗素子を介してこれらのＭＯＳトランジスタＱ１５～Ｑ１８のゲートを充電する構成としても、その電位の上昇速度は、ＭＯＳトランジスタＱ５およびＱ６のゲート電位を抵抗素子を介して駆動する場合と比べて１０ないし１００倍程度速くすることができる。応じて、出力ノード３からの電圧Ｖ０の立上がりを速くすることができる。

【０１０５】

したがって、図７に示す構成の電圧発生回路を用いることにより、電源投入後高速で安定な電圧Ｖ０を生成することができる。さらに、電圧発生部ＶＧＢａおよびＶＧＢｂにおいては、第３の電源ノード５の電圧と第４の電源ノード６の電圧の差は、ＶＣＣ＋２・ＶＴＮ＋２｜ＶＴＰ｜の大きさに設定することができ、各経路におけるＭＯＳトランジスタは、電源電圧ＶＣＣが小さい値であっても確実にオン状態となり、電源電圧ＶＣＣの値が小さい場合であっても、確実にダイオードモードで動作し、必要とされるレベルの電圧を生成することができる。

【０１０６】

なお、図７に示す構成において、電圧発生部ＶＧＢｂにおいて、ＭＯＳトランジスタＱ１３ＮとＭＯＳトランジスタＱ１１Ｐの位置が交換されてもよく、またＭＯＳトランジスタＱ１２NとＭＯＳトランジスタＱ１４Ｐの位置が交換されてもよい。

【０１０７】

［実施の形態８］

図８は、この発明の実施の形態８である電圧発生回路の構成を示す図である。図８に示す電圧発生回路の構成は、電圧発生部ＶＧＢａの構成を除いて、図７に示す電圧発生回路の構成と同じであり、対応する部分には同一の参照番号を付す。

【０１０８】

電圧発生部ＶＧＢａにおいては、ノード８とノード７の間に、ダイオード接続されたｐチャネルＭＯＳトランジスタＱ９ＰおよびＱ７Ｐが直列に接続される。またノード７とノー

ド９の間に、ダイオード接続されたｎチャネルＭＯＳトランジスタＱ８ＮおよびＱ１０Ｎが互いに直列に接続される。次に動作について説明する。

【０１０９】

抵抗性素子Ｒ５およびＲ６の抵抗値は、ＭＯＳトランジスタＱ９Ｐ、Ｑ７Ｐ、Ｑ８ＮおよびＱ１０Ｎのチャネル抵抗よりも十分高い値に設定される。したがって、これらのＭＯＳトランジスタは、第３の電源ノード５から第４の電源ノード６に向かってしきい値電圧の絶対値の電圧降下を生じさせる。今、この電圧発生部ＶＧＢａを流れる電流をＩとすると、次の関係式が求められる。

【０１１０】

ＶＣＣ＋２・ＶＴＮ－Ｖｘ＝Ｉ・Ｒ＋２｜ＶＴＰ｜

Ｖｘ＋２｜ＶＴＰ｜＝２・ＶＴＮ＋Ｉ・Ｒ

上の２式からＩ・Ｒを消去すると、次式が得られる。

【０１１１】

Ｖｘ＝ＶＣＣ／２＋２・ＶＴＮ－２｜ＶＴＰ｜

したがって、ノード８上の電圧Ｖ８およびノード９上の電圧Ｖ９は、それぞれ次式で与えられる。

【０１１２】

Ｖ８＝ＶＣＣ／２＋２・ＶＴＮ

Ｖ９＝ＶＣＣ／２－２｜ＶＴＰ｜

すなわち、ノード８および９上の電圧Ｖ８およびＶ９は、ともに、図７に示す電圧発生回路におけるノード８およびノード９上の電圧と同じ電圧レベルである。したがって、この図８に示す回路構成を用いても、第７の実施の形態の電圧発生回路と同様の作用効果を奏する。

【０１１３】

またノード８とノード９の間には、２つのｐチャネルＭＯＳトランジスタと２つのｎチャネルＭＯＳトランジスタが互いに直列に接続されかつそれぞれがダイオード接続されていれば同様の効果を得ることができ、これらのＭＯＳトランジスタの配列順序は任意である。

【０１１４】

［実施の形態９］

図９は、この発明の実施の形態９である電圧発生回路の構成を示す図である。この図９に示す電圧発生回路は、電圧発生部ＶＧＢｂの構成、第３の電源ノード５へ与えられる電圧ＶＰＰの電圧レベルおよび第４の電源ノード６へ与えられる電圧ＶＢＢの電圧レベルを除いて、図７に示す構成と同じであり、対応する部分には同一の参照番号を付す。

【０１１５】

電圧発生部ＶＧＢｂは、第３の電源ノード５とノード１０の間に接続される高抵抗の抵抗性素子Ｒ９と、ノード１０と第４の電源ノード６の間に接続される高抵抗の抵抗性素子Ｒ１０を含む。抵抗性素子Ｒ９およびＲ１０は、同じ抵抗値を有する。低消費電力化の観点から、抵抗性素子Ｒ９およびＲ１０は、高い抵抗値を有する。抵抗性素子Ｒ９およびＲ１０は、高いチャネル抵抗を有するＭＯＳトランジスタで構成されてもよい。

第３の電源ノード５へ与えられる電圧ＶＰＰは、ＶＣＣ＋ＶＴＮ＋｜ＶＴＰ｜の電圧レベルに設定される。第４の電源ノード６へ与えられる電圧ＶＢＢは、－（｜ＶＴＰ｜＋ＶＴＮ）の電圧レベルに設定される。ＶＴＮは、この電圧発生部分ＶＧＢａに含まれるｎチャネルＭＯＳトランジスタのしきい値電圧の絶対値を示し、ＶＴＮは、この電圧発生部ＶＧＢａに含まれるＭＯＳトランジスタのしきい値電圧を示す。次に動作について説明する。

【０１１６】

抵抗性素子Ｒ９およびＲ１０は、同じ抵抗値を有しており、ノード１０上の電圧Ｖｙは、

（ＶＰＰ＋ＶＢＢ）／２＝ＶＣＣ／２

の電圧レベルに設定される。電圧発生部ＶＧＢａについては、ノード７上の電圧をＶｘとすると、次式が得られる。

【０１１７】
ＶＣＣ＋ＶＴＮ＋｜ＶＴＰ｜－Ｖｘ＝２・ＶＴＮ＋Ｉ・Ｒ
Ｖｘ＋ＶＴＮ＋｜ＶＴＰ｜＝２｜ＶＴＰ｜＋Ｉ・Ｒ
上記２式からＩ・Ｒの項を消去すると、次式が得られる。
【０１１８】
Ｖｘ＝ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ
したがって、ノード８上の電圧Ｖ８およびノード９上の電圧Ｖ９は、それぞれ次式で与えられる。
【０１１９】
Ｖ８＝Ｖｘ＋２・ＶＴＮ＝ＶＣＣ／２＋｜ＶＴＰ｜＋ＶＴＮ
Ｖ９＝Ｖｘ－２｜ＶＴＰ｜＝ＶＣＣ／２－｜ＶＴＰ｜－ＶＴＮ
したがって、電圧発生部ＶＧＢｃのノード１からは、次式で示される電圧Ｖ１が出力される。
【０１２０】
Ｖ１＝ＶＣＣ／２＋｜ＶＴＰ｜
また電圧発生部ＶＧＢｄのノード２からは、次式で示される電圧Ｖ２が出力される。
【０１２１】
Ｖ２＝ＶＣＣ／２－ＶＴＮ
したがって、出力回路ＯＵＴからは、次式で示される電圧Ｖ０が出力される。
【０１２２】
Ｖ０＝ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ
ＶＴＮは｜ＶＴＰ｜にほぼ等しいため、この出力ノード３からの電圧Ｖ０は、ほぼＶＣＣ／２の電圧レベルとなる。
【０１２３】
この図９に示す構成においては、電圧発生部ＶＧＢｂにおいては、ＭＯＳトランジスタが設けられていないため、先の第７および第８の実施の形態の構成に比べて、構成要素数を低減することができる。図９に示す構成においても、電圧発生部ＶＧＢａにおいて、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢの差が、次式で与えられる。
【０１２４】
ＶＰＰ－ＶＢＢ＝ＶＣＣ＋２・ＶＴＮ＋２｜ＶＴＰ｜
したがって、この電圧発生部ＶＧＢａにおいて２つのｎチャネルＭＯＳトランジスタおよび２つのｐチャネルＭＯＳトランジスタが直列に接続されていても、確実にこれらのＭＯＳトランジスタをオン状態とすることができ、低い電源電圧ＶＣＣの場合においても、確実に所望の電圧レベルの電圧を生成することができる。
【０１２５】
なお、ＭＯＳトランジスタＱ１５のドレインが第３の電源ノード５に接続され、またＭＯＳトランジスタＱ１８のドレインが第４の電源ノード６に接続されているのは、これらのＭＯＳトランジスタＱ１５およびＱ１８を、確実にソースフォロアモードで動作させるためである（このソースフォロアモードについては、後に詳細に説明する）。
【０１２６】
なお、この図９に示す構成においても、以下に示すように、第３の電源ノード５上の電圧ＶＰＰは、出力ノード３上の電圧Ｖ０に対し、ＶＰＰ＞２・Ｖ０の関係を満足している。
【０１２７】
ＶＰＰ－２・Ｖ０＝３・ＶＴＮ－｜ＶＴＰ｜＞０
以上のように、この実施の形態９の電圧発生回路においても、低消費電力で電源電圧ＶＣＣの広い範囲にわたって安定に所望の電圧レベルを生成することのできる電圧発生回路を得ることができる。また、電源投入後、高速で電圧Ｖ０を所定の電圧レベルに設定することが可能となる。
【０１２８】

［実施の形態１０］
図１０は、この発明の実施の形態１０である電圧発生回路の構成を示す図である。図１０に示す電圧発生回路は、図９に示す電圧発生回路と、以下の構成を除いて同じ構成を備える。図１０に示す電圧発生回路の電圧発生部ＶＧＢａにおいては、ノード８とノード７の間に、それぞれがダイオード接続されたｐチャネルＭＯＳトランジスタＱ９ＰおよびＱ７Ｐが互いに直列に接続され、かつノード７とノード９の間に、それぞれがダイオード接続されたｎチャネルＭＯＳトランジスタＱ８ＮおよびＱ１０Ｎが互いに直列に接続される。
【０１２９】
次に動作について説明する。抵抗性素子Ｒ５およびＲ６の抵抗値をＲとし、この抵抗値Ｒは、ＭＯＳトランジスタＱ７Ｐ、Ｑ８Ｎ、Ｑ９ＰおよびＱ１０Ｎのチャネル抵抗よりも十分大きく設定する。この電圧発生部ＶＧＢａにおいて流れる電流をＩとすると、次の関係式が得られる。
【０１３０】

$$VPP-Vx=VCC+VTN+|VTP|-Vx$$
$$=I\cdot R-2|VTP|$$
$$Vx-VBB=Vx+|VTP|+VTN$$
$$=2|VTP|+I\cdot R$$

上２式から、項Ｉ・Ｒを消去すると、次式が得られる。
【０１３１】
Ｖｘ＝ＶＣＣ／２＋ＶＴＮ－｜ＶＴＰ｜
したがって、ノード８およびノード９上の電圧Ｖ８およびＶ９は、それぞれ次式で与えられる。
【０１３２】
Ｖ８＝Ｖｘ＋２｜ＶＴＰ｜＝ＶＣＣ／２＋ＶＴＮ＋｜ＶＴＰ｜
Ｖ９＝Ｖｘ－２｜ＶＴＰ｜＝ＶＣＣ／２－｜ＶＴＰ｜－ＶＴＮ
このノード８および９上の電圧Ｖ８およびＶ９は、図９に示す電圧発生回路におけるノード８およびノード９における電圧と同じ値である。したがって、この図１０に示す回路構成を用いても、図９に示す電圧発生回路と同じ動作が実現され、同じ効果を得ることができる。
【０１３３】
なお、この電圧発生部ＶＧＢａにおいて、ノード８とノード９の間には、２つのダイオード接続されたｐチャネルＭＯＳトランジスタと２つのダイオード接続されたｎチャネルＭＯＳトランジスタが互いに直列に接続されていれば、同様の効果を得ることができる。
【０１３４】
［実施の形態１１］
図１１は、この発明の実施の形態１１である電圧発生回路の構成を示す図である。図１１に示す電圧発生回路においては、第５の電圧Ｖｙを発生するための電圧発生部ＶＧＢｂは設けられていない。電圧発生部ＶＧＢａが、この第５の電圧をも発生する。電圧発生部ＶＧＢａは、第３の電源ノード５とノード８の間に接続される高抵抗の抵抗性素子Ｒ５と、ノード８とノード７の間に互いに直列に接続される各々がダイオード接続されたｎチャネルＭＯＳトランジスタＱ９ＮおよびｐチャネルＭＯＳトランジスタＱ７Ｐと、ノード７とノード９の間に互いに直列に接続される各々がダイオード接続されたｎチャネルＭＯＳトランジスタＱ８ＮおよびｐチャネルＭＯＳトランジスタＱ１０Ｐと、ノード９と第４の電源ノード６の間に接続される高抵抗の抵抗性素子Ｒ６を含む。
【０１３５】
抵抗性素子Ｒ５およびＲ６は、ＭＯＳトランジスタＱ７Ｐ、Ｑ８Ｎ、Ｑ９ＮおよびＱ１０Ｐのチャネル抵抗よりも十分大きな抵抗値を有する。電圧発生部ＶＧＢｃおよびＶＧＢｄならびに出力回路ＯＵＴの構成は、先の第７ないし第１０の実施の形態の電圧発生回路の

構成と同じであり、対応する部分には同一の参照番号を付す。第３の電源ノード５に印加される電圧ＶＰＰは、ＶＣＣ＋ＶＴＮ＋｜ＶＴＰ｜の電圧レベルを有し、第４の電源ノード６へ与えられる電圧ＶＢＢは、－（｜ＶＴＰ｜＋ＶＴＮ）の電圧レベルを有する。次に動作について説明する。

【０１３６】

抵抗性素子Ｒ５およびＲ６は、ともに抵抗値Ｒを有し、またこの電圧発生部ＶＧＢａにおいて第３の電源ノード５から第４の電源ノード６へ流れる電流Ｉが流れると仮定する。ノード７上の電圧をＶｘとすると、以下に示す関係が得られる。

【０１３７】

$$VPP-Vx=VCC+VTN+|VTP|-Vx$$
$$=I\cdot R+VTN+|VTP|$$
$$Vx-VBB=Vx+|VTP|+VTN$$
$$=VTN+|VTP|+I\cdot R$$

上の２つの式から、項Ｉ・Ｒを消去すると、次式が得られる。

【０１３８】

Ｖｘ＝ＶＣＣ／２

したがって、ノード８上の電圧Ｖ８およびノード９上の電圧Ｖ９は、それぞれ次式で表わされる。

【０１３９】

Ｖ８＝ＶＣＣ／２＋｜ＶＴＰ｜＋ＶＴＮ

Ｖ９＝ＶＣＣ／２－｜ＶＴＰ｜－ＶＴＮ

ＭＯＳトランジスタＱ１５およびＱ１７は、それぞれソースフォロアモードで動作し、ノード１およびノード２からの電圧Ｖ１およびＶ２は、それぞれ次式で表わされる。

【０１４０】

Ｖ１＝ＶＣＣ／２＋｜ＶＴＰ｜

Ｖ２＝ＶＣＣ／２－ＶＴＮ

ノード１上の電圧Ｖ１が、この電圧レベルよりも上昇すると、ｐチャネルＭＯＳトランジスタルＱ１６がオン状態となり、ノード１上の電圧Ｖ１の電圧レベルを低下させる。このＭＯＳトランジスタＱ１６が放電することでできる電圧レベルは、ＶＣＣ／２＋｜ＶＴＰ｜である。

【０１４１】

また、同様に、ノード２上の電圧Ｖ２の電圧レベルが上昇したとき、ＭＯＳトランジスタＱ１８が動作し、ノード２上の電圧Ｖ２は、ＶＣＣ／２－ＶＴＮの電圧まで放電する。したがって、ノード１および２上の電圧Ｖ１およびＶ２は、それぞれ、次式で示される電圧レベルに保持される。

【０１４２】

Ｖ１＝ＶＣＣ／２＋｜ＶＴＰ｜

Ｖ２＝ＶＣＣ／２－ＶＴＮ

出力回路ＯＵＴにおいては、ＭＯＳトランジスタＱ５およびＱ６がソースフォロアモードで動作するため、出力ノード３上の電圧Ｖ０は、次式で表わされる。

【０１４３】

Ｖ０＝ＶＣＣ／２＋｜ＶＴＰ｜－ＶＴＮ

したがって、この図１１に示す回路構成を用いても、電圧発生部ＶＧＢｃ、ＶＧＢｄおよび出力回路ＯＵＴが、それぞれプッシュ・プル態様で動作するため、安定に所定の電圧レベルの電圧を低消費電流で生成することができる。

【０１４４】

また、電圧発生部ＶＧＢａは、第３の電源ノード５上の電圧ＶＰＰと第４の電源ノード６上の電圧ＶＢＢの差は、電源電圧ＶＣＣからさらにこの電圧発生部ＶＧＢａに含まれるＭ

ＯＳトランジスタのしきい値電圧の絶対値の和分高い値に設定される。したがって、電源電圧ＶＣＣの電圧レベルが低い場合においても、確実にこの電圧発生部ＶＧＢａに含まれるＭＯＳトランジスタはすべてオン状態に設定することができ、低電源電圧条件においても、安定に所定の電圧レベルの第３ないし第５の電圧を生成することができる。

【０１４５】

また、電圧発生部ＶＧＢａは、第５の電圧も合わせて発生しており、第５の電圧を発生するための電圧発生部ＶＧＢｂを設ける必要がなく、この電圧発生部ＶＧＢｂにおける消費電流およびその占有面積をなくすることができ、低消費電流、かつ低占有面積の電圧発生回路を実現することができる。

【０１４６】

なお、この図１１に示す構成において、ＭＯＳトランジスタＱ９ＮとＭＯＳトランジスタＱ７Ｐの位置が交換されてもよく、またＭＯＳトランジスタＱ８ＮとＭＯＳトランジスタＱ１０Ｐの位置が交換されてもよい。

【０１４７】

［その他の実施の形態］

この電圧発生回路ＶＧＢから出力される電圧Ｖ０は、電源電圧ＶＣＣの約半分の電圧レベルを有するという表現を用いている。これは、便宜的に用いたものであり、ＤＲＡＭにおいて実際に必要とされる電圧値は、メモリセルキャパシタのストレージノードに記憶される“１”状態および“０”状態に相当する電圧ＶＨおよびＶＬの中間値（ＶＨ＋ＶＬ）／２またはメモリセルのデータが読出されるときのビット線の電圧（ワード線選択時におけるビット線の電圧）を意味する。この間の事情について次に説明する。

【０１４８】

今、図１２（Ａ）に示すように、メモリセルキャパシタＣｓのストレージノードがビット線ＢＬが接続される状態を考える。メモリセルキャパシタＣｓのセルプレート電極へは、セルプレート電圧ＶＣＰが与えられる。ビット線ＢＬには、寄生容量Ｃｂが存在する。ビット線ＢＬが電圧ＶＢＬにプリチャージされている状態を考える。メモリセルキャパシタＣｓのストレージノードに、“１”の電圧が記憶されているとき、メモリセル選択時においては、図１２（Ｂ）に示すように、ビット線ＢＬの電位は、ΔＶｈ上昇する。一方、メモリセルキャパシタＣｓのストレージノードに“０”の電圧が格納されている場合には、ビット線ＢＬの電位は、図１２（Ｂ）に示すように、このプリチャージ電圧ＶＢＬからΔＶｌ低下する。以下、この読出電圧ΔＶｈおよびΔＶｌについてまとめてみる。

【０１４９】

今、メモリセルキャパシタＣｓの“１”状態の電圧をＶＨ、“０”状態に対応する電圧をＶＬとする。情報“１”記憶状態および情報“０”記憶状態におけるメモリセルキャパシタＣｓのストレージノードの蓄積電荷はそれぞれ次式（１０）および（１１）で表わされる。

【０１５０】

“１”：Ｑ＝Ｃｓ・（ＶＨ－ＶＣＰ）　　…（１０）

“０”：Ｑ＝Ｃｓ・（ＶＬ－ＶＣＰ）　　…（１１）

読出電圧ΔＶｈおよびΔＶｌの大きさが異なっていれば、センスアンプの“１”データと“０”データに対するマージンが異なり、応じてセンスアンプの動作マージンが低い方の読出電圧レベルにより決定され、センスマージンが低下する。この読出電圧の大きさΔＶｈおよびΔＶｌを等しくするためには、上式（１０）および（１１）で示した蓄積電荷量Ｑが、大きさが等しく、かつ符号が反対であることが要求される。

【０１５１】

すなわち、Ｃｓ・（ＶＨ－ＶＣＰ）＋Ｃｓ・（ＶＬ－ＶＣＰ）＝０

上式を変形すると、式（１２）が得られる。

【０１５２】

ＶＣＰ＝（ＶＨ＋ＶＬ）／２　　…（１２）

すなわち、セルプレート電圧ＶＣＰは、この“１”情報記憶状態に対応する電圧ＶＨと“

０”情報記憶状態に対応する電圧ＶＬの中間値をとることが要求される。
【０１５３】
ビット線ＢＬにおいては、同様、この電圧ＶＨおよびＶＬの中間値をとる必要がある。同じ大きさの読出電圧ΔＶｈおよびΔＶｌが生成されても、ビット線電位ＶＢＬが電圧ＶＨおよびＶＬの中間値からずれている場合には、“１”データ読出時と“０”データ読出時におけるビット線電位が異なるため、センスマージンが低下するためである。したがって、これらのビット線プリチャージ電圧ＶＢＬおよびセルプレート電圧ＶＣＰは、メモリセルキャパシタＣｓのストレージノードに蓄積される“１”情報記憶状態に対応する電圧ＶＨと“０”情報記憶状態に対応する電圧ＶＬの中間値に設定される。この電圧発生回路ＶＧＢが生成する電圧Ｖ０は、したがって、電源電圧の約半分というよりも、むしろ電圧ＶＨおよびＶＬの中間値またはビット線ＢＬのワード線選択時における電圧レベルに対応する。
【０１５４】
図１３は、ＭＯＳトランジスタのソースフォロアモード動作を説明するための図である。図１３（Ａ）にｎチャネルＭＯＳトランジスタを示し、図１３（Ｂ）にｐチャネルＭＯＳトランジスタを示す。
【０１５５】
図１３（Ａ）に示すように、ｎチャネルＭＯＳトランジスタＮＱはソースフォロアモードで動作する場合、そのゲートＧの電圧Ｖｇと、ソースＳの電圧Ｖｓの間には、次式で示される関係が成立する。
【０１５６】
Ｖｓ＝Ｖｇ－ＶＴＮ
ただし、ｎチャネルＭＯＳトランジスタＮＱは、飽和領域で動作することが要求されるため、ドレインＤに与えられる電圧Ｖｄは、以下の関係式を満足することが要求される。
【０１５７】
Ｖｄ≧Ｖｇ－ＶＴＮ
ドレインＤの電圧Ｖｄは、上記の不等式を満足するかぎり、任意の値をとることができる。したがって、先の実施の形態において、出力回路ＯＵＴに含まれる出力ノード充電のためのＭＯＳトランジスタＱ５のドレインは、電源ノード４ａに結合されて電源電圧ＶＣＣそのものを受ける必要はない。ＶＣＣ±ΔＶＣＣの範囲の電圧（飽和領域で動作させることが要求される）であればよい。たとえば、外部電源電圧ＥＸＴＶＣＣを内部で降圧して内部電源電圧ＩＮＴＶＣＣを発生するＤＲＡＭにおいて、ＭＯＳトランジスタＱ５のドレインは、外部電源電圧ＥＸＴＶＣＣを受けるようにされてもよい。この場合、電圧発生部ＶＧＢは、内部動作電源電圧ＩＮＴＶＣＣを基準とする電圧を生成する。このドレイン電圧は、他のソースフォロアモードで動作する電圧発生部ＶＧＢｃおよびＶＧＢｄに含まれるＭＯＳトランジスタＱ１５およびＱ１７についても同様である。
【０１５８】
図１３（Ｂ）に示すように、ｐチャネルＭＯＳトランジスタＰＱがソースフォロアモードで動作するとき、このゲートＧの電圧Ｖｇとソースの電圧Ｖｓには、ｎチャネルＭＯＳトランジスタＮＱと同様の関係が成立する。
【０１５９】
Ｖｓ＝Ｖｇ－ＶＴＰ＝Ｖｇ＋｜ＶＴＰ｜
飽和領域で動作することが要求されるため、ｐチャネルＭＯＳトランジスタにおいては、ドレインＤの電圧Ｖｄとゲート電圧Ｖｇには、以下の関係式が成立する。
【０１６０】
Ｖｄ≦Ｖｇ－ＶＴＰ＝Ｖｇ＋｜ＶＴＰ｜
ここで、ＶＴＰは、ｐチャネルＭＯＳトランジスタＰＱのしきい値電圧であり、負の値を持つ。ｎチャネルＭＯＳトランジスタＮＱのしきい値電圧ＶＴＮは、正の値を持つ。
【０１６１】
このｐチャネルＭＯＳトランジスタＰＱにおいても、ドレイン電圧Ｖｄは、飽和領域動作

を保証する限り、任意の値をとることができる。したがって、出力回路ＯＵＴに含まれるＭＯＳトランジスタＱ６のドレインは、接地電圧ＶＳＳに設定される必要はなく、飽和領域動作を保証する限り、０±ΔＶＳＳの範囲の電圧を受けるようにされてもよい。これは、電圧発生部ＶＧＢｃおよびＶＧＢｄに含まれるＭＯＳトランジスタＱ１６およびＱ１８のドレイン電圧についても同様である。

【０１６２】

すなわち、ソースフォロアモードで動作するＭＯＳトランジスタのソース電圧Ｖｓは、ゲート電圧Ｖｇとしきい値電圧ＶＴＮまたはＶＴＰの値のみに従って決定されており、ドレイン電圧Ｖｄの値には依存しない（飽和領域動作が保証されることが前提である）。したがって、接地ノード４ｂには、先の実施の形態において、第４の電源ノード６上の電圧が与えられるように構成されてもよい。

【０１６３】

［第３の電源ノードに印加される電圧が発生する回路１］

図１４（Ａ）は、第３の電源ノードへ印加される電圧ＶＰＰの発生する構成を示し、図１４（Ｂ）は、その動作波形を示す図である。図１４（Ａ）において、ＶＰＰ発生回路は、電源ノード４ａと第３の電源ノード５の間に直列に接続されるダイオード素子Ｄ１～Ｄ４と、第３の電源ノード５の電圧を安定化するための安定化容量ＣＬ１と、第３の電源ノード５と電源ノード４ａの間に接続されるダイオードモードで動作するｎチャネルＭＯＳトランジスタＱ５０を含む。ダイオード素子Ｄ１およびＤ４は、電源ノード４ａから第３の電源ノード５に向かって順方向に配列される。ＶＰＰ発生回路は、さらに、クロック信号入力ノード６０とダイオード素子Ｄ１およびＤ２の間の接続ノード５０との間に接続される昇圧容量Ｃ１と、クロック信号入力ノード６１とダイオード素子Ｄ２およびＤ３の間の接続ノード５１との間に接続される昇圧容量Ｃ２と、クロック信号入力ノード６０とダイオード素子Ｄ３およびＤ４の間の接続ノード５２との間に接続される昇圧容量Ｃ３を含む。クロック信号入力ノード６０および６１へは、互いに相補なクロック信号φおよび／φがそれぞれ与えられる。クロック信号φおよび／φは、０Ｖと電源電圧ＶＣＣの間で振動する。次に動作について図１４（Ｂ）を参照して説明する。

【０１６４】

クロック信号φがハイレベルにあり、クロック信号／φがローレベルのとき、ノード５０および５２の電位は、昇圧容量Ｃ１およびＣ３のチャージポンプ動作によりその電位が上昇する。一方、ノード５１の電位は昇圧容量Ｃ２のチャージポンプ動作によりその電位が低下する。ダイオード素子Ｄ１は、電源ノード４ａから電源電圧ＶＣＣを受けており、ノード５０を、ＶＣＣ－ＶＦの電位にプリチャージしている。ここで、ＶＦは、ダイオード素子Ｄ１～Ｄ４の順方向降下電圧である。したがって、クロック信号φがハイレベルに立上がると、このノード５０の電位は、昇圧容量Ｃ１のチャージポンプ動作により、２・ＶＣＣ－ＶＦの電圧レベルにまで上昇する。このノード５０の電荷が、ダイオード素子Ｄ２を介してノード５１へ伝達され、ノード５１の電位が上昇する。ノード５０の電位とノード５１の電位との差がＶＦとなったときに、ダイオード素子Ｄ２がオフ状態となる。このとき、ダイオード素子Ｄ３はオフ状態であり、ノード５２の電位が立上がると、ダイオード素子Ｄ４を介して電荷が安定化容量ＣＬ１へ供給され、ノード５の電位が上昇する。

【０１６５】

クロック信号φがローレベルに立下がり、クロック信号／φがハイレベルに立上がると、ノード５０および５２の電位が低下し、ノード５１の電位が上昇する。この状態において、ダイオード素子Ｄ３がオン状態となり、ノード５１からノード５２へ電荷が注入され、ノード５２の電位が上昇する。したがって、この動作を繰り返すことにより、安定状態においては、ノード５０は、ＶＣＣ－ＶＦと２・ＶＣＣ－ＶＦの間でその電位が変化する。ノード５１は、ノード５０からダイオード素子Ｄ２を介してプリチャージされるため、２・ＶＣＣ－２・ＶＦと３・ＶＣＣ－２・ＶＦの間でその電位が変化する。ノード５２は、ダイオード素子Ｄ３を介してノード５１からプリチャージされるため、その電位は、３・ＶＣＣ－３・ＶＦと４・ＶＣＣ－３・ＶＦの間で変化する。したがって、ダイオード素子

Ｄ４からは、最大発生可能電圧ＶＰＰ′として４（ＶＣＣ－ＶＦ）の電圧が生成される。ＭＯＳトランジスタＱ５０は、第３の電源ノード５と電源ノード４ａの間に接続されており、第３の電源ノード５の電圧ＶＰＰと電源ノード４ａの電源電圧ＶＣＣの差をそのしきい値電圧ＶＴＮに維持する。したがって、第３の電源ノード５へ印加される電圧ＶＰＰは、

ＶＰＰ＝ＶＣＣ＋ＶＴＮ

となる。このｎチャネルＭＯＳトランジスタＱ５０をクランプトランジスタとして用いて電源電圧ＶＣＣよりも高い電圧ＶＰＰを発生する場合、ダイオード素子Ｄ１～Ｄ４および昇圧容量Ｃ１～Ｃ３で構成されるチャージポンプ回路が発生する電圧ＶＰＰ′が電圧ＶＰＰよりも高いことが必要とされる。

【０１６６】

図１５は、電源電圧ＶＣＣと、電圧ＶＰＰおよびＶＰＰ′の関係を示す図である。横軸に電源電圧ＶＣＣを示し、縦軸に電圧ＶＰＰおよびＶＰＰ′を示す。ＭＯＳトランジスタＱ５０のクランプ動作により、必要なレベルの電圧ＶＰＰを生成するためには、ＶＰＰ≦ＶＰＰ′が要求される。すなわち、

ＶＰＰ′≧ＶＰＰ＝ＶＣＣ＋ＶＴＮ

すなわち、

４（ＶＣＣ－ＶＦ）≧ＶＣＣ＋ＶＴＮ

ＶＣＣ≧（４ＶＦ＋ＶＴＮ）／３

の関係を満たすことが要求される。今、ダイオード素子Ｄ１～Ｄ４の順方向降下電圧ＶＦを０．７Ｖ、ｎチャネルＭＯＳトランジスタＱ５０のしきい値電圧ＶＴＮを０．８Ｖとすると、次の式が成立する。

【０１６７】

ＶＣＣ≧（２．８＋０．８）／３＝１．２Ｖ

すなわち、電源電圧ＶＣＣが１．２Ｖ以上であれば、必要とされる電圧レベルの電圧ＶＰＰを発生することができる。逆に言えば、電源電圧ＶＣＣは、１．２Ｖまで低下させることができる。

【０１６８】

［ＶＰＰ発生回路２］

図１６は、ＶＰＰ発生回路の他の構成を示す図である。図１６において、ＶＰＰ発生回路は、電源電圧ＶＣＣとクロック信号φおよび／φに従って電圧ＶＰＰ′を発生するＶＰＰ′発生部１００と、第３の電源ノード５と電源ノード４ａの間に互いに直列にされるｎチャネルＭＯＳトランジスタＱ５０およびｐチャネルＭＯＳトランジスタＱ５１を含む。ＭＯＳトランジスタＱ５０およびＱ５１はそれぞれダイオード接続される。ＶＰＰ′発生部１００は、図１４に示すダイオード素子Ｄ１～Ｄ４、昇圧容量Ｃ１～Ｃ３および安定化容量ＣＬ１を含む。この図１６に示す構成においては、第３の電源ノード５の電圧ＶＰＰの電圧レベルは、次式で与えられる。

【０１６９】

ＶＰＰ＝ＶＣＣ＋ＶＴＮ＋｜ＶＴＰ｜

ここで、ＶＴＮおよびＶＴＰは、ＭＯＳトランジスタＱ５０およびＱ５１のそれぞれのしきい値電圧を示す。

【０１７０】

［ＶＰＰ発生回路３］

図１７は、ＶＰＰ発生回路のさらに他の構成を示す図である。図１７において、ＶＰＰ発生回路は、ＶＰＰ′発生部１００と、第３の電源ノード５と電源ノード４ａの間に接続されるｐチャネルＭＯＳトランジスタＱ５１を含む。ＭＯＳトランジスタＱ５１は、そのゲートおよびドレインが電源ノード４ａに接続され、ソースが第３の電源ノード５に接続される。ＭＯＳトランジスタＱ５１は、第３の電源ノード５上の電圧ＶＰＰがＶＣＣ＋｜ＶＴＰ｜よりも高いときにはオン状態となり、電圧ＶＰＰの電圧レベルを低下させる。このＭＯＳトランジスタＱ５１のクランプ機能により、次式で示す電圧レベルの電圧ＶＰＰが

第３の電源ノード５から出力される。
【０１７１】
ＶＰＰ＝ＶＣＣ＋｜ＶＴＰ｜
ここで、ＶＴＰは、ＭＯＳトランジスタＱ５１のしきい値電圧を示す。
【０１７２】
電圧ＶＰＰ＝ＶＣＣ＋２ＶＴＮを発生するためには２つのダイオード接続されたｎチャネルＭＯＳトランジスタを直列に接続する構成が用いられればよい。
【０１７３】
［ＶＢＢ発生回路１］
図１８は、第４の電源ノードへ印加される電圧ＶＢＢを発生する回路の構成を示す図である。図１８において、ＶＢＢ発生回路は、第４の電源ノード６と接地ノード４ｂの間に直列に接続されるダイオード素子Ｄ１１～Ｄ１４と、ダイオード素子Ｄ１１およびＤ１２の間の接続ノードとクロック信号入力ノード６０との間に接続されるチャージポンプ容量Ｃ１１と、ダイオード素子Ｄ１２およびＤ１３の間の接続ノード７１とクロック信号入力ノード６１との間に接続されるチャージポンプ容量Ｃ１２と、ダイオード容量Ｄ１３およびＤ１４の間の接続ノード７２とクロック信号入力ノード６０との間に接続されるチャージポンプ容量Ｃ１３を含む。ダイオード素子Ｄ１１～Ｄ１４は、第４の電源ノード６から接地ノード４ｂへ向かって順方向に接続される。クロック信号入力ノード６０および６１へは、互いに相補なクロック信号φおよび／φがそれぞれ与えられる。
【０１７４】
ＶＢＢ発生回路は、さらに、第４の電源ノード６と接地ノード４ｂの間に接続される安定化容量ＣＬ２と、第４の電源ノード６と接地ノード４ｂの間に接続されるｐチャネルＭＯＳトランジスタＱ６０を含む。ＭＯＳトランジスタＱ６０は、そのゲートおよびドレインが第４の電源ノード６に接続される。ＭＯＳトランジスタＱ６０はしきい値電圧ＶＴＰを有し、ダイオード素子Ｄ１１～Ｄ１４は、順方向降下電圧ＶＦをそれぞれ有する。次に動作について図１９を参照して説明する。
【０１７５】
クロック信号φおよび／φは接地電圧０Ｖと電源電位ＶＣＣの間で変化する。クロック信号入力ノード６０へ与えられるクロック信号φがハイレベルに立上がると、クロック信号入力ノード６１へ与えられるクロック信号／φはローレベルへ立下がる。ノード７０は、このクロック信号φの立上がりに応答してチャージポンプ容量Ｃ１１によりその電位が上昇するが、ダイオード素子Ｄ１１により、ＶＦのレベルにまで放電される。ノード７１は、クロック信号φの立下がりに応答してその電位がチャージポンプ容量Ｃ１２により低下し、ダイオード素子Ｄ１２がオフ状態とされる。一方、ダイオード素子Ｄ１３は、ノード７２の電位がクロック信号φの立上がりに応答してチャージポンプ容量Ｃ１３のチャージポンプ動作によりその電位が上昇するため、導通し、ノード７２からノード７１へダイオード素子Ｄ１３を介して電荷が移動する。ノード７１の電位がノード７２の電位より、順方向降下電圧ＶＦだけ低くなると、ダイオード素子Ｄ１３がオフ状態とされる。ダイオード素子Ｄ１４は、ノード７２の電位が、ダイオード素子Ｄ１４のアノードの電位よりも高いため、オフ状態とされる。
【０１７６】
クロック信号φがローレベルへ立下がり、クロック信号／φがハイレベルへ立下がると、ノード７０およびノード７２の電位がチャージポンプ容量Ｃ１１およびＣ１３により低下し、一方、ノード７１の電位がチャージポンプ容量Ｃ１２により上昇する。この状態においては、ダイオード素子Ｄ１２が導通し、ノード７１からノード７０へ電荷が移動し、ノード７１の電位が低下する。ノード７２の電位がノード７１の電位よりも低いため、ダイオード素子Ｄ１３はこのときオフ状態である。ノード７２の電位が低下するため、ダイオード素子Ｄ１４を介して電荷がノード７２へ流れ込み、このダイオード素子Ｄ１４のアノードの電位が低下する。ダイオード素子Ｄ１４のアノードとカソードの間の電位差がＶＦとなると、ダイオード素子Ｄ１４がオフ状態とされる。

【０１７７】
安定状態においては、ノード７０の電位が、ＶＦとＶＦ－ＶＣＣの間で変化する。ノード７１は、ダイオード素子Ｄ１２が導通したとき、ノード７０の電位がＶＦ－ＶＣＣであるため、２・ＶＦ－ＶＣＣのレベルにまで放電される。したがってノード７１の電位は、２・ＶＦ－ＶＣＣと２・ＶＦ－２・ＶＣＣの間で変化する。ノード７２は、その電位上昇時において、ダイオード素子Ｄ１３が導通しかつそのとき、ノード７１の電位は２・ＶＦ－２・ＶＣＣであるため、３・ＶＦ－２・ＶＣＣのレベルにまで放電される。したがってノード７２の電位は、３・ＶＦ－２・ＶＣＣと３・ＶＦ－３・ＶＣＣの間で変化する。したがって、このダイオード素子Ｄ１４を介して与えられる最低到達可能電位ＶＢＢ′は、次式で与えられる。

【０１７８】
ＶＢＢ′＝３・ＶＦ－３・ＶＣＣ＋ＶＦ＝４・ＶＦ－３・ＶＣＣ
第４の電源ノード６と接地ノード４ｂの間に、ｐチャネルＭＯＳトランジスタＱ６０が設けられている。このＭＯＳトランジスタＱ６０は、第４の電源ノード６上の電圧がＶＴＰ、すなわち－｜ＶＴＰ｜よりも低くなるとオン状態となり、接地ノード４ｂから電流を第４の電源ノード６へ供給してその電位を上昇させる。したがって、この第４の電源ノード６から出力される電圧ＶＢＢの電圧レベルは次式で与えられる。

【０１７９】
ＶＢＢ＝－｜ＶＴＰ｜
安定化容量ＣＬ２を設けることにより、ノイズ発生時においても、この安定化容量ＣＬ２から負電荷または正電荷を供給して安定に所定の電圧レベルにこの電圧ＶＢＢを維持することができる。

【０１８０】
ＭＯＳトランジスタＱ６０のクランプ機能を機能させるためには、次の関係式を満足することが必要とされる。

【０１８１】
ＶＢＢ′≦ＶＢＢ
図２０に、電圧ＶＢＢと電圧ＶＢＢ′の関係を示す。この図２０に示す電圧ＶＢＢおよびＶＢＢ′の交点よりも高い電源電圧の領域において電圧ＶＢＢへのクランプが行なわれる。このクランプ領域は、図２０から次式で求められる。

【０１８２】
－３（ＶＣＣ－ＶＦ）＋ＶＦ≦－｜ＶＴＰ｜
ＶＣＣ≧（４・ＶＦ＋｜ＶＴＰ｜）／３
今、ＶＦ＝０．７Ｖ、｜ＶＴＰ｜＝０．８５Ｖとすると、
ＶＣＣ≧（２．８＋０．８５）／３　１．２Ｖ
上式から、電源電圧ＶＣＣが１．２Ｖ以上の範囲であれば、ＭＯＳトランジスタＱ６０によりクランプ動作が実現され、－｜ＶＴＰ｜レベルの電圧ＶＢＢを生成することができる。逆に言えば、この図１８に示すチャージポンプ回路を用いることにより、電源電圧ＶＣＣが１．２Ｖまで低下させることができる。

【０１８３】
［ＶＢＢ発生回路２］
図２１は、ＶＢＢ発生回路の他の構成を示す図である。図２１において、ＶＢＢ発生回路は、電圧ＶＢＢ′を発生するＶＢＢ′発生部１１０と、第４の電源ノード６と接地ノード４ｂの間に接続されるｎチャネルＭＯＳトランジスタＱ６０Ｎを含む。ＭＯＳトランジスタＱ６０Ｎは、このゲートおよびドレインが接地ノード４ｂに接続され、そのソースが第４の電源ノード６に接続される。ＭＯＳトランジスタＱ６０Ｎは、この第４の電源ノード６上の電圧ＶＢＢが－ＶＴＮよりも低くなると導通し、接地ノード４ｂから電源ノード６へ電流を供給し、電圧ＶＢＢの電圧レベルを上昇させる。したがって、このＭＯＳトランジスタＱ６０Ｎ、電圧ＶＢＢを－ＶＴＮの電圧レベルにクランプする。

【０１８４】

ＶＢＢ′発生部１１０は、図１８に示すダイオード素子Ｄ１１～Ｄ１４およびチャージポンプ容量Ｃ１１～Ｃ１３および安定化容量ＣＬ２を含む。このＶＢＢ′発生部１１０からチャージポンプ動作により生成される負電圧ＶＢＢ′をＭＯＳトランジスタＱ６０Ｎでクランプして所定の電圧レベル－ＶＴＮの電圧ＶＢＢを発生する。

【０１８５】

［ＶＢＢ発生回路３］

図２２は、ＶＢＢ発生回路のさらに他の構成を示す図である。この図２２に示すＶＢＢ発生回路においては、第４の電源ノード６と接地ノード４ｂの間に、互いに直列にｎチャネルＭＯＳトランジスタＱ６０Ｎおよびｐチャネル ＭＯＳトランジスタＱ６１が接続される。ＭＯＳトランジスタＱ６０ＮおよびＱ６１は、接地ノード４ｂから第４の電源ノード６に向かって順方向にダイオードモードで動作するようにダイオード接続される。ＶＢＢ′発生部１１０は、図１８に示すダイオード素子Ｄ１１～Ｄ１４およびチャージポンプ容量Ｃ１１～Ｃ１３および安定化容量ＣＬ２を含む。ＶＢＢ発生部１１０からチャージポンプ動作により発生される電圧を、ＭＯＳトランジスタＱ６０ＮおよびＱ６１によりクランプする。ＭＯＳトランジスタＱ６０ＮおよびＱ６１は、それぞれＶＴＮおよび｜ＶＴＰ｜の電圧差がそれぞれのゲートおよびソース間に生じたときにオン状態となる。したがって、第４の電源ノード６から発生される電圧ＶＢＢは、次式で表わされる電圧レベルを有する。

【０１８６】

ＶＢＢ＝－ＶＴＮ－｜ＶＴＰ｜

なお、図２２において、ＭＯＳトランジスタＱ６０ＮおよびＱ６１の位置は交換されてもよい。

【０１８７】

ＶＢＢ＝－２｜ＶＴＰ｜の電圧を発生するには、２つのダイオード接続されたｐチャネルＭＯＳトランジスタを直列に接続する構成が用いられればよい。

【図面の簡単な説明】

【図１】この発明の実施の形態１の電圧発生回路の構成を示す図である。

【図２】この発明の実施の形態２の電圧発生回路の構成を示す図である。

【図３】この発明の実施の形態３の電圧発生回路の構成を示す図である。

【図４】この発明の実施の形態４の電圧発生回路の構成を示す図である。

【図５】この発明の実施の形態５の電圧発生回路の構成を示す図である。

【図６】この発明の実施の形態６の電圧発生回路の構成を示す図である。

【図７】この発明の実施の形態７の電圧発生回路の構成を示す図である。

【図８】この発明の実施の形態８の電圧発生回路の構成を示す図である。

【図９】この発明の実施の形態９の電圧発生回路の構成を示す図である。

【図１０】この発明の実施の形態１０の電圧発生回路の構成を示す図である。

【図１１】この発明の実施の形態１１の電圧発生回路の構成を示す図である。

【図１２】電圧発生回路が発生する電圧のレベルを説明するための図である。

【図１３】ＭＯＳトランジスタのソースフォロア動作を説明するための図である。

【図１４】（Ａ）は、第３の電源ノードへ印加される電圧ＶＰＰを発生するための回路構成を示し、（Ｂ）はその動作波形を示す図である。

【図１５】電圧ＶＰＰをクランプするのに必要とされる電源電圧のレベルを求めるための図である。

【図１６】ＶＰＰ発生回路の他の構成を示す図である。

【図１７】ＶＰＰ発生回路のさらに他の構成を示す図である。

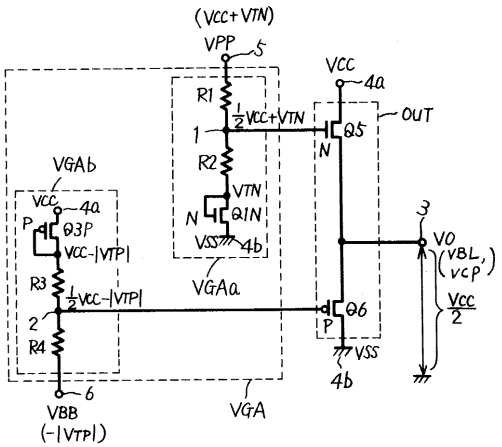
【図１８】第４の電源ノードへ印加される電圧ＶＢＢを発生するための回路構成を示す図である。

【図１９】図１８に示すＶＢＢ発生回路の動作を示す波形図である。

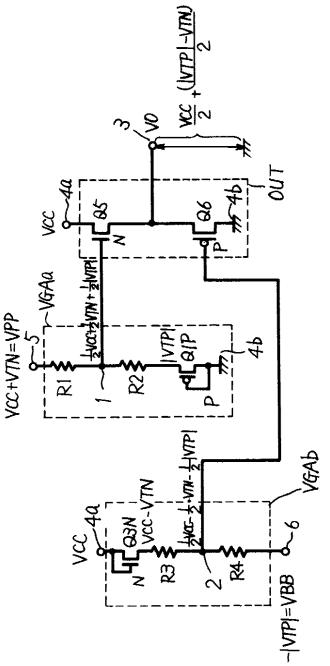
【図２０】図１８に示すＶＢＢ発生回路のクランプ機能を実現するための電源電圧レベルを求めるための図である。

【図２１】ＶＢＢ発生回路の他の構成を示す図である。
【図２２】ＶＢＢ発生回路のさらに他の構成を示す図である。
【図２３】この発明が適用されるＤＲＡＭの要部の構成を示す図である。
【図２４】図２２に示すＤＲＡＭの動作を示す波形図である。
【図２５】従来の中間電圧発生回路の構成を示す図である。
【図２６】従来の中間電圧発生回路の他の構成を示す図である。
【図２７】ＭＯＳトランジスタのサブスレッショルド電流特性を示す図である。
【図２８】従来の中間電圧発生回路の問題点を説明するための図である。
【符号の説明】
ＶＧＡ，ＶＧＢ　電圧発生部、ＶＧＡａ，ＶＧＡｂ，ＶＧＢａ～ＶＧＢｄ　電圧発生部、ＯＵＴ　出力回路、Ｑ１Ｎ、Ｑ３Ｎ、Ｑ５、Ｑ７Ｎ、Ｑ８Ｎ、Ｑ９Ｎ、Ｑ８Ｎ、Ｑ１０Ｎ、Ｑ１１Ｎ、Ｑ１２Ｎ、Ｑ１３Ｎ、Ｑ１５およびＱ１７　ｎチャネルＭＯＳトランジスタ、Ｑ１Ｐ、Ｑ３Ｐ、Ｑ６、Ｑ７Ｐ、Ｑ８Ｐ、Ｑ９Ｐ、Ｑ１０Ｐ、Ｑ１１Ｐ、Ｑ１４Ｐ、Ｑ１６、Ｑ１８　ｐチャネルＭＯＳトランジスタ、３　出力ノード、４ａ　第１の電源ノード、４ｂ　第２の電源ノード、５第３の電源ノード、６　第４の電源ノード、Ｒ１～Ｒ１０　抵抗性素子、Ｑ５０，Ｑ６０Ｎ　ｎチャネルＭＯＳトランジスタ、Ｑ５１，Ｑ６０，Ｑ６１　ｐチャネルＭＯＳトランジスタ、１００　ＶＰＰ′発生部、１１０　ＶＢＢ′発生部、Ｄ１～Ｄ４，Ｄ１１～Ｄ１４　ダイオード素子、Ｃ１～Ｃ３，Ｃ１１～Ｃ１３　容量。

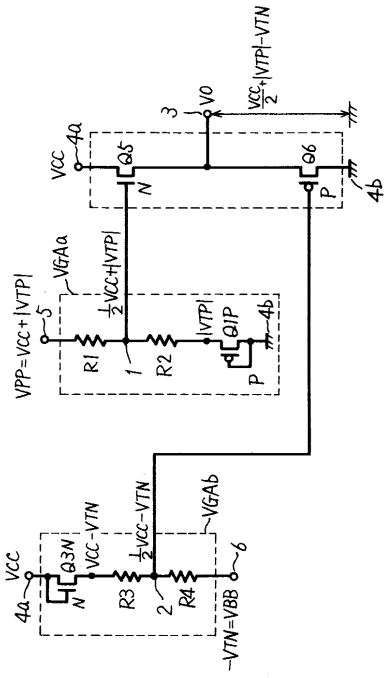
【図１】



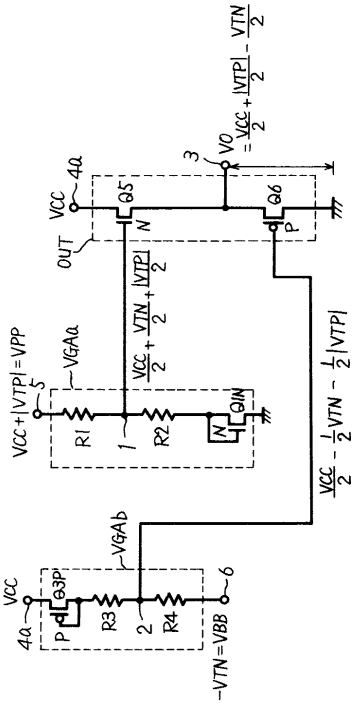
【図２】



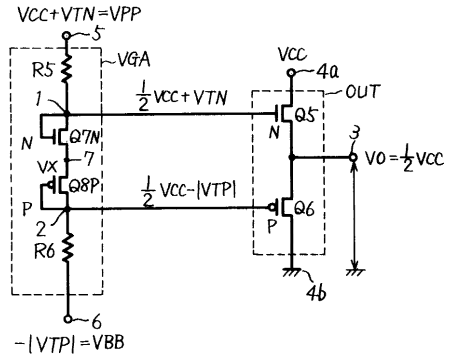
【図３】


VO
VCC
Q5
Q6
N
P
VGAa
R1
R2
Q1P
VPP=VCC+|VTP|
VGAb
R3
R4
Q3N
-VTN=VBB

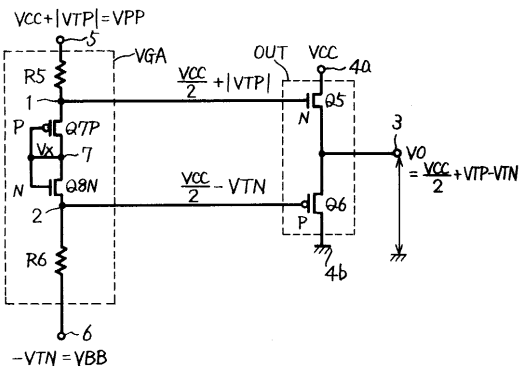
【図４】


VO
VCC
Q5
Q6
OUT
VGAa
R1
R2
Q1N
VCC+|VTP|=VPP
VGAb
R3
R4
Q3P
-VTN=VBB

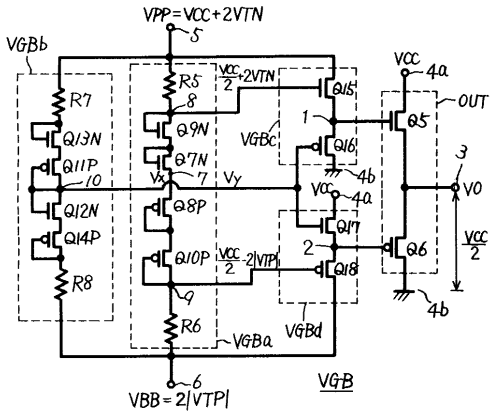
【図５】


VCC+VTN=VPP
VGA
R5
R6
Q7N
Q8P
VCC
OUT
Q5
Q6
VO=½VCC
-|VTP|=VBB

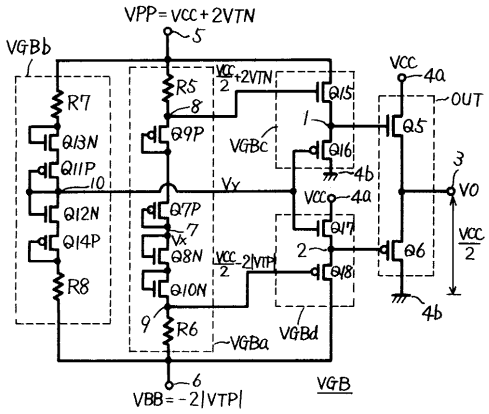
【図６】


VCC+|VTP|=VPP
VGA
R5
R6
Q7P
Q8N
OUT
VCC
Q5
Q6
VO
-VTN=VBB

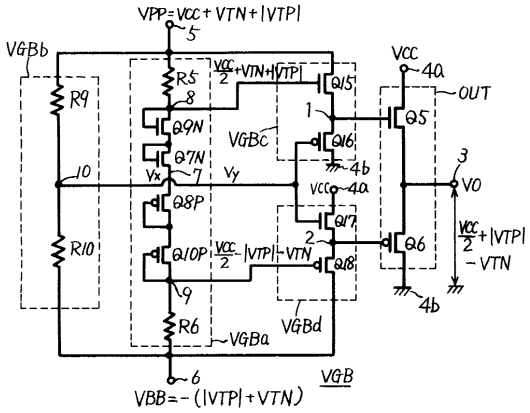
【図７】


VPP=VCC+2VTN
VGBb
R7
R8
R5
R6
Q13N
Q11P
Q12N
Q14P
Q9N
Q7N
Q8P
Q10P
VGBc
VGBd
VGBa
VCC
OUT
Q5
Q6
VO
VBB=2|VTP|
VGB

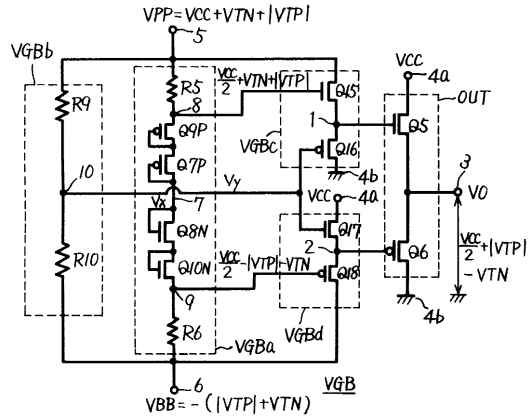
【図８】



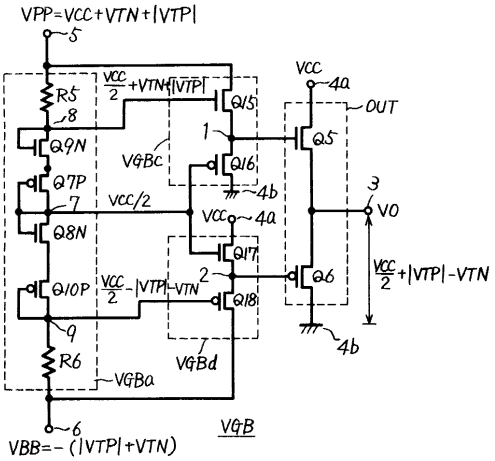
【図９】



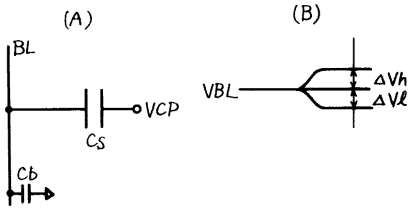
【図１０】



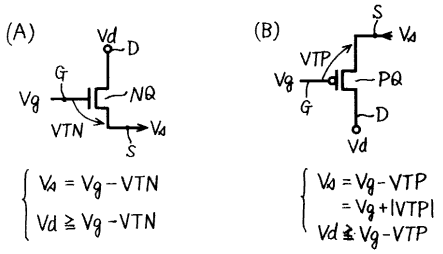
【図１１】



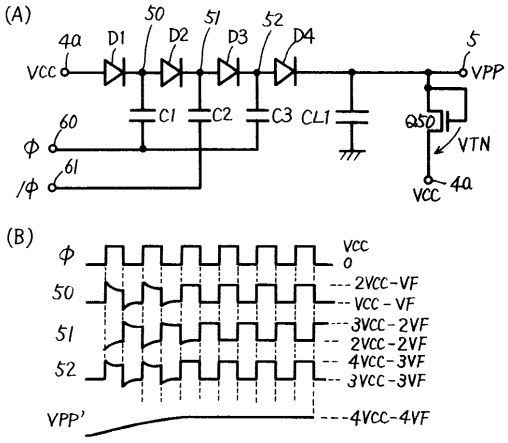
【図１２】



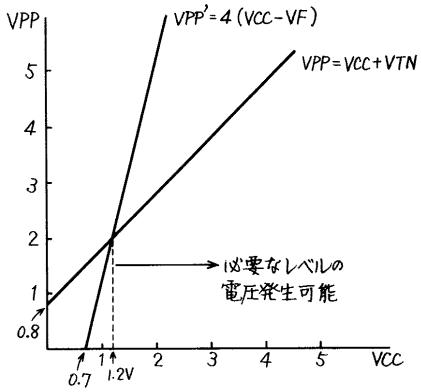
【図１３】



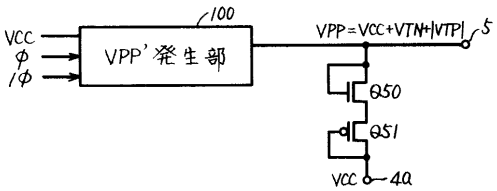
【図１４】



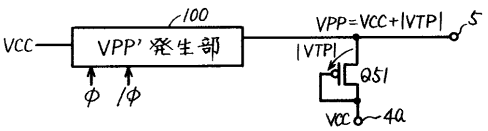
【図１５】



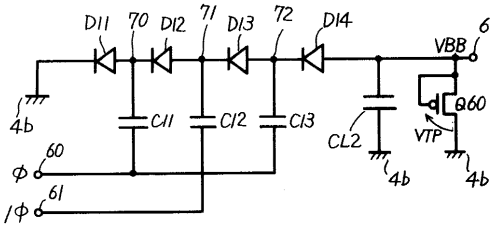
【図１６】



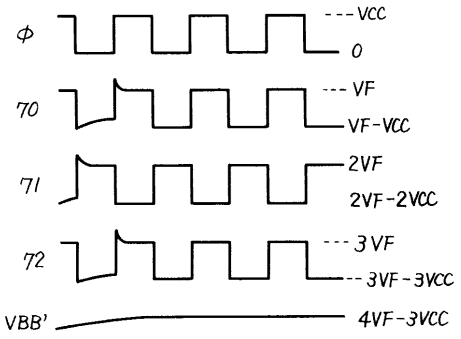
【図１７】



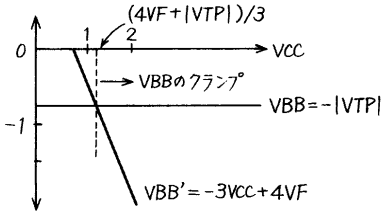
【図１８】



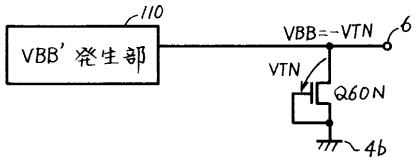
【図１９】



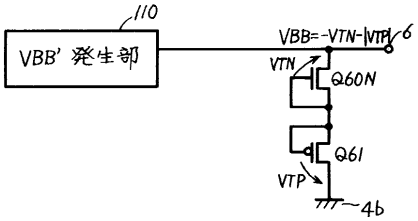
【図２０】



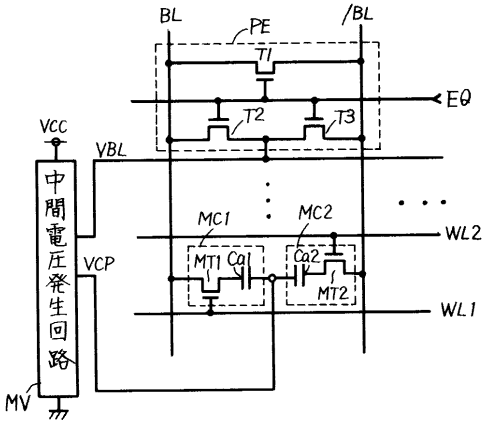
【図２１】



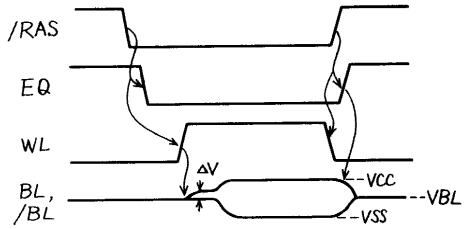
【図２２】



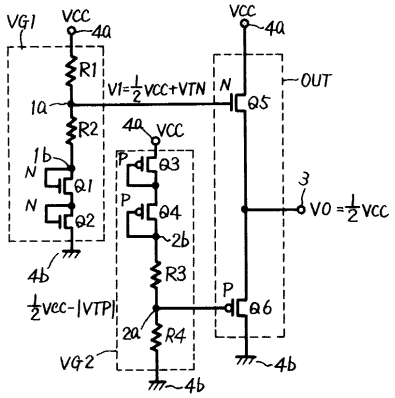
【図２３】



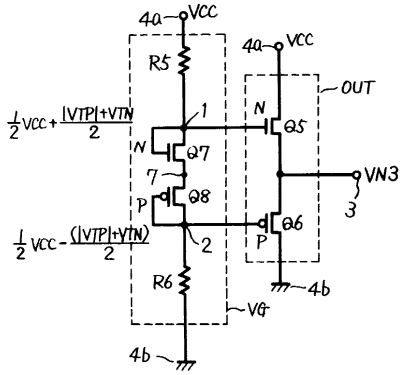
【図２４】



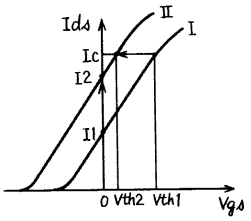
【図２５】



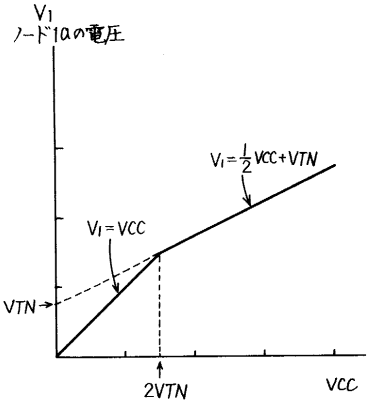
【図２６】



【図２７】



【図２８】



フロントページの続き

(72)発明者　飛田　洋一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　川端　修

(56)参考文献　特開平０４－３１７５５９（ＪＰ，Ａ）
特開平０１－１３１９１２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G05F 3/24