

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7001967号
(P7001967)

(45)発行日 令和4年1月20日(2022.1.20)

(24)登録日 令和4年1月4日(2022.1.4)

(51)国際特許分類	F I			
H 0 1 L 27/146(2006.01)	H 0 1 L	27/146	A	
H 0 4 N 5/3745(2011.01)	H 0 1 L	27/146	F	
	H 0 1 L	27/146	E	
	H 0 4 N	5/3745	2 0 0	

請求項の数 15 (全31頁)

(21)出願番号	特願2018-513109(P2018-513109)	(73)特許権者	000002185 ソニーグループ株式会社 東京都港区港南1丁目7番1号
(86)(22)出願日	平成29年4月7日(2017.4.7)	(74)代理人	100121131 弁理士 西川 孝
(86)国際出願番号	PCT/JP2017/014452	(74)代理人	100082131 弁理士 稲本 義雄
(87)国際公開番号	WO2017/183477	(72)発明者	佐野 拓也 東京都港区港南1丁目7番1号 ソニー 株式会社内
(87)国際公開日	平成29年10月26日(2017.10.26)	審査官	今井 聖和
審査請求日	令和2年3月17日(2020.3.17)		
(31)優先権主張番号	特願2016-86551(P2016-86551)		
(32)優先日	平成28年4月22日(2016.4.22)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 固体撮像素子および駆動方法、並びに電子機器

(57)【特許請求の範囲】

【請求項1】

光を光電変換により電荷に変換して蓄積する光電変換部と、
前記光電変換部に蓄積されている電荷を読み出す読み出し部と、
前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、
前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する
転送部と
を備え、
前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成
となっており、
前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造
であり、
前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換
部から電荷を読み出す縦型トランジスタ構造であり、
前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方
法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方
法を切り替えることができる

固体撮像素子。

【請求項2】

前記転送部を介して前記増倍領域から前記変換部に電荷を転送する際に、アバランシェ効

果により電荷を増倍させるために、前記増倍領域に強電界領域を発生させる
請求項 1 に記載の固体撮像素子。

【請求項 3】

前記転送部を介して前記増倍領域から前記変換部に電荷を転送する際に、前記読み出し部
に対して任意の負バイアスを印加する

請求項 2 に記載の固体撮像素子。

【請求項 4】

前記半導体基板に対して前記光電変換部を形成した後、前記半導体基板上に結晶成長を行
ってエピタキシャル層を形成し、前記エピタキシャル層に前記増倍領域を形成することで
、前記光電変換部と前記増倍領域とが積層するように配置される

10

請求項 1 に記載の固体撮像素子。

【請求項 5】

同一の前記半導体基板に対して不純物をイオン注入する際の深さ方向を分離することで、
前記光電変換部と前記増倍領域とが積層するように配置される

請求項 1 に記載の固体撮像素子。

【請求項 6】

前記光電変換部が形成された第 1 の半導体基板と、前記増倍領域が形成された第 2 の半導
体基板とを貼り合わせることで、前記光電変換部と前記増倍領域とが積層するように配置
される

請求項 1 に記載の固体撮像素子。

20

【請求項 7】

積層するように配置される前記光電変換部と前記増倍領域との間に、前記増倍領域に入射
する光を遮光する遮光膜を

さらに備える請求項 1 に記載の固体撮像素子。

【請求項 8】

隣接する他の画素から前記増倍領域に入射する光を遮光する遮光部を

さらに備える請求項 1 に記載の固体撮像素子。

【請求項 9】

前記増倍領域が形成される半導体基板の表面に、前記増倍領域から前記変換部へ電荷の転
送を行う際に任意のバイアス電圧を印加する複数の電極が配置されている

30

請求項 1 に記載の固体撮像素子。

【請求項 10】

半導体基板に形成されている前記光電変換部のみで光電変換が行われる

請求項 1 に記載の固体撮像素子。

【請求項 11】

前記光電変換部が形成されている半導体基板に、特定の波長成分の光に感度を持つ有機膜
または無機膜が積層されており、前記有機膜または前記無機膜において光電変換が行われ
るとともに、前記有機膜または前記無機膜を透過した前記特定の波長成分以外の光が前記
光電変換部において光電変換が行われる

請求項 1 に記載の固体撮像素子。

40

【請求項 12】

前記光電変換部と前記増倍領域とが、半導体基板の同層に設けられる配置構成となっている
請求項 1 に記載の固体撮像素子。

【請求項 13】

所定個数の前記光電変換部により、前記転送部より後段に設けられるトランジスタにより
画素回路を共有する画素共有構造となっている

請求項 1 に記載の固体撮像素子。

【請求項 14】

光を光電変換により電荷に変換して蓄積する光電変換部と、

前記光電変換部に蓄積されている電荷を読み出す読み出し部と、

50

前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部と

を備え、

前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、

前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、

前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造である

10

固体撮像素子の駆動方法であって、

前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることを含む

駆動方法。

【請求項15】

光を光電変換により電荷に変換して蓄積する光電変換部と、

前記光電変換部に蓄積されている電荷を読み出す読み出し部と、

前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、

前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部と

20

を有し、

前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、

前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、

前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造であり、

前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることができる

30

固体撮像素子を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像素子および駆動方法、並びに電子機器に関し、特に、画素の微細化および感度向上を図ることができるようにした固体撮像素子および駆動方法、並びに電子機器に関する。

【背景技術】

【0002】

従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子が使用されている。固体撮像素子は、光電変換を行うPD (photodiode: フォトダイオード) と複数のトランジスタとが組み合わされた画素を有しており、被写体の像が結像する像面に配置された複数の画素から出力される画素信号に基づいて画像が構築される。

【0003】

また、近年、画素の微細化に伴って、PDを設ける領域を十分に確保することができずに、SN比 (signal-to-noise ratio) が低下することが懸念されており、PDの体積を拡大する技術が開発されている。

40

50

【 0 0 0 4 】

例えば、PDとトランジスタとを深さ方向に分離することで、飽和電荷量や感度などの低下を抑制するとともに、ランダムノイズやRTS (Random Telegraph Signal) ノイズなどを改善させることができる技術が開発されている (例えば、特許文献1参照)。

【 0 0 0 5 】

また、更なる感度の向上を図るために、電界による衝突電離により電子を増倍する増倍センサを備えた撮像素子が開発されている (例えば、特許文献2参照)。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 文献 】 特開 2 0 1 4 - 1 9 9 8 9 8 号 公 報

特開 2 0 0 7 - 2 3 5 0 9 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ところで、シリコンを利用した増倍センサとしては、APD (Avalanche Photo Diode) やSPAD (Single Photon Avalanche Diode) などが多く用いられているが、画素構造および回路構成が、従来のCMOSイメージセンサとは異なり完全に新規なものとなっていた。このため、このような増倍センサを従来のCMOSイメージセンサに適用することは技術の親和性が低く困難であった。また、近年、EMCMOS (Electron Multiplier CMOS) と称する増倍領域をもつCMOSセンサの研究が行われているが、増倍領域を追加で確保する必要があるため、画素を微細化することが困難であった。

【 0 0 0 8 】

本開示は、このような状況に鑑みてなされたものであり、画素の微細化および感度向上を図ることができるようにするものである。

【 課題を解決するための手段 】

【 0 0 0 9 】

本開示の一側面の固体撮像素子は、光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に蓄積されている電荷を読み出す読み出し部と、前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部とを備え、前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造であり、前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることができる。

【 0 0 1 0 】

本開示の一側面の駆動方法は、光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に蓄積されている電荷を読み出す読み出し部と、前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部とを備え、前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造である固体撮像素子の駆動方法であって、前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることを含む。

10

20

30

40

50

【 0 0 1 1 】

本開示の一側面の電子機器は、光を光電変換により電荷に変換して蓄積する光電変換部と、前記光電変換部に蓄積されている電荷を読み出す読み出し部と、前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部とを有し、前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造であり、前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることができる固体撮像素子を備える。

10

【 0 0 1 2 】

本開示の一側面においては、光電変換部により、光が光電変換により変換された電荷が蓄積され、読み出し部により、光電変換部に蓄積されている電荷が読み出され、増倍領域により、読み出し部を介して読み出された電荷が一時的に蓄積されて増倍され、転送部により、増倍領域に蓄積されている電荷が、電荷を画素信号に変換する変換部に転送される。そして、光電変換部と増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、読み出し部は、半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造であり、転送部は、増倍領域および変換部の間に配置されるとともに、光電変換部から電荷を読み出す縦型トランジスタ構造であり、読み出し部を介して光電変換部から増倍領域に電荷を読み出す第1の駆動方法と、転送部を介して光電変換部から変換部に電荷を読み出す第2の駆動方法が切り替えられる。

20

【 発明の効果 】

【 0 0 1 3 】

本開示の一側面によれば、画素の微細化および感度向上を図ることができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

【 図 2 】 画素の構成例を示す回路図である。

30

【 図 3 】 画素の第1の構成例を示す断面図である。

【 図 4 】 画素の第1の駆動方法を説明する図である。

【 図 5 】 画素の第1の駆動方法を説明する図である。

【 図 6 】 画素の第2の駆動方法を説明する図である。

【 図 7 】 画素の第2の駆動方法を説明する図である。

【 図 8 】 画素の第1の製造方法を説明する図である。

【 図 9 】 画素の第2の製造方法を説明する図である。

【 図 10 】 画素の第3の製造方法を説明する図である。

【 図 11 】 画素の第2の構成例を示す断面図である。

【 図 12 】 画素の第3の構成例を示す断面図である。

40

【 図 13 】 画素の第4の構成例を示す断面図である。

【 図 14 】 画素の第5の構成例を示す断面図である。

【 図 15 】 画素の第6の構成例を示す断面図である。

【 図 16 】 画素の第7の構成例を示す断面図である。

【 図 17 】 画素の第8の構成例を示す断面図である。

【 図 18 】 画素の第9の構成例を示す断面図である。

【 図 19 】 画素の第10の構成例を示す断面図である。

【 図 20 】 画素の第11の構成例を示す断面図である。

【 図 21 】 画素の第12の構成例を示す断面図である。

【 図 22 】 画素の第13の構成例を示す断面図である。

50

【図 2 3】画素の第 1 4 の構成例を示す断面図である。

【図 2 4】画素の第 1 5 の構成例を示す回路図である。

【図 2 5】画素の第 1 6 の構成例を示す回路図である。

【図 2 6】8 画素共有構造の画素の平面的な第 1 のレイアウト例を示す図である。

【図 2 7】8 画素共有構造の画素の平面的な第 2 のレイアウト例を示す図である。

【図 2 8】増倍領域および第 2 の転送トランジスタを平面的に見たレイアウトを示す図である。

【図 2 9】衝突電離確率について説明する図である。

【図 3 0】電荷の増倍効果について説明する図である。

【図 3 1】電子機器に搭載される撮像装置の構成例を示すブロック図である。

10

【図 3 2】イメージセンサを使用する使用例を示す図である。

【発明を実施するための形態】

【0015】

以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

【0016】

図 1 は、本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

【0017】

図 1 に示すように、撮像素子 1 1 は、画素領域 1 2、垂直駆動回路 1 3、カラム信号処理回路 1 4、水平駆動回路 1 5、出力回路 1 6、および制御回路 1 7 を備えて構成される。

20

【0018】

画素領域 1 2 は、図示しない光学系により集光される光を受光する受光面である。画素領域 1 2 には、複数の画素 2 1 が行列状に配置されており、それぞれの画素 2 1 は、水平信号線 2 2 を介して行ごとに垂直駆動回路 1 3 に接続されるとともに、垂直信号線 2 3 を介して列ごとにカラム信号処理回路 1 4 に接続される。複数の画素 2 1 は、それぞれ受光する光の光量に応じたレベルの画素信号を出力し、それらの画素信号から、画素領域 1 2 に結像する被写体の画像が構築される。

【0019】

垂直駆動回路 1 3 は、画素領域 1 2 に配置される複数の画素 2 1 の行ごとに順次、それぞれの画素 2 1 を駆動（転送や、選択、リセットなど）するための駆動信号を、水平信号線 2 2 を介して画素 2 1 に供給する。カラム信号処理回路 1 4 は、複数の画素 2 1 から垂直信号線 2 3 を介して出力される画素信号に対して CDS (Correlated Double Sampling: 相関 2 重サンプリング) 処理を施すことにより、画素信号の A/D 変換を行うとともにリセットノイズを除去する。

30

【0020】

水平駆動回路 1 5 は、画素領域 1 2 に配置される複数の画素 2 1 の列ごとに順次、カラム信号処理回路 1 4 から画素信号をデータ出力信号線 2 4 に出力させるための駆動信号を、カラム信号処理回路 1 4 に供給する。出力回路 1 6 は、水平駆動回路 1 5 の駆動信号に従ったタイミングでカラム信号処理回路 1 4 からデータ出力信号線 2 4 を介して供給される画素信号を増幅し、後段の信号処理回路に出力する。制御回路 1 7 は、例えば、撮像素子 1 1 の各ブロックの駆動周期に従ったクロック信号を生成して供給することで、それらの各ブロックの駆動を制御する。

40

【0021】

次に、図 2 は、画素 2 1 の構成例を示す回路図である。

【0022】

図 2 に示すように、画素 2 1 は、PD 3 1、第 1 の転送トランジスタ 3 2、増倍領域 3 3、第 2 の転送トランジスタ 3 4、FD (Floating Diffusion) 部 3 5、増幅トランジスタ 3 6、選択トランジスタ 3 7、およびリセットトランジスタ 3 8 を備えて構成されており、垂直信号線 2 3 を介して定電流源 3 9 に接続されている。

【0023】

50

PD31は、入射した光を光電変換により電荷に変換して蓄積する光電変換部であり、アノード端子が接地されているとともに、カソード端子が第1の転送トランジスタ32に接続されている。

【0024】

第1の転送トランジスタ32は、垂直駆動回路13から供給される転送信号VGに従って駆動し、第1の転送トランジスタ32がオンになると、PD31に蓄積されている電荷が増倍領域33に転送される。

【0025】

増倍領域33は、第1の転送トランジスタ32および第2の転送トランジスタ34の間に設けられる所定の蓄積容量を有する浮遊拡散領域であり、PD31から転送される電荷を一時的に蓄積する。また、増倍領域33は、その内部に強電界領域を発生させてアバランシェ効果（即ち、強い電場の中で自由電子が分子と衝突することにより新たな電子が叩き出され、その電子が電場で加速されてさらに別の分子と衝突して加速度的に電子数が増加する現象）を起こすことによって電子を増倍させることができる。

10

【0026】

第2の転送トランジスタ34は、垂直駆動回路13から供給される転送信号TGに従って駆動し、第2の転送トランジスタ34がオンになると、増倍領域33に蓄積されている電荷がFD部35に転送される。

【0027】

FD部35は、増幅トランジスタ36のゲート電極に接続された所定の蓄積容量を有する浮遊拡散領域であり、増倍領域33を介して転送されてくる電荷を一時的に蓄積する。

20

【0028】

増幅トランジスタ36は、FD部35に蓄積されている電荷に応じたレベル（即ち、FD部35の電位）の画素信号を、選択トランジスタ37を介して垂直信号線23に出力する。つまり、FD部35が増幅トランジスタ36のゲート電極に接続される構成により、FD部35および増幅トランジスタ36は、PD31において発生した電荷を増幅し、その電荷に応じたレベルの画素信号に変換する変換部として機能する。

【0029】

選択トランジスタ37は、垂直駆動回路13から供給される選択信号SELに従って駆動し、選択トランジスタ37がオンになると、増幅トランジスタ36から出力される画素信号が垂直信号線23に出力可能な状態となる。

30

【0030】

リセットトランジスタ38は、垂直駆動回路13から供給されるリセット信号RSTに従って駆動し、リセットトランジスタ38がオンになると、FD部35に蓄積されている電荷が可変電源VFCに排出されて、FD部35がリセットされる。ここで、可変電源VFCは、図4乃至図7を参照して説明するように、増倍領域33およびFD部35のリセット電位が異なるものとなるように、電圧を変更することができる。

【0031】

このように画素21は構成されており、PD31で発生した電荷（電子）を、増倍領域33を介して読み出すことにより、増倍させることができる。

40

【0032】

次に、図3は、画素21の第1の構成例を示す断面図である。

【0033】

図3に示すように、画素21は、半導体基板41の裏面側（図2の下側）にPD31が形成されており、半導体基板41の裏面側からPD31に光が照射される。そして、半導体基板41の裏面側には、画素21が受光する色の光を透過するカラーフィルタ42、および、画素21ごとに光を集光するオンチップレンズ43が積層される。

【0034】

また、画素21は、半導体基板41の表面側に、第1の転送トランジスタ32、増倍領域33、第2の転送トランジスタ34、FD部35が配置されている。

50

【 0 0 3 5 】

第 1 の転送トランジスタ 3 2 は、増倍領域 3 3 に隣接する箇所において、半導体基板 4 1 の表面から P D 3 1 の側面近傍まで掘り込まれるように設けられるゲート電極 4 4 を有して構成される。即ち、第 1 の転送トランジスタ 3 2 は、いわゆる縦型トランジスタ構造となっており、P D 3 1 で発生した電荷を半導体基板 4 1 の表面まで読み出して増倍領域 3 3 に転送する。

【 0 0 3 6 】

増倍領域 3 3 は、半導体基板 4 1 の裏面側に配置される P D 3 1 に対して積層するように、半導体基板 4 1 の表面側に配置され、第 1 の転送トランジスタ 3 2 を介して読み出される電荷を蓄積する。また、増倍領域 3 3 は、例えば、増倍領域 3 3 から F D 部 3 5 に電荷を転送する際に、第 2 の転送トランジスタ 3 4 に高電圧を印加することで、増倍領域 3 3 の内部に強電界領域を発生させてアパランシェ効果を起こすことによって電子を増倍させることができる。さらに、このとき、第 1 の転送トランジスタ 3 2 に任意の負バイアスを印加することで、電子の増倍効果を増大させることができる。

10

【 0 0 3 7 】

第 2 の転送トランジスタ 3 4 は、増倍領域 3 3 および F D 部 3 5 の間において、半導体基板 4 1 の表面に積層するように設けられるゲート電極 4 5 を有して構成される。そして、第 2 の転送トランジスタ 3 4 は、P D 3 1 から読み出され増倍領域 3 3 に蓄積されている電荷を、F D 部 3 5 に転送する。

【 0 0 3 8 】

F D 部 3 5 は、第 2 の転送トランジスタ 3 4 を介して増倍領域 3 3 から転送されてくる電荷を蓄積し、図 2 を参照して上述したように、増幅トランジスタ 3 6 のゲート電極に接続されている。

20

【 0 0 3 9 】

また、画素 2 1 には、隣接する他の画素 2 1 に入射した光が混入することを防止するために、P D 3 1 の周囲を囲うように、半導体基板 4 1 の裏面側から所定の深さまで埋め込まれるように、光を遮光することができる遮光部 4 6 が設けられている。

【 0 0 4 0 】

このように構成される画素 2 1 は、例えば、P D 3 1 と増倍領域 3 3 および P D 3 1 とを縦方向に積層するように設ける構造によって、微細化を図ることができる。

30

【 0 0 4 1 】

さらに、画素 2 1 では、P D 3 1 で発生した電荷（電子）を、増倍領域 3 3 を介して読み出すことによって増倍させることができる。これにより、画素 2 1 は、例えば、低照度時であっても、高い感度で画素信号を得ることができる。

【 0 0 4 2 】

そして、画素 2 1 を備える撮像素子 1 1 は、P D 3 1 における光電変換特性や、P D 3 1 からの電荷転送変換特性は、従来の CMOS イメージセンサと同様の構造を採用することができる。さらに、撮像素子 1 1 は、画素 2 1 に必要となるトランジスタの個数が、従来の APD よりも少なくすることができるため、画素 2 1 の微細化を図ることができ、より高集積であり、かつ、増倍機能を備えることができる。

40

【 0 0 4 3 】

次に、図 4 および図 5 を参照して、画素 2 1 の第 1 の駆動方法について説明する。図 4 および図 5 には、P D 3 1 の電位 (PD)、第 1 の転送トランジスタ 3 2 の転送信号の電位 (VG)、増倍領域 3 3 の電位 (FD0)、第 2 の転送トランジスタ 3 4 の転送信号の電位 (TG)、F D 部 3 5 の電位 (FD1)、リセットトランジスタ 3 8 のリセット信号の電位 (RST)、および可変電源 VFC の電位 (VF) が示されている。

【 0 0 4 4 】

第 1 のステップにおいて、図 4 の最上段に示すように、可変電源の電位が例えば 3 V に設定されるとともに、第 1 の転送トランジスタ 3 2、第 2 の転送トランジスタ 3 4、およびリセットトランジスタ 3 8 がオンに駆動される。これにより、リセットトランジスタ 3 8

50

、FD部35、第2の転送トランジスタ34、増倍領域33、および第1の転送トランジスタ32を介して、PD31に残留していた電荷が排出されてPD31がリセットされる。

【0045】

第2のステップにおいて、図4の上から2段目に示すように、第1の転送トランジスタ32がオフに駆動される。これにより、PD31において、光電変換で発生する電荷の蓄積が開始される。

【0046】

第3のステップにおいて、図4の上から3段目に示すように、可変電源VFCの電位が例えば11Vに変更される。これにより、リセットトランジスタ38、FD部35、第2の転送トランジスタ34を介して、増倍領域33が11Vにリセットされる。

10

【0047】

第4のステップにおいて、図4の上から4段目に示すように、第2の転送トランジスタ34がオフに駆動された後、可変電源VFCの電位が例えば12Vに変更される。これにより、リセットトランジスタ38を介して、FD部35が12Vにリセットされる。

【0048】

第5のステップにおいて、図4の上から5段目に示すように、リセットトランジスタ38がオフに駆動されることで、リセット動作が終了される。

【0049】

次に、第6のステップにおいて、図5の最上段に示すように、第1の転送トランジスタ32がオンに駆動される。これにより、PD31での電荷の蓄積が終了されて、PD31から増倍領域33へ、電荷の転送が増倍を発生させながら行われる。このとき、アバランシェ効果により電荷を増倍させるために、増倍領域33に強電界領域を発生させる。

20

【0050】

第7のステップにおいて、図5の上から2段目に示すように、第1の転送トランジスタ32がオフに駆動される。これにより、PD31から増倍領域33への電荷の転送が終了される。

【0051】

第8のステップにおいて、図5の上から3段目に示すように、第1の転送トランジスタ32および第2の転送トランジスタ34に負バイアスが印加される。これにより、増倍領域33の電位が降圧されることになる。

30

【0052】

第9のステップにおいて、図5の上から4段目に示すように、第2の転送トランジスタ34がオンに駆動される。これにより、増倍領域33からFD部35へ、電荷の転送が通常通りに行われる。

【0053】

第10のステップにおいて、図5の上から5段目に示すように、第2の転送トランジスタ34がオフに駆動される。これにより、増倍領域33からFD部35への電荷の転送が終了される。その後、FD部35に蓄積されている電荷に応じたレベルの画素信号が、図2の増幅トランジスタ36から出力される。

【0054】

このような第1の駆動方法により、画素21は、PD31で発生した電荷を、増倍領域33に読み出す際に増倍することができる。

40

【0055】

次に、図6および図7を参照して、画素21の第2の駆動方法について説明する。

【0056】

第21のステップにおいて、図6の最上段に示すように、可変電源の電位が例えば3Vに設定されるとともに、第1の転送トランジスタ32、第2の転送トランジスタ34、およびリセットトランジスタ38がオンに駆動される。これにより、リセットトランジスタ38、FD部35、第2の転送トランジスタ34、増倍領域33、および第1の転送トランジスタ32を介して、PD31に残留していた電荷が排出されてPD31がリセットされ

50

る。

【 0 0 5 7 】

第 2 2 のステップにおいて、図 6 の上から 2 段目に示すように、第 1 の転送トランジスタ 3 2 がオフに駆動される。これにより、P D 3 1 において、光電変換で発生する電荷の蓄積が開始される。

【 0 0 5 8 】

第 2 3 のステップにおいて、図 6 の上から 3 段目に示すように、可変電源 V F C の電位が例えば 4 V に変更される。これにより、リセットトランジスタ 3 8、F D 部 3 5、第 2 の転送トランジスタ 3 4 を介して、増倍領域 3 3 が 4 V にリセットされる。

【 0 0 5 9 】

第 2 4 のステップにおいて、図 6 の上から 4 段目に示すように、第 2 の転送トランジスタ 3 4 がオフに駆動された後、可変電源 V F C の電位が例えば 1 2 V に変更される。これにより、リセットトランジスタ 3 8 を介して、F D 部 3 5 が 1 2 V にリセットされる。

【 0 0 6 0 】

第 2 5 のステップにおいて、図 6 の上から 5 段目に示すように、リセットトランジスタ 3 8 がオフに駆動されることで、リセット動作が終了される。

【 0 0 6 1 】

次に、第 2 6 のステップにおいて、図 7 の最上段に示すように、第 1 の転送トランジスタ 3 2 がオンに駆動される。これにより、P D 3 1 での電荷の蓄積が終了されて、P D 3 1 から増倍領域 3 3 へ、電荷の転送が通常通りに行われる。

【 0 0 6 2 】

第 2 7 のステップにおいて、図 7 の上から 2 段目に示すように、第 1 の転送トランジスタ 3 2 がオフに駆動される。これにより、P D 3 1 から増倍領域 3 3 への電荷の転送が終了される。

【 0 0 6 3 】

第 2 8 のステップにおいて、図 7 の上から 3 段目に示すように、第 2 の転送トランジスタ 3 4 がオンに駆動される。これにより、増倍領域 3 3 から F D 部 3 5 へ、電荷の転送が増倍を発生させながら行われる。このとき、アバランシェ効果により電荷を増倍させるために、増倍領域 3 3 に強電界領域を発生させる。

【 0 0 6 4 】

第 2 9 のステップにおいて、図 7 の上から 4 段目に示すように、第 2 の転送トランジスタ 3 4 がオフに駆動される。これにより、増倍領域 3 3 から F D 部 3 5 への電荷の転送が終了される。その後、F D 部 3 5 に蓄積されている電荷に応じたレベルの画素信号が、図 2 の増幅トランジスタ 3 6 から出力される。

【 0 0 6 5 】

このような第 2 の駆動方法により、画素 2 1 は、P D 3 1 で発生し増倍領域 3 3 に読み出された電荷を、F D 部 3 5 に転送する際に増倍することができる。さらに、第 2 の駆動方法を採用することで、P D 3 1 から電荷の読み出しを行う部分と、電荷の増倍を行う部分とを分離することができ、それぞれ独立にデバイス構造を設計することができる。

【 0 0 6 6 】

次に、図 8 を参照して、画素 2 1 の第 1 の製造方法について説明する。

【 0 0 6 7 】

第 1 の工程において、図 8 の最上段に示すように、半導体基板 4 1 に対して不純物をイオン注入することにより、半導体基板 4 1 の表面近傍に P D 3 1 を形成する。

【 0 0 6 8 】

第 2 の工程において、図 8 の上から 2 段目に示すように、半導体基板 4 1 上に結晶成長を行って、エピタキシャル層を形成する。

【 0 0 6 9 】

第 3 の工程において、図 8 の上から 3 段目に示すように、半導体基板 4 1 のエピタキシャル層に対して不純物をイオン注入することにより増倍領域 3 3 を形成する。さらに、増倍

10

20

30

40

50

領域 3 3 に隣接する箇所において P D 3 1 の側面近傍まで半導体基板 4 1 にトレンチを掘り込んだ後、導電体を堆積させることによりゲート電極 4 4 を形成することで、第 1 の転送トランジスタ 3 2 を設ける。このとき、半導体基板 4 1 に積層するようにゲート電極 4 5 を形成することで、第 2 の転送トランジスタ 3 4 を設ける。

【 0 0 7 0 】

第 4 の工程において、図 8 の上から 4 段目に示すように、半導体基板 4 1 のエピタキシャル層に対して不純物をイオン注入することにより F D 部 3 5 を形成する。その後、半導体基板 4 1 の裏面側から薄膜化した後、カラーフィルタ 4 2 およびオンチップレンズ 4 3 を積層し、図示しない配線層などを設ける工程を経て、画素 2 1 が製造される。

【 0 0 7 1 】

このように、画素 2 1 は、半導体基板 4 1 に P D 3 1 を形成した後にエピタキシャル層を形成し、そのエピタキシャル層に増倍領域 3 3 を形成することで、P D 3 1 および増倍領域 3 3 が積層された構造とすることができる。

【 0 0 7 2 】

次に、図 9 を参照して、画素 2 1 の第 2 の製造方法について説明する。

【 0 0 7 3 】

第 1 1 の工程において、図 9 の上段に示すように、半導体基板 4 1 に対して不純物をイオン注入することにより、半導体基板 4 1 の深部に P D 3 1 を形成する。

【 0 0 7 4 】

第 1 2 の工程において、図 9 の中段に示すように、半導体基板 4 1 に対して不純物をイオン注入することにより、半導体基板 4 1 の表面近傍に増倍領域 3 3 を形成する。

【 0 0 7 5 】

第 1 2 の工程において、図 9 の下段に示すように、ゲート電極 4 4 およびゲート電極 4 5 を形成することで、第 1 の転送トランジスタ 3 2 および第 2 の転送トランジスタ 3 4 を設け、F D 部 3 5 を形成する。その後、半導体基板 4 1 の裏面側から薄膜化した後、カラーフィルタ 4 2 およびオンチップレンズ 4 3 を積層し、図示しない配線層などを設ける工程を経て、画素 2 1 が製造される。

【 0 0 7 6 】

このように、画素 2 1 は、同一の半導体基板 4 1 に対して不純物をイオン注入する際の深さ方向を分離して P D 3 1 および増倍領域 3 3 を作り分けることにより、P D 3 1 および増倍領域 3 3 が積層された構造とすることができる。

【 0 0 7 7 】

次に、図 1 0 を参照して、画素 2 1 の第 3 の製造方法について説明する。

【 0 0 7 8 】

第 2 1 の工程において、図 1 0 の上段に示すように、第 1 の半導体基板 4 1 - 1 に P D 3 1 を形成し、第 2 の半導体基板 4 1 - 2 に増倍領域 3 3 を形成する。

【 0 0 7 9 】

第 2 2 の工程において、図 1 0 の中段に示すように、第 1 の半導体基板 4 1 - 1 および第 2 の半導体基板 4 1 - 2 を貼り合わせる。

【 0 0 8 0 】

第 2 3 の工程において、図 1 0 の下段に示すように、ゲート電極 4 4 およびゲート電極 4 5 を形成することで、第 1 の転送トランジスタ 3 2 および第 2 の転送トランジスタ 3 4 を設け、F D 部 3 5 を形成する。その後、半導体基板 4 1 の裏面側から薄膜化した後、カラーフィルタ 4 2 およびオンチップレンズ 4 3 を積層し、図示しない配線層などを設ける工程を経て、画素 2 1 が製造される。

【 0 0 8 1 】

このように、画素 2 1 は、P D 3 1 および増倍領域 3 3 をそれぞれ異なる第 1 の半導体基板 4 1 - 1 および第 2 の半導体基板 4 1 - 2 に形成し、第 1 の半導体基板 4 1 - 1 および第 2 の半導体基板 4 1 - 2 を貼り合わせて半導体基板 4 1 とすることにより、P D 3 1 および増倍領域 3 3 が積層された構造とすることができる。

10

20

30

40

50

【 0 0 8 2 】

以上のような第 1 乃至第 3 の製造方法のいずれの方法を採用して、PD 3 1 および増倍領域 3 3 が積層された構造の画素 2 1 を製造してもよい。なお、PD 3 1 および増倍領域 3 3 が積層された構造とすることができれば、これらの製造方法以外を採用することができる。

【 0 0 8 3 】

次に、図 1 1 は、画素 2 1 の第 2 の構成例を示す断面図である。なお、図 1 1 に示す画素 2 1 A において、図 3 の画素 2 1 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【 0 0 8 4 】

即ち、画素 2 1 A は、PD 3 1、第 1 の転送トランジスタ 3 2、増倍領域 3 3、FD 部 3 5、および遮光部 4 6 が、半導体基板 4 1 に設けられ、カラーフィルタ 4 2 およびオンチップレンズ 4 3 が、半導体基板 4 1 の裏面に積層される点で、図 3 の画素 2 1 と共通する構造となっている。一方、画素 2 1 A は、第 2 の転送トランジスタ 3 4 A の構造が、図 3 の画素 2 1 の第 2 の転送トランジスタ 3 4 の構造と異なるものとなっている。

【 0 0 8 5 】

図 1 1 に示すように、第 2 の転送トランジスタ 3 4 A は、半導体基板 4 1 の表面側から PD 3 1 まで達するように、半導体基板 4 1 に埋め込まれるように形成されたゲート電極 4 5 A を有して構成される。即ち、第 2 の転送トランジスタ 3 4 A は、第 1 の転送トランジスタ 3 2 と同様に、いわゆる縦型トランジスタ構造となっている。

【 0 0 8 6 】

従って、画素 2 1 A は、PD 3 1 に電荷が蓄積されている状態で、第 2 の転送トランジスタ 3 4 A がオンに駆動されると、PD 3 1 から直接的に FD 部 3 5 へ、第 2 の転送トランジスタ 3 4 A を介して電荷を読み出すことができる。即ち、画素 2 1 A は、第 1 の転送トランジスタ 3 2 を介して PD 3 1 から電荷を読み出す駆動方法と、第 2 の転送トランジスタ 3 4 A を介して PD 3 1 から電荷を読み出す駆動方法との 2 通りの駆動方法で、PD 3 1 に蓄積されている電荷を読み出すことができる。

【 0 0 8 7 】

これにより、画素 2 1 A は、例えば、撮像素子 1 1 に照射される光の明るさに応じて、PD 3 1 から電荷を読み出す駆動方法を切り替えることができる。

【 0 0 8 8 】

例えば、撮像素子 1 1 に照射される光が通常明るさである時には、画素 2 1 A において、第 2 の転送トランジスタ 3 4 A を介して PD 3 1 から直接的に FD 部 3 5 に電荷を読み出す駆動方法が用いられる。これにより、被写体が通常明るさである場合には、電荷を増倍させることのない画素信号が読み出される。

【 0 0 8 9 】

一方、撮像素子 1 1 に照射される光が通常明るさよりも暗い時には、画素 2 1 A において、第 1 の転送トランジスタ 3 2 を介して PD 3 1 から増倍領域 3 3 に電荷を読み出して増幅した後に、第 2 の転送トランジスタ 3 4 A を介して FD 部 3 5 に電荷を転送する駆動方法が用いられる。これにより、被写体が通常明るさよりも暗い場合には、電荷を増倍させた画素信号が読み出される。なお、この駆動方法で増倍領域 3 3 から FD 部 3 5 に電荷を転送する際には、PD 3 1 の電荷は既に第 1 の転送トランジスタ 3 2 を介して読み出されているため、PD 3 1 から第 2 の転送トランジスタ 3 4 A を介して電荷が読み出されることはない。

【 0 0 9 0 】

このように構成される画素 2 1 A は、PD 3 1 から電荷を読み出す駆動方法を切り替えることにより、例えば、被写体の明るさに応じて、適切な露出となるように画像を撮像することができる。

【 0 0 9 1 】

次に、図 1 2 は、画素 2 1 の第 3 の構成例を示す断面図である。なお、図 1 2 に示す画素

10

20

30

40

50

2 1 Bにおいて、図3の画素2 1と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0092】

即ち、画素2 1 Bは、PD 3 1、第1の転送トランジスタ3 2、増倍領域3 3、FD部3 5、および遮光部4 6が、半導体基板4 1に設けられ、カラーフィルタ4 2およびオンチップレンズ4 3が、半導体基板4 1の裏面に積層される点で、図3の画素2 1と共通する構造となっている。一方、画素2 1 Bは、第2の転送トランジスタ3 4 Bの構造が、図3の画素2 1の第2の転送トランジスタ3 4の構造と異なるものとなっている。

【0093】

図1 2に示すように、第2の転送トランジスタ3 4 Bを構成するゲート電極4 5 Bは、図3のゲート電極4 5よりもサイズが拡大され、より広い領域において増倍領域3 3を覆うように形成されている。従って、画素2 1 Bでは、増倍領域3 3からFD部3 5に電荷を転送する際に、ゲート電極4 5 Bに印加される転送信号TGによって増倍領域3 3に発生する電界を強化することができる。

10

【0094】

このように構成される画素2 1 Bは、増倍領域3 3に発生する電界を強化することで、電荷の増倍をアシストすることができ、より多くの電荷を増倍することができる。

【0095】

次に、図1 3は、画素2 1の第4の構成例を示す断面図である。なお、図1 3に示す画素2 1 Cにおいて、図3の画素2 1と共通する構成については同一の符号を付し、その詳細な説明は省略する。

20

【0096】

即ち、画素2 1 Cは、PD 3 1、増倍領域3 3、第2の転送トランジスタ3 4、FD部3 5、および遮光部4 6が、半導体基板4 1に設けられ、カラーフィルタ4 2およびオンチップレンズ4 3が、半導体基板4 1の裏面に積層される点で、図3の画素2 1と共通する構造となっている。一方、画素2 1 Cは、第1の転送トランジスタ3 2 Cの構造が、図3の画素2 1の第1の転送トランジスタ3 2の構造と異なるものとなっている。

【0097】

図1 3に示すように、第1の転送トランジスタ3 2 Cを構成するゲート電極4 4 Cは、図3のゲート電極4 4よりも長さが拡張され、半導体基板4 1の深くまで形成されることで、より多くの部分でPD 3 1と隣接するように形成されている。従って、画素2 1 Cでは、PD 3 1から増倍領域3 3に電荷を読み出す際に、PD 3 1から増倍領域3 3への電荷の転送をアシストすることができる。

30

【0098】

このように構成される画素2 1 Cは、PD 3 1から増倍領域3 3への電荷の転送をアシストすることで、より良好に電荷を転送することができ、PD 3 1に蓄積されている電荷を確実に読み出すことができる。

【0099】

次に、図1 4は、画素2 1の第5の構成例を示す断面図である。なお、図1 4に示す画素2 1 Dにおいて、図3の画素2 1と共通する構成については同一の符号を付し、その詳細な説明は省略する。

40

【0100】

即ち、画素2 1 Dは、PD 3 1、増倍領域3 3、FD部3 5、および遮光部4 6が、半導体基板4 1に設けられ、カラーフィルタ4 2およびオンチップレンズ4 3が、半導体基板4 1の裏面に積層される点で、図3の画素2 1と共通する構造となっている。一方、画素2 1 Dは、第1の転送トランジスタ3 2 Dおよび第2の転送トランジスタ3 4 Dの構造が、図3の画素2 1の第1の転送トランジスタ3 2および第2の転送トランジスタ3 4の構造と異なるものとなっている。

【0101】

図1 4に示すように、第1の転送トランジスタ3 2 Dを構成するゲート電極4 4 Dは、図

50

13のゲート電極45Cと同様に、図3のゲート電極45よりも長さが拡張されて、より多くの部分でPD31と隣接するように形成されている。また、第2の転送トランジスタ34Dを構成するゲート電極45Dは、図12のゲート電極45Bと同様に、図3のゲート電極45よりもサイズが拡大され、より広い領域において増倍領域33を覆うように形成されている。

【0102】

このように構成される画素21Dは、図12の画素21Bと同様に、より多くの電荷を増倍することができるとともに、図13の画素21Cと同様に、PD31に蓄積されている電荷を確実に読み出すことができる。

【0103】

次に、図15は、画素21の第6の構成例を示す断面図である。なお、図15に示す画素21Eにおいて、図3の画素21と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0104】

即ち、画素21Eは、PD31、第1の転送トランジスタ32、増倍領域33、第2の転送トランジスタ34、およびFD部35が、半導体基板41に設けられ、カラーフィルタ42およびオンチップレンズ43が、半導体基板41の裏面に積層される点で、図3の画素21と共通する構造となっている。一方、画素21Eは、遮光部46Eの構造が、図3の画素21の遮光部46の構造と異なるものとなっている。

【0105】

図15に示すように、画素21Eを構成する遮光部46Eは、図3の遮光部46よりも長さが拡張され、半導体基板41の裏面からPD31が形成されている領域までの深さと同程度の深さとなるように形成される。例えば、図10を参照して上述したように、PD31が形成される第1の半導体基板41-1と、増倍領域33が形成される第1の半導体基板41-2を貼り合わせる構造において、遮光部46Eは、第1の半導体基板41-1の厚みと同程度の深さとなるように形成される。

【0106】

このように形成される画素21Eは、隣接する画素21間で、それぞれに入射する光を遮光部46Eによって確実に遮光することで、例えば、隣接する他の画素21から増倍領域33に光が入射することを防止することができる。これにより、画素21Eは、増倍領域33における混色(PLS: Parasitic Light Sensitivity)などの発生を抑制することができる。

【0107】

次に、図16は、画素21の第7の構成例を示す断面図である。なお、図16に示す画素21Fにおいて、図3の画素21と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0108】

即ち、画素21Fは、PD31、第1の転送トランジスタ32、増倍領域33、第2の転送トランジスタ34、FD部35、および遮光部46が、半導体基板41に設けられ、カラーフィルタ42およびオンチップレンズ43が、半導体基板41の裏面に積層される点で、図3の画素21と共通する構造となっている。一方、画素21Fは、遮光膜47を備える点で、図3の画素21と異なる構成となっている。

【0109】

図16に示すように、画素21Fは、PD31が設けられる層と、増倍領域33との間に、遮光性を備えた遮光膜47を設けて構成される。このような遮光構造を備えることで、画素21Fは、半導体基板41の裏面側から照射される光が、半導体基板41を透過して増倍領域33まで届くことを防止することができる。

【0110】

このように構成される画素21Fは、半導体基板41を透過する光が増倍領域33に届くことを遮光膜47によって確実に遮光することができ、例えば、増倍領域33における混

10

20

30

40

50

色 (PLS : Parasitic Light Sensitivity) などの発生を抑制することができる。

【 0 1 1 1 】

なお、例えば、図 1 5 の画素 2 1 E が備える遮光部 4 6 E と、図 1 6 の画素 2 1 F が備える遮光膜 4 7 とを組み合わせて用いてもよく、遮光部 4 6 E および遮光膜 4 7 の両方を備えることで、より確実に増倍領域 3 3 における混色などの発生を抑制することができる。

【 0 1 1 2 】

次に、図 1 7 は、画素 2 1 の第 8 の構成例を示す断面図である。なお、図 1 7 に示す画素 2 1 G において、図 3 の画素 2 1 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【 0 1 1 3 】

即ち、画素 2 1 G は、 P D 3 1、第 1 の転送トランジスタ 3 2、増倍領域 3 3、第 2 の転送トランジスタ 3 4、 F D 部 3 5、および遮光部 4 6 が、半導体基板 4 1 に設けられ、カラーフィルタ 4 2 およびオンチップレンズ 4 3 が、半導体基板 4 1 の裏面に積層される点で、図 3 の画素 2 1 と共通する構造となっている。一方、画素 2 1 G は、増倍用ゲート電極 4 8 - 1 乃至 4 8 - 3 を備える点で、図 3 の画素 2 1 と異なる構成となっている。

【 0 1 1 4 】

図 1 7 に示すように、画素 2 1 G は、半導体基板 4 1 における増倍領域 3 3 の表面に、増倍用ゲート電極 4 8 - 1 乃至 4 8 - 3 が積層された構成となっている。増倍用ゲート電極 4 8 - 1 乃至 4 8 - 3 は、第 1 の転送トランジスタ 3 2 から第 2 の転送トランジスタ 3 4 に向かって並ぶように配置される。

【 0 1 1 5 】

このように、増倍領域 3 3 に配置された増倍用ゲート電極 4 8 - 1 乃至 4 8 - 3 に、任意のバイアス電圧を印加することで強電界領域を発生させることができ、これによりアバランシェ効果を起こして電子を増幅することができる。そして、増倍領域 3 3 において増幅された電子は、第 2 の転送トランジスタ 3 4 を介して F D 部 3 5 に転送される。

【 0 1 1 6 】

このように形成される画素 2 1 G は、増倍領域 3 3 に発生する電界を強化することで、電荷の増倍をアシストすることができ、より多くの電荷を増倍することができる。

【 0 1 1 7 】

なお、図 1 7 に示す増倍用ゲート電極 4 8 の個数や、増倍用ゲート電極 4 8 に印加するバイアス電圧などは、増倍領域 3 3 において電子を増倍させる程度に応じて、任意に指定することができる。

【 0 1 1 8 】

次に、図 1 8 は、画素 2 1 の第 9 の構成例を示す断面図である。なお、図 1 8 に示す画素 2 1 H において、図 3 の画素 2 1 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【 0 1 1 9 】

即ち、画素 2 1 H は、 P D 3 1、第 1 の転送トランジスタ 3 2、増倍領域 3 3、第 2 の転送トランジスタ 3 4、 F D 部 3 5、および遮光部 4 6 が、半導体基板 4 1 に設けられ、カラーフィルタ 4 2 およびオンチップレンズ 4 3 が、半導体基板 4 1 の裏面に積層される点で、図 3 の画素 2 1 と共通する構造となっている。一方、画素 2 1 H は、増倍用ゲート電極 4 9 - 1 乃至 4 9 - 3 を備える点で、図 3 の画素 2 1 と異なる構成となっている。

【 0 1 2 0 】

図 1 8 に示すように、画素 2 1 H は、半導体基板 4 1 における増倍領域 3 3 の表面から増倍領域 3 3 を貫通するように、増倍用ゲート電極 4 9 - 1 乃至 4 9 - 3 が半導体基板 4 1 に埋め込まれた構成となっている。増倍用ゲート電極 4 9 - 1 乃至 4 9 - 3 は、第 1 の転送トランジスタ 3 2 から第 2 の転送トランジスタ 3 4 に向かって並ぶように配置される。

【 0 1 2 1 】

このように、増倍領域 3 3 に配置された増倍用ゲート電極 4 9 - 1 乃至 4 9 - 3 に、任意のバイアス電圧を印加することで強電界領域を発生させることができ、これによりアバラ

10

20

30

40

50

ンシェ効果を起こして電子を増幅することができる。そして、増倍領域 33 において増幅された電子は、第 2 の転送トランジスタ 34 を介して F D 部 35 に転送される。

【 0 1 2 2 】

このように形成される画素 21 H は、増倍領域 33 に発生する電界を強化することで、電荷の増倍をアシストすることができ、より多くの電荷を増倍することができる。

【 0 1 2 3 】

なお、図 18 に示す増倍用ゲート電極 49 の個数や、増倍用ゲート電極 49 に印加するバイアス電圧などは、増倍領域 33 において電子を増倍させる程度に応じて、任意に指定することができる。また、図 17 に示す増倍用ゲート電極 48 と、図 18 に示す増倍用ゲート電極 49 とを組み合わせて配置するような構成としてもよい。

10

【 0 1 2 4 】

次に、図 19 は、画素 21 の第 10 の構成例を示す断面図である。なお、図 19 に示す画素 21 J において、図 3 の画素 21 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【 0 1 2 5 】

即ち、画素 21 J は、P D 31、第 1 の転送トランジスタ 32、増倍領域 33、第 2 の転送トランジスタ 34、F D 部 35、および遮光部 46 が、半導体基板 41 に設けられる点で、図 3 の画素 21 と共通する構造となっている。一方、画素 21 J は、半導体基板 41 の裏面に対して、有機膜 50 およびカラーフィルタ 42 J を介してオンチップレンズ 43 が積層される点で、図 3 の画素 21 と異なる構成となっている。

20

【 0 1 2 6 】

例えば、画素 21 J において、カラーフィルタ 42 J としては、黄色またはシアン之光を透過するものが用いられ、有機膜 50 は、特定の波長成分の光、例えば、緑色之光に感度を持つものが用いられる。即ち、黄色之光を透過するカラーフィルタ 42 J が用いられている画素 21 J では、カラーフィルタ 42 J を透過した光のうちの、緑色之光が有機膜 50 で光電変換され、有機膜 50 を透過した赤色之光が P D 31 で光電変換される。また、シアン之光を透過するカラーフィルタ 42 J が用いられている画素 21 J では、カラーフィルタ 42 J を透過した光のうちの、緑色之光が有機膜 50 で光電変換され、有機膜 50 を透過した青色之光が P D 31 で光電変換される。このように、例えば、図 3 の画素 21 では、P D 31 のみで光電変換が行われていたのに対し、画素 21 J では、有機膜 50 および P D 31 で光電変換が行われる。

30

【 0 1 2 7 】

このように構成される画素 21 J は、P D 31 で光電変換される赤色および青色之光で発生した電子を増倍領域 33 において増倍することで、赤色および青色の感度を、有機膜 50 において光電変換される緑色の感度と遜色ないレベルまで向上させることができる。

【 0 1 2 8 】

次に、図 20 は、画素 21 の第 11 の構成例を示す断面図である。なお、図 20 に示す画素 21 K において、図 3 の画素 21 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【 0 1 2 9 】

即ち、画素 21 K は、P D 31、第 1 の転送トランジスタ 32、増倍領域 33、第 2 の転送トランジスタ 34、F D 部 35、および遮光部 46 が、半導体基板 41 に設けられる点で、図 3 の画素 21 と共通する構造となっている。一方、画素 21 K は、半導体基板 41 の裏面に対して、無機膜 51 を介してオンチップレンズ 43 が積層される点で、図 3 の画素 21 と異なる構成となっている。

40

【 0 1 3 0 】

例えば、画素 21 K では、特定の波長成分を無機膜 51 で光電変換し、その他の波長成分を P D 31 で光電変換することができる。例えば、画素 21 K は、無機膜 51 として赤外光に感度を持つものを用いることで、画素 21 K に入射する光のうち、赤外光を無機膜 51 で光電変換し、その他の波長成分の光を P D 31 で光電変換するような構造とすること

50

ができる。これにより、例えば、無機膜 5 1 を赤外光カットフィルタとして用いることができる。このように、例えば、図 3 の画素 2 1 では、P D 3 1 のみで光電変換が行われていたのに対し、画素 2 1 K では、有機膜 5 0 および P D 3 1 で光電変換が行われる。

【 0 1 3 1 】

このように構成される画素 2 1 K は、特定の波長成分以外を P D 3 1 で光電変換して発生する電荷を、増倍領域 3 3 を介して読み出すことができる。

【 0 1 3 2 】

次に、図 2 1 は、画素 2 1 の第 1 2 の構成例を示す断面図である。なお、図 2 1 に示す画素 2 1 L において、図 3 の画素 2 1 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

10

【 0 1 3 3 】

即ち、画素 2 1 L は、P D 3 1、第 1 の転送トランジスタ 3 2、増倍領域 3 3、第 2 の転送トランジスタ 3 4、F D 部 3 5、および遮光部 4 6 が、半導体基板 4 1 に設けられる点で、図 3 の画素 2 1 と共通する構成となっている。一方、画素 2 1 L は、半導体基板 4 1 の裏面に対して、有機膜 5 2、有機膜 5 3、および有機膜 5 0 を介してオンチップレンズ 4 3 が積層される点で、図 3 の画素 2 1 と異なる構成となっている。

【 0 1 3 4 】

例えば、画素 2 1 L において、有機膜 5 2 には、青色の光に感度を持つものが用いられ、有機膜 5 2 には、赤色の光に感度を持つものが用いられる。また、図 1 9 を参照して上述したように、有機膜 5 0 は、緑色の光に感度を持つものが用いられる。

20

【 0 1 3 5 】

例えば、画素 2 1 L では、有機膜 5 2、有機膜 5 3、および有機膜 5 0 により、青色、赤色、および緑色の光が光電変換され、有機膜 5 2、有機膜 5 3、および有機膜 5 0 を透過した赤外光が P D 3 1 により光電変換される。

【 0 1 3 6 】

このように構成される画素 2 1 L は、青色、赤色、緑色、および赤外光の全てにおいて高感度な特性を実現することができる。

【 0 1 3 7 】

次に、図 2 2 は、画素 2 1 の第 1 3 の構成例を示す断面図である。なお、図 2 2 に示す画素 2 1 M において、図 3 の画素 2 1 と共通する構成については同一の符号を付し、その詳細な説明は省略する。

30

【 0 1 3 8 】

即ち、図 3 の画素 2 1 は、P D 3 1 と増倍領域 3 3 とが積層されて設けられる配置構成であったのに対し、図 2 2 に示すように、画素 2 1 M は、P D 3 1 と増倍領域 3 3 とが積層されずに同層に設けられる配置構成となっている点で異なる構成となっている。

【 0 1 3 9 】

つまり、画素 2 1 M は、P D 3 1 と増倍領域 3 3 とが半導体基板 4 1 の同層に並ぶように配置されており、P D 3 1 と増倍領域 3 3 との間の半導体基板 4 1 の表面に第 1 の転送トランジスタ 3 2 M のゲート電極 4 4 M が積層されて構成される。また、半導体基板 4 1 の裏面には、P D 3 1 が設けられる領域以外に遮光膜 5 4 が積層されて、P D 3 1 以外への光の入射が遮光されている。

40

【 0 1 4 0 】

このように構成される画素 2 1 M は、P D 3 1 と増倍領域 3 3 とが積層された構成の画素 2 1 と同様に、P D 3 1 で発生した電荷を、増倍領域 3 3 を介して読み出すことによって増倍させることができる。これにより、画素 2 1 M は、例えば、低照度時であっても、高い感度で画素信号を得ることができる。

【 0 1 4 1 】

そして、画素 2 1 M を備える撮像素子 1 1 は、P D 3 1 における光電変換特性や、P D 3 1 からの電荷転送変換特性は、従来の CMOS イメージセンサと同様の構造を採用することができる。さらに、撮像素子 1 1 は、画素 2 1 に必要となるトランジスタの個数が、従来

50

のAPDよりも少なくすることができるため、画素21Mの微細化を図ることができ、より高集積、かつ、増倍機能を備えることができる。

【0142】

次に、図23は、画素21の第14の構成例を示す断面図である。なお、図23に示す画素21Nにおいて、図22の画素21Mと共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0143】

即ち、画素21Nは、図22の画素21Mと同様に、PD31と増倍領域33とが積層されずに同層に設けられる配置構成となっている。一方、画素21Nは、増倍用ゲート電極48-1乃至48-3を備える点で、図22の画素21Mと異なる構成となっている。

10

【0144】

即ち、画素21Nは、図17の画素21Gと同様に、増倍用ゲート電極48-1乃至48-3を利用することで、増倍領域33に発生する電界を強化することで、電荷の増倍をアシストすることができ、より多くの電荷を増倍することができる。

【0145】

次に、図24は、画素21の第15の構成例を示す回路図である。なお、図24に示す画素21Pにおいて、図2の画素21と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0146】

即ち、画素21Pは、4つのPD31a乃至31dにより、FD部35、増幅トランジスタ36、選択トランジスタ37、およびリセットトランジスタ38からなる画素回路を共有する、いわゆる4画素共有構造となっている。

20

【0147】

このような画素21Pでは、増倍領域33a乃至33dからFD部35への転送の際に電荷を増幅することができ、そのまま電位の高いFD部35の出力を、増幅トランジスタ36に入力することができる。増幅トランジスタ36は、高い電圧を入力として受けることが必要であり、高電圧対応のトランジスタを用いることより、例えば、低電圧対応のトランジスタよりも広い面積が必要となる。

【0148】

従って、4画素共有構造の画素21Pは、増幅トランジスタ36の個数を削減することができ、高集積化を図ることができる。

30

【0149】

次に、図25は、画素21の第16の構成例を示す回路図である。なお、図25に示す画素21Qにおいて、図2の画素21と共通する構成については同一の符号を付し、その詳細な説明は省略する。

【0150】

即ち、画素21Qは、8つのPD31a乃至31hにより、FD部35、増幅トランジスタ36、選択トランジスタ37、およびリセットトランジスタ38からなる画素回路を共有する、いわゆる8画素共有構造となっている。

【0151】

従って、8画素共有構造の画素21Qは、図24の4画素共有構造の画素21Pよりも、増幅トランジスタ36の個数を削減することができ、さらなる高集積化を図ることができる。

40

【0152】

次に、図26および図27を参照して、8画素共有構造の画素21Qの平面的なレイアウトについて説明する。

【0153】

図26には、例えば、図22に示したように、PD31と増倍領域33とが積層されない配置構成における8画素共有構造の画素21Qの平面的なレイアウト例が示されている。また、図27には、例えば、図3に示したように、PD31と増倍領域33とが積層され

50

た配置構成における8画素共有構造の画素21Qの平面的なレイアウト例が示されている。

【0154】

図26および図27に示すように、横方向×縦方向が2×4となるように8つのPD31a乃至31hが配置されるとき、電荷の増倍のために高電圧を印加する第2の転送トランジスタ34を配置する領域(二点鎖線で囲まれる領域)をひとまとめにすることができる。これにより、第2の転送トランジスタ34を、通常の動作の電圧を印加するトランジスタを配置する領域から分離することができる。

【0155】

従って、例えば、高電圧用のトランジスタと低電圧用のトランジスタとが入り混ざるように配置される構成と比較して、電圧の異なるトランジスタ間を分離するための領域を少なくすることができるため、このようなレイアウトの画素21Qは、より高集積化を図ることができる。

10

【0156】

ここで、図28乃至図30を参照して、第2の転送トランジスタ34を利用して増倍領域33からFD部35へ電荷を転送する際における電荷の増幅について説明する。

【0157】

図28には、増倍領域33および第2の転送トランジスタ34を平面的に見たレイアウトが示されている。

【0158】

例えば、第2の転送トランジスタ34に供給される転送信号TGがオンとなったとき、図28に破線で示されているゲート電極45のエッジ付近には、アバランシェ効果による電子の増加が起こる可能性のあるオーダーの強電界、即ち、最大で $5.5E+5[V/cm]$ 程度の電界が発生する。

20

【0159】

また、図29には、様々な半導体材料における衝突電離確率(Avalanche確率)が示されており、横軸が電界[$10^5 V/cm$]を示し、縦軸が衝突電離確率[cm^{-1}]を示している。ここで、図29では、アバランシェ確率式において、 $A_e = 1.34 \times 10$ 、 $A_h = 1.44 \times 10$ 、 $B_e = -1.05 \times 10^6 V/cm$ 、および、 $B_h = -1.85 \times 10^6 V/cm$ として、グラフに合うように微調整が行われた衝突電離確率がプロットされている。

【0160】

そして、このような衝突電離確率を、図29に示すアバランシェ確率式を用いて換算すると、図30に示すような電荷の増倍効果を得ることができる。図30において、横軸は電界を示し、縦軸はゲインを示しており、電荷を電子(e)およびホール(h)として、強電界領域となる長さを、 $1 \mu m$ 、 $500 nm$ 、および $100 nm$ と設定したときのゲインが示されている。

30

【0161】

例えば、図30に示すように、第2の転送トランジスタ34に供給される転送信号TGがオンとなったとき、 $5 [10^5 V/cm]$ 程度の電界が発生する。このとき、電界の発生する距離を適切に調整することによって、最大で10程度(例えば、電荷:電子(e)、強電界領域となる長さ: $1 \mu m$)の増倍効果を得ることができることが示されている。

40

【0162】

図28乃至図30に示すように、適切な強電界を増倍領域33に発生させることで、従来のCMOSイメージセンサと同様の構造を採用しても、第2の転送トランジスタ34を利用して増倍領域33からFD部35へ転送の際に電荷を増倍させることができる。

【0163】

なお、上述したような撮像素子11は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

【0164】

<撮像装置の構成例>

50

【 0 1 6 5 】

図 3 1 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

【 0 1 6 6 】

図 3 1 に示すように、撮像装置 1 0 1 は、光学系 1 0 2、撮像素子 1 0 3、信号処理回路 1 0 4、モニタ 1 0 5、およびメモリ 1 0 6 を備えて構成され、静止画像および動画像を撮像可能である。

【 0 1 6 7 】

光学系 1 0 2 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子 1 0 3 に導き、撮像素子 1 0 3 の受光面（センサ部）に結像させる。

【 0 1 6 8 】

撮像素子 1 0 3 としては、上述した撮像素子 1 1 が適用される。撮像素子 1 0 3 には、光学系 1 0 2 を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子 1 0 3 に蓄積された電子に応じた信号が信号処理回路 1 0 4 に供給される。

【 0 1 6 9 】

信号処理回路 1 0 4 は、撮像素子 1 0 3 から出力された画素信号に対して各種の信号処理を施す。信号処理回路 1 0 4 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 1 0 5 に供給されて表示されたり、メモリ 1 0 6 に供給されて記憶（記録）されたりする。

【 0 1 7 0 】

このように構成されている撮像装置 1 0 1 では、上述した撮像素子 1 1 を適用することで、例えば、感度の向上を図り、より高画質な画像を撮像することができる。

【 0 1 7 1 】

< イメージセンサの使用例 >

【 0 1 7 2 】

図 3 2 は、上述の撮像素子 1 1（イメージセンサ）を使用する使用例を示す図である。

【 0 1 7 3 】

上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

【 0 1 7 4 】

・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

【 0 1 7 5 】

なお、本技術は以下のような構成も取ることができる。

(1)

光を光電変換により電荷に変換して蓄積する光電変換部と、

前記光電変換部に蓄積されている電荷を読み出す読み出し部と、

前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、

10

20

30

40

50

前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する転送部と

を備える固体撮像素子。

(2)

前記転送部を介して前記増倍領域から前記変換部に電荷を転送する際に、アバランシェ効果により電荷を増倍させるために、前記増倍領域に強電界領域を発生させる

上記(1)に記載の固体撮像素子。

(3)

前記転送部を介して前記増倍領域から前記変換部に電荷を転送する際に、前記読み出し部に対して任意の負バイアスを印加する

上記(1)または(2)に記載の固体撮像素子。

(4)

前記光電変換部と前記増倍領域とが、半導体基板の縦方向に積層して設けられる配置構成となっており、

前記読み出し部は、前記半導体基板の縦方向に前記電荷を読み出す縦型トランジスタ構造である

上記(1)から(3)までのいずれかに記載の固体撮像素子。

(5)

前記半導体基板に対して前記光電変換部を形成した後、前記半導体基板上に結晶成長を行ってエピタキシャル層を形成し、前記エピタキシャル層に前記増倍領域を形成することで、前記光電変換部と前記増倍領域とが積層するように配置される

上記(4)に記載の固体撮像素子。

(6)

同一の前記半導体基板に対して不純物をイオン注入する際の深さ方向を分離することで、前記光電変換部と前記増倍領域とが積層するように配置される

上記(4)に記載の固体撮像素子。

(7)

前記光電変換部が形成された第1の半導体基板と、前記増倍領域が形成された第2の半導体基板とを貼り合わせることで、前記光電変換部と前記増倍領域とが積層するように配置される

上記(4)に記載の固体撮像素子。

(8)

前記転送部は、前記増倍領域および前記変換部の間に配置されるとともに、前記光電変換部から電荷を読み出す縦型トランジスタ構造であり、

前記読み出し部を介して前記光電変換部から前記増倍領域に電荷を読み出す第1の駆動方法と、前記転送部を介して前記光電変換部から前記変換部に電荷を読み出す第2の駆動方法を切り替えることができる

上記(4)から(7)までのいずれかに記載の固体撮像素子。

(9)

積層するように配置される前記光電変換部と前記増倍領域との間に、前記増倍領域に入射する光を遮光する遮光膜を

さらに備える上記(4)から(8)までのいずれかに記載の固体撮像素子。

(10)

隣接する他の画素から前記増倍領域に入射する光を遮光する遮光部を

さらに備える上記(1)から(9)までのいずれかに記載の固体撮像素子。

(11)

前記増倍領域が形成される半導体基板の表面に、前記増倍領域から前記変換部へ電荷の転送を行う際に任意のバイアス電圧を印加する複数の電極が配置されている

上記(1)から(10)までのいずれかに記載の固体撮像素子。

(12)

10

20

30

40

50

半導体基板に形成されている前記光電変換部のみで光電変換が行われる
上記(1)から(11)までのいずれかに記載の固体撮像素子。

(13)

前記光電変換部が形成されている半導体基板に、所定の波長成分の光に感度を持つ有機膜
または無機膜が積層されており、前記有機膜または前記無機膜において光電変換が行われ
るとともに、前記有機膜または前記無機膜を透過した前記特定の波長成分以外の光が前記
光電変換部において光電変換が行われる

上記(1)から(12)までのいずれかに記載の固体撮像素子。

(14)

前記光電変換部と前記増倍領域とが、半導体基板の同層に設けられる配置構成となっている
上記(1)から(3)までのいずれかに記載の固体撮像素子。

10

(15)

所定個数の前記光電変換部により、前記転送部より後段に設けられるトランジスタにより
画素回路を共有する画素共有構造となっている

上記(1)から(9)までのいずれかに記載の固体撮像素子。

(16)

光を光電変換により電荷に変換して蓄積する光電変換部と、
前記光電変換部に蓄積されている電荷を読み出す読み出し部と、
前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、
前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する
転送部と

20

を備える固体撮像素子の駆動方法であって、

前記転送部を介して前記増倍領域から前記変換部に電荷を転送する際に、アバランシェ効
果により電荷を増倍させるために、前記増倍領域に強電界領域を発生させる

ステップを含む駆動方法。

(17)

光を光電変換により電荷に変換して蓄積する光電変換部と、
前記光電変換部に蓄積されている電荷を読み出す読み出し部と、
前記読み出し部を介して読み出された電荷を一時的に蓄積して増倍する増倍領域と、
前記増倍領域に蓄積されている電荷を、前記電荷を画素信号に変換する変換部に転送する
転送部と

30

を有する固体撮像素子を備える電子機器。

【0176】

なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を
逸脱しない範囲において種々の変更が可能である。

【符号の説明】

【0177】

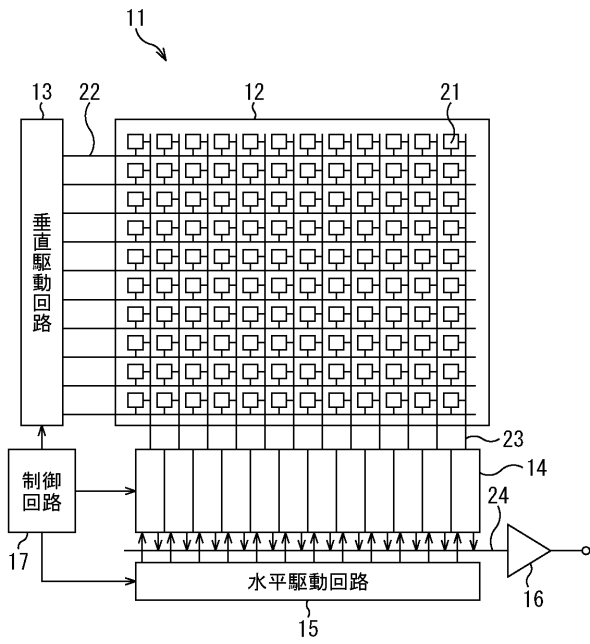
11 撮像素子, 12 画素領域, 13 垂直駆動回路, 14 カラム信号処理回路,
15 水平駆動回路, 16 出力回路, 17 制御回路, 21 画素, 22 水平信
号線, 23 垂直信号線, 24 データ出力信号線, 31 PD, 32 第1の転送
トランジスタ, 33 増倍領域, 34 第2の転送トランジスタ, 35 FD部, 3
6 増幅トランジスタ, 37 選択トランジスタ, 38 リセットトランジスタ, 39
定電流源, 41 半導体基板, 42 カラーフィルタ, 43 オンチップレンズ, 4
4および45 ゲート電極, 46 遮光部, 47 遮光膜, 48および49 増倍用ゲ
ート電極, 50 有機膜, 51 無機膜, 52および53 有機膜, 54 遮光膜

40

【 図面 】

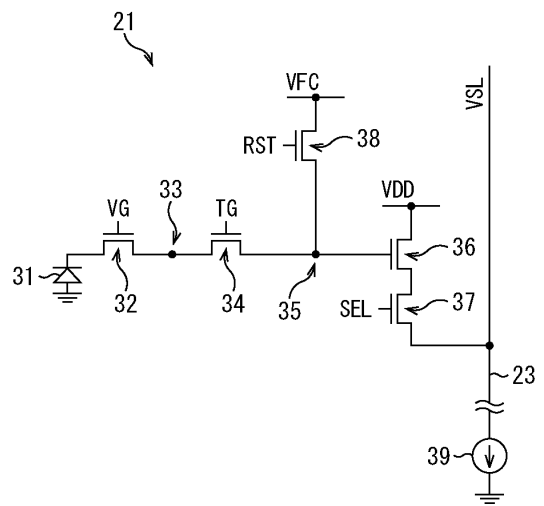
【 図 1 】

FIG. 1



【 図 2 】

FIG. 2

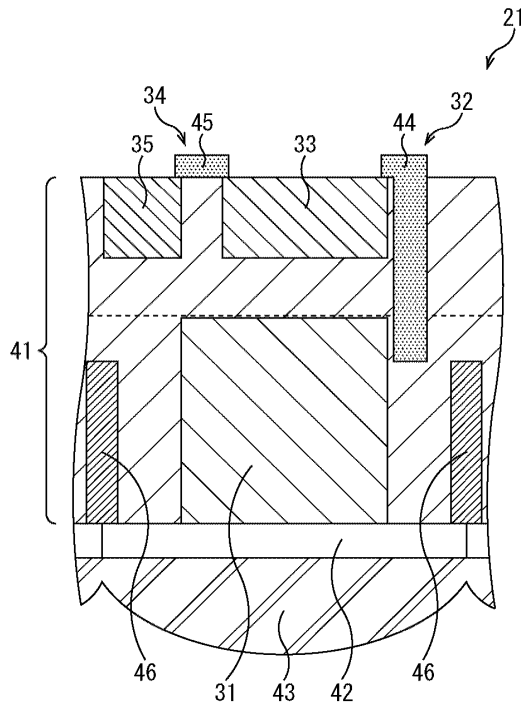


10

20

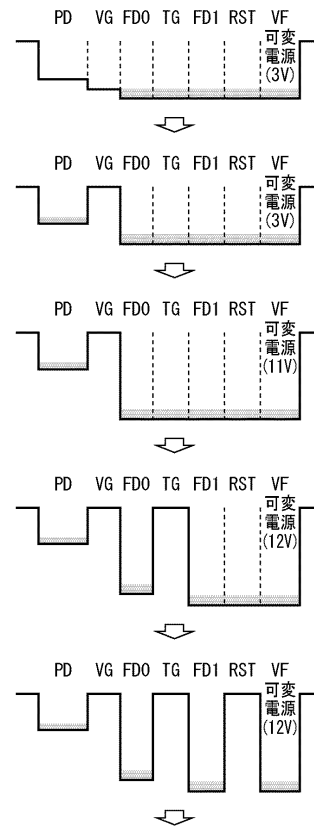
【 図 3 】

FIG. 3



【 図 4 】

FIG. 4



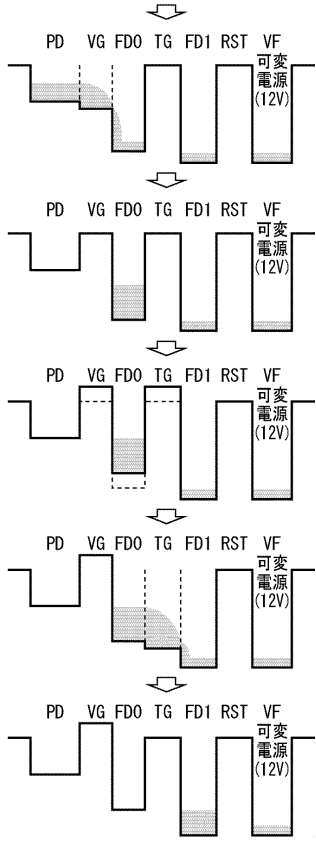
30

40

50

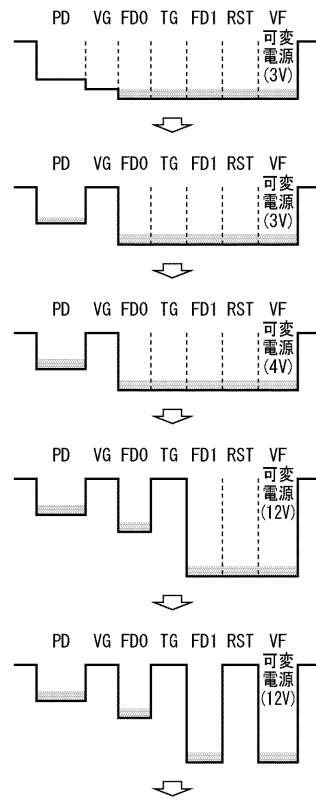
【 図 5 】

FIG. 5



【 図 6 】

FIG. 6

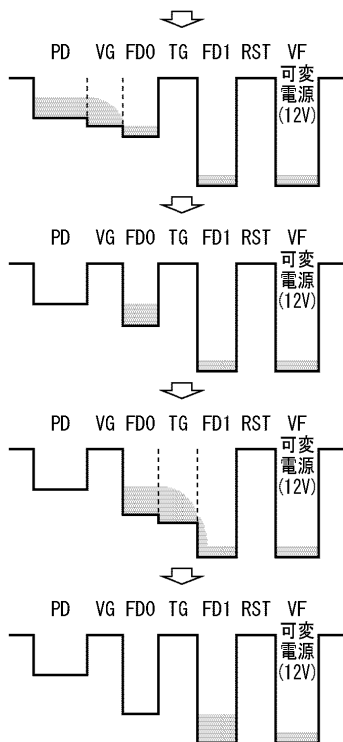


10

20

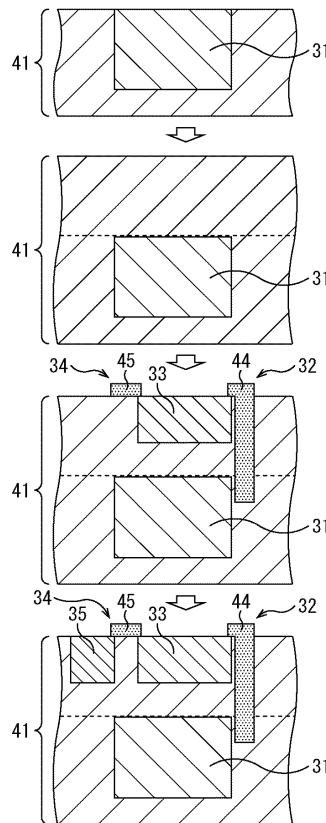
【 図 7 】

FIG. 7



【 図 8 】

FIG. 8



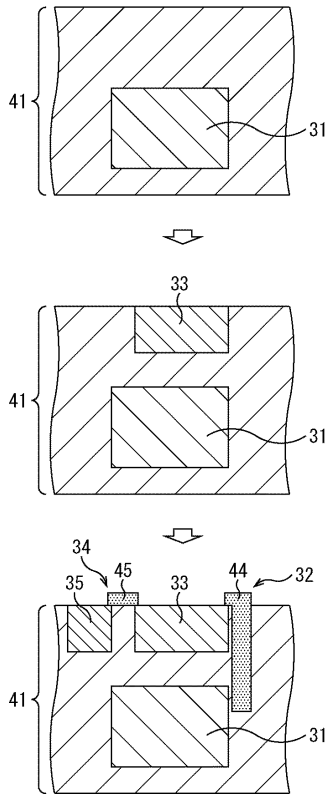
30

40

50

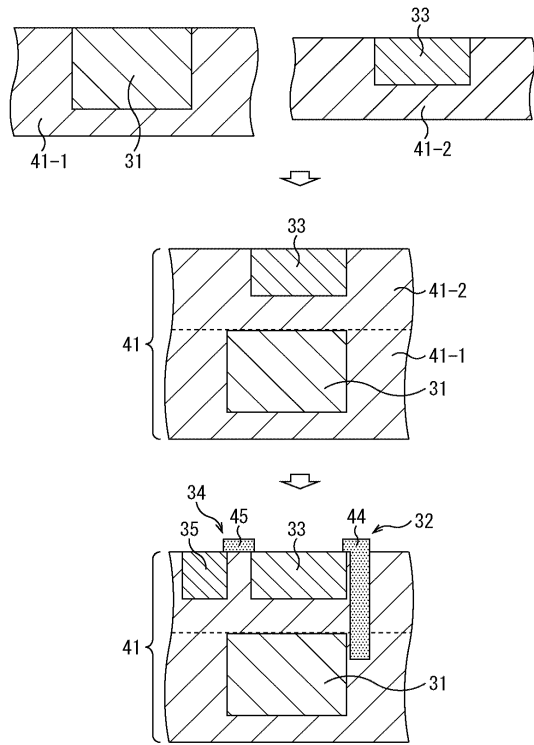
【 図 9 】

FIG. 9



【 図 1 0 】

FIG. 10

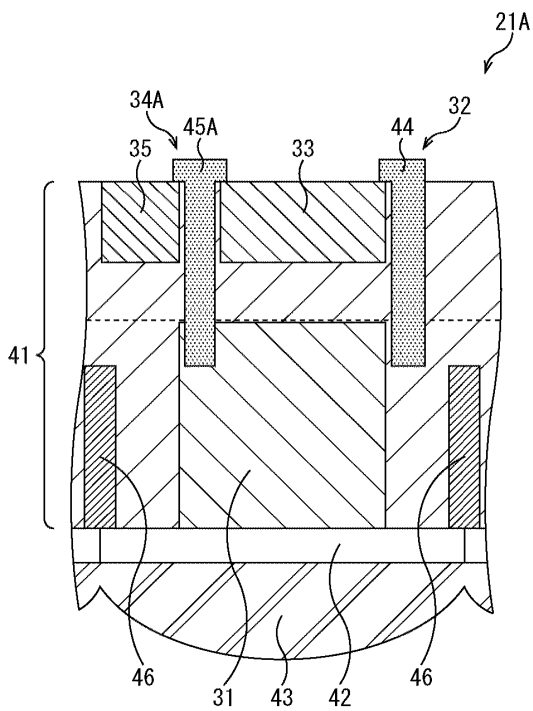


10

20

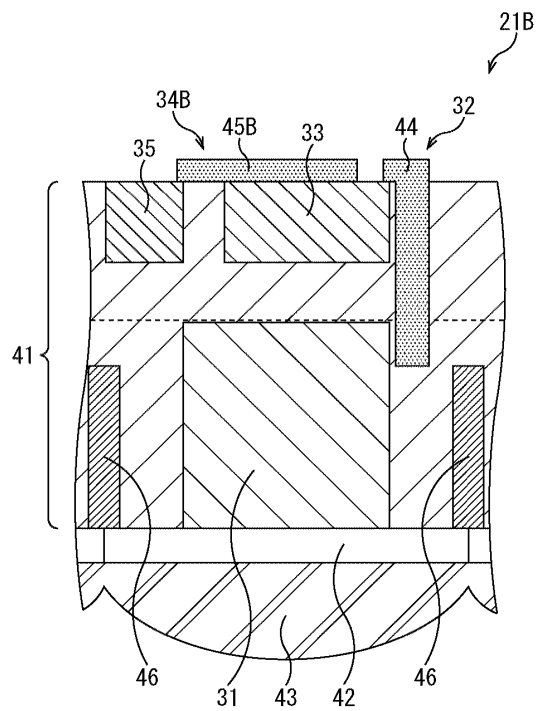
【 図 1 1 】

FIG. 11



【 図 1 2 】

FIG. 12

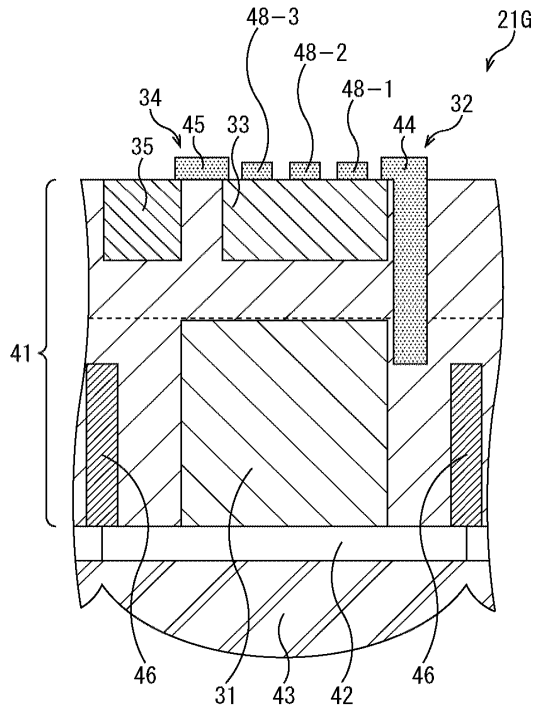


30

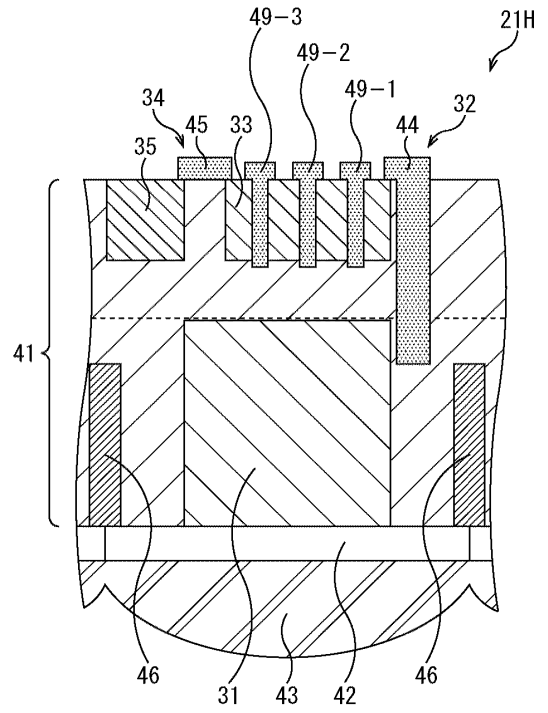
40

50

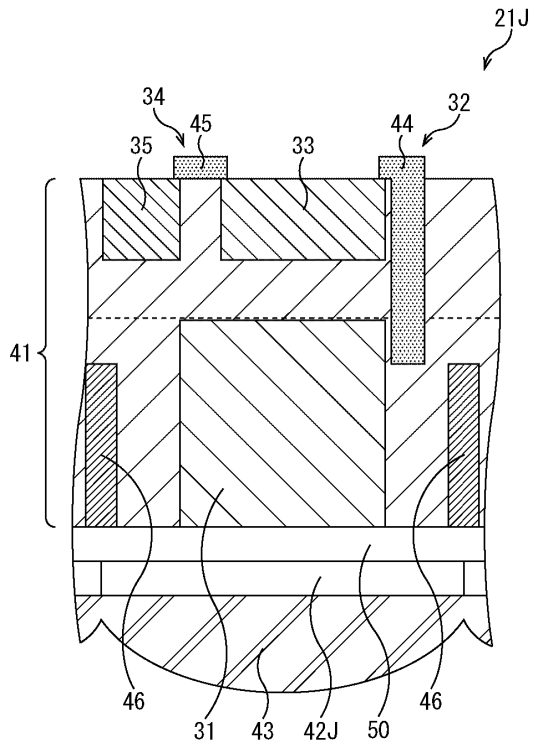
【 17 】
FIG. 17



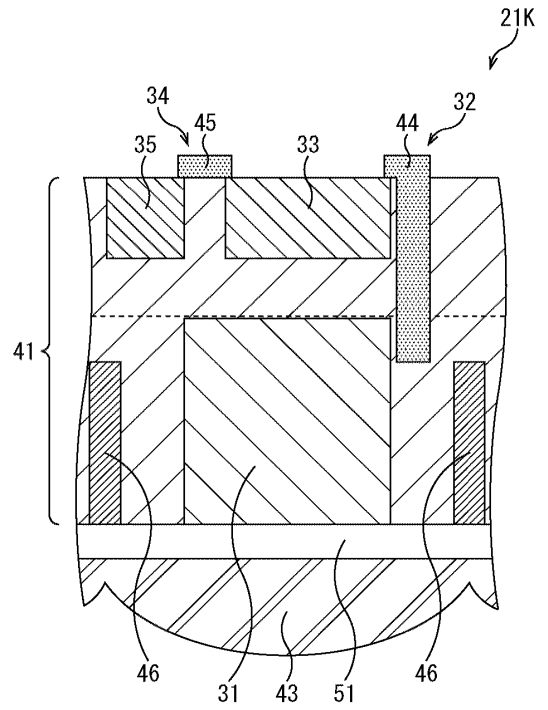
【 18 】
FIG. 18



【 19 】
FIG. 19



【 20 】
FIG. 20



10

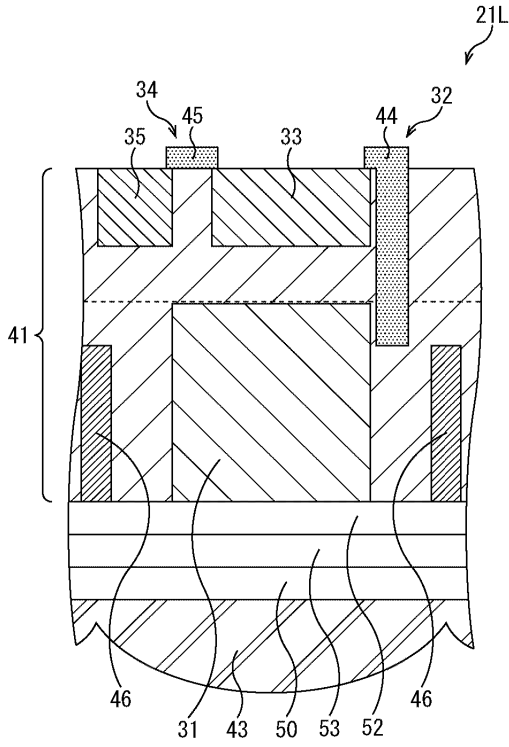
20

30

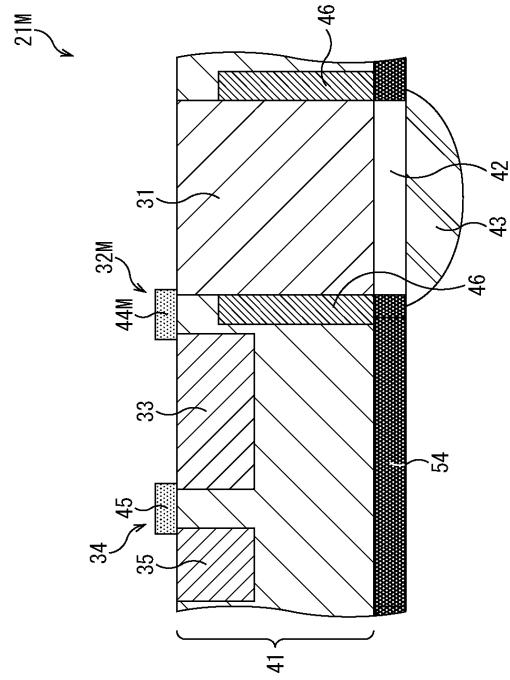
40

50

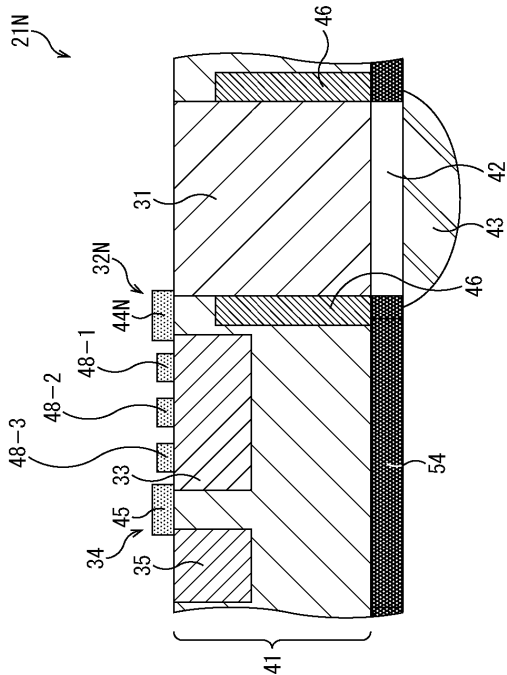
【図 2 1】
FIG. 21



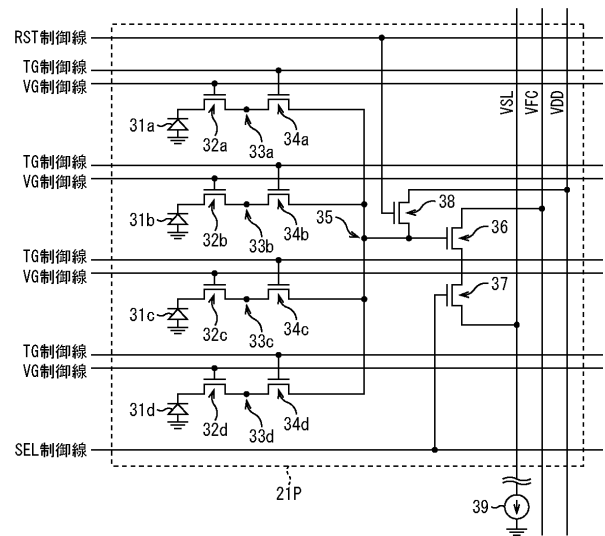
【図 2 2】
FIG. 22



【図 2 3】
FIG. 23



【図 2 4】
FIG. 24



10

20

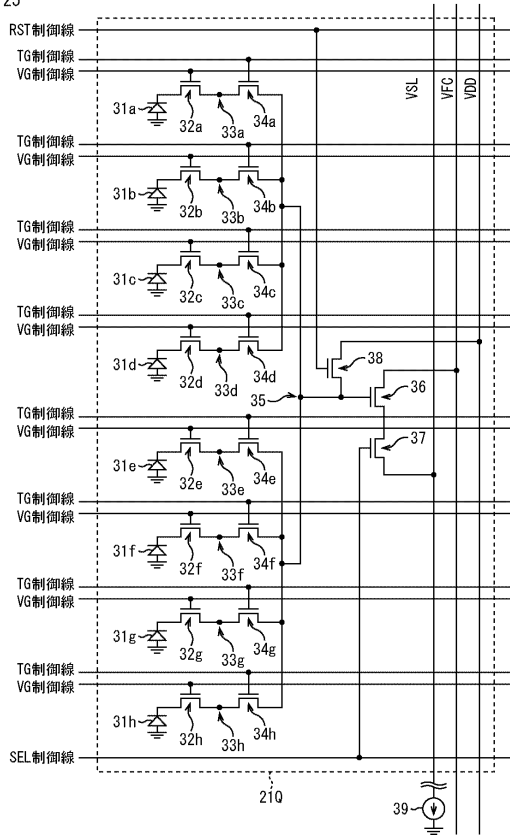
30

40

50

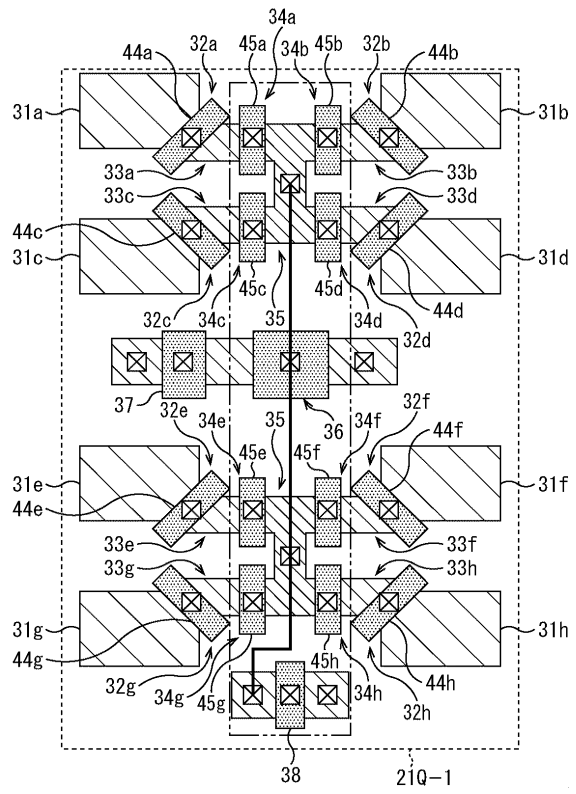
【 図 2 5 】

FIG. 25



【 図 2 6 】

FIG. 26

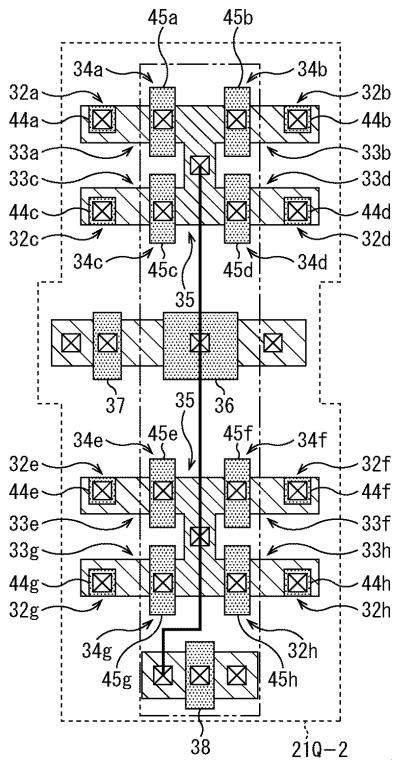


10

20

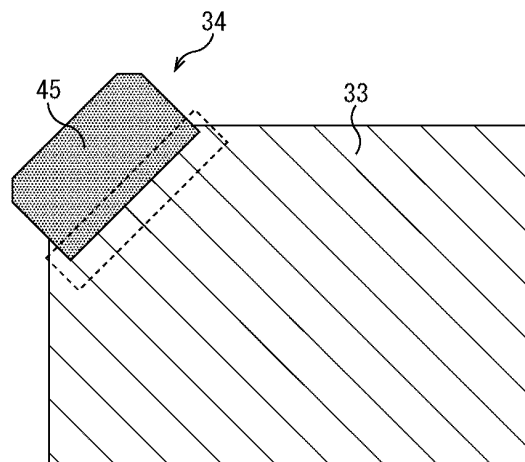
【 図 2 7 】

FIG. 27



【 図 2 8 】

FIG. 28



30

40

50

フロントページの続き

- (56)参考文献 特開2015-095468(JP,A)
特開2008-099174(JP,A)
国際公開第2016/017305(WO,A1)
特開2015-012241(JP,A)
米国特許出願公開第2016/0043120(US,A1)
特開2013-016676(JP,A)
特開2010-258340(JP,A)
特開2015-115345(JP,A)
特開2013-179275(JP,A)
米国特許出願公開第2016/0056199(US,A1)
特開2015-153962(JP,A)
特開2014-127519(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 27/146
H04N 5/369