

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010年2月4日(04.02.2010)



(10) 国際公開番号
WO 2010/013693 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01)
- (21) 国際出願番号: PCT/JP2009/063394
- (22) 国際出願日: 2009年7月28日(28.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-193799 2008年7月28日(28.07.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 和田 一実 (WADA, Kazumi) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 石川 靖彦 (ISHIKAWA, Yasuhiko) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). パ

ク ソン ボン (PARK, Sungbong) [KR/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 岡田賢治, 外 (OKADA, Kenji et al.); 〒1050003 東京都港区西新橋二丁目12番5号瀬戸ロビル3階アイル知財事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

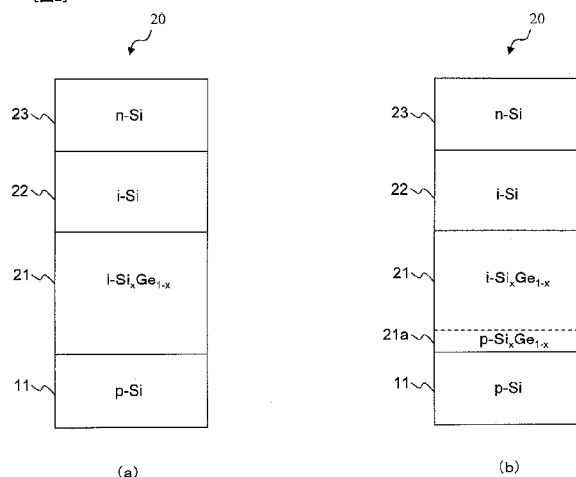
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: OPTICAL SEMICONDUCTOR ELEMENT, PHOTOELECTRIC CONVERSION ELEMENT AND OPTICAL MODULATION ELEMENT

(54) 発明の名称: 光半導体素子、光電変換素子及び光変調素子

[図2]



(57) Abstract: Provided is an optical semiconductor element wherein an i-type Si semiconductor layer is arranged between an n-type Si semiconductor layer or a p-type Si semiconductor layer and an i-type $\text{Si}_x\text{Ge}_{1-x}$ semiconductor layer ($0 \leq x \leq 0.6$), namely, the optical semiconductor element wherein the p-type Si semiconductor layer, the i-type $\text{Si}_x\text{Ge}_{1-x}$ semiconductor layer ($0 \leq x \leq 0.6$), the i-type Si semiconductor layer, and the n-type Si semiconductor layer are sequentially laminated or alternatively, the optical semiconductor element wherein the n-type Si semiconductor layer, the i-type $\text{Si}_x\text{Ge}_{1-x}$ semiconductor layer ($0 \leq x \leq 0.6$), the i-type Si semiconductor layer, and the p-type Si semiconductor layer are sequentially laminated.

(57) 要約: 本発明は、n型Si半導体層又はp型Si半導体層とi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層 (但し、 $0 \leq x \leq 0.6$) の間に、i型Si半導体層を配置することとした。つまり、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層 (但し、 $0 \leq x \leq 0.6$)、i型Si半導体層、n型Si半導体層が順に積層されたことを特徴とする光半導体素子、又はn型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層 (但し、 $0 \leq x \leq 0.6$)、i型Si半導体層、p型Si半導体層が順に積層されたことを特徴とする光半導体素子とした。



WO 2010/013693 A1



GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, 添付公開書類:

NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 光半導体素子、光電変換素子及び光変調素子

技術分野

[0001] 本発明は、 i 型（真性型） $\text{Si}_x\text{Ge}_{1-x}$ 半導体を用いたPIN構造の光半導体素子に関し、特に、暗電流の少ない光半導体素子に関する。

背景技術

[0002] Si （シリコン）半導体集積回路上で、長波長帯と呼ばれる $1.6\mu\text{m}$ 程度までの波長の光を検出するためには、 Si 半導体より禁制帯幅の狭い Ge （ゲルマニウム）半導体を利用する必要がある。 Si 半導体集積回路上の Ge-PIN 光電変換素子としては、 p 型 Si 半導体層と n 型 Si 半導体層との間に i 型 Ge 半導体層を吸収層として形成したものがある。

[0003] 従来の光電変換素子10の例を図1で説明する。図1（a）に一例を示すような従来の光電変換素子10は、エピタキシャル成長によって、図には $p\text{-Si}$ と記載した p 型 Si 半導体層11と、 $i\text{-Ge}$ と記載した i 型 Ge 半導体層12と、 $n\text{-Si}$ と記載した n 型 Si 半導体層13とが基板から順に積層され、PIN構造が形成されている。このPIN構造の光電変換素子10は上方から空間を介して光が照射されると光起電流を生ずる。また、光導波路を組み合わせる場合は、光電変換素子10は横方向又は下方向から光が照射され、光起電流を生ずる。

[0004] この種の光電変換素子として、特許文献1に記載の光起電力デバイスがある。この光起電力デバイスは、 i 型層を構成するアモルファスシリコンゲルマニウムにおける Ge 原子の含有量を20乃至70原子%の範囲とし、 Ge 原子の含有量が積層方向において極大値をもつように分布させるとともに、 p 型層及び n 型層と接する側に Ge 原子を含まない非単結晶シリコンバッファ層が設けられて構成されている。

[0005] 一方、 Si （シリコン）半導体集積回路上で、長波長帯と呼ばれる $1.6\mu\text{m}$ 程度までの波長の光を変調するためには、 Si 半導体より禁制帯幅の狭

くかつ伝搬する光の波長よりも禁制帯幅の広いGe（ゲルマニウム）半導体を利用する必要がある。Si半導体集積回路上のGe-PIN光変調素子としては、p型Si半導体層とn型Si半導体層との間に外部電圧が0Vと特定の電圧Voとの間でi型Ge半導体層が伝搬光を透過あるいは吸収層として作用するように形成したものがある。これは電界吸収型の光変調素子と呼ばれている。

[0006] 従来の光変調素子10の例を図1で説明する。図1（a）に一例を示すような従来の光変調素子10は、エピタキシャル成長によって、図にはp-Siと記載したp型Si半導体層11と、i-Geと記載したi型Ge半導体層12と、n-Siと記載したn型Si半導体層13とが基板から順に積層され、PIN構造が形成されている。このPIN構造の光変調素子10は、上方から空間を介して光が照射されると外部電圧が印加されている場合には光を吸収し、外部電圧が除去されると光を透過させる。また、光導波路を組み合わせる場合は、光変調素子10は横方向又は下方向から光が照射されると、外部電圧が印加されている場合には光を吸収し、外部電圧が除去されると光を透過させる。

[0007] この種の光変調素子として、非特許文献1に記載の光変調デバイスがある。この光変調デバイスは、i型層を構成するシリコンゲルマニウムにおけるGe原子の含有量を20乃至95原子%の範囲として構成されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平6-21494号公報

非特許文献

[0009] 非特許文献1：“Waveguide-integrated ultralow-energy GeSi electro-absorption modulators” Jifeng Liu et al, Nature Photonics, online: 30 May, 2008

発明の概要

発明が解決しようとする課題

- [0010] ところで、図１（a）に示した光電変換素子又は光変調素子１０では、Ge半導体層を積層するとSi半導体層とGe半導体層と間で格子ミスマッチが発生する。この格子ミスマッチにより発生した格子欠陥が、暗電流の原因となる。格子欠陥を解消するため、700～900℃の高温アニール処理を実施する必要がある。しかし、Si半導体のエピタキシャル成長は通常650℃以下で行われる。Si半導体積層工程の途中で700～900℃になる高温アニール処理を施すことは好ましくない。
- [0011] 一方、暗電流の他の原因としては、次が挙げられる。i型Ge半導体層の両側界面が隣接するp型Si半導体層とn型Si半導体層によって、i型Ge半導体層の両側が、それぞれp型Ge半導体層とn型Ge半導体層になってしまい、Ge半導体層自身にPIN構造が形成されるという原因である。具体的には、図１（b）に示すように、p型Si半導体層１１とi型Ge半導体層１２との界面にp型Ge半導体層１２aが生成されると共に、n型Si半導体層１３とi型Ge半導体層１２との界面にn型Ge半導体層１２bが生成される。つまり、i型Ge半導体層１２の中の両側にp型とn型が形成されるので、Ge半導体層自身がPIN構造となる。
- [0012] 即ち、Ge半導体層自身にPIN構造が形成されると、Ge半導体層に電界が印加されてしまう。Ge半導体は上記したように禁制帯幅が狭いため、電界の印加によって暗電流が生じやすい。
- [0013] 前記課題を解決するために、本発明は、p型Si半導体層とn型Si半導体層との間に光機能層を有する光半導体素子において、光機能層に印加される電界を低減することを目的とする。
- [0014] さらに、前記課題を解決するために、本発明は、SiGe-PIN光半導体素子において、SiGe半導体層にPIN構造が形成されることを防止し、SiGe半導体層自身に印加される電界を低減することを目的とする。

課題を解決するための手段

- [0015] 上記目的を達成するために、本発明の光半導体素子は、p型Si半導体層とn型Si半導体層との間に光機能層及び電界制御層を挟むこととした。
- [0016] 具体的には、本発明の光半導体素子は、光機能層及び電界制御層を備える光半導体素子であり、p型Si半導体層とn型Si半導体層との間に前記光機能層及び前記電界制御層が挟まれていることを特徴とする光半導体素子とした。
- [0017] この構成は、p型Si半導体層とn型Si半導体層との間に挟まれた光機能層で光半導体素子の機能を発揮させ、電界制御層で光機能層に電界が印加されないようにすることができる。
- [0018] 更に、具体的には、本発明の光半導体素子は、前記光機能層が、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）を有することを特徴とする光半導体素子とした。
- [0019] この構成は、Geが40%以上含まれることによって、長波長帯での使用を確保することができる。
- [0020] 更に、具体的には、前記電界制御層が、i型Si半導体層を有することを特徴とする光半導体素子とした。
- [0021] この構成は、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層とp型Si半導体層との間にi型Si半導体層が配置されるため、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層のp型Si半導体層側に近い側がp型になることを避けることができる。あるいは、この構造は、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層とn型Si半導体層との間にi型Si半導体層が配置されるため、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層のn型Si半導体層側に近い側がn型になることを避けることができる。このため、この構造は、 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層自身にPIN構造が形成されることを防止することができる。すなわち、この構造は、 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に電界が印加されないようにすることができる。
- [0022] 更に、具体的には、前記電界制御層が、前記光機能層と前記i型Si半導体層との間にn型Si半導体層、n型Ge半導体層及びn型SiGe半導体層のいずれかの半導体層をさらに有することを特徴とする光半導体素子とし

た。

[0023] i 型 $S i_x G e_{1-x}$ 半導体層の i 型 $S i$ 半導体層に近い側は p 型になり易い。 i 型 $S i_x G e_{1-x}$ 半導体層の i 型 $S i$ 半導体層に近い側が p 型になると、従来と同じように $S i G e$ 半導体層に電界が印加され、暗電流が増加するが、この構成は、前記 i 型 $S i_x G e_{1-x}$ 半導体層と前記 i 型 $S i$ 半導体層との間に n 型半導体層があることで、 i 型 $S i_x G e_{1-x}$ 半導体層の i 型 $S i$ 半導体層に近い側が p 型になることを避けることができる。

[0024] また、上記目的を達成するために、本発明の光半導体素子は、 i 型 $S i_x G e_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）を反応領域とし、当該 i 型 $S i_x G e_{1-x}$ 半導体層と n 型 $S i$ 半導体層又は p 型 $S i$ 半導体層との間に、 i 型 $S i$ 半導体層を配置することとした。

[0025] 具体的には、本発明の光半導体素子は、 p 型 $S i$ 半導体層、 i 型 $S i_x G e_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）、 i 型 $S i$ 半導体層、 n 型 $S i$ 半導体層が順に積層されたことを特徴とする光半導体素子とした。

[0026] この構成は、 i 型 $S i_x G e_{1-x}$ 半導体層と n 型 $S i$ 半導体層との間に i 型 $S i$ 半導体層が配置される。このため、この構造は、 i 型 $S i_x G e_{1-x}$ 半導体層の n 型 $S i$ 半導体層側に近い側が n 型になることを避けることができ、 $G e$ 半導体層自身に $P I N$ 構造が形成されることを防止することができる。また、この構造は、 i 型 $S i_x G e_{1-x}$ 半導体層に $G e$ が 40% 以上含まれることによって、長波長帯での使用を確保することができる。

[0027] 更に、具体的には、本発明の光半導体素子は、 n 型 $S i$ 半導体層、 i 型 $S i_x G e_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）、 i 型 $S i$ 半導体層、 p 型 $S i$ 半導体層が順に積層されたことを特徴とする光半導体素子とした。

[0028] この構成は、 i 型 $S i_x G e_{1-x}$ 半導体層と p 型 $S i$ 半導体層との間に i 型 $S i$ 半導体層が配置される。このため、この構造は、 i 型 $S i_x G e_{1-x}$ 半導体層の p 型 $S i$ 半導体層側に近い側が p 型になることを避けることができ、 $S i_x G e_{1-x}$ 半導体層自身に $P I N$ 構造が形成されることを防止することができる。また、この構造は、 i 型 $S i_x G e_{1-x}$ 半導体層に $G e$ が 40% 以上

含まれることによって、長波長帯での使用を確保することができる。

[0029] 本発明の光半導体素子は、上記光半導体素子において、前記 i 型 Si_xGe_{1-x} 半導体層と前記 i 型 Si 半導体層との間に、 n 型 Si 半導体層、 n 型 Ge 半導体層及び n 型 $SiGe$ 半導体層のいずれかの半導体層を有することが望ましい。

[0030] i 型 Si_xGe_{1-x} 半導体層の i 型 Si 半導体層に近い側は p 型になり易い。 i 型 Si_xGe_{1-x} 半導体層の i 型 Si 半導体層に近い側が p 型になると、従来と同じように $SiGe$ 半導体層に電界が印加され、暗電流が増加するが、この構造は、前記 i 型 Si_xGe_{1-x} 半導体層と前記 i 型 Si 半導体層との間に n 型半導体層があることで、 i 型 Si_xGe_{1-x} 半導体層の i 型 Si 半導体層に近い側が p 型になることを避けることができる。

[0031] 本発明の光半導体素子は、上記光半導体素子において、前記 i 型 Si_xGe_{1-x} 半導体層と前記 i 型 Si 半導体層との間に有する前記 n 型 Si 半導体層、前記 n 型 Ge 半導体層又は前記 n 型 $SiGe$ 半導体層の n 型キャリア濃度が $1.0 \times 10^{11} \text{ cm}^{-2}$ 以上、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 以下であることが望ましい。

[0032] 界面準位がないとみなせるのは $1.0 \times 10^{11} \text{ cm}^{-2}$ 程度で、それを電荷補償するのに同程度の n 型キャリア濃度が必要だからである。また、ドーピングの限界値として n 型キャリア濃度は $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度である。

[0033] 本発明の光半導体素子は、前述した光半導体素子において、前記 i 型 Si 半導体層の厚さが 20 nm 以上であることが望ましい。

[0034] i 型 Si 半導体層は 0.3 MeV/cm で破壊され、 Ge 半導体の禁制帯幅が 0.6 V のため、 $0.6 \text{ V} \div 0.3 \text{ MeV/cm} = 20 \text{ nm}$ 以上として破壊を防止することができる。

[0035] 本発明の光半導体素子は、前述した光半導体素子において、前記 i 型 Si_xGe_{1-x} 半導体層（但し、 $x = 0$ ）とその両側の層のうち少なくとも一方との間に i 型 Si_yGe_{1-y} 半導体層（ $0 < y < 1$ ）を更に有することが望ましい。

[0036] この構成は、 i 型 Si_xGe_{1-x} 半導体層と n 型 Si 半導体層又は p 型 Si

半導体層との格子整合が容易である。

[0037] 本発明の光電変換素子は、前述した光半導体素子に0 V以上の逆バイアスを印加し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号を電気信号に変換することを特徴とする光電変換素子である。

[0038] この構成は、0.8～1.6 μm の波長の光信号を検出することができる。また、この構成は、暗電流が少ないため、SN比の高い光信号の検出が可能となる。

[0039] 本発明の光変調素子は、前述した光半導体素子に印加する0 V以上の逆バイアスを制御し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して吸収率を可変とすることを特徴とする光変調素子である。

[0040] この構成は、0.8～1.6 μm の波長の光を変調することができる。また、この構成は、暗電流が少ないため、低消費電力で光を変調することができる。

[0041] 本発明の光変調素子は、前述した光半導体素子に印加する0 V以上の逆バイアスを制御し、前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して屈折率を可変とすることを特徴とする光変調素子。

[0042] この構成は、0.8～1.6 μm の波長の光信号を変調することができる。また、この構成は、暗電流が少ないため、低消費電力で光を変調することができる。

[0043] 本願において、光機能層とは光を電気に変換する光電変換機能、光を吸収する割合を可変する吸収率可変機能、光に対する屈折率を可変する屈折率可変機能のいずれかを有する層をいう。

[0044] 本願において、電界制御層とは光機能層とn型Si半導体層又はp型Si半導体層との間にあって、光機能層に印加される電界を低減する機能を有する層をいう。

[0045] 本願において、i型半導体とは不純物がドーピングされていない真性半導体をいう。n型半導体とは、電子をキャリアとする半導体をいい、p型半導体とは正孔をキャリアとする半導体をいう。

発明の効果

[0046] 本発明によれば、p型Si半導体層とn型Si半導体層との間に光機能層を有する光半導体素子において、光機能層に印加される電界を低減することができる。

[0047] さらに、本発明によれば、SiGe-PIN光半導体素子において、SiGe半導体層にPIN構造が形成されることを防止して、SiGe半導体層自身に印加される電界を低減することができる。

図面の簡単な説明

[0048] [図1] (a) は、従来のPIN構造の光電変換素子の構成を示す図である。(b) は、従来のPIN構造の光電変換素子の構成を示す図である。

[図2] (a) は、本発明の実施形態に係る光半導体素子の構成を示す図である。(b) は、本発明の実施形態に係る光半導体素子の構成を示す図である。

[図3] 本発明の実施形態に係る光半導体素子のバイアスによる禁制帯幅の変化を示す図である。(a) は、i型Si半導体層のない構造の場合の禁制帯幅の変化を示す図である。(b) は、i型Si半導体層のある構造の場合の禁制帯幅の変化を示す図である。

[図4] (a) は、本発明の実施形態に係る光半導体素子のバイアスによる暗電流の変化を実験によって求めた結果を示す図である。(b) は、本発明の実施形態に係る光半導体素子のバイアスによる暗電流の変化を実験によって求めた結果を示す図である。

[図5] (a) は、本発明の実施形態に係る光電変換素子のバイアスをパラメータとする波長－感度特性を示す図である。(b) は、本発明の実施形態に係る光電変換素子のバイアスをパラメータとする波長－感度特性を示す図である。

[図6] 本発明の実施形態に係る光半導体素子の混晶比について説明する図である。

[図7] 本発明の実施形態に係る光変調素子のバイアスをパラメータとする波長－吸収特性を示す図である。

[図8]本発明の実施形態に係る光変調素子の構成を示す図である。

[図9]本発明の実施形態に係る光変調素子の波長－屈折率特性を示す図である。

[図10] (a) は、本発明の実施形態に係る光半導体素子の構成を示す図である。(b) は、本発明の実施形態に係る光半導体素子の構成を示す図である。

[図11]本発明の実施形態に係る光半導体素子の構成を示す図である。

発明を実施するための形態

[0049] 添付の図面を参照して本発明の実施形態を説明する。以下に説明する実施形態は本発明の実施例であり、本発明は、以下の実施形態に制限されるものではない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。

[0050] (第1の実施形態)

本発明の第1の実施形態に係る光電変換素子の構成を図2で説明する。本実施形態の光半導体素子としての光電変換素子20は、図2(a)に示すように、エピタキシャル成長によって、p型Si半導体層11と、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層(但し、 $0 \leq x \leq 0.6$)21と、i型Si半導体層22と、n型Si半導体層23とが基板から順に積層され、PIN構造が形成されている。但し、図2では、p型Si半導体層11はp-Siと記載し、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21はi- $\text{Si}_x\text{Ge}_{1-x}$ と記載し、i型Si半導体層22はi-Siと記載し、n型Si半導体層23はn-Siと記載した。

[0051] 光電変換素子20の特徴は、図1(a)に示したGe-PIN構造において、上部層のn型Si半導体層13を、図2に示すように、n型Si半導体層23及びi型Si半導体層22の2層構造とした点にある。

[0052] i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の厚さは、例えば、 $500\text{nm} \sim 30\mu\text{m}$ である。i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は厚さが 500nm 以上であれば有効に光子を捕捉することができる。一方、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21に空乏層が形成される限界の厚さは $30\mu\text{m}$ 程度である。i型Si半導体層2

2の厚さは、例えば、 $20\text{ nm} \sim 10\text{ }\mu\text{ m}$ である。 i 型Si半導体は 0.3 MeV/cm で破壊され、Ge半導体の禁制帯幅は 0.6 V のため、 $0.6\text{ V} \div 0.3\text{ MeV/cm} = 20\text{ nm}$ 以上として破壊を防止することができる。 i 型Si半導体層22は厚さが $10\text{ }\mu\text{ m}$ 程度までであれば、エピタキシャル成長で i 型Si半導体の結晶性の均一性を十分に維持できる。 n 型Si半導体層23の厚さは、 100 nm 程度である。この厚さは、エピタキシャル成長で形成でき、電極として十分な厚さである。 p 型Si半導体層11の厚さは電極として機能できる厚さであればよい。例えば、Si基板の上面に p 型Si半導体層11を積層してもよいし、Si半導体基板をドーピングにより p 型化して p 型Si半導体層11を形成してもよい。

[0053] i 型Si半導体層22及び i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は、高速光信号の検出用にはキャリア走行時間を短くするために薄く、低速光信号の検出では光子を効率的に捕捉するために厚く積層される。

[0054] 更に、このPIN構造の光電変換素子20は、従来のように $700 \sim 900^\circ\text{C}$ の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、 650°C 以下で行い、この途中で更に温度を上昇させないようにする。また、 p 型Si半導体層11のドーピング材料には、B（ボロン）等のドーピング材料が選択され、 n 型Si半導体層23のドーピング材料には、P（リン）、As（ヒ素）、Sb（アンチモン）等が選択される。

[0055] 光電変換素子20の製造は、上述したように高温アニール処理を不要としてもよいが、図2（b）に示すように、エピタキシャル成長工程で、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の p 型Si半導体層11の側に、 $p\text{-Si}_x\text{Ge}_{1-x}$ と記載した p 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21aを形成する。これは、熱拡散によって、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ が p 型Si半導体層11にドーピングされたドーピング材料に影響されて p 型 $\text{Si}_x\text{Ge}_{1-x}$ となるからである。一方、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の i 型Si半導体層22の側は、 i 型Si半導体層22が真性型であるためドーピング材料による影響はない。

- [0056] 以上説明したように、この光電変換素子は、 i 型 Si_xGe_{1-x} 半導体層21の i 型 Si 半導体層22の側が n 型となることを避けることができ、 i 型 Si_xGe_{1-x} 半導体層21にPIN構造が形成されることを防止できる。
- [0057] なお、本実施形態の光電変換素子は、 i 型 Si_xGe_{1-x} 半導体層21において、 $x=0$ としたとき、 i 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21と p 型 Si 半導体層11との間（図2（b）においては、 p 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21aと p 型 Si 半導体層11との間）、又は i 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21と i 型 Si 半導体層22との間のうち少なくとも一方に i 型 Si_yGe_{1-y} 半導体層（ $x < y < 1$ ）を更に有することが望ましい。このような構成とすれば、 i 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21と p 型 Si 半導体層11との間（図2（b）においては、 p 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21aと p 型 Si 半導体層11との間）、又は i 型 Si_xGe_{1-x} 半導体層（但し、 $x=0$ ）21と i 型 Si 半導体層22との間の格子整合が容易となる。
- [0058] 本実施形態の光電変換素子は、図2における i 型 Si 半導体層22に替えて、 i 型 Si_pGe_{1-p} 半導体層（ $0.5 < p < x$ ）としてもよい。 n 型 Si 半導体層23との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。
- [0059] 次に、 n 型 Si 半導体層と i 型 Si_xGe_{1-x} 半導体層（但し、 $0 \leq x \leq 0.6$ ）の間に、 i 型 Si 半導体層を配置することによる効果を確認する。図3は、 Ge -PINの積層方向に対して印加される外部バイアスによる禁制帯幅の変化を計算によって求めた結果である。但し、 $x=0$ で計算している。図3（a）は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 n 型 Si 半導体層が順に積層されたモデルであり、図3（b）は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層されたモデルである。
- [0060] i 型 Si 半導体層のない図3（a）では、外部バイアス電圧が0Vのとき

でも、 i 型 Si_xGe_{1-x} 半導体層に電位差が生じ、外部バイアス電圧が 3 V になると、 i 型 Si_xGe_{1-x} 半導体層に大きな電位差が生じている。一方、 i 型 Si 半導体層のある図 3 (b) では、外部バイアス電圧が 0 V のときには、 i 型 Si_xGe_{1-x} 半導体層に電位差がほとんど生じず、外部バイアス電圧が 3 V になっても、 i 型 Si_xGe_{1-x} 半導体層には小さい電位差しか生じていない。このことから、 n 型 Si 半導体層と i 型 Si_xGe_{1-x} 半導体層（但し、 $0 \leq x \leq 0.6$ ）の間に、 i 型 Si 半導体層を配置することによって、 Si_xGe_{1-x} 半導体層に PIN 構造が形成されないことが分かる。

[0061] Si_xGe_{1-x} 半導体層に PIN 構造が形成されないことによって、暗電流を抑圧できることを確認した。図 4 は、 $Ge-PIN$ に印加される外部バイアスによる暗電流の変化を実験によって求めた結果である。但し、 $x=0$ で実験した。図 4 (a) は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の実線）及び p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の破線）をアニール処理した結果である。図 4 (b) は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の実線）及び p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層された光電変換素子（図中の破線）をアニール処理しなかった結果である。

[0062] アニール処理をしない図 4 (b) では、 i 型 Si 半導体層のない場合は外部バイアスの印加によって、暗電流が大きく増大しているが、 i 型 Si 半導体層のある場合は暗電流の増大を大きく抑圧できていることが分かる。一方、アニール処理をした図 4 (a) では、 i 型 Si 半導体層のある場合もない場合も暗電流の増大を大きく抑圧できており、 i 型 Si 半導体層のある場合はさらに暗電流の増大を抑圧できることが分かる。

[0063] i 型 Si 半導体層を配置しても感度が劣化しないことを実験によって確認した。図 5 は、 $Ge-PIN$ に印加される外部バイアスをパラメータとする

波長—感度特性である。図5（a）は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、n型Si半導体層が順に積層された光電変換素子をアニール処理した結果であり、図5（b）は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i型Si半導体層、n型Si半導体層が順に積層された光電変換素子をアニール処理しなかった結果である。

[0064] 図5（a）と図5（b）では、バイアスを印加すると波長—感度特性に大きな差はなく、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i型Si半導体層、n型Si半導体層が順に積層された光電変換素子でも十分な感度を実現できることが分かる。

[0065] i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層における混晶比について説明する。図6はxをパラメータとするエネルギーに対する吸収係数 α の関係を示すものである。波長 $0.85\mu\text{m}$ 以上の光を検出することを想定すると、波長 $0.85\mu\text{m}$ はエネルギーとして 1.45eV である。このとき、吸収係数 α が 1000cm^{-1} 以上の条件では、 $x \leq 0.6$ となる。つまり、波長 $0.85\mu\text{m}$ 以上の波長を検出するためには、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層におけるSiの比率を0.6以下とすればよいことが分かる。

[0066] 本実施形態のSiGe—PIN光電変換素子は、SiGe半導体層自身にPIN構造が形成されることを防止することができ、この結果、SiGe半導体層への電界の印加を低減することができた。

[0067] （第2の実施形態）

本発明の第2の実施形態に係る光変調素子の構成を図2で説明する。本実施形態の光半導体素子としての光変調素子20は、図2（a）に示すように、エピタキシャル成長によって、p型Si半導体層11と、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）21と、i型Si半導体層22と、n型Si半導体層23とが基板から順に積層され、PIN構造が形成されている。但し、図2では、p型Si半導体層11はp—Siと記載し、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21はi— $\text{Si}_x\text{Ge}_{1-x}$ と記載し、i型Si半導体層22はi—Siと記載し、n型Si半導体層23はn—Siと記載した。

- [0068] 光変調素子20の特徴は、図1(a)に示したGe-PIN構造において、上部層のn型Si半導体層13を、図2に示すように、n型Si半導体層23及びi型Si半導体層22の2層構造とした点にある。
- [0069] i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の厚さは、例えば、 $200\text{nm} \sim 10\mu\text{m}$ である。i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は厚さが 200nm 以上であればこの層を伝搬する光のモードを単一モードとすることができ、変調素子を通して光子を引き続く光導波路内を単一モードで伝搬させることができる。上記はチャネル導波路の場合である。一方、リブ導波路の場合、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は単一モードが伝搬できる厚さまで厚くすることができる。リブ導波路の単一モードが形成される限界の厚さは $10\mu\text{m}$ 程度である。i型Si半導体層22の厚さは、例えば、 $20\text{nm} \sim 10\mu\text{m}$ である。i型Si半導体は $0.3\text{MeV}/\text{cm}$ で破壊され、Ge半導体の禁制帯幅は 0.6V のため、i型Si半導体層22の厚さは、 $0.6\text{V} \div 0.3\text{MeV}/\text{cm} = 20\text{nm}$ 以上として破壊を防止することができる。i型Si半導体層22は厚さが $10\mu\text{m}$ 程度までであれば、エピタキシャル成長でi型Si半導体の結晶性の均一性を十分に維持できる。n型Si半導体層23の厚さは、 100nm 程度である。この厚さは、エピタキシャル成長で形成でき、電極として十分な厚さである。p型Si半導体層11の厚さは電極として機能できる厚さであればよい。例えば、Si基板の上面にp型Si半導体層11を積層してもよいし、Si半導体基板をドーピングによりp型化してp型Si半導体層11を形成してもよい。
- [0070] i型Si半導体層22及びi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は、高速光信号の変調用には抵抗・容量積（充放電時間）を短くするために薄く積層される。但し、i型Si半導体層22及びi型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21は、単一モードを満たす厚さ（チャネル導波路では 100nm 程度）が必要である。
- [0071] 更に、このPIN構造の光変調素子20は、従来のように $700 \sim 900^\circ\text{C}$ の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、 650°C 以下で行い、この途中で更に温度を

上昇させないようにする。また、p型Si半導体層11のドーピング材料には、B（ボロン）等のドーピング材料が選択され、n型Si半導体層23のドーピング材料には、P（リン）、As（ヒ素）、Sb（アンチモン）等が選択される。

[0072] 光変調素子20の製造は、上述したように高温アニール処理を不要としてもよいが、図2（b）に示すように、エピタキシャル成長工程で、i型Si_xGe_{1-x}半導体層21のp型Si半導体層11の側に、p-Si_xGe_{1-x}と記載したp型Si_xGe_{1-x}半導体層21aを形成する。これは、熱拡散によって、i型Si_xGe_{1-x}がp型Si半導体層11にドーピングされたドーピング材料に影響されてp型Si_xGe_{1-x}となるからである。一方、i型Si_xGe_{1-x}半導体層21のi型Si半導体層22の側は、i型Si半導体層22が真性型であるためドーピング材料による影響はない。

[0073] 以上説明したように、この光変調素子は、i型Si_xGe_{1-x}半導体層21のi型Si半導体層22の側がn型となることを避けることができ、i型Si_xGe_{1-x}半導体層21にPIN構造が形成されることを防止できる。

[0074] なお、本実施形態の光変調素子は、i型Si_xGe_{1-x}半導体層21において、 $x=0$ としたとき、i型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21とp型Si半導体層11との間（図2（b）においては、p型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21aとp型Si半導体層11との間）、又はi型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21とi型Si半導体層22との間のうち少なくとも一方にi型Si_yGe_{1-y}半導体層（ $x < y < 1$ ）を更に有することが望ましい。このような構成とすれば、i型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21とp型Si半導体層11との間（図2（b）においては、p型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21aとp型Si半導体層11との間）、又はi型Si_xGe_{1-x}半導体層（但し、 $x=0$ ）21とi型Si半導体層22との間の格子整合が容易となる。

[0075] 本実施形態の光変調素子は、図2におけるi型Si半導体層22に替えて、i型Si_pGe_{1-p}半導体層（ $0.5 < p < x$ ）としてもよい。n型Si半

導体層 2 3 との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。
一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。

[0076] 次に、 n 型 Si 半導体層と i 型 Si_xGe_{1-x} 半導体層（但し、 $0 \leq x \leq 0.6$ ）の間に、 i 型 Si 半導体層を配置することによる効果を確認する。図 3 は、 $Ge-PIN$ の積層方向に対して印加される外部バイアスによる禁制帯幅の変化を計算によって求めた結果である。但し、 $x = 0$ で計算している。図 3（a）は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 n 型 Si 半導体層が順に積層されたモデルであり、図 3（b）は、 p 型 Si 半導体層、 i 型 Si_xGe_{1-x} 半導体層、 i 型 Si 半導体層、 n 型 Si 半導体層が順に積層されたモデルである。

[0077] i 型 Si 半導体層のない図 3（a）では、外部バイアス電圧が $0V$ のときでも、 i 型 Si_xGe_{1-x} 半導体層に電位差が生じ、これは、 $20kV/cm$ に相当する。外部バイアス電圧が $3V$ になると、 i 型 Si_xGe_{1-x} 半導体層に大きな電位差が生じている。一方、 i 型 Si 半導体層のある図 3（b）では、外部バイアス電圧が $0V$ のときには、 i 型 Si_xGe_{1-x} 半導体層に電位差がほとんど生じず、外部バイアス電圧が $3V$ になっても、 i 型 Si_xGe_{1-x} 半導体層には小さい電位差しか生じていない。このことから、 n 型 Si 半導体層と i 型 Si_xGe_{1-x} 半導体層（但し、 $0 \leq x \leq 0.6$ ）の間に、 i 型 Si 半導体層を配置することによって、 Si_xGe_{1-x} 半導体層に PIN 構造が形成されないことが分かる。また、同じ電界を印加しても、 i 型 Si 半導体層のない光変調素子よりも i 型 Si 半導体層のある場合光変調素子の方が、強い FK （ $Franz-Keldysh$ ）効果が得られることが分かる。なお、 FK 効果とは、半導体に直流電場を印加すると、伝導帯と価電子帯のエネルギーバンドが傾き、電子と正孔の波動関数がエネルギーギャップ内に浸み出し、そのため実効的なエネルギーギャップが無電界時のエネルギーギャップ E_g より小さくなる効果をいう。

[0078] Si_xGe_{1-x} 半導体層に PIN 構造が形成されないことによって、暗電流

を押圧できることを確認した。図4は、Ge-PINに印加される外部バイアスによる暗電流の変化を実験によって求めた結果である。但し、 $x=0$ で実験した。図4(a)は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、n型Si半導体層が順に積層された光変調素子（図中の実線）及びp型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i型Si半導体層、n型Si半導体層が順に積層された光変調素子（図中の破線）をアニール処理した結果であり、図4(b)は、p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、n型Si半導体層が順に積層された光変調素子（図中の実線）及びp型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層、i型Si半導体層、n型Si半導体層が順に積層された光変調素子（図中の破線）をアニール処理しなかった結果である。

[0079] アニール処理をしない図4(b)では、i型Si半導体層のない場合は外部バイアスの印加によって、暗電流が大きく増大しているが、i型Si半導体層のある場合は暗電流の増大を大きく抑圧できていることが分かる。一方、アニール処理をした図4(a)では、i型Si半導体層のある場合もない場合も暗電流の増大を大きく抑圧できしており、i型Si半導体層のある場合はさらに暗電流の増大を抑圧できることが分かる。

[0080] i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層における混晶比について説明する。図6は x をパラメータとするエネルギーに対する吸収係数 α の関係を示すものである。波長 $0.85\mu\text{m}$ 以上の光を変調することを想定すると、波長 $0.85\mu\text{m}$ はエネルギーとして 1.45eV である。このとき、吸収係数 α が 1000cm^{-1} 以上の条件では、 $x \leq 0.6$ となる。つまり、波長 $0.85\mu\text{m}$ 以上の波長を変調するためには、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層はSiの比率を 0.6 とすればよい。さらに、図に示すように、電界強度が増大することにより、光の吸収が増大するため、電界吸収型の光変調素子をつくることができる。

[0081] i型Si半導体層を配置した光変調素子の波長一吸収特性を実験によって確認した。図7は、Ge-PINに印加される外部バイアスをパラメータと

する波長一吸収特性である。図7のように、バイアスの大きさを制御することにより吸収特性が大きく変化する。このため、p型Si半導体層、i型Si_xGe_{1-x}半導体層、i型Si半導体層、n型Si半導体層が順に積層された光変調素子は、十分な変調を実現できることが分かる。

[0082] 本実施形態の光変調素子は、i型Si_xGe_{1-x}半導体層を吸収又は透過させて光信号を変調するだけでなく、屈折率変化を利用して光信号を変調することもできる。マッハ・ツェンダ型変調器の構成を図8に示す。図8において、図上の上側から導波路41に入力された光は、左右の導波路に2分岐される。p電極42とn電極43との間に逆方向電界が印加された時に、FK効果により導波路の屈折率は低下する。このため、図上の左側の導波路を伝搬した光の位相は、ずれることになる。左右の導波路に2分岐された光が合流するとき、両者の位相が π だけずれていると、図上の下側の導波路からは光が出なくなる。このように、本実施形態の光変調素子は、一方の光路に印加する逆方向電界を制御することにより、光の強度変調が可能になる。

[0083] 逆方向電界の印加による屈折率変化を図9に示す。図9は波長一屈折率特性である。図9において、印加電界強度が高まるにつれて、屈折率は低下し、その低下量は、バンドギャップに近いほど大きくなることが分かる。

[0084] 本実施形態のSiGe-PIN光変調素子は、SiGe半導体層自身にPIN構造が形成されることを防止することができ、この結果、SiGe半導体層への電界の印加を低減することができた。

[0085] (第3の実施形態)

次に、p型Si半導体層、i型Si_xGe_{1-x}半導体層、i型Si半導体層、n型Si半導体層が順に積層された光半導体素子の製造工程について説明する。但し、本製造工程では、断らない限り $x=0$ の場合について説明する。

[0086] まず、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置にB (ボロン) をドーピングした高濃度p型Si半導体基板を導入し、基板温度を370℃に上昇

させる。Ar希釈GeH₄ガス（9%）を70 s c c m導入し、成長室内の圧力を2.7 Paとして、60分間でp型Si半導体層上にi型Ge半導体緩衝層を30 nmだけ成長させる。

[0087] 基板温度を600℃まで上昇させ、Ar希釈GeH₄ガス（9%）の流量と成長室内の圧力を維持したまま、100分間でi型Ge半導体層をi型Ge半導体緩衝層と合わせて600 nmとなるまで成長させる。i型Ge半導体緩衝層及びi型Ge半導体層を成長中に、Si半導体基板にドーピングされているB原子がi型Ge半導体層に拡散することにより、p型Si半導体層との界面付近はp型となる。

[0088] i型Si_xGe_{1-x}半導体層（x≠0）を成長させる場合は、まず、UHV-CVD（Ultra High Vacuum Chemical Vapor Deposition）装置にB（ボロン）をドーピングした高濃度p型Si半導体基板を導入し、基板温度を370℃に上昇させる。ジシラン（Si₂H₆）ガスとAr希釈GeH₄ガス（9%）を70 s c c m導入し、成長室内の圧力を2.7 Paとして、60分間でp型Si半導体層上にi型SiGe半導体緩衝層を30 nmだけ成長させる。基板温度を600℃まで上昇させ、ジシラン（Si₂H₆）ガスとAr希釈GeH₄ガス（9%）の流量と成長室内の圧力を維持したまま、100分間でi型SiGe半導体層をi型SiGe半導体緩衝層と合わせて600 nmとなるまで成長させる。i型SiGe半導体緩衝層及びi型SiGe半導体層を成長中に、Si半導体基板にドーピングされているB原子がi型SiGe半導体層に拡散することにより、p型Si半導体層との界面付近はp型となる。

[0089] 次に、基板温度を維持したまま、Ar希釈GeH₄ガス（9%）又はジシラン（Si₂H₆）ガスとAr希釈GeH₄ガス（9%）を止め、Si₂H₆ガス（100%）を3 s c c m導入し、成長室内の圧力を0.2 Paとして、22分間でi型Ge半導体層上又はi型SiGe半導体層上にi型Si半導体層を200 nmだけ成長させる。

[0090] 試料を成長室から取り出した後、スパッタリング法等により、i型Si半

導体層上に300nm厚のSiO₂層を形成する。形成したSiO₂層からフォトリソグラフィにより部分的にSiO₂層を除去する。イオン注入法などによりSiO₂層を除去した部分のi型Si半導体層の上部にPをドーピングする。N₂ガス雰囲気中で650℃、30分間熱処理し、i型Si半導体層中のPを活性化する。活性化により、i型Si半導体層の上部がn型化する。n型Si半導体上に真空蒸着法によりAl（アルミニウム）電極を形成して、光半導体素子が完成する。

[0091] （第4の実施形態）

本発明の第4の実施形態に係る光半導体素子の構成を図10で説明する。本実施形態の光半導体素子としての光電変換素子あるいは光変調素子30は、図10（a）に示すように、エピタキシャル成長によって、n型Si半導体層31と、i型Si_xGe_{1-x}半導体層（但し、 $0 \leq x \leq 0.6$ ）21と、i型Si半導体層22と、p型Si半導体層33とが基板から順に積層され、PIN構造が形成されている。但し、図10では、n型Si半導体層31はn-Siと記載し、i型Si_xGe_{1-x}半導体層21はi-Si_xGe_{1-x}と記載し、i型Si半導体層22はi-Siと記載し、p型Si半導体層33はp-Siと記載した。

[0092] 光電変換素子あるいは光変調素子30の特徴は、図10に示すように、p型Si半導体層33及びi型Si半導体層22の2層構造とした点にある。

[0093] i型Si_xGe_{1-x}半導体層21、i型Si半導体層22、p型Si半導体層33及びn型Si半導体層31のそれぞれの厚さは、第1の実施形態又は第2の実施形態におけるi型Si_xGe_{1-x}半導体層21、i型Si半導体層22、n型Si半導体層23、p型Si半導体層11のそれぞれの厚さと同様である。

[0094] 更に、このPIN構造の光電変換素子あるいは光変調素子30は、従来のように700～900℃の高温アニール処理は行わず、エピタキシャル成長のみで形成してもよい。エピタキシャル成長は通常、650℃以下で行い、この途中で更に温度を上昇させないようにする。また、p型Si半導体層3

3のドーピング材料には、B（ボロン）等のドーピング材料が選択され、 n 型 Si 半導体層31のドーピング材料には、P（リン）、As（ヒ素）、Sb（アンチモン）等が選択される。

[0095] 光電変換素子あるいは光変調素子30の製造は、上述したように高温アニール処理を不要としてもよいが、図10（b）に示すように、エピタキシャル成長工程で、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の n 型 Si 半導体層31の側に、 $n\text{-Si}_x\text{Ge}_{1-x}$ と記載した n 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21bを形成する。これは、熱拡散によって、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ が n 型 Si 半導体層31にドーピングされたドーピング材料に影響されて n 型 $\text{Si}_x\text{Ge}_{1-x}$ となるからである。一方、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の i 型 Si 半導体層22の側は、 i 型 Si 半導体層22が真性型であるためドーピング材料による影響はない。

[0096] 以上説明したように、この Ge-PIN 光電変換素子あるいは光変調素子30は、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21の i 型 Si 半導体層22の側が p 型となることを避けることができ、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21に PIN 構造が形成されることを防止できる。

[0097] なお、本実施形態の光電変換素子あるいは光変調素子では、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層21において、 $x=0$ としたとき、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21と n 型 Si 半導体層31との間（図10（b）においては、 n 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21bと n 型 Si 半導体層31との間）、又は i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21と i 型 Si 半導体層22との間のうち少なくとも一方に i 型 $\text{Si}_y\text{Ge}_{1-y}$ 半導体層（ $x < y < 1$ ）を更に有することが望ましい。このような構成とすれば、 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21と n 型 Si 半導体層31との間（図10（b）においては、 n 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21bと n 型 Si 半導体層31との間）、又は i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）21と i 型 Si 半導体層22との間の格子整合が容易となる。

[0098] ここで、本実施形態の光電変換素子あるいは光変調素子は、図 11 に示すように、 i 型 Si_xGe_{1-x} 半導体層 21 と i 型 Si 半導体層 22 との間に、 n 型 Si 半導体層、 n 型 Ge 半導体層及び n 型 $SiGe$ 半導体層のいずれかの半導体層を有することが望ましい。

[0099] 図 10 に示す光電変換素子あるいは光変調素子 30 の構成は、 i 型 Si_xGe_{1-x} 半導体層 21 の i 型 Si 半導体層 22 に近い側が p 型になり易い。 i 型 Si_xGe_{1-x} 半導体層 21 の i 型 Si 半導体層 22 に近い側が p 型になると、従来と同じように $SiGe$ 半導体層に電界が印加され、暗電流が増加する。そこで、図 11 に示す光電変換素子あるいは光変調素子 40 のように、 i 型 Si_xGe_{1-x} 半導体層 21 と i 型 Si 半導体層 22 との間に n 型半導体層 41 を追加することにより、 i 型 Si_xGe_{1-x} 半導体層 21 の i 型 Si 半導体層 22 に近い側が p 型になることを確実に避けることができる。これにより、 i 型 Si_xGe_{1-x} 半導体層に PIN 構造が形成されることを防止できる。

[0100] i 型 Si_xGe_{1-x} 半導体層 21 と i 型 Si 半導体層 22 との間に配置される、 n 型 Si 半導体層、 n 型 Ge 半導体層又は n 型 $SiGe$ 半導体層 41 は、 n 型キャリア濃度が 10^{11} cm^{-2} 以上、 10^{14} cm^{-2} 以下であることが望ましい。界面順位がないとみなせるのは 10^{11} cm^{-2} 程度で、それを電荷補償するのに同程度の n 型キャリア濃度が必要だからである。また、ドーピングの限界値として n 型キャリア濃度は 10^{14} cm^{-2} 程度である。

[0101] 本実施形態の光電変換素子あるいは光変調素子は、図 10 又は図 11 における i 型 Si 半導体層 22 に替えて、 i 型 Si_pGe_{1-p} 半導体層 ($0.5 < p < x$) としてもよい。 p 型 Si 半導体層 33 との格子ミスマッチを小さくする観点から、 $p < x$ が望ましい。一方、電界印加による暗電流の発生を抑圧するためには、バンドギャップを大きくする必要があり、この観点からは $0.5 < p$ が望ましい。

[0102] 本実施形態の $SiGe$ -PIN 光電変換素子あるいは光変調素子は、 $SiGe$ 半導体層自身に PIN 構造が形成されることを防止することができ、こ

の結果、S i G e半導体層への電界の印加を低減することができた。

[0103] (第5の実施形態)

次に、n型S i半導体層、i型S i_xG e_{1-x}半導体層、n型G e半導体層、i型S i半導体層、p型S i半導体層が順に積層された光半導体素子としての光電変換素子あるいは光変調素子の製造工程について説明する。但し、本製造工程では、断らない限り $x = 0$ の場合について説明する。

[0104] まず、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置にAs (砒素) をドーピングした高濃度n型S i半導体基板を導入し、基板温度を370℃に上昇させる。Ar希釈G eH₄ガス (9%) を70sccm導入し、成長室内の圧力を2.7Paとして、60分間でn型S i半導体層上にi型G e半導体緩衝層を30nmだけ成長させる。

[0105] 基板温度を600℃まで上昇させ、Ar希釈G eH₄ガス (9%) の流量と成長室内の圧力を維持したまま、100分間でi型G e半導体層をi型G e半導体緩衝層と合わせて600nmとなるまで成長させる。i型G e半導体緩衝層及びi型G e半導体層を成長中に、S i半導体基板にドーピングされているAs原子がi型G e半導体層に拡散することにより、n型S i半導体層との界面付近はn型となる。

[0106] i型S i_xG e_{1-x}半導体層 ($x \neq 0$) を成長させる場合は、まず、UHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置にAs (砒素) をドーピングした高濃度n型S i半導体基板を導入し、基板温度を370℃に上昇させる。ジシラン (S i₂H₆) ガスとAr希釈G eH₄ガス (9%) を70sccm導入し、成長室内の圧力を2.7Paとして、60分間でn型S i半導体層上にi型S i G e半導体緩衝層を30nmだけ成長させる。基板温度を600℃まで上昇させ、ジシラン (S i₂H₆) ガスとAr希釈G eH₄ガス (9%) の流量と成長室内の圧力を維持したまま、100分間でi型S i G e半導体層をi型S i G e半導体緩衝層と合わせて600nmとなるまで成長させる。i型

S i G e 半導体緩衝層及び i 型 S i G e 半導体層を成長中に、S i 半導体基板にドーピングされている A s 原子が i 型 S i G e 半導体層に拡散することにより、n 型 S i 半導体層との界面付近は n 型となる。

[0107] 次に、i 型 G e 半導体層又は i 型 S i G e 半導体層の最上部又は次に成長させる i 型 S i 半導体層の最下部に n 型不純物となる P (リン) あるいは A s をドーピングする。これにより、i 型 G e 半導体層又は i 型 S i G e 半導体層の最上部は n 型となる。i 型 S i 半導体層の最下部に n 型不純物をドーピングしても、熱拡散により、i 型 G e 半導体層又は i 型 S i G e 半導体層の最上部は n 型となる。

[0108] 基板温度を維持したまま、A r 希釈 G e H₄ ガス (9%) 又はジシラン (S i₂H₆) ガスと A r 希釈 G e H₄ ガス (9%) を止め、S i₂H₆ ガス (100%) を 3 s c c m 導入し、成長室内の圧力を 0.2 P a として、22 分間で n 型 G e 半導体層上又は n 型 S i G e 半導体層上に i 型 S i 半導体層を 200 n m だけ成長させる。

[0109] 試料を成長室から取り出した後、スパッタリング法等により、i 型 S i 半導体層上に 300 n m 厚の S i O₂ 層を形成する。形成した S i O₂ 層からフォトリソグラフィにより部分的に S i O₂ 層を除去する。イオン注入法などにより S i O₂ 層を除去した部分の i 型 S i 半導体層の上部に B をドーピングする。N₂ ガス雰囲気中で 650 °C、30 分間熱処理し、i 型 S i 半導体層中の B を活性化する。活性化により、i 型 S i 半導体層の上部が p 型化する。p 型 S i 半導体上に真空蒸着法により A l (アルミニウム) 電極を形成して、光半導体素子が完成する。

産業上の利用可能性

[0110] 本発明の G e - P I N 光半導体素子は、S i 基板をベースとする S i 半導体集積回路との整合に優れ、しかも、長波長まで検出したり、変調したりすることができるため、S i 導波路と一体となった S i 半導体集積回路に適用することができる。

符号の説明

[0111] 1 0 : 光電変換素子

2 0、3 0、4 0 : 光半導体素子、光電変換素子又は光変調素子

1 1 : p型Si半導体層

1 2 : i型Ge半導体層

1 3 : n型Si半導体層

2 1 : i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層

2 2 : i型Si半導体層

2 3 : n型Si半導体層

3 1 : n型Si半導体層

3 3 : p型Si半導体層

4 1 : 導波路

4 2 : p電極

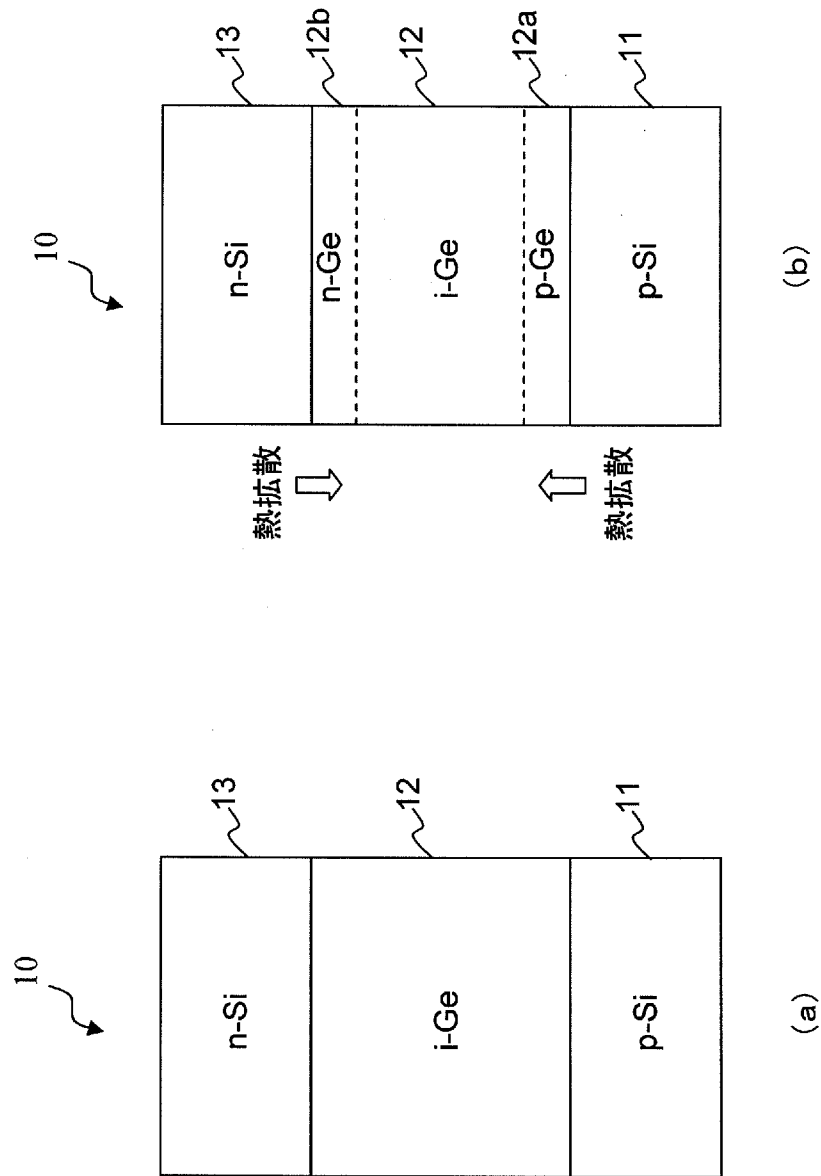
4 3 : n電極

請求の範囲

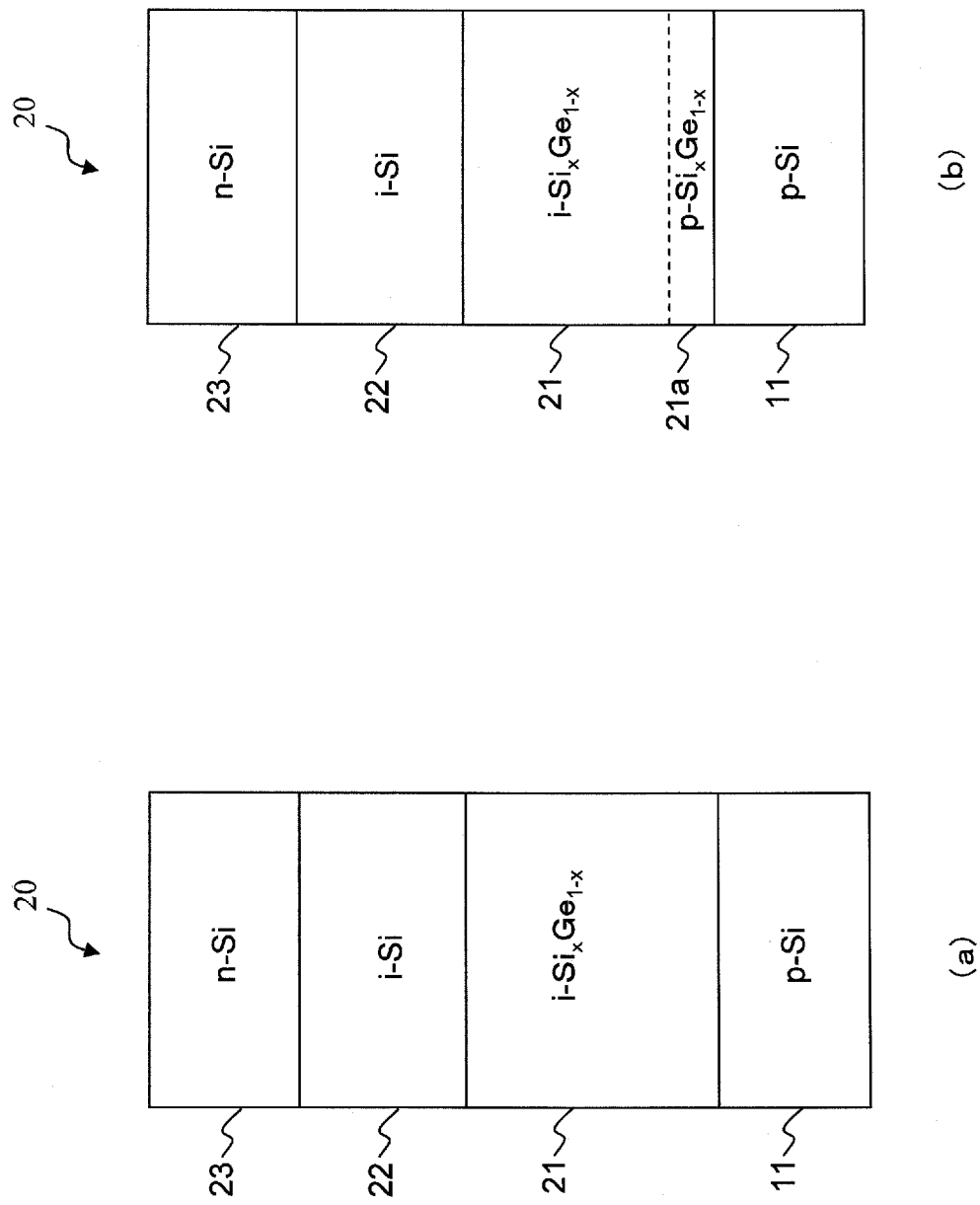
- [請求項1] 光機能層及び電界制御層を備える光半導体素子であり、p型Si半導体層とn型Si半導体層との間に前記光機能層及び前記電界制御層が挟まれていることを特徴とする光半導体素子。
- [請求項2] 前記光機能層が、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）を有することを特徴とする請求項1に記載の光半導体素子。
- [請求項3] 前記電界制御層が、i型Si半導体層を有することを特徴とする請求項1又は2に記載の光半導体素子。
- [請求項4] 前記電界制御層が、前記光機能層と前記i型Si半導体層との間にn型Si半導体層、n型Ge半導体層及びn型SiGe半導体層のいずれかの半導体層をさらに有することを特徴とする請求項3に記載の光半導体素子。
- [請求項5] p型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）、i型Si半導体層、n型Si半導体層が順に積層されたことを特徴とする光半導体素子。
- [請求項6] n型Si半導体層、i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $0 \leq x \leq 0.6$ ）、i型Si半導体層、p型Si半導体層が順に積層されたことを特徴とする光半導体素子。
- [請求項7] 前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間に、n型Si半導体層、n型Ge半導体層及びn型SiGe半導体層のいずれかの半導体層を有することを特徴とする請求項6に記載の光半導体素子。
- [請求項8] 前記i型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層と前記i型Si半導体層との間に有する前記n型Si半導体層、前記n型Ge半導体層又は前記n型SiGe半導体層のn型キャリア濃度が 1.0^{11} cm^{-2} 以上、 1.0^{14} cm^{-2} 以下であることを特徴とする請求項7に記載の光半導体素子。
- [請求項9] 前記i型Si半導体層の厚さが20nm以上であることを特徴とする請求項5から8のいずれかに記載の光半導体素子。

- [請求項10] 前記 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層（但し、 $x=0$ ）とその両側の層のうち少なくとも一方との間に i 型 $\text{Si}_y\text{Ge}_{1-y}$ 半導体層（ $0 < y < 1$ ）を更に有することを特徴とする請求項5から9のいずれかに記載の光半導体素子。
- [請求項11] 請求項5から10のいずれかの光半導体素子に0V以上の逆バイアスを印加し、前記 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号を電気信号に変換することを特徴とする光電変換素子。
- [請求項12] 請求項5から10のいずれかの光半導体素子に印加する0V以上の逆バイアスを制御することによって、前記 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して吸収率を可変とすることを特徴とする光変調素子。
- [請求項13] 請求項5から10のいずれかの光半導体素子に印加する0V以上の逆バイアスを制御することによって、前記 i 型 $\text{Si}_x\text{Ge}_{1-x}$ 半導体層に入射した光信号に対して屈折率を可変とすることを特徴とする光変調素子。

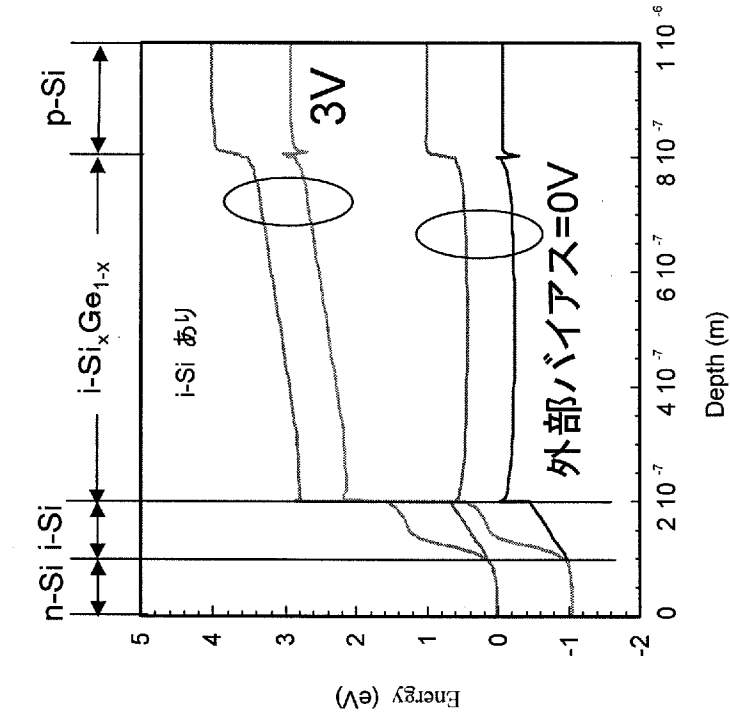
[図1]



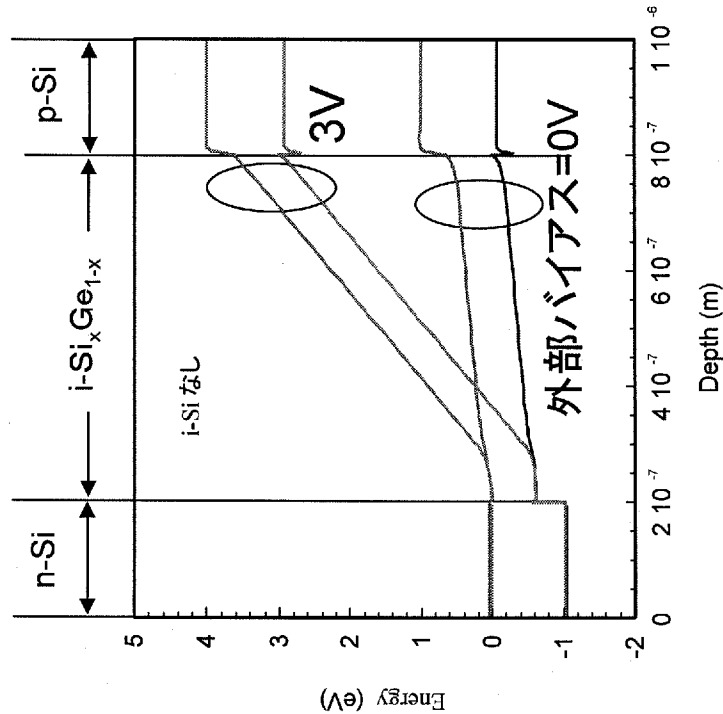
[図2]



[図3]

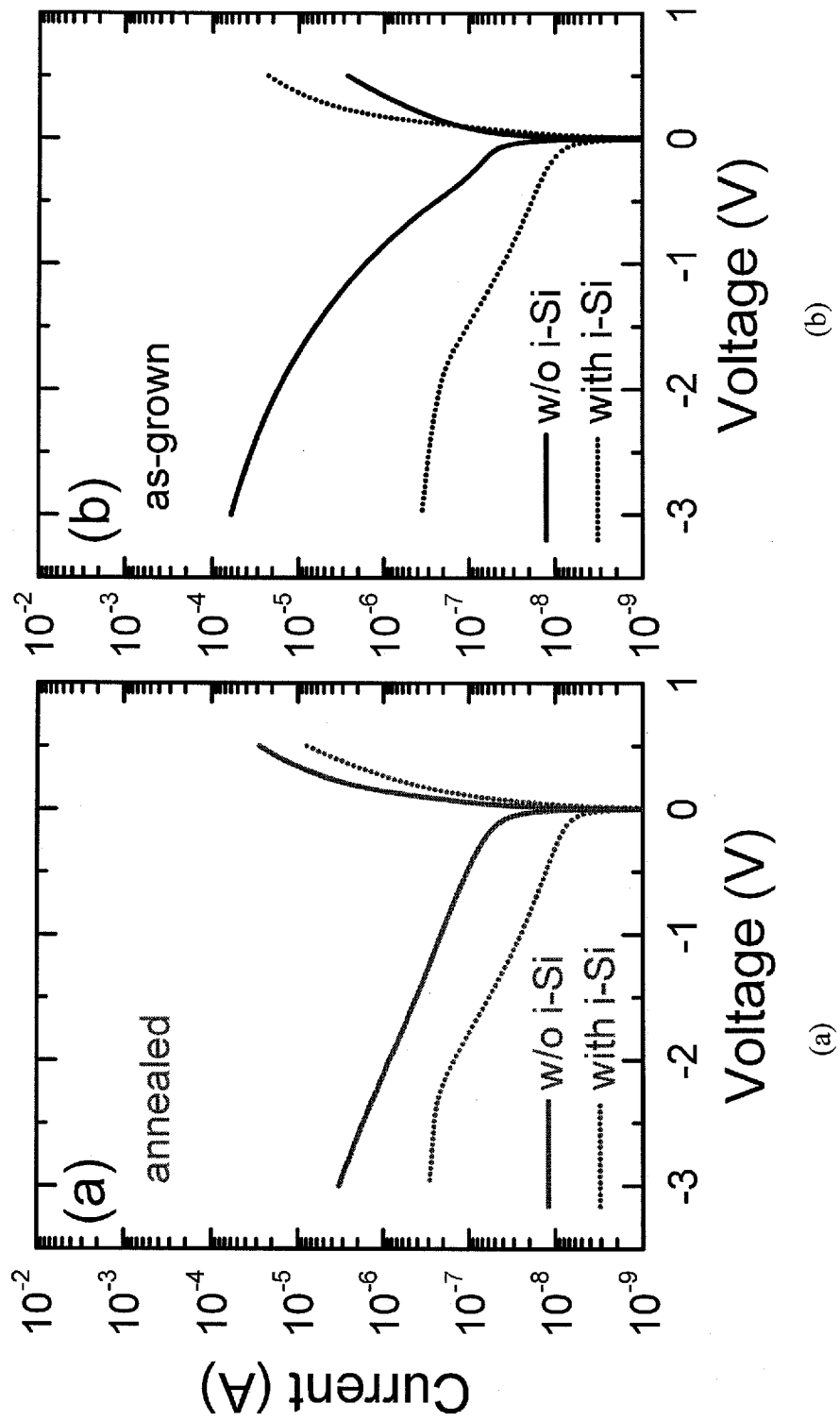


(b)

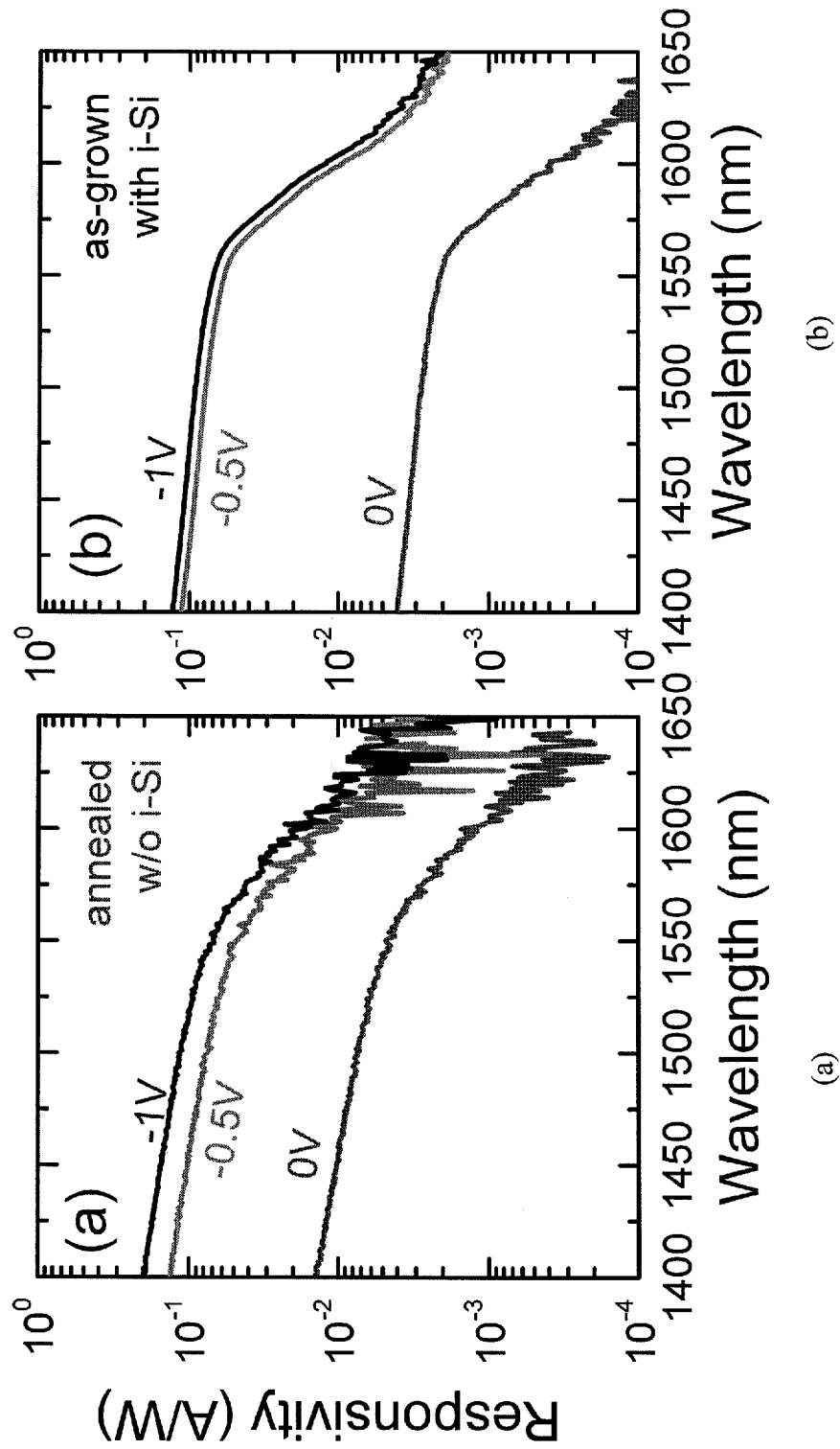


(a)

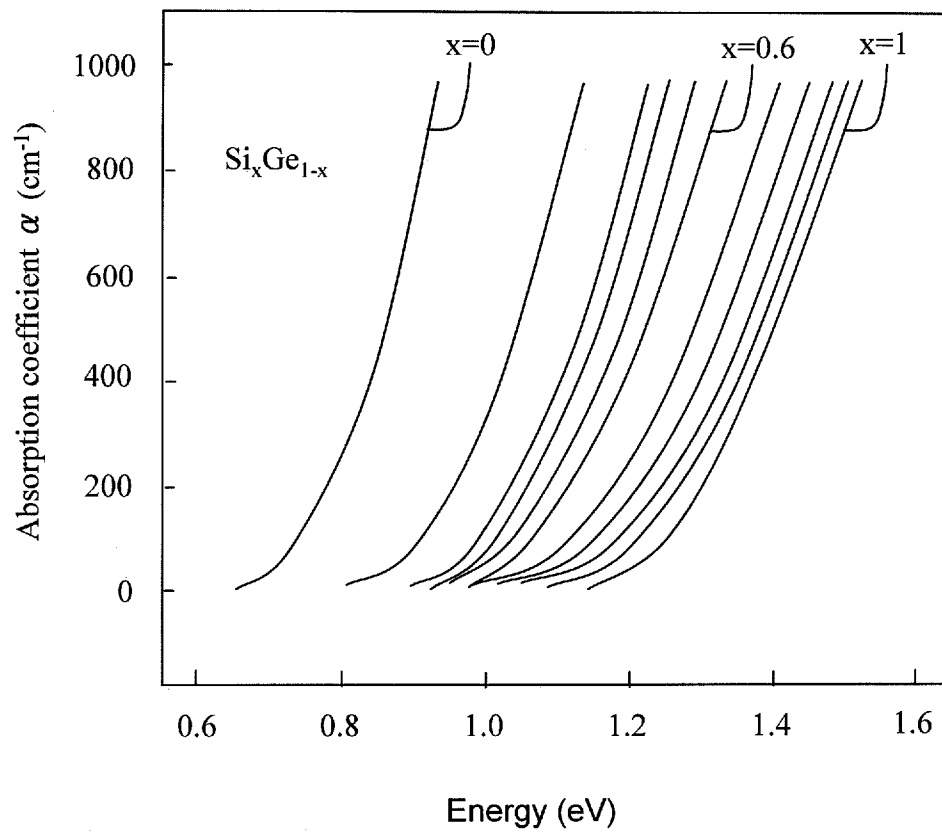
[図4]



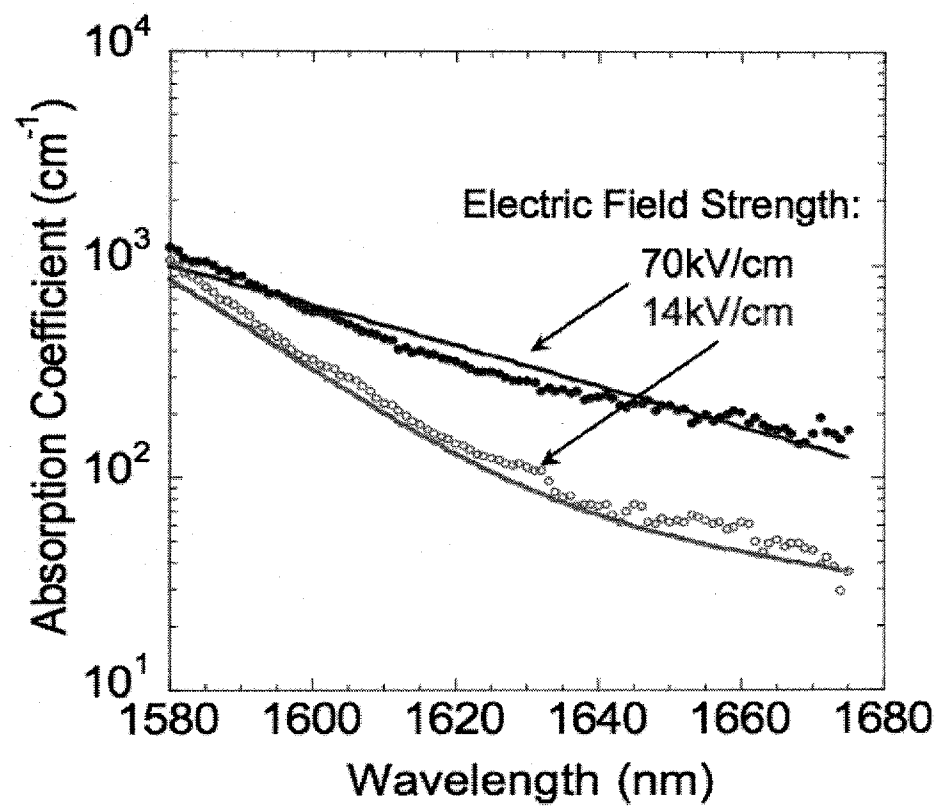
[図5]



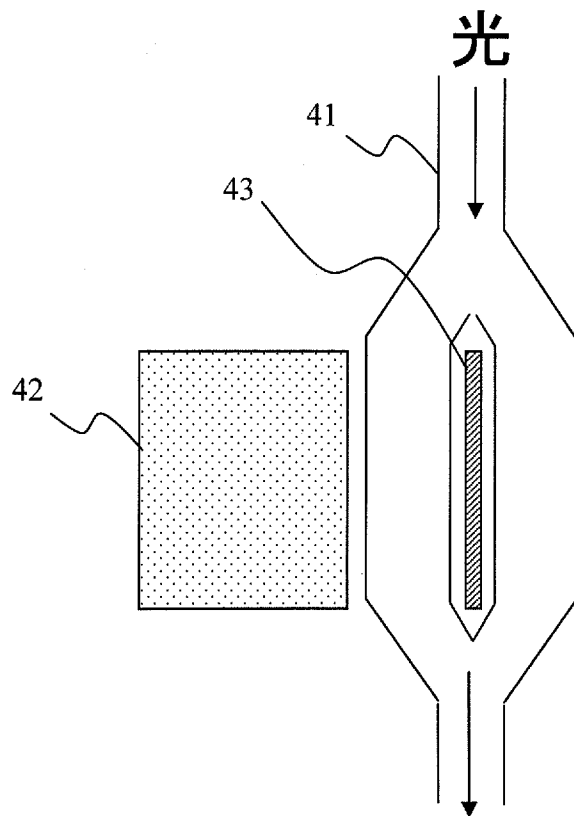
[図6]



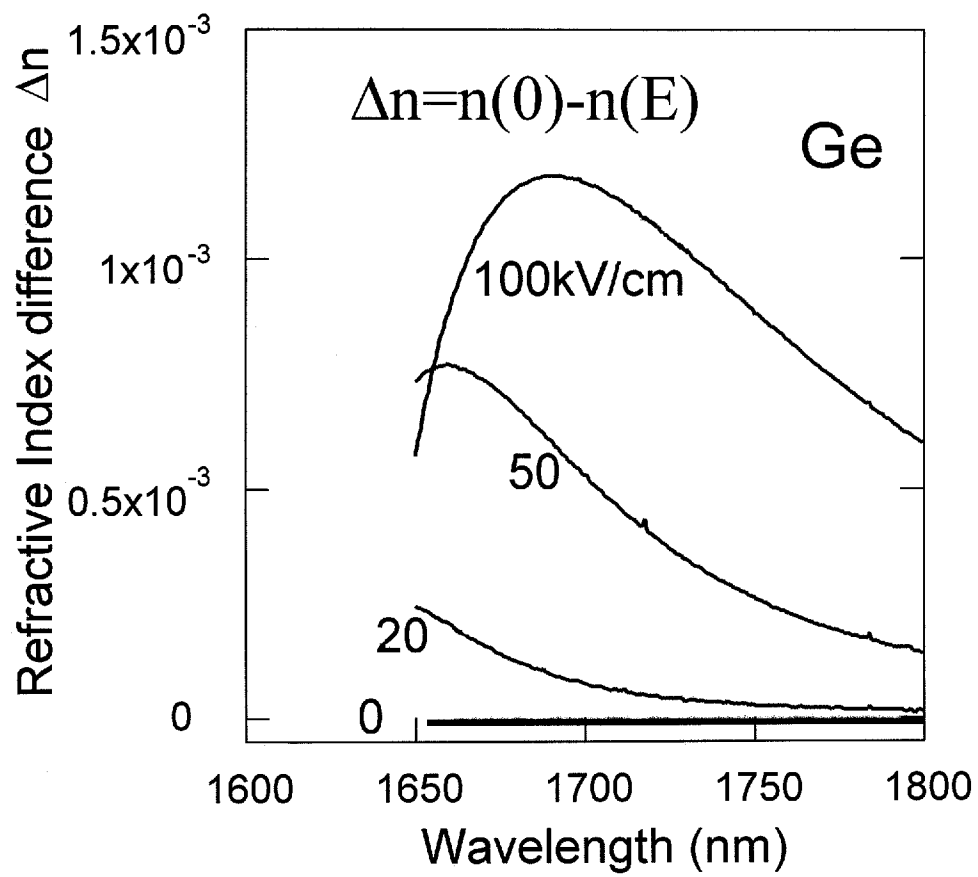
[図7]



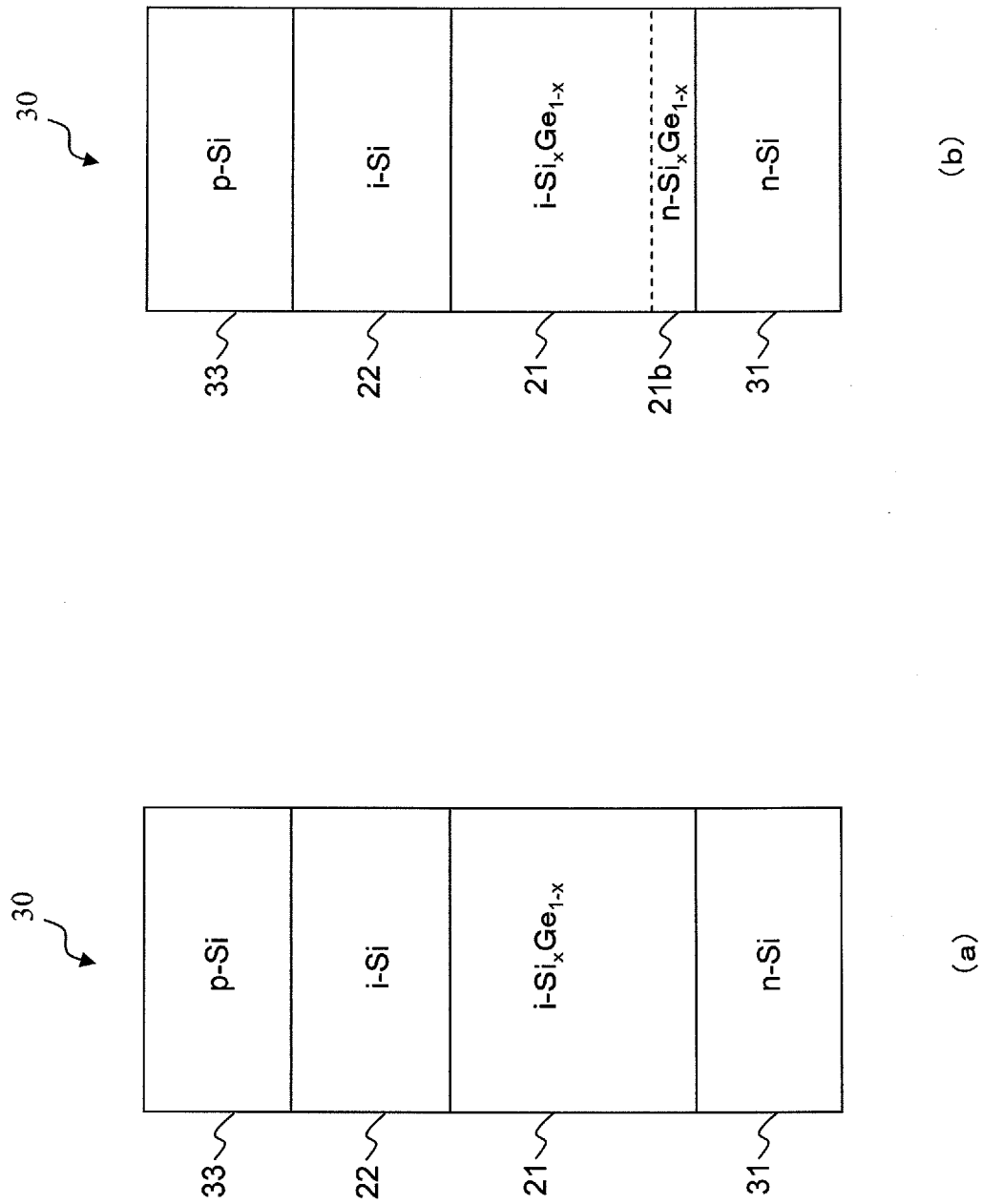
[図8]



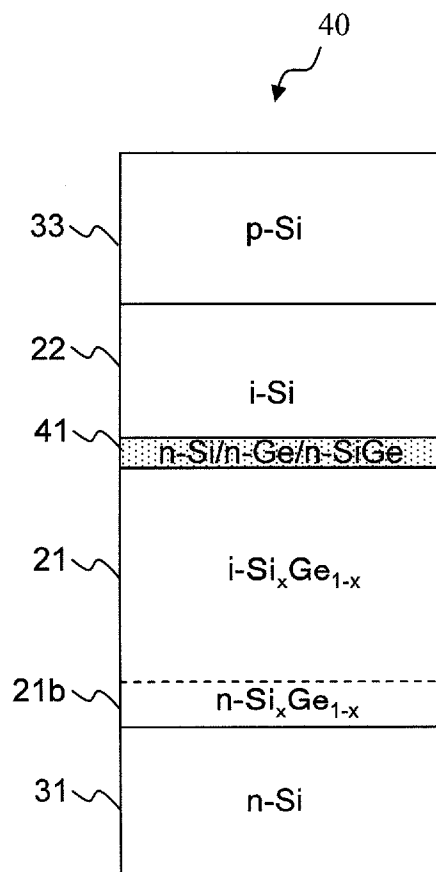
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063394

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamII), JST7580 (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	A. Vonsovici et al., Room Temperature Photocurrent Spectroscopy of SiGe/Si p-i-n Photodiodes Grown by Selective Epitaxy, IEEE TRANSACTIONS ON ELECTRON DEVICES, 1998.02, Vol.45, No.2, pp.538-542	1-13
X	JP 9-260710 A (NEC Corp.), 03 October 1997 (03.10.1997), paragraphs [0012] to [0018]; fig. 1 to 2 & US 5783839 A & DE 19711506 A & KR 10-0244049 B	1-13
A	JP 2008-140808 A (Kazumi WADA), 19 June 2008 (19.06.2008), paragraphs [0030] to [0077]; fig. 1 to 15 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 October, 2009 (06.10.09)

Date of mailing of the international search report
20 October, 2009 (20.10.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063394

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-284630 A (Minolta Co., Ltd.), 12 October 2001 (12.10.2001), paragraphs [0026] to [0050]; fig. 1 to 10 (Family: none)	1-13
A	JP 6-224459 A (Nippon Telegraph And Telephone Corp.), 12 August 1994 (12.08.1994), paragraphs [0015] to [0018]; fig. 1 to 2 (Family: none)	1-13
A	Z. Huang et al., Effectiveness of SiGe Buffer Layers in Reducing Dark Currents of Ge-on-Si Photodetectors, IEEE JOURNAL OF QUANTUM ELECTRONICS, 2007.03, Vol.43, No.3, pp.238-242	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus(JDreamII), JST7580(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	A. Vonsovici et al., Room Temperature Photocurrent Spectroscopy of SiGe/Si p-i-n Photodiodes Grown by Selective Epitaxy, IEEE TRANSACTIONS ON ELECTRON DEVICES, 1998.02, Vol.45, No.2, pp. 538-542	1-13
X	JP 9-260710 A (日本電気株式会社) 1997.10.03, 段落【0012】 — 【0018】, 第 1-2 図 & US 5783839 A & DE 19711506 A & KR 10-0244049 B	1-13

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 0 9

国際調査報告の発送日

2 0 . 1 0 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山本 元彦

2 K

3 9 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-140808 A (和田 一実) 2008.06.19, 段落【0030】－【0077】, 第1－15 図 (ファミリーなし)	1-13
A	JP 2001-284630 A (ミノルタ株式会社) 2001.10.12, 段落【0026】－【0050】, 第1－10 図 (ファミリーなし)	1-13
A	JP 6-224459 A (日本電信電話株式会社) 1994.08.12, 段落【0015】－【0018】, 第1－2 図 (ファミリーなし)	1-13
A	Z. Huang et al., Effectiveness of SiGe Buffer Layers in Reducing Dark Currents of Ge-on-Si Photodetectors, IEEE JOURNAL OF QUANTUM ELECTRONICS, 2007.03, Vol.43, No.3, pp.238-242	1-13