

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月24日(24.03.2022)



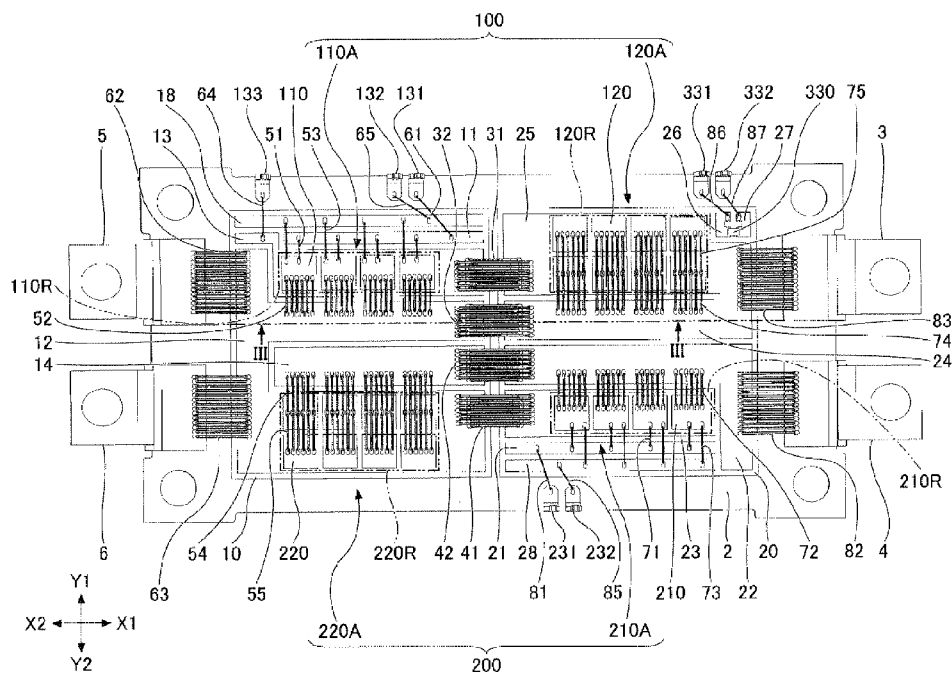
(10) 国際公開番号

WO 2022/059251 A1

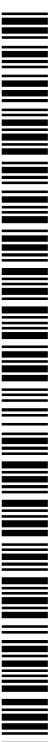
- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 23/36 (2006.01)
H01L 21/60 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2021/017074
- (22) 国際出願日: 2021年4月28日(28.04.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-157444 2020年9月18日(18.09.2020) JP
- (71) 出願人: 住友電気工業株式会社
(SUMITOMO ELECTRIC INDUSTRIES, LTD.)
- [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者: 金田 達志 (KANEDA, Tatsushi);
〒5410041 大阪府大阪市中央区北浜四丁目5番33号 住友電気工業株式会社内 Osaka (JP).
- (74) 代理人: 伊東 忠重, 外 (ITO, Tadashige et al.);
〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device includes a first insulating substrate, a second insulating substrate, a first arm, a second arm connected to the first arm, and a first conductive pattern provided on the first insulating substrate, wherein: the first arm has a plurality of first transistor chips provided on the first insulating substrate; the second arm has a semiconductor chip provided on the second insulating substrate; the plurality of first transistor chips are arranged adjacent to each other on the first insulating substrate; first electrodes of the plurality of first transistors are directly connected to the



WO 2022/059251 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

first conductive pattern; and the first electrodes are source electrodes or emitter electrodes.

(57) 要約 : 半導体装置は、第 1 絶縁基板と、第 2 絶縁基板と、第 1 アームと、前記第 1 アームに接続された第 2 アームと、前記第 1 絶縁基板の上に設けられた第 1 導電パターンと、を有し、前記第 1 アームは、前記第 1 絶縁基板に設けられた複数の第 1 トランジスタチップを有し、前記第 2 アームは、前記第 2 絶縁基板に設けられた半導体チップを有し、前記複数の第 1 トランジスタチップは、前記第 1 絶縁基板の上に互いに隣り合って配置され、前記複数の第 1 トランジスタの第 1 電極は、前記第 1 導電パターンに直接的に接続され、前記第 1 電極は、ソース電極又はエミッタ電極である。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

[0002] 本出願は、2020年9月18日出願の日本出願第2020-15744号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003] パワーモジュールに使用される半導体装置として、トランジスタのソース電極又はエミッタ電極とダイオードのアノード電極とが互いに接続された半導体装置が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開2015-154079号公報

特許文献2：日本国特開2019-71490号公報

特許文献3：米国特許出願公開第2017/0125322号明細書

発明の概要

[0005] 本開示の半導体装置は、第1絶縁基板と、第2絶縁基板と、第1アームと、前記第1アームに接続された第2アームと、前記第1絶縁基板の上に設けられた第1導電パターンと、を有し、前記第1アームは、前記第1絶縁基板に設けられた複数の第1トランジスタチップを有し、前記第2アームは、前記第2絶縁基板に設けられた半導体チップを有し、前記複数の第1トランジスタチップは、前記第1絶縁基板の上に互いに隣り合って配置され、前記複数の第1トランジスタの第1電極は、前記第1導電パターンに直接的に接続され、前記第1電極は、ソース電極又はエミッタ電極である。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係る半導体装置を示す斜視図である。

- [図2]図2は、第1実施形態に係る半導体装置を示す上面図である。
- [図3]図3は、第1実施形態に係る半導体装置における放熱板と、第1絶縁基板と、第2絶縁基板との関係を示す断面図である。
- [図4]図4は、第1トランジスタを示す断面図である。
- [図5]図5は、第1ダイオードを示す断面図である。
- [図6]図6は、第2トランジスタを示す断面図である。
- [図7]図7は、第2ダイオードを示す断面図である。
- [図8]図8は、第1実施形態に係る半導体装置を示す回路図である。
- [図9]図9は、第1実施形態に係る半導体装置の動作を示す模式図（その1）である。
- [図10]図10は、第1実施形態に係る半導体装置の動作を示す模式図（その2）である。
- [図11]図11は、第1実施形態に係る半導体装置の動作を示す模式図（その3）である。
- [図12]図12は、第1実施形態に係る半導体装置の動作を示す模式図（その4）である。
- [図13]図13は、放熱板の変形例を示す断面図である。
- [図14]図14は、第2実施形態に係る半導体装置における第1絶縁基板及び第2絶縁基板の構成を示す模式図である。
- [図15]図15は、第3実施形態に係る半導体装置を示す上面図である。
- [図16]図16は、第4実施形態に係る半導体装置を示す上面図である。
- [図17]図17は、第4実施形態に係る半導体装置を示す回路図である。

発明を実施するための形態

[0007] [本開示が解決しようとする課題]

並列に接続された複数のトランジスタのより安定した動作の実現が望まれている。

[0008] 本開示は、並列に接続された複数のトランジスタのより安定した動作を実現できる半導体装置を提供することを目的とする。

[0009] [本開示の効果]

本開示によれば、並列に接続された複数のトランジスタのより安定した動作を実現できる。

[0010] 実施するための形態について、以下に説明する。

[0011] [本開示の実施形態の説明]

最初に本開示の実施態様を列記して説明する。以下の説明では、同一または対応する要素には同一の符号を付し、それらについて同じ説明は繰り返さない。

[0012] [1] 本開示の一態様に係る半導体装置は、第1絶縁基板と、第2絶縁基板と、第1アームと、前記第1アームに接続された第2アームと、前記第1絶縁基板の上に設けられた第1導電パターンと、を有し、前記第1アームは、前記第1絶縁基板に設けられた複数の第1トランジスタチップを有し、前記第2アームは、前記第2絶縁基板に設けられた半導体チップを有し、前記複数の第1トランジスタチップは、前記第1絶縁基板の上に互いに隣り合って配置され、前記複数の第1トランジスタの第1電極は、前記第1導電パターンに直接的に接続され、前記第1電極は、ソース電極又はエミッタ電極である。

[0013] 第1アームに含まれる複数の第1トランジスタが第1絶縁基板の上に互いに隣り合って配置されている。第1電極は第1導電パターンに直接的に接続されている。また、第2アームに含まれる半導体チップは、第2絶縁基板に設けられている。このため、複数の第1トランジスタの個々のパワーループのインダクタンスを低減でき、複数の第1トランジスタの間でパワーループのインダクタンスのばらつきを抑制できる。従って、並列に接続された複数の第1トランジスタのより安定した動作を実現できる。

[0014] [2] [1]において、前記複数の第1トランジスタチップは、矩形状の第1領域内に集約されていてもよい。この場合、パワーループのインダクタンスのばらつきを抑制しやすい。

[0015] [3] [1]又は[2]において、前記複数の第1トランジスタチップ

は、第1方向に並んで配置されていてもよい。この場合、複数の第1トランジスタを集約してパワーループのインダクタンスのばらつきを抑制しやすい。

[0016] [4] [1]～[3]において、前記半導体チップは、第2トランジスタチップを有してもよい。この場合、半導体装置をインバータとして動作させられる。

[0017] [5] [1]～[3]において、前記第2絶縁基板の上に設けられた第2導電パターンを有し、前記半導体チップは、複数の第2トランジスタチップを有し、前記複数の第2トランジスタチップは、前記第2絶縁基板の上に互いに隣り合って配置され、前記複数の第2トランジスタの第2電極は、前記第2導電パターンに直接的に接続され、前記第2電極は、ソース電極又はエミッタ電極であってもよい。この場合、並列に接続された複数の第2トランジスタのより安定した動作を実現できる。

[0018] [6] [5]において、前記複数の第2トランジスタチップは、矩形形状の第2領域内に集約されていてもよい。この場合、パワーループのインダクタンスのばらつきを抑制しやすい。

[0019] [7] [5]又は[6]において、前記複数の第2トランジスタチップは、第2方向に並んで配置されていてもよい。この場合、複数の第2トランジスタを集約してパワーループのインダクタンスのばらつきを抑制しやすい。

[0020] [8] [4]～[7]において、前記第2アームは、前記第2トランジスタチップに並列に接続された第1ダイオードチップを有し、前記第1ダイオードチップは、前記第1絶縁基板に設けられていてもよい。この場合、第1ダイオードチップを第2トランジスタチップに対する還流ダイオードとして機能させられる。

[0021] [9] [8]において、前記第1ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードであってもよい。この場合、第1ダイオードチップに優れた耐圧が得られる。

- [0022] [10] [4] ~ [9]において、前記第2トランジスタチップは、炭化珪素を用いて構成された電界効果トランジスタであってもよい。この場合、第2トランジスタチップに優れた耐圧が得られる。
- [0023] [11] [4] ~ [10]において、前記複数の第2トランジスタの第2制御電極に接続された第2制御端子を有し、前記第2制御端子は、前記第1絶縁基板よりも前記第2絶縁基板に近く配置されていてもよい。この場合、複数の第2トランジスタを第2制御端子の近傍に集約することができる。従って、複数の第2トランジスタの間でのゲートループのインダクタンスの相違を低減しやすい。このため、並列に接続された複数の第2トランジスタのより安定した動作を実現しやすい。
- [0024] [12] [1] ~ [3]において、前記半導体チップは、第2ダイオードチップを有してもよい。この場合、半導体装置をコンバータとして動作させられる。
- [0025] [13] [12]において、前記第2ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードであってもよい。この場合、第2ダイオードチップに優れた耐圧が得られる。
- [0026] [14] [1] ~ [13]において、前記第1アームは、前記第1トランジスタチップに並列に接続された第3ダイオードチップを有し、前記第3ダイオードチップは、前記第2絶縁基板に設けられていてもよい。この場合、第3ダイオードチップを第1トランジスタチップに対する還流ダイオードとして機能させられる。
- [0027] [15] [14]において、前記第3ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードであってもよい。この場合、第3ダイオードチップに優れた耐圧が得られる。
- [0028] [16] [1] ~ [15]において、前記複数の第1トランジスタの第1制御電極に接続された第1制御端子を有し、前記第1制御端子は、前記第2絶縁基板よりも前記第1絶縁基板に近く配置されていてもよい。この場合、複数の第1トランジスタを第1制御端子の近傍に集約することができる。

従って、複数の第1トランジスタの間でのゲートループのインダクタンスの相違を低減しやすい。このため、並列に接続された複数の第1トランジスタのより安定した動作を実現しやすい。

[0029] [17] [1] ~ [16] において、前記第1トランジスタチップは、炭化珪素を用いて構成された電界効果トランジスタであってもよい。この場合、第1トランジスタチップに優れた耐圧が得られる。

[0030] [18] [1] ~ [16] において、第1主面と、前記第1主面とは反対側の第2主面とを備えた放熱板を有し、前記第1主面に前記第1絶縁基板及び前記第2絶縁基板が搭載されていてもよい。この場合、第1絶縁基板及び第2絶縁基板で発生した熱を放出しやすい。

[0031] [19] [18] において、前記第2主面が凸状に湾曲していてもよい。この場合、熱界面材料等を用いて放熱板を冷却器等に密着させ、良好な伝熱効率を得やすい。

[0032] [本開示の実施形態の詳細]

以下、本開示の実施形態について詳細に説明するが、本実施形態はこれらに限定されるものではない。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。

[0033] (第1実施形態)

まず、第1実施形態について説明する。図1は、第1実施形態に係る半導体装置を示す斜視図である。図2は、第1実施形態に係る半導体装置を示す上面図である。ただし、図2では、ケースを透視している。図3は、第1実施形態に係る半導体装置における放熱板と、第1絶縁基板と、第2絶縁基板との関係を示す断面図である。図3は、図2中のIII-III線に沿った断面図に相当する。

[0034] 第1実施形態に係る半導体装置1は、主として、放熱板2と、ケース9と、P端子3と、N端子4と、第1O端子5と、第2O端子6とを有する。P端子3は正極側の電源端子であり、N端子4は負極側の電源端子であり、第

1 O端子5及び第2 O端子6は出力端子である。P端子3、N端子4、第1 O端子5及び第2 O端子6はケース9に組み付けられている。ケース9には、更に、第1ゲート端子131と、第1センスソース端子132と、センスドレイン端子133と、第2ゲート端子231と、第2センスソース端子232と、第1サーミスタ端子331と、第2サーミスタ端子332とが組み付けられている。

[0035] 本開示において、X1-X2方向、Y1-Y2方向、Z1-Z2方向を相互に直交する方向とする。X1-X2方向及びY1-Y2方向を含む面をXY面とし、Y1-Y2方向及びZ1-Z2方向を含む面をYZ面とし、Z1-Z2方向及びX1-X2方向を含む面をZX面とする。便宜上、Z1方向を上方向、Z2方向を下方向とする。また、本開示において平面視とは、Z1側から対象物を視ることをいう。X1-X2方向は平面視で矩形状の放熱板2及びケース9の長辺に沿う方向であり、Y1-Y2方向は放熱板2及びケース9の短辺に沿う方向であり、Z1-Z2方向は放熱板2及びケース9の法線に沿う方向である。

[0036] 放熱板2は、例えば平面視で矩形状の厚さが一様の板状体である。放熱板2は、第1主面2Aと、第1主面2Aとは反対側の第2主面2Bとを備える。放熱板2の材料は、熱伝導率の高い素材である金属、例えば銅(Cu)、銅合金、アルミニウム(Al)等である。放熱板2は、熱界面材料(thermal interface material: TIM)等を用いて冷却器等に固定される。

[0037] ケース9は、例えば平面視において枠状に形成されており、ケース9の外形は放熱板2の外形と同等である。ケース9の材料は樹脂等の絶縁体である。ケース9は、互いに対向する一对の側壁部91及び92と、側壁部91及び92の両端をつなぐ一对の端壁部93及び94とを有する。側壁部91及び92はZX平面に平行に配置され、端壁部93及び94はYZ平面に平行に配置されている。側壁部92は側壁部91のY2側に配置され、端壁部94は端壁部93のX2側に配置されている。ケース9は、端壁部93からX1方向に突出する端子台95と、端壁部94からX2方向に突出する端子台

96とを有する。

[0038] 端子台95の上面（Z1側の表面）にP端子3及びN端子4が配置され、端子台96の上面（Z1側の表面）に第1O端子5及び第2O端子6が配置されている。例えば、N端子4がP端子3のY2側に配置され、第2O端子6が第1O端子5のY2側に配置されている。P端子3、N端子4、第1O端子5及び第2O端子6は金属板から構成されている。P端子3及びN端子4のそれぞれの一方の端部が端壁部93のX2側に露出し、それぞれの他方の端部が端子台95の上面に引き出されている。第1O端子5及び第2O端子6のそれぞれの一方の端部が端壁部94のX1側に露出し、それぞれの他方の端部が端子台96の上面に引き出されている。

[0039] 側壁部91に、第1ゲート端子131、第1センスソース端子132、センスドレイン端子133、第1サーミスタ端子331及び第2サーミスタ端子332が取り付けられている。第1ゲート端子131、第1センスソース端子132、センスドレイン端子133、第1サーミスタ端子331及び第2サーミスタ端子332のそれぞれの一方の端部が側壁部91のY2側に露出し、それぞれの他方の端部が側壁部91の上面（Z1側の表面）からケース9の外方（Z1側）に突出している。センスドレイン端子133は、側壁部91のX2側の端部近傍に配置されている。第1サーミスタ端子331及び第2サーミスタ端子332は、側壁部91のX1側の端部近傍に配置されている。例えば、第2サーミスタ端子332は第1サーミスタ端子331のX1側に配置されている。第1ゲート端子131及び第1センスソース端子132は、側壁部91のX1-X2方向の中心の近傍で、かつX1-X2方向の中心よりもX2側に配置されている。例えば、第1センスソース端子132は第1ゲート端子131のX2側に配置されている。

[0040] 側壁部92に、第2ゲート端子231及び第2センスソース端子232が取り付けられている。第2ゲート端子231及び第2センスソース端子232のそれぞれの一方の端部が側壁部92のY1側に露出し、それぞれの他方の端部が側壁部92の上面（Z1側の表面）からケース9の外方（Z1側）

に突出している。第2ゲート端子231及び第2センスソース端子232は、側壁部92のX1-X2方向の中心の近傍で、かつX1-X2方向の中心よりもX1側に配置されている。例えば、第2センスソース端子232は第2ゲート端子231のX1側に配置されている。

[0041] 放熱板2のZ1側に、第1絶縁基板10と、第2絶縁基板20とが配置されている。つまり、放熱板2の第1主面2Aに第1絶縁基板10と、第2絶縁基板20とが配置されている。例えば、第2絶縁基板20は第1絶縁基板10のX1側に配置されている。

[0042] 第1絶縁基板10は、Z1側の面に導電層11、12、13、14及び18を有し、Z2側の面に導電層19を有する。導電層19が、はんだ等の接合材7により放熱板2に接合されている。導電層13の上に複数個、例えば4個の第1トランジスタ110が実装されている。4個の第1トランジスタ110はX1-X2方向に並んでいる。4個の第1トランジスタ110から第1トランジスタ群110Aが構成される。導電層12の上に複数個、例えば8個の第2ダイオード220が実装されている。8個の第2ダイオード220は、2列になってX1-X2方向に4個ずつ並んでいる。8個の第2ダイオード220から第2ダイオード群220Aが構成される。導電層12は第1導電パターンの一例である。第1トランジスタ110は第1トランジスタチップの一例である。第2ダイオード220は半導体チップ及び第1ダイオードチップの一例である。

[0043] 4個の第1トランジスタ110は平面視で矩形状の第1トランジスタ集約領域110R内に互いに隣り合って配置されている。つまり、4個の第1トランジスタ110は第1トランジスタ集約領域110R内に集約されている。8個の第2ダイオード220は平面視で矩形状の第2ダイオード集約領域220R内に互いに隣り合って配置されている。つまり、8個の第2ダイオード220は第2ダイオード集約領域220R内に集約されている。第1トランジスタ集約領域110Rは第1領域の一例である。

[0044] 第2絶縁基板20は、Z1側の面に導電層21、22、23、24、25

、26、27及び28を有し、Z2側の面に導電層29を有する。導電層29が、はんだ等の接合材8により放熱板2に接合されている。導電層23の上に複数個、例えば4個の第2トランジスタ210が実装されている。4個の第2トランジスタ210はX1-X2方向に並んでいる。4個の第2トランジスタ210から第2トランジスタ群210Aが構成される。導電層25の上に複数個、例えば8個の第1ダイオード120が実装されている。8個の第1ダイオード120は、2列になってX1-X2方向に4個ずつ並んでいる。8個の第1ダイオード120から第1ダイオード群120Aが構成される。導電層22は第2導電パターンの一例である。第2トランジスタ210は第2トランジスタチップの一例である。第1ダイオード120は半導体チップ及び第3ダイオードチップの一例である。

[0045] 4個の第2トランジスタ210は平面視で矩形状の第2トランジスタ集約領域210R内に互いに隣り合って配置されている。つまり、4個の第2トランジスタ210は第2トランジスタ集約領域210R内に集約されている。8個の第1ダイオード120は平面視で矩形状の第1ダイオード集約領域120R内に互いに隣り合って配置されている。つまり、8個の第1ダイオード120は第1ダイオード集約領域120R内に集約されている。第2トランジスタ集約領域210Rは第2領域の一例である。X1-X2方向は第2方向の一例でもある。

[0046] 平面視で、第1ダイオード集約領域120Rは第1トランジスタ集約領域110Rから離れており、第1トランジスタ集約領域110R及び第1ダイオード集約領域120Rは互いに重なる領域を有しない。互いに隣り合う第1トランジスタ110の間には、第1ダイオード120が配置されていない。平面視で、第2トランジスタ集約領域210Rは第2ダイオード集約領域220Rから離れており、第2トランジスタ集約領域210R及び第2ダイオード集約領域220Rは互いに重なる領域を有しない。互いに隣り合う第2トランジスタ210の間には、第2ダイオード220が配置されていない。

[0047] ここで、第1トランジスタ110、第1ダイオード120、第2トランジスタ210及び第2ダイオード220について説明する。図4は、第1トランジスタを示す断面図である。図5は、第1ダイオードを示す断面図である。図6は、第2トランジスタを示す断面図である。図7は、第2ダイオードを示す断面図である。

[0048] 図4に示すように、第1トランジスタ110は、第1ゲート電極111と、第1ソース電極112と、第1ドレイン電極113とを有する。第1ゲート電極111及び第1ソース電極112は第1トランジスタ110のZ1側の主面に配置され、第1ドレイン電極113は第1トランジスタ110のZ2側の主面に配置されている。第1ドレイン電極113がはんだ等の接合材（図示せず）により導電層13に接合されている。第1ソース電極112は第1電極の一例である。

[0049] 図5に示すように、第1ダイオード120は、第1アノード電極121と、第1カソード電極122とを有する。第1アノード電極121は第1ダイオード120のZ1側の主面に配置され、第1カソード電極122は第1ダイオード120のZ2側の主面に配置されている。第1カソード電極122がはんだ等の接合材（図示せず）により導電層25に接合されている。

[0050] 図6に示すように、第2トランジスタ210は、第2ゲート電極211と、第2ソース電極212と、第2ドレイン電極213とを有する。第2ゲート電極211及び第2ソース電極212は第2トランジスタ210のZ1側の主面に配置され、第2ドレイン電極213は第2トランジスタ210のZ2側の主面に配置されている。第2ドレイン電極213がはんだ等の接合材（図示せず）により導電層23に接合されている。第2ソース電極212は第2電極の一例である。

[0051] 図7に示すように、第2ダイオード220は、第2アノード電極221と、第2カソード電極222とを有する。第2アノード電極221は第2ダイオード220のZ1側の主面に配置され、第2カソード電極222は第2ダイオード220のZ2側の主面に配置されている。第2カソード電極222

がはんだ等の接合材（図示せず）により導電層12に接合されている。

[0052] 半導体装置1は、複数本のワイヤ31と、複数本のワイヤ32と、複数本のワイヤ41と、複数本のワイヤ42とを有する。ワイヤ31は、第1絶縁基板10に設けられた導電層13と第2絶縁基板20に設けられた導電層25とを接続する。ワイヤ32は、第1絶縁基板10に設けられた導電層12と第2絶縁基板20に設けられた導電層24とを接続する。ワイヤ41は、第1絶縁基板10に設けられた導電層12と第2絶縁基板20に設けられた導電層23とを接続する。ワイヤ42は、第1絶縁基板10に設けられた導電層14と第2絶縁基板20に設けられた導電層22とを接続する。

[0053] 半導体装置1は、複数本のワイヤ51と、複数本のワイヤ52と、複数本のワイヤ53と、複数本のワイヤ54と、複数本のワイヤ55とを有する。ワイヤ51は、4個の第1トランジスタ110にそれぞれ設けられた第1ゲート電極111と第1絶縁基板10に設けられた導電層11とを接続する。ワイヤ52は、4個の第1トランジスタ110にそれぞれ設けられた第1ソース電極112と第1絶縁基板10に設けられた導電層12とを接続する。ワイヤ53は、4個の第1トランジスタ110にそれぞれ設けられた第1センスソース電極（図示せず）と第1絶縁基板10に設けられた導電層18とを接続する。ワイヤ54は、8個の第2ダイオード220のうちY1側に配置された4個の第2ダイオード220にそれぞれ設けられた第2アノード電極221と第1絶縁基板10に設けられた導電層14とを接続する。ワイヤ55は、8個の第2ダイオード220のうちY1側に配置された4個の第2ダイオード220にそれぞれ設けられた第2アノード電極221とY2側に配置された4個の第2ダイオード220にそれぞれ設けられた第2アノード電極221とを接続する。

[0054] 半導体装置1は、ワイヤ61と、複数本のワイヤ62と、複数本のワイヤ63と、ワイヤ64と、ワイヤ65とを有する。ワイヤ61は、第1絶縁基板10に設けられた導電層11と第1ゲート端子131とを接続する。ワイヤ62は、第1絶縁基板10に設けられた導電層12と第10端子5とを接

続する。ワイヤ63は、第1絶縁基板10に設けられた導電層12と第20端子6とを接続する。ワイヤ64は、第1絶縁基板10に設けられた導電層13とセンスドレイン端子133とを接続する。ワイヤ65は、第1絶縁基板10に設けられた導電層18と第1センスソース端子132とを接続する。

[0055] 半導体装置1は、複数本のワイヤ71と、複数本のワイヤ72と、複数本のワイヤ73と、複数本のワイヤ74と、複数本のワイヤ75とを有する。ワイヤ71は、4個の第2トランジスタ210にそれぞれ設けられた第2ゲート電極211と第2絶縁基板20に設けられた導電層21とを接続する。ワイヤ72は、4個の第2トランジスタ210にそれぞれ設けられた第2ソース電極212と第2絶縁基板20に設けられた導電層22とを接続する。ワイヤ73は、4個の第2トランジスタ210にそれぞれ設けられた第2センスソース電極（図示せず）と第2絶縁基板20に設けられた導電層28とを接続する。ワイヤ74は、8個の第1ダイオード120のうちY2側に配置された4個の第1ダイオード120にそれぞれ設けられた第1アノード電極121と第2絶縁基板20に設けられた導電層24とを接続する。ワイヤ75は、8個の第1ダイオード120のうちY2側に配置された4個の第1ダイオード120にそれぞれ設けられた第1アノード電極121とY1側に配置された4個の第1ダイオード120にそれぞれ設けられた第1アノード電極121とを接続する。

[0056] 半導体装置1は、ワイヤ81と、複数本のワイヤ82と、複数本のワイヤ83と、ワイヤ85と、ワイヤ86と、ワイヤ87とを有する。ワイヤ81は、第2絶縁基板20に設けられた導電層21と第2ゲート端子231とを接続する。ワイヤ82は、第2絶縁基板20に設けられた導電層22とN端子4とを接続する。ワイヤ83は、第2絶縁基板20に設けられた導電層25とP端子3とを接続する。ワイヤ85は、第2絶縁基板20に設けられた導電層28と第2センスソース端子232とを接続する。ワイヤ86は、第2絶縁基板20に設けられた導電層26と第1サーミスタ端子331とを接

続する。ワイヤ87は、第2絶縁基板20に設けられた導電層27と第2サーミスタ端子332とを接続する。半導体装置1は、導電層26及び導電層27に接続されたサーミスタ330を有する。

[0057] ここで、第1実施形態に係る半導体装置1の回路構成について説明する。図8は、第1実施形態に係る半導体装置を示す回路図である。

[0058] P端子3に、ワイヤ83と、導電層25とを介して第1ダイオード120の第1カソード電極122が接続される。また、P端子3に、ワイヤ83と、導電層25と、ワイヤ31と、導電層13とを介して第1トランジスタ110の第1ドレイン電極113が接続される。導電層12が、ワイヤ62を介して第10端子5に接続され、ワイヤ63を介して第20端子6に接続される。導電層12に、ワイヤ52を介して第1トランジスタ110の第1ソース電極112が接続される。また、導電層12に、ワイヤ32と、導電層24と、ワイヤ74及び75とを介して第1ダイオードの第1アノード電極121が接続される。

[0059] 第1ゲート端子131に、ワイヤ61と、導電層11と、ワイヤ51とを介して第1トランジスタ110の第1ゲート電極111が接続される。第1センスソース端子132に、ワイヤ65と、導電層18と、ワイヤ53とを介して第1トランジスタ110の第1センスソース電極が接続される。センスドレイン端子133に、ワイヤ64と、導電層13とを介して第1トランジスタ110の第1ドレイン電極113が接続される。第1ゲート電極111は第1制御電極の一例であり、第1ゲート端子131は第1制御端子の一例である。

[0060] N端子4に、ワイヤ82と、導電層22と、ワイヤ72とを介して第2トランジスタ210の第2ソース電極212が接続される。また、N端子4に、ワイヤ82と、導電層22と、ワイヤ42と、ワイヤ54及び55とを介して第2ダイオード220の第2アノード電極221が接続される。導電層12に第2トランジスタ210の第2カソード電極222が接続される。また、導電層12に、ワイヤ41と、導電層23とを介して第2トランジスタ

210の第2ドレイン電極213が接続される。

[0061] 第2ゲート端子231に、ワイヤ81と、導電層21と、ワイヤ71とを介して第2トランジスタ210の第2ゲート電極211が接続される。第2センスソース端子232に、ワイヤ85と、導電層28と、ワイヤ73とを介して第2トランジスタ210の第2センスソース電極が接続される。第1サーミスタ端子331に、ワイヤ86と、導電層26とを介してサーミスタ330の一方の電極が接続される。第2サーミスタ端子332に、ワイヤ87と、導電層27とを介してサーミスタ330の他方の電極が接続される。第2ゲート電極211は第2制御電極の一例であり、第2ゲート端子231は第2制御端子の一例である。

[0062] 図8に示すように、第1トランジスタ110の第1ドレイン電極113と第1ダイオード120の第1カソード電極122とがP端子3に共通に接続され、第1ソース電極112と第1アノード電極121とが第1O端子5及び第2O端子6に共通に接続されている。つまり、第1トランジスタ110と第1ダイオード120とが、P端子3と、第1O端子5及び第2O端子6との間に並列に接続されている。また、第2トランジスタ210の第2ドレイン電極213と第2ダイオード220の第2カソード電極222とが第1O端子5及び第2O端子6に共通に接続され、第2ソース電極212と第2アノード電極221とがN端子4に共通に接続されている。つまり、第2トランジスタ210と第2ダイオード220とが、N端子4と、第1O端子5及び第2O端子6との間に並列に接続されている。上アーム100は、第1トランジスタ110（第1トランジスタ群110A）と、第1ダイオード120（第1ダイオード群120A）とを含む。下アーム200は、第2トランジスタ210（第2トランジスタ群210A）と、第2ダイオード220（第2ダイオード群220A）とを含む。P端子3とN端子4との間に上アーム100と下アーム200とが直列に接続されている。上アーム100は第1アームの一例であり、下アーム200は第2アームの一例である。

[0063] 上アーム100に含まれる複数の第1トランジスタ110が第1絶縁基板

10のみに設けられ、上アーム100に含まれる複数の第1ダイオード120が第2絶縁基板20のみに設けられてもよい。また、下アーム200に含まれる複数の第2トランジスタ210が第2絶縁基板20のみに設けられ、下アーム200に含まれる複数の第2ダイオード220が第1絶縁基板10のみに設けられてもよい。

[0064] 次に、第1実施形態に係る半導体装置1の動作について説明する。図9～図12は、第1実施形態に係る半導体装置の動作を示す模式図である。

[0065] 図9は、P端子3から第1O端子5及び第2O端子6に流れる電流I1の経路を示す。図9に示すように、電流I1は、P端子3から、ワイヤ83と、導電層25と、ワイヤ31と、導電層13と、第1トランジスタ群110Aと、ワイヤ52と、導電層12と、ワイヤ62及び63とを介して、第1O端子5及び第2O端子6に流れる。

[0066] 図10は、第1O端子5及び第2O端子6からP端子3に流れる電流I2の経路を示す。図10に示すように、電流I2は、第1O端子5及び第2O端子6から、ワイヤ62及び63と、導電層12と、ワイヤ32と、導電層24と、ワイヤ74及び75と、第1ダイオード群120Aと、導電層25と、ワイヤ83とを介して、P端子3に流れる。

[0067] このように、P端子3から第1O端子5及び第2O端子6に流れる電流I1は、ワイヤ31を流れるが、ワイヤ32を流れない。一方、第1O端子5及び第2O端子6からP端子3に流れる電流I2は、ワイヤ32を流れるが、ワイヤ31を流れない。

[0068] 図11は、N端子4から第1O端子5及び第2O端子6に流れる電流I3の経路を示す。図11に示すように、電流I3は、N端子4から、ワイヤ82と、導電層22と、ワイヤ72と、第2トランジスタ群210Aと、導電層23と、ワイヤ41と、導電層12と、ワイヤ62及び63とを介して、第1O端子5及び第2O端子6に流れる。

[0069] 図12は、第1O端子5及び第2O端子6からN端子4に流れる電流I4の経路を示す。図12に示すように、電流I4は、第1O端子5及び第2O

端子6から、ワイヤ62及び63と、導電層12と、第2ダイオード群220Aと、ワイヤ54及び55と、導電層14と、ワイヤ42と、導電層22と、ワイヤ82とを介して、N端子4に流れる。

[0070] このように、N端子4から第10端子5及び第20端子6に流れる電流I3は、ワイヤ41を流れるが、ワイヤ42を流れない。一方、第10端子5及び第20端子6からN端子4に流れる電流I4は、ワイヤ42を流れるが、ワイヤ41を流れない。

[0071] 第1実施形態に係る半導体装置1では、上アーム100に第1トランジスタ110及び第1ダイオード120が含まれ、第1トランジスタ110は第1絶縁基板10に設けられ、第1ダイオード120は第2絶縁基板20に設けられている。このため、P端子3から第10端子5及び第20端子6に流れる電流I1と、第10端子5及び第20端子6からP端子3に流れる電流I2との間で、経由するワイヤ31、32が相違する。従って、第1絶縁基板10と第2絶縁基板20との間を流れる電流が同一の接続部材を経由する場合と比較して、ワイヤ31及び32における発熱量を低減できる。

[0072] 同様に、下アーム200に第2トランジスタ210及び第2ダイオード220が含まれ、第2トランジスタ210は第2絶縁基板20に設けられ、第2ダイオード220は第1絶縁基板10に設けられている。このため、N端子4から第10端子5及び第20端子6に流れる電流I3と、第10端子5及び第20端子6からN端子4に流れる電流I4との間で、経由するワイヤ41、42が相違する。従って、第1絶縁基板10と第2絶縁基板20との間を流れる電流が同一の接続部材を経由する場合と比較して、ワイヤ41及び42における発熱量を低減できる。

[0073] このように発熱量を低減することによって、接続部材、ワイヤの発熱量が過大となるおそれを抑制し、ワイヤが溶断に至るおそれを低減することが可能となる。

[0074] 第1絶縁基板10と第2絶縁基板20との間の接続にワイヤ31、32、41及び42が用いられているため、第1絶縁基板10と第2絶縁基板20

とを接続しやすい。すなわち、導電層 1 3 と導電層 2 5 とを接続しやすく、導電層 1 2 と導電層 2 4 とを接続しやすく、導電層 1 4 と導電層 2 2 とを接続しやすく、導電層 1 2 と導電層 2 3 とを接続しやすい。ワイヤ 3 1、3 2、4 1 及び 4 2 のそれぞれに代えて、バスバー等の金属板が用いられてもよい。この場合、より大きな電流を流しやすい。

[0075] 第 1 ソース電極 1 1 2 と導電層 1 2 との接続にワイヤ 5 2 が用いられ、第 1 アノード電極 1 2 1 と導電層 2 4 との接続にワイヤ 7 4 が用いられるため、第 1 ソース電極 1 1 2 と導電層 1 2 とを接続しやすく、第 1 アノード電極 1 2 1 と導電層 2 4 と接続しやすい。また、第 2 ソース電極 2 1 2 と導電層 2 2 との接続にワイヤ 7 2 が用いられ、第 2 アノード電極 2 2 1 と導電層 1 4 との接続にワイヤ 5 4 が用いられるため、第 2 ソース電極 2 1 2 と導電層 2 2 とを接続しやすく、第 2 アノード電極 2 2 1 と導電層 1 4 と接続しやすい。

[0076] 上アーム 1 0 0 に含まれる複数の第 1 トランジスタ 1 1 0 が第 1 絶縁基板 1 0 の上に互いに隣り合って配置されている。第 1 ソース電極 1 1 2 は導電層 1 2 に直接的に接続されている。このため、複数の第 1 トランジスタ 1 1 0 の個々のパワーループのインダクタンスを低減でき、複数の第 1 トランジスタ 1 1 0 の間でパワーループのインダクタンスのばらつきを抑制できる。従って、複数の第 1 トランジスタ 1 1 0 のより安定した動作を実現できる。

[0077] 下アーム 2 0 0 に含まれる複数の第 2 トランジスタ 2 1 0 が第 2 絶縁基板 2 0 の上に互いに隣り合って配置されている。第 2 ソース電極 2 1 2 は導電層 2 2 に直接的に接続されている。このため、複数の第 2 トランジスタ 2 1 0 の個々のパワーループのインダクタンスを低減でき、複数の第 2 トランジスタ 2 1 0 の間でパワーループのインダクタンスのばらつきを抑制できる。従って、複数の第 2 トランジスタ 2 1 0 のより安定した動作を実現できる。

[0078] 平面視で、第 1 ゲート端子 1 3 1 と第 2 ダイオード 2 2 0 との間に第 1 トランジスタ 1 1 0 が配置されている。すなわち、上アーム 1 0 0 の第 1 トランジスタ 1 1 0 は下アーム 2 0 0 の第 2 ダイオード 2 2 0 よりも第 1 ゲート

端子131に近く配置されている。また、複数の第1トランジスタ110を導電層11の近傍に配置できる。このため、第1トランジスタ110のゲートループのインダクタンスを低減しやすい。また、平面視で、第2ゲート端子231と第1ダイオード120との間に第2トランジスタ210が配置されている。すなわち、下アーム200の第2トランジスタ210は上アーム100の第1ダイオード120よりも第2ゲート端子231に近く配置されている。また、複数の第2トランジスタ210を導電層21の近傍に配置できる。このため、第2トランジスタ210のゲートループのインダクタンスを低減しやすい。

[0079] 更に、第1ゲート端子131に複数の第1トランジスタ110の第1ゲート電極111が接続され、これら複数の第1トランジスタ110が第1ゲート端子131と第2ダイオード220との間に配置されている。このため、複数の第1トランジスタ110の間でのゲートループのインダクタンスの相違を低減しやすい。また、第2ゲート端子231に複数の第2トランジスタ210の第2ゲート電極211が接続され、これら複数の第2トランジスタ210が第2ゲート端子231と第1ダイオード120との間に配置されている。このため、複数の第2トランジスタ210の間でのゲートループのインダクタンスの相違を低減しやすい。

[0080] 第1トランジスタ110及び第2トランジスタ210は、炭化珪素を用いて構成されたMOS (metal-oxide-semiconductor) 電界効果トランジスタ (field effect transistor) 等の電界効果トランジスタであってもよい。第1ダイオード120及び第2ダイオード220は、炭化珪素を用いて構成されたショットキーバリアダイオードであってもよい。炭化珪素を用いることにより、優れた耐圧が得られる。

[0081] なお、図13に示すように、放熱板2の第2主面2Bが凸状に湾曲していることが好ましい。TIM等を用いて放熱板2を冷却器等に密着させ、良好な伝熱効率を得やすいためである。

[0082] (第2実施形態)

次に、第2実施形態について説明する。図14は、第2実施形態に係る半導体装置における第1絶縁基板及び第2絶縁基板の構成を示す模式図である。

- [0083] 第2実施形態に係る半導体装置では、図14に示すように、第1絶縁基板10が、第3絶縁基板10Aと、第4絶縁基板10Bとを有し、第2絶縁基板20が、第5絶縁基板20Aと、第6絶縁基板20Bとを有する。第4絶縁基板10Bが第3絶縁基板10AのX1側に配置され、第6絶縁基板20Bが第5絶縁基板20AのX2側に配置されている。
- [0084] 第3絶縁基板10Aは、Z1側の面に導電層11A、12A、13A、14A及び18Aを有し、Z2側の面に導電層（図示せず）を有する。Z2側の面に設けられた導電層が、導電層19と同様に、はんだ等の接合材7により放熱板2に接合されている。導電層13Aの上に複数個、例えば2個の第1トランジスタ110が実装されている。2個の第1トランジスタ110はX1-X2方向に並んでいる。導電層12Aの上に複数個、例えば4個の第2ダイオード220が実装されている。4個の第2ダイオード220は、2列になってX1-X2方向に2個ずつ並んでいる。
- [0085] 第4絶縁基板10Bは、Z1側の面に導電層11B、12B、12C、13B、14B及び18Bを有し、Z2側の面に導電層（図示せず）を有する。Z2側の面に設けられた導電層が、導電層19と同様に、はんだ等の接合材7により放熱板2に接合されている。導電層13Bの上に複数個、例えば2個の第1トランジスタ110が実装されている。2個の第1トランジスタ110はX1-X2方向に並んでいる。導電層12Cの上に複数個、例えば4個の第2ダイオード220が実装されている。4個の第2ダイオード220は、2列になってX1-X2方向に2個ずつ並んでいる。
- [0086] ワイヤ411と、ワイヤ412と、ワイヤ413と、ワイヤ414と、ワイヤ415と、ワイヤ418とが設けられている。ワイヤ411は、導電層11Aと導電層11Bとを接続する。ワイヤ412は、導電層12Aと導電層12Bとを接続する。ワイヤ413は、導電層13Aと導電層13Bとを

接続する。ワイヤ414は、導電層14Aと導電層14Bとを接続する。ワイヤ415は、導電層12Aと導電層12Cとを接続する。ワイヤ418は、導電層18Aと導電層18Bとを接続する。

[0087] 導電層11A及び11Bは導電層11の一部である。導電層12A、12B及び12Cは導電層12の一部である。導電層13A及び13Bは導電層13の一部である。導電層14A及び14Bは導電層14の一部である。導電層18A及び18Bは導電層18の一部である。

[0088] 第5絶縁基板20Aは、Z1側の面に導電層21A、22A、23A、24A、25A及び28Aを有し、Z2側の面に導電層（図示せず）を有する。Z2側の面に設けられた導電層が、導電層29と同様に、はんだ等の接合材8により放熱板2に接合されている。導電層23Aの上に複数個、例えば2個の第2トランジスタ210が実装されている。2個の第2トランジスタ210はX1-X2方向に並んでいる。導電層25Aの上に複数個、例えば4個の第1ダイオード120が実装されている。4個の第1ダイオード120は、2列になってX1-X2方向に2個ずつ並んでいる。

[0089] 第6絶縁基板20Bは、Z1側の面に導電層21B、22B、23B、24B、25B及び28Bを有し、Z2側の面に導電層（図示せず）を有する。Z2側の面に設けられた導電層が、導電層29と同様に、はんだ等の接合材8により放熱板2に接合されている。導電層23Bの上に複数個、例えば2個の第2トランジスタ210が実装されている。2個の第2トランジスタ210はX1-X2方向に並んでいる。導電層25Bの上に複数個、例えば4個の第1ダイオード120が実装されている。4個の第1ダイオード120は、2列になってX1-X2方向に2個ずつ並んでいる。

[0090] ワイヤ421と、ワイヤ422と、ワイヤ423と、ワイヤ424と、ワイヤ425と、ワイヤ428とが設けられている。ワイヤ421は、導電層21Aと導電層21Bとを接続する。ワイヤ422は、導電層22Aと導電層22Bとを接続する。ワイヤ423は、導電層23Aと導電層23Bとを接続する。ワイヤ424は、導電層24Aと導電層24Bとを接続する。ワ

イヤ425は、導電層25Aと導電層25Bとを接続する。ワイヤ428は、導電層28Aと導電層28Bとを接続する。

[0091] 導電層21A及び21Bは導電層21の一部である。導電層22A及び22Bは導電層22の一部である。導電層23A及び23Bは導電層23の一部である。導電層24A及び24Bは導電層24の一部である。導電層25A及び25Bは導電層25の一部である。導電層18A及び18Bは導電層18の一部である。

[0092] 他の構成は第1実施形態と同様である。

[0093] 第2実施形態によっても第1実施形態と同様の効果が得られる。また、第2実施形態では、第1絶縁基板10が第3絶縁基板10A及び第4絶縁基板10Bを含むため、第3絶縁基板10A及び第4絶縁基板10Bを放熱板2の第1主面2Aにより密着させやすい。同様に、第2絶縁基板20が第5絶縁基板20A及び第6絶縁基板20Bを含むため、第5絶縁基板20A及び第6絶縁基板20Bを放熱板2の第1主面2Aにより密着させやすい。

[0094] (第3実施形態)

次に、第3実施形態について説明する。図15は、第3実施形態に係る半導体装置を示す上面図である。ただし、図2と同様に、図15では、ケースを透視している。

[0095] 第3実施形態に係る半導体装置は、図15に示すように、第1ダイオード群120A及び第2ダイオード群220Aと、導電層14及び24と、ワイヤ32、42、54、55、74及び75とを有しない。

[0096] 上アーム100は複数の第1トランジスタ110（第1トランジスタ群110A）から構成され、下アーム200は複数の第2トランジスタ210（第2トランジスタ群210A）から構成される。

[0097] 他の構成は第1実施形態と同様である。

[0098] 第1トランジスタ110及び第2トランジスタ210は、いずれもボディダイオードを含んでいる。このため、ボディダイオードに還流電流が流れ得る。第3実施形態によっても第1実施形態と同様の効果が得られる。

[0099] (第4実施形態)

次に、第4実施形態について説明する。図16は、第4実施形態に係る半導体装置を示す上面図である。ただし、図2と同様に、図16では、ケースを透視している。

[0100] 第4実施形態に係る半導体装置では、図16に示すように、第1絶縁基板10は、Z1側の面に導電層11、12、13及び18を有し、導電層14を有しない。第1実施形態と同様に、導電層13の上に複数個、例えば4個の第1トランジスタ110が実装され、導電層12の上に複数個、例えば8個の第2ダイオード220が実装されている。

[0101] 第2絶縁基板20は、Z1側の面に導電層22、24、25、26、27及び523を有し、導電層21、23及び28を有しない。導電層523の上に複数個、例えば8個の第3ダイオード520が実装されている。第3ダイオード520は、例えば第2ダイオード220と同様の構成を備える。8個の第3ダイオード520は、2列になってX1-X2方向に4個ずつ並んでいる。8個の第3ダイオード520から第3ダイオード群520Aが構成される。8個の第3ダイオード520は平面視で矩形状の第3ダイオード集約領域520R内に互いに隣り合って配置されている。つまり、8個の第3ダイオード520は第3ダイオード集約領域520R内に集約されている。第4実施形態において、第3ダイオード520は半導体チップ及び第2ダイオードチップの一例である。

[0102] 第4実施形態に係る半導体装置は、ワイヤ42、71、72、73、81及び85を有しない。ワイヤ54は、8個の第3ダイオード520のうちY1側に配置された4個の第3ダイオード520にそれぞれ設けられたアノード電極と第2絶縁基板20に設けられた導電層22とを接続する。ワイヤ55は、8個の第3ダイオード520のうちY1側に配置された4個の第3ダイオード520にそれぞれ設けられたアノード電極とY2側に配置された4個の第3ダイオード520にそれぞれ設けられたアノード電極とを接続する。

- [0103] 第4実施形態に係る半導体装置は、第2トランジスタ210、第2ダイオード220、第2ゲート端子231及び第2センスソース端子232を有しない。
- [0104] ここで、第4実施形態に係る半導体装置の回路構成について説明する。図17は、第4実施形態に係る半導体装置を示す回路図である。
- [0105] 図17に示すように、第1トランジスタ110の第1ドレイン電極113と第1ダイオード120の第1カソード電極122とがP端子3に共通に接続され、第1ソース電極112と第1アノード電極121とが第1O端子5及び第2O端子6に共通に接続されている。つまり、第1トランジスタ110と第1ダイオード120とが、P端子3と、第1O端子5及び第2O端子6との間に並列に接続されている。また、第3ダイオード520のカソード電極が第1O端子5及び第2O端子6に接続され、アノード電極がN端子4に接続されている。つまり、第3ダイオード520が、N端子4と、第1O端子5及び第2O端子6との間に接続されている。第4実施形態において、上アーム100は、第1実施形態と同様に、第1トランジスタ110（第1トランジスタ群110A）と、第1ダイオード120（第1ダイオード群120A）とを含む。一方、下アーム200は、第3ダイオード520（第3ダイオード群520A）を含むが、第2トランジスタ210（第2トランジスタ群210A）を含まない。第1実施形態と同様に、P端子3とN端子4との間に上アーム100と下アーム200とが直列に接続されている。
- [0106] 第1～第3実施形態に係る半導体装置がインバータとして動作できるのに対し、第4実施形態に係る半導体装置は、コンバータとして機能できる。
- [0107] 第4実施形態によっても、第1実施形態と同様に、複数の第1トランジスタ110のより安定した動作を実現できる。
- [0108] なお、第4実施形態では、第1トランジスタ110に第1ダイオード120が並列に接続されて上アーム100が構成されているが、第1ダイオード120が上アーム100に含まれていなくてもよい。上記のように、第1トランジスタ110はボディダイオードを含んでいる。このため、第1ダイオ

ード120が設けられていない場合でも、ボディダイオードに還流電流が流れ得る。この場合にも、半導体装置はコンバータとして機能できる。

[0109] また、第4実施形態の変形例として、下アーム200に第2トランジスタ210及び第2ダイオード220が含まれ、上アーム100にダイオードが含まれ、上アーム100にトランジスタが含まれない構成となってもよい。更に、下アーム200に第2トランジスタ210が含まれ、下アーム200に第2トランジスタ210が含まれず、上アーム100にダイオードが含まれ、上アーム100にトランジスタが含まれない構成となってもよい。これらの場合にも、半導体装置はコンバータとして機能できる。

[0110] 本開示において、トランジスタはMOS型FETに限定されず、トランジスタが絶縁ゲート型バイポーラトランジスタ（insulated gate bipolar transistor：IGBT）であってもよい。トランジスタがIGBTの場合、エミッタ電極が第1電極の一例である。

[0111] 以上、実施形態について詳述したが、特定の実施形態に限定されるものではなく、請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

符号の説明

- [0112] 1：半導体装置
2：放熱板
2A：第1主面
2B：第2主面
3：P端子
4：N端子
5：第1O端子
6：第2O端子
7、8：接合材
9：ケース
10：第1絶縁基板

- 10A : 第3絶縁基板
- 10B : 第4絶縁基板
- 11、11A、11B、12A、12B、12C、13、13A、13B、14、14A、14B、18、18A、18B、19 : 導電層
- 12 : 導電層 (第1導電パターン)
- 20 : 第2絶縁基板
- 20A : 第5絶縁基板
- 20B : 第6絶縁基板
- 21、21A、21B、22A、22B、23、23A、23B、24、24A、24B、25、25A、25B、26、27、28、28A、28B、29 : 導電層
- 22 : 導電層 (第2導電パターン)
- 31、32 : ワイヤ
- 41、42 : ワイヤ
- 51、52、53、54、55 : ワイヤ
- 61、62、63、64、65 : ワイヤ
- 71、72、73、74、75 : ワイヤ
- 81、82、83、85、86、87 : ワイヤ
- 91、92 : 側壁部
- 93、94 : 端壁部
- 95、96 : 端子台
- 100 : 上アーム
- 110 : 第1トランジスタ (第1トランジスタチップ)
- 110A : 第1トランジスタ群
- 110R : 第1トランジスタ集約領域
- 111 : 第1ゲート電極
- 112 : 第1ソース電極
- 113 : 第1ドレイン電極

- 1 2 0 : 第 1 ダイオード (第 3 ダイオードチップ)
- 1 2 0 A : 第 1 ダイオード群
- 1 2 0 R : 第 1 ダイオード集約領域
- 1 2 1 : 第 1 アノード電極
- 1 2 2 : 第 1 カソード電極
- 1 3 1 : 第 1 ゲート端子
- 1 3 2 : 第 1 センスソース端子
- 1 3 3 : センストレイン端子
- 2 0 0 : 下アーム
- 2 1 0 : 第 2 トランジスタ (第 2 トランジスタチップ)
- 2 1 0 A : 第 2 トランジスタ群
- 2 1 0 R : 第 2 トランジスタ集約領域
- 2 1 1 : 第 2 ゲート電極
- 2 1 2 : 第 2 ソース電極
- 2 1 3 : 第 2 ドレイン電極
- 2 2 0 : 第 2 ダイオード (第 1 ダイオードチップ)
- 2 2 0 A : 第 2 ダイオード群
- 2 2 0 R : 第 2 ダイオード集約領域
- 2 2 1 : 第 2 アノード電極
- 2 2 2 : 第 2 カソード電極
- 2 3 1 : 第 2 ゲート端子
- 2 3 2 : 第 2 センスソース端子
- 3 3 0 : サーミスタ
- 3 3 1 : 第 1 サーミスタ端子
- 3 3 2 : 第 2 サーミスタ端子
- 4 1 1、4 1 2、4 1 3、4 1 4、4 1 5、4 1 8 : ワイヤ
- 4 2 1、4 2 2、4 2 3、4 2 4、4 2 5、4 2 8 : ワイヤ
- 5 2 0 : 第 3 ダイオード (第 2 ダイオードチップ)

520A : 第3ダイオード群

520R : 第3ダイオード集約領域

523 : 導電層

11、12、13、14 : 電流

請求の範囲

- [請求項1] 第1絶縁基板と、
第2絶縁基板と、
第1アームと、
前記第1アームに接続された第2アームと、
前記第1絶縁基板の上に設けられた第1導電パターンと、
を有し、
前記第1アームは、前記第1絶縁基板に設けられた複数の第1トランジスタチップを有し、
前記第2アームは、前記第2絶縁基板に設けられた半導体チップを有し、
前記複数の第1トランジスタチップは、前記第1絶縁基板の上に互いに隣り合って配置され、
前記複数の第1トランジスタの第1電極は、前記第1導電パターンに直接的に接続され、
前記第1電極は、ソース電極又はエミッタ電極である半導体装置。
- [請求項2] 前記複数の第1トランジスタチップは、矩形状の第1領域内に集約されている請求項1に記載の半導体装置。
- [請求項3] 前記複数の第1トランジスタチップは、第1方向に並んで配置されている請求項1または請求項2に記載の半導体装置。
- [請求項4] 前記半導体チップは、第2トランジスタチップを有する請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項5] 前記第2絶縁基板の上に設けられた第2導電パターンを有し、
前記半導体チップは、複数の第2トランジスタチップを有し、
前記複数の第2トランジスタチップは、前記第2絶縁基板の上に互いに隣り合って配置され、
前記複数の第2トランジスタの第2電極は、前記第2導電パターンに直接的に接続され、

前記第2電極は、ソース電極又はエミッタ電極である請求項1から請求項3のいずれか1項に記載の半導体装置。

[請求項6] 前記複数の第2トランジスタチップは、矩形状の第2領域内に集約されている請求項5に記載の半導体装置。

[請求項7] 前記複数の第2トランジスタチップは、第2方向に並んで配置されている請求項5または請求項6に記載の半導体装置。

[請求項8] 前記第2アームは、前記第2トランジスタチップに並列に接続された第1ダイオードチップを有し、

前記第1ダイオードチップは、前記第1絶縁基板に設けられている請求項4から請求項7のいずれか1項に記載の半導体装置。

[請求項9] 前記第1ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードである請求項8に記載の半導体装置。

[請求項10] 前記第2トランジスタチップは、炭化珪素を用いて構成された電界効果トランジスタである請求項4から請求項9のいずれか1項に記載の半導体装置。

[請求項11] 前記複数の第2トランジスタの第2制御電極に接続された第2制御端子を有し、

前記第2制御端子は、前記第1絶縁基板よりも前記第2絶縁基板に近く配置されている請求項4から10のいずれか1項に記載の半導体装置。

[請求項12] 前記半導体チップは、第2ダイオードチップを有する請求項1から請求項3のいずれか1項に記載の半導体装置。

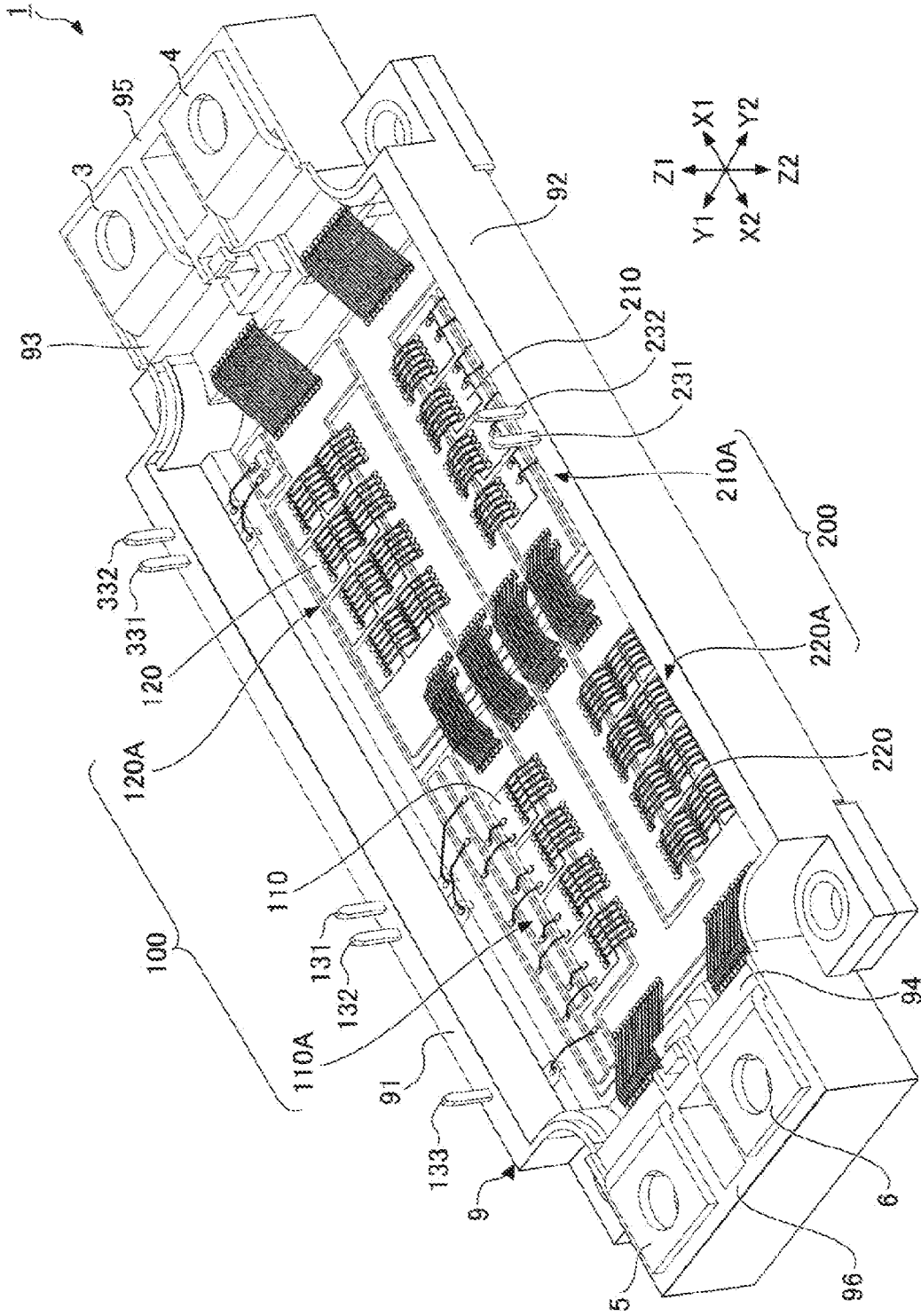
[請求項13] 前記第2ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードである請求項12に記載の半導体装置。

[請求項14] 前記第1アームは、前記第1トランジスタチップに並列に接続された第3ダイオードチップを有し、

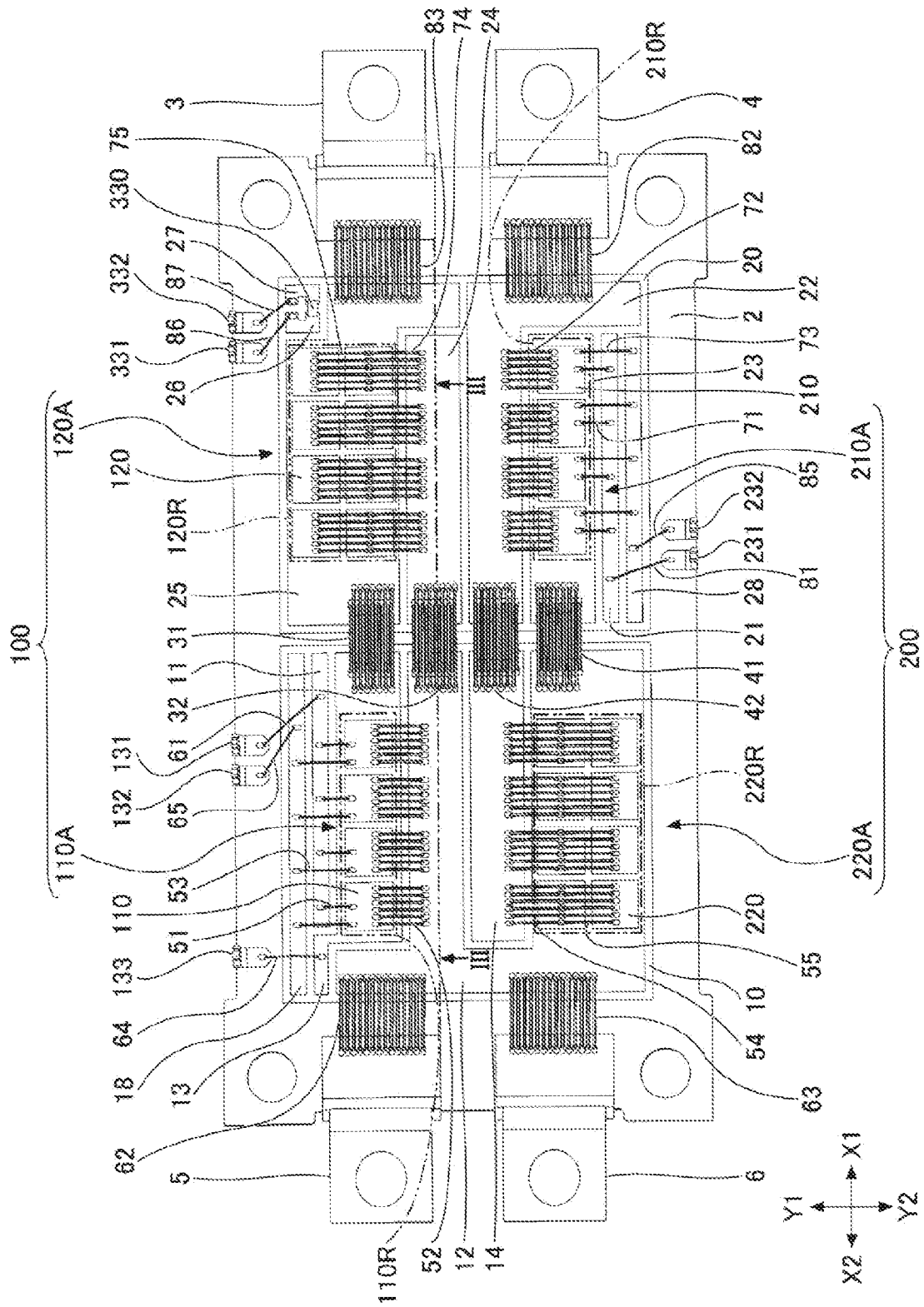
前記第3ダイオードチップは、前記第2絶縁基板に設けられている請求項1から請求項13のいずれか1項に記載の半導体装置。

- [請求項15] 前記第3ダイオードチップは、炭化珪素を用いて構成されたショットキーバリアダイオードである請求項14に記載の半導体装置。
- [請求項16] 前記複数の第1トランジスタの第1制御電極に接続された第1制御端子を有し、
前記第1制御端子は、前記第2絶縁基板よりも前記第1絶縁基板に近く配置されている請求項1から15のいずれか1項に記載の半導体装置。
- [請求項17] 前記第1トランジスタチップは、炭化珪素を用いて構成された電界効果トランジスタである請求項1から請求項16のいずれか1項に記載の半導体装置。
- [請求項18] 第1主面と、前記第1主面とは反対側の第2主面とを備えた放熱板を有し、
前記第1主面に前記第1絶縁基板及び前記第2絶縁基板が搭載されている請求項1から請求項17のいずれか1項に記載の半導体装置。
- [請求項19] 前記第2主面が凸状に湾曲している請求項18に記載の半導体装置。

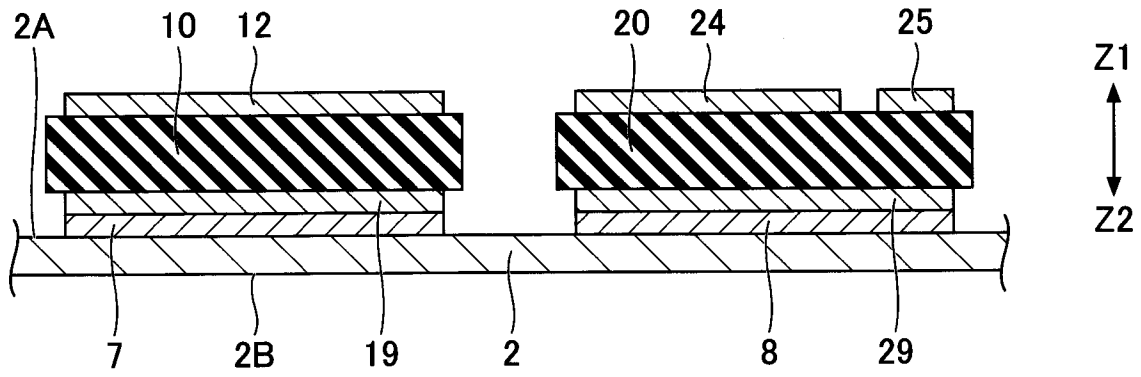
[図1]



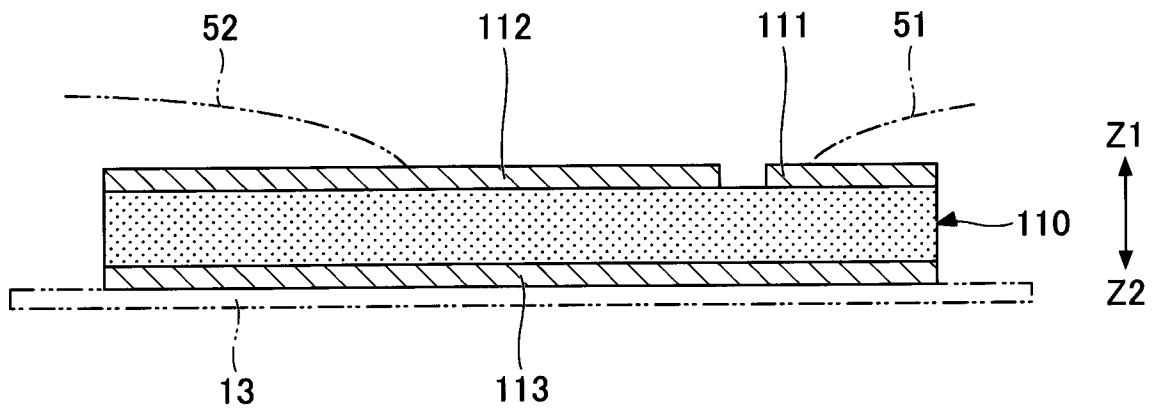
[図2]



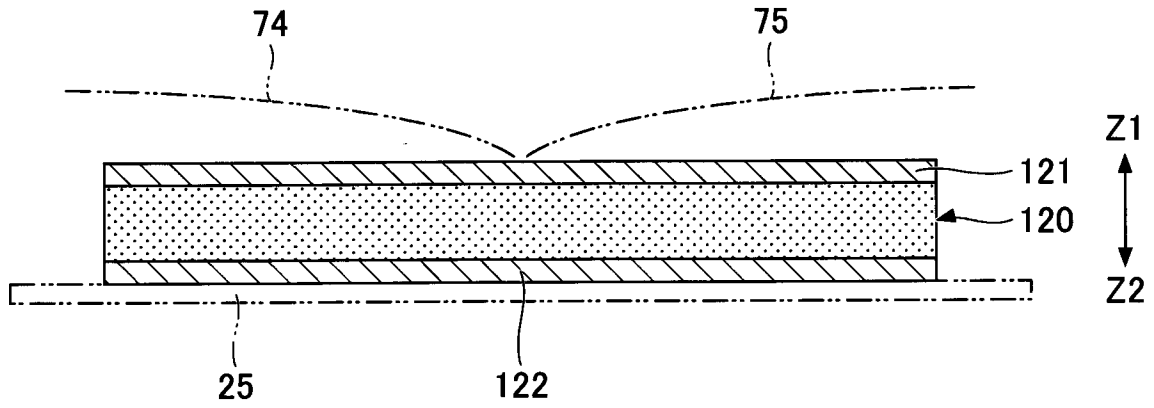
[図3]



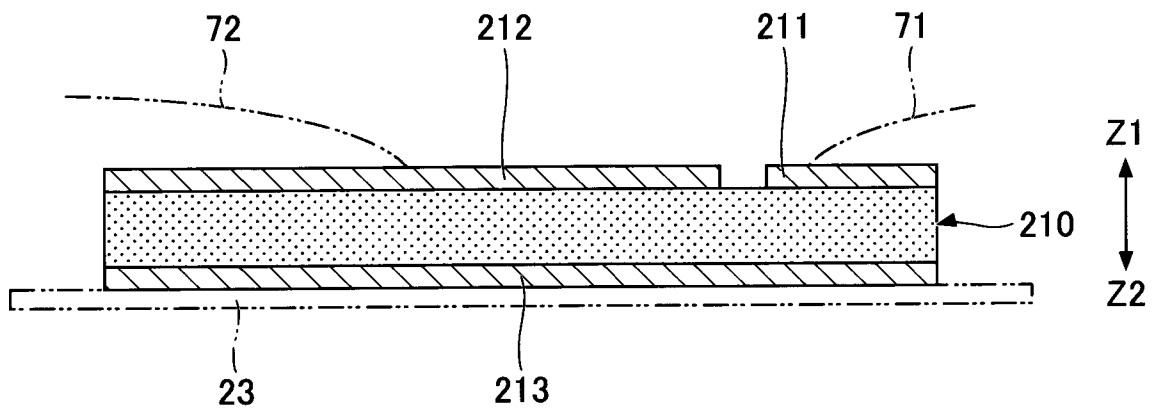
[図4]



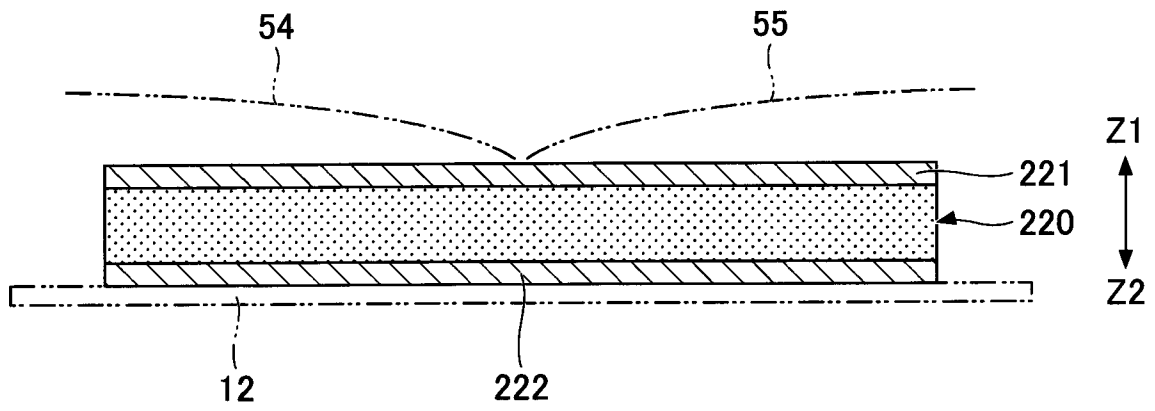
[図5]



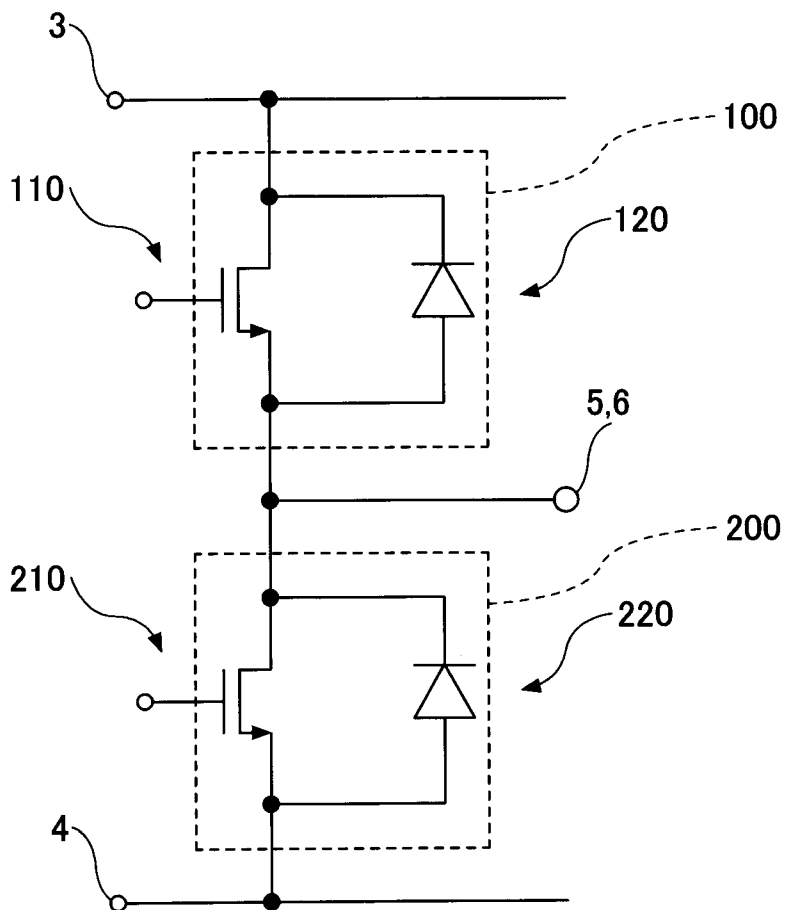
[図6]



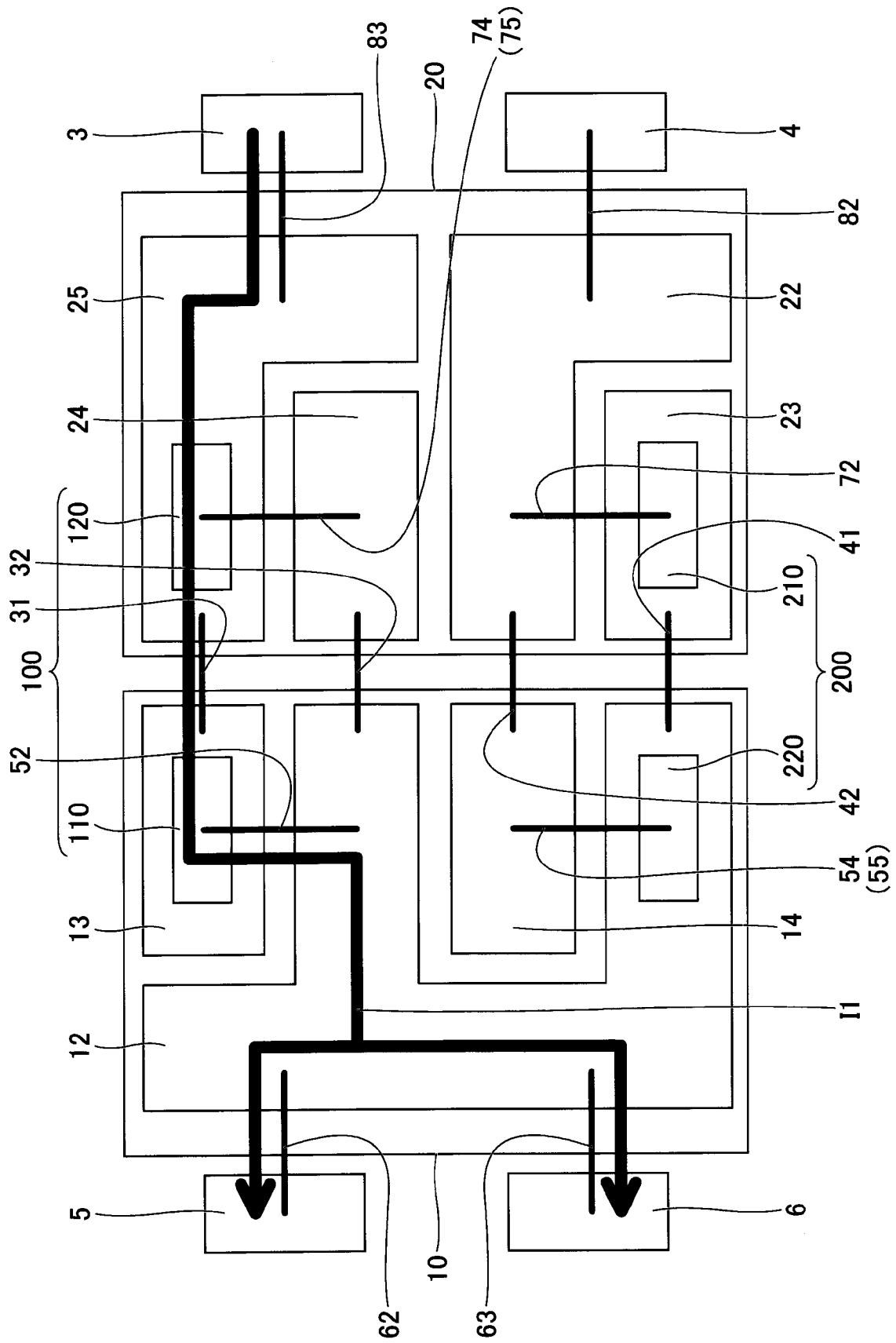
[図7]



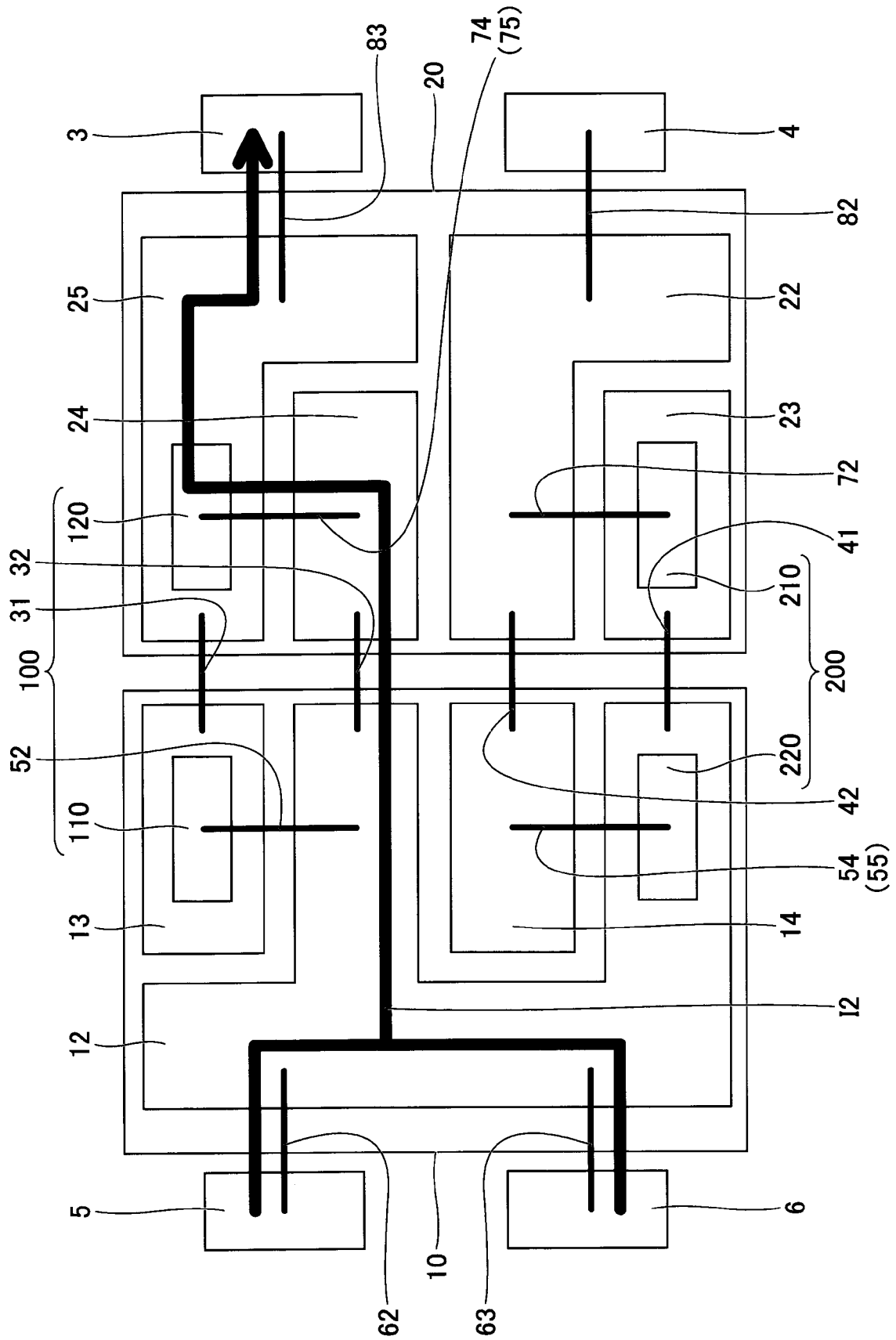
[図8]



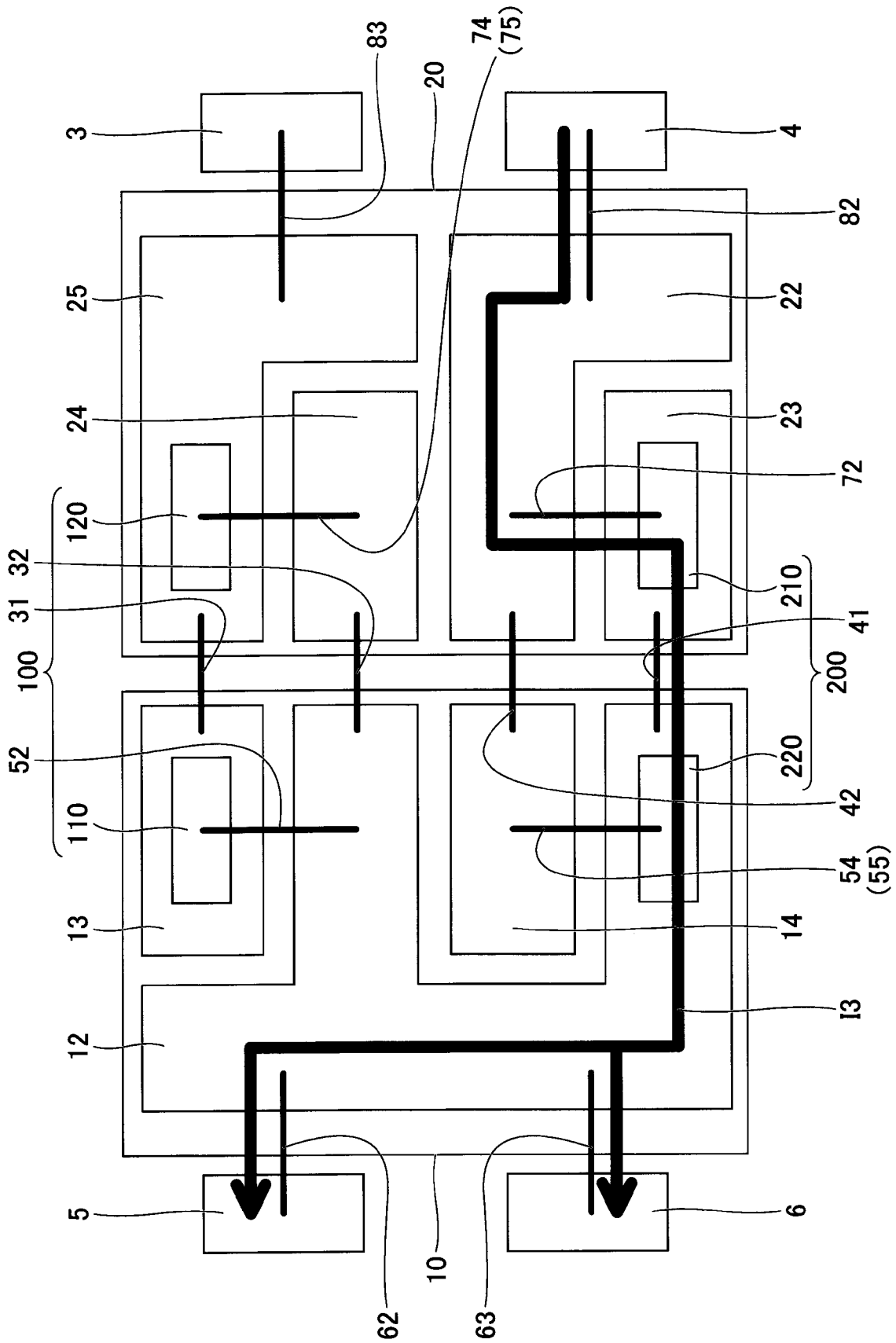
[図9]



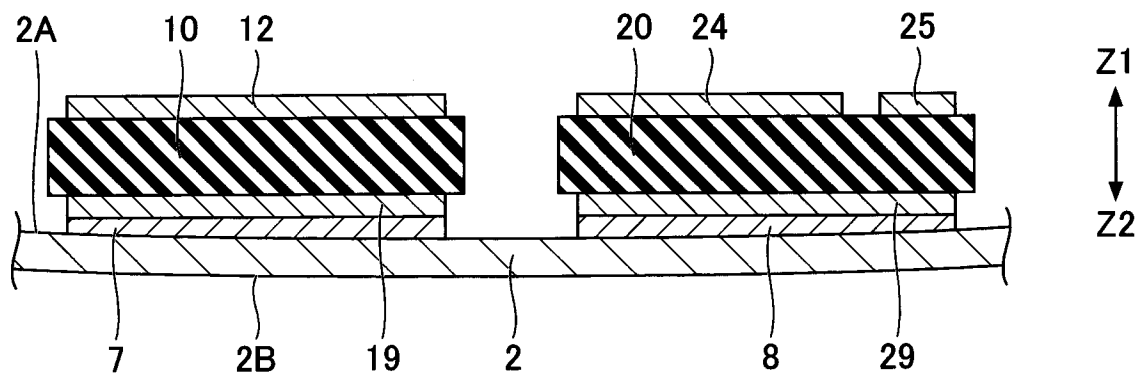
[図10]



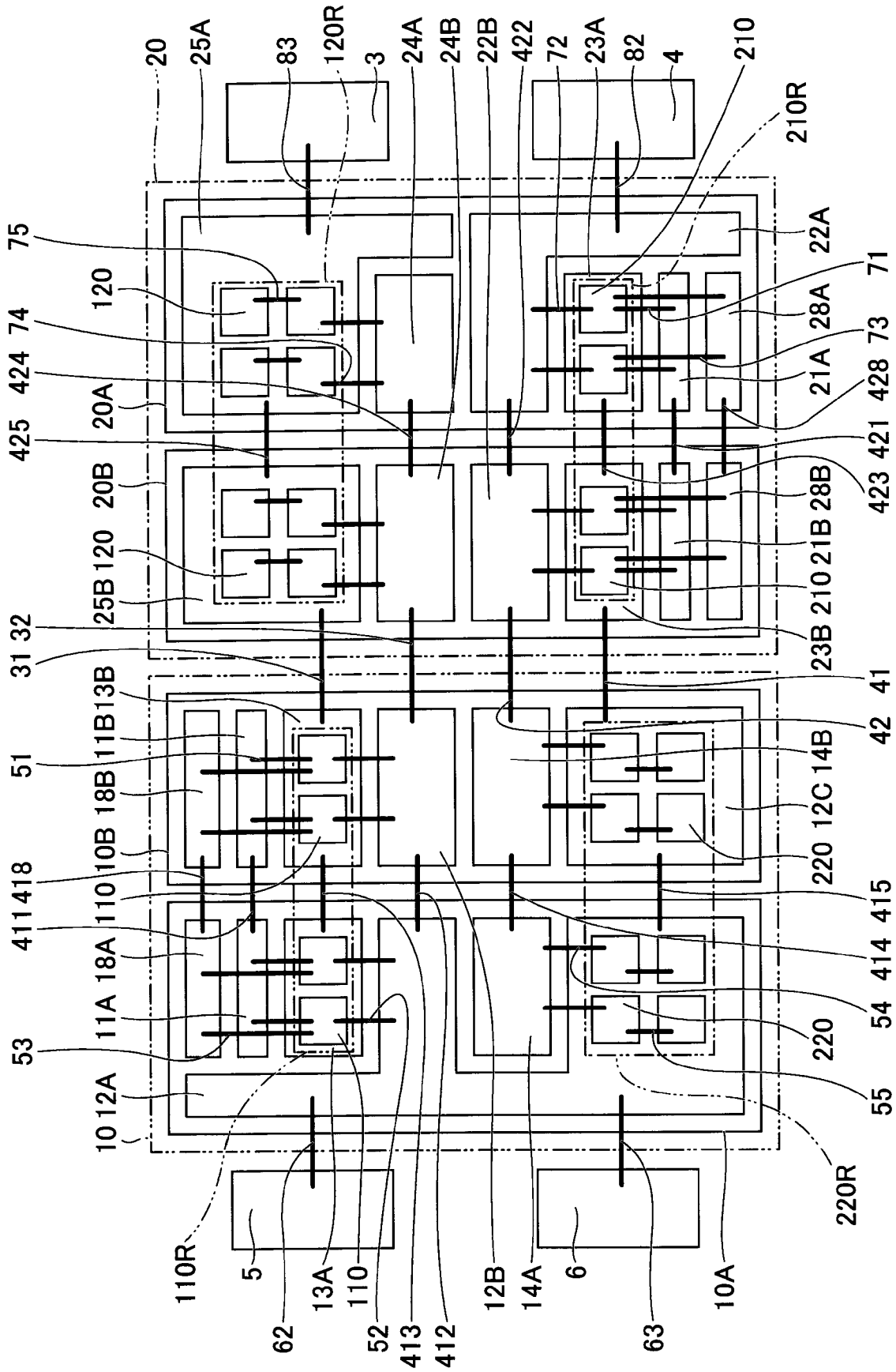
[図11]



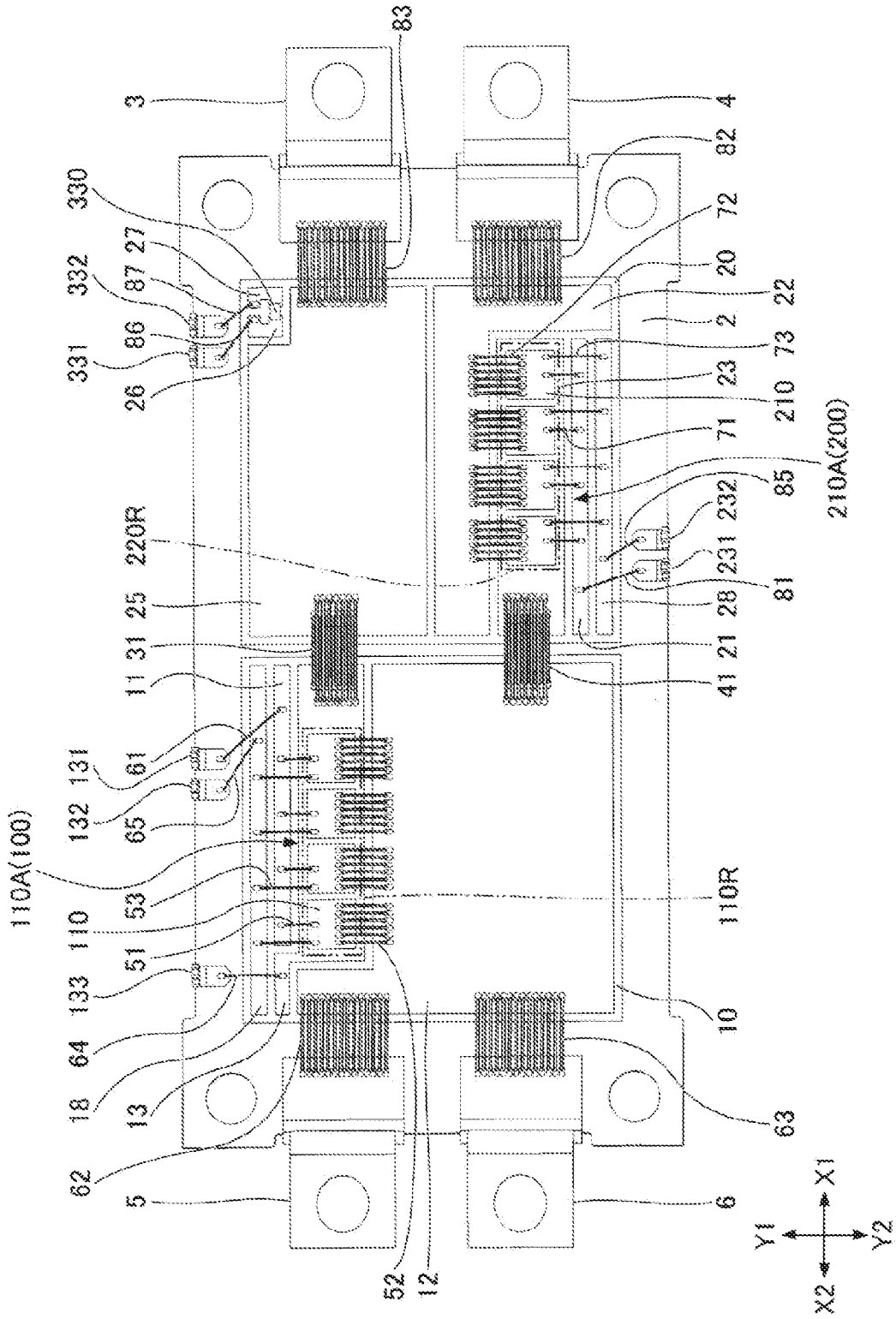
[図13]



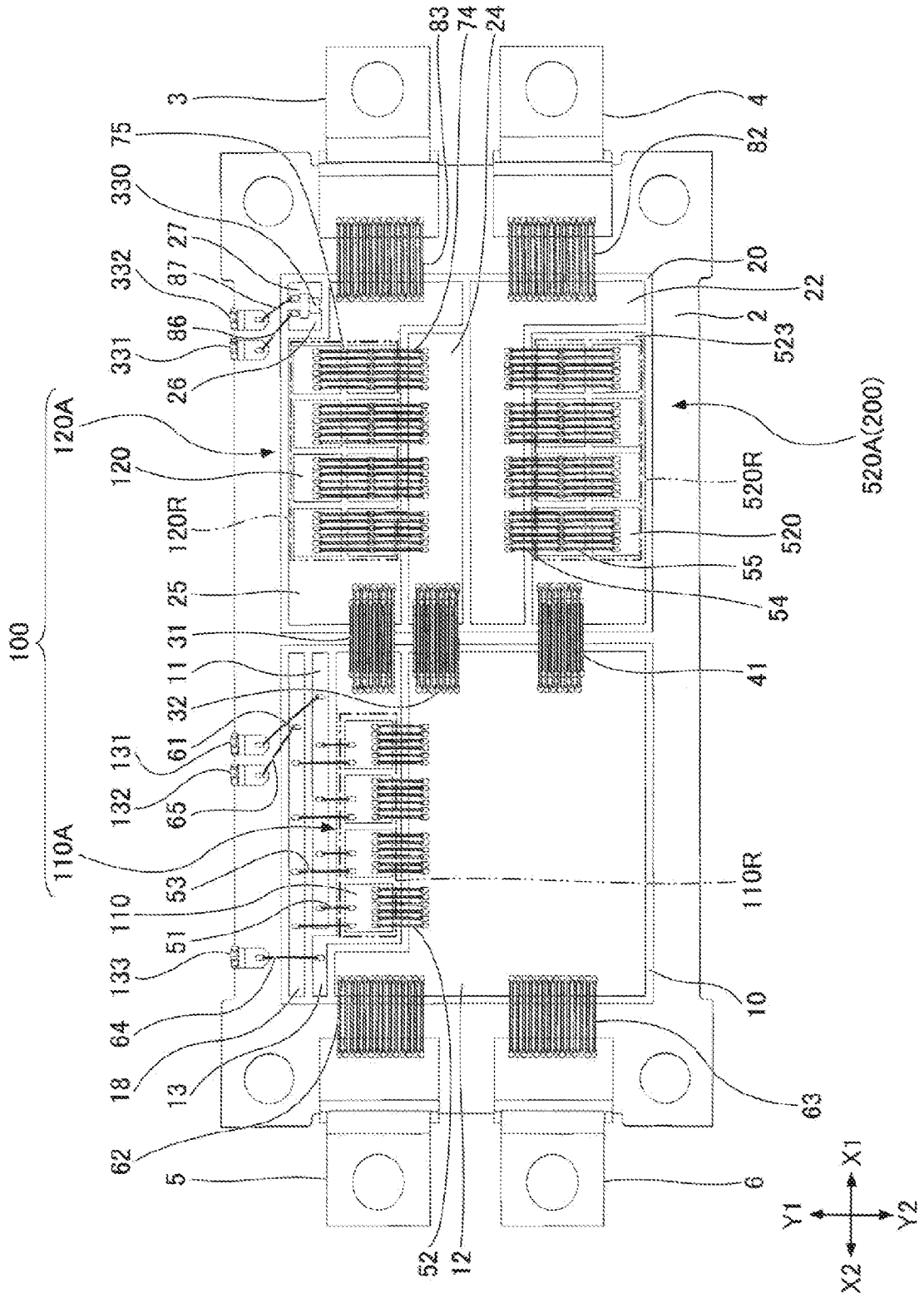
[図14]



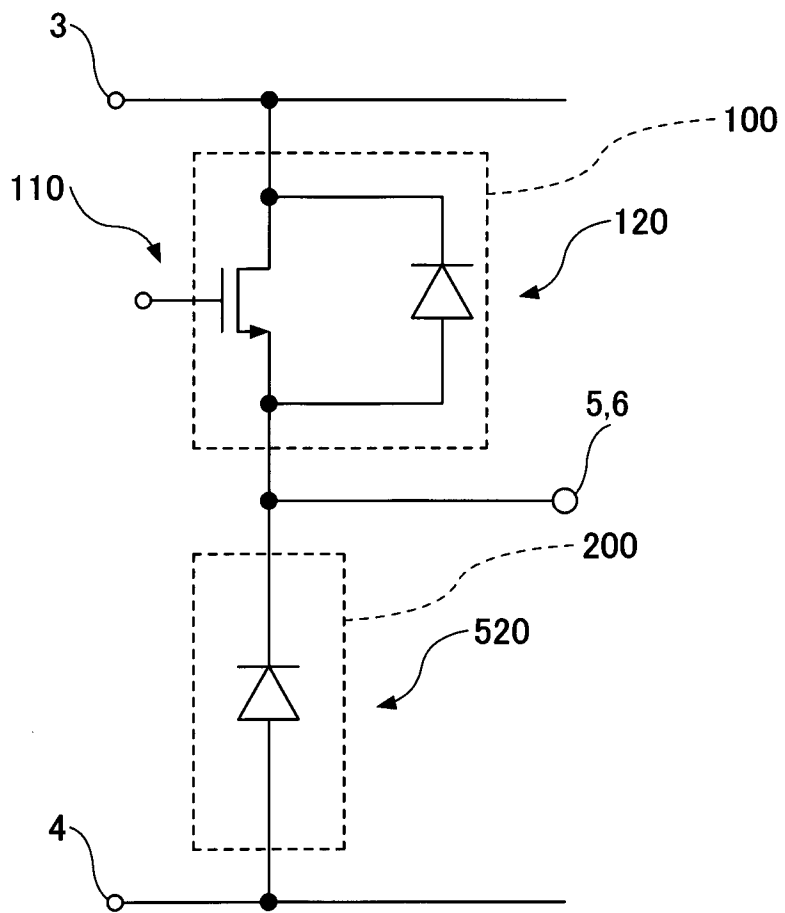
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/017074

A. CLASSIFICATION OF SUBJECT MATTER H01L 25/07(2006.01)i; H01L 21/60(2006.01)i; H01L 23/36(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C; H01L21/60 301A; H01L23/36 Z According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L25/07; H01L21/60; H01L23/36; H01L25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A A A A A	WO 2013/002249 A1 (ROHM CO., LTD.) 03 January 2013 (2013-01-03) paragraphs [0031]-[0114], [0132]-[0154], fig. 5, 8, 9, 13, 14, 16, 17 WO 2015/136603 A1 (HITACHI, LTD.) 17 September 2015 (2015-09-17) entire text, all drawings JP 2013-118336 A (ROHM CO., LTD.) 13 June 2013 (2013-06-13) entire text, all drawings JP 2018-532275 A (ABB SCHWEIZ AG) 01 November 2018 (2018-11-01) entire text, all drawings US 2017/0125322 A1 (IXYS CORP.) 04 May 2017 (2017-05-04) entire text, all drawings	1-7, 10-13, 16-19 8, 9, 14, 15 1-19 1-19 1-19 1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 27 July 2021 (27.07.2021)		Date of mailing of the international search report 03 August 2021 (03.08.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/017074

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-154079 A (SEMIKRON ELEKTRONIK GMBH & CO., KG) 24 August 2015 (2015-08-24) entire text, all drawings	1-19
A	JP 2007-88045 A (DOWA HOLDINGS CO., LTD.) 05 April 2007 (2007-04-05) entire text, all drawings	1-19
E, X	JP 6875588 B1 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 26 May 2021 (2021-05-26) entire text, all drawings	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/017074

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2013/002249 A1	03 Jan. 2013	US 2014/0124915 A1 paragraphs [0031]- [0188], [0212]- [0243], fig. 5, 8, 9, 13, 14, 16, 17 EP 2725609 A1 (Family: none)	
WO 2015/136603 A1	17 Sep. 2015	(Family: none)	
JP 2013-118336 A	13 Jun. 2013	(Family: none)	
JP 2018-532275 A	01 Nov. 2018	US 2018/0247923 A1 entire text, all drawings WO 2017/071976 A1 EP 3178110 A1 CN 108475668 A	
US 2017/0125322 A1	04 May 2017	US 9443792 B1	
JP 2015-154079 A	24 Aug. 2015	US 2015/0237727 A1 entire text, all drawings DE 102014102018 B3 CN 204516758 U CN 104851879 A KR 10-2015-0097420 A	
JP 2007-88045 A	05 Apr. 2007	(Family: none)	
JP 6875588 B1	26 May 2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/07(2006.01)i; H01L 21/60(2006.01)i; H01L 23/36(2006.01)i; H01L 25/18(2006.01)i FI: H01L25/04 C; H01L21/60 301A; H01L23/36 Z		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/07; H01L21/60; H01L23/36; H01L25/18 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2013/002249 A1 (ローム株式会社) 03.01.2013 (2013 - 01 - 03) 段落[0031]-[0114], [0132]-[0154], 図5, 8, 9, 13, 14, 16, 17	1-7, 10-13, 16-19 8, 9, 14, 15
A	WO 2015/136603 A1 (株式会社日立製作所) 17.09.2015 (2015 - 09 - 17) 全文、全図	1-19
A	JP 2013-118336 A (ローム株式会社) 13.06.2013 (2013 - 06 - 13) 全文、全図	1-19
A	JP 2018-532275 A (アーベーバー・シュバイツ・アーゲー) 01.11.2018 (2018 - 11 - 01) 全文、全図	1-19
A	US 2017/0125322 A1 (IXYS CORP) 04.05.2017 (2017 - 05 - 04) 全文、全図	1-19
A	JP 2015-154079 A (ゼミクロン エレクトロニク ゲーエムペーハー ウント コンパ ニー カーゲー) 24.08.2015 (2015 - 08 - 24) 全文、全図	1-19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 27.07.2021	国際調査報告の発送日 03.08.2021	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 正山 旭 5F 9276 電話番号 03-3581-1101 内線 3516	

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-88045 A (DOWAホールディングス株式会社) 05.04.2007 (2007 - 04 - 05) 全文、全図	1-19
E, X	JP 6875588 B1 (住友電気工業株式会社) 26.05.2021 (2021 - 05 - 26) 全文、全図	1-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/017074

引用文献			公表日	パテントファミリー文献	公表日
WO	2013/002249	A1	03.01.2013	US 2014/0124915 A1 段落[0031]-[0188], [0212]- [0243], 図5, 8, 9, 13, 14, 16, 17 EP 2725609 A1	
WO	2015/136603	A1	17.09.2015	(ファミリーなし)	
JP	2013-118336	A	13.06.2013	(ファミリーなし)	
JP	2018-532275	A	01.11.2018	US 2018/0247923 A1 全文、全図 WO 2017/071976 A1 EP 3178110 A1 CN 108475668 A	
US	2017/0125322	A1	04.05.2017	US 9443792 B1	
JP	2015-154079	A	24.08.2015	US 2015/0237727 A1 全文、全図 DE 102014102018 B3 CN 204516758 U CN 104851879 A KR 10-2015-0097420 A	
JP	2007-88045	A	05.04.2007	(ファミリーなし)	
JP	6875588	B1	26.05.2021	(ファミリーなし)	