(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/20

(45) 공고일자 2003년03월29일
(11) 등록번호 10-0378186
(24) 등록일자 2003년03월18일

(21) 출원번호 10-2000-0061548
(22) 출원일자 2000년10월19일

(65) 공개번호 특2002-0030569
(43) 공개일자 2002년04월25일

(73) 특허권자 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 김영관
경기도수원시팔달구영통동965-2신나무실신원아파트645동803호
김동찬
서울특별시동작구본동신동아아파트3동901호
이승환
서울특별시영등포구여의도동은하아파트B동1207호
박영욱
경기도수원시장안구정자1동백설마을성지아파트541동706호

(74) 대리인 이영필
정상빈
이래호

심사관 : 김종찬

(54) 원자층 증착법으로 형성된 박막이 채용된 반도체 소자 및그 제조방법

요약

본 발명의 반도체 소자는 트랜치 내벽 및 바닥에 형성되는 라이너막, 게이트 라인 역할을 하는 게이트 스택 패턴들의 양측벽에 형성되는 게이트 스페이서, 상기 게이트 스페이서 및 게이트 스택 패턴들 상에 형성되는 제1 버블방지막, 비트라인 역할을 하는 비트라인 스택 패턴들의 양측벽에 형성된 비트라인 스페이서, 및 상기 비트 라인 스페이서 및 게이트 스택 패턴들 상에 형성되는 제2 버블방지막 중에서 적어도 어는 하나는 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막, 또는 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성되어 있다. 이렇게 구성할 경우, 트랜치의 내부나, 게이트 스택 패턴들 또는 비트 라인 스택 패턴들 사이를 보이드 없이 매립할 수 있다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 저압 화학 기상 증착법을 채용하는 박막 형성 장치를 도시한 개략도이다.

도 2는 본 발명에 따라 원자층 증착법으로 박막을 형성할 수 있는 박막 형성 장치를 도시한 개략도이다.

도 3은 본 발명의 반도체 소자에 채용된 박막을 원자층 증착법으로 형성하는 과정을 도시한 흐름도이다.

도 4는 본 발명의 반도체 소자의 채용된 박막을 원자층 증착법으로 형성시 반응물의 공급을 도시한 타이밍 다이아그램이다.

도 5는 도 2 내지 도 4의 원자층 증착법에 의하여 형성된 박막을 채용하기 위한 본 발명의 반도체 소자의 레이아웃도이다.

도 6 및 도 7은 각각 도 5의 A-A 및 B-B에 따라 원자층 증착법에 의하여 형성된 박막을 채용한 반도체 소자의 단면도이다.

도 8a 내지 도 11a, 및 도 8b 내지 도 11b는 각각 도 5의 A-A 및 B-B에 따른 반도체 소자의 제조 과정을 설명하기 위하여 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 원자층 증착법을 이용하여 형성된 박막을 채용한 반도체 소자 및 그 제조방법에 관한 것이다.

반도체 소자가 고집적화됨에 따라 반도체 소자를 제조하는 것이 매우 어려워지고 있다. 특히, 반도체 소자의 제조에 이용되는 박막, 예컨대 실리콘 산화막이나 실리콘 질화막을 저온에서 우수한 스텝 커버리지를 갖게 형성하여야 한다. 이러한 요구에 부응하기 위하여 종래에는 저압 화학 기상 증착법(low pressure chemical vapor deposition)을 이용하여 박막을 형성한다.

도 1은 종래의 저압 화학 기상 증착법을 채용하는 박막 형성 장치를 도시한 개략도이다.

구체적으로, 종래의 저압 화학 기상 증착법을 채용하는 박막 형성 장치는 내부 튜브(1) 내에 복수개의 웨이퍼(반도체 기판, 2)가 탑재된 보트(3)와 상기 보트를 지지하는 보트 지지대(9)가 위치한다. 상기 내부 튜브(1)의 외부에는 외부 튜브(5)가 위치하고 있고, 상기 외부 튜브(5)의 외부에는 히터(7)가 위치한다. 상기 내부 튜브(1) 및 외부 튜브(5)의 내부는 내부 튜브(1)의 좌측 하부에 연결된 진공 펌프(도시 안함)에 의하여 낮은 압력의 진공을 유지할 수 있다. 반응 가스는 내부 튜브(1)의 좌측 하부쪽에서 유입되어 500 800℃의 온도와 수 토르의 압력에서 웨이퍼(2) 상에 박막이 형성된 후 미반응되는 반응 가스는 진공 배기에 의하여 내부 튜브(1)의 우측 하부쪽으로 배출된다. 도 1에서, 참조번호 11은 보트를 상하로 이동시킬수 있는 엘리베이터를 나타내며, 참조번호 13 및 15는 각각 진공 매니폴드(vacuum manifold), 가스 매니폴드(gas manifold)를 나타낸다. 참조번호 17은 진공 플랜지를 나타낸다.

그런데, 상기 저압 화학 기상 증착법을 채용한 박막 형성 장치는 반응 온도가 높고, 배치 형태(batch type)로 복수개의 웨이퍼 상에 박막을 형성하기 때문에 웨이퍼가 받는 열 이력(thermal budget)이 높은 단점이 있다.

또한, 반도체 소자의 제조시에 실리콘 산화막과 실리콘 질화막의 연속 공정을 많이 채용한다. 그런데, 종래의 저압 화학 기상 증착법을 채용한 박막 형성 장치는 실리콘 산화막 형성 공정과 실리콘 질화막 형성공정을 따로 따로 진행해야 하기 때문에 진공 브레이크(vacuum break)를 갖고 박막을 형성해야 한다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 진공 브레이크가 없고 낮은 열 이력을 갖는 원자층 증착법으로 형성된 박막을 채용한 반도체 소자를 제공하는 데 있다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 진공 브레이크 없고 낮은 열 이력을 갖는 원자층 증착법으로 형성된 박막을 채용한 반도체 소자의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자는 반도체 기판에 트랜치가 형성되어 있고, 상기 트랜치 내벽 및 바닥에 라이너막이 형성되어 있다. 상기 트랜치에는 매몰 절연막이 형성되어 있고, 상기 트랜치 및 매몰 절연막이 형성된 반도체 기판 상에는 게이트 라인 역할을 하는 게이트 스택 패턴들과 그 양측벽에 게이트 스페이서가 형성되어 있다. 상기 게이트 스페이서 및 게이트 스택 패턴들 상에는 제1 버블방지막이 형성되어 있고, 상기 게이트 스페이서 상의 게이트 스택 패턴들 사이를 매립하는 제1 매립 절연막이 형성되어 있다. 상기 제1 매립 절연막 상에는 비트 라인 역할을 하는 비트라인 스택 패턴들과 그 양측벽에 비트라인 스페이서가 형성되어 있다. 상기 비트 라인 스페이서 및 비트라인 스택 패턴들 상에는 제2 버블방지막이 형성되어 있고, 상기 제2 버블방지막 상의 비트라인 스택 패턴들 사이를 보이드 없이 매립된 제2 매립 절연막이 형성되어 있다.

상기 라이너막, 게이트 스페이서, 제1 버블 방지막, 비트 라인 스페이서 및제2 버블 방지막 중에서 적어도 어는 하나는 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막, 또는 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성되어 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자의 제조방법은 반도체 기판에 일정 깊이로 트랜치를 형성한 후, 상기 트랜치 내벽 및 바닥 상에 라이너막을 형성한다. 이어서, 상기 트랜치를 보이드 없이 매몰하는 매몰 절연막을 형성한 후, 상기 트랜치 및 매몰 절연막이 형성된 반도체 기판 상에 게이트 스택 패턴들을 형성한다. 다음에, 상기 게이트 스택 패턴들의 양측벽에 게이트 스페이서를 형성한 후, 상기 게이트 스페이서 상에 제1 버블방지막을 형성한다. 상기 제1 버블방지막 상의 상기 게이트 스택 패턴들의 사이를 보이드 없이 제1 매립 절연막으로 매립한 후 상기 제1 매립 절연막 상에 비트라인 스택 패턴들을 형성한다. 상기 비트 라인 스택 패턴들의 양측벽에 비트라인 스페이서를 형성한 후 상기 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 제2 버블방지막을 형성한다. 상기 제2 버블방지막 상의 비트 라인 스택 패턴들의 사이를 보이드 없이 제2 매립 절연막으로 매립한다.

상기 라이너막, 게이트 스페이서, 제1 버블 방지막, 비트 라인 스페이서 및제2 버블 방지막 중에서 적어도 어는 하나는 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막, 또는 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성한다.

이와 같이 다중막으로 형성된 각 구성 요소들은 다양한 효과를 발휘한다. 예컨대, 상기 라이너막, 제1 버블 방지막, 제2 버블 방지막은 매몰 절연막, 제1 매립 절연막, 제2 매립 절연막을 보이드 없이 매립할 수 있게 해준다. 그리고, 상기 게이트 스페이서 및 비트 라인 스페이서는 스텝 커버리지가 좋아 스페이서 형성을 위한 식각시 스페이서 형성용 물질막과 하부 막질, 예컨대 반도체 기판이나 제1 매립 절연막과의 식각 선택비를 안정되게 가져 갈 수 있다. 이에 따라, 스페이서용 물질막의 두께를 낮출 수 있어 로딩 커패시턴스(loading capacitance)를 감소시킬 수 있다. 상기 라이너막, 게이트 스페이서, 제1 버블 방지막, 비트 라인 스페이서 및제2 버블 방지막은 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

도 2는 본 발명에 따라 원자층 증착법으로 박막을 형성할 수 있는 박막 형성 장치를 도시한 개략도이다.

구체적으로, 원자층 증착법을 채용한 박막 형성 장치는 외부의 히터(도시 안함)에 의하여 가열될 수 있는 반응 챔버(21)와, 반도체 기판(25), 예컨대 실리콘 기판이 놓이도록 상기 반응 챔버(21)의 바닥에 설치된 서셉터(susceptor; 23)와, 반응 가스들이 상기 반응 챔버(21) 내부로 주입되도록 상기 서셉터(23) 상부에 설치된 샤워 헤드(shower head; 27)와, 상기 반응 챔버(21) 내부의 압력을 조절하기 위하여 상기 반응 챔버(21)와 연결된 진공펌프(29)를 구비한다.

상기 샤워 헤드(27)는 서로 분리된 2개의 가스주입관(gas inlet; A 및 B)이 연결되어 있다. 그리고, 샤워 헤드(27)에는 제1 반응물, 불활성 가스, 제2 반응물, 제3 반응물이 주입된다. 상기 제1 반응물은 사일렌(SiH_4)이 들어있는 버블러(도시 안함)에 캐리어 가스를 주입하여 얻어지는 사일렌 가스이며, 상기 불활성 가스는 질소 가스나 아르곤 가스이며, 제2 반응물은 물이 들어있는 버블러(도시 안함)에 캐리어 가스를 주입하여 얻어지는 수증기이며, 제3 반응물은 암모니아(NH_3)가 들어있는 버블러(도시 안함)에 캐리어 가스를 주입하여 얻어지는 암모니아 가스이다.

그리고, 제1 반응물은 상기 가스주입관(A)을 통하여 반응 챔버(21) 내부로 주입되고, 제2 반응물 및 제3 반응물도 상기 가스주입관(B)을 통하여 반응 챔버(21) 내부로 주입된다. 상기 제1 반응물과, 제2 반응물 및 제3 반응물의 가스관을 다르게 한 것은 하나의 가스관(A 또는 B) 내에서 반응하는 것을 억제시키기 위함이다. 상기 제1 반응물 및 상기 불활성 가스는 각각 제1 밸브(V1) 및 제2 밸브(V2)에 의하여 반응 챔버(21) 내부로의 주입이 제어되고, 상기 제2 반응물 및 제3 반응물은 각각 제3 밸브(V3), 제4 밸브(V4)에 의하여 상기 반응 챔버(11) 내부로의 주입이 제어된다.

도 3은 본 발명의 반도체 소자에 채용된 박막을 원자층 증착법으로 형성하는 과정을 도시한 흐름도이고, 도 4는 본 발명의 반도체 소자의 채용된 박막을 원자층 증착법으로 형성시 반응물의 공급을 도시한 타이밍 다이아그램이다.

구체적으로, 반도체 기판, 예컨대 실리콘 기판이 로딩된 반응 챔버를 공정 온도(실리콘 산화막의 형성시에는 350℃, 실리콘 질화막의 형성시에는 450℃)에서 제1 반응물인 사일렌 가스를 주입하여 반도체 기판 상에 실리콘을 흡착시킨다(스텝 31). 상기 사일렌 가스는 사일렌(SiH_4)이 들어있는 버블러에 아르곤 캐리어 가스 450sccm을 60초간 흘려 얻어진다.

다음에, 상기 반응 챔버에 아르곤 가스 450sccm을 1차로 60초간 퍼지한다(스텝 33). 이렇게 되면, 물리흡착된 사일렌이 제거되어 반도체 기판 상에는 화학흡착된 실리콘만 남게 된다.

다음에, 상기 실리콘이 화학흡착된 반도체 기판에 실리콘 산화막을 형성하기 위하여는 제2 반응물인 수증기(H_2O)를 주입한다(스텝 35). 상기 수증기는 순수가 들어있는 버블러에 아르곤 캐리어 가스 450sccm을 60초간 흘려 얻어진다. 또는, 실리콘 질화막을 형성하기 위하여는 실리콘이 화학흡착된 반도체 기판에 제3 반응물인 암모니아 가스를 주입한다. 상기 암모니아 가스는 암모니아가 들어있는 버블러에 아르곤 캐리어 가스 450sccm을 60초간 흘려 얻어진다.

계속하여, 상기 반응 챔버를 아르곤 불활성 가스 450sccm을 2차 퍼지하여 부반응물들, 예컨대 HCl이나 NH_4Cl들을 제거한다(스텝 37). 이렇게 되면, 아래와 같은 [반응식 1] 및 [반응식 2]와 같이 원자층 단위의 실리콘 산화막이나 실리콘 질화막이 형성된다.

반응식 1

$$SiCl_4 + 2H_2O \rightarrow SiO_2 + 4HCl$$

반응식 2

$$3SiCl_4 + 4NH_3 \rightarrow Si_3N_4 + 12HCl$$

다음에, 적정 두께인가를 확인하고(스텝 39) 필요에 따라 스텝 31에서 스텝 37의 단계를 사이클적으로 반복한다. 이렇게 수행하면, 1 사이클당 약 1Å의 실리콘 산화막이나 약 1Å의 실리콘 질화막이 형성되었다. 그리고, 스텝 커버리지는 100 ±2% 이었다.

본 실시예에서, 상기 제1 반응물로 사일렌 가스를 사용하였으나, 실리콘 산화막을 형성하기 위한 제1 반응물로는 사일렌 가스 외에 실리콘 알콕사이드(Si-alkoxide), 실리콘 알킬(Si-alkyl), 실리콘 할라이드(Si-halide), 실리콘 아미드(Si-amide)를 사용할 수 있다. 그리고, 제2 반응물로는 수증기외에 H_2O_2, O_3, 플라즈마 산소(plasma O_2), 산화질소(N_2O), 플라즈마 산화질소(plasma N_2O) 등을 사용할 수 있다.

또한, 실리콘 질화막을 형성하기 위한 제1 반응물로는 사일렌 가스 외에 실리콘 알킬(Si-alkyl), 실리콘 할라이드(Si-halide), 실리콘 아미드(Si-amide)를 사용할 수 있다. 그리고, 제3 반응물로는 암모니아 외에 플라즈마 암모니아,플라즈마 질소(N_2) 등을 사용할 수 있다.

도 5는 도 2 내지 도 4의 원자층 증착법에 의하여 형성된 박막을 채용하기 위한 본 발명의 반도체 소자의 레이아웃도이다.

구체적으로, 점선으로 표시한 액티브 영역(AR)와 비액티브 영역(NAR)으로 구분된 반도체 기판(도 6 내지 도 7의 100) 상에 가로 방향으로 게이트 라인(gate line, G/L)이 위치한다. 그리고, 상기 게이트 라인(G/L)과 수직하게 세로 방향으로 비트 라인(B/L)이 위치한다.

도 6 및 도 7은 각각 도 5의 A-A 및 B-B에 따라 원자층 증착법에 의하여 형성된 박막을 채용한 반도체 소자의 단면도이다.

구체적으로, 본 발명의 반도체 소자는 트랜치(102)에 의해 활성 영역(도 5의 AR)과 비활성 영역(도 5의 NAR)으로 구분된다. 상기 트랜치(102)의 내벽에는 트랜치 형성시 식각손상을 완화하기 위하여 트랜치 산화막(trench oxide layer, 104)이 형성되어 있다. 상기 트랜치(102) 내의 트랜치 산화막 상에는 라이너막(liner layer, 106)이 형성되어 있다. 상기 라이너막(106)은 도 2 내지 도 4에 설명한 바와 같이 원자층 증착법으로 실리콘 질화막과 실리콘 산화막의 다중막(multilayer)으로 형성한다. 이렇게 원자층 증착법으로 형성된 라이너막(106)은 스텝 커버리지가 좋기 때문에 상기 트랜치(102) 내에 매몰되는 매몰 절연막(108, buried insulating layer)이 보이드(void) 없이 안정되게 형성된다. 물론, 상기 원자층 증착법에 의하여 라이너막(106)을 형성할 경우 저압화학기상증착법에 의하여 형성할 경우보다 반도체 기판에 가해지는 열 이력을 감소시킬 수 있고 진공 브레이크 없이 형성할 수 있다. 더하여, 상기 트랜치 산화막(104)도 원자층 증착법으로 형성할 경우 반도체 기판(100)에 가해지는 열 이력을 더욱더 감소시킬 수 있다.

상기 반도체 기판(100) 상에는 복수개의 게이트 스택 패턴들(118)과 그 사이의 반도체 기판(100)을 노출하는 홀(도 9a의 120)이 형성된다. 상기 게이트 스택 패턴들(118)은 도 5의 게이트 라인(G/L) 역할을 한다. 그리고, 상기 게이트 스택 패턴(118)은 게이트 절연막(110), 제1 게이트 도전막(112), 제2 게이트 도전막(114), 게이트 캡막(116)으로 구성된다. 상기 게이트 절연막(110)은 실리콘 산화막으로 구성하고, 제1 게이트 도전막(112)은 불순물이 도핑된 폴리실리콘막으로 구성하고, 상기 제2 게이트 도전막(114)은 금속 실리사이드막, 예컨대 텅스텐 실리사이드막으로 구성하고, 상기 게이트 갭막(116)은 실리콘 질화막으로 구성한다.

상기 게이트 스택 패턴들(118)의 양측벽에는 게이트 스페이서(122)을 형성되어 있다. 상기 게이트 스페이서(122) 및 게이트 스택 패턴들(118) 상에는 제1 버블 방지막(124)이 형성되어 있다. 상기 게이트 스페이서(122) 및 제1 버블 방지막(124)은 도 2 내지 도 4에서 설명한 바와 같이 원자층 증착법으로 실리콘 산화막과 실리콘 질화막의 다중층으로 구성한다. 상기 게이트 스페이서(122)를 원자층 증착법에 의하여 다중층으로 구성할 경우 스텝 커버리지가 좋아 스페이서 형성을 위한 식각시 반도체 기판(100)과 스페이서 형성용 물질막과의 식각 선택비가 안정되게 가져 갈 수 있다. 이에 따라, 스페이서용 물질막의 두께를 낮출수 있고 로딩 커패시턴스(loading capacitance)를 감소시킬 수 있다. 그리고, 상기 제1 버블 방지막(124)을 원자층 증착법에 의하여 다중층으로 구성할 경우 스텝 커버리지가 좋기 때문에 제1 매립 절연막(126)을 보이드 없이 형성할 수 있다. 물론, 상기 게이트 스페이서(122) 및 제1 버블 방지막(124)은 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

상기 제1 매립 절연막(126) 상에는 복수개의 비트 라인 스택 패턴들(134)과 그 사이의 홀(도 11b의 136)이 형성되어 있다. 상기 비트 라인 스택 패턴들(134)은 도 5에 도시한 비트 라인(B/L) 역할을 한다. 상기 비트 라인 스택 패턴들(134)은 장벽 금속막(128), 비트 라인 도전막(130) 및 비트 라인 캡막(132)으로 구성된다. 상기 비트 라인 스택 패턴들(134)의 양측벽에는 비트 라인 스페이서(138)가 형성되어 있고, 상기 비트 라인 스페이서(138) 및 비트 라인 스택 패턴들(134) 상에는 제2 버블 방지막(140)이 형성되어 있다.

상기 비트 라인 스페이서(138) 및 제2 버블 방지막(140)은 도 2 내지 도 4에서 설명한 바와 같이 원자층 증착법으로 실리콘 산화막과 실리콘 질화막의 다중층으로 구성한다. 상기 비트 라인 스페이서(138)를 원자층 증착법에 의하여 다중층으로 구성할 경우 스텝 커버리지가 좋아 스페이서 형성을 위한 식각시 제1 매립 절연막(first filling insulating layer, 126)과 스페이서 형성용 물질막과의 식각 선택비가 안정되게 가져 갈 수 있다. 이에 따라, 스페이서용 물질막의 두께를 낮출수 있고 로딩 커패시턴스(loading capacitance)를 감소시킬 수 있다. 그리고, 상기 제2 버블 방지막(140)을 원자층 증착법에 의하여 다중층으로 구성할 경우 스텝 커버리지가 좋기 때문에 제2 매립 절연막(second filling insulating layer, 142)을 보이드 없이 형성할 수 있다. 물론, 상기 비트 라인 스페이서(122) 및 제2 버블 방지막(140)은 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

도 8a 내지 도 11a, 및 도 8b 내지 도 11b는 각각 도 5의 A-A 및 B-B에 따른 반도체 소자의 제조 과정을 설명하기 위하여 도시한 단면도이다.

도 8a 및 도 8b는 액티브 영역(active region)을 형성하는 단계를 나타낸다. 구체적으로, 반도체 기판(100)의 소정 영역을 사진식각공정을 이용하여 일정 깊이로 플라즈마 식각하여 트랜치(trench, 102)를 형성한다. 이어서, 상기 플라즈마 식각시 반도체 기판(100)의 손상(damage)을 회복시키기 위하여 상기 트랜치(102)의 내벽에 트랜치 산화막(trench oxide layer, 104)을 형성한다.

다음에, 상기 트랜치 산화막(104)의 표면, 즉 트랜치(102)의 내벽 및 바닥에 형성된 트랜치 산화막(104)의 표면 상에 라이너막(liner layer, 106)을 형성한다. 상기 라이너막(106)은 도 2 내지 도 4에 설명한 바와 같이 원자층 증착법에 의해 실리콘 질화막과 실리콘 산화막의 다중막으로 형성한다. 이렇게 원자층 증착법으로 형성된 라이너막(106)은 스텝 커버리지가 매우 우수하여 후속의 매몰 절연막(buried insulating layer)으로 상기 트랜치(102)를 보이드 없이 매몰할 수 있다. 그리고, 상기 라이너막(106)은 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크없이 형성할 수 있다.

본 실시예에서는 라이너막(106)만 원자층 증착법으로 형성하였지만, 상기 트랜치 산화막(104)과 라이너막(106)을 원자층 증착법을 이용하여 연속적으로 형성할 수도 있다. 이렇게 되면, 상기 라이너막(106)만 원자층 증착법으로 형성한 경우의 효과과 얻을 수 있을 뿐만 아니라 보다 더 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있다.

계속하여, 상기 트랜치(102)가 형성된 반도체 기판(100)의 전면에 상기 트랜치(102)를 매몰시키도록 절연막, 예컨대 실리콘 산화막을 형성한 후 평탄화하여 매몰 절연막(108)을 형성한다. 이렇게 되면, 반도체 기판은 매몰 절연막(108)이 형성되어 있는 비액티브 영역과 그 외의 액티브 영역으로 한정된다.

도 9a 및 도 9b는 게이트 스택 패턴들(118), 게이트 스페이서(122) 및 제1 버블 방지막(124)을 형성하는 단계를 나타낸다. 구체적으로, 상기 액티브 영역과 비액티브 영역으로 구분된 반도체 기판(100) 상에 복수개의 게이트 스택 패턴들(118)을 형성한다. 상기 게이트 스택 패턴들(118) 사이에는 상기 반도체 기판(100)을 노출하는 홀(120)이 형성된다. 상기 게이트 스택 패턴들(118)은 도 5의 게이트 라인(G/L) 역할을 한다. 그리고, 상기 게이트 스택 패턴(118)은 게이트 절연막(110), 제1 게이트 도전막(112), 제2 게이트 도전막(114), 게이트 캡막(116)을 순차적으로 적층한 후에 패터닝함으로써 형성한다. 상기 게이트 절연막(110)은 실리콘 산화막으로 형성하고, 제1 게이트 도전막(112)은 불순물이 도핑된 폴리실리콘막으로 형성하고, 상기 제2 게이트 도전막(114)은 금속 실리사이드막, 예컨대 텅스텐 실리사이드막으로 형성하고, 상기 게이트 갭막(116)은 실리콘 질화막으로 형성한다.

다음에, 상기 게이트 스택 패턴들(118)이 형성된 반도체 기판의 전면에 스페이서용 물질막(도시 안함)을 형성한 후 식각하여 상기 게이트 스택 패턴들(118)의 양측벽에 게이트 스페이서(122)을 형성한다. 상기 게이트 스페이서(122)는 도 2 내지 도 4에서 설명한 바와 같이 원자층 증착법으로 실리콘 산화막과 실리콘 질화막의 다중층으로 형성한다. 이렇게 원자층 증착법에 의하여 다중층으로 형성되는 게이트 스페이서(122)는 스텝 커버리지가 좋고 수소 불순물 함량이 적게 형성되기 때문에 스페이서 형성용 물질막과 반도체 기판(100)과의 식각 선택비가 우수하여 스페이서용 물질막의 두께를 낮출수 있고 로딩 커패시턴스(loading capacitance)를 감소시킬 수 있다. 물론, 상기 게이트 스페이서(122)는 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

계속하여, 상기 게이트 스택 패턴들(118) 및 게이트 스페이서(122)가 형성된 반도체 기판(100)의 전면에 제1 버블 방지막(124)을 형성한다. 상기 제1 버블 방지막(124)은 도 2 내지 도 4에서 설명한 바와 같이 원자층 증착법에 의해 실리콘 산화막과 실리콘 질화막의 다중막으로 형성한다. 이렇게 원자층 증착법으로 형성된 제1 버블 방지막(124)은 스텝 커버리지가 매우 우수하여 후속공정에서 게이트 스택 패턴들(118) 사이의 홀(120)에 매립되는 제1 매립 절연막(first filling insulating layer)을 보이드 없이 형성할 수 있다. 물론, 상기 제1 버블 방지막(124)는 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

도 10a 및 도 10b는 제1 매립 절연막(126)을 형성하는 단계를 나타낸다. 구체적으로, 상기 게이트 스택 패턴들(118), 게이트 스페이서(122) 및 제1 버블 방지막(124)이 형성된 반도체 기판(100)의 전면에 상기 게이트 스택 패턴들 사이의 홀(120)을 매립하도록 제1 매립 절연막(126), 예컨대 실리콘 산화막을 형성한다. 이때, 상술한 바와 같이 스텝 커버리지가 매우 우수한 제1 버블 방지막(124)으로 인해 게이트 스택 패턴들(118) 사이의 홀(120)에 제1 매립 절연막(126)을 보이드 없이 형성할 수 있다.

도 11a 및 11b는 비트 라인 스택 패턴들(134), 비트 라인 스페이서 및 제2 버블 방지막을 형성하는 단계를 나타낸다. 구체적으로, 상기 제1 매립 절연막(126) 상에 복수개의 비트 라인 스택 패턴들(134)을 형성한다. 상기 비트 라인 스택 패턴들(134)은 도 5에 도시한 비트 라인(B/L) 역할을 한다. 그리고, 상기 비트 라인 스택 패턴(134)은 장벽 금속막(128), 비트 라인 도전막(130) 및 비트 라인 캡막(132)을 순차적으로 적층한 후에 패터닝함으로써 형성한다. 상기 비트 라인 스택 패턴들(134) 사이에는 상기 반도체 기판(100)을 노출하는 홀(136)이 형성된다.

다음에, 상기 비트 라인 스택 패턴들(134)이 형성된 반도체 기판(100)의 전면에 비트 라인 스페이서용 물질막(도시안함)을 형성한 후 식각하여 상기 비트 라인 스택 패턴들(134)의 양측벽에 비트 라인 스페이서(138)을 형성한다. 상기 비트 라인 스페이서(138)는 도 2 내지 도 4에 설명한 바와 같이 원자층 증착법으로 실리콘 산화막과 실리콘 질화막의 다중막으로 형성한다. 이렇게 원자층 증착법에 의하여 다중막으로 형성되는 비트 라인 스페이서(138)는 스텝 커버리지가 좋고 수소 불순물 함량이 적게 형성되기 때문에 비트 라인 스페이서용 물질막과 제1 매립 절연막과의 식각 선택비가 우수하여 비트 라인 스페이서용 물질막의 두께를 낮출수 있고 로딩 커패시턴스를 감소시킬 수 있다. 물론, 상기 비트 라인 스페이서(138)는 원자층 증착법으로 형성하기 때문에 종래의 저압화학기상증착법으로 증착할 경우에 비하여 반도체 기판(100)에 가해지는 열 이력을 줄일 수 있고, 진공 브레이크 없이 형성할 수 있다.

계속하여, 상기 비트 라인 스택 패턴들(134) 및 비트 라인 스페이서(138)이 형성된 반도체 기판(100)의 전면에 제2 버블 방지막(140)을 형성한다. 상기 제2 버블 방지막(140)은 도 2 내지 도 4에 설명한 바와 같이 원자층 증착법에 의해 실리콘 산화막과 실리콘 질화막의 다중막으로 형성한다. 이렇게 원자층 증착법으로 형성된 제2 버블 방지막(140)은 스텝 커버리지가 매우 우수하여 후속공정에서 비트 라인 스택 패턴들(134) 사이의 홀(136)에 매립되는 제2 매립 절연막을 보이드 없이 형성할 수 있다.

계속하여, 도 6 및 도 7에 도시한 바와 같이 상기 비트 라인 스택 패턴들(134), 비트 라인 스페이서(138) 및 제2 버블 방지막(140)이 형성된 반도체 기판(100)의 전면에 상기 비트 라인 스택 패턴들(134) 사이의 홀(136)을 매립하도록 제2 매립 절연막(142)을 형성한다. 이때, 상술한 바와 같이 스텝 커버리지가 매우 우수한 제2 버블 방지막(140)으로 인해 비트 라인 스택 패턴들(134) 사이의 홀(136)에 제2 매립 절연막(142)을 보이드 없이 형성할 수 있다.

본 실시예는 액티브 형성시의 트랜치 내에 형성되는 라이너막, 게이트 스페이서, 비트 라인 스페이서, 게이트 스페이서 및 게이트 스택 패턴들 상에 형성되는 제1 버블 방지막, 및 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 형성되는 제2 버블 방지막을 원자층 층착법을 이용하여 실리콘 질화막과 실리콘 산화막 또는 실리콘 산화막과 실리콘 질화막의 다중막으로 형성한다. 그러나, 상기 라이너막, 게이트 스페이서, 비트 라인 스페이서, 제1 버블 방지막, 제2 버블 방지막은 필요에 따라 선택적으로 원자층 증착법을 이용하여 실리콘 산화막과 실리콘 질화막의 다중막으로 형성할 수 있다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 소자는 액티브 형성시의 트랜치 내에 형성되는 라이너막, 게이트 스페이서, 비트 라인 스페이서, 게이트 스페이서 상에 형성되는 제1 버블 방지막, 및/또는 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 형성되는 제2 버블 방지막을 원자층 층착법을 이용하여 실리콘 질화막과 실리콘 산화막 또는 실리콘 산화막과 실리콘 질화막의 다중막으로 형성한다.

이렇게 원자층 증착법으로 상술한 반도체 소자의 구성 요소들을 형성할 경우, 종래의 저압 기상 화학 기상 증착법에 비해 열 이력을 낮게 가져 갈수 있고 실리콘 산화막이나 실리콘 질화막의 연속공정을 진공 브레이크 없이 형성할 수 있다.

특히, 게이트 스페이서나 비트 라인 스페이서를 원자층 증착법에 의한 실리콘 산화막과 실리콘 질화막의 다중막으로 형성할 경우 게이트 스페이서나 비트 라인 스페이서용 물질막과, 하지막, 예컨대 실리콘 기판이나 제1 매립 절연막과의 식각 선택비가 우수하다. 상기 게이트 스페이서나 비트 라인 스페이서는 스텝 커버리지가 우수하여 상기 게이트 스페이서나 비트 라인 스페이서의 두께를 낮게 가져 할 수 있고 로딩 커패시턴스를 줄 일 수 있다.

그리고, 상기 게이트 스페이서 및 게이트 스택 패턴들, 및 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 각각 형성되는 제1 버블 방지막 및 제2 버블 방지막을 원자층 증착법을 이용하여 다중막으로 형성할 경우, 게이트 스택 패턴들 및 비트 라인 스택 패턴들 사이의 홀을 보이드 없이 매립 절연막으로 매립시킬 수 있다.

(57) 청구의 범위

청구항 1.

내부에 트랜치가 형성된 반도체 기판;

상기 트랜치 내벽 및 바닥 상에 형성되고, 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막으로 형성된 라이너막;

상기 트랜치에 보이드 없이 매몰된 매몰 절연막;

상기 트랜치 및 매몰 절연막이 형성되어 있는 반도체 기판 상에 형성된 게이트 스택 패턴들;

상기 게이트 스택 패턴들의 양측벽에 형성된 게이트 스페이서;

상기 게이트 스페이서 상에 형성된 제1 버블방지막;

상기 게이트 스페이서 상의 게이트 스택 패턴들 사이를 매립하는 제1 매립 절연막;

상기 제1 매립 절연막 상에 형성된 비트라인 스택 패턴들;

상기 비트 라인 스택 패턴들의 양측벽에 형성된 비트라인 스페이서;

상기 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 형성된 제2 버블방지막; 및

상기 제2 버블방지막 사이의 비트라인 스택 패턴들을 매립하는 제2 매립 절연막을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 2.

제1항에 있어서, 상기 제1 버블 방지막은 원자층 증착법에 의하여 실리콘 산화막과 실리콘 질화막의 다중막으로 형성되어 있어 상기 제1 매립 절연막은 상기 제1 버블방지막 상의 상기 게이트 스택 패턴들의 사이를 보이드 없이 매립되어 있는 것을 특징으로 하는 반도체 소자.

청구항 3.

제2항에 있어서, 상기 게이트 스페이서는 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 4.

제2항에 있어서, 상기 제2 버블 방지막은 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성되어 제2 매립 절연막은 상기 제2 버블 방지막 사이의 비트라인 스택 패턴들 사이를 보이드 없이 매립되어 있는 것을 특징으로 하는 반도체 소자.

청구항 5.

제4항에 있어서, 상기 비트 라인 스페이서는 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 6.

내부에 트랜치가 형성된 반도체 기판;

상기 트랜치 내벽 및 바닥에 형성된 라이너막;

상기 트랜치에 매몰된 매몰 절연막;

상기 반도체 기판 상에 형성된 게이트 스택 패턴들;

상기 게이트 스택 패턴들의 양측벽에 형성된 게이트 스페이서;

상기 게이트 스페이서 상에 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 제1 버블방지막;

상기 게이트 스페이서 상의 게이트 스택 패턴들 사이를 매립하는 제1 매립 절연막;

상기 제1 매립 절연막 상에 형성된 비트라인 스택 패턴들;

상기 비트 라인 스택 패턴들의 양측벽에 형성된 비트라인 스페이서;

상기 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 제2 버블방지막; 및

상기 제2 버블방지막 사이의 비트라인 스택 패턴들을 보이드 없이 매립되어 있는 제2 매립 절연막을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 7.

제6항에 있어서, 상기 라이너막과, 상기 게이트 스페이서 및 비트 라인 스페이서는 각각 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막, 및 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 것을 특징으로 하는 반도체 소자.

청구항 8.

반도체 기판에 일정 깊이로 트랜치를 형성하는 단계;

상기 트랜치 내벽 및 바닥 상에 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막으로 형성된 라이너막을 형성하는 단계;

상기 트랜치를 보이드 없이 매립하는 매몰 절연막을 형성하는 단계;

상기 트랜치 및 매몰 절연막이 형성된 반도체 기판 상에 게이트 스택 패턴들을 형성하는 단계;

상기 게이트 스택 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계;

상기 게이트 스페이서 및 게이트 스택 패턴들 상에 제1 버블 방지막을 형성하는 단계;

상기 제1 버블방지막 상의 상기 게이트 스택 패턴들의 사이를 제1 매립 절연막으로 매립하는 단계;

상기 제1 매립 절연막 상에 비트라인 스택 패턴들을 형성하는 단계;

상기 비트 라인 스택 패턴들의 양측벽에 비트라인 스페이서를 형성하는 단계;

상기 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 제2 버블방지막을 형성하는 단계; 및

상기 제2 버블방지막 상의 비트 라인 스택 패턴 사이를 제2 매립 절연막으로 매립하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9.

제8항에 있어서, 상기 라이너막은 진공 브레이크 없이 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10.

제8항에 있어서, 상기 라이너막을 구성하는 실리콘 질화막은 사일렌, 실리콘 알킬(Si-alkyl), 실리콘 할라이드(Si-halide) 또는 실리콘 아미드(Si-amide)의 실리콘 소스와, 암모니아, 플라즈마 암모니아 또는 플라즈마 질소의 질화제를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11.

제8항에 있어서, 상기 라이너막을 구성하는 실리콘 산화막은 사일렌, 실리콘 알콕사이드(Si-alkoxide), 실리콘 알킬(Si-alkyl), 실리콘 할라이드(Si-halide) 또는 실리콘 아미드(Si-amide)의 실리콘 소스와, 수증기, 과산화수소, 오존, 플라즈마 산소(plasma O_2), 산화 질소(N_2O) 또는 플라즈마 산화질소(plasma N_2O)의 산화제를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12.

제8항에 있어서, 상기 제1 버블 방지막은 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성하여 상기 제1 버블 방지막 상의 상기 게이트 스택 패턴들의 사이를 보이드 없이 제1 매립 절연막으로 매립하는 것을 특징으로 하는 반체 소자의 제조방법.

청구항 13.

제12항에 있어서, 상기 제1 버블 방지막은 진공 브레이크 없이 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14.

제12항에 있어서, 상기 게이트 스페이서는 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15.

제12항에 있어서, 상기 제2 버블 방지막은 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성하여 상기 제2 버블방지막 상의 비트 라인 스택 패턴 사이를 보이드 없이 제2 매립 절연막으로 매립하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16.

제14항에 있어서, 상기 제2 버블 방지막은 진공 브레이크 없이 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17.

제15항에 있어서, 상기 비트 라인 스페이서는 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18.

반도체 기판에 일정 깊이로 트랜치를 형성하는 단계;

상기 트랜치 내벽 및 바닥 상에 라이너막을 형성하는 단계; 및

상기 트랜치를 매립하는 매몰 절연막을 형성하는 단계;

상기 트랜치 및 매몰 절연막이 형성된 반도체 기판 상에 게이트 스택 패턴들을 형성하는 단계;

상기 게이트 스택 패턴들의 양측벽에 게이트 스페이서를 형성하는 단계;

상기 게이트 스페이서 및 게이트 스택 패턴들 상에 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 제1 버블 방지막을 형성하는 단계;

상기 제1 버블방지막 상의 상기 게이트 스택 패턴들의 사이를 보이드 없이 제1 매립 절연막을 매립하는 단계;

상기 제1 매립 절연막 상에 비트라인 스택 패턴들을 형성하는 단계;

상기 비트 라인 스택 패턴들의 양측벽에 비트라인 스페이서를 형성하는 단계;

상기 비트 라인 스페이서 및 비트 라인 스택 패턴들 상에 원자층 증착법에 의하여 실리콘 산화막 및 실리콘 질화막의 다중막으로 형성된 제2 버블방지막을 형성하는 단계; 및

상기 제2 버블방지막 상의 비트 라인 스택 패턴 사이를 보이드 없이 제2 매립 절연막으로 매립하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 19.

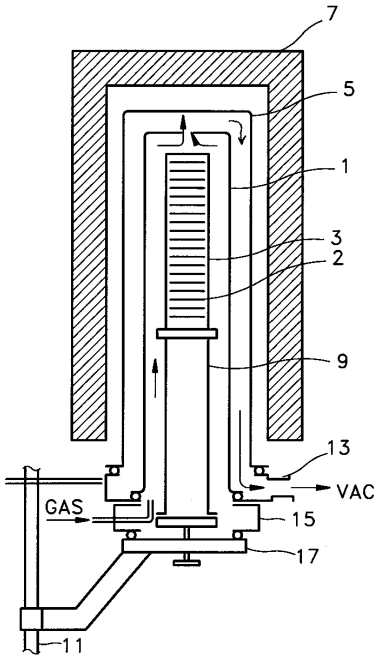
제18항에 있어서, 상기 라이너막과, 상기 게이트 스페이서 및 비트 라인 스페이서는 각각 원자층 증착법에 의하여 실리콘 질화막 및 실리콘 산화막의 다중막 또는 원자층 증착법에 의하여 실리콘 산화막과 실리콘 질화막의 다중막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 20.

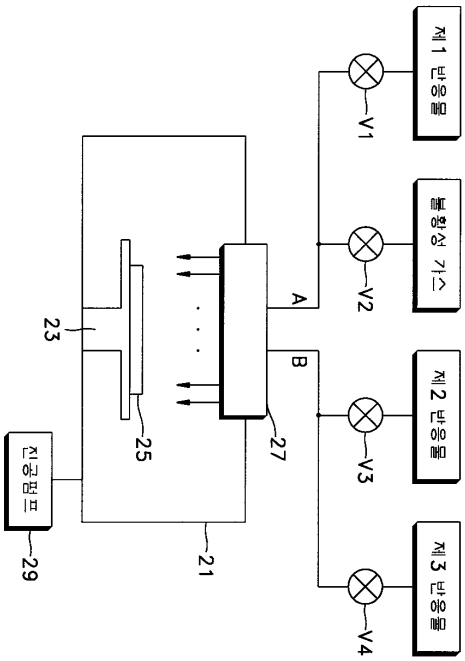
제18항에 있어서, 상기 라이너막, 게이트 스페이서, 제1 버블 방지막, 비트 라인 스페이서 또는 제2 버블 방지막은 각각 진공 브레이크 없이 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

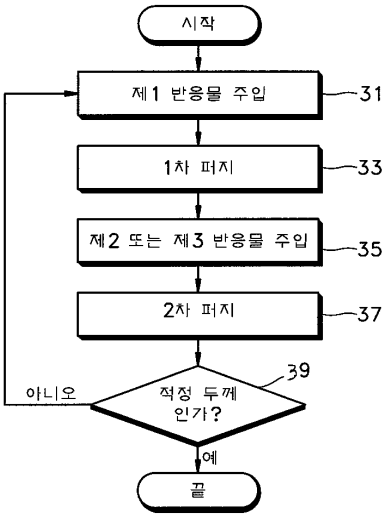
도면 1



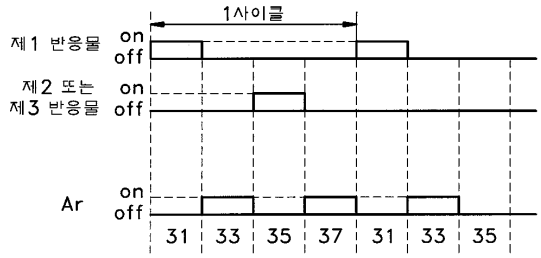
도면 2


제1 반응물
V1
불활성 가스
V2
A
B
23
25
27
V3
제2 반응물
V4
제3 반응물
진공펌프
29
21

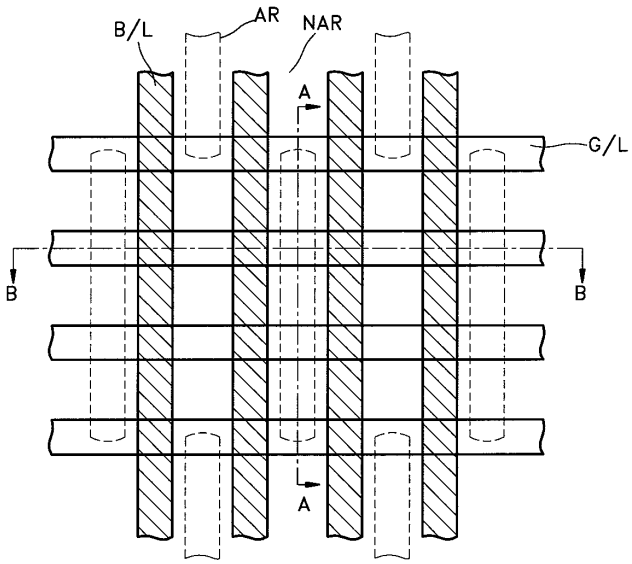
도면 3


시작
제1 반응물 주입
31
1차 퍼지
33
제2 또는 제3 반응물 주입
35
2차 퍼지
37
적정 두께 인가?
39
아니오
예
끝

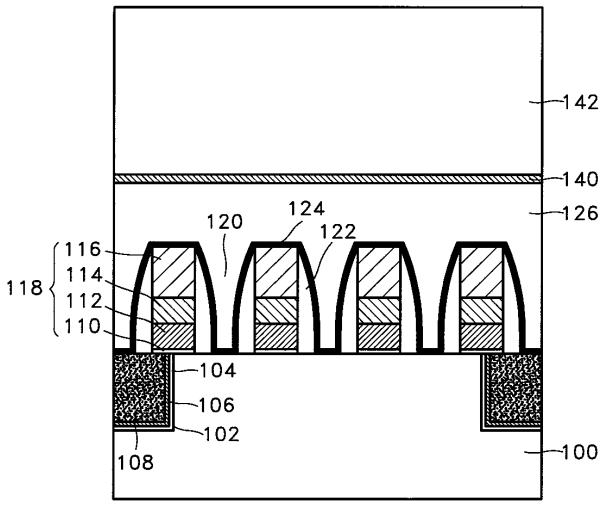
도면 4


1사이클
제1 반응물
on
off
제2 또는
제3 반응물
on
off
Ar
on
off
31
33
35
37
31
33
35

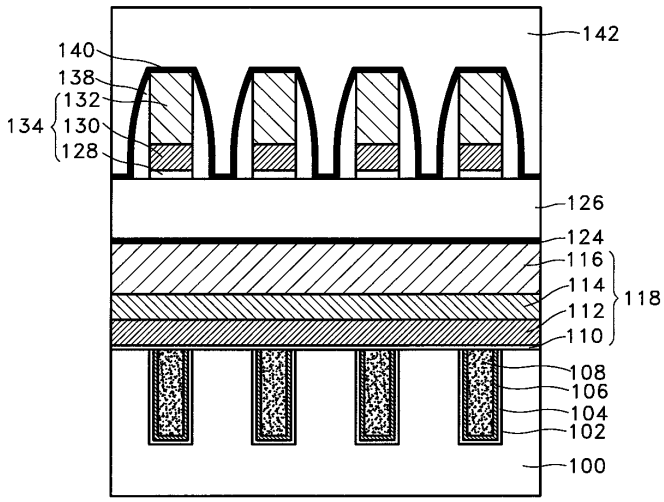
도면 5


B/L
AR
NAR
A
G/L
B
B
A

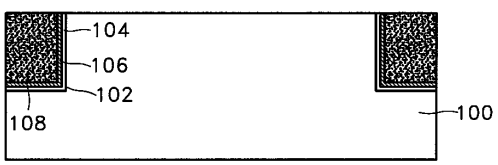
도면 6


142
140
126
120
124
122
116
114
118
112
110
104
106
102
108
100

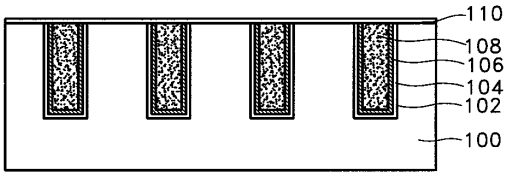
도면 7


142
140
138
132
134
130
128
126
124
116
114
118
112
110
108
106
104
102
100

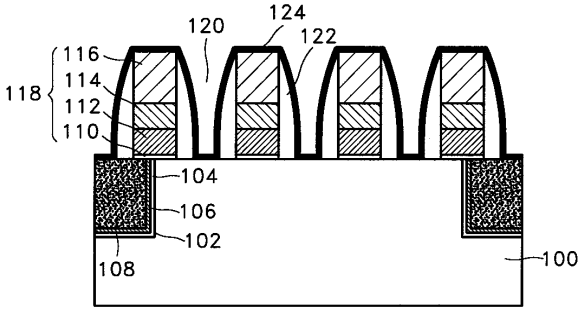
도면 8a


104
106
102
108
100

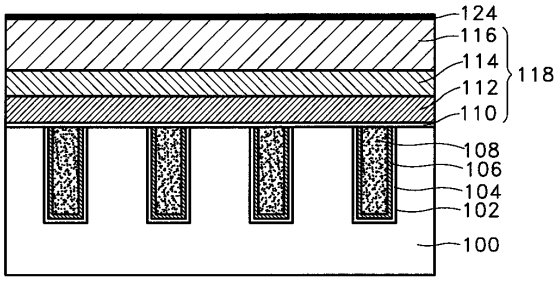
도면 8b



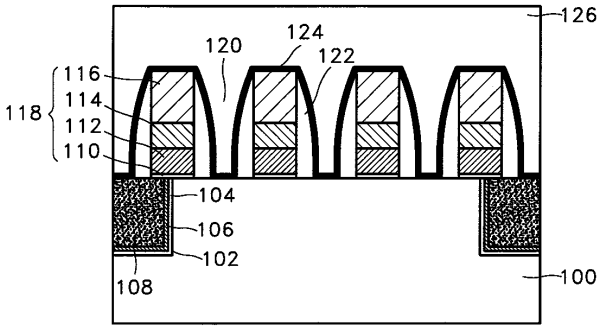
도면 9a



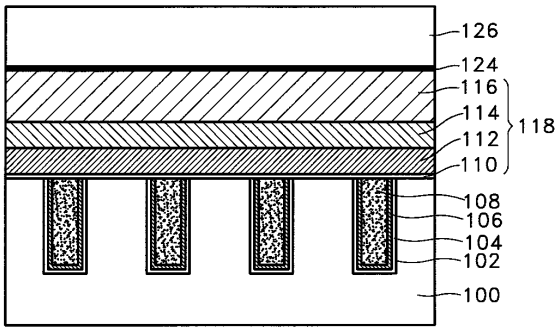
도면 9b



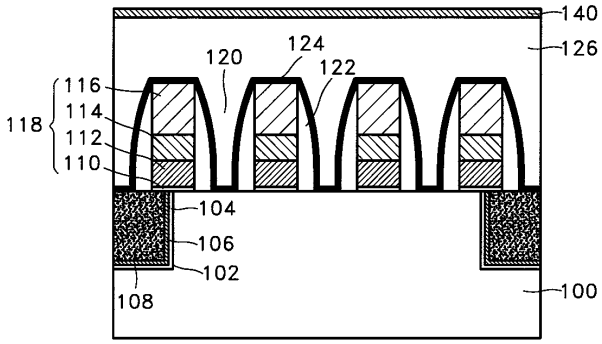
도면 10a



도면 10b



도면 11a



도면 11b