



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I701835 B

(45)公告日：中華民國 109 (2020) 年 08 月 11 日

(21)申請案號：107115194

(22)申請日：中華民國 107 (2018) 年 05 月 04 日

(51)Int. Cl.：

*H01L29/40 (2006.01)**H01L29/778 (2006.01)*

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市東區新竹科學工業園區力行路 21 號

(72)發明人：陳明欽 CHEN, MING-CHIN (TW)；吳俊儀 WU, CHUN-YI (TW)；王淞丞 WANG, SUNG-CHENG (TW)；杜尚儒 TU, SHANG-JU (TW)；沈豫俊 SHEN, YU-JIUN (TW)；劉家呈 LIU, CHIA-CHENG (TW)；陳東富 CHEN, TUNG-FU (TW)；楊亞諭 YANG, YA-YU (TW)

(56)參考文獻：

US 8592866B2

US 9281388B2

審查人員：施喻懷

申請專利範圍項數：9 項 圖式數：7 共 41 頁

(54)名稱

高電子遷移率電晶體

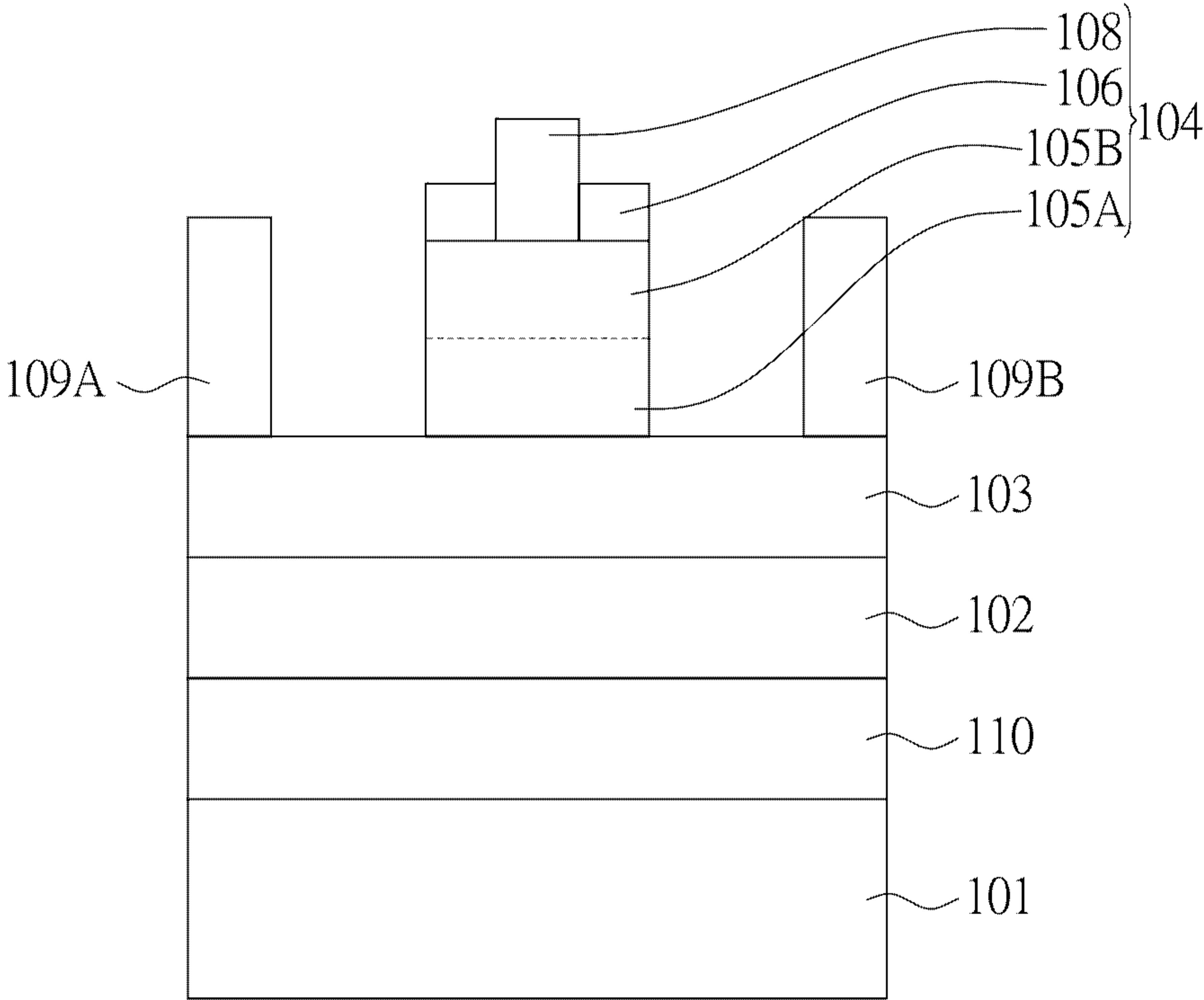
(57)摘要

一種高電子遷移率電晶體元件，包括：一緩衝層位於一基材上，具有一三族元素氮化物；一通道層位於緩衝層上，具有一三族元素氮化物；一阻障層位於通道層上；一源極位於阻障層上；一汲極位於阻障層上，並與源極隔離；以及一閘極結構位於阻障層上，並位於源極和該汲極之間。閘極結構包括一第一氮化鎵層位於阻障層上，其中第一氮化鎵層無刻意摻雜雜質；一第二氮化鎵層位於第一氮化鎵層上，且具有一種包含第一金屬元素的導電型雜質；一金屬氮化物層位於第二氮化鎵層上，且具有與此種導電型雜質的第一金屬元素相同的一第二金屬元素；以及一閘電極層位於第二氮化鎵層上。

A High Electron Mobility Transistor (HEMT) includes a buffer layer having a Group-III-element nitride disposed on the substrate, a channel layer disposed on the buffer layer having the Group-III-element nitride, a barrier layer disposed on the channel layer, a source/a drain disposed on the barrier layer and separated with each other, and a gate structure disposed on the barrier layer and between the source and the drain. The gate structure includes a first GaN layer disposed on the barrier layer, wherein the first GaN layer is unintentionally doped, a second GaN layer disposed on the first GaN layer and having a conductivity-type dopant including a first metal element, a metal nitride layer disposed on the second GaN layer and having a second metal element identical to the first metal element, and a gate electrode disposed on the second GaN layer.

指定代表圖：

100



第 1E 圖

符號簡單說明：

- 100 . . . 高電子遷移率電晶體元件
- 101 . . . 基材
- 102 . . . 通道層
- 103 . . . 阻障層
- 104 . . . 閘極結構
- 105 . . . 無刻意摻雜雜質的氮化鎵層
- 105A . . . 第一氮化鋁鎵層
- 105B . . . 第二氮化鋁鎵層
- 106 . . . 金屬氮化物層
- 106a . . . 金屬原子
- 106b . . . 開口
- 107 . . . 熱處理製程
- 108 . . . 閘電極層
- 109A . . . 源極
- 109B . . . 汲極
- 110 . . . 緩衝層
- 111 . . . 蝕刻製程



I701835

【發明摘要】

【中文發明名稱】 高電子遷移率電晶體

【英文發明名稱】 HIGH ELECTRON MOBILITY TRANSISTOR

【中文】

一種高電子遷移率電晶體元件，包括：一緩衝層位於一基材上，具有一三族元素氮化物；一通道層位於緩衝層上，具有一三族元素氮化物；一阻障層位於通道層上；一源極位於阻障層上；一汲極位於阻障層上，並與源極隔離；以及一閘極結構位於阻障層上，並位於源極和該汲極之間。閘極結構包括一第一氮化鎵層位於阻障層上，其中第一氮化鎵層無刻意摻雜雜質；一第二氮化鎵層位於第一氮化鎵層上，且具有一種包含第一金屬元素的導電型雜質；一金屬氮化物層位於第二氮化鎵層上，且具有與此種導電型雜質的第一金屬元素相同的一第二金屬元素；以及一閘電極層位於第二氮化鎵層上。

【英文】

A High Electron Mobility Transistor (HEMT) includes a buffer layer having a Group-III-element nitride disposed on the substrate, a channel layer disposed on the buffer layer having the Group-III-element nitride, a barrier layer disposed on the channel layer, a source/a drain disposed on the barrier layer and separated with each other, and a gate

structure disposed on the barrier layer and between the source and the drain. The gate structure includes a first GaN layer disposed on the barrier layer, wherein the first GaN layer is unintentionally doped, a second GaN layer disposed on the first GaN layer and having a conductivity-type dopant including a first metal element, a metal nitride layer disposed on the second GaN layer and having a second metal element identical to the first metal element, and a gate electrode disposed on the second GaN layer.

【指定代表圖】 第(1E)圖。

【代表圖之符號簡單說明】

- | | |
|-----------------|------------------|
| 100：高電子遷移率電晶體元件 | 101：基材 |
| 102：通道層 | 103：阻障層 |
| 104：閘極結構 | 105：無刻意摻雜雜質的氮化鎵層 |
| 105A：第一氮化鋁鎵層 | 105B：第二氮化鋁鎵層 |
| 106：金屬氮化物層 | 106a：金屬原子 |
| 106b：開口 | 107：熱處理製程 |
| 108：閘電極層 | 109A：源極 |
| 109B：汲極 | 110：緩衝層 |
| 111：蝕刻製程 | |

【特徵化學式】 無。

【發明說明書】

【中文發明名稱】高電子遷移率電晶體

【英文發明名稱】HIGH ELECTRON MOBILITY TRANSISTOR

【技術領域】

【0001】 本揭露書是有關於一種半導體元件及其製作方法。特別是有關於一種高電子遷移率電晶體 (High Electron Mobility Transistor, HEMT) 及其製作方法。

【先前技術】

【0002】 高電子遷移率電晶體因為具有較大的能隙(band gap)、較高的崩潰電壓(breakdown voltage, and a higher.)和較高的飽和電壓(saturation voltage)等特性，因此具有耐高溫、高壓、高電流密度及高頻操作的效果；主要應用於功率電路中當作高功率開關或射頻元件使用。

【0003】 典型的高電子遷移率電晶體，以半導體氮化鋁鎵/氮化鎵(AlGa_N/Ga_N) 高電子遷移率電晶體為例，是藉由氮化鋁鎵/氮化鎵的異質接面(heterojunction)結構，在源極和汲極之間產生高極化場(high polarization field)，使電子在上層氮化鋁鎵層和下層氮化鎵層之間的介面附近高度累積，而形成二維電子氣(Two Dimensional Electron Gas, 2DEG)通道。

【0004】 然而高電子遷移率電晶體通常是一個常開型(耗盡型(depletion mode))元件。因此，需要施予額外負偏壓才能使

關閉元件，除了使用上相對較不方便外，也侷限了元件的使用範圍。為了解決此一問題，目前已有增強型(Enhancement-mode)高電子遷移率電晶體被提出，利用在氮化鋁鎵/氮化鎵的異質接面結構上方形成具有高濃度P型雜質的氮化鎵層，與下方的氮化鋁鎵層形成PN接面；或在形成金屬閘極之前，以氟離子轟擊破壞氮化鋁鎵層的晶格結構；亦或以蝕刻方式在氮化鋁鎵層中形成凹室(recess)，再於凹室底部形成金屬閘極，藉由薄化金屬閘極下方的氮化鋁鎵層，以達到不需施予額外偏壓即可關閉二維電子氣之常關型(normally-off mode)元件。

【0005】然而，上述方法分別有其技術瓶頸。例如，當採用蝕刻製程來形成凹室結構以提升高電子遷移率電晶體的崩潰電壓時，由於蝕刻精準度不易調控，不易將凹室底部的氮化鋁鎵層厚度調控在特定範圍內，常使相同高電子遷移率電晶體元件之間的夾止電壓(pinch-off voltage)產生很大的變異。由於氟的原子尺寸較小，以氟離子轟擊的高電子遷移率電晶體，在長期高溫高壓操作下，氟離子容易從氮化鋁鎵層中擴散出來，易使增強型高電子遷移率電晶體元件反轉成耗盡型元件，導致整體電路失效。另外，在氮化鋁鎵/氮化鎵上形成P型摻雜氮化鎵層的方式，則會因為摻雜製程的擴散深度難以控制，容易使高濃度的P型雜質，例如鎂離子，擴散進入下方的主動區和通道層，導致高電子遷移率電晶體元件的臨界電壓(threshold voltage)產生飄移，進而發生非典型行為；長久操作之下元件容易失效。

【0006】 因此，有需要提供一種先進的高電子遷移率電晶體及其製作方法，來解決習知技術所面臨的問題。

【發明內容】

【0007】 本說明書的一實施例揭露一種高電子遷移率電晶體(High Electron Mobility Transistor)元件，包括：一基材、一緩衝層、一通道層、一阻障層(barrier layer)、一源極、一汲極以及一閘極結構。緩衝層位於基材上，具有三族元素氮化物(Group-III-element nitride)。通道層位於緩衝層上，具有三族元素氮化物。阻障層位於通道層上。源極位於阻障層上。汲極位於阻障層上，並與源極隔離。閘極結構位於阻障層上，並位於源極和該汲極之間。閘極結構包括一第一氮化鎵(Gallium nitride)層、一第二氮化鎵層、一金屬氮化物層以及一閘電極層。第一氮化鎵層位於阻障層上，其中第一氮化鎵層無刻意摻雜雜質。第二氮化鎵層位於第一氮化鎵層上，且具有一種包含一第一金屬元素的導電型雜質。一金屬氮化物層位於第二氮化鎵層上，且具有一第二金屬元素；其中第二金屬元素與導電型雜質的第一金屬元素相同。閘電極層位於第二氮化鎵層上。

【0008】 本說明書的另一實施例揭露一種高電子遷移率電晶體元件，包括：一基材、一緩衝層、一通道層、一氮化鋁鎵阻障層、一源極、一汲極以及一閘極結構。緩衝層位於基材上，具有一三族元素氮化物。通道層位於緩衝層上，具有一三族元素氮

化物。氮化鋁鎵阻障層位於通道層上。源極位於阻障層上。汲極位於阻障層上，並與源極隔離。閘極結構位於阻障層上，並位於源極和汲極之間。閘極結構包括：一第一氮化鎵層、一第一金屬氮化物層、一第二氮化鎵層以及一閘電極層。第一氮化鎵層，位於氮化鋁鎵阻障層上，具有一導電型雜質。第一金屬氮化物層位於第一氮化鎵層上。第二氮化鎵層位於第一金屬氮化物層上，具有此導電型雜質。閘電極層位於第二氮化鎵層上。其中，第一氮化鎵層之一部份由閘電極層投影於第一氮化鎵層上的邊緣，分別朝向源極和汲極方向延伸。

【0009】 本說明書的又一實施例揭露一種高電子遷移率電晶體元件，包括：一基材、一緩衝層、一通道層、一第一阻障層、一第二阻障層、一源極、一汲極以及一閘極結構。緩衝層，位於基材上，具有三族元素氮化物。通道層位於緩衝層上。第一阻障層位於通道層上。第二阻障層位於第一阻障層上。源極位於第一阻障層上。汲極位於第一阻障層上，並與源極隔離。閘極結構位於第一阻障層上，並位於源極和該汲極之間。閘極結構包括：一第一氮化鎵層、一第二氮化鎵層以及一閘電極層。第一氮化鎵層位於第一阻障層上，具有p型導電性。第二氮化鎵層位於第一阻障層上，具有p型導電性，其中第一氮化鎵層之面積大於第二氮化鎵層之面積，且第一氮化鎵層朝向源極和汲極方向延伸。其中，第二阻障層覆蓋第一氮化鎵層和第二氮化鎵層之一部份，暴露出第二氮化鎵層之另一部份，且閘電極層形成在此第二氮化鎵層暴露於外的部份上。

【0010】 本說明書的一實施例是在提供一種高電子遷移率電晶體及其製作方法，藉由在一緩衝層、一通道層和一阻障層上方形成包括依序堆疊的一第一氮化鎵層、一第二氮化鎵層、一金屬氮化物層以及一閘電極層的一閘極結構。並使第二氮化鎵層具有複數個導電型雜質。之後，再於阻障層上形成彼此隔離的源極和汲極，使閘極結構位於源極和汲極之間，構成增強型高電子遷移率電晶體。

【0011】 在本說明書的一實施例中，第一氮化鎵層無刻意摻雜雜質。在製作高電子遷移率電晶體的過程中，採用無刻意摻雜雜質的第一氮化鎵層來作為緩衝層，藉由金屬氮化物層的金屬原子擴散至無刻意摻雜雜質的第一氮化鎵層以形成第二氮化鎵層，可精確掌握形成第二氮化鎵層之摻雜製程的摻雜深度。可防止習知技術，因為直接在阻障層上成長P型電性氮化鎵層，而將P型雜質擴散至阻障層和緩衝層中，而導致整體電路失效的問題。

【0012】 在本說明書的另一實施例中，第一氮化鎵層和第二氮化鎵層係由具有相同導電型之雜質的氮化鎵所構成；且第一堆疊層具有一個延伸部，由閘電極層投影於第一氮化鎵層上的邊緣，分別朝向源極和汲極方向延伸。可在順向操作時耗盡累積於緩衝層和阻障層之異質接面上的二維電子氣通道的電子，防止高電子遷移率電晶體元件發生電流崩潰(current collapse)現象。在反向操作時，則較容易使通道區形成空乏區，抑制閘極的漏電流，提升高電子遷移率電晶體元件的崩潰電壓。另外，在製作第一氮化鎵層的過程中，藉由位於其下方的金屬氮化層(氮化鋁層)作為蝕刻停止層來圖案化摻雜的氮化鎵層，可以精確控制蝕刻製

程的深度，以使圖案化後的第一氮化鎵層具有預期的厚度。可以有效擴大高電子遷移率電晶體元件的製程裕度(processing window)。

【0013】 在本說明書的又一實施例中，第一氮化鎵層和第二氮化鎵層係由具有相同導電型之雜質的氮化鎵所構成；且第一堆疊層具有一個延伸部，由閘電極層投影於第一氮化鎵層上的邊緣，分別朝向源極和汲極方向延伸；並額外形成一個和阻障層材質相同的第二阻障層，覆蓋第一氮化鎵層和第二氮化鎵層之一部份，暴露出第二氮化鎵層之另一部份，且使閘電極層形成在此第二氮化鎵層暴露於外的部份上。藉以使第一氮化鎵層的延伸部提供一個額外的電場，增加汲極到閘極之間的空乏區寬度，進而紓解閘極邊緣處的尖端峰值電場，有效地提升高電子遷移率電晶體元件的崩潰電壓，並且降低閘極漏電電流。

【圖式簡單說明】

【0014】 為了對本說明書之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

第1A圖至第1E圖係根據本說明書的一實施例所繪示之製作高電子遷移率電晶體元件的一系列製程結構剖面示意圖；

第2圖係根據本說明書的另一實施例所繪示的一種高電子遷移率電晶體元件的結構剖面圖；

第3圖係根據本說明書的又一實施例所繪示的一種高電子遷移率電晶體元件的結構剖面圖；

第4A圖至第4E圖係根據本說明書的再一實施例所繪示之製作高電子遷移率電晶體元件的一系列製程結構剖面示意圖；

第5圖係根據本說明書的又另一實施例所繪示的一種高電子遷移率電晶體元件的結構剖面圖

第6A圖至第6B圖係根據本說明書的又再一實施例所繪示之製作高電子遷移率電晶體元件的部分製程結構剖面示意圖；以及

第7A圖至第7C圖係根據本說明書的又一實施例所繪示之製作高電子遷移率電晶體元件的部分製程結構剖面示意圖。

【實施方式】

【0015】 本說明書是提供一種高電子遷移率電晶體元件的製作方法，可提升高電子遷移率電晶體元件的崩潰電壓，且降低閘極漏電電流，並有效擴大高電子遷移率電晶體元件的製程裕度。為了對本說明書之上述實施例及其他目的、特徵和優點能更明顯易懂，下文特舉複數個實施例，並配合所附圖式作詳細說明。

【0016】 但必須注意的是，這些特定的實施案例與方法，並非用以限定本發明。本發明仍可採用其他特徵、元件、方法及參數來加以實施。較佳實施例的提出，僅係用以例示本發明的技術特徵，並非用以限定本發明的申請專利範圍。該技術領域中具有通常知識者，將可根據以下說明書的描述，在不脫離本發明的精

神範圍內，作均等的修飾與變化。在不同實施例與圖式之中，相同的元件，將以相同的元件符號加以表示。

【0017】 請參照第1A圖至第1E圖，第1A圖至第1E圖係根據本說明書的一實施例所繪示之製作高電子遷移率電晶體元件100的一系列製程結構剖面示意圖。在本實施例之中，製作高電子遷移率電晶體元件100的方法包括下述步驟：

【0018】 首先提供一基材101，並於基材101上形成具有三族元素氮化物的緩衝層110和通道層102。之後，再於通道層102上形成具有三族元素氮化物的第一阻障層103(如第1A圖所繪示)。在本說明書的一些實施例中，基材101可以是一種半導體基材、絕緣基材、塑化基材或復合基材。半導體基材包含矽基材、GaN基材、或SiC基材；絕緣材料包含藍寶石基材、或玻璃基材塑化基材包含聚醯亞胺(polyimide, PI)、聚萘二甲酸乙二醇酯(polyethylene naphthalate two formic acid glycol ester, PEN)或聚對苯二甲酸乙二醇酯(polyethylene terephthalate, PET)等基材，其中塑化基材可具有可撓式的特性；復合基材包含由矽與絕緣物組合成的SOI基材(silicon on insulator)。構成緩衝層110和通道層102的三族元素氮化物可以是三族-氮化物半導體材料，包含氮化鋁(Aluminum nitride, AlN)、氮化鎵(Gallium nitride, GaN)或氮化鋁鎵(Aluminum Gallium nitride, AlGaN)。

【0019】 在本實施例中，基材101可以是一種矽基材或SOI基材，其矽基材的厚度可以介於200奈米(nanometer, nm)至2釐米(millimeter, mm)之間。緩衝層110包含氮化鎵、氮化鋁鎵或上述之

組合。通道層係由氮化鎵所構成；阻障層103則係由氮化鋁鎵半導體材料所構成。緩衝層110的厚度可以介於10奈米(nanometer, nm)至100微米(micrometer, μm)之間；通道層102的厚度可以介於10奈米(nanometer, nm)至10微米(micrometer, μm)之間之間；第一阻障層103的厚度可以介於1奈米(nanometer, nm)至100奈米之間。

【0020】 接著，於阻障層 103 上形成閘極結構 104，在本說明書的一些實施例中，閘極結構 104 的製作方式包括下述步驟：參考第 1B 圖，先於阻障層 103 上依序形成一個無刻意摻雜雜質的氮化鎵層 105 和一個金屬氮化物層 106。其中，無刻意摻雜雜質的氮化鎵層 105 為一半導體層，其所包含之半導體材料為本質性半導體(intrinsic semiconductor)，無刻意摻雜雜質的氮化鎵層 105 磊晶之過程無摻雜雜質，但可能包含材料本質性雜質。無刻意摻雜雜質的氮化鎵層 105 的厚度實質上介於 40 奈米(nanometer, nm)至 100 奈米之間。在本說明書的一些實施例中，無刻意摻雜雜質的氮化鎵層 105 的厚度以大於 60 奈米為佳。較佳為 70 奈米。

【0021】 之後，參考第 1C 圖，進行至少一次熱處理製程 107，使得金屬氮化物層 106 中的金屬原子 106a 擴散入無刻意摻雜雜質的氮化鎵層 105 中。其中，金屬氮化物層 106 的金屬原子包含鎂(Mg)、鈹(Be)、鈣(Ca)、鋅(Zn)等可形成 p 型氮化物材料。於本實施例中，金屬氮化物層 106 為氮化鎂層，複數個鎂原子 106a 擴散入無刻意摻雜雜質的氮化鎵層 105 中的深度及範圍可藉由熱處理製程 107 之溫度及時間有效控制調整，避免鎂原子擴散至阻障層 103 與通道層 102，造成 2DEG 傳輸時外在缺陷捕捉載子。本實施例中，藉由將無

刻意摻雜雜質的氮化鎵層 105 設置於金屬氮化物層 106 下方，且與阻障層 103 接觸，在熱處理製程 107，鎂原子 106a 擴散後，將原本的無刻意摻雜雜質的氮化鎵層 105 轉變成一由實質上不包含鎂原子擴散 106a 之無刻意摻雜雜質的氮化鎵所構成的第一氮化鎵層 105A，以及一個位於第一氮化鎵層 105A 上，由包含有鎂原子 106a (P 型電性)之氮化鎵所構成的第二氮化鎵層 105B (如第 1C 圖所繪示)。在本實施例中，金屬氮化物層 106 的厚度實質上介於 3 奈米至 20 奈米之間。無刻意摻雜雜質的第一氮化鎵層 105A 的厚度可以介於 1 奈米至 20 奈米之間；第二氮化鎵層 105B 的厚度可以介於 40 奈米至 80 奈米之間；且第二氮化鎵層 105B 具有實質介於 $5E18$ 個/cm³ 至 $1E20$ 個/cm³ 之間的鎂原子摻雜濃度。

【0022】 在熱處理製程 107 之後，對氮化鎂層 106、第二氮化鎵層 105B 和第一氮化鎵層 105A 進行一個圖案化製程，例如反應離子蝕刻(Reactive Ion Etching, RIE)製程，以將一部份的阻障層 103 暴露於外。之後，可選擇性的再以另一次蝕刻製程 111 來圖案化氮化鎂層 106，以於氮化鎂層 106 中形成一個開口 106b，將一部分第二氮化鎵層 105B 暴露於外，(如第 1D 圖所繪示)。蝕刻製程 111 步驟可依氮化鎂層 106 厚度決定是否需進行開口。於一實施例中，氮化鎂層 106 厚度約 3 至 5 奈米則可不進行開口 106b 步驟。

【0023】 接著，於圖案化的氮化鎂層 106 上進行金屬沉積製程，以金屬材料，例如鈦(Ti)、鎢(W)或其他金屬及其合金，填充開口 106b，以於開口 106b 中形成閘電極層 108，並與第二氮化鎵 105B 形成歐姆接觸(Ohmic contact)，完成閘極結構 104 的製

作。後續，於阻障層 103 上形成彼此隔離的源極 109A 和汲極 109B，並與阻障層 103 形成歐姆接觸，且使閘極結構 104 位於源極 109A 和汲極 109B 之間，完成如第 1E 圖所繪示之高電子遷移率電晶體元件 100 的製備。

【0024】 其中，源極 109A 和汲極 109B 可以包括鈦鋁(TiAl)合金。值得注意的是，雖然在本實施例中，源極 109A 和汲極 109B 是形成於閘電極層 108 之後。但是在本說明書的一些實施例中，源極 109A 和汲極 109B 也可以先於閘電極層 108 形成。在另外一些實施例中，由於形成源極 109A 和汲極 109B 以及於閘電極層 108 的熱預算，已足夠將氮化鎂層 106 中的複數個鎂離子 106a 驅入無刻意摻雜雜質的氮化鎵層 105 的頂部。因此，可以省略熱處理製程 107。

【0025】 在本實施例中，由第二氮化鎵層 105B、氮化鎵層 105A 與通道層 102 所形成的 PIN 接面，在順向操作可提升臨界電壓(threshold voltage)，且增加長期操作下穩定性；在逆向操作可顯著減少高電子遷移率電晶體元件 100 的漏電路徑與提高崩潰電壓。另外，在製作高電子遷移率電晶體元件 100 的過程中，藉由先在氮化鎂層 106 與阻障層 103 之間形成無刻意摻雜雜質的氮化鎵層 105，再以熱處理將氮化鎂層 106 的鎂離子擴散入無刻意摻雜雜質的氮化鎵層 105 的方式，來形成具有 P 型電性之氮化鎵所構成的第二氮化鎵層 105B。相對於習知技術因直接在阻障層 103 上成長 P 型電性氮化鎵層，本實施例可較精準地控制 P 型雜質的摻雜深度，避免將鎂離子擴散至主動區和通道(阻障層 103 和通道層 102)的問題。且製程中氮化鎂層 106 可以對第二氮化鎵層 105B 提供保護作用，避免

第二氮化鎵層 105B 的表面裸露與大氣接觸，有助於提升高電子遷移率電晶體元件 100 的製程良率。

【0026】 然而，高電子遷移率電晶體元件中間極結構的安排並不以此為限。例如請參照第 2 圖，第 2 圖係根據本說明書的另一實施例所繪示的一種高電子遷移率電晶體元件 200 的結構剖面圖。高電子遷移率電晶體元件 200 的結構，與第 1D 圖所繪示之高電子遷移率電晶體元件 100 的結構與製程大致類似。二者的差別在於：閘電極層 208 並未與下方的第二氮化鎵層 105B 直接接觸。

【0027】 在本實施例中，由於形成開口 206b 的製程，並未使開口 206b 完全貫穿金屬氮化物層 206，例如氮化鎂層。故而，使後續形成於開口 206b 中的閘電極層 208，仍保有位於其下方的一部分氮化鎂層 206，而未與第二氮化鎵層 105B 直接接觸。此種閘極結構 204 的安排，可抑制高電子遷移率電晶體元件 200 操作時，閘電極層 208 發生漏電流，可增加高電子遷移率電晶體元件 200 元件的操作可靠度。

【0028】 請參照第 3 圖，第 3 圖係根據本說明書的又一實施例所繪示的一種高電子遷移率電晶體元件 300 的結構剖面圖。高電子遷移率電晶體元件 300 的結構，與第 1D 圖所繪示之高電子遷移率電晶體元件 100 的結構與製程大致類似。二者的差別在於：高電子遷移率電晶體元件 300 的閘極結構 304 更包括一個位於氮化鎂層 306 和閘電極層 308 之間的第三氮化鎵層 311。

【0029】 在本實施例中，將金屬氮化物層 306 例如氮化鎂層形成於第三氮化鎵層 311 與第 1B 圖所繪示之無刻意摻雜雜質的氮化鎵層 105 之間，再藉由熱製程 107，使氮化鎂層 306 中的鎂離子往下與

往上擴散至氮化鎵層 105 和第三氮化鎵層 311 中，使得該兩層經鎂離子擴散成為帶有 P 型電性的第二氮化鎵層 105B 以及第三氮化鎵層 311，並且餘留一部分的無刻意摻雜雜質的第一氮化鎵層 105A。於一實施例中，第三氮化鎵層 311 在靠近氮化鎂層 306 的部份中含有的鎂離子高於第三氮化鎵層 311 遠離氮化鎂層 306 的部份中含有的鎂離子。在高電子遷移率電晶體元件 300 操作時，帶有 P 型電性的第三氮化鎵層 311 具有抑制閘電極層 308 漏電流的功效，可增加高電子遷移率電晶體元件 300 元件的操作可靠度。

【0030】 請參照第 4A 圖至第 4E 圖，第 4A 圖至第 4E 圖係根據本說明書的再一實施例所繪示之製作高電子遷移率電晶體元件 400 的一系列製程結構剖面示意圖。在本實施例之中，製作高電子遷移率電晶體元件 400 的方法包括下述步驟：

【0031】 首先提供一基材 401，並於基材 401 上依序形成具有半導體三族元素氮化物的緩衝層 110 和通道層 402。之後，再於通道層 402 上形成具有三族元素氮化物的第一阻障層 403。在本說明書的一些實施例中，基材 401 可以是一種半導體基材、絕緣基材、塑化基材或復合基材。半導體基材包含矽基材、GaN 基材、或 SiC 基材；絕緣材料包含藍寶石基材、或玻璃基材塑化基材包含聚醯亞胺(polyimide，PI)、聚萘二甲酸乙二醇酯(polyethylene naphthalate two formic acid glycol ester，PEN)或聚對苯二甲酸乙二醇酯(polyethylene terephthalate，PET)等基材，其中塑化基材可具有可撓式的特性；復合基材包含由矽與絕緣物組合成的 SOI 基材(silicon on insulator)。

【0032】 在本實施例中，基材 401 可以是一種矽基材或 SOI 基材。緩衝層 110 包含氮化鎵、氮化鋁鎵或上述之組合。通道層 402 係由氮化鎵所構成；第一阻障層 403 則係由氮化鋁鎵所構成。緩衝層 110 的厚度可以介於 10 奈米至 100 微米之間；通道層 402 的厚度可以介於 10 奈米至 10 微米之間；第一阻障層 403 的厚度可以介於 1 奈米至 100 奈米之間。

【0033】 之後，再於第一阻障層 403 上依序形成第一 P 型氮化鎵層 404、第一金屬氮化物層 405 和第二 P 型氮化鎵層 406 半導體疊層。之後，在第二 P 型氮化鎵層 406 上方形成閘電極層 407(如第 4A 圖所繪示)。在本說明書的一些實施例中，第一金屬氮化物層 405 可以包括氮化鋁。第一 P 型氮化鎵層 404 的厚度可以介於 1 奈米至 3 奈米之間。第一金屬氮化物層 405 的厚度可以介於 1 奈米至 3 奈米之間；第二 P 型氮化鎵層 406 的厚度可以介於 30 奈米至 100 奈米之間。

【0034】 接著，以閘電極層 407 為蝕刻罩幕，以第一金屬氮化物層 405 為蝕刻停止層，進行第一蝕刻製程 408，藉以圖案化第二 P 型氮化鎵層 406。在移除一部份第二 P 型氮化鎵層 406 之後，將一部分第一金屬氮化物層 405 暴露於外(如第 4B 圖所繪示)。

【0035】 再以閘電極層 407 和圖案化後的第二 P 型氮化鎵層 406 為蝕刻罩幕，以第一 P 型氮化鎵層 404 為蝕刻停止層，進行第二蝕刻製程 409，藉以圖案化第一金屬氮化物層 405。在移除一部份第一金屬氮化物層 405 之後，將一部分第一 P 型氮化鎵層 404 暴露於外(如第 4C 圖所繪示)。

【0036】 然後，採用圖案化光阻 410 為蝕刻罩幕，以第一阻障層 403 為蝕刻停止層，進行第三蝕刻製程 411，藉以圖案化第一 P 型氮化鎵層 404。並在移除一部份第一 P 型氮化鎵層 404 之後，將一部分第一阻障層 403 暴露於外，以形成如第 4D 圖所繪示的閘極結構 412。在本說明書的一些實施例中，閘極結構 412 包括圖案化後的第一 P 型氮化鎵層 404A、圖案化後的第一金屬氮化物層 405A、圖案化後的第二 P 型氮化鎵層 406A 以及閘電極層 407。圖案化後的第一 P 型氮化鎵層 404A 的平面尺寸，實質上大於、圖案化後的第一金屬氮化物層 405A、圖案化後的第二 P 型氮化鎵層 406A 以及閘電極層 407 的平面尺寸。

【0037】 詳言之，經過第一蝕刻製程 408 和第二蝕刻製程 409 之後，圖案化後的第一金屬氮化物層 405A、圖案化後的第二 P 型氮化鎵層 406A 以及閘電極層 407 三者具有相同的平面尺寸或相近的形狀。於一實施例中，圖案化後的第一金屬氮化物層 405A、圖案化後的第二 P 型氮化鎵層 406A 以及閘電極層 407 三者具有相互重疊的邊緣。圖案化後的第一 P 型氮化鎵層 404A 包括一個堆疊部 404A1 和一個延伸部 404A2。堆疊部 404A1 與圖案化後的第一金屬氮化物層 405A、圖案化後的第二 P 型氮化鎵層 406A 以及閘電極層 407 實質上對準且重疊。延伸部 404A2 則由閘電極層 407(圖案化後的第一金屬氮化物層 405A 和圖案化後的第二 P 型氮化鎵層 406A)投影於圖案化後的第一 P 型氮化鎵層 404A 上的邊緣 404A3，向外延伸一段距離。例如，在本實施例中，延伸部 404A2 則由閘電極層 407、圖案化後的第一金屬氮化物層 405A 或圖案化後的第二 P 型氮化鎵層 406A

投影於圖案化後的第一 P 型氮化鎵層 404A 上的邊緣 404A3，向外延伸約 8 微米至 12 微米。

【0038】後續，於第一阻障層 403 上形成彼此隔離的源極 413A 和汲極 413B，使閘極結構 412 位於源極 413A 和汲極 413B 之間。並形成鈍化層 414，覆蓋於暴露在外的一部份第一阻障層 403 上，完成如第 4E 圖所繪示之高電子遷移率電晶體元件 400 的製備。在本實施例中，源極 413A 和汲極 413B 可以分別距離圖案化後的第一 P 型氮化鎵層 404A 的延伸部 404A2 約 3 微米。

【0039】在本實施例中，圖案化後的第一 P 型氮化鎵層 404A 置於第一阻障層 403 之上，在順向操作時有助於將在反向操作時越過第一阻障層 403 而被捕捉在第一 P 型氮化鎵層 404A 與第一阻障層 403 介面間的電子引導至閘極電極 407，因此可降低高電子遷移率電晶體元件 400 發生電流崩塌(current collapse)現象。在反向操作時，延伸部 404A2 下方的第一阻障層 403 及通道層 402 之間會形成局部空乏區，因此可抑制閘極結構 412 的漏電流，並提升高電子遷移率電晶體元件 400 的崩潰電壓。

【0040】在製作閘極結構 412 的過程中，藉由在第二 P 型氮化鎵層 406 下方形成一個第一金屬氮化物層 405 來做為蝕刻停止層，於蝕刻製程中蝕刻劑對第二 P 型氮化鎵層 406 與第一金屬氮化物層 405 兩層有不同的蝕刻速率，可以更精準地控制第一蝕刻製程 408 的蝕刻深度，以使圖案化後的第二 P 型氮化鎵層 406A 具有預期的厚度。於一實施例中，選擇氮化鋁做為第一金

屬氮化物層 405 的材料，蝕刻劑對第二 P 型氮化鎵層 406 的蝕刻速率大於其對第一金屬氮化物層 405 的蝕刻速率，可以避免過蝕刻的情況發生。藉由同一原理，也可以選擇適合的蝕刻劑，有效控制第二蝕刻製程 409 的蝕刻深度，以使圖案化後的第一金屬氮化物層 405A 也具有預期的厚度。藉由同一原理，也可以有效控制第三蝕刻製程 411 的蝕刻深度，以使圖案化後的第一 P 型氮化鎵層 404A 具有預期的厚度，進而擴大高電子遷移率電晶體元件 400 的製程裕度。於一實施例中，第一金屬氮化物層 405 可形成於閘電極層 407 和圖案化後的第二 P 型氮化鎵層 406A 之間，第一金屬氮化物層 405 的材料包含氮化鋁以及氮化鎵。

【0041】 請參照第 5 圖，第 5 圖係根據本說明書的又另一實施例所繪示的一種高電子遷移率電晶體元件 500 的結構剖面圖。高電子遷移率電晶體元件 500 的結構與第 4E 圖所繪示之高電子遷移率電晶體元件 400 的結構，與製程大致類似，差別在於：高電子遷移率電晶體元件 500 更包括一個第二金屬氮化物層 515。

【0042】 在本實施例中，為了更精準地控制圖案化後之第一 P 型氮化鎵層 404A 的厚度。在本說明書的一些實施中，在形成第一 P 型氮化鎵層 404 之前，較佳可以在第一阻障層 403 上形成一個第二金屬氮化物層，使第二金屬氮化物層位於第一阻障層 403 和後續形成的第一 P 型氮化鎵層 404 之間。而在圖案化第一 P 型氮化鎵層 404 同時，藉由第三蝕刻製程 411 將一部分的第二金屬氮化物層加以移除，以形成圖案化後的第二金屬氮化物層 515。圖案化後的第二金屬氮化物層 515 和圖案化後的第一

P 型氮化鎵層 404A 具有相同的平面尺寸。於一實施例中，形成圖案化後的第二金屬氮化物層 515 的步驟和第三蝕刻製程 411 分開，在完成第三蝕刻製程 411 後，藉由另一蝕刻製程圖案化第二金屬氮化物層以形成圖案化後的第二金屬氮化物層 515。

【0043】 在本說明書的一些實施例中，構成圖案化後的第二金屬氮化物層 515 的材料，可以與構成圖案化後的第一金屬氮化物層 405A 的材料相同或不同。在本實施例中，第二金屬氮化物層 515 和圖案化後的第一金屬氮化物層 405A 皆包含氮化鋁。

【0044】 請參照第 6A 圖至第 6B 圖，第 6A 圖至第 6B 圖係根據本說明書的又再一實施例所繪示製作高電子遷移率電晶體元件 600 的部分製程結構剖面示意圖。在本實施例之中，高電子遷移率電晶體元件 600 的結構大致與第 4E 圖所繪示之高電子遷移率電晶體元件 400 的結構類似，差別在於高電子遷移率電晶體元件 600 還包括一個第二阻障層 616。由於製作高電子遷移率電晶體元件 600 的前段製程，與第 4A 圖至第 4C 圖所述的步驟相同，故不再贅述。於一實施例中，高電子遷移率電晶體元件 600 可以選擇性不具有第一金屬氮化物層 405A。

【0045】 在形成閘極結構 412 之後，於未被閘極結構 412 覆蓋的一部分第一阻障層 403 上，形成第二阻障層 616，以覆蓋在圖案化後的第一 P 型氮化鎵層 404A 和一部分圖案化後的第二 P 型氮化鎵層 406A，並將另一部份的第二 P 型氮化鎵層 406A 暴露於外，並且使閘電極層 407 形成在圖案化後的第二 P 型氮化鎵層 406A 被暴露於外的這個部份上。例如，在本實施例中，如第 6A 圖所繪示，第二阻障層 616 可以覆蓋在圖案化後之

第一 P 型氮化鎵層 404A 的延伸部 404A1 的上方，但並未覆蓋超過圖案化後的第二 P 型氮化鎵層 406A 的頂部。而使圖案化後之第二 P 型氮化鎵層 406A 的下半部嵌設於第二阻障層 616 之中，並將圖案化後之第二 P 型氮化鎵層 406A 的上半部和閘電極層 407 暴露於外。後續，再於第二阻障層 616 上形成彼此隔離的源極 413A 和汲極 413B，使閘極結構 412 位於源極 413A 和汲極 413B 之間(如第 6B 圖所繪示)。

【0046】 在本說明書的另一些實施例中，形成第二阻障層的步驟，可以早於閘極的形成。例如請參照第 7A 圖至第 7C 圖，第 7A 圖至第 7B 圖係根據本說明書的又再一實施例所繪示製作高電子遷移率電晶體元件 700 的部分製程結構剖面示意圖。

【0047】 首先，可以採用至少一個圖案化光阻層 701(而非採用如第 4A 圖至第 4D 圖所繪示的閘極 407)來做為蝕刻罩幕，分別對第二 P 型氮化鎵層 406 和第一金屬氮化物層 405 進行蝕刻，以形成圖案化的第二 P 型氮化鎵層 406A 和圖案化的第一金屬氮化物層 405A (如第 7A 圖所繪示)。

【0048】 移除圖案化光阻層 701 之後，採用另一個圖案化光阻 710 為蝕刻罩幕，以第一阻障層 403 為蝕刻停止層，對第一 P 型氮化鎵層 404 進行蝕刻以形成圖案化的第一 P 型氮化鎵層 404(如第 7B 圖所繪示)。

【0049】 移除圖案化光阻 710 之後，以磊晶再成長(regrowth)技術在圖案化後的第一 P 型氮化鎵層 404A 和第一阻障層 403 上方，形成第二阻障層 716 並覆蓋第一阻障層 403 暴露於外的部分、圖案化後的第一 P 型氮化鎵層 404A、圖案化的

第一金屬氮化物層 405A 以及圖案化後之第二 P 型氮化鎵層 406A 的下半部；並將圖案化後之第二 P 型氮化鎵層 406A 的上半部以及頂部暴露於外。後續，以沉積和圖案化製程，於圖案化後之第二 P 型氮化鎵層 406A 的頂部形成閘極 707，並於第二阻障層 716 上形成彼此隔離的源極 413A 和汲極 413B，使閘極結構 712(包括閘極 707、圖案化後的第一 P 型氮化鎵層 404A、圖案化的第一金屬氮化物層 405A 以及圖案化後之第二 P 型氮化鎵層 406A)位於源極 413A 和汲極 413B 之間，完成如第 7C 圖所繪示之高電子遷移率電晶體元件 700 的製備。

【0050】 在第 6A 圖至第 7C 圖的實施例中，構成第二阻障層 616/716 的材料，可以與構成第一阻障層 403 的材料相同或不同。第二阻障層 616/716 的厚度可以介於 20 奈米至 100 奈米之間。在本實施例中，第二阻障層 616/716 和第一阻障層 403 的材料相同都是由氮化鋁鎵所構成。因此，第一阻障層 403 和第二阻障層 616/716 可以整合成一個氮化鋁鎵層，使圖案化後之第一 P 型氮化鎵層 404A 被整合後的氮化鋁鎵層完全包覆。

【0051】 於上述實施例中，圖案化後的第一 P 型氮化鎵層 404A、或圖案化後的第二 P 型氮化鎵層 406A 可藉由上述實施例之方式，在元件中形成一無刻意摻雜的氮化鎵層，並在其上方或下方插入一層氮化鎂層，經由熱處理將氮化鎂層中的鎂離子擴散至無刻意摻雜的氮化鎵層以形成 P 型氮化鎵層，再進行圖案化第一 P 型氮化鎵層 404A、第二 P 型氮化鎵層 406A 之步驟。

【0052】 因為包覆於氮化鋁鎵層中的圖案化後之第一 P 型氮化鎵層 404A，具有延伸超過閘電極層 407/707 邊緣的延伸部

404A2，可用來作為場板，對其所覆蓋區域提供一個額外的電場，以有效地空乏該覆蓋區域所累積的電子，使汲極到閘極之間的空乏區寬度增加，造成電場的重新分布，進而紓解原本在閘極邊緣處的尖端峰值電場，有效地提升高電子遷移率電晶體元件 600 的崩潰電壓，並且降低閘極漏電電流。另外，額外增加的氮化鋁鎵第二阻障層 616/716 也有電流補償作用。

【0053】 在實際操作時，圖案化後之第一 P 型氮化鎵層 404A 之延伸部 404A2 的厚度及 p 型雜質，例如 Mg 的摻雜濃度，較佳係參考高電子遷移率電晶體元件 600/700 延伸部 404A2 下方之二維電子氣通道中的載子濃度來決定。換言之，以延伸部 404A2 作為場板，對其所覆蓋區域下方二維電子氣通道中二維電子氣被局部空乏的程度來判斷。例如，在本說明書的一些實施例中，當高電子遷移率電晶體元件 600/700 中第一 P 型氮化鎵層 404A 之 p 型雜質摻雜濃度為 $1\text{E}20$ 個/ cm^3 時，延伸部 404A2 的厚度較佳係小於等於 2 奈米時，延伸部 404A2 下方的二維電子氣被局部空乏。當電子遷移率電晶體元件 600/700 中第一 P 型氮化鎵層 404A 之 p 型雜質摻雜濃度為 $5\text{E}19$ 個/ cm^3 時，延伸部 404A2 的厚度較佳係小於等於 3 奈米時，延伸部 404A2 下方的二維電子氣被局部空乏。

【0054】 根據上述實施例，本說明書是在提供一種高電子遷移率電晶體及其製作方法，藉由在緩衝層、通道層和阻障層上方形成包括依序堆疊的第一氮化鎵層、第二氮化鎵層、金屬氮化物層以及閘電極層的閘極結構。並使第二氮化鎵層具有複數個 P/N 導電型雜質。之後，再於阻障層上形成彼此隔離的源極和汲

極，使閘極結構位於源極和汲極之間，構成增強型高電子遷移率電晶體。

【0055】 在本說明書的一實施例中，第一氮化鎵層無刻意摻雜雜質。在製作高電子遷移率電晶體的過程中，採用無刻意摻雜雜質的第一氮化鎵層來作為緩衝層，以可精確掌握形成第二氮化鎵層之摻雜製程的摻雜深度。可防止習知技術，因為直接在阻障層上成長 P 型電性氮化鎵層，而將 P 型雜質擴散至阻障層和緩衝層中，而導致整體電路失效的問題。

【0056】 在本說明書的另一實施例中，第一氮化鎵層和第二氮化鎵層係由具有相同導電型之雜質的氮化鎵所構成；且第一堆疊層具有一個延伸部，由閘電極層投影於第一氮化鎵層上的邊緣，分別朝向源極和汲極方向延伸。可在順向操作時耗盡累積於緩沖層和阻障層之異質接面上的二維電子氣通道的電子，防止高電子遷移率電晶體元件發生電流崩潰現象。在反向操作時，則較容易使通道區形成空乏區，抑制閘極的漏電流，提升高電子遷移率電晶體元件的崩潰電壓。另外，在製作第一氮化鎵層的過程中，藉由位於其下方的金屬氮化物層(氮化鋁層)作為蝕刻停止層來圖案化摻雜的氮化鎵層，可以精確控制蝕刻製程的深度，以使圖案化後的第一氮化鎵層具有預期的厚度。可以有效擴大高電子遷移率電晶體元件的製程裕度。

【0057】 在本說明書的又一實施例中，第一氮化鎵層和第二氮化鎵層係由具有相同導電型之雜質的氮化鎵所構成；且第一堆疊層具有一個延伸部，由閘電極層投影於第一氮化鎵層上的邊緣，分別朝向源極和汲極方向延伸；並額外形成一個和阻障層材

質相同的第二阻障層，覆蓋第一氮化鎵層和第二氮化鎵層之一部份，暴露出第二氮化鎵層之另一部份，且使閘電極層形成在此第二氮化鎵層暴露於外的部份上。藉以使第一氮化鎵層的延伸部提供一個額外的電場，增加汲極到閘極之間的空乏區寬度，進而紓解閘極邊緣處的尖端峰值電場，有效地提升高電子遷移率電晶體元件的崩潰電壓，並且降低閘極漏電電流。

【0058】 雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何該技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0059】

100、200、300、400、500、600、700：高電子遷移率電

晶體元件

101、401：基材

102、402：通道層

103、403：阻障層

104、204、304、412、712：閘極結構

105：無刻意摻雜雜質的氮化鎵層

105A：第一氮化鋁鎵層

105B：第二氮化鋁鎵層

106、206、306：金屬氮化物層

106a：鎂離子

106b、206b：開口

107：熱處理製程

108、208、308：閘電極層

109A、413A：源極

109B、413B：汲極

110：緩衝層

111：蝕刻製程

311：第三氮化鎵層

404：第一 P 型氮化鎵層

404A：圖案化後的第一 P 型氮化鎵層

404A1：堆疊部

404A2：延伸部

404A3：邊緣

405：第一氮化鋁層

405A：圖案化後的第一氮化鋁層

406：第二 P 型氮化鎵層

406A：圖案化後的第二 P 型氮化鎵層

407、707：閘電極層

408：第一蝕刻製程

409：第二蝕刻製程

410、701、710：圖案化光阻

411：第三蝕刻製程

414：鈍化層

515：圖案化後的第二金屬氮化物層

716：第二阻障層

【生物材料寄存】無。

【發明申請專利範圍】

【第1項】 一種高電子遷移率電晶體(High Electron Mobility Transistor)元件，包括：

一基材；

一緩衝層，位於該基材上，具有一三族元素氮化物(III-nitride)；

一通道層，位於該緩衝層上，具有該三族元素氮化物；

一阻障層(barrier layer)，位於該通道層上；

一源極，位於該阻障層上；

一汲極，位於該阻障層上，並與該源極隔離；以及

一閘極結構，位於該阻障層上，並位於該源極和該汲極之間，包括：

一第一氮化鎵(Gallium nitride)層，位於該阻障層上，其中該第一氮化鎵層無刻意摻雜雜質；

一第二氮化鎵層，位於該第一氮化鎵層上，且具有一導電型雜質，其中該導電型雜質包含一第一金屬元素；

一金屬氮化物層位於該第二氮化鎵層上，其中該金屬氮化物層包含一金屬氮化物材料 MN，其中 N 為氮元素，M 為一第二金屬元素，該第二金屬元素與該導電型雜質之該第一金屬元素相同；以及

一閘電極層，位於該第二氮化鎵層上。

【第2項】 如申請專利範圍第1項所述之高電子遷移率電晶體元件，其中該金屬氮化物層包含一氮化鎂層，該氮化鎂層具有一開口，其中該閘極層穿過該開口與該第二氮化鎵層接觸，或該閘極層位於該開口中不與該第二氮化鎵層接觸。

【第3項】 如申請專利範圍第1項所述之高電子遷移率電晶體元件，更包括一第三氮化鎵層，位於該金屬氮化物層和該閘極層之間，且該第三氮化鎵層具有該導電型雜質。

【第4項】 如申請專利範圍第1項所述之高電子遷移率電晶體元件，其中該金屬氮化物層之材料包含氮化鎂，該第一金屬元素及該第二金屬元素包含一鎂元素。

【第5項】 一種高電子遷移率電晶體元件，包括：

一基材；

一緩衝層，位於該基材上，具有一三族元素氮化物；

一通道層，位於該緩衝層上，具有該三族元素氮化物；

一阻障層，位於該通道層上；

一源極，位於該阻障層上；

一汲極，位於該阻障層上，並與該源極隔離；以及

一閘極結構，位於該阻障層上，並位於該源極和該汲極之間，

包括：

一第一氮化鎵層，位於該阻障層上，具有一導電型雜質；

一第一金屬氮化物層，位於該第一氮化鎵層上；

一第二氮化鎵層，位於該第一金屬氮化物層上，具有該導電型雜質；

一第二金屬氮化物層，位於該第一氮化鎵層和該阻障層之間，其中該第一金屬氮化物層與該第二金屬氮化物層具有一相同材料；以及

一閘電極層，位於該第二氮化鎵層上；

其中，該第一氮化鎵層之一部份由該閘電極層投影於該第一氮化鎵層上的一邊緣，分別朝向該源極和該汲極方向延伸。

【第6項】 如申請專利範圍第5項所述之高電子遷移率電晶體元件，其中該第一金屬氮化物層與該第二金屬氮化物層之材料包含氮化鋁。

【第7項】 一種高電子遷移率電晶體元件，包括：

一基材；

一緩衝層，位於該基材上，具有一三族元素氮化物；

一通道層，位於該緩衝層上；

一第一阻障層，包含氮化鋁鎵，位於該通道層上；

一第二阻障層，包含氮化鋁鎵，位於該第一阻障層上；

一源極，位於該第一阻障層上；

一汲極，位於該第一阻障層上，並與該源極隔離；

一閘極結構，位於該第一阻障層上，並位於該源極和該汲極之間，包括：

一第一氮化鎵層，位於該第一阻障層上，具有一p型導電性；

一第二氮化鎵層，位於該第一阻障層上，具有該p型導電性，其中該第一氮化鎵層之一面積大於該第二氮化鎵層之一面積，且該第一氮化鎵層朝向該源極和該汲極方向延伸；以及

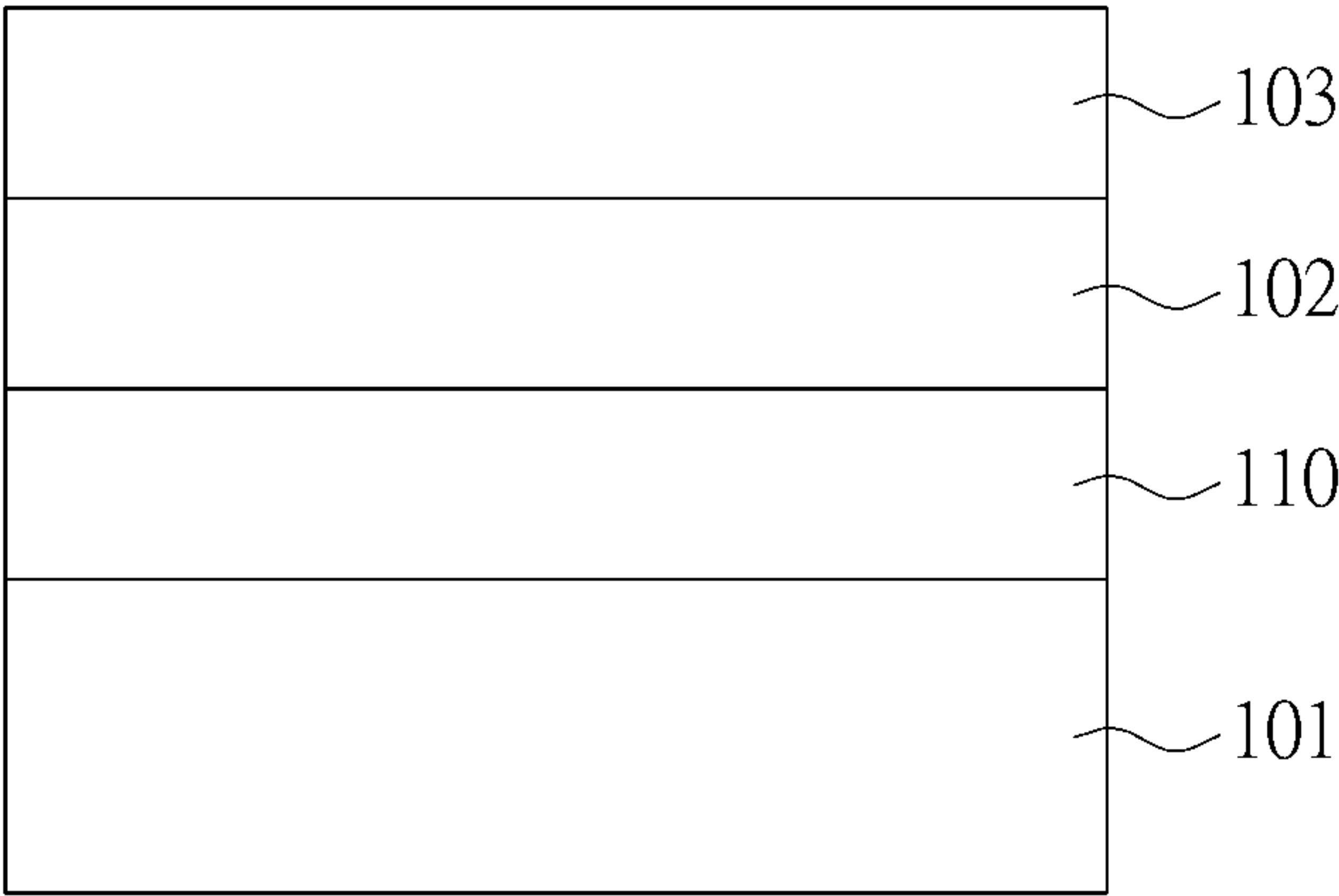
一閘電極層；

其中該第二阻障層，覆蓋該第一氮化鎵層和該第二氮化鎵層之一部份，暴露出該第二氮化鎵層之另一部份，且該閘電極層形成在該另一部份上。

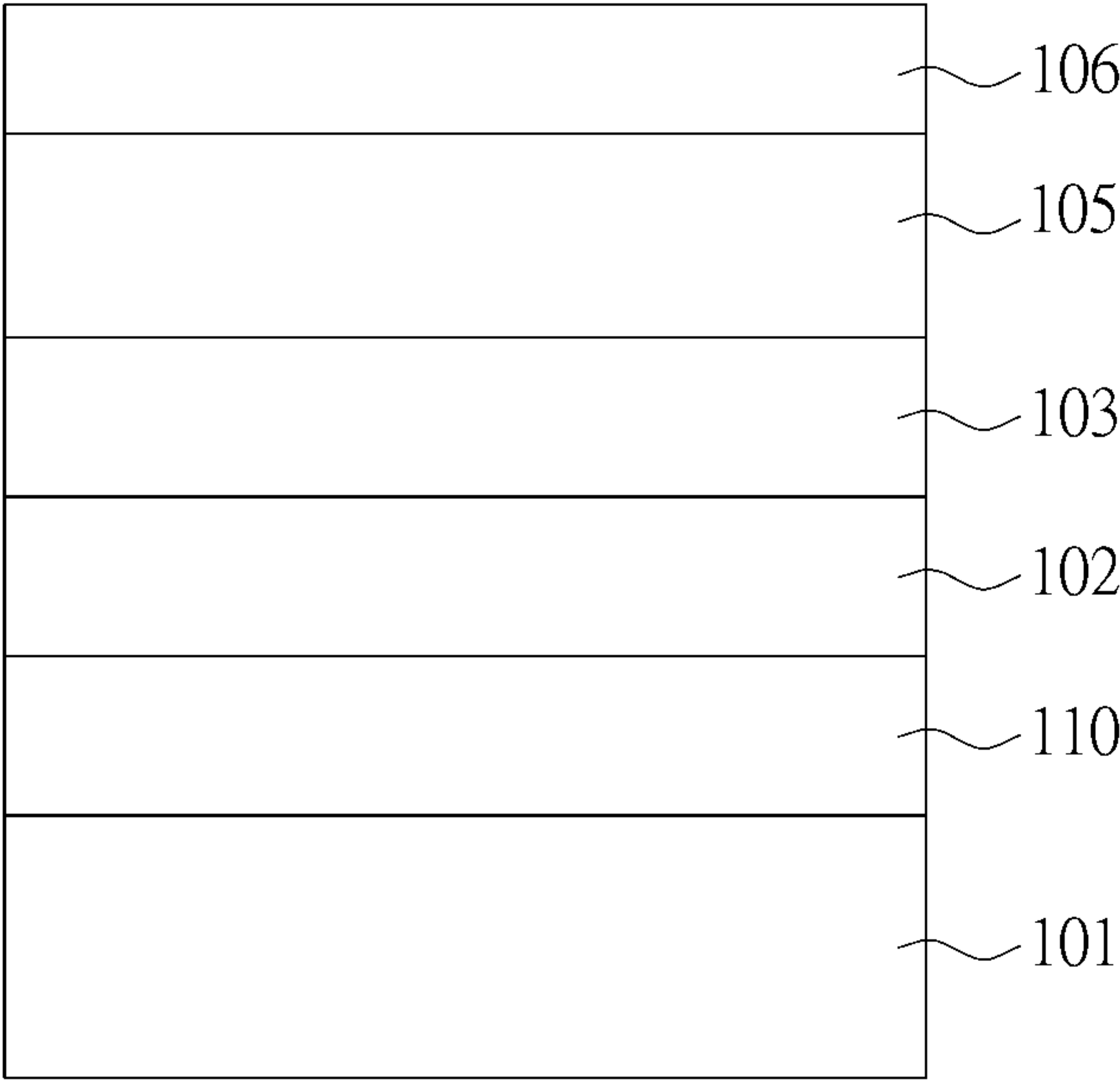
【第8項】 如申請專利範圍第7項所述之高電子遷移率電晶體元件，更包含一金屬氮化物層位於該第一氮化鎵層及該第二氮化鎵層之間。

【第9項】 如申請專利範圍第8項所述之高電子遷移率電晶體元件，其中該金屬氮化物層之材料包含氮化鋁。

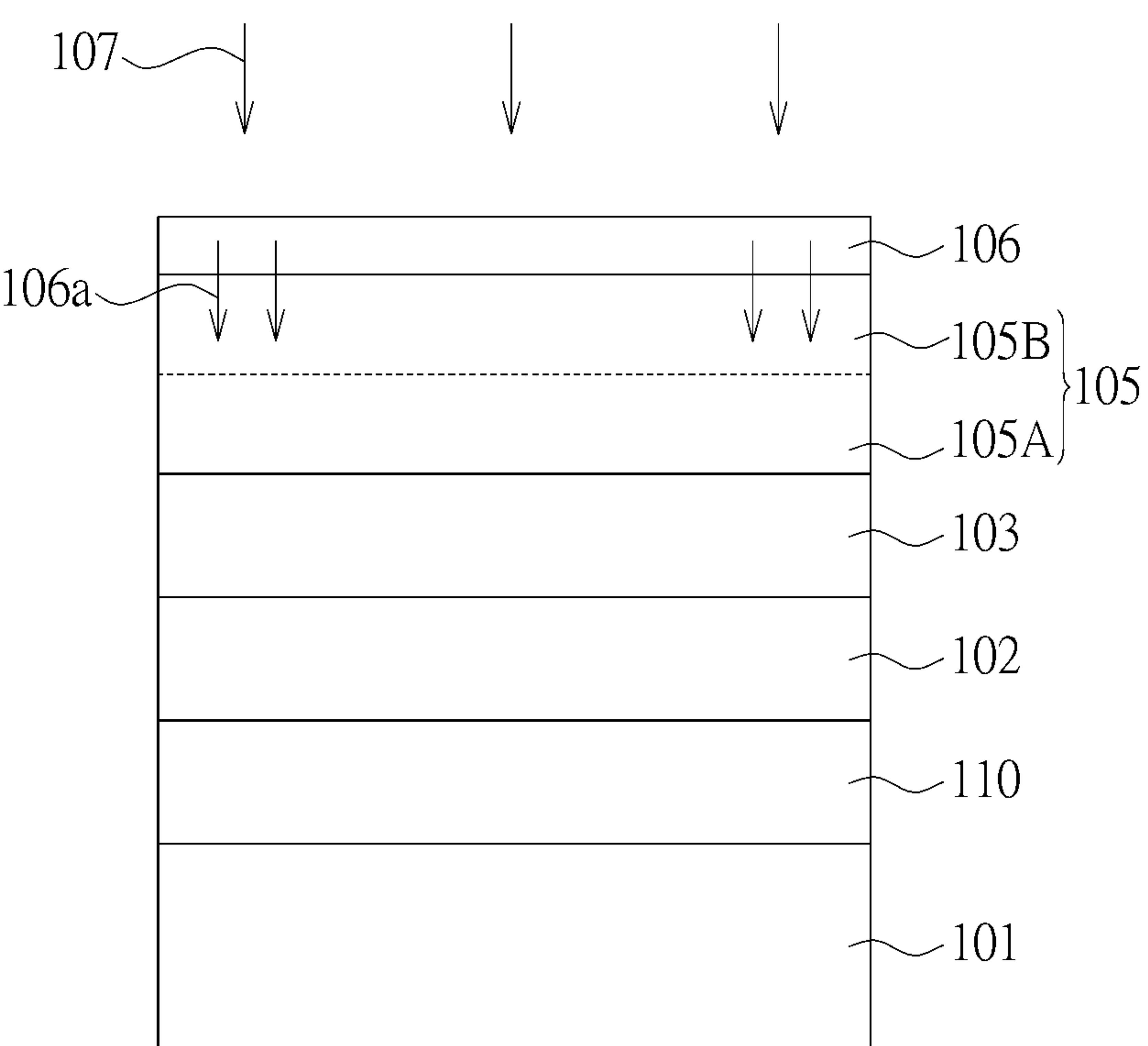
【發明圖式】



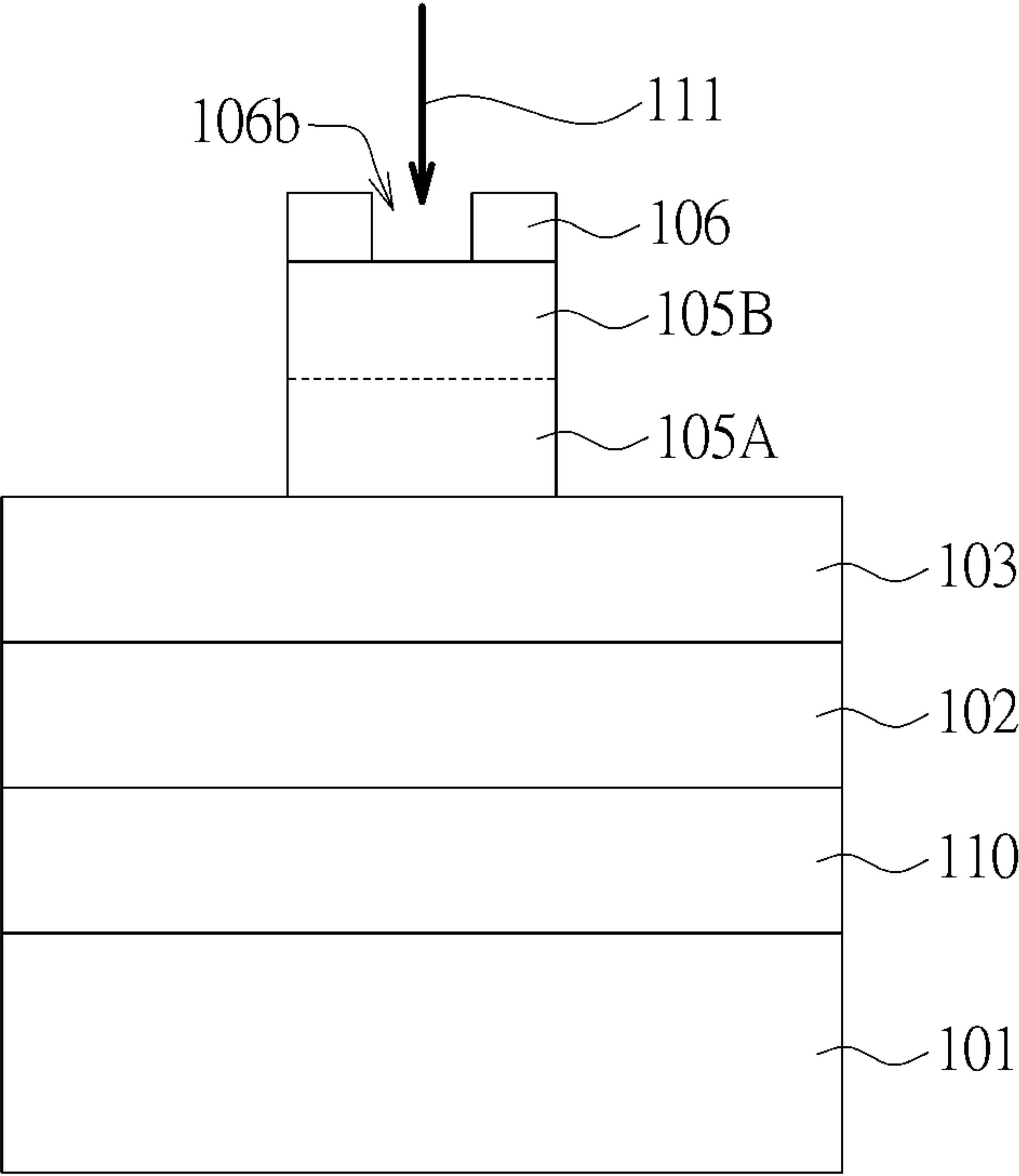
第 1A 圖



第 1B 圖

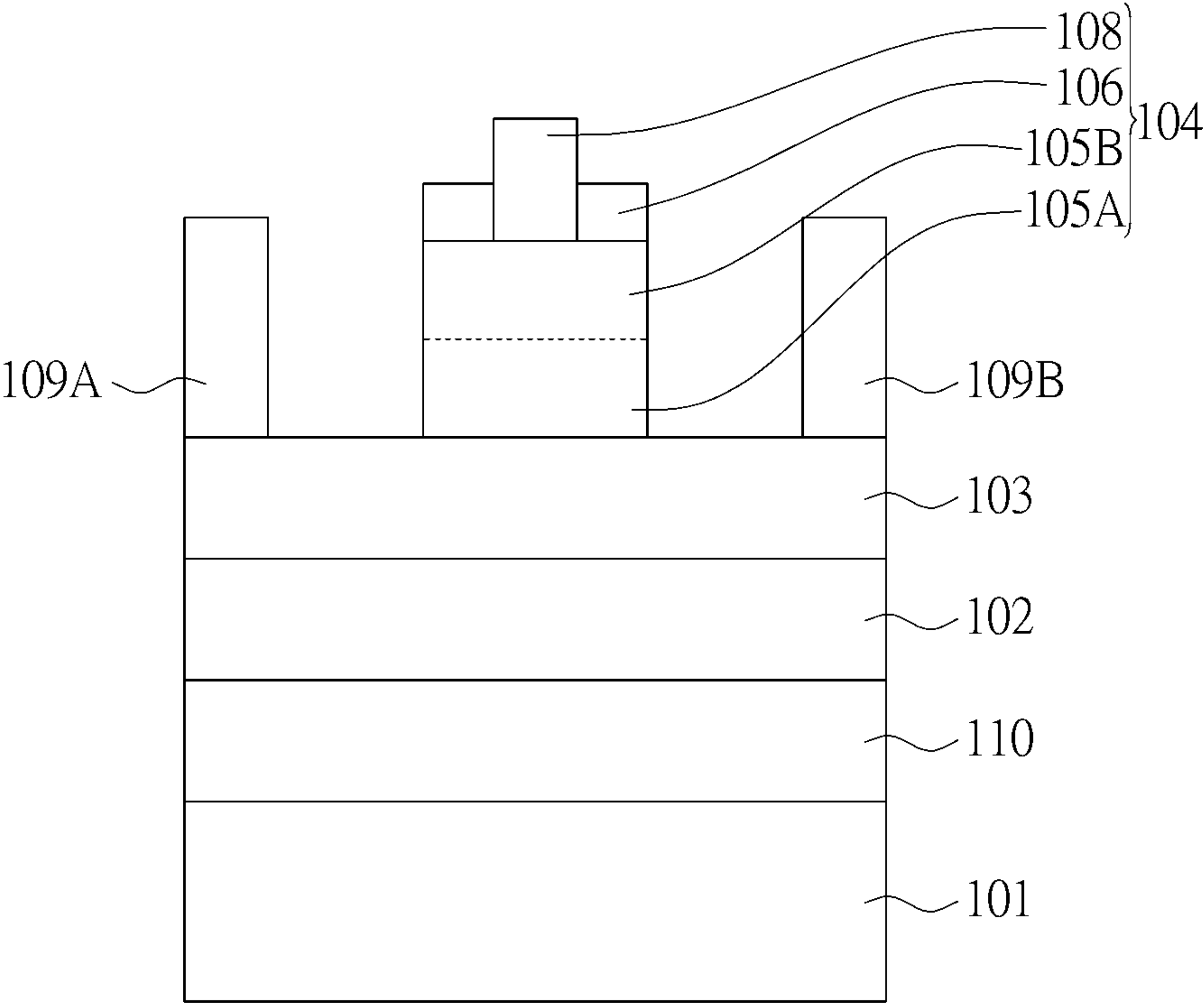


第 1C 圖

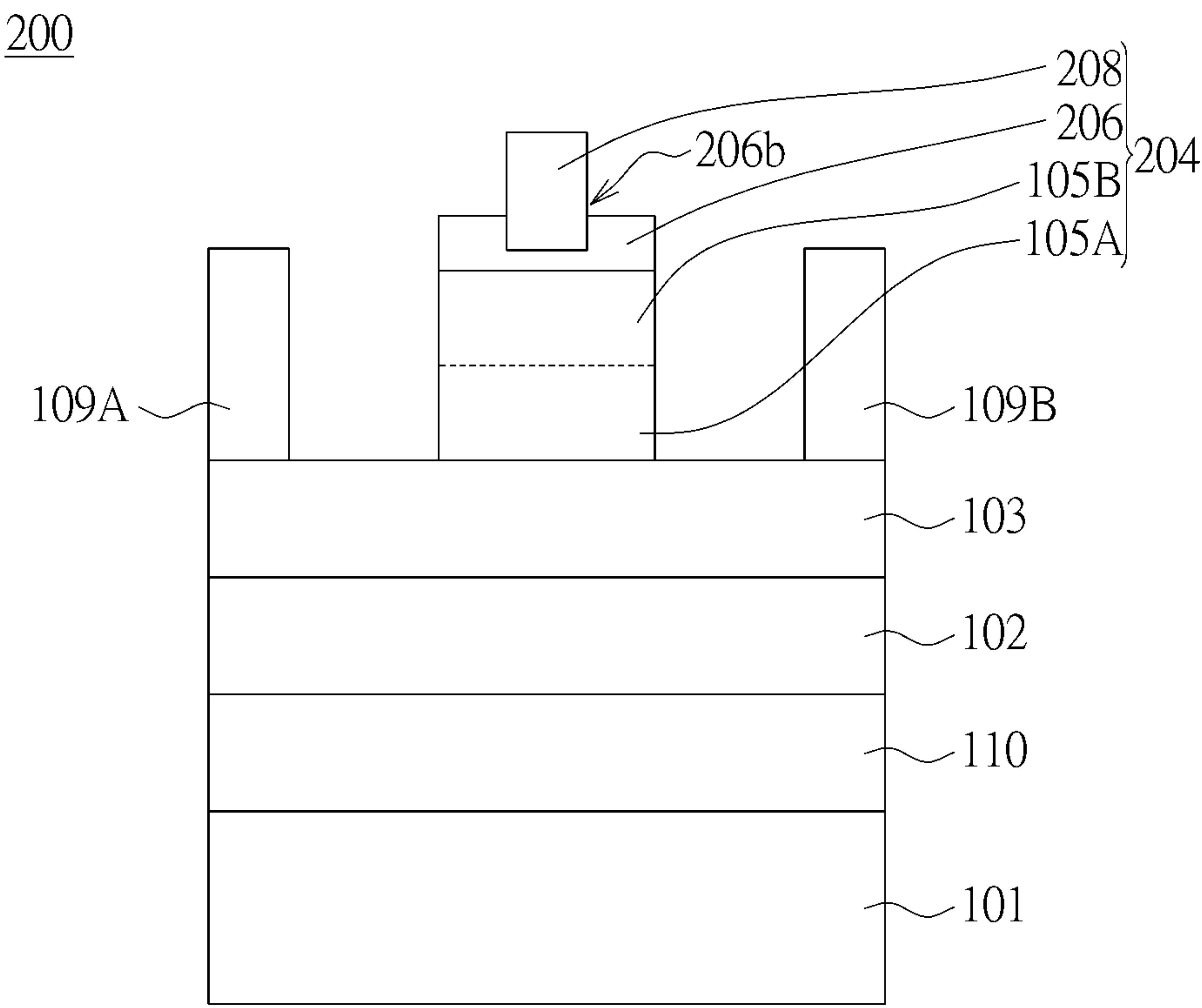


第 1D 圖

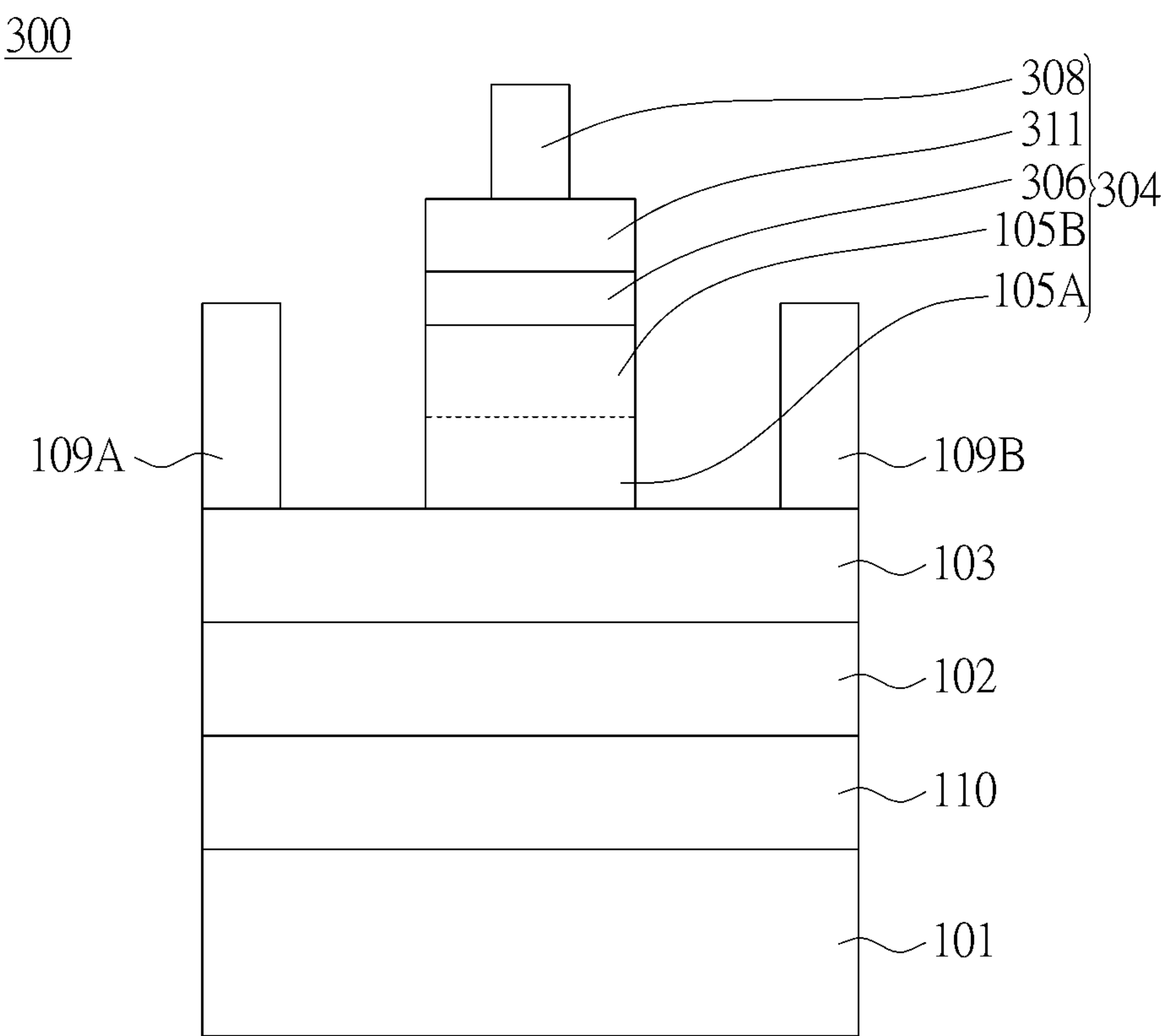
100



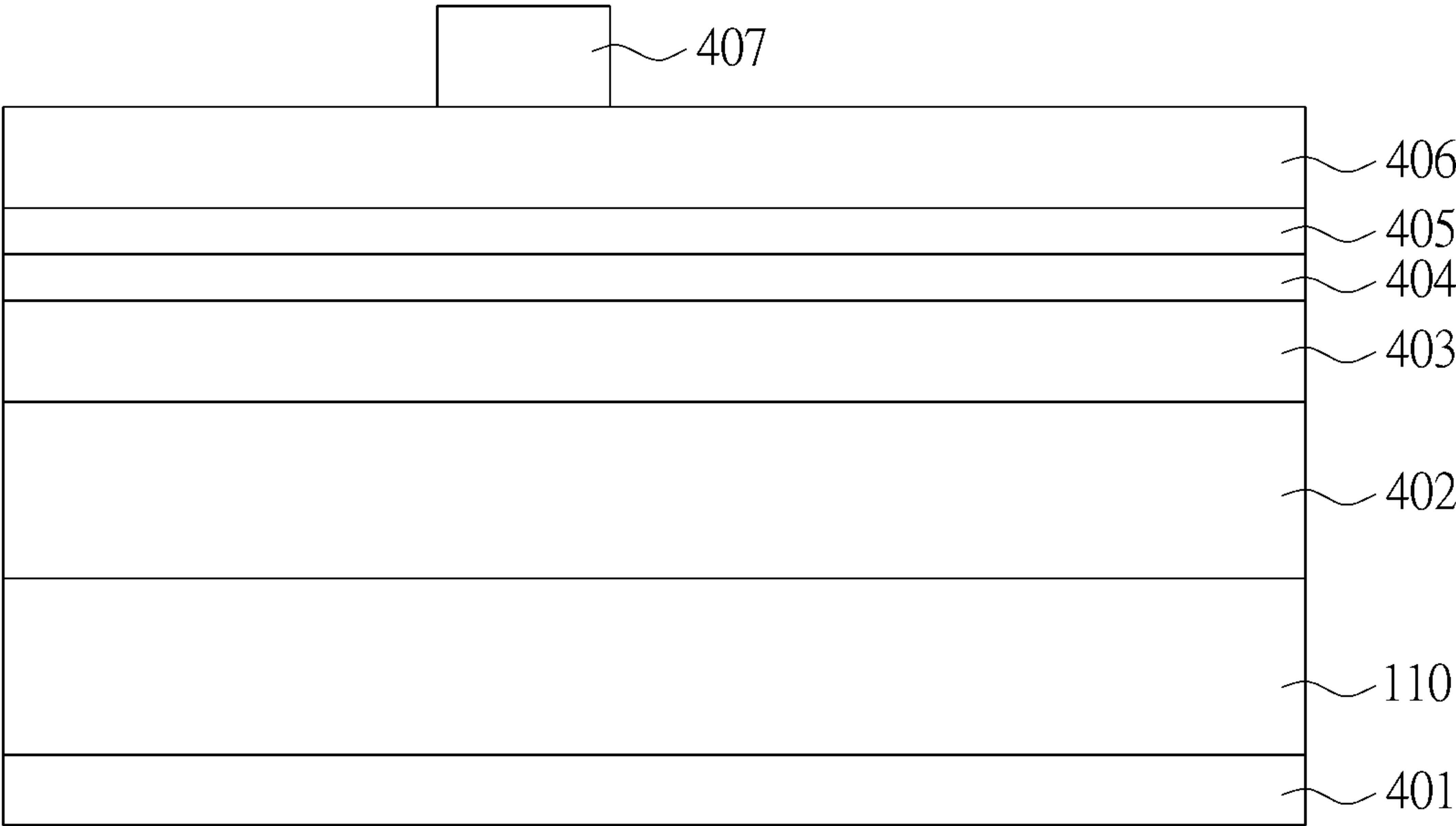
第 1E 圖



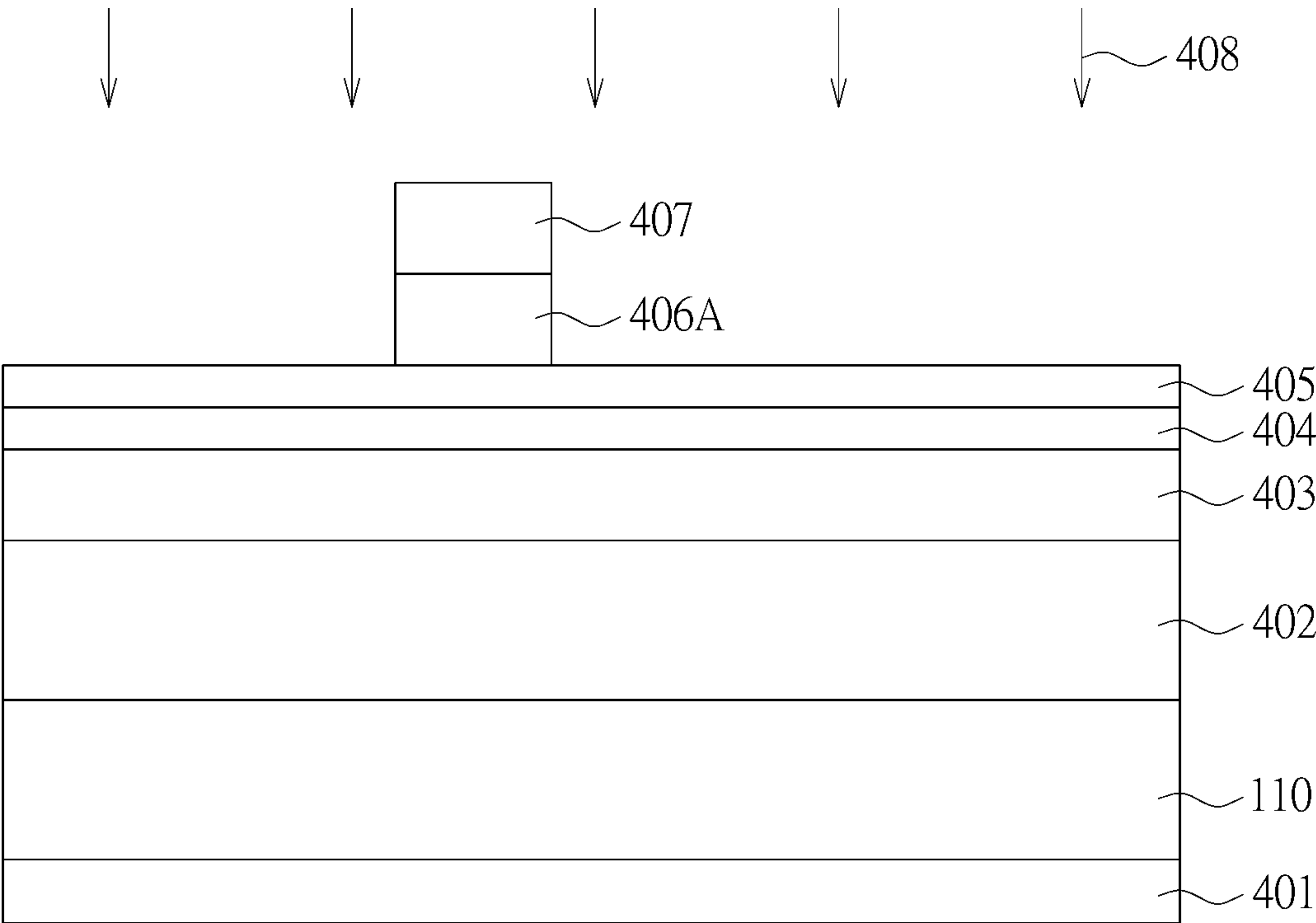
第 2 圖



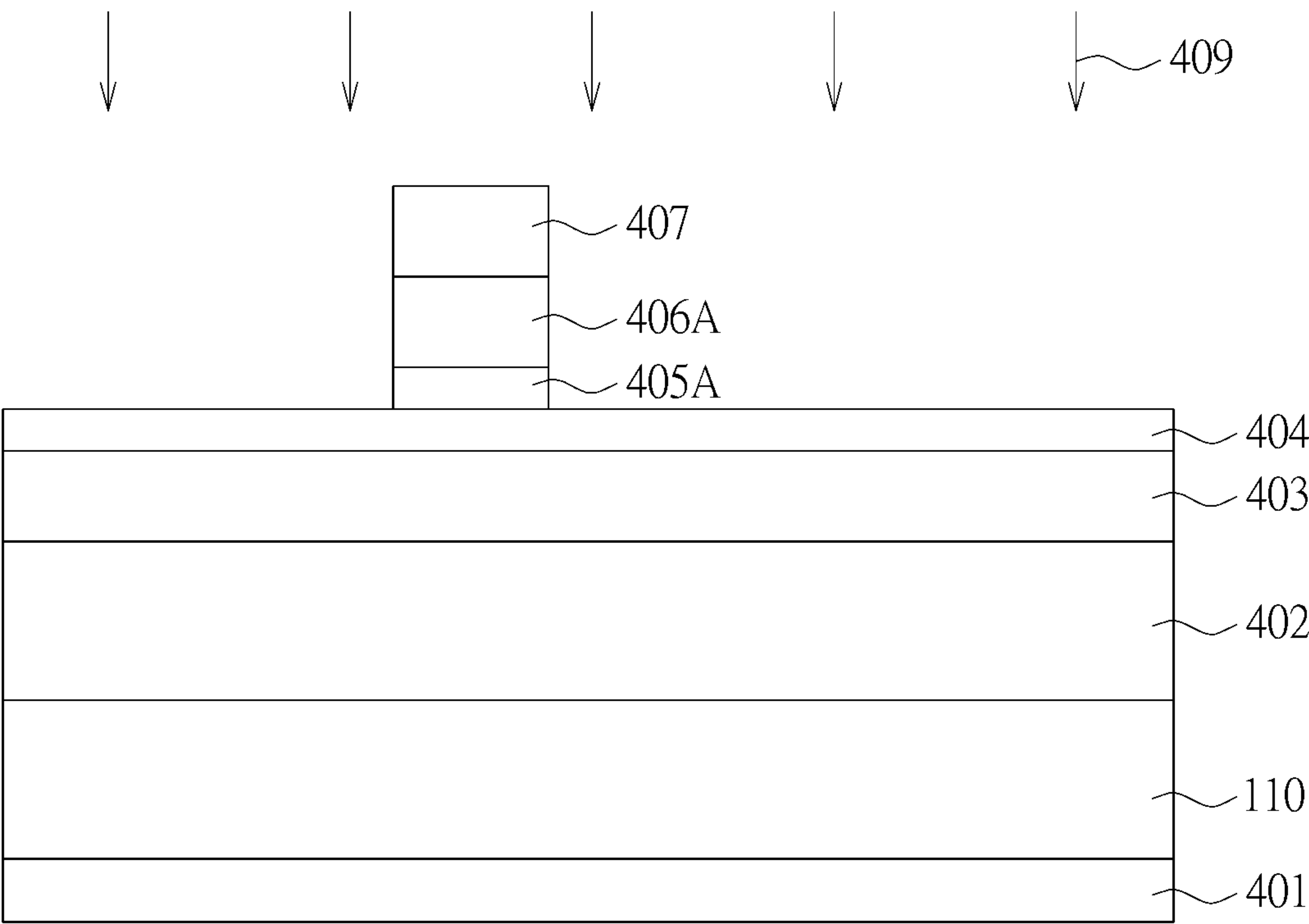
第 3 圖



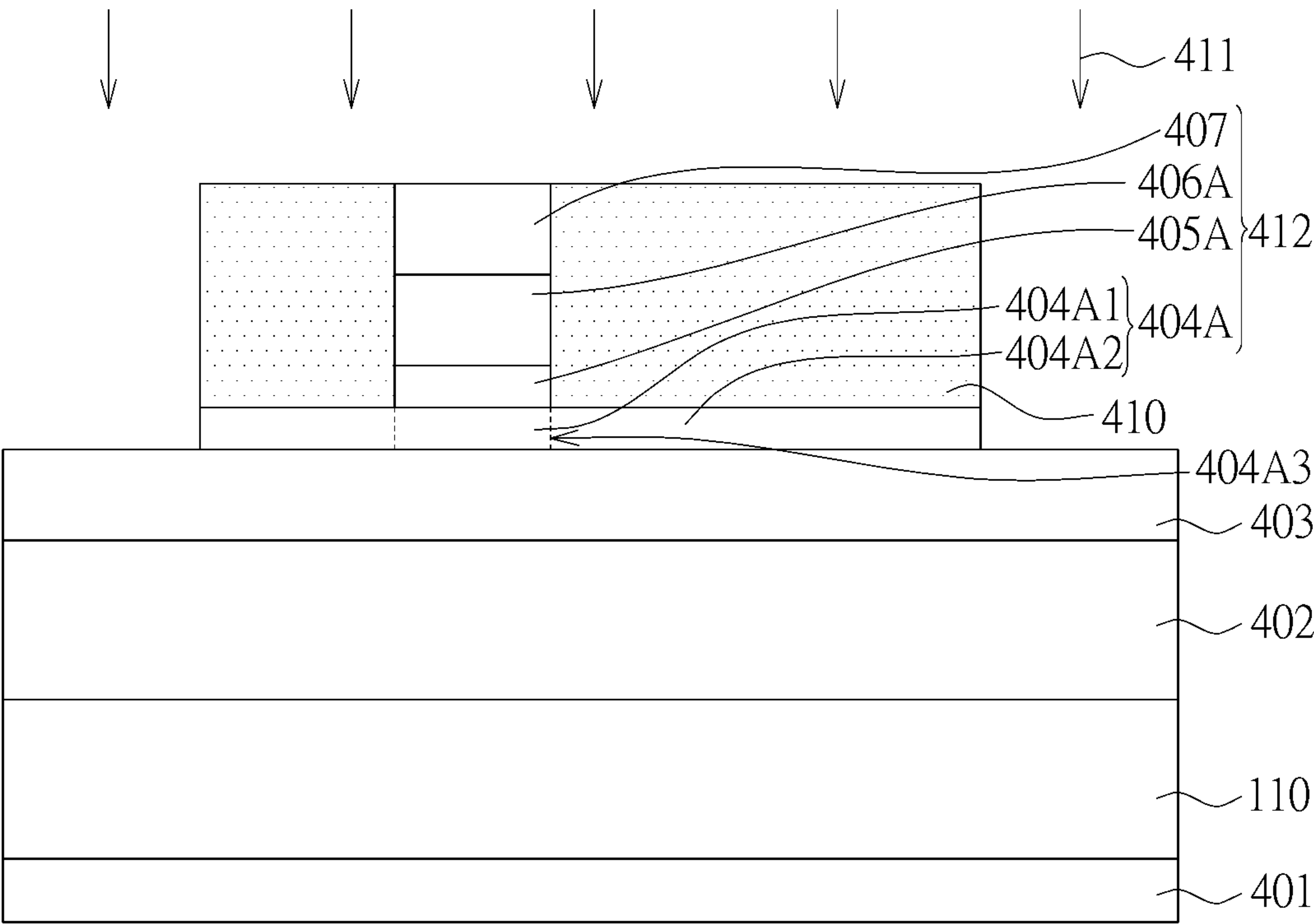
第 4A 圖



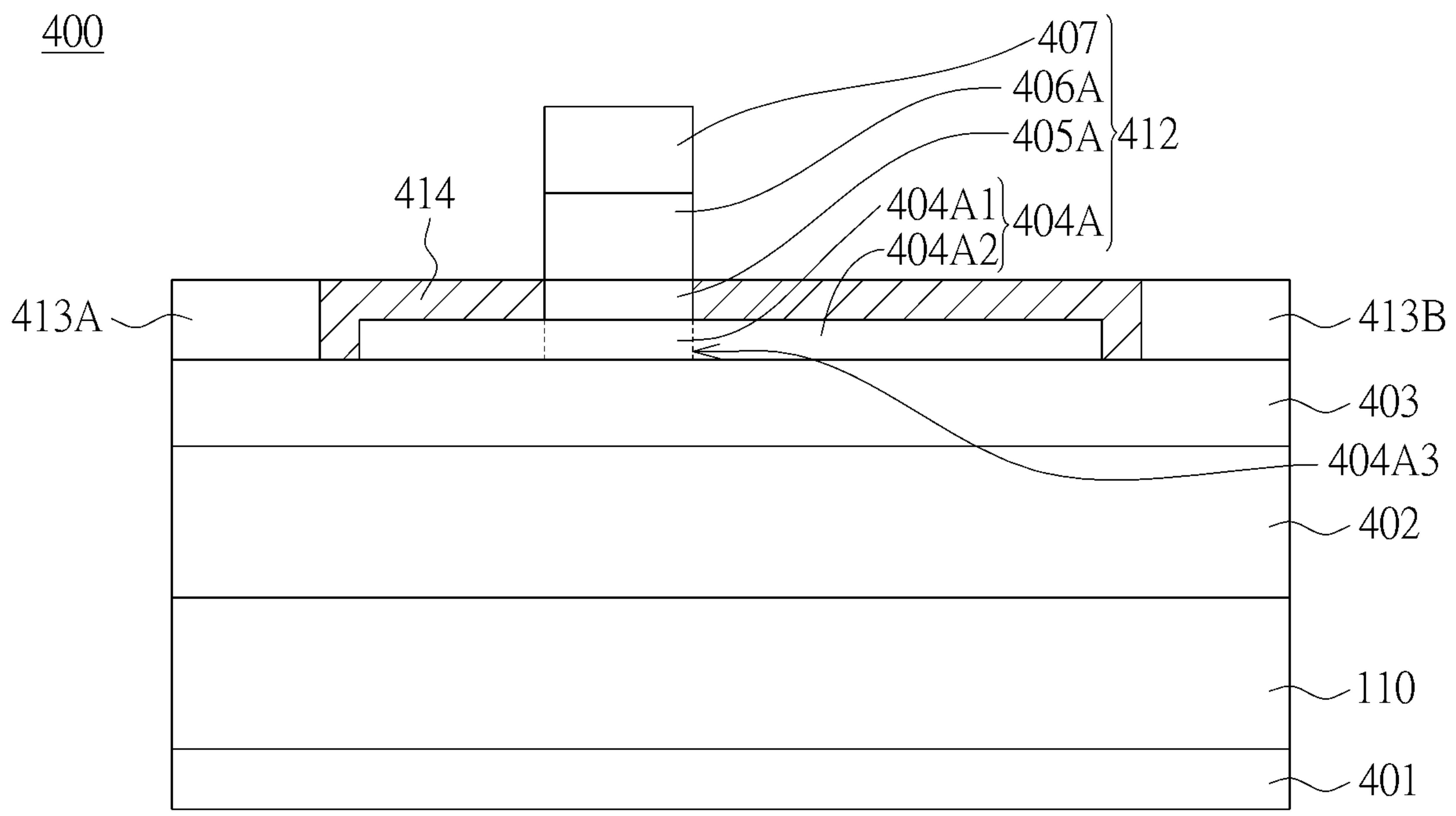
第 4B 圖



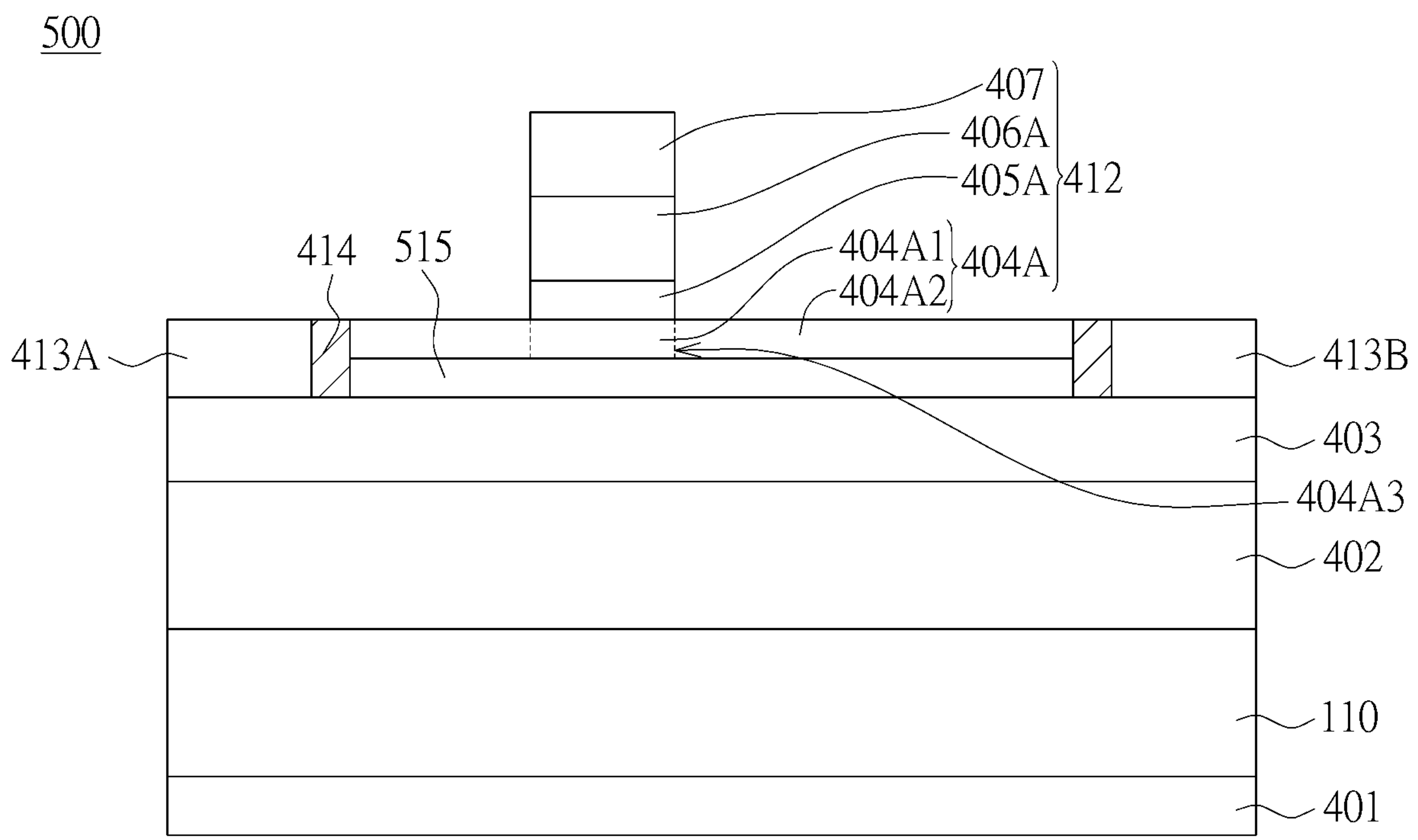
第 4C 圖



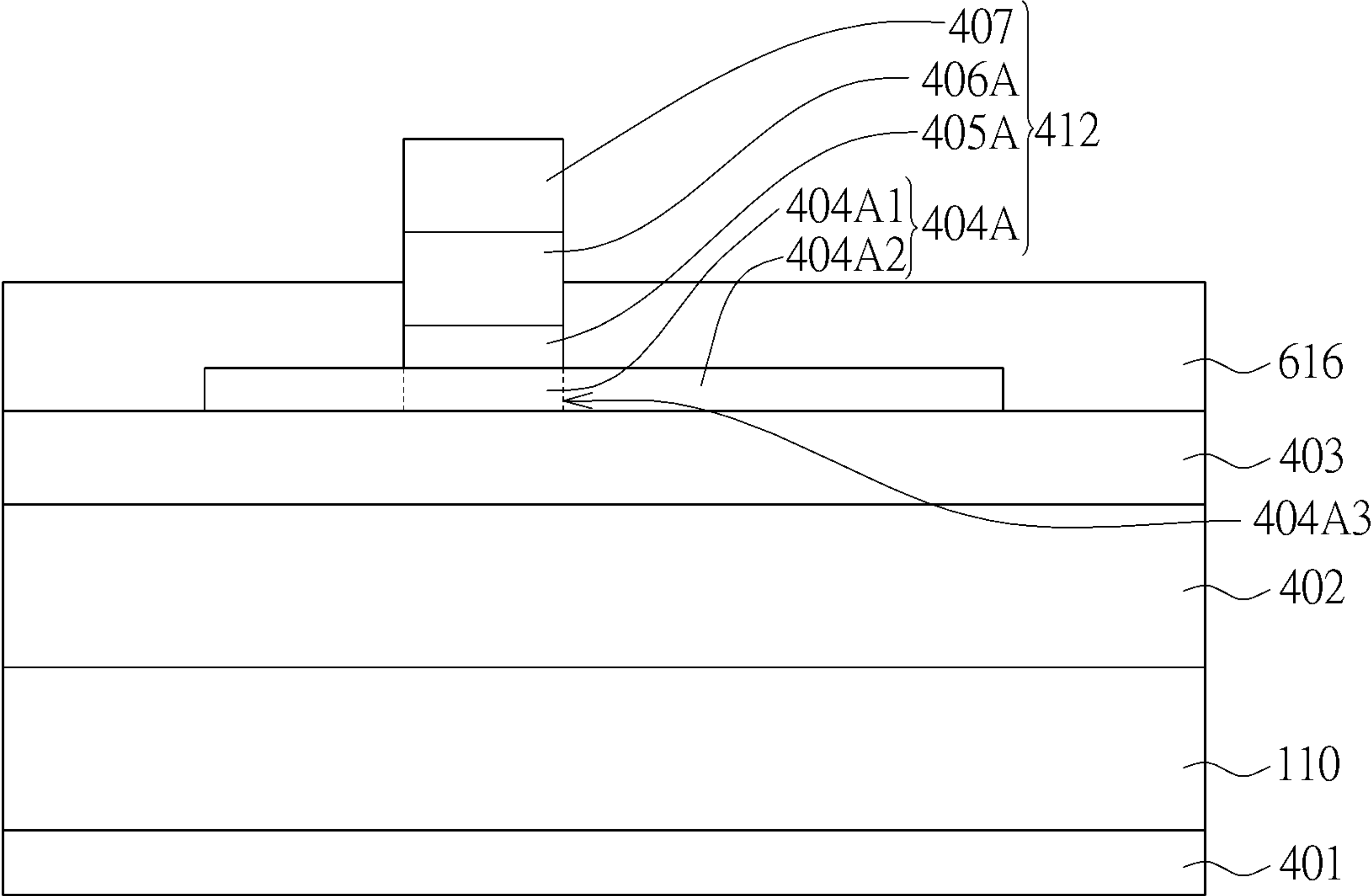
第 4D 圖



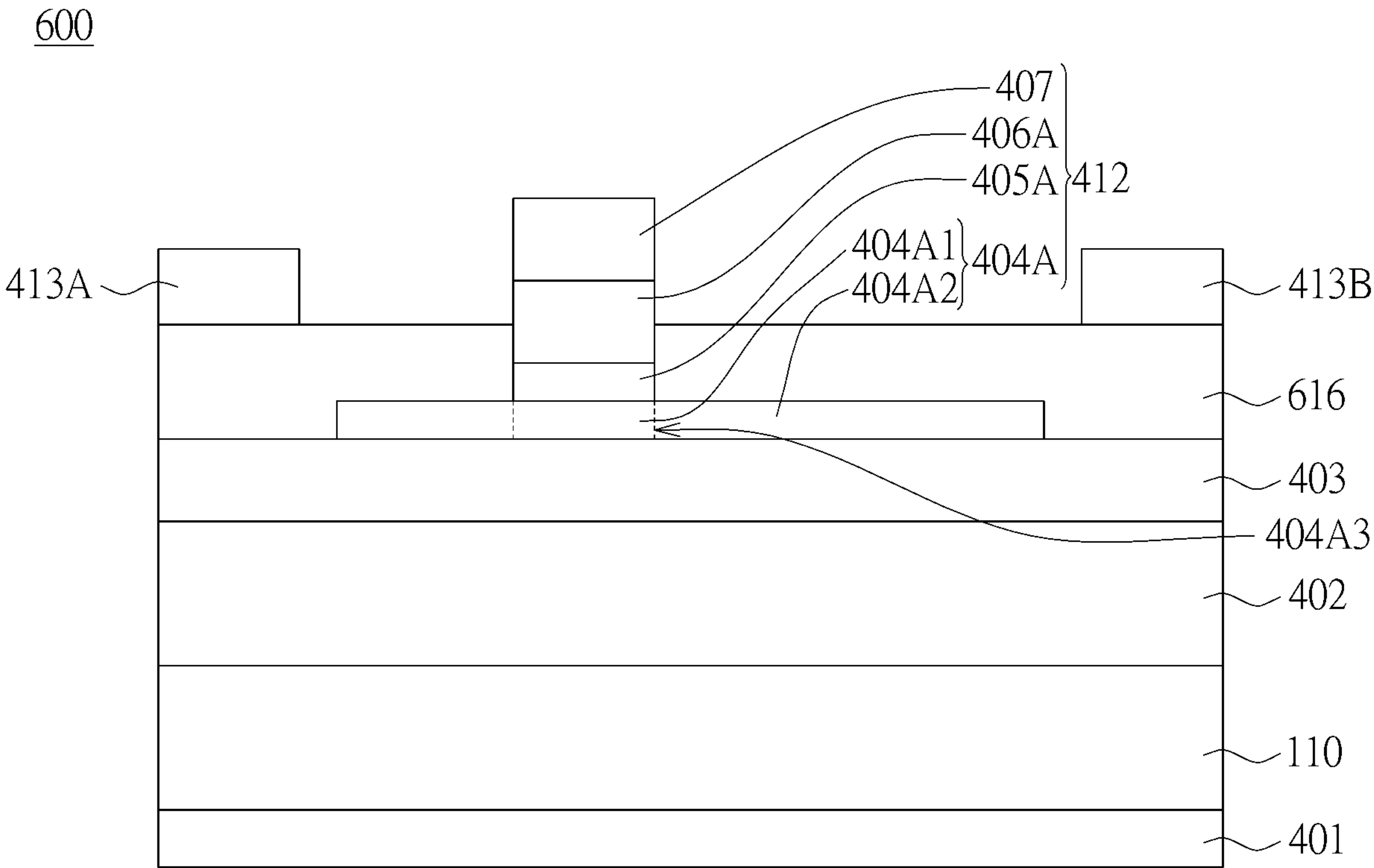
第 4E 圖



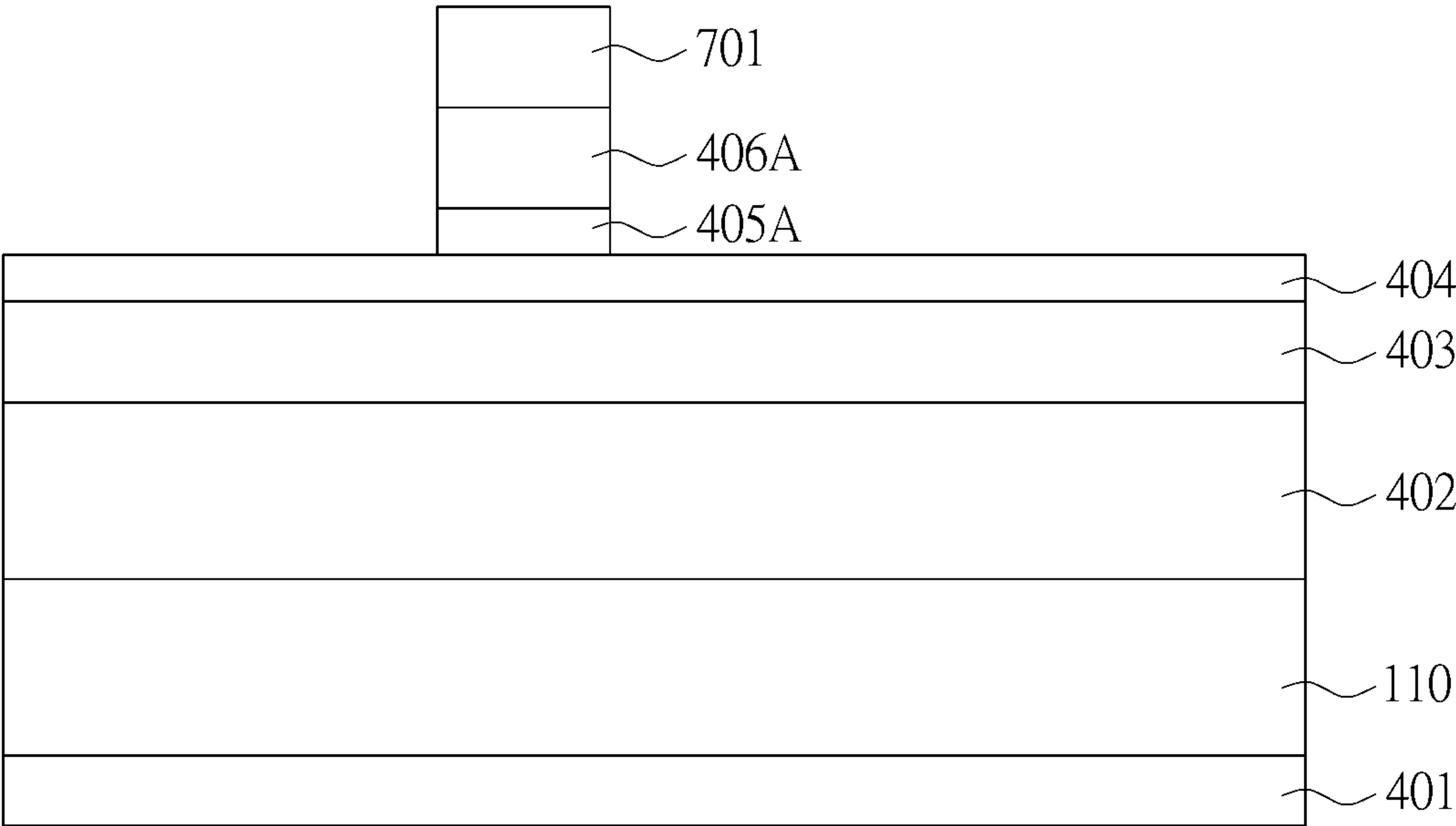
第 5 圖



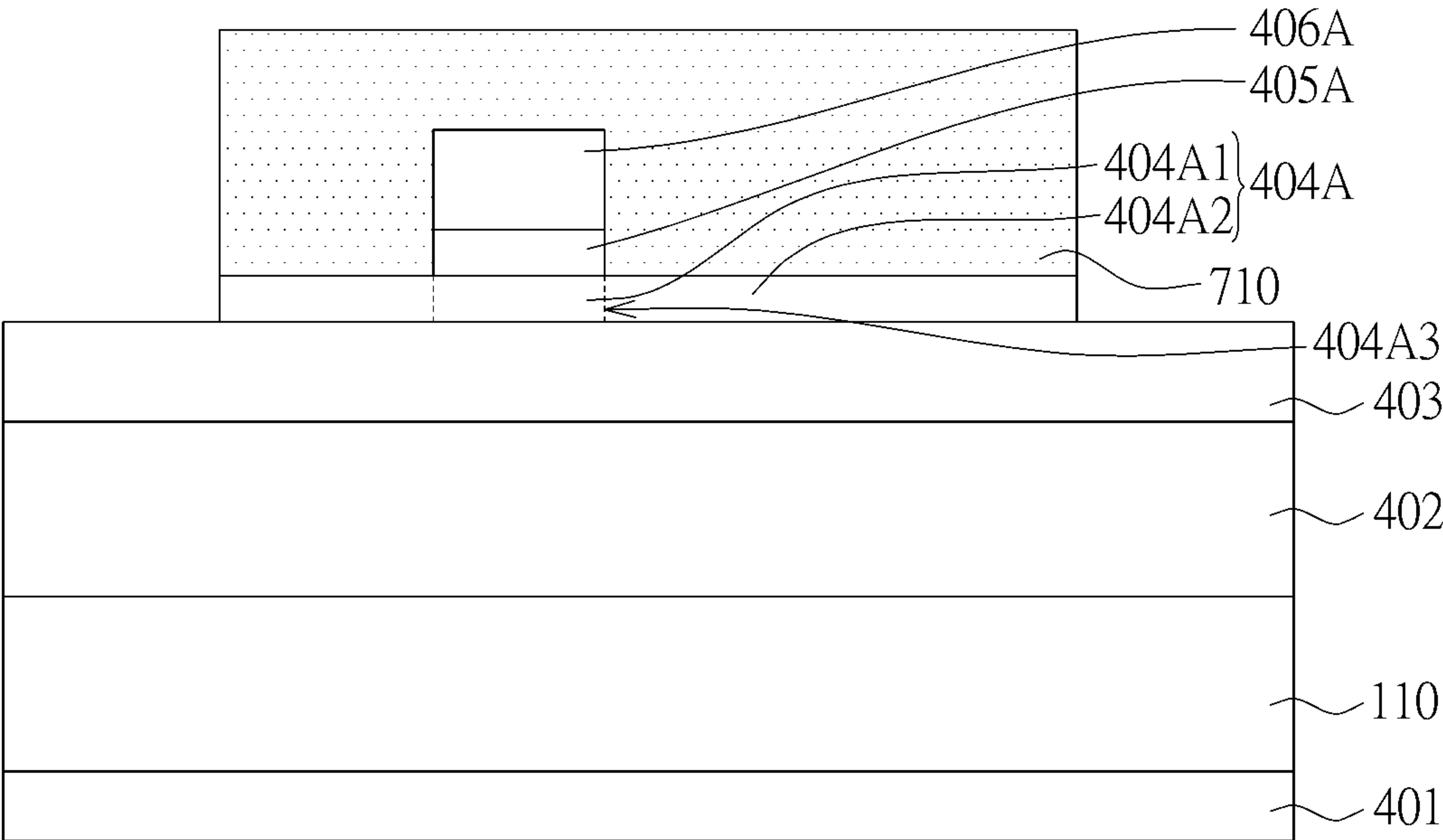
第 6A 圖



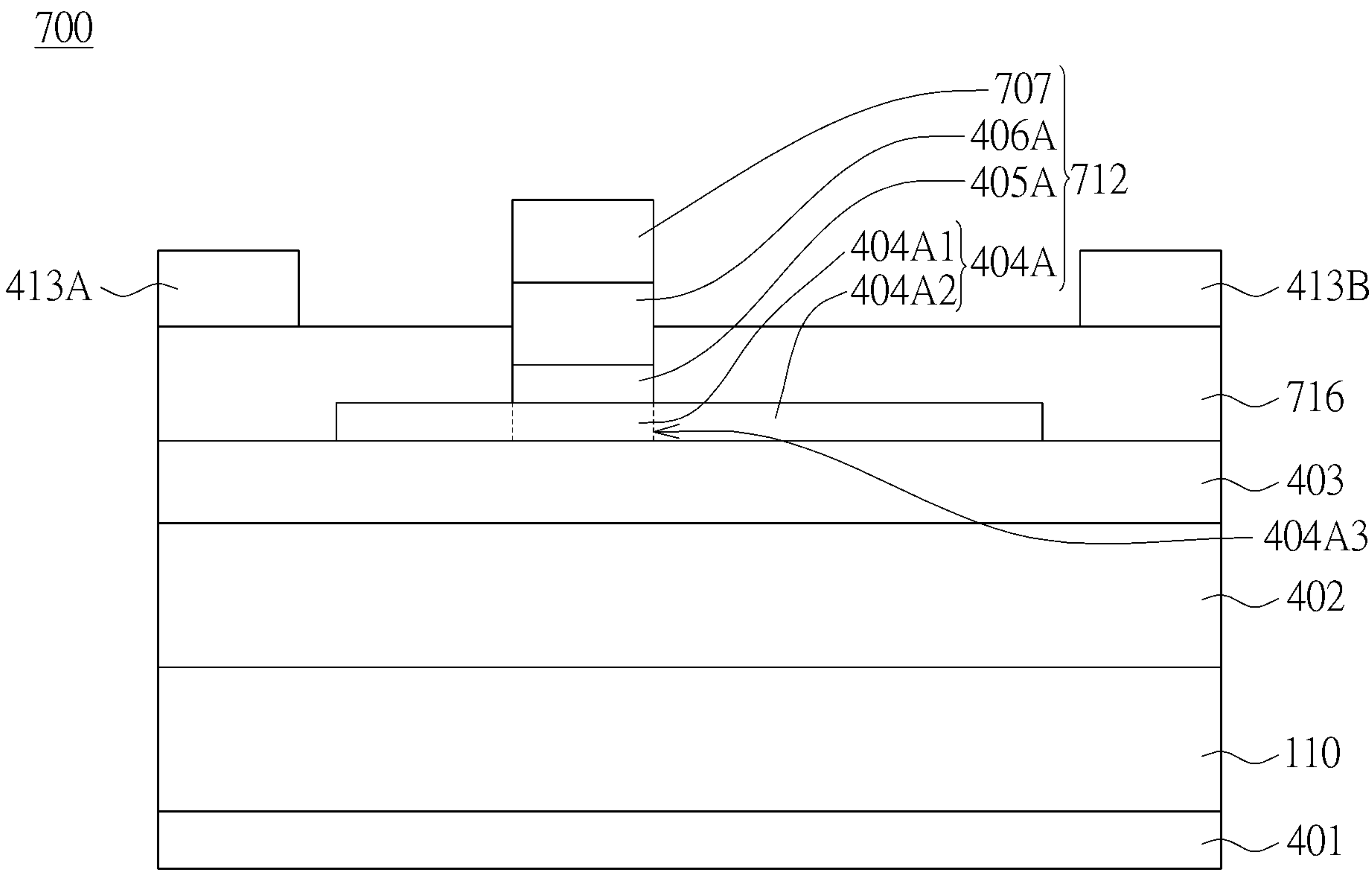
第 6B 圖



第 7A 圖



第 7B 圖



第 7C 圖