



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201628055 A

(43)公開日：中華民國 105 (2016) 年 08 月 01 日

(21)申請案號：104141982

(22)申請日：中華民國 104 (2015) 年 12 月 14 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/76 (2006.01)

(30)優先權：2015/01/23 日本

2015-011487

(71)申請人：信越半導體股份有限公司 (日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本(72)發明人：石塚徹 ISHIZUKA, TORU (JP)；小林德弘 KOBAYASHI, NORIHIRO (JP)；中野
正剛 NAKANO, MASATAKE (JP)

(74)代理人：林志青

申請實體審查：無 申請專利範圍項數：3 項 圖式數：2 共 16 頁

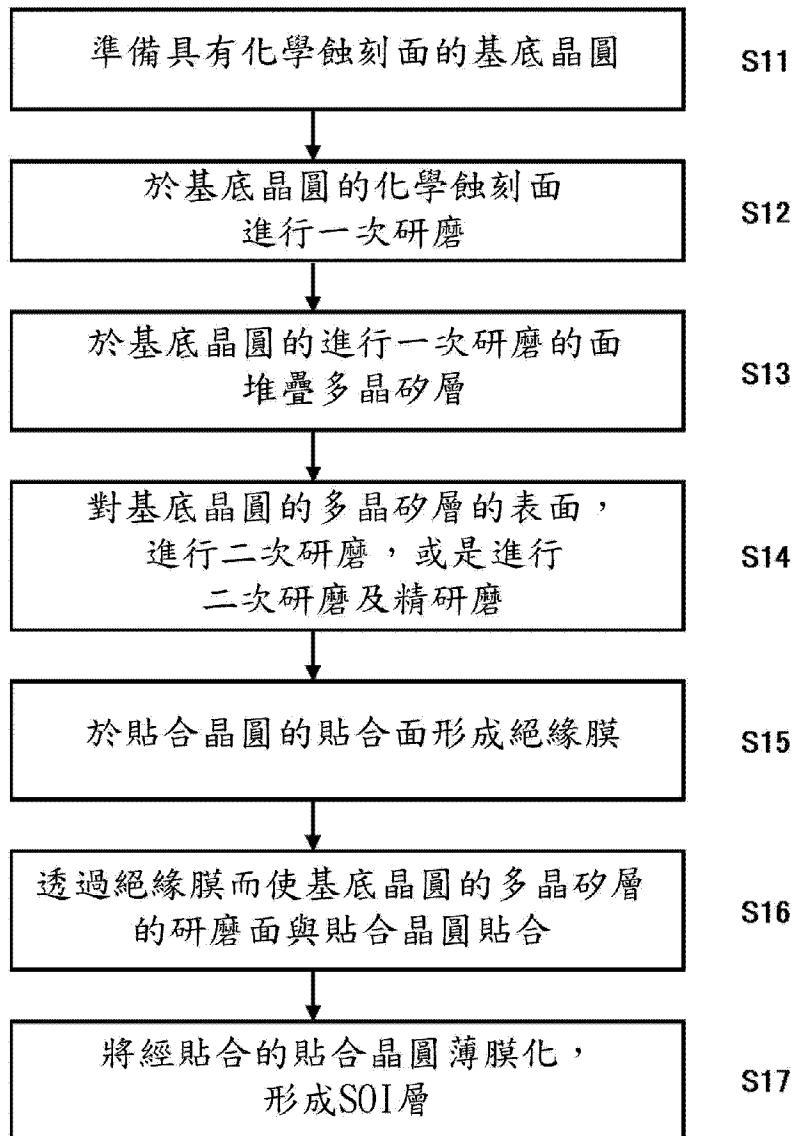
(54)名稱

貼合式 SOI 晶圓的製造方法

(57)摘要

一種貼合式 SOI 晶圓的製造方法，將皆以單晶矽所構成的貼合晶圓及基底晶圓透過絕緣膜貼合而製造貼合式 SOI 晶圓，包含下列步驟，將多晶矽層堆積於基底晶圓的貼合面側，研磨多晶矽層的表面，於貼合晶圓的貼合面形成絕緣膜，透過絕緣膜將基底晶圓的多晶矽層的研磨面與貼合晶圓貼合，以及將經貼合的貼合晶圓薄膜化而形成 SOI 層，其中於堆積多晶矽層的步驟中，作為基底晶圓使用具有化學蝕刻面的晶圓，於化學蝕刻面進行一次研磨後，於經一次研磨的面堆積多晶矽層，於研磨多晶矽層表面的步驟中，於多晶矽層表面進行二次研磨，或進行二次研磨及精研磨。

指定代表圖：



第 1 圖



201628055

申請日：1041214

IPC分類：H01L 21/02 (2006.01)
H01L 21/76 (2006.01)

【發明摘要】

【中文發明名稱】貼合式SOI晶圓的製造方法

【中文】

一種貼合式SOI晶圓的製造方法，將皆以單晶矽所構成的貼合晶圓及基底晶圓透過絕緣膜貼合而製造貼合式SOI晶圓，包含下列步驟，將多晶矽層堆積於基底晶圓的貼合面側，研磨多晶矽層的表面，於貼合晶圓的貼合面形成絕緣膜，透過絕緣膜將基底晶圓的多晶矽層的研磨面與貼合晶圓貼合，以及將經貼合的貼合晶圓薄膜化而形成SOI層，其中於堆積多晶矽層的步驟中，作為基底晶圓使用具有化學蝕刻面的晶圓，於化學蝕刻面進行一次研磨後，於經一次研磨的面堆積多晶矽層，於研磨多晶矽層表面的步驟中，於多晶矽層表面進行二次研磨，或進行二次研磨及精研磨。

【指定代表圖】 第1圖

【代表圖之符號簡單說明】 無

【發明說明書】

【中文發明名稱】貼合式SOI晶圓的製造方法

【技術領域】

【0001】 本發明係關於一種貼合式SOI晶圓的製造方法。

【先前技術】

【0002】 由於攜帶終端機、網路通訊等的發達，對於透過無線的資訊交流、資訊量或通訊速度的要求，無上限的持續擴大著。近年，作為RF開關等高頻裝置，將至今的藍寶石基底上矽(Silicon on sapphire, SOS)或GaAs的基板等所製作的單一元件，置換為於Si基板上集成化的裝置，而小型化、集成化的技術被廣泛採用。特別是使用SOI晶圓而製作高頻裝置的方法，大幅擴展了市場。

【0003】 以高頻裝置的性能而言，為了防止通訊的串擾，二次諧波、三次諧波的控制成為主要的要求項目。為此，基板必須要是絕緣體。雖然在SOI晶圓中，將埋入氧化膜(BOX層)的厚度加大有作為一個方法而被考慮，但是氧化膜的導熱率較差，無法除去高頻裝置運作時的發熱成為問題。於是，考案有使用高電阻Si基板作為SOI晶圓的支承基板的方法。藉此，能夠抑制BOX層之下的電流傳導，而能夠抑制高頻裝置的諧波。但是，若於SOI層施加電壓，BOX層正下方的Si基板表面將產生空乏層而形成反轉層，由於產生於此部分的電流傳導，而無法抑制諧波。為了解決此問題，採用有使BOX層的正下方內置有捕捉載體的層(例如參照專利文獻1至3)。

【0004】 作為捕捉載體的層，以多晶矽層為最普遍。多晶矽層在結晶邊界捕捉載體，抑制電流傳導。

作為將多晶矽層內置的方法，藉由於支承基板用晶圓(基底晶圓)堆疊多晶矽層，並將其與帶有氧化膜的晶圓(貼合晶圓)貼合，而能夠製作內置有多晶矽層的SOI晶圓。但是，此時為了實現晶圓貼合，多晶矽層的表面必須為平滑，而考案有使用研磨除去表面粗糙而進行貼合的方法。

【0005】 但是，在製造用於裝置製作等的一般的經鏡面研磨的單晶矽晶圓(以下稱為PW)時，係例如以柴可斯基法育成單晶鑄塊，將此鑄塊切片而加工為薄圓板狀後，經過倒角、拋光、蝕刻、研磨等各種步驟而加工為鏡面狀的晶圓(鏡面晶圓)。

【0006】 矽晶圓的研磨步驟中，通常經過自粗研磨至精研磨的複數個階段而進行研磨。例如，於拋光步驟或是蝕刻步驟之後，為了除去晶圓表面的扭曲，使其平坦化，以數 μm 左右的研磨量進行一次研磨。接著，為了去除一次研磨所產生的傷痕等、改善表面粗糙，以 $1\mu\text{m}$ 左右的研磨量進行二次研磨。進一步，為了使其成為無霧的表面，以未滿 $1\mu\text{m}$ 的研磨量進行精研磨。晶圓的表面經過如此的粗研磨(一次研磨及二次研磨)及精研磨而鏡面化(例如參照專例文獻4的段落【0004】)。

【0007】 隨著研磨次數增加，將逐次使研磨磨粒的粒度較細、降低研磨布的硬度等使研磨條件緩和的同時，設定條件以使各階段受研磨的鏡面部的平坦度或表面粗糙等變為較低的值而進行研磨(例如參照專例文獻5的段落【0027】)。

【0008】 特別是在直徑300mm的矽晶圓中為了滿足平坦度的嚴格規範而進行以雙面研磨進行的一次研磨，之後為了改善表面的傷痕或表面粗糙而進行以單面研磨進行的表面二次研磨及精研磨(例如參照專例文獻6的段落【0002】)。

〔先前技術文獻〕

【0009】

專利文獻1：日本特表2007-507093號公報

專利文獻2：日本特表2013-513234號公報

專利文獻3：日本特表2014-509087號公報

專利文獻4：日本特開2007-067179號公報

專利文獻5：日本特開2014-093457號公報

專利文獻6：日本特開2013-166200號公報

【發明內容】

【0010】 如同前述，作為高頻裝置用的基板，開始採取使SOI晶圓的BOX層正下方內置捕捉載體的層的方法，作為此捕捉載體的層，以多晶矽層為最普遍。為了實現基底晶圓與貼和晶圓的貼合，基底晶圓上的多晶矽層表面必須為平滑，而考案有利用研磨以除去基底晶圓上的多晶矽層的表面粗糙而進行貼合。

【0011】 於基底晶圓堆疊多晶矽時，基底晶圓的表面粗糙，並不一定必要為製作裝置所必要的表面粗糙(與用於製作裝置的PW相同的表面粗糙)。即使在化學蝕刻面(以下稱為CW面)程度的表面粗糙的基板上，亦能夠堆疊多晶矽層。

【0012】 但是，於CW面上所堆疊的多晶矽層的表面，將反映出CW面的表面粗糙或起伏，為了得到能夠貼合的平滑面，變得必須採取將堆疊多晶矽層後的研磨中的研磨量極端擴大等對策，成為問題。

【0013】 但是另一方面，即使於PW面上堆疊多晶矽層，多晶矽層的表面粗糙，亦會較原本的PW面的表面粗糙更大幅惡化，為了得到能夠貼合的平滑面，必須進行堆疊多晶矽層後的研磨。

【0014】 此係變得與為了得到PW面的研磨為相同的步驟，重複在將多晶矽堆疊於基底晶圓之前與之後兩方面進行研磨的步驟，而具有變得使研磨步驟的效率(生產性)顯著降低的結果的問題。

【0015】 本發明鑑於上述各問題點，目的在於提供一種貼合式SOI晶圓的製造方法，包含有為了在研磨後得到能夠抑制貼合後的孔隙產生的多晶矽面所必須的最低限的研磨步驟。

【0016】 為了達成前述目的，本發明提供一種貼合式SOI晶圓的製造方法，係用以製造貼合式SOI晶圓，該貼合式SOI晶圓係將皆以單晶矽所構成的貼合晶圓及基底晶圓透過絕緣膜而予以貼合，該製造方法包含下列步驟：將多晶矽層堆積於該基底晶圓的貼合面側；研磨該多晶矽層的表面；於該貼合晶圓的貼合面形成該絕緣膜；透過該絕緣膜將該基底晶圓的該多晶矽層的研磨面與該貼合晶圓貼合；以及將經貼合的該貼合晶圓薄膜化而形成SOI層，其中，於堆積該多晶矽層的步驟中，作為該基底晶圓，使用具有化學蝕刻面的晶圓，於該化學蝕刻面進行一次研磨後，於該經一次研磨的面堆積該多晶矽層，於研磨該多晶矽層的表面的步驟中，於該多晶矽層的表面進行二次研磨，或進行二次研磨及精研磨。

【0017】 如此，於堆疊多晶矽的步驟中，於化學蝕刻面進行一次研磨後，不進行二次研磨、精研磨，於經一次研磨的面堆疊多晶矽，在研磨多晶矽層的表面步驟中，於多晶矽層的表面不進行一次研磨而進行二次研磨或二次研磨及精研磨，以使貼合式SOI晶圓的製造中的研磨步驟，成為為了在研磨後得到能夠抑制貼合後的孔隙產生的多晶矽面所必須的最低限的研磨步驟。

【0018】 此時，作為該基底晶圓，以使用電阻率 $100\Omega \cdot \text{cm}$ 以上之物為佳。
若使用如此的基底晶圓，便能夠製作適合作為高頻裝置用的基板的SOI晶圓。

【0019】 此時，該一次研磨以雙面研磨進行為佳。
作為基底晶圓的多晶矽層成長前的一次研磨，能夠適當使用雙面研磨。

【0020】 如同前述，依照本發明的貼合式SOI晶圓的製造方法，能夠使貼合式SOI晶圓的製造中的研磨步驟，成為為了在研磨後得到能夠抑制貼合後的孔隙產生的多晶矽面所必須的最低限的研磨步驟。因此，能夠以低成本而以高生產性得到高品質的貼合式SOI晶圓。

【圖式簡單說明】

【0021】

第1圖係顯示本發明的貼合式SOI晶圓的製造方法的流程的示意圖。

第2圖係顯示本發明的貼合式SOI晶圓的製造方法的實施形式的一例的示意圖。

【實施方式】

【0022】 以下參照圖而詳細說明關於本發明的實施例，但本發明並不限定於此。

如同前述，作為高頻裝置用的基板，逐漸採用使SOI晶圓的BOX層的正下方內置作為捕捉載體的層的多晶矽層的方法。於如此的SOI晶圓的製造中，為了實現基底晶圓及貼合晶圓的貼合，基底晶圓上的多晶矽層的表面必須為平滑，而考案有利用研磨除去基底晶圓上的多晶矽層的表面粗糙而進行貼合。

【0023】 但是，除了為了於基底晶圓的CW面形成的多結晶層中得到能夠貼合的平滑面，必須採取將堆疊多晶矽層後的研磨中的研磨量極端擴大等對策，成為問題之外，即使於PW面上堆疊多晶矽層，多晶矽層的表面粗糙亦會較原本的PW面的表面粗糙大幅惡化，為了得到能夠貼合的平滑面，必須進行多晶矽層堆疊後的研磨。

此成為與為了得到PW面的研磨相同的步驟，而重複了在堆疊多晶矽層前及堆積後兩方面進行研磨的步驟，有研磨步驟的效率顯著下降的問題。

【0024】 於是，發明人持續研究關於能夠使貼合式SOI晶圓的製造中的研磨步驟，成為為了在研磨後得到能夠抑制貼合後的孔隙的產生的多晶矽面所必須的最低限的研磨步驟的貼合式SOI晶圓的製造方法。

結果，發現了於堆疊多晶矽的步驟中，於化學蝕刻面進行一次研磨後，於經進行一次研磨的面堆疊多晶矽層，於研磨多晶矽層的表面的步驟中，於多晶矽層表面進行二次研磨，或是進行二次研磨及精研磨的步驟，以使貼合式SOI晶圓的製造中的研磨步驟，成為為了在研磨後得到能夠抑制貼合後的孔隙的產生的多晶矽面所必須的最低限的研磨步驟的貼合式SOI晶圓的製造方法，而達成本發明。

【0025】 以下一邊參照第1至2圖，說明本發明的貼合式SOI晶圓的製造方法。

首先，準備具有化學蝕刻面的基底晶圓(參照第1圖的步驟S11)。

具體而言，準備例如將單晶矽鑄錠切片，施加拋光及雷射雕刻、化學蝕刻，而具有化學蝕刻面的基底晶圓11(參照第2圖的(d))。

【0026】 接著，於基底晶圓的化學蝕刻面進行一次研磨(參照第1圖的步驟S12)。

具體而言，例如對基底晶圓11的至少一側的化學蝕刻面(第2圖中，為基底晶圓11的至少上表面)施以一次研磨，進一步，施加鏡面拋光加工(參照第2圖的(e))。此狀態下，基底晶圓11表面的表面粗糙以AFM測定(1 μ m角)的RMS值為約0.3nm。

【0027】 接著，於基底晶圓的經進行一次研磨的面堆疊多晶矽層(參照第1圖的步驟S13)。

具體而言，例如於基底晶圓11的經進行一次研磨的面(第2圖的(e)的基底晶圓11的上表面)堆疊多晶矽層12(參照第2圖的(f))。多晶矽層12一般係由CVD裝置所

形成。作為CVD裝置的一個形態，雖有以堆疊單晶矽層為目的長晶爐，但於此裝置中，亦可透過選擇將堆疊溫度低溫化等的條件，而能夠堆疊多晶矽而不是單晶矽。堆疊多晶矽層後的表面的表面粗糙以AFM測定(1 μ m角)的RMS值為約15nm。

【0028】 接著，對基底晶圓的多晶矽層表面，進行二次研磨，或是進行二次研磨及精研磨(參照第1圖的步驟S14)。

具體而言，例如透過對基底晶圓11的多晶矽層12的表面以0.5至1 μ m左右的研磨量進行二次研磨，進一步因應需求，以較二次研磨更少的研磨量進行精研磨，而能夠得到以AFM測定(1 μ m角)的RMS值為約0.15nm左右的表面粗糙(參照第2圖的(g))。

由於僅二次研磨亦能夠得到以AFM測定(1 μ m角)的RMS值為約0.20nm以下的表面粗糙，雖然以此表面粗糙狀態進行貼合晶圓的貼合亦能夠減低貼合不良，但透過在二次研磨後進一步進行精研磨，將表面粗糙更加優質化，能夠更進一步減低貼合不良。

【0029】 另一方面，於貼合晶圓的貼合面形成絕緣膜(參照第1圖的步驟S15)。

具體而言，例如作為基底晶圓10，準備單晶矽晶圓(參照第2圖的(a))，施加使成為埋入氧化膜層(BOX層，絕緣膜)16(參照第2圖的(i))的氧化膜(絕緣膜)13成長的氧化膜成長(例如熱氧化處理)(參照第2圖的(b))。

進一步而言，能夠自氧化膜13上方藉由離子注入機，注入氫離子或惰性氣體離子，而形成離子注入層17(參照第2圖的(c))。此時，選擇離子注入加速電壓以能夠得到作為目標的剝離矽層(即SOI層15(參照第2圖的(i))的厚度。

【0030】 接著透過絕緣層將基底晶圓的多晶矽層的研磨面與貼合晶圓貼合(參照第1圖的步驟16)

具體而言，例如使形成有多晶矽層12的基底晶圓11，密合而貼合於形成有離子注入層17的貼合晶圓10，使基底晶圓11形成有多晶矽層12的面與貼合晶圓10的注入面接觸。

【0031】 接著，將已貼合的貼合晶圓薄膜化，而形成SOI層(參照第1圖的步驟S17)。

具體而言，例如於貼合式晶圓施加使微小氣泡層產生於離子注入層17的熱處理(剝離熱處理)，於產生的微小汽泡層進行剝離，製作於基底晶圓11上形成有埋入氧化膜16及SOI層15的貼合式晶圓14(參照第2圖的(i))。另外，此時衍生出具有剝離面19的剝離晶圓18。

【0032】 如同前述，藉由於堆疊多晶矽層的步驟中，於化學蝕刻面進行一次研磨後，不進行二次研磨及精研磨，而於經進行一次研磨的面堆疊多晶矽層，於研磨多晶矽層的表面的步驟中，不於多晶矽層的表面施加一次研磨，而進行二次研磨及精研磨，能夠使貼合式SOI晶圓的製造中的研磨步驟，成為為了在研磨後得到能夠抑制貼合後的孔隙的產生的多晶矽面所必須的最低限的研磨步驟的貼合式SOI晶圓的製造方法之故，效率極高。

【0033】 此處，作為基底晶圓11，以使用電阻率為 $100\Omega \cdot \text{cm}$ 以上者為佳。使用如此的基底晶圓，便能夠製作適合作為高頻裝置用的基板的SOI晶圓。

上述中，第1圖的S11至S14及S15、第2圖的(a)至(c)及(d)至(g)，各別先進行任一個步驟皆可，當然亦可同時進行。

【0034】 又，以將前述的一次研磨以雙面研磨進行為佳。

作為基底晶圓的多晶矽層成長前的一次研磨，能夠適當使用雙面研磨。

【0035】 另外，於堆疊多晶矽層前的基底晶圓的表面先進行一次研磨及二次研磨，且於堆疊多晶矽層後於其表面僅施加精研磨步驟的流程中，由於無法將

多晶矽的表面粗糙充分降低，因此無法避免於貼合面所產生的孔隙所造成的貼合不良的增加。

【0036】 以下顯示實施例及比較例以更具體說明本發明，但本發明並不限定於此。

【0037】

(實施例)

作為貼合晶圓，準備直徑300mm、p型、 $10\Omega \cdot \text{cm}$ 、結晶方向<100>的無COP(crystal oriented particle)的CZ單晶矽晶圓(PW:鏡面研磨晶圓)，透過熱氧化成長200nm的氧化膜後，於離子注入機，以70keV的加速能量注入 H^+ 離子 $6 \times 10^{16} \text{ atoms} / \text{cm}^2$ 。

又，作為基底晶圓，對自氧濃度9.6ppma(ASTM'79)、電阻率 $5200\Omega \cdot \text{cm}$ 的CA單晶矽切片，且經過拋光及外周打磨、裏面雷射雕刻的步驟、及化學蝕刻所製作的CW晶圓，以雙面研磨機進行一次研磨，將外周部鏡面拋光研磨。此時晶圓表面的表面粗糙，以AFM測定($1\mu\text{m}$ 角)的RMS值為約0.3nm。對於此晶圓，於長晶用的長晶爐中，於一次研磨面上以 900°C 的溫度將多晶矽層以 $2.5\mu\text{m}$ 的厚度進行堆疊後，對多晶矽層的表面，施加研磨量 $0.5\mu\text{m}$ 的二次研磨及精研磨(皆為單面研磨)。能夠於基底晶圓上堆疊有 $2\mu\text{m}$ 多晶矽層的研磨後的晶圓，得到表面粗糙在AFM測定($1\mu\text{m}$ 角)的RMS值為約0.15nm的晶圓。

將前述貼合晶圓與表面具有多晶矽層的高電阻晶圓(基底晶圓)貼合、施加熱處理，則貼合晶圓的氫離子注入層產生剝離。之後，於氫氣氛圍下進行 1150°C 30秒的RTA處理(平坦化熱處理)後，透過氧化熱處理及HF洗淨，能夠得到SOI層的厚度為150nm，且內置有多晶矽層的SOI晶圓。

【0038】 實施例的貼合式SOI晶圓中，於氫離子注入層產生剝離的剝離步驟後，由於SOI層不被傳遞至基底晶圓側所導致的直徑1mm以上的孔隙的產生數為0個。

又，實施例的製造步驟中的晶圓的研磨步驟，係為多晶矽層堆疊前的一次研磨、多晶矽層堆疊後的二次研磨及精研磨，若以進行一次「二次研磨+精研磨」時的生產性為1，則實施例的貼合式SOI晶圓的研磨步驟的生產性為1。

【0039】

(比較例1)

與實施例相同，製造貼合式SOI晶圓。但是，基底晶圓為對自CZ單晶矽切片，經過拋光及外部打磨、裏面雷射雕刻的步驟、及化學蝕刻所製作的CW晶圓，以雙面研磨機進行一次研磨，將外周部鏡面拋光研磨後，進一步進行二次研磨及精研磨後之物。此時間點晶圓的表面粗糙，於AFM測定(1 μ m角)的RMS值為約0.1nm。又，於比較例1中，堆疊多晶矽層後，與實施例2同樣進行二次研磨及精研磨，其研磨後的表面粗糙為約0.15nm。

【0040】 比較例1的貼合式SOI晶圓中，於氫離子注入層產生剝離的剝離步驟後，由於SOI層不被傳遞至基底晶圓側所導致的直徑1mm以上的孔隙的產生數為0個。

但是，比較例的步驟中，晶圓的研磨步驟，係為多晶矽層堆疊前的一次研磨、二次研磨及精研磨、多晶矽層堆疊後的二次研磨及精研磨，若以進行一次「二次研磨+精研磨」時的生產性為1，則比較例的貼合式SOI晶圓的研磨步驟的生產性為0.5。

【0041】

(比較例2)

【0042】 與比較例相同，製造貼合式SOI晶圓。但是，基底晶圓為對自CZ單晶矽切片，經過拋光及外部打磨、裏面雷射雕刻的步驟、及化學蝕刻所製作的CW晶圓，不進行一次研磨。此時間點晶圓的表面粗糙，於AFM測定(1μm角)的RMS值為約10nm。又，於比較例2中，堆疊多晶矽層後的研磨後的表面粗糙，以AFM測定(1μm角)的RMS值約為0.25nm。

【0043】 比較例2中，由於多晶矽層研磨後的表面粗糙較大而貼合並不充分，於氫離子注入層產生剝離的剝離步驟後，由於SOI層不被傳遞至基底晶圓側所導致的直徑1mm以上的孔隙的在表面範圍內大量產生。

另外，比較例2中，於前述的剝離步驟中，由於孔隙大量產生於表面範圍內，貼合式SOI晶圓的製造中止之故，因此不進行研磨步驟的生產性的評價。

【0044】 前述實施例、比較例1、及比較例2的步驟及結果顯示於表1。

【0045】

【表1】

	基底晶圓研磨	基底晶圓研磨後的表面粗糙	多晶矽層研磨	多晶矽層研磨後的表面粗糙	直徑 1mm 以上的孔隙	研磨步驟的生產性※
實施例	一次研磨	約 0.3nm	二次研磨＋精研磨	約 0.15nm	不產生	1
比較例 1	一次研磨＋二次研磨＋精研磨	約 0.1nm	二次研磨＋精研磨	約 0.15nm	不產生	0.5
比較例 2	—	約 10nm (無研磨)	二次研磨＋精研磨	約 0.25nm	大量產生	—

※以進行一次「二次研磨＋精研磨」時的生產性為 1 時的生產性

【0046】 如自表1所知，於基底晶圓研磨步驟僅進行一次研磨的實施例中，得到與於多晶矽層研磨後的基底晶圓研磨步驟經進行一次研磨、二次研磨及

精研磨的比較例1同等程度的表面粗糙，藉此，與比較例1同樣於剝離步驟後不產生直徑1mm以上的孔隙，並且得到較比較例1更高的研磨步驟的生產性。又，基底晶圓不進行研磨的比較例2中，由於多晶矽層研磨後的表面粗糙，較實施例、比較例1更大，貼合變得不充分，因此剝離步驟後直徑1mm以上的孔隙於表面範圍內大量產生，而成為不得不中止貼合式SOI晶圓的製造的狀況。

【0047】 另外，本發明並不為前述實施例所限制。前述實施例為例示，具有與本發明的申請專利範圍所記載的技術思想為實質相同的構成，且達成同樣作用效果者，皆包含於本發明的技術範圍。

【符號說明】

【0048】

- 10 貼合晶圓
- 11 基底晶圓
- 12 多晶矽層
- 13 氧化膜
- 14 貼合式晶圓
- 15 SOI層
- 16 氧化膜層
- 17 離子注入層
- 18 剝離晶圓
- 19 剝離面

【發明申請專利範圍】

【第1項】一種貼合式SOI晶圓的製造方法，係用以製造貼合式SOI晶圓，該貼合式SOI晶圓係將皆以單晶矽所構成的貼合晶圓及基底晶圓透過絕緣膜而予以貼合，該製造方法包含下列步驟：

將多晶矽層堆積於該基底晶圓的貼合面側；

研磨該多晶矽層的表面；

於該貼合晶圓的貼合面形成該絕緣膜；

透過該絕緣膜將該基底晶圓的該多晶矽層的研磨面與該貼合晶圓貼合；以及將經貼合的該貼合晶圓薄膜化而形成SOI層，

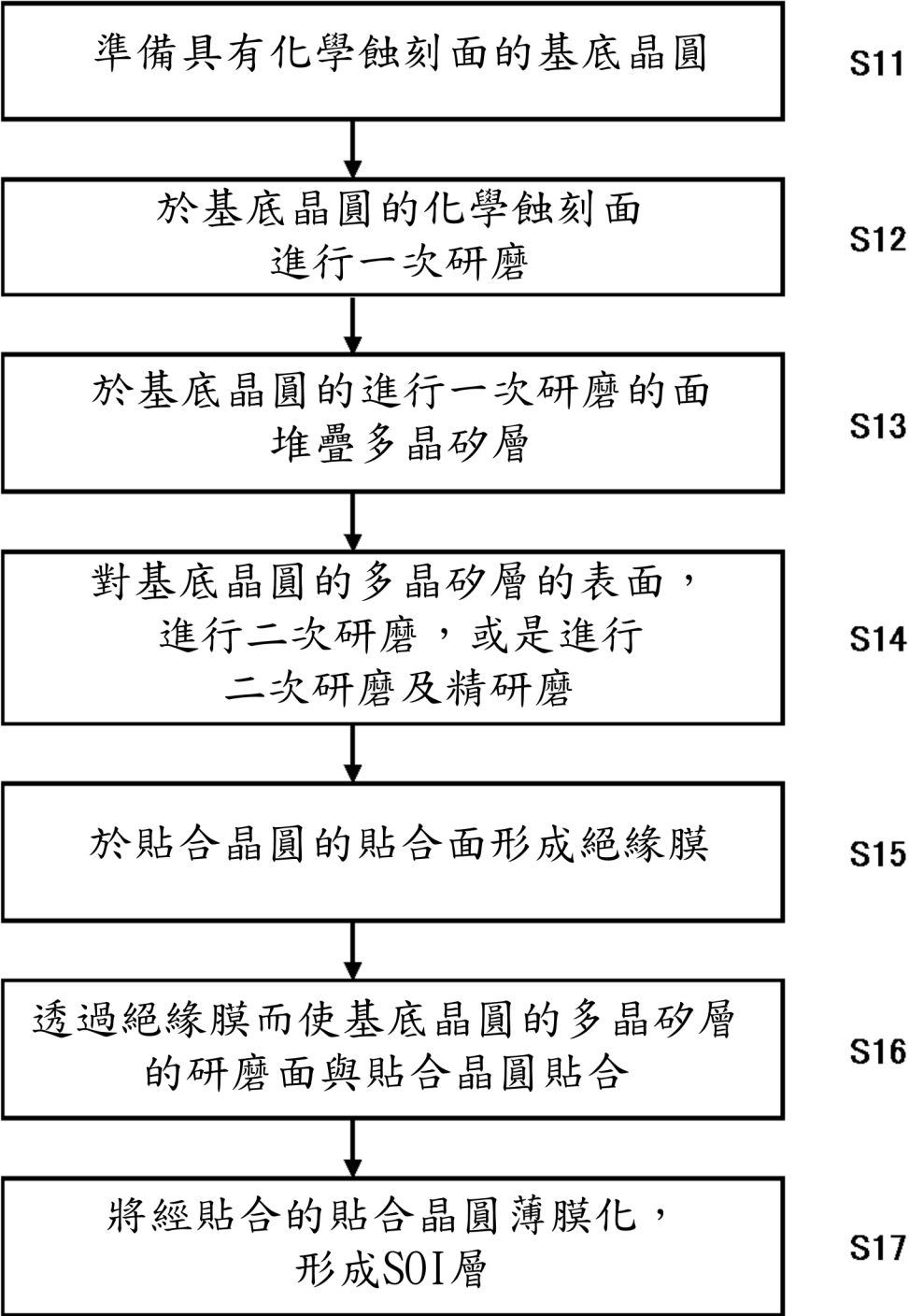
其中，於堆積該多晶矽層的步驟中，作為該基底晶圓，使用具有化學蝕刻面的晶圓，於該化學蝕刻面進行一次研磨後，於該經一次研磨的面堆積該多晶矽層，

於研磨該多晶矽層的表面步驟中，於該多晶矽層的表面進行二次研磨，或進行二次研磨及精研磨。

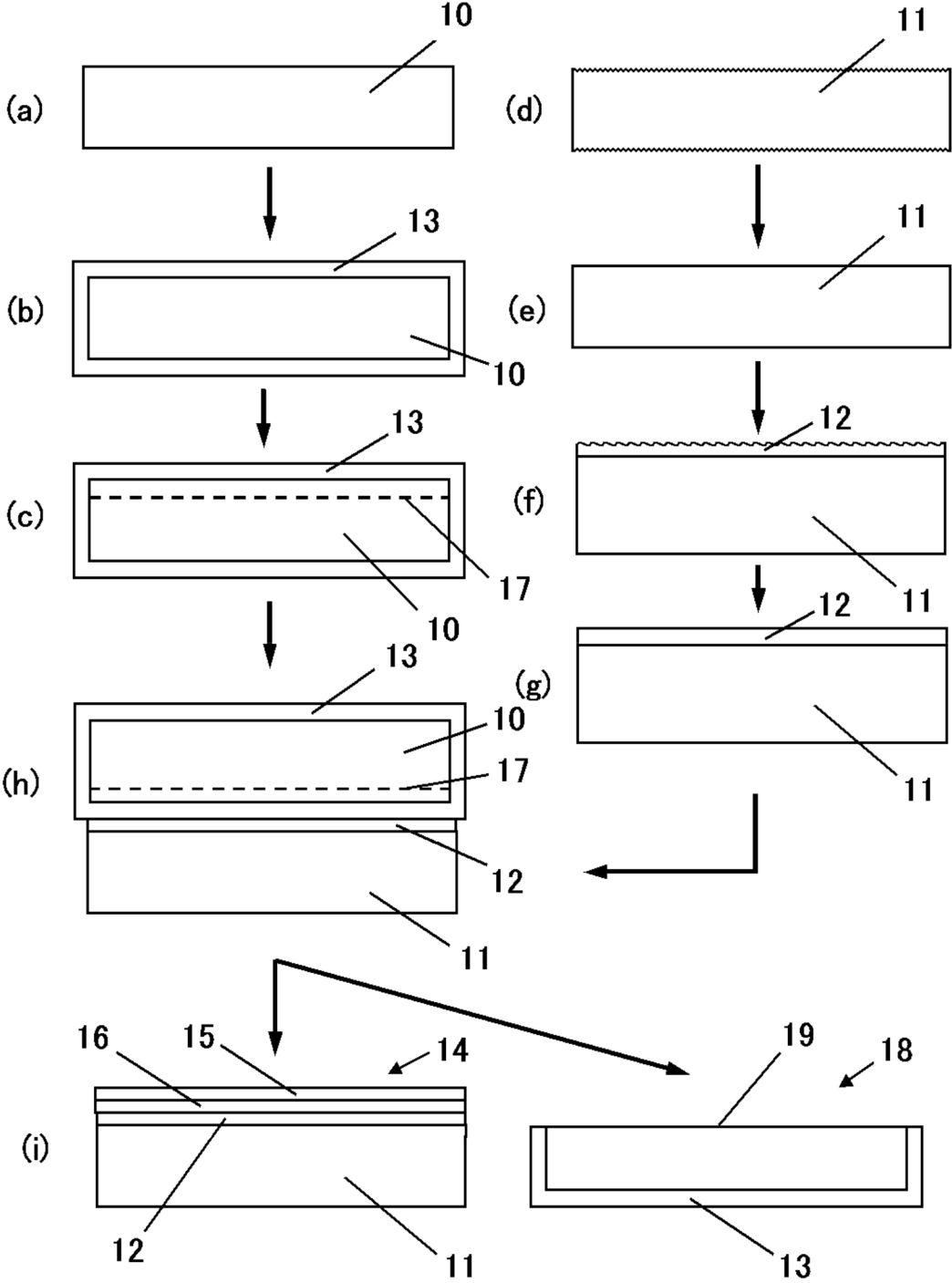
【第2項】如請求項1所述的貼合式SOI晶圓的製造方法，其中該基底晶圓係為電阻率 $100\Omega \cdot \text{cm}$ 以上。

【第3項】如請求項1或2所述的貼合式SOI晶圓的製造方法，其中該一次研磨以雙面研磨進行。

【發明圖式】



第 1 圖



第 2 圖