[19]中华人民共和国专利局

[51]Int.Cl[6]
H01L 21/331

[12]发明专利申请公开说明书

[21]申请号 97126272.1

[43]公开日 1998年7月1日

[11]公开号 CN 1186331A

[22]申请日 97.12.23

[30]优先权

[32]96.12.23[33]DE[31]196541131

[71]申请人 亚瑞亚·勃朗勃威力有限公司

地址 瑞士巴登

[72]发明人 U·泰伊曼

[74]专利代理机构 中国专利代理(香港)有限公司

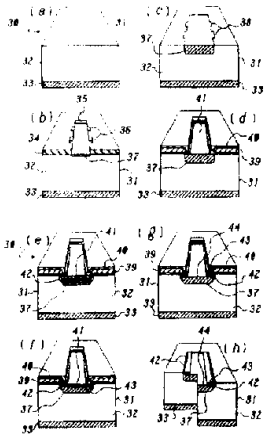
代理人 吴增勇 王忠忠

权利要求书 2 页 说明书 8.0 页 附图页数7页

[54]发明名称 生产MOS控制功率半导体组件的方法

[57]摘要

一种生产MOS控制功率半导体组件（30）的方法。控制双极晶体管的MOS沟道结构（39，42，43）处在发射极侧，它包括第二导电类型的处在发射区（37）上面的源区（43）、第一导电类型的处在源区（43）与基区（32）之间的发射区（37）边缘的沟道区（42）和以绝缘方式处在沟道区（42）上面的栅电极（39）。这样来设置短路时的电流密度和空穴旁路电阻：构成MOS沟道结构（39，42，43）的沟道宽度，并且该沟道宽度的构成是借助用于组件生产的其它掩蔽步骤中的一个掩蔽步骤非直接地完成的。



权 利 要 求 书

1.一种生产 MOS 控制功率半导体组件(30， 45)的方法，其特征在于：所述功率半导体组件(30， 45)在共同的衬底(31， 46)上包括多个组件单元(59)，它们布置成一个接一个，并且并联连接，双极晶体管由第一导电类型的集电极区(33， 48)、第二导电类型的上部基区(32， 47)和第一导电类型的发射区(37， 49)组成，此发射区从上面嵌入基区(32， 47)，并在每个组件单元(59)都有，控制双极晶体管的 MOS 沟道结构(39， 42， 43 和 54， 56， 57)处在发射极侧，此 MOS 沟道结构(39， 42， 43 和 54， 56， 57)包括第二导电类型的处在发射区(37， 49)上面的源区(43， 57)、第一导电类型的处在源区(43， 57)与基区(32， 47)之间的发射区(37， 49)边缘的沟道区(42， 56)和以绝缘方式处在沟道区(42， 56)上面的栅电极(39， 54)，其中构成了 MOS 沟道结构(39， 42， 43 和 54， 56， 57)的沟道宽度，而其中 MOS 沟道结构(39， 42， 43 和 54， 56， 57)的沟道宽度的构成是通过借助用于组件生产过程的其它掩蔽步骤中的一个掩蔽步骤非直接地完成的。

2.权利要求 1 的方法，其特征在于：使用把发射区(37)引入衬底(31)的掩蔽步骤来构成 MOS 沟道结构(39， 42， 43)的沟道宽度。

3.权利要求 2 的方法，其特征在于：使用了把发射区(37)引入衬底(31)的掩模(34)，此掩模有这样的一些剪切块(36)，它们布置在掩模开口(35)的边缘并且以这样的方式侧向向外伸出，以致所引入的发射区(37)在剪切块(36)区域有侧向向外伸出的凸块(38)；而其中这样来选择凸块(38)的长度，以便它侧向凸出到起码处在随后引入的发射区(43)以外。

4.权利要求 3 的方法，其特征在于：这样来选择凸块(38)的长度，以便它侧向凸出到起码处在随后引入的沟道区(42)以外，后者侧向与发射区(43)相连。

5.权利要求 3 和 4 中的一个权利要求的方法，其特征在于： MOS 沟道结构(39， 42， 43)的沟道宽度由凸块(38)的数目和宽度来设置。

6.权利要求 1 的方法，其特征在于：在组件单元之间的衬底(46)顶侧上布置场氧化层(52)，并且在衬底(46)上构成场氧化层的掩蔽步骤被用来构成 MOS 沟道结构(54， 56， 57)的沟道宽度。

7.权利要求 6 的方法，其特征在于：使用在衬底(46)上构成场氧化层(52)的掩蔽步骤中所用的掩模，此掩模有从绕着组件单元的掩模区域的边缘开始，并以这种方式向内伸展的第一凸块(51)，以至绕着组件单元的所涂敷的场氧化物层(52)在第一凸块(51)区域内有向内伸展的第二凸块(53)，此第二凸块防止或阻止在随后步骤中要引入该源区的区域上形成源区(57)。

8.权利要求 7 的方法，其特征在于： MOS 沟道结构(54， 56， 57)的沟道宽度由第二凸块(53)的数目和宽度来设置。

9.权利要求 1 的方法，其特征在于：使用在衬底上构成栅电极(60)的掩蔽步骤来构成 MOS 沟道结构的沟道宽度。

10.权利要求 9 的方法，其特征在于：使用在衬底上构成栅电极(60)的掩蔽步骤中所用的掩模(63)，此掩模有从绕着组件单元的掩模区域的边缘开始并以这种方式向内伸展的第一凸块(64)，以至绕着组件单元的所涂敷的栅电极(60)在剪切块(64)区域内有向内伸展的第二凸块，此第二凸块防止或阻止在随后步骤中要引入该源区的区域上形成沟道结构。

11.权利要求 10 的方法，其特征在于： MOS 沟道结构的沟道宽度由第二凸块(53)的数目和宽度来设置。

说　明　书

生产 MOS 控制功率半导体组件的方法

本发明与功率电子学领域有关，本发明介绍的是生产 MOS 控制功率半导体组件的方法，此功率半导体组件在共同的衬底上包括多个组件单元，它们布置成一个接一个，并且并联连接，双极晶体管由第一导电类型的集电极区、第二导电类型的上部基区和第一导电类型的发射区组成，此发射区从上面结合到基区(incorporated from above into)，并在每个组件单元都有，控制双极晶体管的 MOS 沟道结构处在发射极侧，此 MOS 沟道结构 包括第二导电类型的处在发射区上面的源区、第一导电类型的处在源区与基区之间的发射区边缘的沟道区和以绝缘方式处在沟道区上面的栅电极。

今天的 IGBT 型(绝缘栅双极晶体管， Insulated Gate Bipolar Transistors)的 MOS 控制功率半导体组件包括多个相同的组件单元，它们并联连接并一个接一个地容纳在共同的半导体衬底上。双极晶体管容纳在这种功率半导体组件的每个组件单元的衬底 2 内，这组件单元中的一个以剖视图的形式表示在图 1 上，此双极晶体管包括(P^+掺杂的)集电极区 4，(N 掺杂的)基区 3 和(P^+掺杂的)发射区 6。在 IGBT 的发射极侧，单元的 MOS 沟道结构被用来控制集成的双极晶体管的基极电流，此 MOS 沟道结构包括(P 掺杂的)沟道区 7、(N^+掺杂的)源区 8 和以绝缘方式处在沟道区 7 上面的(多晶硅的)栅电极 9。

为此，沟道区 7 把源区 8 与基区 3 连接起来，也就是说连接到双极晶体管的基极。基区 3 是连续的基极层的一部分。集电极区 4 是连续的集电极层的一部分。氧化物 10 把栅电极 9 从下面的衬底 2 及上面的发射极触点 11 的金属化层绝缘开。该发射极触点同时与发射区 6 及源区 8 接触。集电极金属化层 5 在集电极侧的衬底 2 的下面，以便与 IGBT 相接触。

组件单元可沿不同的几何方向侧向延伸。现在知道和使用的两种单元几何结构的例子以顶视图的形式表示在图 2(a)和(b)。图 2(a)表示一种带状结构，它有长形的发射区 6，在发射区 6 的两长边上叠加带形的两源区 8,而此两源区 8 整个被栅电极 9 所包围。图 2(b)表示多角形的单元结构(在图中为六角形),其中，中心多角形发射区 6'被连续的环形的源区 8'复盖其边缘,并被栅电极 9'所包围。在两个例子中省略了发射极触点。

IGBT 的一个问题是所谓组件的闭锁强度：如果双极晶体管的空穴电流太高，则由源区 8、发射区 6、基区 3 和集电极区 4 所形成的寄生晶闸管就会被触发。此外，如果短路，在 MOS 沟道结构区域的功率密度会变得如此高,以至会发生组件热破坏。因此，从根本上说，需要限制短路电流(如果短路，限制功率)，另外还要维持源区 8 四周的空穴旁路电阻尽可能小(减小闭锁灵敏度)。应以最小的处理工艺成本附加费用来实现这些方法。

当前，在一些 IGBT 中采用均匀源区，这意味着省去掩模：(N^+型)源区在不用掩模情况下由离子注入形成。离子注入由活性组件区域外的厚氧化物遮掩。在刻蚀接触孔期间，又对最顶的硅层进行刻蚀，再次将 N^+型层去掉。这就在接触孔窗口边缘处产生对源区的侧向接触。

这种无掩模源区离子注入以功率半导体组件 12 的组件单元的剖视图的形式表示于图 3 和 4：在这种组件的情况下，集电极区(集电极层)15 最初从下面引入 N 掺杂的衬底 13，此衬底同时形成基区 14。发射区 17 和沟道区 18 随后从上面通过窗口 21 利用随后的栅电极 19 作掩模而形成。然后离子注入源区 22，以栅电极 19 作掩模，把此源区的中心区域刻蚀掉,以便产生接触孔 23(图 4)。通过这接触孔 23,发射极触点 24 与发射区 17 和源区 22 接触。通过形成集电极金属化层 16 实现在集电极侧的接触。

这种工艺的缺点是,N^+型层或源区 22 不是沿着多晶硅栅电极的边

缘形成的,也就是说,沿着接触孔 23 的边缘形成。这对于 MOS 沟道结构，造成了大的沟道宽度(在其上的区域,沟道起作用)，从而，如果短路，每个 IGTB 单元的功率密度变得非常大。

在其它已知的 IGBT 的类型的情况下，分离光刻掩模用于源区 22 的离子注入。适合于图 2(a)的单元几何形状的这类掩模 25 以平面图的形式详细地 表示于图 5(a)。在这掩模 25 中有两列小掩模开口 26，N^+离子注入通过这些开口进行。与图 2(a)比较，所造成的结构分布着栅区 27、发射区 28 和岛状源区 29，如图 5(b)所示。这虽然以增加了处理的复杂性为代价,但使得有可能通过设计(在所有的源区上面)来设置沟道宽度，从而设置短路时的功率密度。这种方法的另一优点是,N^+型源区的侧向限制开劈了空穴旁路，它减小了组件的闭锁灵敏度。如上所述,这解决办法要求起码一个附加的掩蔽步骤，这不必要地使生产过程复杂化。

相应地，本发明的一个目的是提供生产功率 IGBT 组件的新方法，它允许只稍微增加处理过程的复杂性的同时生产带短路功率限制和减小了的空穴旁路电阻的 IGBT。

在引言中提到的那类方法的情况下，这目标是通过这样的事实来达到的,即构成 MOS 沟道结构的沟道宽度，并且这 MOS 沟道结构的沟道宽度的构成是借助用于组件生产过程的其它掩蔽步骤中的一个掩蔽步骤非直接地实现的。这 MOS 沟道结构的沟道宽度的构成,使得有可能把沟道宽度、因而把短路时的功率和空穴旁路电阻设置成希望值。通过利用在处理中早已有的掩蔽步骤来避免为这结构使用特殊附加的掩模。

根据本发明的方法的第一最佳实施例用以下的事实来表征: a)把发射区引入衬底的掩蔽步骤被用来构成 MOS 沟道结构的沟道宽度,b)使用把发射区引入衬底的掩模，此掩模有这样的一些剪切块，它们布置在掩模开口的边缘并且以这样的方式侧向向外伸出,以至所引入的发射区在剪切块区域有侧向向外伸出的凸块,c) 这样来选择凸块的长

度，以便它侧向凸出到起码处在随后引入的发射区以外。小心地和局部地以简单方式用凸块来防止在操作条件下控制沟道的形成。可以用凸块的宽度、深度和数目，以简单和可靠的方式设定饱和电流(短路时功率密度)和空穴旁路电阻的大小。

根据本发明的方法的第二最佳实施例以下面的事实为特色：a)在组件单元之间的衬底顶侧上布置场氧化层，并且在衬底上构成场氧化层的掩蔽步骤被用来构成 MOS 沟道结构的沟道宽度，b)使用在衬底上构成场氧化层的掩蔽步骤中所用的掩模，此掩模有从绕着组件单元的掩模区域的边缘开始,并以这种方式向内伸展的第一凸块，以至绕着组件单元的所涂敷的场氧化物层在剪切块区域内有向内伸展的第二凸块，此第二凸块防止或阻止在随后步骤中要引入该源区的区域上形成源区。也就在这情况下，可以用第二凸块的宽度、深度和数目，以简单和可靠的方式设定饱和电流和空穴旁路电阻的大小。

根据本发明的方法的再一个最佳实施例用以下事实来表征：a)在衬底上构成栅电极的掩蔽步骤被用来构成 MOS 沟道结构的沟道宽度，b)使用在衬底上构成栅电极的掩蔽步骤中所用的掩模，此掩模有从绕着组件单元的掩模区域的边缘开始并以这种方式向内伸展的第一凸块，以至绕着组件单元的所涂敷的栅电极在剪切块区域内有向内伸展的第二凸块，此第二凸块防止或阻止在随后步骤中要引入该源区的区域上形成源区。也就在这情况下，通过第二凸块的几何形状来设置所希望的参数。

根据所附的权利要求书可提出其它的实施例。

当结合附图，参考下面详细的描述,对本发明及其优点有更好的理解时,就会清楚本发明的更全面的价值及其优点，附图中：

图 1 表示已知的功率 IGBT 组件单元的剖视图；

图 2 表示根据图 1 的组件单元的两个已知几何结构的平面图；

图 3 表示在已知的功率 IGBT 单元中发射区和沟道区的自对准离子注入；

图 4 表示图 3 中的单元的源区的离子注入和触点制备;

图 5 表示已知的形成源区用的掩模(a)和所得到的 IGBT 的几何形状(b);

图 6 表示根据本发明的方法的作为范例的第一最佳实施例的生产 IGBT 的各个步骤，其中，为构成 MOS 沟道结构而构成发射区;

图 7 表示根据本发明的方法的作为范例的第二最佳实施例的生产 IGBT 的各个步骤，其中，为构成 MOS 沟道结构而构成场氧化物层;和

图 8 表示根据本发明的方法的作为范例的第三最佳实施例而生产的 IGBT 单元的几何形状的平面图，其中，为构成 MOS 沟道结构而构成多晶硅栅电极。

现在参考附图，其中相同的标号表示遍布各图的相同和对应的部分，根据本发明的方法的作为范例的第一最佳实施例在图 6 以各个处理步骤表示出来，以透视图、剖视图表示(准备生产的)单个 IGBT 单元。生产 MOS 控制功率半导体组件 30 的过程例如从 N 掺杂的(Si)衬底开始。形成 IGBT 单元的 IGBT 晶体管的集电极区 33 的 P^+掺杂层从衬底 31 的下面引入。衬底的其它部分形成基区 32(图 6(a))。

然后把用于发射区 37 离子注入的掩模 34 涂敷到衬底 31 的顶面，并通过掩模 34 上的掩模开口 35 对 P^+掺杂发射区 37 进行离子注入（图 6(b))。本发明的掩模 34 的特殊性质是,它有绕着掩模开口 35 边缘配置并侧向向外伸展的剪切块 36 。这样做的结果是,所引入的发射区 37 在剪切块 36 的区域有侧向向外伸展的凸块 38(图 6(c))。在这情况下如此选择凸块 38 的长度，即它的侧向凸出起码要超出在此过程之后引入的源区的范围，如下所解释的那样。

在完成对带状发射区 37 离子注入和去掉掩模 34 之后，由多晶硅制成的和被氧化物 40 包围的栅电极 39 被涂敷到衬底 31 的顶面而构成栅电极 39 。在这情况下，处在发射区 37 中心的窗口是打开的(图 6(d))。通过窗口 41 把 P 掺杂沟道区 42(图 6(e))和 N^+掺杂平面源区 43(图 6(f))

一个接一个地离子注入到衬底 31 。最后，在窗口 41 的区域，又把具有离子注入的源区 43 的衬底 31 的顶层刻蚀掉(图 6(g)),从而使得能够通过在其上形成金属化层而实现与发射区 37 和源区 43 的接触。

沟道区 42 在发射区 37 中无凸块 38 的区域处向内扩散，直到它侧向凸出于发射区之外，并且伸展到栅电极 39 的边缘的下面(图 6(h))。以这方式，沟道区 42 把源区 43 连接到基区 32，并且与上面的栅电极一起，构成用于控制 IGBT 晶体管的 MOS 沟道结构。在另一方面，在那些发射区 37 由于凸块 38 而进一步伸展的区域，源区 43 被发射区 37 完全包围。然后这些区域的阈值电压处在高于所用的栅-发射极电压，结果，这些区域对控制 IGBT 晶体管而言被省略掉。所得到的 MOS 沟道结构是一种有源可控区域(在凸块 38 之外)与钝化区域(在凸块 38 之内)交替出现的结构。饱和电流(在短路时的功率密度)和空穴旁路电阻都能由凸块 38 的宽度、深度和数目(重复率)来设置。在这情况下，凸块 38 侧向凸出起码要超出源区 43 。另一种办法是,它们能侧向凸出超出沟道区 42，而后者侧向与源区 43 相连。

图 7 表示过程的顺序，对于根据本发明的方法的其它作为范例的最佳实施例，可与图 6 作比较。生产 MOS 控制功率半导体组件的方法从带有基区(N 掺杂)、集电极区 48(P^+掺杂)和早已离子注入的带状的 P^+型发射区 49(图 7(a))的衬底开始。

在现在高功率 IGBT 的情况下，两组件单元之间的距离如此大，以致可以用(厚)场氧化物来使整个薄氧化物面积尽可能小(所产生的输入电容),现只在图 7 考虑上述两组件单元中的一个。需要掩模来在 IGBT 单元之间的衬底上构成场氧化物层 52，后者事先涂敷在整个面积上,此掩模基本上暴露出单元的区域而复盖单元之间的区域。这种掩模 50 以变更的形式用于衬底 46 的顶面(图 7(b))。变更的情况是：掩模 50 有第一凸块 51，它从绕着组件单元的掩模区域的边缘开始向内伸展。如果随后刻蚀掉场氧化物层 52,这场氧化物层 52 在第一凸块 51 的区域有第二凸块 53(图 7(c))。这些第二凸块 53 向内伸展超出发射区

49 的边缘(图 7(c)的剖视图右半边)，虽然在第二凸块 53 的外面，场氧化物层 52 终止于远离发射区 49 的地方(图 7(c)的剖视图左半边)。

在随后把源区引入衬底期间，此第二凸块 53 防止或阻止在其区域上形成源区:为离子注入沟道区和源区，如图 6(d-f)所示，再一次在衬底 46 上的场氧化物层 52 上形成被氧化物 55 包围的栅电极 54(多晶硅制成)，并且这栅电极 54 在组件单元的区域内有带状的窗口 65(图 7(d))。由于它们的长度，场氧化物层 52 的第二凸块 53 部分凸出于窗口 65 的开口。

通过窗口 65 一个接一个地对 P 掺杂沟道区 56(图 7(e))和 N^+掺杂源区 57(图 7(f)) 进行离子注入。在这情况下凸进窗口 65 的凸块 53 防止在凸块区域形成 MOS 沟道结构 。最后，源区 57 的中心区域再一次被刻蚀掉,以便能通过形成的接触孔 58 形成与发射区 49 接触的触点(图 7(g))。在制成的单元的情况下，有源可控区域(在第二凸块 53 的外面，图 7(g)剖视图的左半边)在这情况下也再一次与钝化区域(第二凸块 53 的下面；图 7(g)剖视图的右半边)交替出现。沟道宽度和因而短路电流密度能通过第二凸块 53 的宽度和数目(重复率)的选择来设置。

根据本发明的方法的作为范例的另一最佳实施例可以用在图 8 所示的已完成的组件单元 59 的几何图形来解释：在这组件单元 59 的情况下，发射区用的掩模 62 有一简单的矩形开口,结果发射区是简单的带状(如图 7(a)所示)。与图 6 和 7 的情况不同，栅电极用的掩模 63，因而栅电极 60 本身没有直的连续的纵向边缘,而是掩模 63 有凸块 64。向内伸展到发射区(掩模 62)边缘上方的栅电极 60 上的凸块与这些凸块 64 对应。在沟道区和源区离子注入期间(见图 6(e,f)或图 7(e,f))，栅电极 60 的构成过程造成了所希望的形成了的 MOS 沟道结构 ：在区域 A(在凸块 64 的外面)形成正常 MOS 控制结构 ，防止在区域 B(在凸块 64 的里面)形成沟道，在此区域内,离子注入的 N^+型源区完全处在 P^+型发射区内(掩模 62)。也就在这情况下，有效沟道宽度能再次由凸块 64 的宽度和数目(重复率)以简单方式来设置。如图 8 所示，发射极接

触区用的掩模61最好是参照掩模63的轮廓,从而不会产生额外的发射极镇流电阻。

总的说来,根据本发明的方法使得可以生产这样的MOS控制功率半导体组件，这种MOS控制功率半导体组件优化了短路时的功率密度和空穴旁路电阻,而在生产过程中不要求额外的掩蔽步骤。

显然，根据上面的技术，可以有许多关于本发明的修改和变更，因此要理解，在所附的权利要求的范围内,本发明可以用此处特定描述以外的办法来实施。

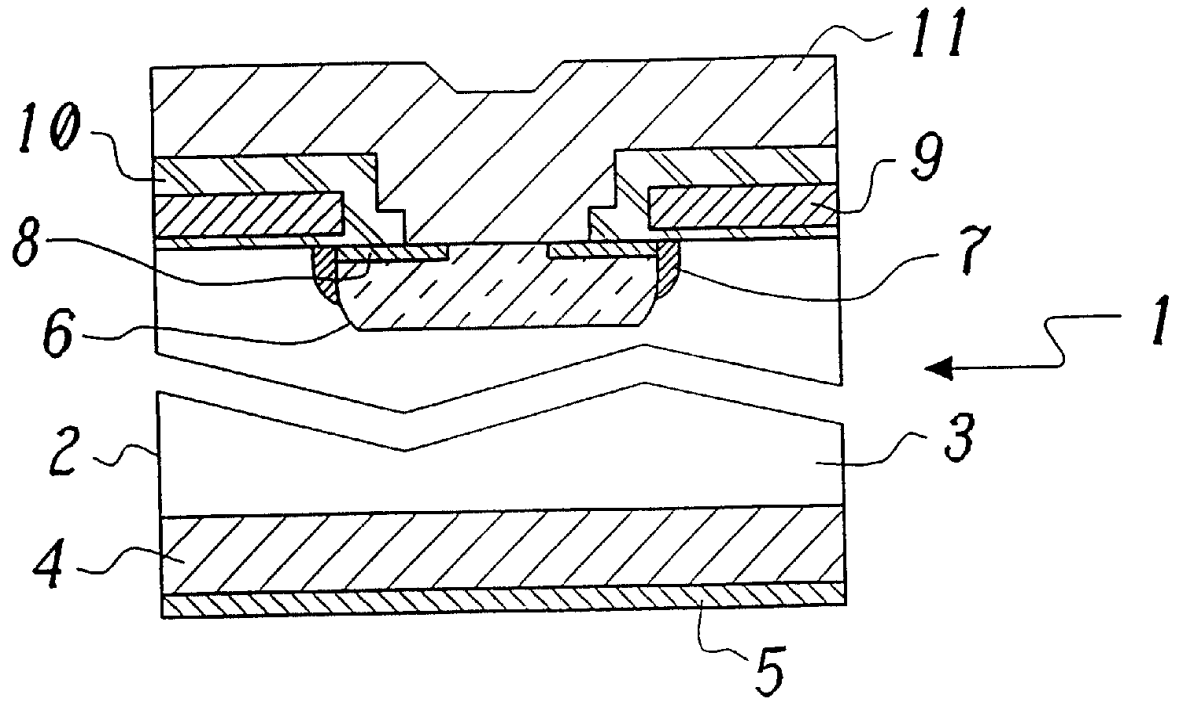


图　1

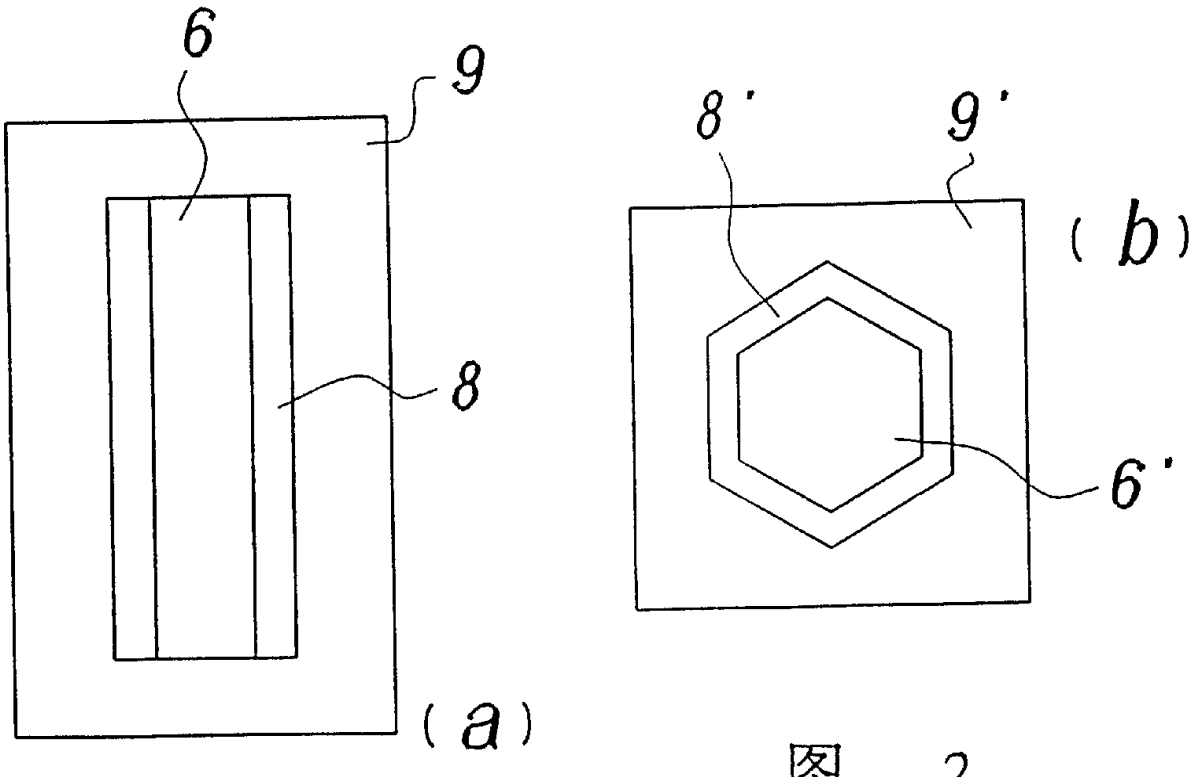


图　2

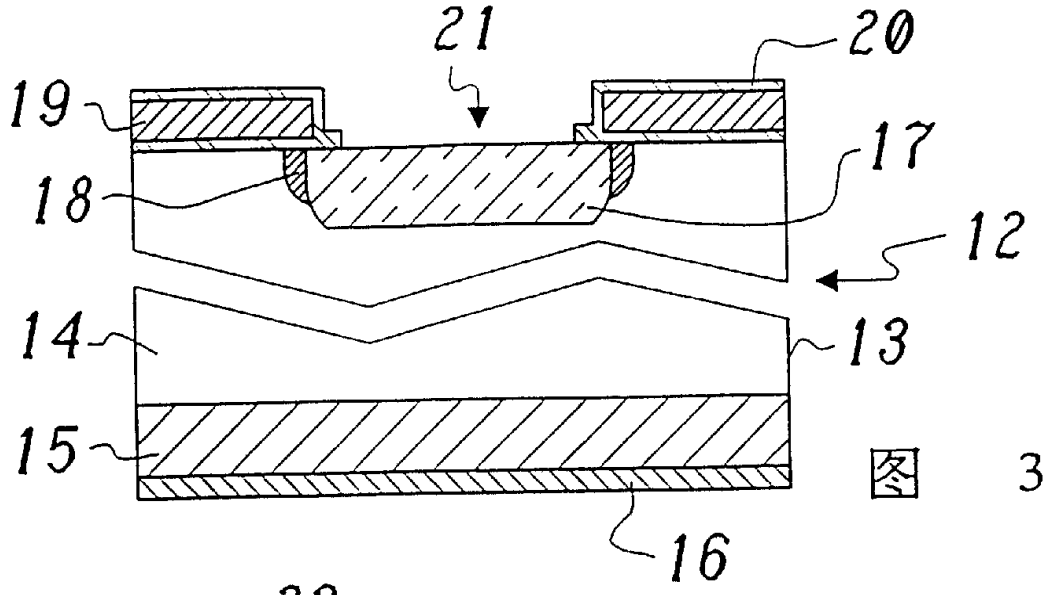

21
20
19
17
18
12
14
13
15
16

图 3

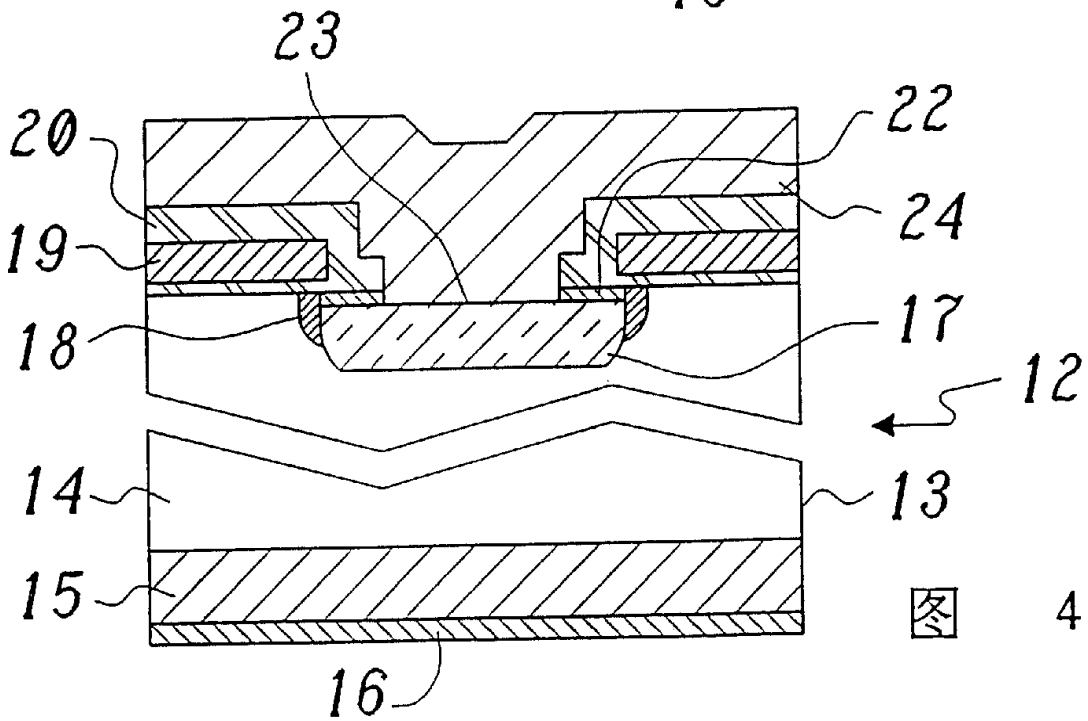

23
22
20
24
19
17
18
12
14
13
15
16

图 4

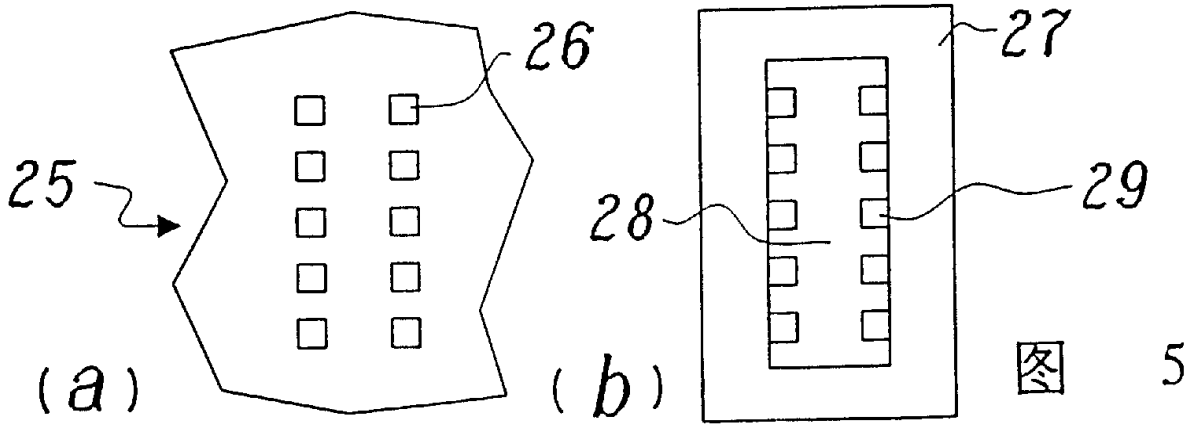

26
27
25
28
29
(a)
(b)

图 5

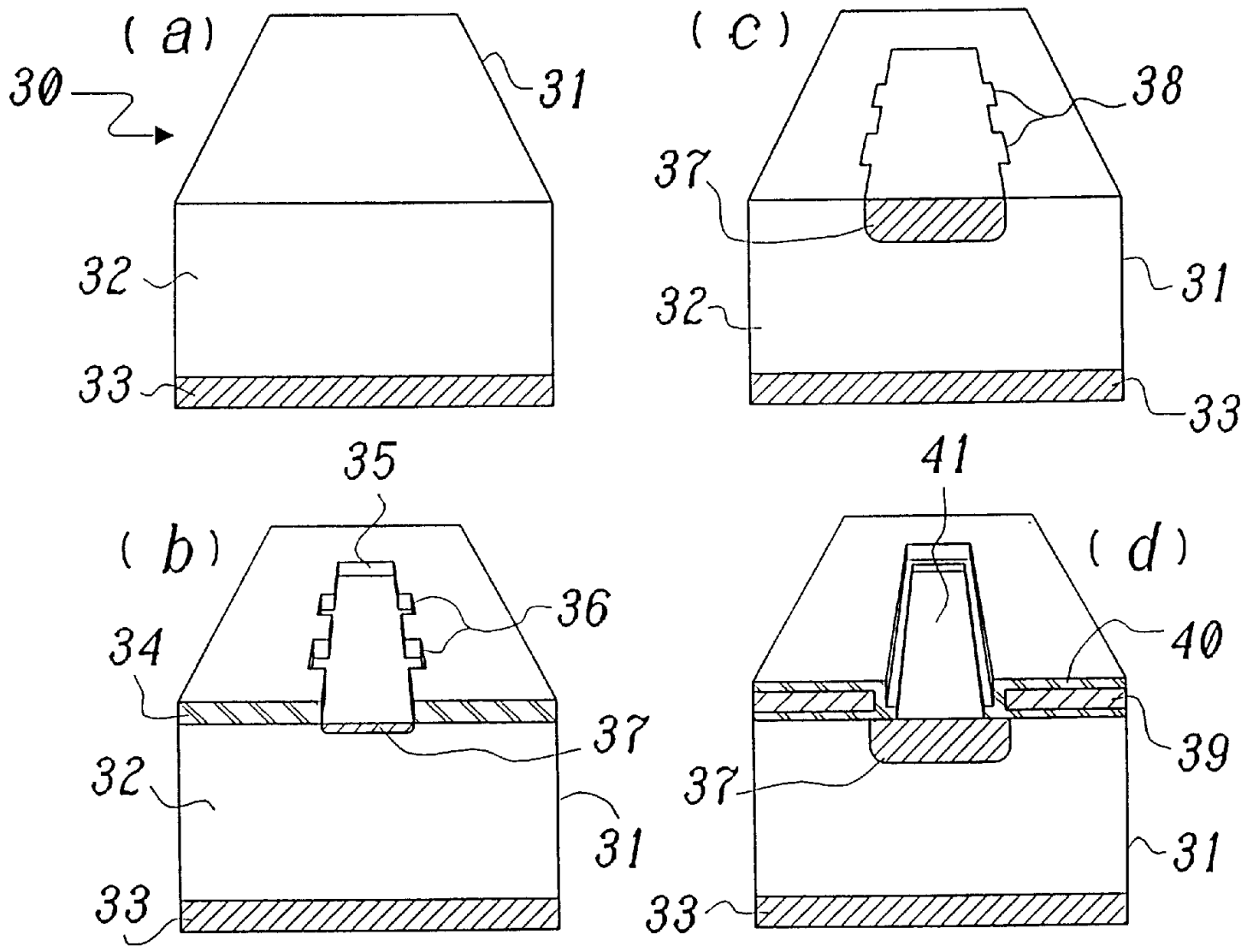


图 6

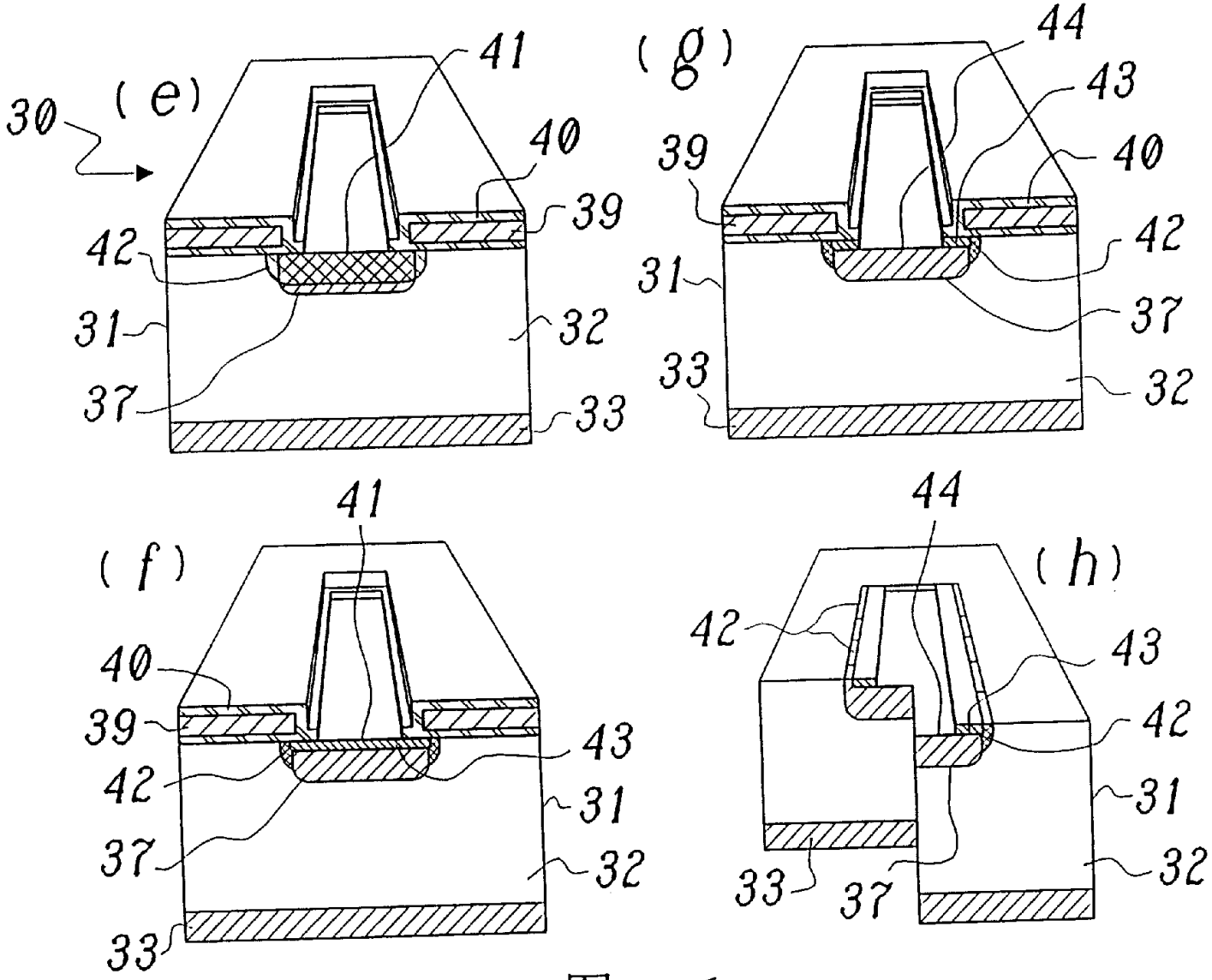

(e)
30
41
40
39
42
31
32
37
33
(g)
44
43
40
39
42
31
37
33
32
(f)
41
40
39
43
42
31
37
32
33
(h)
44
42
43
42
31
33
37
32

图 6

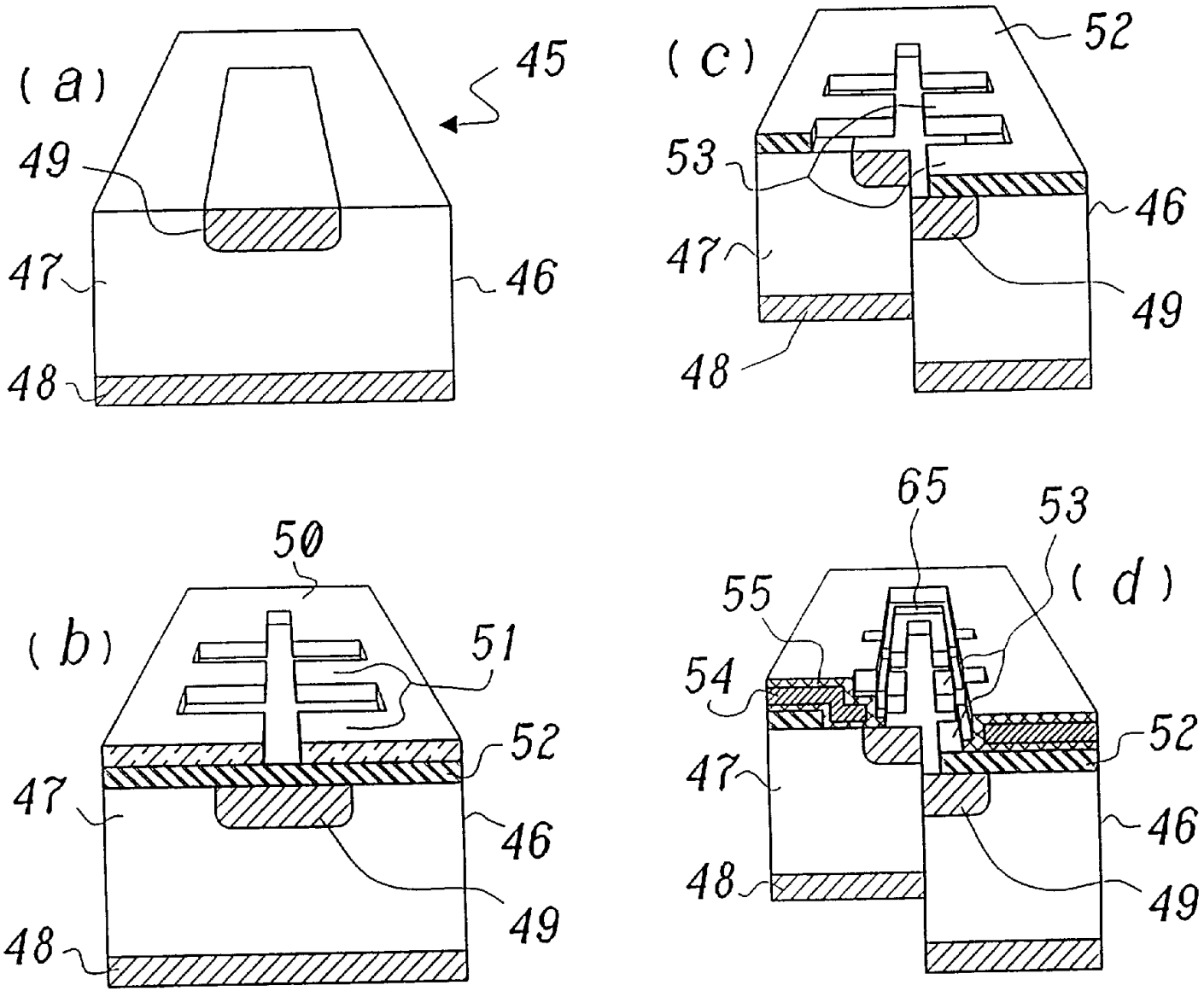

(a)
45
49
47
46
48
(c)
52
53
46
47
49
48
(b)
50
51
52
47
46
49
48
65
53
(d)
55
54
52
47
46
49
48

图 7

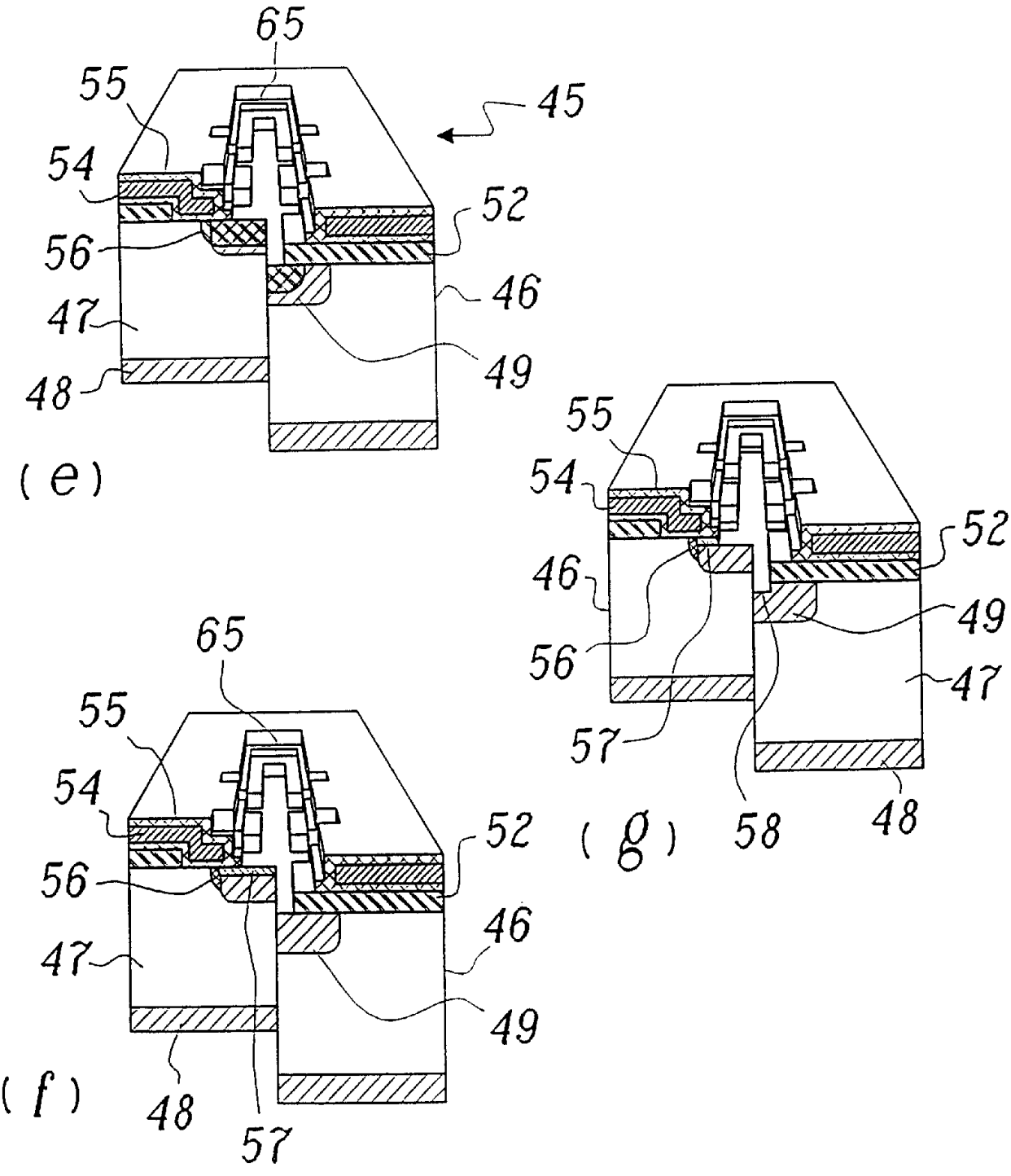

65
55
45
54
52
56
46
47
49
48
(e)
55
54
52
46
49
56
47
57
58
48
(g)
65
55
54
52
56
46
47
49
(f)
48
57

图 7

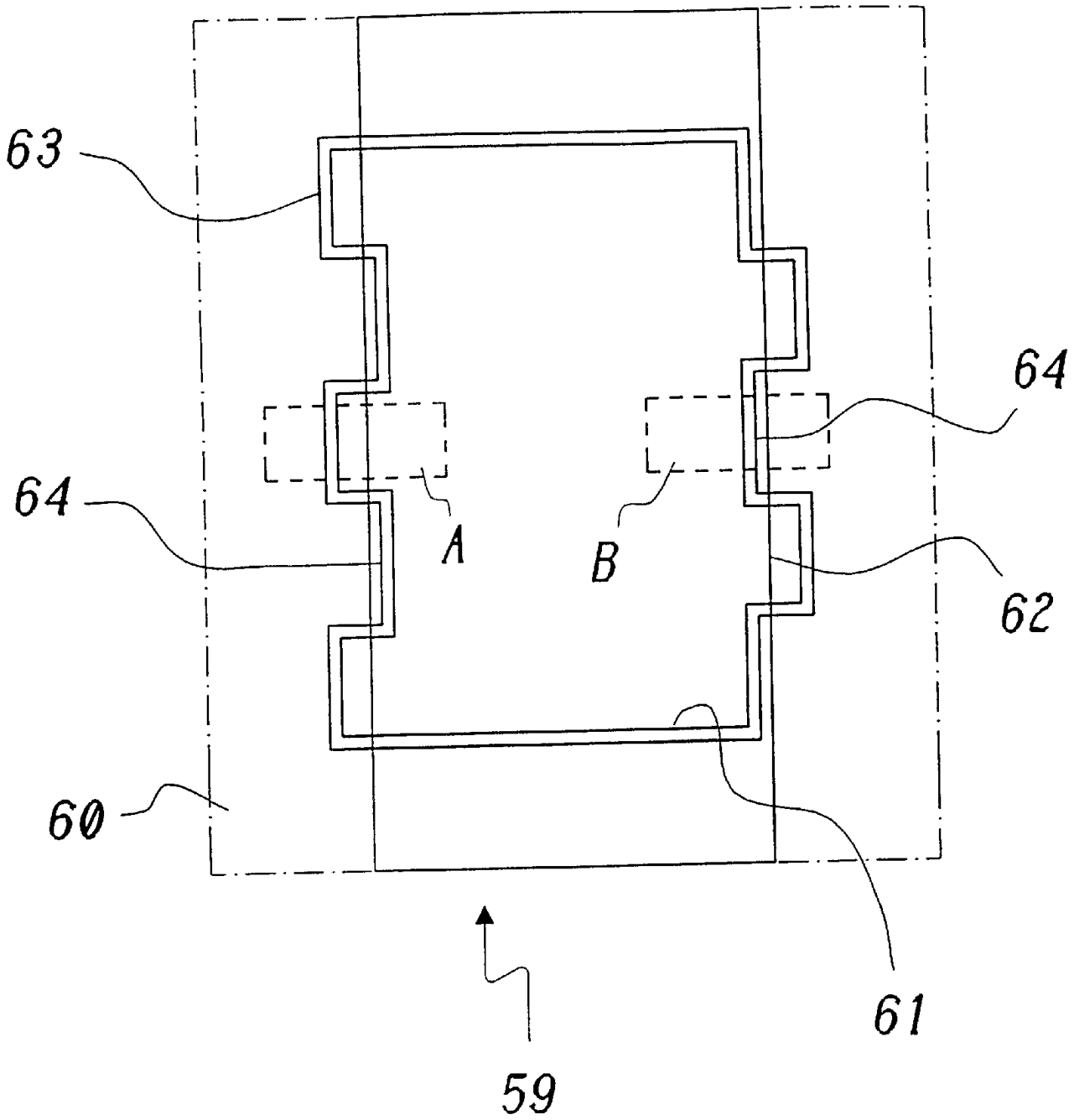


图 8