

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3701405号  
(P3701405)

(45) 発行日 平成17年9月28日(2005.9.28)

(24) 登録日 平成17年7月22日(2005.7.22)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/8244  
HO 1 L 21/768  
HO 1 L 27/11  
HO 1 L 29/786

HO 1 L 27/10 3 8 1  
HO 1 L 21/90 D  
HO 1 L 29/78 6 1 3 B

請求項の数 2 (全 12 頁)

<p>(21) 出願番号 特願平8-225421 (22) 出願日 平成8年8月27日(1996.8.27) (65) 公開番号 特開平10-70198 (43) 公開日 平成10年3月10日(1998.3.10)     審査請求日 平成15年8月27日(2003.8.27)</p> <p>前置審査</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(74) 代理人 100082175 弁理士 高田 守</p> <p>(74) 代理人 100106150 弁理士 高橋 英樹</p> <p>(74) 代理人 100120569 弁理士 大阿久 敦子</p> <p>(74) 代理人 100120499 弁理士 平山 淳</p> <p>(74) 代理人 100117695 弁理士 大塚 環</p>
---	--

最終頁に続く

(54) 【発明の名称】 スタティック型半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成された第一導電膜と、  
この第一導電膜の上に形成された第一絶縁膜と、  
この第一絶縁膜の上にこの第一絶縁膜の膜厚より薄く形成され、TFTのP型ソース/ドレインおよびチャネルに用いられる第一のポリシリコンと、  
この第一のポリシリコンの上に前記第一絶縁膜の膜厚より薄く形成された第二絶縁膜と

、  
前記第一のポリシリコンの膜厚より厚いN型のポリシリコンで形成され、前記第二絶縁膜上に設けられ前記TFTのゲート電極に用いられる部分と、前記第二絶縁膜および前記第一絶縁膜を貫いて前記第一導電膜の表面に至りこの表面と接し、かつ側面の一周のうち一部分のみが前記第一のポリシリコンのP型ソース/ドレインの側面と接する柱状接続部分とを有する第二のポリシリコンとを含むメモリセルを備えた、スタティック型半導体記憶装置。

10

【請求項2】

前記柱状接続部の側面の一周のうち前記第一のポリシリコンのP型ソース/ドレインの側面と接する部分の辺が接しない部分の辺より短い、請求項1に記載のスタティック型半導体記憶装置。

【発明の詳細な説明】

【0001】

20

**【発明の属する技術分野】**

この発明は、複数の導電膜の間の接続構造を改善した半導体装置に関するものである。

**【0002】****【従来の技術】**

先ず、従来の半導体装置における複数の導電膜の間の接続構造について、SRAMを例にとって説明する。一般にSRAMのメモリセルは、図10に示すようにN型のアクセストランジスタQ1、Q2およびドライバトランジスタQ3、Q4の4素子と、P型の負荷トランジスタQ5、Q6の2素子、合計6素子で構成されている。しかし基板に6素子も形成するためセルサイズが大きくなる。このため、2個のP型トランジスタにTF Tを用い、基板にN型4素子、その上にP型TF T 2素子を形成することでセルサイズを小さく

10

**【0003】**

図11から図13には、このようなSRAMのメモリセルパターンを示した。図11には、半導体基板の活性層1a、1b、素子分離領域12、ポリシリコン膜2a~2d、ポリシリコン膜4の配置を示し、さらに活性層1bとポリシリコン膜2cをつなぐ第1ポリコンタクト3a、活性層1aとポリシリコン膜2dをつなぐ第1ポリコンタクト3b、ならびに活性層1a、1bとポリシリコン膜4をつなぐ第2ポリコンタクト5a、5bを示している。

**【0004】**

20

図12には、ポリシリコン膜6a、6bおよびポリシリコン膜8a、8bの配置を示し、さらにポリシリコン膜2cとポリシリコン膜6bをつなぐ第3ポリコンタクト7a、ポリシリコン膜2dとポリシリコン膜6aをつなぐ第3ポリコンタクト7b、ポリシリコン膜6bとポリシリコン膜8aをつなぐ第4ポリコンタクト9a、ならびにポリシリコン膜6aとポリシリコン膜8aをつなぐ第4ポリコンタクト9bを示している。

**【0005】**

図13には、メタル配線11a、11bの配置を示し、さらに活性層1aとメタル配線11aをつなぐメタルコンタクト10a、および活性層1bとメタル配線11bをつなぐメタルコンタクト10bを示している。

**【0006】**

30

これらの図において、ポリシリコン膜2a~2dが基板トランジスタのゲート電極、ポリシリコン膜4がメモリセルのGND配線、ポリシリコン膜6a、6bがTF Tのゲート電極、ポリシリコン膜8a、8bがTF Tのソース/ドレインおよびチャンネル層、メタル配線11a、11bがビット線を形成している。

**【0007】**

図14には図11~図13のA-A'線における断面構造図を示した。図中、図11~図13と同一の符号は同一部分を示す。さらに、図14において、13aはバルクトランジスタのゲート酸化膜、13b、13c、13eは層間絶縁膜、13dはTF Tのゲート酸化膜である。なお、ポリシリコン膜2a~2dおよびポリシリコン膜4は、ポリシリコン単層のみでなくポリシリコンとシリサイド層を組み合わせたポリサイドでもよい。

40

図14において、図11~図13で説明したポリコンタクトのうち、第1ポリコンタクト3b、第3ポリコンタクト7b、第4ポリコンタクト9bが、縦続して形成されているコンタクト構造がみてとれる。

**【0008】****【発明が解決しようとする課題】**

このように形成した従来のSRAMセルでは、以下のような問題点があった。

(1) 各ポリシリコン層をつなぐために第1~4ポリコンタクト3a、3b、5a、5b、7a、7b、9a、9bと多くのポリコンタクトを必要としていた。このため、ポリコンタクトマスク枚数、ポリコンタクトの写真製版工程およびポリコンタクト工程のエッチング回数が多く、プロセスが複雑であった。

50

## 【 0 0 0 9 】

(2) また、従来ポリコンタクトマスク枚数を減らす方法として、シェアードコンタクト構造と呼ばれるものがあった。図 15 にその断面構造を示す。ポリシリコン膜 6 で活性層 1 およびトランジスタのゲート電極を形成するポリシリコン膜 2 に同時にポリコンタクトをとるものである。このように、第 3 ポリコンタクトをシェアード構造にすることで、第 1 ポリコンタクトは必要なくなり、ポリコンタクトを 1 つ減らせる。しかし、従来型の S R A M の対称セルでは、対称であることからセル内に第 3 ポリコンタクトが 2 箇所必要となる。シェアードコンタクトは、2 層に接続するため（ここでは、活性層 1 とポリシリコン膜 2）各層に確実に接続する必要から通常のポリコンタクトのサイズに比べ大きくする必要があり、セルサイズが大きくなるという問題点があった。

10

## 【 0 0 1 0 】

(3) さらに、T F T は、ソース/ドレイン ( S / D ) およびチャネル領域を形成するポリシリコン膜の下にゲート電極があるボトムゲート型とソース/ドレイン ( S / D ) およびチャネル領域を形成するポリシリコン膜の上にゲート電極があるトップゲート型がある。図 1 1 ~ 1 4 に示したセルではボトムゲート型 T F T を用いている。一般に T F T はボトムゲート型にくらべてトップゲート型の方が性能がよい。トップゲート型 T F T かつシェアード直コン構造を採用した場合、T F T の P 型のソース/ドレイン ( S / D ) 領域のポリシリコン膜が N 型活性層に接する。一般に N 型ポリシリコン膜 - P 型ポリシリコン膜の接続に比べ、N 型活性層 - P 型ポリシリコン膜の方が P N ジャンクションが形成されやすく、形成されるとセル動作に悪影響を与える。このため、シェアード直コンとトップゲート型 T F T の組み合わせは難しかった。この発明は、このような従来の問題を解決するためになされたものである。

20

## 【 0 0 1 1 】

## 【課題を解決するための手段】

この発明のスタティック型半導体記憶装置は、  
半導体基板上に形成された第一導電膜と、  
この第一導電膜の上に形成された第一絶縁膜と、  
この第一絶縁膜の上にこの第一絶縁膜の膜厚より薄く形成され、T F T の P 型ソース/ドレインおよびチャネルに用いられる第一のポリシリコンと、  
この第一のポリシリコンの上に前記第一絶縁膜の膜厚より薄く形成された第二絶縁膜と

30

前記第一のポリシリコンの膜厚より厚い N 型のポリシリコンで形成され、前記第二絶縁膜上に設けられ前記 T F T のゲート電極に用いられる部分と、前記第二絶縁膜および前記第一絶縁膜を貫いて前記第一導電膜の表面に至りこの表面と接し、かつ側面の一周のうち一部分のみが前記第一のポリシリコンの P 型ソース/ドレインの側面と接する柱状接続部分とを有する第二のポリシリコンを含むメモリセルを備えたことを特徴とするものである。

## 【 0 0 1 2 】

また、この発明のスタティック型半導体記憶装置は、前記柱状接続部の側面の一周のうち前記第一のポリシリコンの P 型ソース/ドレインの側面と接する部分の辺が接しない部分の辺より短いことを特徴とするものである。

40

## 【 0 0 1 6 】

## 【発明の実施の形態】

実施の形態 1 .

図 1 は、この発明の一実施の形態の半導体装置における層間接続構造、すなわちシェアードコンタクト構造の断面図を示す。図において、1 4 はシリコン基板、1 はその N 型活性層、1 2 は素子分離領域としての素子間分離酸化膜、1 3 a は第 3 の絶縁膜としてのゲート酸化膜、2 は第一導電膜 ( ポリシリコン膜 ) 、1 3 f は第 1 絶縁膜としての層間絶縁膜、8 は第二導電膜としての第一のポリシリコン、1 3 g は第 2 絶縁膜としての層間絶縁膜、6 は第三導電膜としての第二のポリシリコンである。

50

また、15は穴部、16はこの穴部15を埋めるように第二のポリシリコン6から突出した接続部である。

【0017】

穴部15は、第2絶縁膜13g、第一のポリシリコン8、第1絶縁膜13fを貫通し、さらに第一導電膜2と第3絶縁膜13aを通過してシリコン基板14の活性領域1に達している。第二のポリシリコン6から延在している柱状接続部16は、この穴部15を埋めて、活性領域1、第一導電膜2および第一のポリシリコン8に接して導通している。

【0018】

図5は、後に詳述するが、この発明のシェードコンタクト構造の平面図を示す図である。図1のシェードコンタクト構造の平面図も同様に示される。これにより、穴部15が第一のポリシリコン8の先端部の一部を切り欠くように開通し、第一導電膜2の先端部の一部を内包している状態がわかる。

【0019】

さらに、この実施の形態1では、第二のポリシリコン6と第一のポリシリコン8の膜厚の関係に考慮が払われている。すなわち、第二のポリシリコン6の膜厚を $T_{pi}$ 、第一のポリシリコン8の膜厚を $T_{pj}$ とすると、 $T_{pi} > T_{pj}$ である。望ましくは、第一のポリシリコン8の膜厚 $T_{pj}$ を第二のポリシリコン6の膜厚 $T_{pi}$ の $1/2$ 以下にするのがよい。具体的には $T_{pi}$ が $100 \sim 200 \text{ nm}$ に対し、 $T_{pj}$ が $50 \text{ nm}$ 以下にするのがよい。第一のポリシリコン8と第二のポリシリコン6を配線層として使用する場合、抵抗の低い方の配線を第二のポリシリコン6に使用する。このため第二のポリシリコン6は第一のポリシリコン8より厚くなる。

【0020】

次に本シェードコンタクトの形成方法を述べる。図2(A)~(C)に形成工程図を示す。まず、図2(A)に示すように、シリコン基板14に、素子分離領域12、酸化膜13a、第一導電膜2、層間絶縁膜13f、第一のポリシリコン8、層間絶縁膜13gを形成したのち、ポリコンタクトを形成するための写真製版を行ない、レジスト17をパターニングし穴15を開ける。

【0021】

続いて、図2(B)に示すように、ドライエッチングによりポリコンタクトを設けいるための開口部15を形成する。このエッチングにより開口部15内の第一のポリシリコン8はなくなる。このエッチング後、レジスト除去を行なう。

次に、図2(C)に示すように第二のポリシリコン6をデポして、柱状に延びた接続部16を形成して、活性層1、第一導電膜2、第一のポリシリコン8が接続される。このとき、第一のポリシリコン8はその先端部の端面(すなわち側壁)で第二のポリシリコン6と接続される。

【0022】

従来3層のポリをつなぐには、ポリコンタクトが3種類もしくはシェードコンタクトを使用しても2種類が必要であった。しかし、この実施の形態の構造にすることでポリコンタクトを1種類にすることができ、マスク枚数が減らせる。また、写真製版も1度になるため、プロセス工程が簡略化できる。

【0023】

先に述べたように、この実施の形態では、第二のポリシリコン6の膜厚を $T_{pi}$ 、第一のポリシリコン8の膜厚を $T_{pj}$ とすると、 $T_{pi} > T_{pj}$ である。具体的には $T_{pi}$ が $100 \sim 200 \text{ nm}$ に対し、 $T_{pj}$ が $50 \text{ nm}$ 以下にするのがよい。これにより、図2Bに示すコンタクトエッチングが従来に比べ容易になる。このことを以下に説明する。

【0024】

通常ドライエッチングでは、酸化膜エッチング時にはポリシリコンはエッチングされにくく、逆にポリシリコンエッチング時には酸化膜はエッチングされにくい。このため、図2(B)に示すコンタクトエッチングを実現するには、3段階のエッチングとなる。つまり第1段で層間絶縁膜13gの酸化膜エッチング、第2段で第一のポリシリコン8のポリエ

10

20

30

40

50

ッチング、第3段で層間絶縁膜13fの酸化膜エッチングである。このためエッチング工程が複雑である。

【0025】

しかし、この実施の形態では第一のポリシリコン8の膜厚 $T_{pj}$ を薄くしたため、望ましくは非常に薄くしたため、ポリコンタクト開孔が1段のエッチングで可能となる。エッチング方法は、酸化膜エッチングのみで行なうもので、第2の層間絶縁膜13gのエッチング後、第一のポリシリコン8のエッチングになるが、ポリ膜厚が薄いため酸化膜エッチングプロセスで行なうことが可能となる。このように、この実施の形態のシェードコンタクト構造においては、第一のポリシリコン8を薄くすることで、エッチング工程が容易になる。また、第二のポリシリコン6は最上層となるので、エッチングと関係なく厚いポリ層にすることもできる。

10

【0026】

実施の形態2.

図3は、この発明の他の実施の形態の半導体装置におけるシェードコンタクトの断面図を示す。図中、図1ないし図2と同じ符号は、同一または相当部分を示すものであり、各部分の説明は重複をさけるため説明を省略する。

この実施の形態においては、第1の層間絶縁膜13fと第2の層間絶縁膜13gの膜厚の関係に考慮が払われている。第1の層間絶縁膜13fの厚さを $T_{oj}$ 、第2の層間絶縁膜厚13gの厚さを $T_{oi}$ とすると、 $T_{oj} \gg T_{oi}$ とされている。望ましくは、第2の層間絶縁膜厚13gの厚さ $T_{oi}$ は、第1の層間絶縁膜13fの厚さ $T_{oj}$ の $1/10$ 以下とされる。

20

これにより、この実施の形態のシェードコンタクト構造でもコンタクトエッチングが従来に比べ容易になる。従来の3段階エッチングから2段階エッチングにすることが可能である。

【0027】

2段エッチングの方法は、第1段で第2の層間絶縁膜13gおよび第一のポリシリコン8をポリエッチングプロセスで行なう。この場合も第2の層間絶縁膜13gが薄いため、ポリエッチングプロセスで開孔が可能となる。このように、第2の層間絶縁膜厚13gの厚さ $T_{oi}$ を第1の層間絶縁膜13fの厚さ $T_{oj}$ に比べ薄くすることで、望ましくは極めて薄くすることで、エッチングプロセスが容易になる。

30

【0028】

実施の形態3.

図4は、この発明の他の実施の形態の半導体装置のシェードコンタクトの断面図を示す。図中、図1ないし図3と同じ符号は、同一または相当部分を示すので、各部分の詳細な説明は省略する。

このシェードコンタクト構造においても、N型活性層1、第一導電膜2、第一のポリシリコン8を第二のポリシリコン6で接続している。この実施の形態は、実施の形態1と2との特徴を組み合わせたものである。

【0029】

すなわち、第一のポリシリコン8の膜厚 $T_{pj}$ を、第二のポリシリコン6の膜厚 $T_{pi}$ より小さくする( $T_{pi} > T_{pj}$ )。かつ、第2の層間絶縁膜厚13gの厚さ $T_{oi}$ を、第1の層間絶縁膜13fの厚さ $T_{oj}$ より小さくする( $T_{oj} \gg T_{oi}$ )。このことは、実際的には、第一のポリシリコン8の膜厚 $T_{pj}$ と第2の絶縁膜13gの厚さ $T_{oi}$ を極めて小さくすることである( $T_{pi}, T_{oj} > T_{pj}, T_{oi}$ )。

40

【0030】

このような構造にすることにより、ポリコンタクトの開孔をするのに、実施の形態1および2で示した1段および2段エッチングのどちらでも可能となり、エッチングの工程数を減らすことができるうえ、エッチング装置の性能に合わせエッチング方法が選択可能となる。

【0031】

50

## 実施の形態 4 .

図 5 は、この発明の他の実施の形態の半導体装置におけるシェアードコンタクト構造を示すものであり、その平面的構成を示すために上面から見た図を示したものである。図中、図 1 ないし図 4 と同じ符号は、同一または相当部分を示す。

図 5 に示されるように、この実施の形態のシェアードコンタクト構造では、第一導電膜 2 と 第一のポリシリコン 8 の先端部に 第二のポリシリコン 6 からの柱状接続部 16 が位置している。接続部 16 の一部（図で長さ  $\times 1$  で示される部分）は活性層 1 に直接に当接している。接続部 16 の他の側の一部（図で長さ  $\times 2$  で示される部分）は 第一のポリシリコン 8 の先端部の一部を切り欠いて貫通し、第一導電膜 2 に当接している。第一のポリシリコン 8 は、その切り欠かれた部分の端面（側面）の 3 辺で接続部 16 に接して導通がとら 10  
れている。第一導電膜 2 は、接続部 16 中に突出した形の先端部の上面と端面（側面）とで接続部 16 に接し導通がとられている。

## 【 0 0 3 2 】

このように形成したこのシェアードコンタクトでは、接続部 16 が活性層 1 に当接する面積（図で長さ  $\times 1$  で示される部分）と 第一導電膜 2 に当接する面積（図で長さ  $\times 2$  で示される部分）について考慮が払われている。すなわち、コンタクトのサイズ割り当てを活性層 1 の部分の幅  $\times 1$  の方が 第一導電膜 2 の部分の幅  $\times 2$  より大きくしている（ $\times 1 > \times 2$ ）。

別の言い方をすれば、第一導電膜 2 の先端部は接続部 16 の中に突出しているが、その突出長さを接続部 16 の水平方向の長さの半分より小さく抑えている。すなわち、突出を 20  
接続部 16 の径の  $1/2$  より小さくしている。

## 【 0 0 3 3 】

このような構造にすることにより、以下のような問題が解決できる。

この発明のようなシェアードコンタクト構造においては、従来例に比べポリシリコン膜および層間絶縁膜が各 1 層ずつ増加したことにより、コンタクトが深くなる。一般にコンタクトが深くかつ横幅が狭くなると、エッチングガスが入りにくくなり、エッチング速度が低下し、最悪ではエッチングが進行しなくなる。

## 【 0 0 3 4 】

図 6 にはコンタクトエッチングを 第一導電膜 2 まで行なった状態を示す。これ以降のエッチングでは点線で囲まれた領域を行なうが、前に述べているようにこの発明の構造では 30  
コンタクトが深いことから、幅  $\times 1$  が小さいとエッチングが進行しない可能性が生じる。しかし、コンタクトを大きくするとセルサイズが拡大するため、従来のシェアードコンタクトと同じサイズに保つには、 $\times 1$  にくらべ  $\times 2$  を小さくする。 $\times 2$  は小さくなくても、最悪、図 6 に示す 第一導電膜 2 の側壁 Y で第 3 ポリと接続することができる。このため、この実施の形態のシェアードコンタクトでは、 $\times 1 > \times 2$  にしている。これにより、この発明のシェアードコンタクトを従来のものと同じサイズで実現できる。

## 【 0 0 3 5 】

## 実施の形態 5 .

図 7 は、この発明の他の実施の形態の半導体装置の構造を示す図である。この図は、この発明のシェアードコンタクト構造を S R A M に適用したものを示す図で、その断面構造を示している。 40

実施の形態 1 ~ 3 で示した構造のうち、セル特性にとっては実施の形態 3 の構造がセルを組み立てるのには最も優れている。図 7 は、これを S R A M に適用した例である。

## 【 0 0 3 6 】

図 7 において、図 1 ないし図 6 と同一の符号は同一または相当部分を示すので、各部分の詳細な説明は省略する。この実施の形態でも、図に見るように、第二のポリシリコン 6 a から延びている接続部 16 により、活性層 1 b、第一導電膜 2 d および 第一のポリシリコン 8 b との接続・導通がとられている。

## 【 0 0 3 7 】

この実施の形態のSRAMでは、第一導電膜2 dのみが従来同様基板トランジスタのゲート電極として形成されたものであり、第一のポリシリコン8 bはTFTのソース/ドレインおよびチャネル層として形成された導電膜、第二のポリシリコン6 aはTFTのゲート電極として形成された導電膜となっている。従来例では、図14で説明したように、コンタクトを3回形成する必要があったのに比べ、このような構造により工程が著しく簡素化される。

#### 【0038】

さらに、従来のTFTはボトムゲート型であったが、この実施の形態では性能が優れたトップゲート型になっている。従来トップゲート型TFTとシェアドコンタクトを組み合わせるとP-Nジャンクションの問題が生じた。今回の構造では、第一のポリシリコン8 bのコンタクト接続部がP型、第二のポリシリコン6 aおよびその接続部16をN型としたことで、N型活性層1 bと第二のポリシリコン6 aの接続部16が接する部分は、N型同士と同じ導電型であるためPNジャンクションを生じず、電位ドロップが起きない。また、第一のポリシリコン8 bと第二のポリシリコン6 aは、N-Pポリ間の接続のためPNジャンクションは問題ないレベルである。

10

#### 【0039】

さらにまた、コンタクトのエッチングの改善のため、第一のポリシリコン8 bの膜厚(T<sub>pj</sub>)および層間絶縁膜厚13 gの膜厚(T<sub>oi</sub>)を薄膜化したが、これらによりTFT特性も改善できる。つまり、TFTのソース・ドレインおよびチャネル層としての第一のポリシリコン8 bの膜厚(T<sub>pj</sub>)の薄膜化でOFF電流であるリーク電流を減らすことができる。また、層間絶縁膜厚13 gの膜厚(T<sub>oi</sub>)の薄膜化でTFTのゲート酸化膜が薄くなるためON電流を向上できる。

20

#### 【0040】

このように、この実施の形態の構造のように、第一のポリシリコン8 bをTFTのソース/ドレインおよびチャネル層、第二のポリシリコン6 aをTFTのゲート電極にすることで、ジャンクションの問題が解決でき、かつ高性能なトップゲート型TFTを採用でき、そのうえ膜厚関係を考慮すると更に性能を向上できる。以上のように、この実施の形態は、トップゲートTFTと直コンとの組み合わせで、SRAMの性能を向上させたものである。

#### 【0041】

実施の形態6 .

図8及び図9は、この発明のさらに他の実施の形態の半導体装置におけるポリコンタクト構造を示す図である。図8は断面構造図、図9は平面構造を示す図である。図8及び図9において、図1ないし図7と同一の符号はそれぞれ同一または相当の部分を示すので、各部分の詳細な説明は省略する。

30

この実施の形態のポリコンタクトでは、第二のポリシリコン6から延在する接続部18は、第一のポリシリコン8の先端部を切り欠いて延び、第一導電膜2を貫通して基板14ないし活性層1に至っている。つまり、この実施の形態のポリコンタクト構造は、シェアド構造ではなく、第一導電膜2、第一のポリシリコン8ともにその端面(側面)が第二のポリシリコン6の接続部16に接した構造である。このような構造にした場合も、3層間の接続が一挙にとれ、またポリコンタクトマスク1枚で形成できる。

40

#### 【0042】

この実施の形態の構造についても、図1で示したように、第一のポリシリコン8の膜厚を第二のポリシリコン6の膜厚より小さくすること、図3で示したように、第2の層間絶縁膜厚13 gの厚さを第1の層間絶縁膜13 fの厚さより小さくすること、図4で示したように、第一のポリシリコン8の膜厚を第二のポリシリコン6の膜厚より小さくし、かつ第1層間絶縁膜厚13 gの厚さを第2層間絶縁膜13 fの厚さより小さくすること、さらには図7で示したように、これをSRAMへ応用することについては、それぞれ適用でき、同様の効果があげられるものである。

#### 【0043】

50

## 【発明の効果】

以上説明したように、この発明によれば、半導体基板の上に、第一導電膜、第一絶縁膜、第二導電膜、第二絶縁膜、第三導電膜を積層し、第二導電膜の膜厚を第三導電膜の膜厚より薄くして、また、第二絶縁膜の膜厚を第一絶縁膜の膜厚より薄くして、第三導電膜から第一導電部および第二導電膜へのポリコンタクトを形成したので、マスク枚数減及びプロセス工程の簡略化、およびエッチング工程の簡略化が図れる。

## 【0044】

また、この発明では、第二導電膜がTFTトランジスタのソース/ドレインおよびチャネル用導電膜として形成され、第三導電膜が前記TFTトランジスタのゲート用電極として形成されたものであるので、TFT特性の向上を図ることができる。

10

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置の多層間接続構造を示す断面構造図である。

【図2】 この発明の実施の形態1の半導体装置の製造方法を示す断面構造図である。

【図3】 この発明の実施の形態2における半導体装置の多層間接続構造を示す断面構造図である。

【図4】 この発明の実施の形態3における半導体装置の多層間接続構造を示す断面構造図である。

【図5】 この発明の実施の形態4における半導体装置の多層間接続構造を示す上面図である。

20

【図6】 この発明の実施の形態4における半導体装置の多層間接続構造を示す断面構造図である。

【図7】 この発明の実施の形態5における半導体装置のメモリセル断面構造図である。

【図8】 この発明の実施の形態6における半導体装置の多層間接続構造を示す断面構造図である。

【図9】 この発明の実施の形態6における半導体装置の多層間接続構造を示す平面構造図である。

【図10】 SRAMメモリセルの等価回路図である。

【図11】 従来例のメモリセルのレイアウト図である。

【図12】 従来例のメモリセルのレイアウト図である。

30

【図13】 従来例のメモリセルのレイアウト図である。

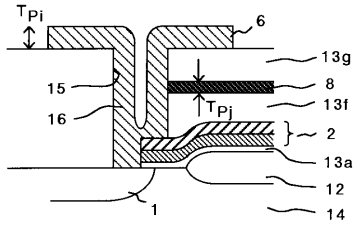
【図14】 従来例のメモリセルの断面構造図である。

【図15】 従来例のシェアードコンタクト構造の断面構造図である。

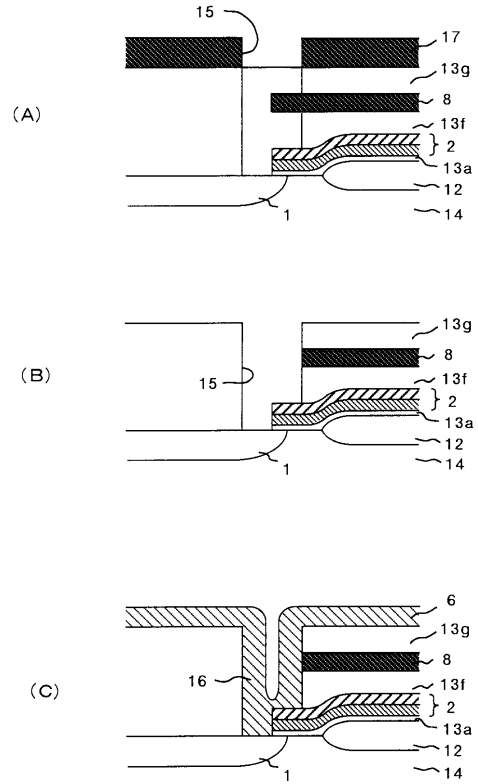
## 【符号の説明】

1 N型活性層、2 第一導電膜（ポリシリコン膜）、6 第三導電膜（第二のポリシリコン）、8 第二導電膜（第一のポリシリコン）、13a 第3の絶縁膜（ゲート酸化膜）、13f 第1絶縁膜（層間絶縁膜）、13g 第2絶縁膜（層間絶縁膜）、14 シリコン基板、15 穴部、16、18 柱状接続部。

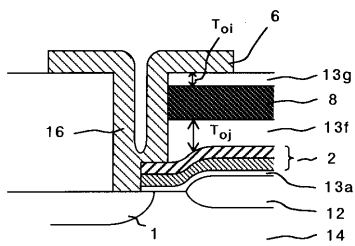
【 図 1 】



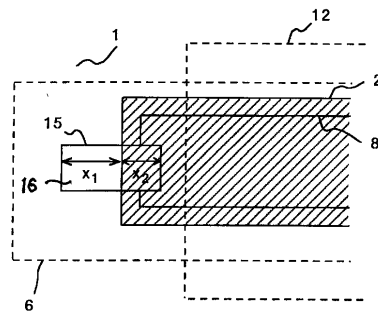
【 図 2 】



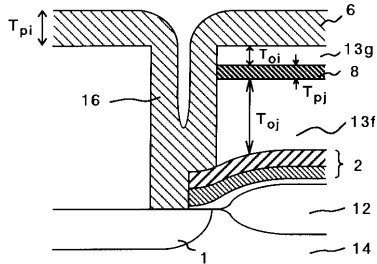
【 図 3 】



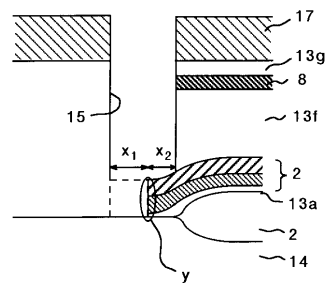
【 図 5 】



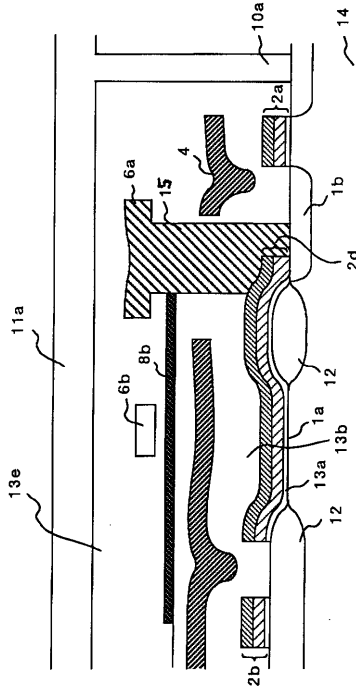
【 図 4 】



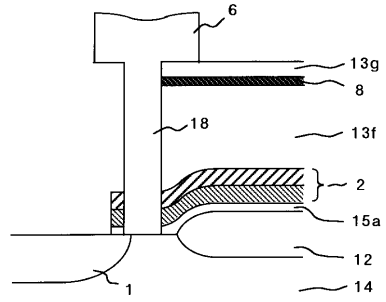
【 図 6 】



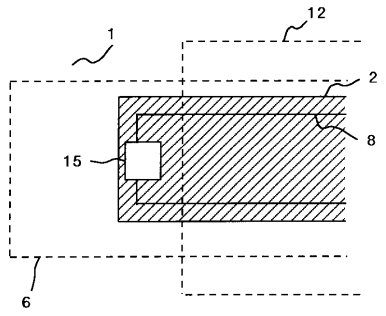
【 図 7 】



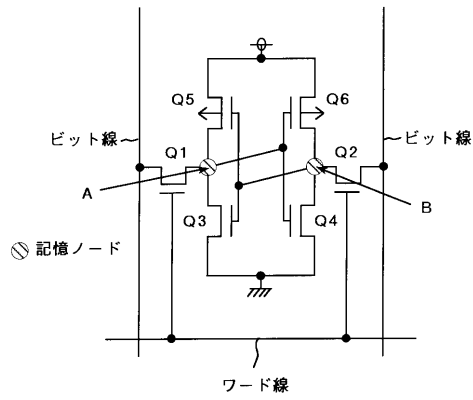
【 図 8 】



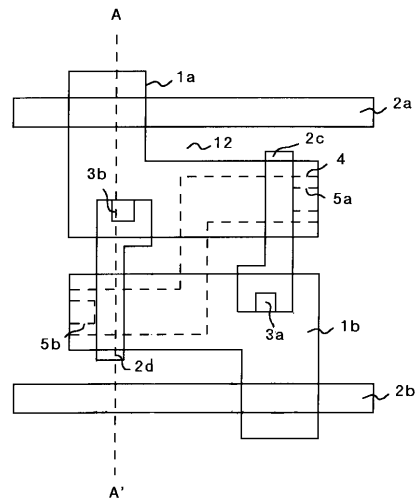
【 図 9 】



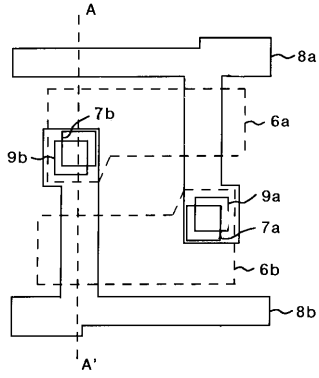
【 図 10 】



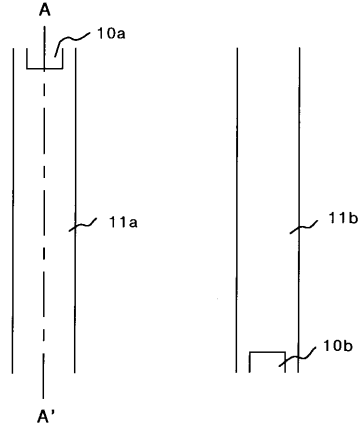
【 図 11 】



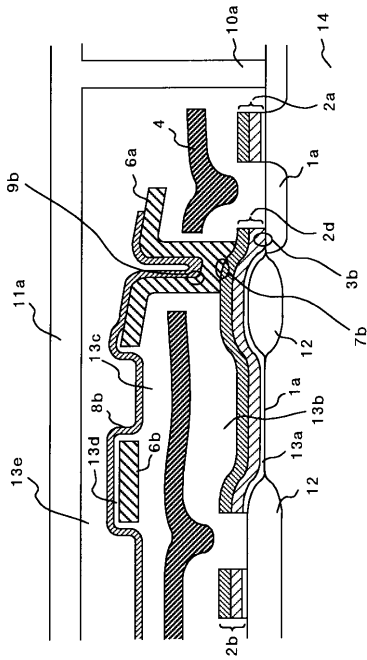
【 図 1 2 】



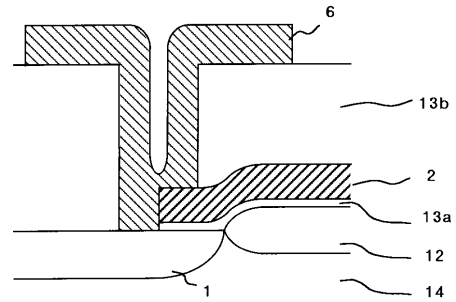
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



---

フロントページの続き

- (72)発明者 栗山 祐忠  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 塘 一仁  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 正山 旭

- (56)参考文献 特開平04-274363(JP,A)  
特開平05-315571(JP,A)  
特開平02-271663(JP,A)  
特開平05-326888(JP,A)  
特開平07-142609(JP,A)  
特開平08-236642(JP,A)  
特開平05-041378(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 27/11  
H01L 21/768  
H01L 21/8244  
H01L 29/786