

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 4 月 3 日 (03.04.2025)



(10) 国际公布号
WO 2025/065261 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

(21) 国际申请号: PCT/CN2023/121688

(22) 国际申请日: 2023 年 9 月 26 日 (26.09.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

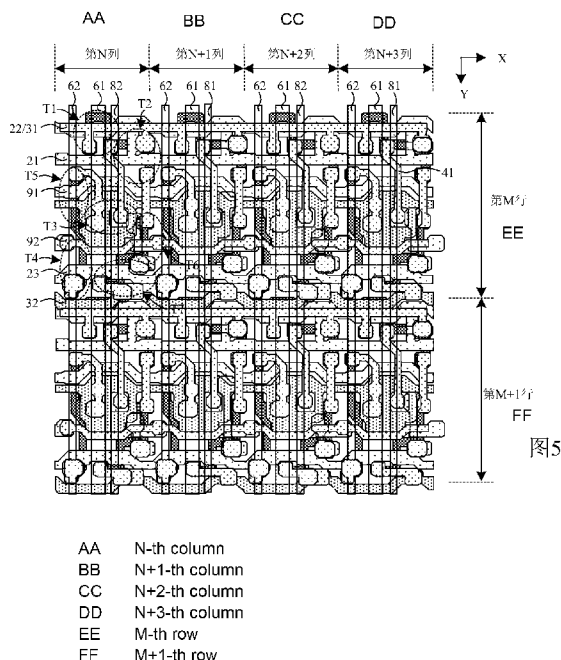
(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。北京京东方技术开发有限公

司(**BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.**) [CN/CN]; 中国北京市大兴区北京经济技术开发区地泽路 9 号 1 幢 407 室 100176 (CN)。

(72) 发明人: 蔡文哲(**CAI, Wenzhe**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。刘佳(**LIU, Jia**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。王蓉(**WANG, Rong**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。黄耀(**HUANG, Yao**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。王琦伟(**WANG, Qiwei**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。董向丹(**DONG, Xiangdan**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

(54) **Title:** DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板和显示装置



(57) **Abstract:** A display substrate and a display apparatus. The display substrate comprises a plurality of circuit units forming a plurality of unit rows and a plurality of unit columns. The circuit units each comprise a pixel driving circuit and a control line, and the pixel driving circuit comprises a driving transistor (T3), a first light-emitting control transistor (T5), and a second light-emitting control transistor (T6), a second electrode of the first light-emitting control transistor (T5) being connected to a first electrode of the driving transistor (T3), and a first electrode of the second light-emitting control transistor (T6) being connected to a second electrode

(74) 代理人: 北京安信方达知识产权代理有限公司(AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE); 中国北京市海淀区学清路 38 号 (B座)21层2108 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

of the driving transistor (T3). The first light-emitting control transistor (T5) and the second light-emitting control transistor (T6) are connected to different control lines. The first light-emitting control transistor (T5) and the second light-emitting control transistor (T6) are separately arranged on two sides in the unit column direction of the driving transistor (T3).

(57) 摘要: 一种显示基板和显示装置。显示基板包括构成多个单元行和多个单元列的多个电路单元, 电路单元包括像素驱动电路和控制线, 像素驱动电路包括驱动晶体管(T3)、第一发光控制晶体管(T5)和第二发光控制晶体管(T6), 第一发光控制晶体管(T5)的第二极与驱动晶体管(T3)的第一极连接, 第二发光控制晶体管(T6)的第一极与驱动晶体管(T3)的第二极连接; 第一发光控制晶体管(T5)和第二发光控制晶体管(T6)连接不同的控制线; 第一发光控制晶体管(T5)和第二发光控制晶体管(T6)分别设置在驱动晶体管(T3)单元列方向的两侧。

显示基板和显示装置

技术领域

本文涉及但不限于显示技术领域，具体涉及一种显示基板和显示装置。

背景技术

有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 和量子点发光二极管(Quantum-dot Light Emitting Diodes, 简称 QLED)为主动发光显示器件, 具有自发光、广视角、高对比度、低功耗、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展, 以 OLED 或 QLED 为发光器件、由薄膜晶体管(Thin Film Transistor, 简称 TFT) 进行信号控制的显示装置(Flexible Display) 已成为目前显示领域的主流产品。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

一方面, 本公开提供了一种显示基板, 包括构成多个单元行和多个单元列的多个电路单元, 至少一个电路单元包括像素驱动电路和至少一条控制线, 所述控制线被配置为向所述像素驱动电路提供发光控制信号; 至少一个电路单元中, 所述像素驱动电路至少包括驱动晶体管、第一发光控制晶体管和第二发光控制晶体管, 所述第一发光控制晶体管的第一极与第一电源线连接, 所述第一发光控制晶体管的第二极与所述驱动晶体管的第一极连接, 第二发光控制晶体管的第一极与所述驱动晶体管的第二极连接; 所述第一发光控制晶体管和所述第二发光控制晶体管连接不同的控制线, 所述第一发光控制晶体管和所述第二发光控制晶体管分别设置在所述驱动晶体管单元列方向的两侧。

在示例性实施方式中, 至少一条控制线包括第一信号线和第二信号线, 所述第一发光控制晶体管与所述第一信号线连接, 所述第二发光控制晶体管与所述第二信号线连接, 所述第一信号线和所述第二信号线分别设置在所述驱动晶体管单元列方向的两侧。

在示例性实施方式中, 在垂直于显示基板的方向上, 所述显示基板包括多个导电层, 所述第一信号线和所述第二信号线设置在不同的导电层中。

在示例性实施方式中, 所述第二发光控制晶体管至少包括第二栅极, 所述第二栅极和所述第一信号线设置在相同的导电层中, 所述第二栅极和所述第二信号线设置在不同的导电层中。

在示例性实施方式中, 所述像素驱动电路还包括补偿晶体管, 所述补偿晶体管的栅电极与第一扫描信号线连接, 所述补偿晶体管的第一极通过第一连接电极与所述驱动晶体管的栅电极连接, 所述补偿晶体管的第二极分别与所述驱动晶体管的第二极和第二发光控制晶体管的第一极连接; 所述第一连接电极在显示基板平面上的正投影与所述第一信号线在显示基板平面上的正投影至少部分交叠, 所述第一连接电极在显示基板平面上的正投影与所述第一扫描信号线在显示基板平面上的正投影至少部分交叠。

在示例性实施方式中, 所述补偿晶体管至少包括补偿有源层, 所述第二发光控制晶体管至少包括第二发光控制有源层, 所述补偿有源层的第二区通过第五连接电极与所述第二发光控制有源层的第一区连接; 在垂直于显示基板的方向上, 所述显示基板至少包括至少一个半导体层和至少一个导电层, 所述补偿有源层和第二发光控制有源层设置在所述半导体层中, 所述第五连接电极设置在所述导电层中。

在示例性实施方式中, 所述像素驱动电路还包括数据写入晶体管, 所述数据写入晶体

管的第一极与数据信号线连接,所述数据写入晶体管的第二极与与所述驱动晶体管的第一极连接,所述数据写入晶体管和所述补偿晶体管分别设置在所述驱动晶体管单元列方向的两侧。

在示例性实施方式中,至少一条控制线包括发光信号线,所述发光信号线与本单元行中的所述第二发光控制晶体管连接,所述发光信号线与下一个单元行中的所述第一发光控制晶体管连接。

在示例性实施方式中,所述第一发光控制晶体管至少包括第一栅极,所述第二发光控制晶体管至少包括第二栅极,所述发光信号线与本单元行中的所述第二栅极连接,所述发光信号线通过发光信号连接线与下一个单元行中的所述第一发光控制晶体管连接。

在示例性实施方式中,在垂直于显示基板的方向上,所述显示基板包括多个导电层,所述第一栅极和所述第二栅极设置在相同的导电层中,所述第一栅极和所述发光信号线设置在不同的导电层中,所述第一栅极和所述发光信号连接线设置在不同的导电层中,所述发光信号连接线和所述发光信号线设置在不同的导电层中。

在示例性实施方式中,所述多个导电层至少包括在基底上沿着远离基底方向依次设置的第一导电层、第二导电层、第三导电层和第四导电层,所述第一栅极和所述第二栅极设置在所述第一导电层中,所述发光信号线设置在所述第三导电层中,所述发光信号线通过过孔与所述第二栅极连接,所述发光信号连接线设置在所述第四导电层中,所述发光信号连接线的第一端通过过孔与本单元行中的所述发光信号线连接,所述发光信号连接线的第二端通过过孔与下一个单元行中的所述第一栅极连接。

在示例性实施方式中,所述多个导电层还包括设置在所述第四导电层远离所述基底一侧的第五导电层,所述第一电源线设置在所述第五导电层中,所述第一电源线在显示基板平面上的正投影与所述发光信号连接线在显示基板平面上的正投影至少部分交叠。

在示例性实施方式中,至少一个电路单元还包括沿着像素行方向延伸的第一初始信号线和沿着像素列方向延伸的第一连接线,所述第一初始信号线被配置为向所述像素驱动电路提供第一初始信号,所述第一初始信号线和所述第一连接线连接,形成传输所述第一初始信号的网状连通结构。

在示例性实施方式中,所述第一连接线在显示基板平面上的正投影与所述驱动晶体管的栅电极在显示基板平面上的正投影没有交叠。

在示例性实施方式中,所述像素驱动电路还包括补偿晶体管,所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接,所述第一连接线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

在示例性实施方式中,至少一个电路单元还包括沿着像素行方向延伸的第二初始信号线和沿着像素列方向延伸的第二连接线,所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号,所述第二初始信号线和所述第二连接线连接,形成传输所述第二初始信号的网状连通结构。

在示例性实施方式中,所述第二连接线在显示基板平面上的正投影与所述驱动晶体管的栅电极在显示基板平面上的正投影没有交叠。

在示例性实施方式中,所述像素驱动电路还包括补偿晶体管,所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接,所述第二连接线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

在示例性实施方式中,至少一个电路单元还包括沿着像素行方向延伸的第三连接线和沿着像素列方向延伸的第二电源线,所述第二电源线和所述第三连接线连接,形成传输第二电源信号的网状连通结构。

在示例性实施方式中,所述第二电源线在显示基板平面上的正投影与所述驱动晶体

管的栅电极在显示基板平面上的正投影没有交叠。

在示例性实施方式中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接，所述第二电源线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

5 在示例性实施方式中，所述像素驱动电路还包括存储电容和第一电容；所述存储电容包括第一极板和第二极板，所述第一极板在显示基板平面上的正投影与所述第二极板在显示基板平面上的正投影至少部分交叠，所述第一极板作为所述驱动晶体管的栅电极，所述第二极板与所述第一电源线连接；所述第一电容包括第三极板和第四极板，所述第三极板在显示基板平面上的正投影与所述第四极板在显示基板平面上的正投影至少部分交叠，所述第三极板分别与所述驱动晶体管的第一极和所述第一发光控制晶体管的第二极连接，所述第四极板与所述第一电源线连接。

10 在示例性实施方式中，在垂直于显示基板的方向上，所述显示基板至少包括在基底上沿着远离基底方向依次设置的半导体层、第一导电层和第二导电层，所述第三极板设置在所述半导体层中，所述第一极板设置在所述第一导电层中，所述第二极板和所述第四极板设置在所述第二导电层中。

15 另一方面，本公开还提供了一种显示装置，包括前述的显示基板。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

20 附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为一种显示装置的结构示意图；

图 2 为一种显示基板的平面结构示意图；

图 3 为一种显示基板的剖面结构示意图；

25 图 4 为本公开示例性实施例一种像素驱动电路的等效电路示意图；

图 5 为本公开示例性实施例一种显示基板的结构示意图；

图 6 为本公开一种显示基板形成半导体层图案后的示意图；

图 7A 和图 7B 为本公开一种显示基板形成第一导电层图案后的示意图；

图 8A 和图 8B 为本公开一种显示基板形成第二导电层图案后的示意图；

30 图 9 为本公开一种显示基板形成第四绝缘层图案后的示意图；

图 10A 和图 10B 为本公开一种显示基板形成第三导电层图案后的示意图；

图 11 为本公开一种显示基板形成第一平坦层图案后的示意图；

图 12A 和图 12B 为本公开一种显示基板形成第四导电层图案后的示意图；

图 12C 至图 12E 为本公开第一初始信号和第二初始信号网状连通结构的示意图；

35 图 13 为本公开一种显示基板形成第二平坦层图案后的示意图；

图 14A 和图 14B 为本公开一种显示基板形成阳极导电层图案后的示意图；

图 15 为本公开一种显示基板形成像素定义层图案后的示意图；

图 16 为本公开示例性实施例另一种像素驱动电路的等效电路示意图；

图 17 为本公开示例性实施例另一种显示基板的结构示意图；

40 图 18 为本公开另一种显示基板形成半导体层图案后的示意图；

图 19A 和图 19B 为本公开另一种显示基板形成第一导电层图案后的示意图；

图 20A 和图 20B 为本公开另一种显示基板形成第二导电层图案后的示意图；

图 21 为本公开另一种显示基板形成第四绝缘层图案后的示意图；

图 22A 和图 22B 为本公开另一种显示基板形成第三导电层图案后的示意图；

图 23 为本公开另一种显示基板形成第一平坦层图案后的示意图；
图 24A 和图 24B 为本公开另一种显示基板形成第四导电层图案后的示意图；
图 25 为本公开另一种显示基板形成第二平坦层图案后的示意图；
图 26A 和图 26B 为本公开另一种显示基板形成第五导电层图案后的示意图；
图 26C 为本公开一种初始信号和第二电源网状连通结构的示意图；
图 27 为本公开示例性实施例又一种显示基板的结构示意图；
图 28A 和图 28B 为本公开又一种显示基板形成第三导电层图案后的示意图；
图 29 为本公开又一种显示基板形成第一平坦层图案后的示意图；
图 30A 和图 30B 为本公开又一种显示基板形成第四导电层图案后的示意图；
图 30C 和图 30D 为本公开另一种初始信号和第二电源网状连通结构的示意图；
图 31A 和图 31B 为本公开另一种显示基板形成阳极导电层图案后的示意图；
图 32 为本公开另一种显示基板形成像素定义层图案后的示意图；
图 33A 和图 33B 为本公开又一种显示基板形成阳极导电层图案后的示意图。

附图标记说明：

11—第一有源层；	12—第二有源层；	13—第三有源层；
14—第四有源层；	15—第五有源层；	16—第六有源层；
17—第七有源层；	18—有源连接线；	21—第一扫描信号线；
22—第二扫描信号线；	23—第三扫描信号线；	31—第一初始信号线；
32—第二初始信号线；	41—第一连接电极；	42—第二连接电极；
43—第三连接电极；	44—第四连接电极；	45—第五连接电极；
46—第六连接电极；	47—第七连接电极；	48—第八连接电极；
49—第九连接电极；	51—第十一连接电极；	52—第十二连接电极；
53—第十三连接电极；	54—第十四连接电极；	55—第十五连接电极；
56—发光信号连接线；	61—第一电源线；	62—数据信号线；
63—阳极连接电极；	64—第二电源线；	71—第一极板；
72—第二极板；	73—第三极板；	74—第四极板；
75—开口；	76—极板连接条；	81—第一连接线；
82—第二连接线；	83—第三连接线；	90—阳极；
91—第一信号线；	92—第二信号线；	93—发光信号线；
101—基底；	102—驱动电路层；	103—发光结构层；
104—封装结构层。		

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

本公开中的附图比例可以作为实际工艺中的参考，但不限于此。例如：沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。

显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图，本公开的一个方式不局限于附图所示的形状或数值等。

本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换，“源端”和“漏端”可以互相调换。

在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

图1为一种显示装置的结构示意图。如图1所示，显示装置可以包括时序控制器、数据驱动器、扫描驱动器、发光驱动器和像素阵列，时序控制器分别与数据驱动器、扫描驱动器和发光驱动器连接，数据驱动器分别与多个数据信号线（D1到Dn）连接，扫描驱动器分别与多个扫描信号线（S1到Sm）连接，发光驱动器分别与多个发光信号线（E1到En）连接。像素阵列可以包括多个子像素 P_{xij} ，i和j可以是自然数，至少一个子像素 P_{xij} 可以包括电路单元和发光单元，电路单元可以至少包括像素驱动电路，像素驱动电路分别与扫描信号线、发光信号线和数据信号线连接，发光单元可以包括发光器件，发光器件与电路单元的像素驱动电路连接。在示例性实施方式中，时序控制器可以将适合于数据驱动器的规格的灰度值和控制信号提供到数据驱动器，可以将适合于扫描驱动器的规格的时钟信号、扫描起始信号等提供到扫描驱动器，可以将适合于发光驱动器的规格的时钟信号、发射停止信号等提供到发光驱动器。数据驱动器可以利用从时序控制器接收的灰度值和控

制信号来产生将提供到数据信号线 DATA1、D2、D3、.....和 Dn 的数据电压。例如，数据驱动器可以利用时钟信号对灰度值进行采样，并且以像素行为单位将与灰度值对应的数据电压施加到数据信号线 DATA1 至 Dn，n 可以是自然数。扫描驱动器可以通过从时序控制器接收时钟信号、扫描起始信号等来产生将提供到扫描信号线 S1、S2、S3、.....和 Sm 的扫描信号。例如，扫描驱动器可以将具有导通电平脉冲的扫描信号顺序地提供到扫描信号线 S1 至 Sm。例如，扫描驱动器可以被构造为移位寄存器的形式，并且可以在时钟信号的控制下顺序地将以导通电平脉冲形式提供的扫描起始信号传输到下一级电路的方式产生扫描信号，m 可以是自然数。发光驱动器可以通过从时序控制器接收时钟信号、发射停止信号等来产生将提供到发光信号线 EM1、E2、E3、.....和 Eo 的发射信号。例如，发光驱动器可以将具有截止电平脉冲的发射信号顺序地提供到发光信号线 EM1 至 Eo。例如，发光驱动器可以被构造为移位寄存器的形式，并且可以在时钟信号的控制下顺序地将以截止电平脉冲形式提供的发射停止信号传输到下一级电路的方式产生发射信号，o 可以是自然数。在示例性实施方式中，像素阵列可以设置在显示基板上。

图 2 为一种显示基板的平面结构示意图。如图 2 所示，显示基板可以包括以矩阵方式排布的多个像素单元 P，至少一个像素单元 P 可以包括第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4。每个子像素可以均包括电路单元和发光单元，电路单元可以至少包括像素驱动电路，像素驱动电路分别与扫描信号线、数据信号线和发光信号线连接，像素驱动电路被配置为在扫描信号线和发光信号线的控制下，接收数据信号线传输的数据电压，向发光单元输出相应的电流。发光单元可以包括发光器件，发光器件与所在子像素的像素驱动电路连接，发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中，第一子像素 P1 可以是出射红色光线的红色子像素（R），第二子像素 P2 和第四子像素 P4 可以是出射绿色光线的绿色子像素（G），第三子像素 P3 可以是出射蓝色光线的蓝色子像素（B）。在示例性实施方式中，子像素的形状可以是矩形、菱形、五边形或六边形，四个子像素可以采用钻石形（Diamond）方式排列，形成 RGBG 像素排布。在其它示例性实施方式中，四个子像素可以采用水平并列、竖直并列或正方形等方式排列，本公开在此不做限定。

在示例性实施方式中，像素单元可以包括三个子像素，三个子像素可以采用水平并列、竖直并列或品字等方式排列，本公开在此不做限定。

图 3 为一种显示基板的剖面结构示意图，示意了显示区域中四个子像素的结构。如图 3 所示，在垂直于显示基板的平面上，显示基板可以包括设置在基底 101 上的驱动电路层 102、设置在驱动电路层 102 远离基底 101 一侧的发光结构层 103 以及设置在发光结构层 103 远离基底 101 一侧的封装结构层 104。在一些可能的实现方式中，显示基板可以包括其它膜层，如触控结构层等，本公开在此不做限定。

在示例性实施方式中，基底 101 可以是柔性基底，或者可以是刚性基底。驱动电路层 102 可以包括多个电路单元，每个电路单元可以至少包括由多个晶体管和存储电容构成的像素驱动电路。发光结构层 103 可以包括多个发光单元，每个发光单元可以包括发光器件，发光器件可以至少包括阳极、有机发光层和阴极，阳极与像素驱动电路连接，有机发光层与阳极连接，阴极与有机发光层连接，有机发光层在阳极和阴极驱动下出射相应颜色的光线。封装结构层 104 可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，形成无机材料/有机材料/无机材料叠层结构，可以保证外界水汽无法进入发光结构层 103。

本公开示例性实施例提供了一种显示基板。在示例性实施方式中，在垂直于显示基板

的平面上,显示基板可以包括设置在基底上的驱动结构层和设置在驱动结构层远离基底一侧的发光结构层。在平行于显示基板的平面上,驱动结构层可以包括构成多个单元行和多个单元列的多个电路单元,至少一个电路单元可以包括像素驱动电路,像素驱动电路被配置为向所连接的发光器件输出相应的电流。发光结构层可以包括多个发光单元,至少一个发光单元可以包括发光器件,发光器件与对应电路单元的像素驱动电路连接,发光器件被配置为响应所连接的像素驱动电路输出的电流发出相应亮度的光。

在示例性实施方式中,本公开中所说的电路单元,是指按照像素驱动电路划分的区域,本公开中所说的发光单元,是指按照发光器件划分的区域。在示例性实施方式中,发光单元在基底上正投影的位置和形状与电路单元在基底上正投影的位置和形状可以是对应的,或者,发光单元在基底上正投影的位置和形状与电路单元在基底上正投影的位置和形状可以是不对应的。

本公开示例性实施例显示基板可以包括构成多个单元行和多个单元列的多个电路单元,至少一个电路单元包括像素驱动电路和至少一条控制线,所述控制线被配置为向所述像素驱动电路提供发光控制信号;至少一个电路单元中,所述像素驱动电路至少包括驱动晶体管、第一发光控制晶体管和第二发光控制晶体管,所述第一发光控制晶体管的第一极与第一电源线连接,所述第一发光控制晶体管的第二极与所述驱动晶体管的第一极连接,第二发光控制晶体管的第一极与所述驱动晶体管的第二极连接;所述第一发光控制晶体管和所述第二发光控制晶体管连接不同的控制线,所述第一发光控制晶体管和所述第二发光控制晶体管分别设置在所述驱动晶体管单元列方向的两侧。

在示例性实施方式中,至少一条控制线包括第一信号线和第二信号线,所述第一发光控制晶体管与所述第一信号线连接,所述第二发光控制晶体管与所述第二信号线连接,所述第一信号线和所述第二信号线分别设置在所述驱动晶体管单元列方向的两侧。

在示例性实施方式中,至少一条控制线包括发光信号线,所述发光信号线与本单元行中的所述第二发光控制晶体管连接,所述发光信号线与下一个单元行中的所述第一发光控制晶体管连接。

下面通过一些示例对本公开示例性实施例的显示基板进行举例说明。

图4为本公开示例性实施例一种像素驱动电路的等效电路示意图。如图4所示,像素驱动电路可以包括7个晶体管(第一晶体管T1至第七晶体管T7)和1个存储电容C,像素驱动电路分别与9条信号线(第一扫描信号线S1、第二扫描信号线S2、第三扫描信号线S3、第一信号线EM1、第二信号线EM2、第一初始信号线INIT1、第二初始信号线INIT2、第一电源线VDD和数据信号线DATA)连接。

在示例性实施方式中,像素驱动电路可以包括第一节点N1、第二节点N2、第三节点N3和第四节点N4。其中,第一节点N1分别与第一晶体管T1的第二极、第二晶体管T2的第一极、第三晶体管T3的栅电极和存储电容C的第二端连接,第二节点N2分别与第三晶体管T3的第一极、第四晶体管T4的第二极和第五晶体管T5的第二极连接,第三节点N3分别与第二晶体管T2的第二极、第三晶体管T3的第二极和第六晶体管T6的第一极连接,第四节点N4分别与第六晶体管T6的第二极和第七晶体管T7的第二极连接,第四节点N4还与发光器件EL的第一极连接。

在示例性实施方式中,存储电容C的第一端与第一电源线VDD连接,存储电容C的第二端与第一节点N1连接。

在示例性实施方式中,第一晶体管T1的栅电极与第二扫描信号线S2连接,第一晶体管T1的第一极与第一初始信号线INIT1连接,第一晶体管的第二极与第一节点N1连接。第二晶体管T2的栅电极与第一扫描信号线S1连接,第二晶体管T2的第一极与第一节点N1连接,第二晶体管T2的第二极与第三节点N3连接。第三晶体管T3的栅电极与

第一节点 N1 连接，第三晶体管 T3 的第一极与第二节点 N2 连接，第三晶体管 T3 的第二极与第三节点 N3 连接。第四晶体管 T4 的栅电极与第三扫描信号线 S3 连接，第四晶体管 T4 的第一极与数据信号线 DATA 连接，第四晶体管 T4 的第二极与第二节点 N2 连接。第五晶体管 T5 的栅电极与第一信号线 EM1 连接，第五晶体管 T5 的第一极与第一电源线 VDD 连接，第五晶体管 T5 的第二极与第二节点 N2 连接。第六晶体管 T6 的栅电极与第二信号线 EM2 连接，第六晶体管 T6 的第一极与第三节点 N3 连接，第六晶体管 T6 的第二极与第四节点 N4 连接。第七晶体管 T7 的栅电极与第三扫描信号线 S3 连接，第七晶体管 T7 的第一极与第二初始信号线 INIT2 连接，第七晶体管 T7 的第二极与第四节点 N4 连接。

本公开通过将第五晶体管 T5 与第一信号线 EM1 连接，第六晶体管 T6 与第二信号线 EM2 连接，即第五晶体管 T5 和第六晶体管 T6 分别由两条发光信号线控制，实现了第五晶体管 T5 和第六晶体管 T6 的分离控制。

在示例性实施方式中，发光器件 EL 可以是 OLED，包括叠设的第一极（阳极）、有机发光层和第二极（阴极），或者可以是 QLED，包括叠设的第一极（阳极）、量子点发光层和第二极（阴极）。发光器件 EL 的第一极与第四节点 N4 连接，发光器件 EL 的第二极与第二电源线 VSS 连接。

在示例性实施方式中，第一电源线 VDD 的信号可以为持续提供的高电平信号，第二电源线 VSS 的信号可以为持续提供的低电平信号。

在示例性实施方式中，第一晶体管 T1 至第七晶体管 T7 可以是 P 型晶体管，或者可以是 N 型晶体管。像素驱动电路中采用相同类型的晶体管可以简化工艺流程，减少显示面板的工艺难度，提高产品的良率。在一些可能的实现方式中，第一晶体管 T1 至第七晶体管 T7 可以包括 P 型晶体管和 N 型晶体管。

在示例性实施方式中，第一晶体管 T1 至第七晶体管 T7 可以采用低温多晶硅薄膜晶体管，或者可以采用氧化物薄膜晶体管，或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅（Low Temperature Poly-Silicon，简称 LTPS），氧化物薄膜晶体管的有源层采用氧化物半导体（Oxide）。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点，氧化物薄膜晶体管具有漏电流低等优点，将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上，形成低温多晶氧化物（Low Temperature Polycrystalline Oxide，简称 LTPO）显示基板，可以利用两者的优势，可以实现低频驱动，可以降低功耗，可以提高显示品质。

图 5 为本公开示例性实施例一种显示基板的结构示意图，示意了八个电路单元（2 个单元行 4 个单元列）的平面结构。如图 5 所示，在平行于显示基板的平面内，显示基板可以包括多个电路单元，沿着第一方向 X 依次排布的多个电路单元称为单元行，沿着第二方向 Y 依次排布的多个电路单元称为单元列，多个单元行和多个单元列构成阵列排布的电路单元阵列，第一方向 X 与第二方向 Y 交叉。

在示例性实施方式中，至少一个电路单元可以包括像素驱动电路，像素驱动电路分别与第一电源线 61、第一信号线 91 和第二信号线 92 连接，第一电源线 61 被配置向像素驱动电路提供第一电源信号，第一信号线 91 被配置为向像素驱动电路提供第一发光控制信号，第二信号线 92 被配置为向像素驱动电路提供第二发光控制信号，第一发光控制信号和第二发光控制信号为不同的信号。

在示例性实施方式中，第一信号线 91 和第二信号线 92 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第一电源线 61 的形状可以为主体部分沿着第二方向 Y 延伸的直线状或者折线状。

本公开中，A 沿着 B 方向延伸是指，A 可以包括主要部分和与主要部分连接的次要

部分，主要部分是线、线段或条形状体，主要部分沿着 B 方向伸展，且主要部分沿着 B 方向伸展的长度大于次要部分沿着其它方向伸展的长度。以下描述中所说的“A 沿着 B 方向延伸”均是指“A 的主体部分沿着 B 方向延伸”。

在示例性实施方式中，至少一个像素驱动电路可以至少包括多个晶体管，多个晶体管可以至少包括作为驱动晶体管的第三晶体管 T3、作为第一发光控制晶体管的第五晶体管 T5 和作为第二发光控制晶体管的第六晶体管 T6。第五晶体管 T5 的栅电极与第一信号线 91 连接，第五晶体管 T5 的第一极与第一电源线 61 连接，第五晶体管 T5 的第二极与第三晶体管 T3 的第一极连接，第六晶体管 T6 的栅电极与第二信号线 92 连接，第六晶体管 T6 的第一极与第三晶体管 T3 的第二极连接。

在示例性实施方式中，第五晶体管 T5 和第六晶体管 T6 可以设置在第三晶体管 T3 第一方向 X（单元行方向）的两侧。例如，第五晶体管 T5 可以设置在第三晶体管 T3 第一方向 X 的反方向的一侧，第六晶体管 T6 可以设置在第三晶体管 T3 第一方向 X 的一侧。

在示例性实施方式中，第五晶体管 T5 和第六晶体管 T6 可以设置在第三晶体管 T3 第二方向 Y（单元列方向）的两侧。例如，第五晶体管 T5 可以设置在第三晶体管 T3 第二方向 Y 的反方向的一侧，第六晶体管 T6 可以设置在第三晶体管 T3 第二方向 Y 的一侧。

在示例性实施方式中，第一信号线 91 和第二信号线 92 可以设置在第三晶体管 T3 第二方向 Y（单元列方向）的两侧。例如，第一信号线 91 可以设置在第三晶体管 T3 第二方向 Y 的反方向的一侧，第二信号线 92 可以设置在第三晶体管 T3 第二方向 Y 的一侧。

在示例性实施方式中，在垂直于显示基板的方向上，显示基板可以包括多个导电层，第一信号线 91 和第二信号线 92 可以设置在不同的导电层中。

在示例性实施方式中，第六晶体管 T6 可以至少包括第六栅电极，第六栅电极可以作为本公开的第二栅极，第六栅电极和第二信号线 92 可以设置在不同的导电层中，第二信号线 92 可以通过过孔与第六栅电极连接。

在示例性实施方式中，第六栅电极和第一信号线 91 可以设置在相同的导电层中。

在示例性实施方式中，像素驱动电路还可以包括作为补偿晶体管的第二晶体管 T2。第二晶体管 T2 的栅电极与第一扫描信号线 21 连接，第二晶体管 T2 的第一极通过第一连接电极 41 与第三晶体管 T3 的栅电极连接，第二晶体管 T2 的第二极分别与第三晶体管 T3 的第二极和第六晶体管 T6 的第一极连接。

在示例性实施方式中，第一连接电极 41 在显示基板平面上的正投影与第一信号线 91 在显示基板平面上的正投影至少部分交叠，第一连接电极 41 在显示基板平面上的正投影与第一扫描信号线 21 在显示基板平面上的正投影至少部分交叠，即第一连接电极 41 同时与第一信号线 91 和第一扫描信号线 21 交叠。

在示例性实施方式中，像素驱动电路还可以包括作为第一初始化晶体管的第一晶体管 T1，第一晶体管 T1 的栅电极与第二扫描信号线 22 连接，第一晶体管 T1 的第一极与第一初始信号线 31 连接，第一晶体管 T1 的第二极通过第一连接电极 41 与第三晶体管 T3 的栅电极连接，第一初始信号线 31 被配置为向像素驱动电路提供第一初始信号，第一初始信号线 31 的形状可以为沿着第一方向 X 延伸的直线状或者折线状。

在示例性实施方式中，至少一个电路单元还可以包括沿着第二方向 Y 延伸的第一连接线 81，第一连接线 81 与第一初始信号线 31 连接，在显示基板上形成传输第一初始信号的网状连通结构。

在示例性实施方式中，像素驱动电路还可以包括作为第二初始化晶体管的第七晶体管 T7，第七晶体管 T7 的栅电极与第三扫描信号线 23 连接，第七晶体管 T7 的第一极与第二初始信号线 32 连接，第七晶体管 T7 的第二极与第六晶体管 T6 的第二极连接，第二初始信号线 32 被配置为向像素驱动电路提供第二初始信号，第二初始信号线 32 的形状可以为

沿着第一方向 X 延伸的直线状或者折线状。

在示例性实施方式中，至少一个电路单元还可以包括沿着第二方向 Y 延伸的第二连接线 82，第二连接线 82 与第二初始信号线 32 连接，在显示基板上形成传输第二初始信号的网状连通结构。

5 在示例性实施方式中，第一初始信号线 31 和第二初始信号线 32 可以设置在每个单元行中，第一连接线 81 和第二连接线 82 可以交替设置在多个单元列中。

在示例性实施方式中，像素驱动电路还可以包括作为数据写入晶体管的第四晶体管 T4，第四晶体管 T4 的栅电极与第三扫描信号线 23 连接，第四晶体管 T4 的第一极与数据信号线 62 连接，第四晶体管 T4 的第二极与第三晶体管 T3 的第一极连接，第二晶体管 T2 和第四晶体管 T4 可以设置在第三晶体管 T3 第二方向 Y（单元列方向）的两侧。例如，
10 第二晶体管 T2 可以设置在第三晶体管 T3 第二方向 Y 的反方向的一侧，第四晶体管 T4 可以设置在第三晶体管 T3 第二方向 Y 的一侧。

在示例性实施方式中，在垂直于显示基板的平面内，显示基板可以包括在基底上依次设置的半导体层、第一导电层、第二导电层、第三导电层和第四导电层。半导体层可以包
15 括多个晶体管的有源层，第一导电层可以至少包括第一信号线 91、多条扫描信号线和多个晶体管的栅电极，第二导电层可以至少包括第二初始信号线 32，第三导电层可以至少包括第一初始信号线 31、第二信号线 92 和多个连接电极，第四导电层可以至少包括第一电源线 61、第一连接线 81 和第二连接线 82。

在示例性实施方式中，显示基板还可以包括第一绝缘层、第二绝缘层、第三绝缘层、
20 第四绝缘层和第一平坦层，第一绝缘层可以设置在基底与半导体层之间，第二绝缘层可以设置在半导体层和第一导电层之间，第三绝缘层可以设置在第一导电层与第二导电层之间，第四绝缘层可以设置在第二导电层与第三导电层之间，第一平坦层可以设置在第三导电层与第四导电层之间。

下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”，对于金属材料、无机材料或透明导电材料，包括沉积膜层、在膜层上涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，对于有机材料，包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种，涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种，本公开不做限定。“薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一
25 层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺，则在图案化工艺前称为“薄膜”，图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。本公开所说的“A 和 B 同层设置”是指，A 和 B 通过同一次图案化工艺同时形成，膜层的“厚度”为膜层在垂直于显示基板方向上的尺寸。本公开示例性实施例中，“B 的正投影位于 A 的正投影的范围之内”或者“A 的正投影包含 B 的正投影”是指，B 的正投影的边界落入 A 的正投影的边界范围内，或者 A 的正投影的边界与 B 的正投影的边界重叠。
30 35

在示例性实施方式中，以八个电路单元（2 个单元行 4 个单元列）为例，本实施例显示基板的制备过程可以包括如下操作。

（11）形成半导体层图案。在示例性实施方式中，形成半导体层图案可以包括：在基底上依次沉积第一绝缘薄膜和半导体薄膜，通过图案化工艺对半导体薄膜进行图案化，
40 形成覆盖基底的第一绝缘层，以及设置在第一绝缘层上的半导体层，如图 6 所示。

在示例性实施方式中，每个电路单元的半导体层可以包括第一晶体管 T1 的第一有源层 11 至第七晶体管 T7 的第七有源层 17，且第一有源层 11 和第二有源层 12 为相互连接的一体结构，第三有源层 13 至第七有源层 17 为相互连接的一体结构。

在示例性实施方式中，在第一方向 X 上，第 N 单元列中的第四有源层 14 和第五有源层 15 可以位于本电路单元的第三有源层 13 远离第 N+1 单元列的一侧，第六有源层 16 可以位于本电路单元的第三有源层 13 靠近第 N+1 单元列的一侧，即第五有源层 15 和第六有源层 16 分别位于第三有源层 13 第一方向 X 的两侧。

5 在示例性实施方式中，在第二方向 Y 上，第 M 单元行中的第一有源层 11、第二有源层 12 和第五有源层 15 可以位于本电路单元的第三有源层 13 远离第 M+1 单元行的一侧，第四有源层 14、第六有源层 16 和第七有源层 17 可以位于本电路单元的第三有源层 13 靠近第 M+1 单元行的一侧，即第五有源层 15 和第六有源层 16 分别位于第三有源层 13 第二方向 Y 的两侧。

10 本公开通过将第五晶体管 T5 和第六晶体管 T6 设置在第三晶体管 T3 的第一方向 X 和第二方向 Y 的两侧，有利于实现第五晶体管 T5 和第六晶体管 T6 分离控制。

在示例性实施方式中，第一有源层 11 的形状可以呈“n”字形状，第二有源层 12 和第七有源层 17 的形状可以呈“L”字形状，第三有源层 13 的形状可以呈“Ω”字形状，第四有源层 14、第五有源层 15 和第六有源层 16 的形状可以呈“T”字形状。

15 在示例性实施方式中，每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施方式中，第一有源层的第二区 11-2 可以作为第二有源层的第一区 12-1，即第一有源层的第二区 11-2 和第二有源层的第一区 12-1 相互连接。第三有源层的第一区 13-1 可以同时作为第四有源层的第二区 14-2 和第五有源层的第二区 15-2，即第三有源层的第一区 13-1、第四有源层的第二区 14-2 和第五有源层的第二区 15-2 相互连接。第三有源层的第二区 13-2 可以作为第六有源层的第一区 16-1，即第三有源层的第二区 13-2 和第六有源层的第一区 16-1 相互连接。第六有源层的第二区 16-2 可以作为第七有源层的第二区 17-2，即第六有源层的第二区 16-2 和第七有源层的第二区 17-2 相互连接。第一有源层 11 的第一区 11-1、第二有源层的第二区 12-2、第四有源层的第一区 14-1、第五有源层的第一区 15-1 和第七有源层的第一区 17-1 可以单独设置。

25 在示例性实施方式中，第一半导体层可以采用多晶硅（p-Si），即第一晶体管至第七晶体管为 LTPS 晶体管。在示例性实施方式中，通过图案化工艺对第一半导体薄膜进行图案化可以包括：先在第一绝缘薄膜上形成非晶硅（a-si）薄膜，对非晶硅薄膜进行脱氢处理，对脱氢处理后的非晶硅薄膜进行结晶处理，形成多晶硅薄膜。随后，对多晶硅薄膜进行图案化，形成第一半导体层图案。

30 (12) 形成第一导电层图案。在示例性实施方式中，形成第一导电层图案可以包括：在形成前述图案的基底上，依次沉积第二绝缘薄膜和第一导电薄膜，通过图案化工艺对第一导电薄膜进行图案化，形成覆盖半导体层图案的第二绝缘层，以及设置在第二绝缘层上的第一导电层图案，如图 7A 和图 7B 所示，图 7B 为图 7A 中第一导电层的平面示意图。在示例性实施方式中，第一导电层可以称为第一栅金属（GATE1）层。

35 在示例性实施方式中，每个电路单元的第一导电层图案至少包括：第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23、第六栅电极 26、存储电容的第一极板 71 和第一信号线 91。

40 在示例性实施方式中，第一极板 71 的形状可以为矩形状，矩形状的角部可以设置倒角或者凹槽，第一极板 71 在基底上的正投影与第三晶体管 T3 的第三有源层在基底上的正投影至少部分交叠。在示例性实施方式中，第一极板 71 可以同时作为存储电容的一个极板和第三晶体管 T3 的栅电极。

在示例性实施方式中，第一扫描信号线 21 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第一扫描信号线 21 可以位于第一极板 71 第二方向 Y 的反方向的一侧，第一扫描信号线 21 远离第一极板 71 的一侧连接有栅极块 21-1，第一扫描信号

线 21 和栅极块 21-1 与第二有源层相重叠的区域可以作为双栅结构的第二晶体管 T2 的栅电极。

在示例性实施方式中，第二扫描信号线 22 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第二扫描信号线 22 可以位于第一扫描信号线 21 远离第一极板 71 的一侧，第二扫描信号线 22 与第一有源层相重叠的区域可以作为双栅结构的第一晶体管 T1 的栅电极。

在示例性实施方式中，第三扫描信号线 23 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第三扫描信号线 23 可以位于第一极板 71 第二方向 Y 的反方向的一侧，第三扫描信号线 23 与第四有源层相重叠的区域可以作为第四晶体管 T4 的栅电极，第三扫描信号线 23 与第七有源层相重叠的区域可以作为第七晶体管 T7 的栅电极，即本公开的第四晶体管 T4 和第七晶体管 T7 由同一条扫描信号线控制导通和断开。

在示例性实施方式中，第一信号线 91 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第一信号线 91 可以位于第一扫描信号线 21 与第一极板 71 之间，第一信号线 91 与第五有源层相重叠的区域可以作为第五晶体管 T5 的栅电极。

在示例性实施方式中，第六栅电极 26 的形状可以为沿着第一方向 X 延伸的条形状，第六栅电极 26 可以位于第三扫描信号线 23 与第一极板 71 之间，第六栅电极 26 与第六有源层相重叠的区域可以作为第六晶体管 T6 的栅电极。在示例性实施方式中，第六栅电极 26 被配置为与后续形成的第二信号线连接。

在示例性实施方式中，第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23 和第一信号线 91 可以包括与第一半导体层相重叠区域和与第一半导体层不相重叠区域，至少一个与第一半导体层相重叠区域的信号线的宽度可以大于至少一个与第一半导体层不相重叠区域的信号线的宽度，宽度可以是第二方向 Y 的尺寸。

在示例性实施方式中，形成第一导电层图案后，可以利用第一导电层作为遮挡，对半导体层进行导体化处理，被第一导电层遮挡区域的半导体层形成第一晶体管 T1 至第七晶体管 T7 的沟道区域，未被第一导电层遮挡区域的半导体层被导体化，即第一有源层至第七有源层的第一区和第二区均被导体化。

(13) 形成第二导电层图案。在示例性实施方式中，形成第二导电层图案可以包括：在形成前述图案的基底上，依次沉积第三绝缘薄膜和第二导电薄膜，采用图案化工艺对第二导电薄膜进行图案化，形成覆盖第一导电层的第三绝缘层，以及设置在第三绝缘层上的第二导电层图案，如图 8A 和图 8B 所示，图 8B 为图 8A 中第二导电层的平面示意图。在示例性实施方式中，第二导电层可以称为第二栅金属 (GATE2) 层。

在示例性实施方式中，每个电路单元的第二导电层图案可以至少包括：第二初始信号线 32 和存储电容的第二极板 72。

在示例性实施方式中，第二极板 72 的轮廓可以为矩形状，矩形状的角部可以设置倒角，第二极板 72 在基底上的正投影与第一极板 71 在基底上的正投影至少部分交叠，第二极板 72 可以作为存储电容的另一个极板，第一极板 71 和第二极板 72 构成像素驱动电路的存储电容。

在示例性实施方式中，第二极板 72 上设置有开口 75，开口 75 的形状可以为矩形状，可以位于第二极板 72 的中部区域，使第二极板 72 形成环形结构。开口 75 暴露出覆盖第一极板 71 的第三绝缘层，且第一极板 71 在基底上的正投影包含开口 75 在基底上的正投影。在示例性实施方式中，开口 75 被配置为容置后续形成的第九过孔，第九过孔位于开口 75 内并暴露出第一极板 71，使后续形成的第一连接电极与第一极板 71 连接。

在示例性实施方式中，每个电路单元的第二导电层还可以包括极板连接条 76。极板连接条 76 的形状可以为沿着第一方向 X 延伸的条形状，极板连接条 76 可以设置在第二

极板 72 第一方向 X 的一侧或者第一方向 X 的反方向的一侧，极板连接条 76 的第一端与本电路单元中的第二极板 72 连接，极板连接条 76 的第二端与第一方向 X 相邻的电路单元中的第二极板 72 连接，使得一个单元行中相邻电路单元中的第二极板 72 为相互连接的一体结构。由于每个电路单元中的第二极板 72 与后续形成的第一电源线连接，通过将相邻电路单元的第二极板 72 形成相互连接的一体结构，一体结构的第二极板可以复用为电源信号线，可以保证一单元行中的多个第二极板具有相同的电位，有利于提高面板的均一性，避免显示基板的显示不良，保证显示基板的显示效果。

在示例性实施方式中，第二初始信号线 32 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状，第二初始信号线 32 可以位于第三扫描信号线 23 远离第二极板 72 的一侧。在示例性实施方式中，第二初始信号线 32 被配置为通过后续形成第六连接电极与第七有源层的第一区连接。

(14) 形成第四绝缘层图案。在示例性实施方式中，形成第四绝缘层图案可以包括：在形成前述图案的基底上，沉积第四绝缘薄膜，采用图案化工艺对第四绝缘薄膜进行图案化，形成覆盖第二导电层的第四绝缘层，第四绝缘层上设置有多个过孔，如图 9 所示。

在示例性实施方式中，每个电路单元中的多个过孔可以至少包括：第一过孔 V1、第二过孔 V2、第三过孔 V3、第四过孔 V4、第五过孔 V5、第六过孔 V6、第七过孔 V7、第八过孔 V8、第九过孔 V9、第十过孔 V10、第十一过孔 V11 和第十二过孔 V12。

在示例性实施方式中，第一过孔 V1 在基底上的正投影位于第一有源层的第一区在基底上的正投影的范围之内，第一过孔 V1 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第一区的表面，第一过孔 V1 被配置为使后续形成的第一初始连接块通过该过孔与第一有源层的第一区连接。

在示例性实施方式中，第二过孔 V2 在基底上的正投影位于第一有源层的第二区（也是第二有源层的第一区）在基底上的正投影的范围之内，第二过孔 V2 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第一有源层的第二区的表面，第二过孔 V2 配置为使后续形成的第一连接电极通过该过孔与第一有源层的第二区（也是第二有源层的第一区）连接。

在示例性实施方式中，第三过孔 V3 在基底上的正投影位于第二有源层的第二区在基底上的正投影的范围之内，第三过孔 V3 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第二有源层的第二区的表面，第三过孔 V3 被配置为使后续形成的第五连接电极通过该过孔与第二有源层的第二区连接。

在示例性实施方式中，第四过孔 V4 在基底上的正投影位于第三有源层的第二区（也是第六有源层的第一区）在基底上的正投影的范围之内，第四过孔 V4 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第三有源层的第二区的表面，第四过孔 V4 被配置为使后续形成的第五连接电极通过该过孔与第三有源层的第二区（也是第六有源层的第一区）连接。

在示例性实施方式中，第五过孔 V5 在基底上的正投影位于第四有源层的第一区在基底上的正投影的范围之内，第五过孔 V5 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第四有源层的第一区的表面，第五过孔 V5 配置为使后续形成的第三连接电极通过该过孔与第四有源层的第一区连接。

在示例性实施方式中，第六过孔 V6 在基底上的正投影位于第五有源层的第一区在基底上的正投影的范围之内，第六过孔 V6 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉，暴露出第五有源层的第一区的表面，第六过孔 V6 配置为使后续形成的第二连接电极通过该过孔与第五有源层的第一区连接。

在示例性实施方式中，第七过孔 V7 在基底上的正投影位于第六有源层的第二区（也

是第七有源层的第二区)在基底上的正投影的范围之内,第七过孔 V7 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第六有源层的第二区的表面,第七过孔 V7 配置为使后续形成的第四连接电极通过该过孔与第六有源层的第二区(也是第七有源层的第二区)连接。

5 在示例性实施方式中,第八过孔 V8 在基底上的正投影位于第七有源层的第一区在基底上的正投影的范围之内,第八过孔 V8 内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第七有源层的第一区的表面,第八过孔 V8 配置为使后续形成的第六连接电极通过该过孔与第七有源层的第一区连接。

10 在示例性实施方式中,第九过孔 V9 在基底上的正投影位于开口 75 在基底上的正投影的范围之内,第九过孔 V9 内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一极板 71 的表面,第九过孔 V9 配置为使后续形成的第一连接电极与通过该过孔与第一极板 71 连接。

15 在示例性实施方式中,第十过孔 V10 在基底上的正投影位于第二极板 72 在基底上的正投影的范围之内,第十过孔 V10 内的第四绝缘层被刻蚀掉,暴露出第二极板 72 的表面,第十过孔 V10 配置为使后续形成的第二连接电极通过该过孔与第二极板 72 连接。

在示例性实施方式中,第十一过孔 V11 在基底上的正投影位于第二初始信号线 32 在基底上的正投影的范围之内,第十一过孔 V11 内的第四绝缘层被刻蚀掉,暴露出第二初始信号线 32 的表面,第十一过孔 V11 配置为使后续形成的第六连接电极通过该过孔与第二初始信号线 32 连接。

20 在示例性实施方式中,第十二过孔 V12 在基底上的正投影位于第六栅电极 26 在基底上的正投影的范围之内,第十二过孔 V12 内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第六栅电极 26 的表面,第十二过孔 V12 配置为使后续形成的第二信号线通过该过孔与第六栅电极 26 连接。

25 (15)形成第三导电层图案。在示例性实施方式中,形成第三导电层可以包括:在形成前述图案的基底上,沉积第三导电薄膜,采用图案化工艺对第三导电薄膜进行图案化,形成设置在第四绝缘层上的第三导电层,如图 10A 和图 10B 所示,图 10B 为图 10A 中第三导电层的平面示意图。在示例性实施方式中,第三导电层可以称为第一源漏金属(SD1)层。

30 在示例性实施方式中,每个电路单元的第三导电层可以至少包括:第一初始信号线 31、第一连接电极 41、第二连接电极 42、第三连接电极 43、第四连接电极 44、第五连接电极 45、第六连接电极 46、第七连接电极 47、第八连接电极 48 和第二信号线 92。

35 在示例性实施方式中,第一初始信号线 31 的形状可以为沿着第一方向 X 延伸的直线状或者折线状,第一初始信号线 31 可以位于第一扫描信号线 21 远离第二极板 72 的一侧,第一初始信号线 31 在基底上的正投影与第二扫描信号线 22 在基底上的正投影至少部分交叠,具有恒定电压的第一初始信号线 31 可以起到屏蔽作用,减少第二扫描信号线 22 对像素驱动电路的影响。

40 在示例性实施方式中,第二信号线 92 的形状可以为沿着第一方向 X 延伸的直线状或者折线状,第二信号线 92 可以位于第三扫描信号线 23 和第二极板 72 之间,第二信号线 92 可以通过每个电路单元的第十二过孔 V12 与每个电路单元的第六栅电极 26 连接,使得第二信号线 92 可以控制第六晶体管 T6 的导通和断开。

在示例性实施方式中,第一连接电极 41 的形状可以为沿着第二方向 Y 延伸的条形状,第一连接电极 41 的第一端通过第二过孔 V2 与第一有源层的第二区(也是第二有源层的第一区)连接,第一连接电极 41 的第二端通过第九过孔 V9 与第一极板 71 连接。在示例性实施方式中,由于第一极板 71 同时作为第三晶体管 T3 的栅电极,因而第一连接电极

51 使第一晶体管 T1 的第二极、第二晶体管 T2 的第一极、第三晶体管 T3 的栅电极和第一极板 71 具有相同的电位，形成像素驱动电路的第一节点 N1。

在示例性实施方式中，第一连接电极 41 在基底上的正投影与第一扫描信号线 21 在基底上的正投影至少部分交叠，第一连接电极 41 在基底上的正投影与第一信号线 91 在基底上的正投影至少部分交叠，即第一连接电极 41 同时与第一扫描信号线 21 和第一信号线 91 两条线交叠。与第一节点 N1 与一条信号线交叠的现有结构相比，本公开通过设置像素驱动电路的第一节点 N1 分别与第一扫描信号线 21 和第一信号线 91 交叠，可以通过两条信号线的跳变，将第一节点 N1 节点受到的耦合影响进行互补。

在示例性实施方式中，第二连接电极 42 的形状可以为沿着第二方向 Y 延伸的条形状，第二连接电极 42 的第一端通过第六过孔 V6 与第五有源层的第一区连接，第二连接电极 42 的第二端通过第十过孔 V10 与第二极板 72 连接。在示例性实施方式中，第二连接电极 42 实现了每个电路单元中第五晶体管 T5 的第一极和存储电容的第二极板 72 具有相同的电位。

在示例性实施方式中，第二连接电极 42 的第一端和第二端之间可以设置有第一电源连接块 42-1，第一电源连接块 42-1 的形状可以为块形（如矩形）状，第一电源连接块 42-1 在基底上的正投影可以位于第二极板 72 在基底上的正投影的范围之内，第一电源连接块 42-1 被配置为与后续形成的第一电源线连接。

在示例性实施方式中，第三连接电极 43 的形状可以为块形状（如矩形），第三连接电极 43 通过第五过孔 V5 与第四有源层的第一区连接。在示例性实施方式中，第三连接电极 43 可以作为第四晶体管 T4 的第一极，第三连接电极 43 被配置为与后续形成的数据信号线连接。

在示例性实施方式中，第四连接电极 44 的形状可以为块形状（如矩形），第四连接电极 44 通过第七过孔 V7 与第六有源层的第二区（也是第七有源层的第二区）连接。在示例性实施方式中，第四连接电极 44 可以同时作为第六晶体管 T6 的第二极和第七晶体管 T7 的第二极，第四连接电极 44 被配置为与后续形成的阳极连接电极连接。

在示例性实施方式中，第五连接电极 45 的形状可以为沿着第二方向 Y 延伸的条形状，第五连接电极 45 的第一端通过第三过孔 V3 与第二有源层的第二区连接，第五连接电极 45 的第二端通过第四过孔 V4 与第六有源层的第一区连接。在示例性实施方式中，由于第六有源层的第一区可以作为第三有源层的第二区，因而第五连接电极 45 使得第二晶体管 T2 的第二极、第三晶体管 T3 的第二极和第六晶体管 T6 的第一极具有相同的电位，形成像素驱动电路的第三节点 N3。第二有源层可以作为本公开的补偿有源层，第六有源层可以作为本公开的第二发光控制有源层，第二有源层和第六有源层设置在半导体层中，第五连接电极设置在第三导电层，因而第六有源层和第五连接电极设置在不同的膜层中。

在示例性实施方式中，第六连接电极 46 的形状可以为沿着第一方向 X 延伸的条形状，第六连接电极 46 的第一端通过第八过孔 V8 与第七有源层的第一区连接，第六连接电极 46 的第二端通过第十一过孔 V11 与第二初始信号线 32 连接，使得第二初始信号线 32 可以将第二初始信号写入第七晶体管 T7 的第一极。

在示例性实施方式中，部分电路单元中的第六连接电极 46 可以连接有初始连接块 46-1，初始连接块 46-1 的形状可以为块形状（如矩形），初始连接块 46-1 被配置为与后续形成的第二连接线连接。例如，初始连接块 46-1 可以设置在第 N 单元列和第 N+2 单元列的电路单元中。

在示例性实施方式中，第七连接电极 47 的形状可以为块形状（如矩形），第七连接电极 47 可以设置在第一初始信号线 31 靠近第一扫描信号线 21 的一侧，第七连接电极 47 的第一端与第一初始信号线 31 连接，第七连接电极 47 的第二端通过第一过孔 V1 与第一

有源层的第一区连接连接，使得第一初始信号线 31 可以将第一初始信号写入第一晶体管 T1 的第一极。

在示例性实施方式中，第一初始信号线 31 和第七连接电极 47 可以为相互连接的一体结构。

5 在示例性实施方式中，第八连接电极 48 的形状可以为块形状（如矩形），第八连接电极 48 可以设置在第一初始信号线 31 靠近第一扫描信号线 21 的一侧，第八连接电极 48 的第一端与第一初始信号线 31 连接，第八连接电极 48 的第二端向着第一扫描信号线 21 的方向延伸，第八连接电极 48 可以作为节点屏蔽电极，第八连接电极 48 在基底上的正投影与第二晶体管 T2 的两个栅电极之间的第二有源层在基底上的正投影至少部分交叠，具有恒定电压的第八连接电极 48 可以起到屏蔽作用，减少像素驱动电路中的信号对第二晶体管 T2 的两个栅电极之间节点的影响，保证第二晶体管 T2 的电学性能。

10 在示例性实施方式中，第一初始信号线 31 和第八连接电极 48 可以为相互连接的一体结构。

15 在示例性实施方式中，第 N+1 单元列和第 N+3 单元列的电路单元中的第八连接电极 48 还被配置为与后续形成的第一连接线连接，而第 N 单元列和第 N+2 单元列的电路单元中的第八连接电极 48 作为虚拟电极（dummy-pad），与后续形成的第四导电层没有连接。

20 （16）形成第一平坦层图案。在示例性实施方式中，形成第一平坦层图案可以包括：在形成前述图案的基底上，涂覆第一平坦薄膜，采用图案化工艺对第一平坦薄膜进行图案化，形成覆盖第三导电层的第一平坦层，第一平坦层上设置有多个过孔，如图 11 所示。

在示例性实施方式中，每个电路单元中的多个过孔至少包括：第二十一过孔 V21、第二十二过孔 V22 和第二十三过孔 V23。

25 在示例性实施方式中，第二十一过孔 V21 在基底上的正投影位于第一电源连接块 42-1 在基底上的正投影的范围之内，第二十一过孔 V21 内的第一平坦层被去掉，暴露出第一电源连接块 42-1 的表面，第二十一过孔 V21 被配置为使后续形成的第一电源线通过该过孔与第一电源连接块 42-1 连接。

在示例性实施方式中，第二十一过孔 V21 可以称为电源过孔，第二十一过孔 V21 在基底上的正投影可以位于第二极板 72 在基底上的正投影的范围之内。

30 在示例性实施方式中，第二十二过孔 V22 在基底上的正投影位于第三连接电极 43 在基底上的正投影的范围之内，第二十二过孔 V22 内的第一平坦层被去掉，暴露出第三连接电极 43 的表面，第二十二过孔 V22 被配置为使后续形成的数据信号线通过该过孔与第三连接电极 43 连接。

35 在示例性实施方式中，第二十三过孔 V23 在基底上的正投影位于第四连接电极 44 在基底上的正投影的范围之内，第二十三过孔 V23 内的第一平坦层被去掉，暴露出第四连接电极 44 的表面，第二十三过孔 V23 被配置为使后续形成的阳极连接电极通过该过孔与第四连接电极 44 连接。

在示例性实施方式中，第一平坦层上还可以设置有第二十四过孔 V24 和第二十五过孔 V25。

40 在示例性实施方式中，第二十四过孔 V24 在基底上的正投影位于第八连接电极 48 在基底上的正投影的范围之内，第二十四过孔 V24 内的第一平坦层被去掉，暴露出第八连接电极 48 的表面，第二十四过孔 V24 被配置为使后续形成的第一连接线通过该过孔与第八连接电极 48 连接。在示例性实施方式中，第二十四过孔 V24 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中，第二十五过孔 V25 在基底上的正投影位于初始连接块 46-1 在

基底上的正投影的范围之内，第二十五过孔 V25 内的第一平坦层被去掉，暴露出初始连接块 46-1 的表面，第二十五过孔 V25 被配置为使后续形成的第二连接线通过该过孔与初始连接块 46-1 连接。在示例性实施方式中，第二十五过孔 V25 可以设置在第 N 单元列和第 N+2 单元列的电路单元中。

5 (17) 形成第四导电层图案。在示例性实施方式中，形成第四导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第一平坦层上的第四导电层，如图 12A 和图 12B 所示，图 12B 为图 12A 中第四导电层的平面示意图。在示例性实施方式中，第四导电层可以称为第二源漏金属 (SD2) 层。

10 在示例性实施方式中，每个电路单元中的第四导电层至少包括第一电源线 61、数据信号线 62 和阳极连接电极 63。

在示例性实施方式中，第一电源线 61 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第一电源线 61 通过第二十一过孔 V21 与第一电源连接块 42-1 连接。由于第一电源连接块 42-1 与第二连接电极 42 连接，第二连接电极 42 与第五晶体管 T5 的第一极和存储电容的第二极板 72 连接，因而实现了第一电源线 61 将第一电源信号写入第五晶体管 T5 和存储电容的第二极板 72。

15 在示例性实施方式中，数据信号线 62 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，数据信号线 62 通过第二十二过孔 V22 与第三连接电极 43 连接。由于第三连接电极 43 与第四有源层的第一区连接，因而实现了数据信号线 62 与第四晶体管 T4 的第一极的连接，数据信号线 62 可以将数据信号写入第四晶体管 T4 的第一极。

20 在示例性实施方式中，阳极连接电极 63 的形状可以为沿着第二方向 Y 延伸的条形状，阳极连接电极 63 通过第二十三过孔 V23 与第四连接电极 44 连接，阳极连接电极 63 被配置为与后续形成的阳极连接。由于第四连接电极 44 与第六有源层的第二区和第七有源层的第二区连接，因而可以实现后续形成的阳极与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极的连接，像素驱动电路可以驱动发光器件发光。

25 在示例性实施方式中，第四导电层还可以包括第一连接线 81 和第二连接线 82。

在示例性实施方式中，第一连接线 81 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第一连接线 81 通过第二十四过孔 V24 与第八连接电极 48 连接。由于第八连接电极 48 与第一初始信号线 31 连接，因而实现了主体部分沿第一方向 X 延伸的第一初始信号线 31 与主体部分沿着第二方向 Y 延伸的第一连接线 81 的相互连接，在显示基板上形成网状连通结构。本公开通过设置第一初始信号线 31 与第一连接线 81 形成网状连通结构，不仅可以有效降低信号线电阻，减小第一初始信号的压降，而且可以有效提升显示基板中第一初始信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。

30 在示例性实施方式中，第二连接线 82 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第二连接线 82 通过第二十五过孔 V25 与初始连接块 46-1 连接。由于初始连接块 46-1 与第六连接电极 46 连接，第六连接电极 46 与第二初始信号线 32 连接，因而实现了主体部分沿第一方向 X 延伸的第二初始信号线 32 与主体部分沿着第二方向 Y 延伸的第二连接线 82 的相互连接，在显示基板上形成网状连通结构。本公开通过设置第二初始信号线 32 与第二连接线 82 形成网状连通结构，不仅可以有效降低信号线电阻，减小第二初始信号的压降，而且可以有效提升显示基板中第二初始信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。

40 图 12C 为本公开示例性实施例第一初始信号网状连通结构的示意图，图 12D 为本公开示例性实施例第二初始信号网状连通结构的示意图，图 12E 为本公开示例性实施例第一初始信号网状连通结构和第二初始信号网状连通结构的示意图。

如图 12C 和图 12E 所示, 第一初始信号线 31 可以连接第八连接电极 48, 第一连接线 81 上可以设置第一连接块 81-1。第一连接块 81-1 的形状可以为沿着第一方向 X 延伸的条形状, 第一连接块 81-1 的第一端与第一连接线 81 连接, 第一连接块 81-1 的第二端通过过孔与第八连接电极 48 连接, 因而实现了主体部分沿第一方向 X 延伸的第一初始信号线 31 与主体部分沿着第二方向 Y 延伸的第一连接线 81 的相互连接, 在显示基板上形成第一初始信号网状连通结构。

在示例性实施方式中, 第一连接线 81 和第一连接块 81-1 可以为相互连接的一体结构。

如图 12D 和图 12E 所示, 第二连接线 82 上可以设置第二连接块 82-1。第二连接块 82-1 的形状可以为块形状, 第二连接块 82-1 的第一端与第二连接线 82 连接, 第二连接块 82-1 的第二端通过过孔与初始连接块 46-1 连接, 初始连接块 46-1 通过过孔与第二初始信号线 32 连接, 因而实现了主体部分沿第一方向 X 延伸的第二初始信号线 32 与主体部分沿着第二方向 Y 延伸的第二连接线 82 的相互连接, 在显示基板上形成第二初始信号网状连通结构。

在示例性实施方式中, 第二连接线 82 和第二连接块 82-1 可以为相互连接的一体结构。

如图 12E 所示, 第一初始信号线 31、初始连接块 46-1 和第八连接电极 48 可以设置在第三导电层中, 第二初始信号线 32 可以设置在第二导电层中, 第一连接线 81 和第二连接线 82 可以设置在第四导电层中。

在示例性实施方式中, 第一连接线 81 和第二连接线 82 可以设置在不同的电路单元中。例如, 第一连接线 81 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中, 第二连接线 82 可以设置在第 N 单元列和第 N+2 单元列的电路单元中。又如, 第一连接线 81 可以设置在第 N 单元列和第 N+2 单元列的电路单元中, 第二连接线 82 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中, 第一初始信号线 31 和第二初始信号线 32 可以设置在每个单元行中, 第一连接线 81 和第二连接线 82 可以交替设置在多个单元列中, 可以充分利用布局空间, 避免因设置第一连接线 81 和第二连接线 82 影响光透过率, 提高了显示效果。

(18) 形成第二平坦层图案。在示例性实施方式中, 形成第二平坦层图案可以包括: 在形成前述图案的基底上, 涂覆第二平坦薄膜, 采用图案化工艺对第二平坦薄膜进行图案化, 形成覆盖第四导电层的第二平坦层, 第二平坦层上设置有多个过孔, 如图 13 所示。

在示例性实施方式中, 每个电路单元中的多个过孔至少包括阳极过孔 V30。

在示例性实施方式中, 阳极过孔 V30 在基底上的正投影位于阳极连接电极 63 在基底上的正投影的范围之内, 阳极过孔 V30 内的第二平坦层被去掉, 暴露出阳极连接电极 63 的表面, 阳极过孔 V30 配置为使后续形成的阳极通过该过孔与阳极连接电极 63 连接。

至此, 在基底上制备完成驱动电路层。在平行于显示基板的平面内, 驱动电路层可以包括多个电路单元, 每个电路单元可以包括像素驱动电路, 以及与像素驱动电路连接的第一扫描信号线、第二扫描信号线、第三扫描信号线、第一信号线、第二信号线、数据信号线、第一电源线、第一初始信号线和第二初始信号线。在垂直于显示基板的平面内, 驱动电路层可以包括在基底上依次叠设的第一绝缘层、半导体层、第二绝缘层、第一导电层、第三绝缘层、第二导电层、第四绝缘层、第三导电层、第一平坦层、第四导电层和第二平坦层。

在示例性实施方式中, 制备完成驱动电路层后, 在驱动电路层上制备发光结构层, 发光结构层的制备过程可以包括如下操作。

(19) 形成阳极导电层图案。在示例性实施方式中, 形成阳极导电层图案可以包括: 在形成前述图案的基底上, 沉积阳极导电薄膜, 采用图案化工艺对阳极导电薄膜进行图案化, 在第二平坦层上形成阳极导电层, 如图 14A 和图 14B 所示, 图 14B 为图 14A 中阳极

导电层的平面示意图。

在示例性实施方式中，阳极导电层可以包括多个阳极 90，每个阳极 90 可以通过阳极过孔 V30 与对应电路单元的阳极连接电极 63 连接。由于阳极连接电极 63 与第四连接电极 44 连接，而第四连接电极 44 与第六有源层的第二区和第七有源层的第二区连接，因而实现了发光器件与像素驱动电路的对应连接，像素驱动电路可以驱动发光器件发光。

在示例性实施方式中，多个阳极 90 可以包括红色发光器件的第一阳极、第一绿色发光器件的第二阳极、蓝色发光器件的第三阳极和第二绿色发光器件的第四阳极，第一阳极、第二阳极、第三阳极和第四阳极可以沿着第一方向 X 依次设置，相邻行的第一阳极、第二阳极、第三阳极和第四阳极错位设置，形成 RGBG 像素排布。

(20) 形成像素定义层图案。在示例性实施方式中，形成像素定义层图案可以包括：在形成前述图案的基底上，涂覆像素定义薄膜，通过图案化工艺对像素定义薄膜进行图案化，形成像素定义层图案，如图 15 所示。

在示例性实施方式中，像素定义层可以包括多个像素开口 K，每个像素开口 K 可以暴露出阳极 90 的表面。

在示例性实施方式中，后续制备流程可以包括：采用蒸镀或喷墨打印工艺形成有机发光层，有机发光层通过像素开口与阳极连接，在有机发光层上形成阴极，阴极与有机发光层连接。形成封装结构层，封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，可以保证外界水汽无法进入发光结构层。

在示例性实施方式中，基底可以是柔性基底，或者可以是刚性基底。刚性衬底可以为但不限于玻璃、石英中的一种或多种，柔性衬底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。在示例性实施方式中，柔性基底可以包括叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层，第一柔性材料层和第二柔性材料层的材料可以采用聚酰亚胺 (PI)、聚对苯二甲酸乙二醇酯 (PET) 或经表面处理的聚合物软膜等材料，第一无机材料层和第二无机材料层的材料可以采用氮化硅 (SiNx) 或氧化硅 (SiOx) 等，用于提高基底的抗水氧能力，半导体层的材料可以采用非晶硅 (a-si)。

在示例性实施方式中，第一导电层、第二导电层、第三导电层和第四导电层可以采用金属材料，如银 (Ag)、铜 (Cu)、铝 (Al) 和钼 (Mo) 中的任意一种或多种，或上述金属的合金材料，如铝钨合金 (AlNd) 或钼铌合金 (MoNb)，可以是单层结构，或者多层复合结构，如 Mo/Cu/Mo 等。阳极导电层可以采用单层结构，如氧化铟锡 ITO 或氧化铟锌 IZO，或者可以采用多层复合结构，如 ITO/Ag/ITO 等。第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层可以采用硅氧化物 (SiOx)、硅氮化物 (SiNx) 和氮氧化硅 (SiON) 中的任意一种或多种，可以是单层、多层或复合层。第一平坦层和第二平坦层可以采用有机材料，如树脂等。像素定义层可以采用聚酰亚胺、亚克力或聚对苯二甲酸乙二醇酯。阴极可以采用镁 (Mg)、银 (Ag)、铝 (Al)、铜 (Cu) 和锂 (Li) 中的任意一种或多种，或采用上述金属中任意一种或多种制成的合金。

本公开示例性实施例提供了一种显示基板，通过将第五晶体管 and 第六晶体管分离控制，第五晶体管 T5 与第一信号线连接，第六晶体管 T6 与第二信号线连接，第一信号线和第二信号线共同调节脉冲宽度调制 (PWM) 的占空比 (duty)，可以实现超高频精度更高的脉冲宽度调制、发光信号占空比补偿、低灰阶补偿以及改善残像。

本公开显示基板通过将第一信号线和第二信号线设置在不同的导电层，第一信号线和第二信号线设置在第三晶体管 T3 第二方向的两侧，第五晶体管 T5 和第六晶体管 T6 设置

在第三晶体管 T3 第一方向和第二方向的两侧, 有利于实现第五晶体管 T5 和第六晶体管 T6 分离控制。

本公开显示基板通过设置像素驱动电路的第一节点分别与第一扫描信号线和第一信号线交叠, 可以通过两条信号线的跳变, 将第一节点节点受到的耦合影响进行互补。

5 本公开显示基板通过设置主体部分沿第一方向延伸的第一初始信号线和主体部分沿第二方向延伸的第一连接线, 通过设置主体部分沿第一方向延伸的第二初始信号线和主体部分沿第二方向延伸的第二连接线, 使得第一初始信号线和第二初始信号线分别形成网状连通结构, 不仅有效降低了初始信号线的电阻, 减小了初始电压的压降, 而且有效提升了显示基板中初始电压的均一性, 有效提升了显示均一性, 提高了显示品质和显示质量。

10 本公开显示基板通过设置节点屏蔽电极, 减少像素驱动电路中的信号对第二晶体管 T2 的两个栅电极之间节点的影响, 保证第二晶体管 T2 的电学性能。

本公开的制备工艺可以很好地与现有制备工艺兼容, 工艺实现简单, 易于实施, 生产效率高, 生产成本低, 良品率高。

15 图 16 为本公开示例性实施例另一种像素驱动电路的等效电路示意图。如图 16 所示, 本公开实施例像素驱动电路的主体结构与图 4 所示基本上相同, 所不同的是, 本实施例像素驱动电路还包括 1 个第一电容 C1, 第一电容 C1 的第一端与第一电源线 VDD 连接, 第一电容 C1 的第二端与第二节点 N2 连接。

20 在示例性实施方式中, 本实施例像素驱动电路中第五晶体管 T5 的栅电极与上一单元行中的发光信号线 EM_{n-1} 连接, 第六晶体管 T6 的栅电极与本单元行中的发光信号线 EM_n 连接, 实现了第五晶体管 T5 和第六晶体管 T6 的分离控制。

25 图 17 为本公开示例性实施例另一种显示基板的结构示意图, 示意了八个电路单元 (2 个单元行 4 个单元列) 的平面结构。在示例性实施方式中, 本实施例显示基板的主体结构与图 5 所示基本上相同, 所不同的是, 本实施例显示单元中仅设置一条发光信号线, 该发光信号线一方面与本单元行中第六晶体管 T6 的栅电极连接, 另一方面与下一个单元行中第五晶体管 T5 的栅电极连接。

在示例性实施方式中, 至少一个电路单元可以包括像素驱动电路, 像素驱动电路分别与第一电源线 61 和发光信号线 93 连接, 发光信号线 93 被配置为向本单元行中第六晶体管 T6 和下一个单元行中第五晶体管 T5 提供发光控制信号。

30 在示例性实施方式中, 至少一个像素驱动电路可以包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7, 上述晶体管的位置和连接关系与前述实施例基本上相同。

在示例性实施方式中, 发光信号线 93 的形状可以为主体部分沿着第一方向 X 延伸的直线状或者折线状, 发光信号线 93 可以设置在第三晶体管 T3 第二方向 Y 的一侧。

35 在示例性实施方式中, 第五晶体管 T5 可以至少包括第五栅电极, 第六晶体管 T6 可以至少包括第六栅电极, 第五栅电极可以作为本公开的第一栅极, 第六栅电极可以作为本公开的第二栅极。至少一个电路单元中, 发光信号线 93 与本单元行中的第六栅电极连接, 发光信号线 93 通过发光信号连接线 56 与下一个单元行中的第五栅电极连接。

40 在示例性实施方式中, 在垂直于显示基板的方向上, 显示基板可以包括多个导电层, 第五栅电极和第六栅电极可以设置在相同的导电层中, 第五栅电极 (第六栅电极) 和发光信号线 93 可以设置在不同的导电层中, 第五栅电极 (第六栅电极) 和发光信号连接线 56 可以设置在不同的导电层中, 发光信号连接线 56 和发光信号线 93 可以设置在不同的导电层中。

在示例性实施方式中, 多个导电层可以至少包括在基底上沿着远离基底方向依次设置的第一导电层、第二导电层、第三导电层和第四导电层, 第五栅电极和第六栅电极可以设

置在第一导电层中，发光信号线 93 可以设置在第三导电层中，发光信号连接线 56 可以设置在第四导电层中。

在示例性实施方式中，发光信号线 93 可以通过过孔与第六栅电极连接，发光信号连接线 56 的形状可以为沿着第二方向 Y 延伸的条形状，发光信号连接线 56 的第一端通过过孔与本单元行中的发光信号线 93 连接，发光信号连接线 56 的第二端从本单元行延伸到下一个单元行后，通过过孔与下一个单元行中的第五栅电极连接。

在示例性实施方式中，多个导电层还可以包括设置在第四导电层远离基底一侧的第五导电层，第一电源线 61 可以设置在第五导电层中，第一电源线 61 在显示基板平面上的正投影与发光信号连接线 56 在显示基板平面上的正投影至少部分交叠。

在示例性实施方式中，至少一个电路单元可以包括沿着第一方向 X 延伸的第一初始信号线 31 和沿着第二方向 Y 延伸的第一连接线 81，第一连接线 81 与第一初始信号线 31 连接，在显示基板上形成传输第一初始信号的网状连通结构。

在示例性实施方式中，至少一个电路单元可以包括沿着第一方向 X 延伸的第二初始信号线 32 和沿着第二方向 Y 延伸的第二连接线 82，第二连接线 82 与第二初始信号线 32 连接，在显示基板上形成传输第二初始信号的网状连通结构。

在示例性实施方式中，至少一个电路单元可以包括沿着第一方向 X 延伸的第三连接线 83 和沿着第二方向 Y 延伸的第二电源线 64，第三连接线 83 与第二电源线 64 连接，在显示基板上形成传输第二电源信号的网状连通结构。

在示例性实施方式中，以八个电路单元（2 个单元行 4 个单元列）为例，本实施例显示基板的制备过程可以包括如下操作。

(21) 形成半导体层图案，形成半导体层图案的过程以及半导体层的结构与图 6 所示基本上相同，半导体层可以包括第一有源层 11 至第七有源层 17，所不同的是，第一有源层 11 至第七有源层 17 为相互连接的一体结构，且半导体层还包括第一电容的第三极板 73，如图 18 所示。

在示例性实施方式中，第三有源层的第二区 13-2 可以同时作为第二有源层的第二区 12-2 和第六有源层的第一区 16-1，即第二有源层的第二区 12-2、第三有源层的第二区 13-2 和第六有源层的第一区 16-1 相互连接。与图 6 所示第二有源层和第三有源层之间没有连接所不同的是，本实施例第二有源层的第二区 12-2 和第三有源层的第二区 13-2 通过有源连接线 18 连接，即有源连接线 18 的一端与第二有源层 12 的第二区 12-2 连接，有源连接线 18 的另一端与第三有源层 13 的第二区 13-2 连接，且第二有源层 12、第三有源层 13 和有源连接线 18 为相互连接的一体结构。

在示例性实施方式中，第三极板 73 的形状可以为块形（如矩形）状，可以设置在本电路单元的第三有源层 13 远离第 N+1 单元列的一侧，第三极板 73 分别与第三有源层的第一区 13-1、第四有源层的第二区 14-2 和第五有源层的第二区 15-2 连接。在示例性实施方式中，第三极板 73 可以作为第一电容的一个极板。

(22) 形成第一导电层图案，形成第一导电层图案的过程以及第一导电层的结构与图 7A 和图 7B 所示基本上相同，所不同的是，第一导电层设置有第五栅电极 25，而没有设置发光信号线，如图 19A 和图 19B 所示，图 19B 为图 19A 中第一导电层的平面示意图。。

在示例性实施方式中，每个电路单元中的第一导电层图案可以包括第一扫描信号线 21、第二扫描信号线 22、第三扫描信号线 23、第五栅电极 25、第六栅电极 26 和存储电容的第一极板 71，第一扫描信号线 21 至第三扫描信号线 23、第六栅电极 26 和第一极板 71 的结构与前述实施例基本上相同。

在示例性实施方式中，第五栅电极 25 的形状可以为沿着第一方向 X 延伸的条形状，第五栅电极 25 可以位于第一扫描信号线 21 与第一极板 71 之间，第五栅电极 25 与第五有

源层相重叠的区域可以作为第五晶体管 T5 的栅电极。在示例性实施方式中，第五栅电极 25 被配置为与后续形成的发光信号连接线连接，第六栅电极 26 被配置为与后续形成的发光信号线连接。

在示例性实施方式中，第一极板 71 在基底上的正投影与第三极板 73 在基底上的正投影没有交叠。

(23) 形成第二导电层图案，形成第二导电层图案的过程以及第二导电层的结构与图 8A 和图 8B 所示基本上相同，所不同的是，第二导电层还设置有第一电容的第四极板 74，如图 20A 和图 20B 所示，图 20B 为图 20A 中第二导电层的平面示意图。

在示例性实施方式中，每个电路单元的第二导电层图案可以至少包括第二初始信号线 32、存储电容的第二极板 72 和第一电容的第四极板 74，第二初始信号线 32 和第二极板 72 的结构与前述实施例基本上相同。

在示例性实施方式中，第四极板 74 的形状可以为矩形状，矩形状的角部可以设置倒角，第四极板 74 可以设置在本电路单元的第二极板 72 远离第 N+1 单元列的一侧，第四极板 74 在基底上的正投影与第三极板 73 在基底上的正投影至少部分交叠，第四极板 74 可以作为第一电容的另一个极板，第三极板 73 和第四极板 74 构成像素驱动电路的第一电容。

在示例性实施方式中，每个电路单元的第二极板 72 和第四极板 74 可以为相互连接的一体结构。

(24) 形成第四绝缘层图案，形成第四绝缘层图案的过程以及多个过孔的结构与图 9 所示基本上相同，所不同的是，多个过孔中还包括第十三过孔 V13，但没有第三过孔和第四过孔，如图 21 所示。

在示例性实施方式中，每个电路单元中的多个过孔可以至少包括：第一过孔 V1、第二过孔 V2、第五过孔 V5、第六过孔 V6、第七过孔 V7、第八过孔 V8、第九过孔 V9、第十过孔 V10、第十一过孔 V11、第十二过孔 V12 和第十三过孔 V13。

第一过孔 V1 至第二过孔 V2、第五过孔 V5 至第十二过孔 V12 的位置和连接结构与前述实施例基本上相同。

在示例性实施方式中，第十三过孔 V13 在基底上的正投影位于第五栅电极 25 在基底上的正投影的范围之内，第十三过孔 V13 内的第四绝缘层和第三绝缘层被刻蚀掉，暴露出第五栅电极 25 的表面，第十三过孔 V13 配置为使后续形成的第九连接电极通过该过孔与第五栅电极 25 连接。

(25) 形成第三导电层图案，形成第三导电层的过程以及第三导电层的结构与图 10A 和图 10B 所示基本上相同，所不同的是，第三导电层还设置有第九连接电极 49，没有设置第五连接电极，如图 22A 和图 22B 所示，图 22B 为图 22A 中第三导电层的平面示意图。

在示例性实施方式中，每个电路单元中的第三导电层可以至少包括：第一初始信号线 31、发光信号线 93、第一连接电极 41、第二连接电极 42、第三连接电极 43、第四连接电极 44、第六连接电极 46、第七连接电极 47、第八连接电极 48 和第九连接电极 49，第一初始信号线 31、第一连接电极 41 至第四连接电极 44、第六连接电极 46 至第八连接电极 48 的结构与前述实施例基本上相同。

在示例性实施方式中，发光信号线 93 的形状可以为沿着第一方向 X 延伸的直线状或者折线状，发光信号线 93 可以位于第三扫描信号线 23 和第二极板 72 之间，发光信号线 93 可以通过每个电路单元的第十二过孔 V12 与每个电路单元的第六栅电极 26 连接，使得发光信号线 93 可以控制第六晶体管 T6 的导通和断开。

在示例性实施方式中，发光信号线 93 远离第二极板 72 的一侧还可以设置有发光连接块 93-1，发光连接块 93-1 的形状可以为块形状（如矩形），发光连接块 93-1 的第一端与

发光信号线 93 连接，发光连接块 93-1 的第二端向着远离第二极板 72 的方向延伸，发光连接块 93-1 被配置为与后续形成的发光信号连接线连接。

在示例性实施方式中，第一连接电极 41 在基底上的正投影与第一扫描信号线 21 在基底上的正投影至少部分交叠。

- 5 在示例性实施方式中，第一电源连接块 42-1 可以设置在第二连接电极 42 的第二端，第一电源连接块 42-1 的形状可以为块形（如矩形）状，第一电源连接块 42-1 在基底上的正投影可以位于第二极板 72 在基底上的正投影的范围之内，第一电源连接块 42-1 被配置为与后续形成的第一电源线连接。

- 10 在示例性实施方式中，初始连接块 46-1 可以设置在第 N 单元列的电路单元中，初始连接块 46-1 被配置为与后续形成的第二连接线连接。

在示例性实施方式中，第九连接电极 49 的形状可以为块形状（如矩形），第九连接电极 49 可以设置在第一初始信号线 31 和第二极板 72 之间，第九连接电极 49 通过第十三过孔 V13 与第五栅电极 25 连接，第九连接电极 49 被配置为与后续形成的发光信号连接线连接。

- 15 （26）形成第一平坦层图案。在示例性实施方式中，形成第一平坦层图案可以包括：在形成前述图案的基底上，涂覆第一平坦薄膜，采用图案化工艺对第一平坦薄膜进行图案化，形成覆盖第三导电层的第一平坦层，第一平坦层上设置有多个过孔，如图 23 所示。

- 20 在示例性实施方式中，第一平坦层上的多个过孔至少包括：第二十一过孔 V21、第二十二过孔 V22、第二十三过孔 V23、第二十四过孔 V24、第二十五过孔 V25、第二十六过孔 V26 和第二十七过孔 V27。

- 25 在示例性实施方式中，第二十一过孔 V21 在基底上的正投影位于第一电源连接块 42-1 在基底上的正投影的范围之内，第二十一过孔 V21 内的第一平坦层被去掉，暴露出第一电源连接块 42-1 的表面，第二十一过孔 V21 被配置为使后续形成的第十一连接电极通过该过孔与第一电源连接块 42-1 连接。在示例性实施方式中，第二十一过孔 V21 可以设置在每个电路单元中。

在示例性实施方式中，第二十一过孔 V21 在基底上的正投影可以位于第二极板 72 在基底上的正投影的范围之内。

- 30 在示例性实施方式中，第二十二过孔 V22 在基底上的正投影位于第三连接电极 43 在基底上的正投影的范围之内，第二十二过孔 V22 内的第一平坦层被去掉，暴露出第三连接电极 43 的表面，第二十二过孔 V22 被配置为使后续形成的第十二连接电极通过该过孔与第三连接电极 43 连接。在示例性实施方式中，第二十二过孔 V22 可以设置在每个电路单元中。

- 35 在示例性实施方式中，第二十三过孔 V23 在基底上的正投影位于第四连接电极 44 在基底上的正投影的范围之内，第二十三过孔 V23 内的第一平坦层被去掉，暴露出第四连接电极 44 的表面，第二十三过孔 V23 被配置为使后续形成的第十三连接电极通过该过孔与第四连接电极 44 连接。在示例性实施方式中，第二十三过孔 V23 可以设置在每个电路单元中。

- 40 在示例性实施方式中，第二十四过孔 V24 在基底上的正投影位于第八连接电极 48 在基底上的正投影的范围之内，第二十四过孔 V24 内的第一平坦层被去掉，暴露出第八连接电极 48 的表面，第二十四过孔 V24 被配置为使后续形成的第十四连接电极通过该过孔与第八连接电极 48 连接。在示例性实施方式中，第二十四过孔 V24 可以设置在每个电路单元中。

在示例性实施方式中，第二十五过孔 V25 在基底上的正投影位于初始连接块 46-1 在基底上的正投影的范围之内，第二十五过孔 V25 内的第一平坦层被去掉，暴露出初始连

接块 46-1 的表面，第二十五过孔 V25 被配置为使后续形成的第十五连接电极通过该过孔与初始连接块 46-1 连接。在示例性实施方式中，第二十五过孔 V25 可以设置在第 N 单元列的电路单元中。

在示例性实施方式中，第二十六过孔 V26 在基底上的正投影位于发光信号线 93 的发光连接块 93-1 在基底上的正投影的范围之内，第二十六过孔 V26 内的第一平坦层被去掉，暴露出发光连接块 93-1 的表面，第二十六过孔 V26 被配置为使后续形成的发光信号连接线通过该过孔与发光连接块 93-1 连接。在示例性实施方式中，第二十六过孔 V26 可以设置在每个电路单元中。

在示例性实施方式中，第二十七过孔 V27 在基底上的正投影位于第九连接电极 49 在基底上的正投影的范围之内，第二十七过孔 V27 内的第一平坦层被去掉，暴露出第九连接电极 49 的表面，第二十七过孔 V27 被配置为使后续形成的发光信号连接线通过该过孔与第九连接电极 49 连接。在示例性实施方式中，第二十七过孔 V27 可以设置在每个电路单元中。

(27) 形成第四导电层图案。在示例性实施方式中，形成第四导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第一平坦层上的第四导电层，如图 24A 和图 24B 所示，图 24B 为图 24A 中第四导电层的平面示意图。

在示例性实施方式中，第四导电层至少包括：第十一连接电极 51、第十二连接电极 52、第十三连接电极 53、第十四连接电极 54、第十五连接电极 55、发光信号连接线 56 和第三连接线 83。

在示例性实施方式中，第十一连接电极 51 的形状可以为块形（如矩形）状，第十一连接电极 51 通过第二十一过孔 V21 与第一电源连接块 42-1 连接，第十一连接电极 51 被配置为与后续形成的第一电源线连接。在示例性实施方式中，第十一连接电极 51 可以设置在每个电路单元中。

在示例性实施方式中，第十一连接电极 51 在基底上的正投影与第二极板 72 在基底上的正投影至少部分交叠。

在示例性实施方式中，第十二连接电极 52 的形状可以为沿着第二方向 Y 延伸的条形状，第十二连接电极 52 通过第二十二过孔 V22 与第三连接电极 43 连接，第十二连接电极 52 被配置为与后续形成的数据信号线连接。在示例性实施方式中，第十二连接电极 52 可以设置在每个电路单元中。

在示例性实施方式中，第十三连接电极 53 的形状可以为沿着第二方向 Y 延伸的条形状，第十三连接电极 53 通过第二十三过孔 V23 与第四连接电极 44 连接，第十三连接电极 53 被配置为与后续形成的阳极连接电极连接。在示例性实施方式中，第十三连接电极 53 可以设置在每个电路单元中。

在示例性实施方式中，第十四连接电极 54 的形状可以为块形（如矩形）状或者条形状，第十四连接电极 54 通过第二十四过孔 V24 与第八连接电极 48 连接。在示例性实施方式中，第十四连接电极 54 可以设置在每个电路单元中，第 N 单元列、第 N+1 单元列和第 N+3 单元列的电路单元中的第十四连接电极 54 为块形（如矩形）状，块形状的第十四连接电极 54 为虚拟电极（dummy-pad），与后续形成的第五导电层没有连接，虚拟电极被配置为保证刻蚀均一性和子像素之间的均一性。第 N+2 单元列的电路单元中的第十四连接电极 54 为条形状，第 N+2 单元列的第十四连接电极 54 被配置为与后续形成的第一连接线连接。

在示例性实施方式中，第十五连接电极 55 的形状可以为块形（如矩形）状，第十五连接电极 55 通过第二十五过孔 V25 与初始连接块 46-1 连接，第十五连接电极 55 被配置

为与后续形成的第二连接线连接。在示例性实施方式中，第十五连接电极 55 可以设置在第 N 单元列的电路单元中。

在示例性实施方式中，发光信号连接线 56 的形状可以为沿着第二方向 Y 延伸的条形状，发光信号连接线 56 的第一端通过第二十六过孔 V26 与本单元行中电路单元的发光连接块 93-1 连接，发光信号连接线 56 的第二端沿着第二方向 Y 延伸到下一个单元行的电路单元，通过第二十七过孔 V27 与下一个单元行中电路单元的第九连接电极 49 连接。在示例性实施方式中，发光信号连接线 56 可以设置在每个电路单元中。

在示例性实施方式中，由于本单元行中电路单元的发光连接块 93-1 与本单元行中的发光信号线 93 连接，下一个单元行中电路单元的第九连接电极 49 与该电路单元的第五栅电极 25 连接，因而发光信号连接线 56 实现了本单元行中的发光信号线 93 与下一个单元行中的第五栅电极 25 连接，本单元行中的发光信号线 93 不仅可以控制本单元行中第六晶体管 T6 的导通和断开，而且可以控制下一个单元行中第五晶体管 T5 的导通和断开，即本单元行的电路单元中，第五晶体管 T5 由上一个单元行的发光信号线 93 控制，第六晶体管 T6 由本单元行的发光信号线 93 控制。例如，第 M-1 单元行中的发光信号线 93 可以控制第 M-1 单元行中第六晶体管 T6 的导通和断开，同时控制第 M 单元行中第五晶体管 T5 的导通和断开。又如，第 M 单元行中的发光信号线 93 可以控制第 M 单元行中第六晶体管 T6 的导通和断开，同时第 M+1 单元行中第五晶体管 T5 的导通和断开，即第 M 单元行的电路单元中，第五晶体管 T5 由第 M-1 单元行中发光信号线 93 控制，第六晶体管 T6 由第 M 单元行中发光信号线 93 控制。再如，第 M+1 单元行中的发光信号线 93 可以控制第 M+1 单元行中第六晶体管 T6 的导通和断开，同时第 M+2 单元行中第五晶体管 T5 的导通和断开。

在示例性实施方式中，第三连接线 83 的形状可以为沿着第一方向 X 延伸的直线状或者折线状，第三连接线 83 可以位于第一扫描信号线 21 和第二极板 72 之间，第三连接线 83 被配置为与后续形成的第二电源线连接。

在示例性实施方式中，第三连接线 83 靠近第一扫描信号线 21 的一侧连接有第二电源连接块 83-1，第二电源连接块 83-1 的形状可以为块形（如矩形）状，第二电源连接块 83-1 被配置为与后续形成的第二电源线连接。在示例性实施方式中，第二电源连接块 83-1 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中，第三连接线 83 在基底上的正投影与第二极板 72 在基底上的正投影没有交叠，第三连接线 83 在基底上的正投影与第一连接电极 41 和第二连接电极 42 在基底上的正投影至少部分交叠。

（28）形成第二平坦层图案。在示例性实施方式中，形成第二平坦层图案可以包括：在形成前述图案的基底上，涂覆第二平坦薄膜，采用图案化工艺对第二平坦薄膜进行图案化，形成覆盖第四导电层的第二平坦层，第二平坦层上设置有多个过孔，如图 25 所示。

在示例性实施方式中，第二平坦层上的多个过孔至少包括：第三十一过孔 V31、第三十二过孔 V32、第三十三过孔 V33、第三十四过孔 V34、第三十五过孔 V35 和第三十六过孔 V36。

在示例性实施方式中，第三十一过孔 V31 在基底上的正投影位于第十一连接电极 51 在基底上的正投影的范围之内，第三十一过孔 V31 内的第二平坦层被去掉，暴露出第三十一过孔 V31 的表面，第三十一过孔 V31 被配置为使后续形成的第一电源线通过该过孔与第十一连接电极 51 连接。在示例性实施方式中，第三十一过孔 V31 可以设置在每个电路单元中。

在示例性实施方式中，第三十二过孔 V32 在基底上的正投影位于第十二连接电极 52 在基底上的正投影的范围之内，第三十二过孔 V32 内的第二平坦层被去掉，暴露出第十

二连接电极 52 的表面,第三十二过孔 V32 被配置为使后续形成的数据信号线通过该过孔与第十二连接电极 52 连接。在示例性实施方式中,第三十二过孔 V32 可以设置在每个电路单元中。

5 在示例性实施方式中,第三十三过孔 V33 在基底上的正投影位于第十三连接电极 53 在基底上的正投影的范围之内,第三十三过孔 V33 内的第二平坦层被去掉,暴露出第十三连接电极 53 的表面,第三十三过孔 V33 被配置为使后续形成的阳极连接电极通过该过孔与第十三连接电极 53 连接。在示例性实施方式中,第三十三过孔 V33 可以设置在每个电路单元中。

10 在示例性实施方式中,第三十四过孔 V34 在基底上的正投影位于第十四连接电极 54 在基底上的正投影的范围之内,第三十四过孔 V34 内的第二平坦层被去掉,暴露出第十四连接电极 54 的表面,第三十四过孔 V34 被配置为使后续形成的第一连接线通过该过孔与第十四连接电极 54 连接。在示例性实施方式中,第三十四过孔 V34 可以设置在第 N+2 单元列的电路单元中。

15 在示例性实施方式中,第三十五过孔 V35 在基底上的正投影位于第十五连接电极 55 在基底上的正投影的范围之内,第三十五过孔 V35 内的第二平坦层被去掉,暴露出第十五连接电极 55 的表面,第三十五过孔 V35 被配置为使后续形成的第二连接线通过该过孔与第十五连接电极 55 连接。在示例性实施方式中,第三十五过孔 V35 可以设置在第 N 单元列的电路单元中。

20 在示例性实施方式中,第三十六过孔 V36 在基底上的正投影位于第三连接线 83 的第二电源连接块 83-1 在基底上的正投影的范围之内,第三十六过孔 V36 内的第二平坦层被去掉,暴露出第二电源连接块 83-1 的表面,第三十六过孔 V36 被配置为使后续形成的第二电源线通过该过孔与第二电源连接块 83-1 连接。在示例性实施方式中,第三十六过孔 V36 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

25 (29) 形成第五导电层图案。在示例性实施方式中,形成第五导电层图案可以包括:在形成前述图案的基底上,沉积第五导电薄膜,采用图案化工艺对第五导电薄膜进行图案化,形成设置在第二平坦层上的第五导电层,如图 26A 和图 26B 所示,图 26B 为图 26A 中第五导电层的平面示意图。在示例性实施方式中,第五导电层可以称为第三源漏金属 (SD3) 层。

30 在示例性实施方式中,第五导电层可以至少包括第一电源线 61、数据信号线 62、阳极连接电极 63、第二电源线 64、第一连接线 81 和第二连接线 82。

35 在示例性实施方式中,第一电源线 61 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状,第一电源线 61 通过第三十一过孔 V31 与第十一连接电极 51 连接。由于第十一连接电极 51 与第一电源连接块 42-1 连接,第一电源连接块 42-1 与第二连接电极 42 连接,第二连接电极 42 与第五晶体管 T5 的第一极、存储电容的第二极板 72 和第一电容的第四极板 74 连接,因而实现了第一电源线 61 将第一电源信号写入第五晶体管 T5 的第一极、存储电容的第二极板 72 和第一电容的第四极板 74。在示例性实施方式中,第一电源线 61 可以设置在每个电路单元中。

40 在示例性实施方式中,第一电源线 61 在基底上的正投影与发光信号连接线 56 在基底上的正投影至少部分交叠,具有恒定电压的第一电源线 61 可以起到屏蔽作用,可以减少发光信号对像素驱动电路的影响,且可以稳定发光信号的电位。

在示例性实施方式中,数据信号线 62 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状,数据信号线 62 通过第三十二过孔 V32 与第十二连接电极 52 连接。由于第十二连接电极 52 与第三连接电极 43 连接,第三连接电极 43 与第四有源层的第一区连接,因而实现了数据信号线 62 与第四晶体管 T4 的第一极的连接,数据信号线 62 可以将数据

信号写入第四晶体管 T4 的第一极。在示例性实施方式中，数据信号线 62 可以设置在每个电路单元中。

在示例性实施方式中，阳极连接电极 63 的形状可以为沿着第一方向 X 或者沿着第二方向 Y 延伸的条形状，阳极连接电极 63 通过第三十三过孔 V33 与第十三连接电极 53 连接，阳极连接电极 63 被配置为与后续形成的阳极连接。由于第十三连接电极 53 与第四连接电极 44 连接，第四连接电极 44 与第六有源层的第二区和第七有源层的第二区连接，因而可以实现后续形成的阳极与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极的连接，像素驱动电路可以驱动发光器件发光。在示例性实施方式中，阳极连接电极 63 可以设置在每个电路单元中。

在示例性实施方式中，第二电源线 64 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第二电源线 64 通过第三十六过孔 V36 与第二电源连接块 83-1 连接。由于第二电源连接块 83-1 与第三连接线 83 连接，因而实现了主体部分沿第一方向 X 延伸的第三连接线 83 与主体部分沿着第二方向 Y 延伸的第二电源线 64 的相互连接，在显示基板上形成网状连通结构。本公开通过第二电源线 64 与第三连接线 83 形成网状连通结构，不仅可以有效降低第二电源线的电阻，减小第二电源信号的压降，而且可以有效提升显示基板中第二电源信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。在示例性实施方式中，第二电源线 64 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中，第一连接线 81 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第一连接线 81 通过第三十四过孔 V34 与第十四连接电极 54 连接。由于第十四连接电极 54 与第八连接电极 48 连接，第八连接电极 48 与第一初始信号线 31 连接，因而实现了主体部分沿第一方向 X 延伸的第一初始信号线 31 与主体部分沿着第二方向 Y 延伸的第一连接线 81 的相互连接，在显示基板上形成网状连通结构。本公开通过第一初始信号线 31 与第一连接线 81 形成网状连通结构，不仅可以有效降低初始信号线的电阻，减小第一初始信号的压降，而且可以有效提升显示基板中第一初始信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。在示例性实施方式中，第一连接线 81 可以设置在第 N+2 单元列的电路单元中。

在示例性实施方式中，第二连接线 82 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第二连接线 82 通过第三十五过孔 V35 与第十五连接电极 55 连接。由于第十五连接电极 55 与初始连接块 46-1 连接，初始连接块 46-1 与第六连接电极 46 连接，第六连接电极 46 与第二初始信号线 32 连接，因而实现了主体部分沿第一方向 X 延伸的第二初始信号线 32 与主体部分沿着第二方向 Y 延伸的第二连接线 82 的相互连接，在显示基板上形成网状连通结构。本公开通过第二初始信号线 32 与第二连接线 82 形成网状连通结构，不仅可以有效降低初始信号线的电阻，减小第二初始信号的压降，而且可以有效提升显示基板中第二初始信号的均一性，有效提升显示均一性，提高了显示品质和显示质量。在示例性实施方式中，第二连接线 82 可以设置在第 N 单元列的电路单元中。

图 26C 为本公开示例性实施例一种初始信号网状连通结构和第二电源网状连通结构的示意图。如图 26C 所示，第三连接线 83 上可以设置有第二电源连接块 83-1，第二电源线 64 通过过孔与第二电源连接块 83-1 连接，因而实现了主体部分沿第一方向 X 延伸的第三连接线 83 与主体部分沿着第二方向 Y 延伸的第二电源线 64 的相互连接，在显示基板上形成第二电源网状连通结构。第一连接线 81 通过过孔与第十四连接电极 54 连接，第十四连接电极 54 通过过孔与第八连接电极 48 连接，第八连接电极 48 与第一初始信号线 31 连接，因而实现了主体部分沿第一方向 X 延伸的第一初始信号线 31 与主体部分沿着第二方向 Y 延伸的第一连接线 81 的相互连接，在显示基板上形成第一初始信号网状连通结构。第二连接线 82 通过过孔与第十五连接电极 55 连接，第十五连接电极 55 通过过孔与

初始连接块 46-1 连接，初始连接块 46-1 与第二初始信号线 32 连接，因而实现了主体部分沿第一方向 X 延伸的第二初始信号线 32 与主体部分沿着第二方向 Y 延伸的第二连接线 82 的相互连接，在显示基板上形成第二初始信号网状连通结构。

在示例性实施方式中，第二初始信号线 32 可以设置在第二导电层中，第一初始信号线 31、初始连接块 46-1 和第八连接电极 48 可以设置在第三导电层中，第十四连接电极 54、第十五连接电极 55 和第三连接线 83 可以设置在第四导电层中，第二电源线 64、第一连接线 81 和第二连接线 82 可以设置在第五导电层中。

在示例性实施方式中，第一初始信号线 31、第二初始信号线 32 和第三连接线 83 可以设置在每个单元行中，第一连接线 81、第二电源线 64、第二连接线 82 和第二电源线 64 可以交替设置在单元列中，四个单元列中分别设置一条第一连接线 81、一条第二连接线 82 和两条第二电源线 64，第一连接线 81、第二连接线 82 和第二电源线 64 设置在不同的单元列中，可以充分利用布局空间，避免影响光透过率，提高了显示效果。

在示例性实施方式中，第 N 单元列可以设置一条第二连接线 82，第 N+1 单元列可以设置一条第二电源线 64，第 N+2 单元列可以设置一条第一连接线 81，第 N+3 单元列可以设置一条第二电源线 64。

(30) 形成第三平坦层图案。在示例性实施方式中，形成第三平坦层图案可以包括：在形成前述图案的基底上，涂覆第三平坦薄膜，采用图案化工艺对第三平坦薄膜进行图案化，形成覆盖第五导电层的第三平坦层，第三平坦层上设置有多组阳极过孔，阳极过孔配置为使后续形成的阳极通过该过孔与阳极连接电极连接。

至此，在基底上制备完成驱动电路层。在平行于显示基板的平面内，驱动电路层可以包括多个电路单元，每个电路单元可以包括像素驱动电路，以及与像素驱动电路连接的第一扫描信号线、第二扫描信号线、第三扫描信号线、发光信号线、数据信号线、第一电源线、第一初始信号线和第二初始信号线，发光信号线分别与本单元行中的第六晶体管 T6 和下一个单元行中的第五栅电极 25 连接。在垂直于显示基板的平面内，驱动电路层可以包括在基底上依次叠设的第一绝缘层、半导体层、第二绝缘层、第一导电层、第三绝缘层、第二导电层、第四绝缘层、第三导电层、第一平坦层、第四导电层、第二平坦层、第五导电层和第三平坦层。

在示例性实施方式中，制备完成驱动电路层后，先在驱动电路层上制备发光结构层，然后形成封装结构层。发光结构层可以包括阳极导电层、像素定义层、有机发光层和阴极，阳极导电层可以包括多个阳极，像素定义层可以包括多个像素开口，封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层。

本实施例提供的显示基板同样实现了第五晶体管和第六晶体管分离控制，可以实现超高频精度更高的脉冲宽度调制、发光信号占空比补偿、低灰阶补偿以及改善残像。本实施例的至少一个电路单元中，第六晶体管 T6 由本单元行的发光信号线控制，第五晶体管 T5 由上一个单元行的发光信号线控制，即第五晶体管 T5 采用上一级第六晶体管 T6 的发光信号线驱动（级联）方式，不仅可以减小第一节点 N1 出的电容，避免第一节点 N1 节点受到发光信号线的影响，而且减少了发光信号线的数量，有利于实现高分辨率。

本实施例显示基板通过在第一导电层中设置第五栅电极和第六栅电极，在第三导电层中设置发光信号线，发光信号线通过过孔与第六栅电极连接，在第四导电层中设置发光信号连接线，发光信号连接线的第一端与本单元行中的发光信号线连接，发光信号连接线的第二端与下一个单元行中的第五栅电极连接，级联的发光控制信号采用位于 SD2 层的发光信号连接线进行转接，且 SD3 层的第一电源线对发光信号连接线进行屏蔽，有效稳定了发光信号的电位。

本公开显示基板通过设置主体部分沿第一方向延伸的第三连接线和主体部分沿第二

方向延伸的第二电源线，形成网状连通结构，不仅有效降低了第二电源线的电阻，减小了第二电源电压的压降，而且有效提升了显示基板中第二电源电压的均一性，有效提升了显示均一性，提高了显示品质和显示质量。

本公开显示基板采用 3SD 模式和增加第一电容，在显示基板上分别形成第二电源信号的网状连通结构、第一初始信号的网状连通结构和第二初始信号的网状连通结构，进一步提升了显示效果。

图 27 为本公开示例性实施例又一种显示基板的结构示意图，示意了八个电路单元（2 个单元行 4 个单元列）的平面结构。在示例性实施方式中，本实施例显示基板的主体结构

与图 17 所示基本上相同，所不同的是，本实施例显示基板为 2SD 结构。

在示例性实施方式中，多个导电层可以至少包括在基底上沿着远离基底方向依次设置的第一导电层、第二导电层、第三导电层和第四导电层，第五栅电极和第六栅电极可以设置在第一导电层中，第三连接线 83 和发光信号线 93 可以设置在第三导电层中，发光信号连接线 56、第一电源线 61、数据信号线 62、第二电源线 64、第一连接线 81 和第二连接线 82 可以设置在第四导电层中。

在示例性实施方式中，以八个电路单元（2 个单元行 4 个单元列）为例，本实施例显示基板的制备过程可以包括如下操作。

（31）形成半导体层图案，形成半导体层图案的过程以及半导体层的结构与图 18 所示基本上相同。

（32）形成第一导电层图案，形成第一导电层图案的过程以及第一导电层的结构与图 19A 和图 19B 所示基本上相同。

（33）形成第二导电层图案，形成第二导电层图案的过程以及第二导电层的结构与图 20A 和图 20B 所示基本上相同。

（34）形成第四绝缘层图案，形成第四绝缘层图案的过程以及多个过孔的结构与图 21 所示基本上相同。

（35）形成第三导电层图案，形成第三导电层的过程以及第三导电层的结构与图 22A 和图 22B 所示基本上相同，所不同的是，第三导电层还设置有第三连接线 83，如图 28A 和图 28B 所示，图 28B 为图 28A 中第三导电层的平面示意图。

在示例性实施方式中，每个电路单元中的第三导电层可以至少包括：第一初始信号线 31、第一连接电极 41、第二连接电极 42、第三连接电极 43、第四连接电极 44、第六连接电极 46、第七连接电极 47、第八连接电极 48、第九连接电极 49、第三连接线 83 和发光信号线 93，第一初始信号线 31、发光信号线 93、第一连接电极 41 至第四连接电极 44、第六连接电极 46 至第九连接电极 49 的结构与前述实施例基本上相同。

在示例性实施方式中，第三连接线 83 的形状可以为沿着第一方向 X 延伸的直线状或者折线状，第三连接线 83 可以位于第一扫描信号线 21 和发光信号线 93 之间，第三连接线 83 被配置为与后续形成的第二电源线连接。

在示例性实施方式中，第三连接线 83 靠近第一扫描信号线 21 的一侧连接有第二电源连接块 83-1，第二电源连接块 83-1 的形状可以为块形（如矩形）状，第二电源连接块 83-1 被配置为与后续形成的第二电源线连接。在示例性实施方式中，第二电源连接块 83-1 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中，第三连接线 83 在基底上的正投影与第二极板 72 在基底上的正投影至少部分交叠，第三连接线 83 在基底上的正投影与第一连接电极 41 和第二连接电极 42 在基底上的正投影没有交叠。

（36）形成第一平坦层图案。在示例性实施方式中，形成第一平坦层图案可以包括：在形成前述图案的基底上，涂覆第一平坦薄膜，采用图案化工艺对第一平坦薄膜进行图案

化，形成覆盖第三导电层的第一平坦层，第一平坦层上设置有多个过孔，如图 29 所示。

在示例性实施方式中，第一平坦层上的多个过孔至少包括：第二十一过孔 V21、第二十二过孔 V22、第二十三过孔 V23、第二十四过孔 V24、第二十五过孔 V25、第二十六过孔 V26、第二十七过孔 V27 和第二十八过孔 V28。

5 在示例性实施方式中，第二十一过孔 V21 在基底上的正投影位于第一电源连接块 42-1 在基底上的正投影的范围之内，第二十一过孔 V21 内的第一平坦层被去掉，暴露出第一电源连接块 42-1 的表面，第二十一过孔 V21 被配置为使后续形成的第一电源线通过该过孔与第一电源连接块 42-1 连接。在示例性实施方式中，第二十一过孔 V21 可以设置在每个电路单元中。

10 在示例性实施方式中，第二十一过孔 V21 在基底上的正投影可以位于第二极板 72 在基底上的正投影的范围之内。

在示例性实施方式中，第二十二过孔 V22 在基底上的正投影位于第三连接电极 43 在基底上的正投影的范围之内，第二十二过孔 V22 内的第一平坦层被去掉，暴露出第三连接电极 43 的表面，第二十二过孔 V22 被配置为使后续形成的数据信号线通过该过孔与第三连接电极 43 连接。在示例性实施方式中，第二十二过孔 V22 可以设置在每个电路单元中。

15 在示例性实施方式中，第二十三过孔 V23 在基底上的正投影位于第四连接电极 44 在基底上的正投影的范围之内，第二十三过孔 V23 内的第一平坦层被去掉，暴露出第四连接电极 44 的表面，第二十三过孔 V23 被配置为使后续形成的阳极连接电极通过该过孔与第四连接电极 44 连接。在示例性实施方式中，第二十三过孔 V23 可以设置在每个电路单元中。

20 在示例性实施方式中，第二十四过孔 V24 在基底上的正投影位于第八连接电极 48 在基底上的正投影的范围之内，第二十四过孔 V24 内的第一平坦层被去掉，暴露出第八连接电极 48 的表面，第二十四过孔 V24 被配置为使后续形成的第一连接线通过该过孔与第八连接电极 48 连接。在示例性实施方式中，第二十四过孔 V24 可以设置在第 N+2 单元列的电路单元中。

25 在示例性实施方式中，第二十五过孔 V25 在基底上的正投影位于初始连接块 46-1 在基底上的正投影的范围之内，第二十五过孔 V25 内的第一平坦层被去掉，暴露出初始连接块 46-1 的表面，第二十五过孔 V25 被配置为使后续形成的第二连接线通过该过孔与初始连接块 46-1 连接。在示例性实施方式中，第二十五过孔 V25 可以设置在第 N 单元列的电路单元中。

30 在示例性实施方式中，第二十六过孔 V26 在基底上的正投影位于发光信号线 93 的发光连接块 93-1 在基底上的正投影的范围之内，第二十六过孔 V26 内的第一平坦层被去掉，暴露出发光连接块 93-1 的表面，第二十六过孔 V26 被配置为使后续形成的发光信号连接线通过该过孔与发光连接块 93-1 连接。在示例性实施方式中，第二十六过孔 V26 可以设置在每个电路单元中。

35 在示例性实施方式中，第二十七过孔 V27 在基底上的正投影位于第九连接电极 49 在基底上的正投影的范围之内，第二十七过孔 V27 内的第一平坦层被去掉，暴露出第九连接电极 49 的表面，第二十七过孔 V27 被配置为使后续形成的发光信号连接线通过该过孔与第九连接电极 49 连接。在示例性实施方式中，第二十七过孔 V27 可以设置在每个电路单元中。

40 在示例性实施方式中，第二十八过孔 V28 在基底上的正投影位于第三连接线 83 的第二电源连接块 83-1 在基底上的正投影的范围之内，第二十八过孔 V28 内的第一平坦层被去掉，暴露出第二电源连接块 83-1 的表面，第二十八过孔 V28 被配置为使后续形成的第

二电源线通过该过孔与第二电源连接块 83-1 连接。在示例性实施方式中，第二十八过孔 V28 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

(37) 形成第四导电层图案。在示例性实施方式中，形成第四导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第一平坦层上的第四导电层，如图 30A 和图 30B 所示，图 30B 为图 30A 中第四导电层的平面示意图。

在示例性实施方式中，第四导电层至少包括：发光信号连接线 56、第一电源线 61、数据信号线 62、阳极连接电极 63、第二电源线 64、第一连接线 81 和第二连接线 82。

在示例性实施方式中，发光信号连接线 56 的形状可以为沿着第二方向 Y 延伸的条形状，发光信号连接线 56 的第一端通过第二十六过孔 V26 与本单元行中电路单元的发光连接块 93-1 连接，发光信号连接线 56 的第二端沿着第二方向 Y 延伸到下一个单元行的电路单元，通过第二十七过孔 V27 与下一个单元行中电路单元的第九连接电极 49 连接。在示例性实施方式中，发光信号连接线 56 可以设置在每个电路单元中。

在示例性实施方式中，由于本单元行中电路单元的发光连接块 93-1 与本单元行中的发光信号线 93 连接，下一个单元行中电路单元的第九连接电极 49 与该电路单元的第五栅电极 25 连接，因而发光信号连接线 56 实现了本单元行中的发光信号线 93 与下一个单元行中的第五栅电极 25 连接，本单元行中的发光信号线 93 不仅可以控制本单元行中第六晶体管 T6 的导通和断开，而且可以控制下一个单元行中第五晶体管 T5 的导通和断开，即本单元行的电路单元中，第五晶体管 T5 由上一个单元行的发光信号线 93 控制，第六晶体管 T6 由本单元行的发光信号线 93 控制。

在示例性实施方式中，第一电源线 61 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第一电源线 61 通过第二十一过孔 V21 与第一电源连接块 42-1 连接。由于第一电源连接块 42-1 与第二连接电极 42 连接，第二连接电极 42 与第五晶体管 T5 的第一极、存储电容的第二极板 72 和第一电容的第四极板 74 连接，因而实现了第一电源线 61 将第一电源信号写入第五晶体管 T5 的第一极、存储电容的第二极板 72 和第一电容的第四极板 74。在示例性实施方式中，第一电源线 61 可以设置在每个电路单元中。

在示例性实施方式中，数据信号线 62 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，数据信号线 62 通过第二十二过孔 V22 与第三连接电极 43 连接。由于第三连接电极 43 与第四有源层的第一区连接，因而实现了数据信号线 62 与第四晶体管 T4 的第一极的连接，数据信号线 62 可以将数据信号写入第四晶体管 T4 的第一极。在示例性实施方式中，数据信号线 62 可以设置在每个电路单元中。

在示例性实施方式中，阳极连接电极 63 的形状可以为沿着第一方向 X 或者第二方向 Y 延伸的条形状，阳极连接电极 63 通过第二十三过孔 V23 与第四连接电极 44 连接，阳极连接电极 63 被配置为与后续形成的阳极连接。由于第四连接电极 44 与第六有源层的第二区和第七有源层的第二区连接，因而可以实现后续形成的阳极与第六晶体管 T6 的第二极和第七晶体管 T7 的第二极的连接，像素驱动电路可以驱动发光器件发光。在示例性实施方式中，阳极连接电极 63 可以设置在每个电路单元中。

在示例性实施方式中，第二电源线 64 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状，第二电源线 64 通过第二十八过孔 V28 与第二电源连接块 83-1 连接。由于第二电源连接块 83-1 与第三连接线 83 连接，因而实现了主体部分沿第一方向 X 延伸的第三连接线 83 与主体部分沿着第二方向 Y 延伸的第二电源线 64 的相互连接，在显示基板上形成网状连通结构。在示例性实施方式中，第二电源线 64 可以设置在第 N+1 单元列和第 N+3 单元列的电路单元中。

在示例性实施方式中，第二电源线 64 在基底上的正投影与第三晶体管的栅电极（即

第一极板)在基底上的正投影没有交叠。

在示例性实施方式中,第二电源线 64 在基底上的正投影与半导体层中连接第二有源层和第三有源层的有源连接线 18 在基底上的正投影至少部分不交叠。

5 在示例性实施方式中,第一连接线 81 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状,第一连接线 81 通过第二十四过孔 V24 与第八连接电极 48 连接。由于第八连接电极 48 与第一初始信号线 31 连接,因而实现了主体部分沿第一方向 X 延伸的第一初始信号线 31 与主体部分沿着第二方向 Y 延伸的第一连接线 81 的相互连接,在显示基板上形成网状连通结构。在示例性实施方式中,第一连接线 81 可以设置在第 N+2 单元列的电路单元中。

10 在示例性实施方式中,第一连接线 81 在基底上的正投影与第三晶体管的栅电极(即第一极板)在基底上的正投影没有交叠。

在示例性实施方式中,第一连接线 81 在基底上的正投影与半导体层中连接第二有源层和第三有源层的有源连接线 18 在基底上的正投影至少部分不交叠。

15 在示例性实施方式中,第二连接线 82 的形状可以为沿着第二方向 Y 延伸的直线状或者折线状,第二连接线 82 通过第二十五过孔 V25 与初始连接块 46-1 连接。由于初始连接块 46-1 与第六连接电极 46 连接,第六连接电极 46 与第二初始信号线 32 连接,因而实现了主体部分沿第一方向 X 延伸的第二初始信号线 32 与主体部分沿着第二方向 Y 延伸的第二连接线 82 的相互连接,在显示基板上形成网状连通结构。在示例性实施方式中,第二连接线 82 可以设置在第 N 单元列的电路单元中。

20 在示例性实施方式中,第二连接线 82 在基底上的正投影与第三晶体管的栅电极(即第一极板)在基底上的正投影没有交叠。

在示例性实施方式中,第二连接线 82 在基底上的正投影与半导体层中连接第二有源层和第三有源层的有源连接线 18 在基底上的正投影至少部分不交叠。

25 图 30C 和图 30D 为本公开示例性实施例另一种初始信号网状连通结构和第二电源网状连通结构的示意图。如图 30C 所示,第一初始信号线 31、第二初始信号线 32 和第三连接线 83 可以设置在每个单元行中,第一连接线 81、第二电源线 64、第二连接线 82 和第二电源线 64 可以在四个连续的单元列中交替设置。例如,第 N 单元列可以设置一条第二连接线 82,第 N+1 单元列可以设置一条第二电源线 64,第 N+2 单元列可以设置一条第一连接线 81,第 N+3 单元列可以设置一条第二电源线 64。如图 30D 所示,第一初始信号线 31、第二初始信号线 32 和第三连接线 83 可以设置在每个单元行中,第一连接线 81、第二电源线 64、第二连接线 82 和第二电源线 64 可以在八个连续的单元列中交替设置。例如,第 N 单元列可以设置一条第二连接线 82,第 N+2 单元列可以设置一条第二电源线 64,第 N+4 单元列可以设置一条第一连接线 81,第 N+5 单元列可以设置一条第二电源线 64,第 N+1 单元列、第 N+3 单元列、第 N+5 单元列和第 N+7 单元列不设置第一连接线、第二连接线和第二电源线,本公开在此不做限定。

35 (38) 形成第二平坦层图案。在示例性实施方式中,形成第二平坦层图案可以包括:在形成前述图案的基底上,涂覆第二平坦薄膜,采用图案化工艺对第二平坦薄膜进行图案化,形成覆盖第四导电层的第二平坦层,第二平坦层上设置有多个多个阳极过孔,阳极过孔配置为使后续形成的阳极通过该过孔与阳极连接电极连接。

40 在示例性实施方式中,制备完成驱动电路层后,先在驱动电路层上制备发光结构层,然后形成封装结构层,这里不再赘述。

本实施例提供的显示基板同样实现了第五晶体管和第六晶体管分离控制,可以实现超高频率精度更高的脉冲宽度调制、发光信号占空比补偿、低灰阶补偿以及改善残像。本实施例的至少一个电路单元中,第六晶体管 T6 由本单元行的发光信号线控制,第五晶体管

T5 由上一个单元行的发光信号线控制，即第五晶体管 T5 采用上一级第六晶体管 T6 的发光信号线驱动（级联）方式，不仅可以减小第一节点 N1 出的电容，避免第一节点 N1 节点受到发光信号线的影响，而且减少了发光信号线的数量，有利于实现高分辨率。

本实施例显示基板通过采用 2SD 模式和增加第一电容，在显示基板上分别形成第二电源信号的网状连通结构、第一初始信号的网状连通结构和第二初始信号的网状连通结构，进一步提升了显示效果。

图 31A 和图 31B 为本公开另一种显示基板形成阳极导电层图案后的示意图，图 31B 为图 31A 中阳极导电层的平面示意图。对于前述实施例的显示基板，由于第三导电层或者第四导电层中设置有虚拟电极，因而可以通过在阳极导电层中设置辅助电极来保证各个子像素中膜层的一致性。

在示例性实施方式中，以图 17 所示显示基板为例，阳极导电层可以包括多个阳极 90，每个阳极 90 可以通过阳极过孔与对应电路单元的阳极连接电极连接，至少一个阳极 90 上可以设置有辅助电极 90A，辅助电极 90A 的第一端与该阳极 90 连接，辅助电极 90A 的第二端向着远离该阳极 90 的方向延伸，辅助电极 90A 在基底上的正投影与作为虚拟电极的第十四连接电极在基底上的正投影至少部分交叠，如图 31A 和图 31B 所示。图 31A 和图 31B 中仅以一个阳极 90 设置一个辅助电极 90A 为例进行了示意，实际上，可以在多个阳极 90 上分别设置辅助电极 90A，多个辅助电极 90A 分别与多个虚拟电极至少部分交叠，或者，一个阳极 90 上设置多个辅助电极 90A，本公开在此不做限定。本公开通过在至少一个阳极上设置辅助电极，可以保证各个子像素中膜层的一致性，减少可视化缺陷。

在示例性实施方式中，阳极 90 和辅助电极 90A 可以为相互连接的一体结构。

图 32 为本公开另一种显示基板形成像素定义层图案后的示意图。如图 32 所示，像素定义层可以包括多个像素开口 K，每个像素开口 K 可以暴露出阳极的表面，至少一个像素开口 K 可以连接子开口 K1，子开口 K1 可以暴露出辅助电极的表面。

在示例性实施方式中，像素开口 K 和子开口 K1 可以相互连通。

图 33A 和图 33B 为本公开又一种显示基板形成阳极导电层图案后的示意图，图 33B 为图 33A 中阳极导电层的平面示意图。本实施例阳极导电层的结构与图 31A 和图 31B 所示基本上相同，所不同的是，辅助电极 90A 单独设置，即阳极 90 与辅助电极 90A 没有连接。

在示例性实施方式中，以图 17 所示显示基板为例，阳极导电层可以包括多个阳极 90 和至少一个辅助电极 90A，每个阳极 90 可以通过阳极过孔与对应电路单元的阳极连接电极连接，辅助电极 90A 在基底上的正投影与作为虚拟电极的第十四连接电极在基底上的正投影至少部分交叠，如图 33A 和图 33B 所示。图 33A 和图 33B 中仅以阳极导电层设置一个辅助电极 90A 为例进行了示意，实际上，阳极导电层可以设置多个辅助电极 90A，多个辅助电极 90A 分别与多个虚拟电极至少部分交叠，辅助电极 90A 可以设置成浮置（floating）状态，在后续形成像素定义层中，辅助电极 90A 所在位置没有设置子开口，本公开在此不做限定。本公开通过在阳极导电层设置至少一个辅助电极，可以保证各个子像素中膜层的一致性，减少可视化缺陷。

在示例性实施方式中，阳极导电层设置辅助电极可以应用于图 5 和图 27 所示显示基板的结构中，本公开在此不做限定。

本公开前述所示结构及其制备过程仅仅是一种示例性说明，在示例性实施方式中，可以根据实际需要变更相应结构以及增加或减少构图工艺，本公开在此不做限定。

在示例性实施方式中，本公开显示基板可以应用于具有像素驱动电路的显示装置中，如 OLED、量子点显示（QLED）、发光二极管显示（Micro LED 或 Mini LED）或量子

点发光二极管显示（QDLED）等，本公开在此不做限定。

本公开还提供一种显示装置，显示装置包括前述的显示基板。显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件，本发明实施例并不以此为限。

- 5 虽然本公开所揭露的实施方式如上，但应该注意，上述实施方式仅仅是示例性的，而不是限制性的。因此，本公开不限于在此具体示出和描述的内容。可以对实施的形式及细节进行多种修改、替换或省略，而不脱离本公开的范围。

权 利 要 求 书

- 1、一种显示基板，包括构成多个单元行和多个单元列的多个电路单元，至少一个电路单元包括像素驱动电路和至少一条控制线，所述控制线被配置为向所述像素驱动电路提供发光控制信号；至少一个电路单元中，所述像素驱动电路至少包括驱动晶体管、第一发光控制晶体管和第二发光控制晶体管，所述第一发光控制晶体管的第一极与第一电源线连接，所述第一发光控制晶体管的第二极与所述驱动晶体管的第一极连接，第二发光控制晶体管的第一极与所述驱动晶体管的第二极连接；所述第一发光控制晶体管和所述第二发光控制晶体管连接不同的控制线，所述第一发光控制晶体管和所述第二发光控制晶体管分别设置在所述驱动晶体管单元列方向的两侧。
- 2、根据权利要求1所述的显示基板，其中，至少一条控制线包括第一信号线 and 第二信号线，所述第一发光控制晶体管与所述第一信号线连接，所述第二发光控制晶体管与所述第二信号线连接，所述第一信号线和所述第二信号线分别设置在所述驱动晶体管单元列方向的两侧。
- 3、根据权利要求2所述的显示基板，其中，在垂直于显示基板的方向上，所述显示基板包括多个导电层，所述第一信号线和所述第二信号线设置在不同的导电层中。
- 4、根据权利要求3所述的显示基板，其中，所述第二发光控制晶体管至少包括第二栅极，所述第二栅极和所述第一信号线设置在相同的导电层中，所述第二栅极和所述第二信号线设置在不同的导电层中。
- 5、根据权利要求2所述的显示基板，其中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管的栅电极与第一扫描信号线连接，所述补偿晶体管的第一极通过第一连接电极与所述驱动晶体管的栅电极连接，所述补偿晶体管的第二极分别与所述驱动晶体管的第二极和第二发光控制晶体管的第一极连接；所述第一连接电极在显示基板平面上的正投影与所述第一信号线在显示基板平面上的正投影至少部分交叠，所述第一连接电极在显示基板平面上的正投影与所述第一扫描信号线在显示基板平面上的正投影至少部分交叠。
- 6、根据权利要求5所述的显示基板，其中，所述补偿晶体管至少包括补偿有源层，所述第二发光控制晶体管至少包括第二发光控制有源层，所述补偿有源层的第二区通过第五连接电极与所述第二发光控制有源层的第一区连接；在垂直于显示基板的方向上，所述显示基板至少包括至少一个半导体层和至少一个导电层，所述补偿有源层和第二发光控制有源层设置在所述半导体层中，所述第五连接电极设置在所述导电层中。
- 7、根据权利要求5所述的显示基板，其中，所述像素驱动电路还包括数据写入晶体管，所述数据写入晶体管的第一极与数据信号线连接，所述数据写入晶体管的第二极与与所述驱动晶体管的第一极连接，所述数据写入晶体管和所述补偿晶体管分别设置在所述驱动晶体管单元列方向的两侧。
- 8、根据权利要求1所述的显示基板，其中，至少一条控制线包括发光信号线，所述发光信号线与本单元行中的所述第二发光控制晶体管连接，所述发光信号线与下一个单元行中的所述第一发光控制晶体管连接。
- 9、根据权利要求8所述的显示基板，其中，所述第一发光控制晶体管至少包括第一栅极，所述第二发光控制晶体管至少包括第二栅极，所述发光信号线与本单元行中的所述第二栅极连接，所述发光信号线通过发光信号连接线与下一个单元行中的所述第一发光控制晶体管连接。
- 10、根据权利要求9所述的显示基板，其中，在垂直于显示基板的方向上，所述显示基板包括多个导电层，所述第一栅极和所述第二栅极设置在相同的导电层中，所述第一栅极和所述发光信号线设置在不同的导电层中，所述第一栅极和所述发光信号连接线设置在不同的导电层中，所述发光信号连接线和所述发光信号线设置在不同的导电层中。

11、根据权利要求 10 所述的显示基板，其中，所述多个导电层至少包括在基底上沿着远离基底方向依次设置的第一导电层、第二导电层、第三导电层和第四导电层，所述第一栅极和所述第二栅极设置在所述第一导电层中，所述发光信号线设置在所述第三导电层中，所述发光信号线通过过孔与所述第二栅极连接，所述发光信号连接线设置在所述第四导电层中，所述发光信号连接线的第一端通过过孔与本单元行中的所述发光信号线连接，所述发光信号连接线的第二端通过过孔与下一个单元行中的所述第一栅极连接。

12、根据权利要求 11 所述的显示基板，其中，所述多个导电层还包括设置在所述第四导电层远离所述基底一侧的第五导电层，所述第一电源线设置在所述第五导电层中，所述第一电源线在显示基板平面上的正投影与所述发光信号连接线在显示基板平面上的正投影至少部分交叠。

13、根据权利要求 1 至 12 任一项所述的显示基板，其中，至少一个电路单元还包括沿着像素行方向延伸的第一初始信号线和沿着像素列方向延伸的第一连接线，所述第一初始信号线被配置为向所述像素驱动电路提供第一初始信号，所述第一初始信号线和所述第一连接线连接，形成传输所述第一初始信号的网状连通结构。

14、根据权利要求 13 所述的显示基板，其中，所述第一连接线在显示基板平面上的正投影与所述驱动晶体管的栅电极在显示基板平面上的正投影没有交叠。

15、根据权利要求 13 所述的显示基板，其中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接，所述第一连接线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

16、根据权利要求 1 至 12 任一项所述的显示基板，其中，至少一个电路单元还包括沿着像素行方向延伸的第二初始信号线和沿着像素列方向延伸的第二连接线，所述第二初始信号线被配置为向所述像素驱动电路提供第二初始信号，所述第二初始信号线和所述第二连接线连接，形成传输所述第二初始信号的网状连通结构。

17、根据权利要求 16 所述的显示基板，其中，所述第二连接线在显示基板平面上的正投影与所述驱动晶体管的栅电极在显示基板平面上的正投影没有交叠。

18、根据权利要求 16 所述的显示基板，其中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接，所述第二连接线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

19、根据权利要求 1 至 12 任一项所述的显示基板，其中，至少一个电路单元还包括沿着像素行方向延伸的第三连接线和沿着像素列方向延伸的第二电源线，所述第二电源线和所述第三连接线连接，形成传输第二电源信号的网状连通结构。

20、根据权利要求 19 所述的显示基板，其中，所述第二电源线在显示基板平面上的正投影与所述驱动晶体管的栅电极在显示基板平面上的正投影没有交叠。

21、根据权利要求 19 所述的显示基板，其中，所述像素驱动电路还包括补偿晶体管，所述补偿晶体管的有源层和所述驱动晶体管的有源层通过有源连接线相互连接，所述第二电源线在显示基板平面上的正投影与所述有源连接线在显示基板平面上的正投影至少部分不交叠。

22、根据权利要求 1 至 12 任一项所述的显示基板，其中，所述像素驱动电路还包括存储电容和第一电容；所述存储电容包括第一极板和第二极板，所述第一极板在显示基板平面上的正投影与所述第二极板在显示基板平面上的正投影至少部分交叠，所述第一极板作为所述驱动晶体管的栅电极，所述第二极板与所述第一电源线连接；所述第一电容包括第三极板和第四极板，所述第三极板在显示基板平面上的正投影与所述第四极板在显示基

板平面上的正投影至少部分交叠,所述第三极板分别与所述驱动晶体管的第一极和所述第一发光控制晶体管的第二极连接,所述第四极板与所述第一电源线连接。

- 23、根据权利要求 22 所述的显示基板,其中,在垂直于显示基板的方向上,所述显示基板至少包括在基底上沿着远离基底方向依次设置的半导体层、第一导电层和第二导电层,所述第三极板设置在所述半导体层中,所述第一极板设置在所述第一导电层中,所述第二极板和所述第四极板设置在所述第二导电层中。
- 5

24、一种显示装置,包括如权利要求 1 至 23 任一项所述的显示基板。

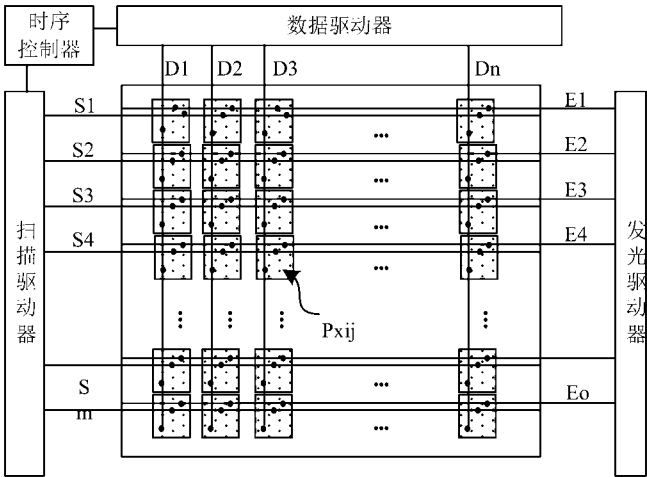


图1

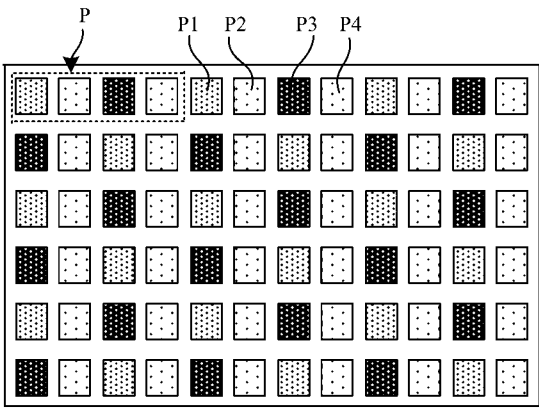


图2

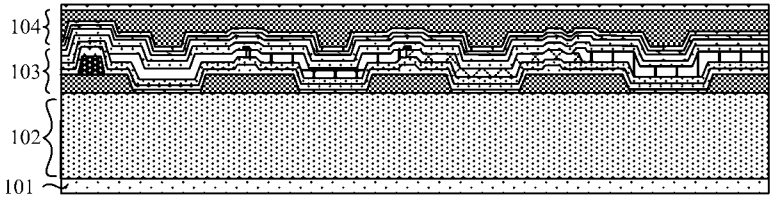


图3

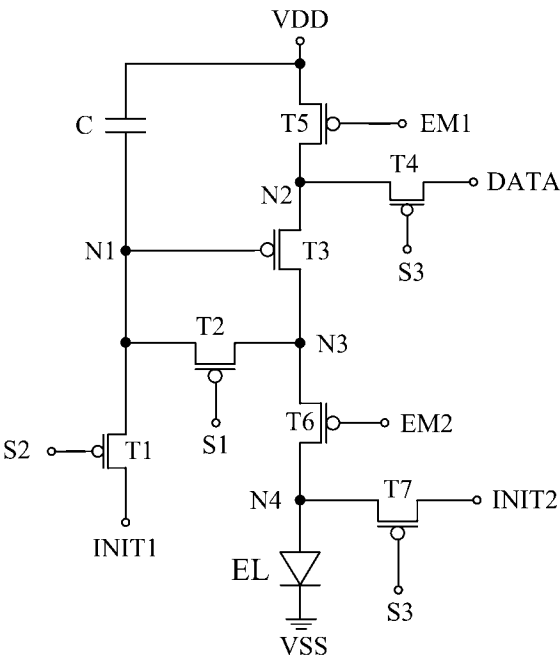


图4

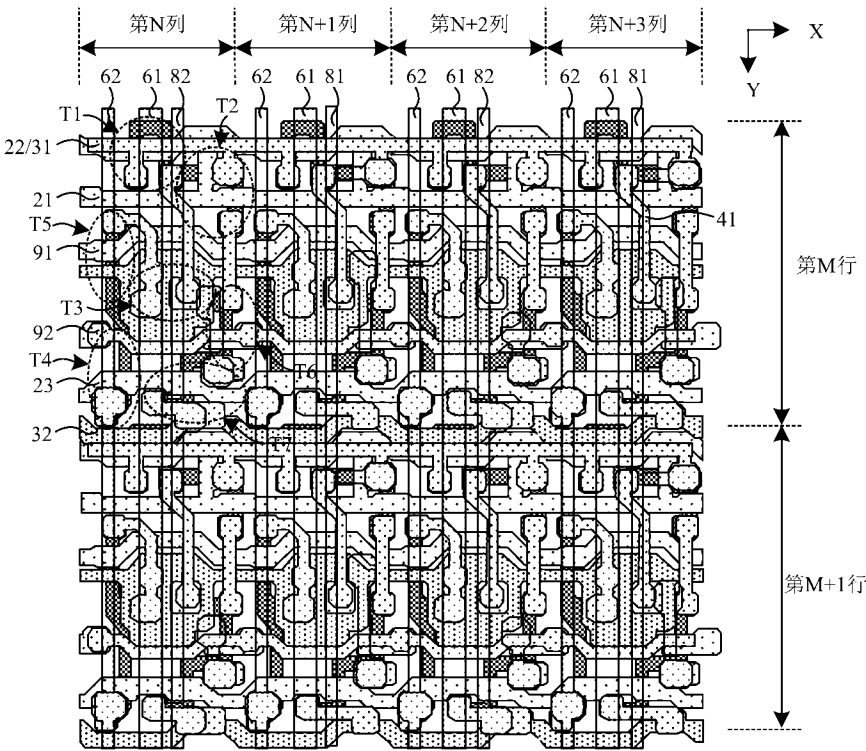


图5

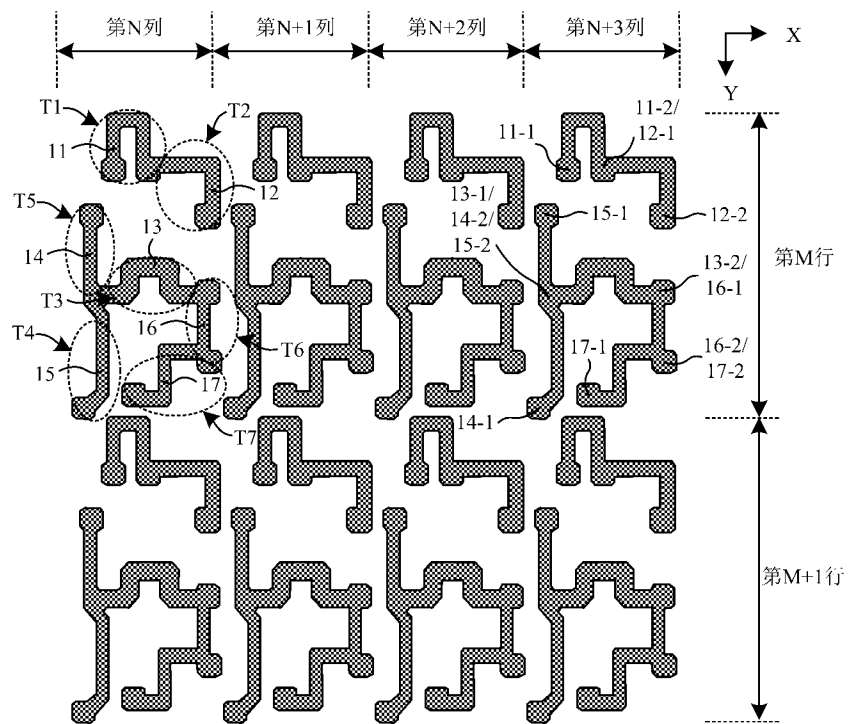


图6

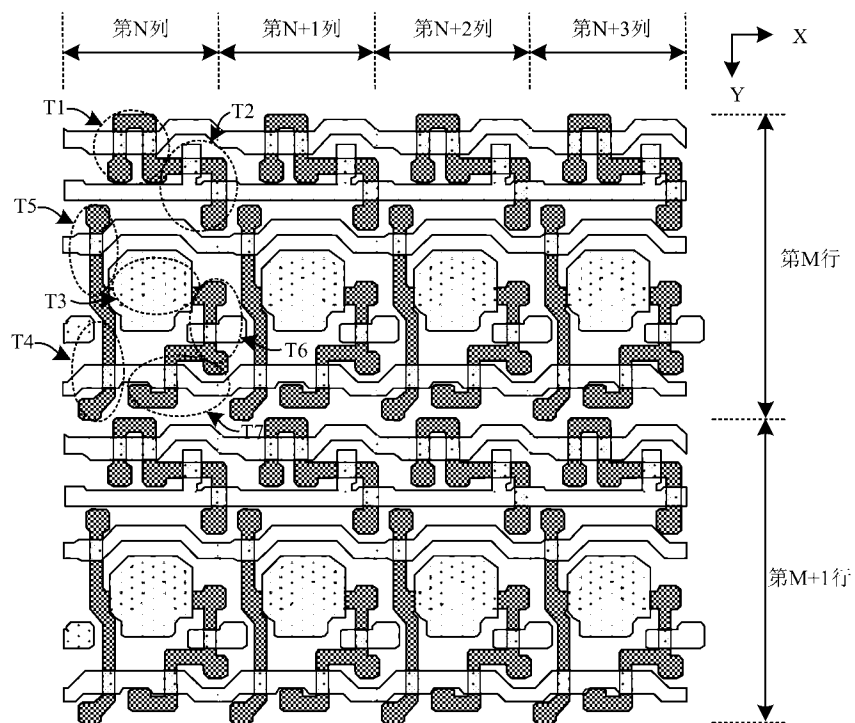


图7A

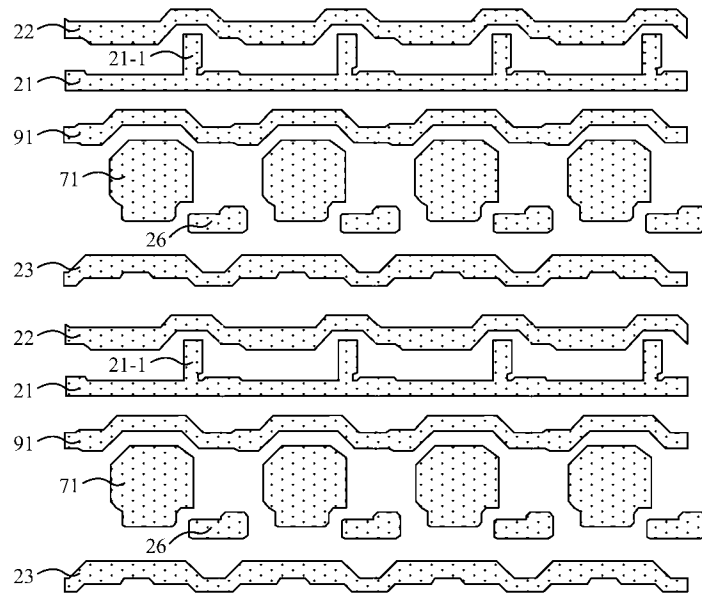


图7B

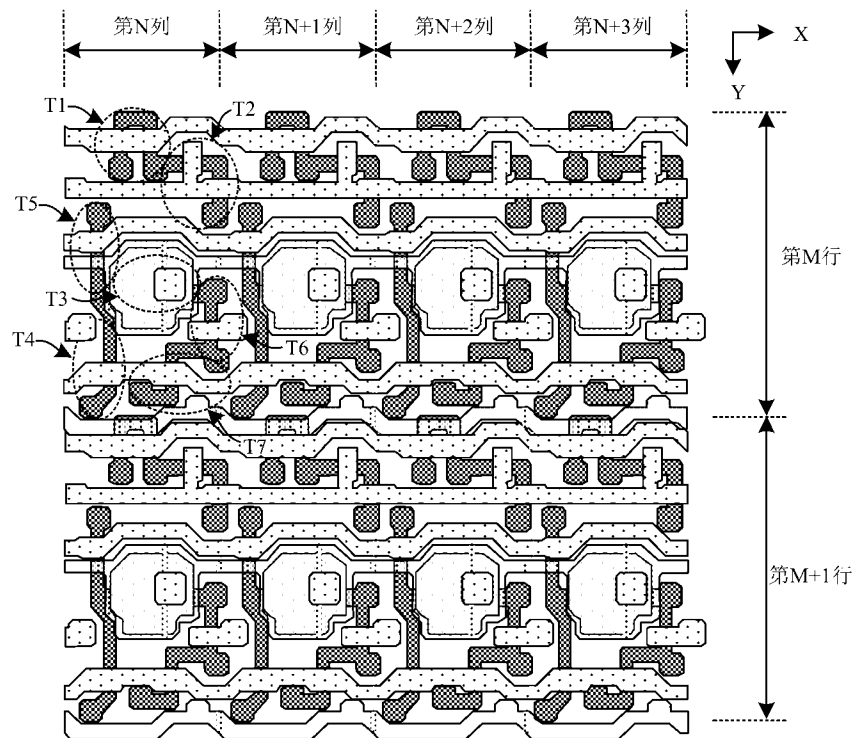


图8A

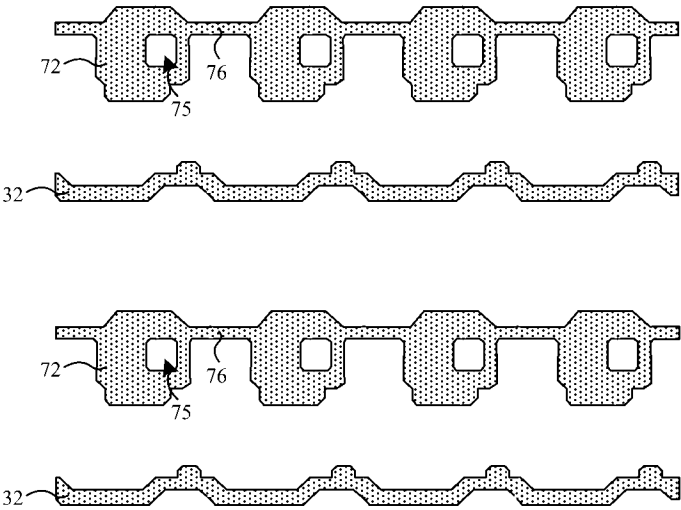


图8B

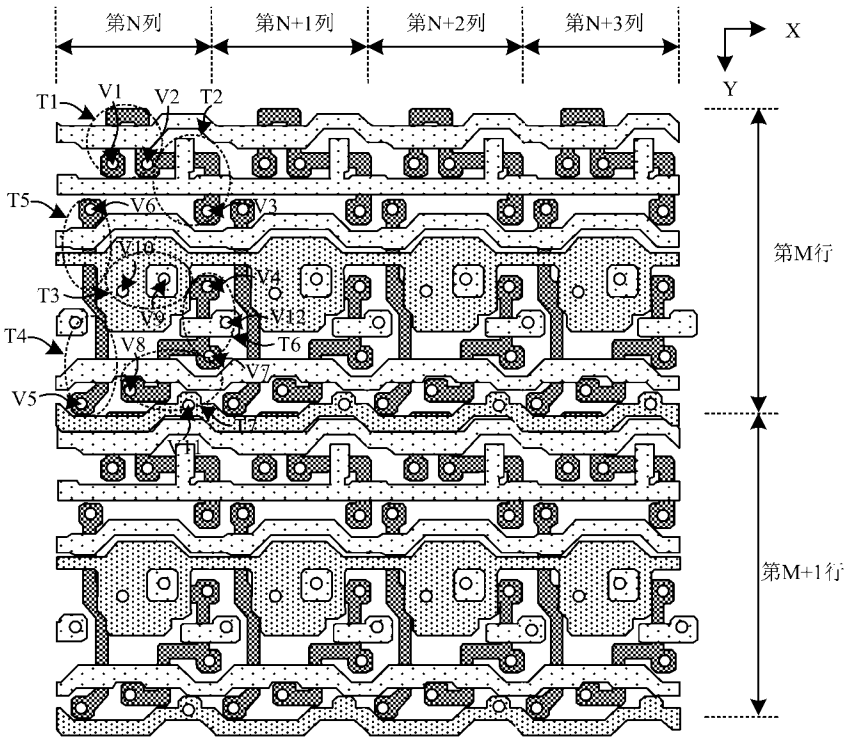


图9

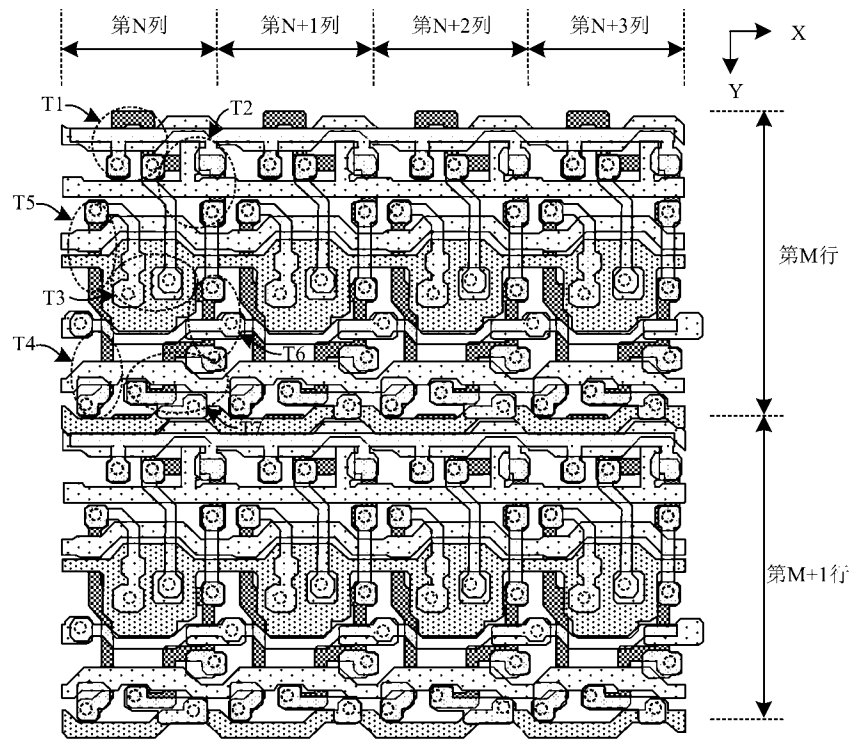


图10A

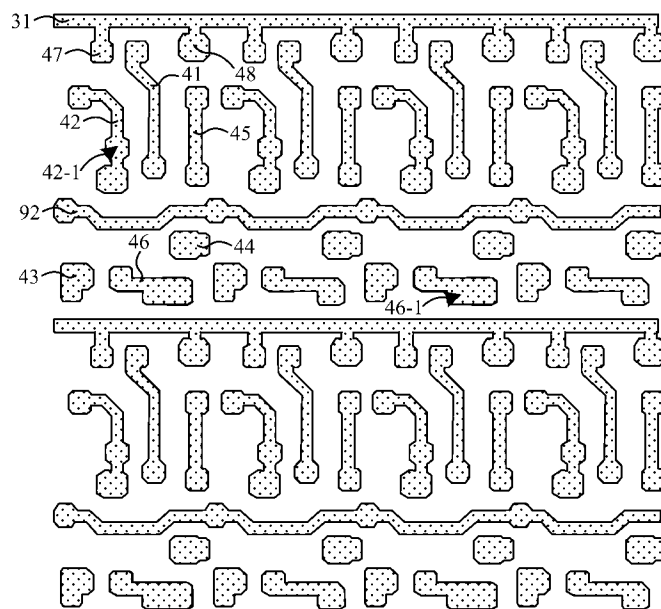


图10B

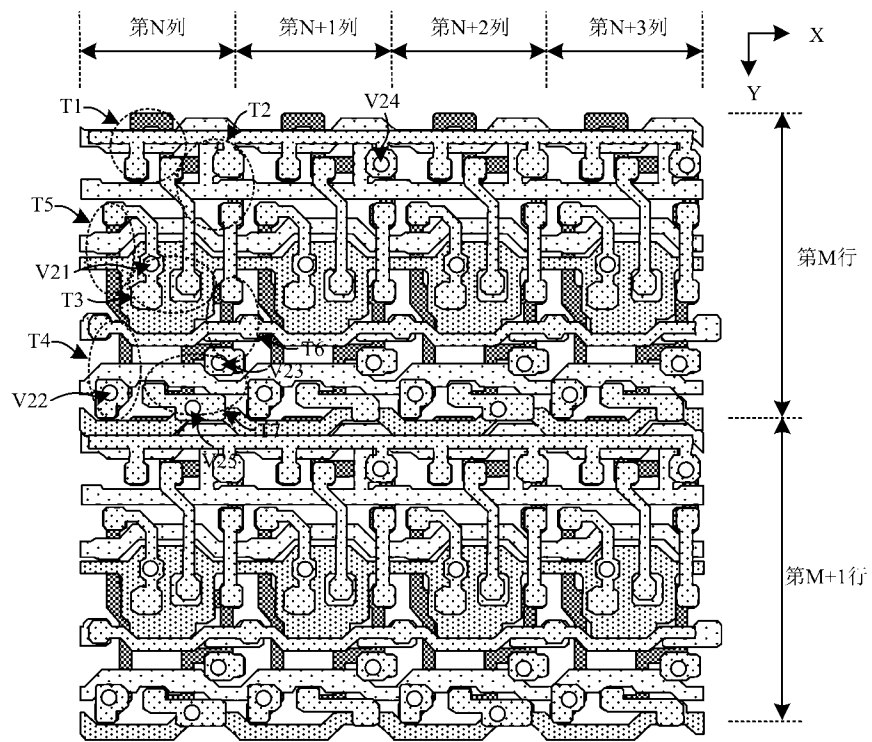


图11

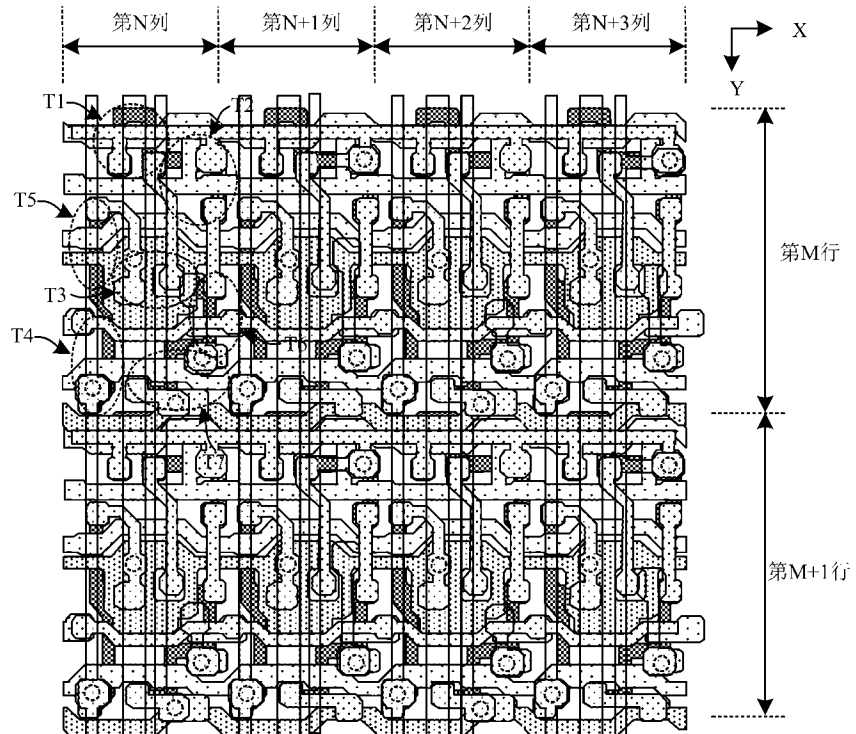


图12A

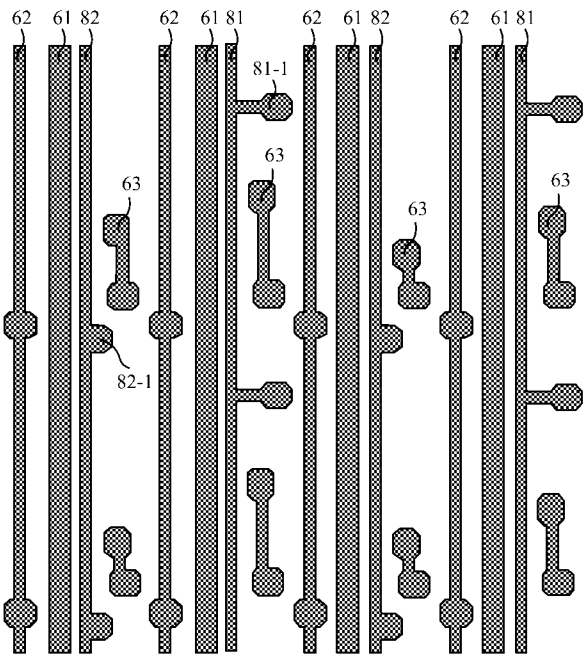


图12B

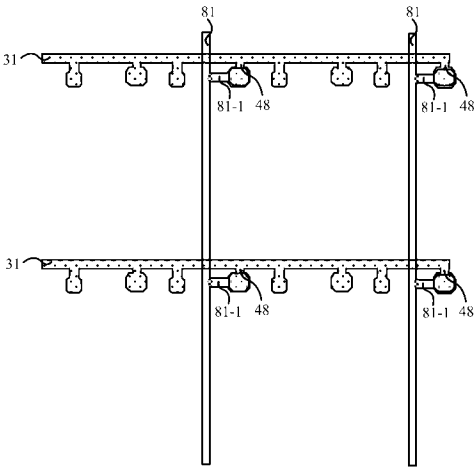


图12C

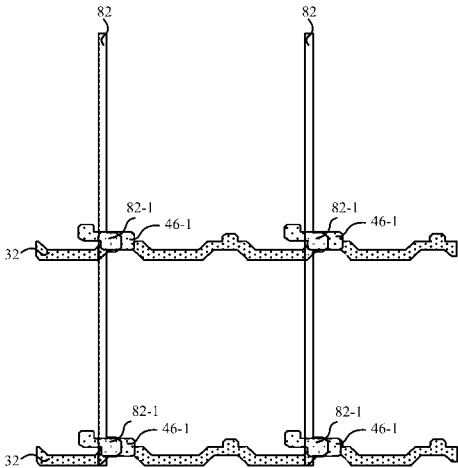


图12D

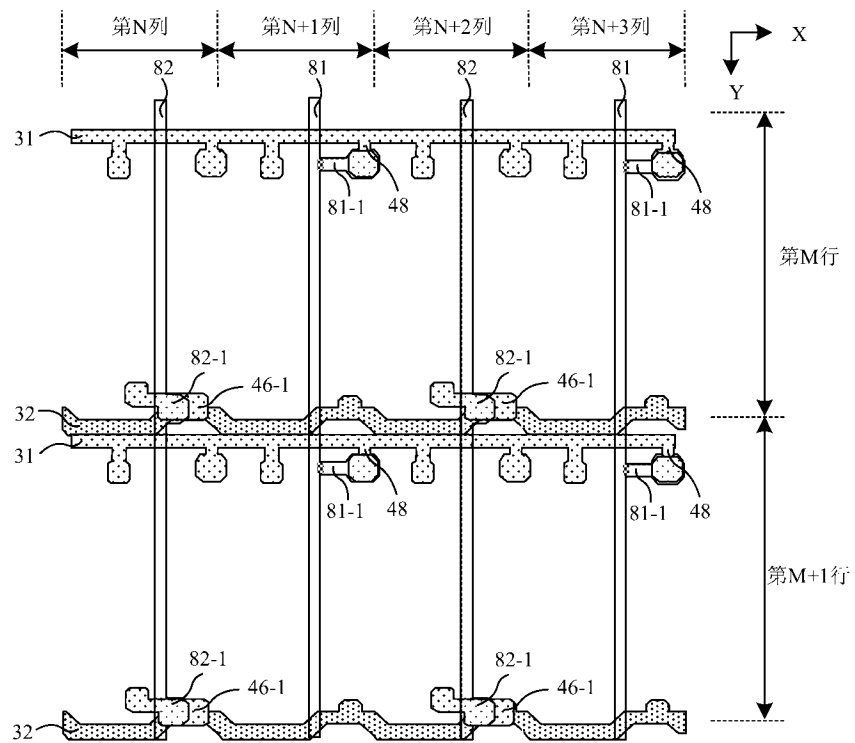


图12E

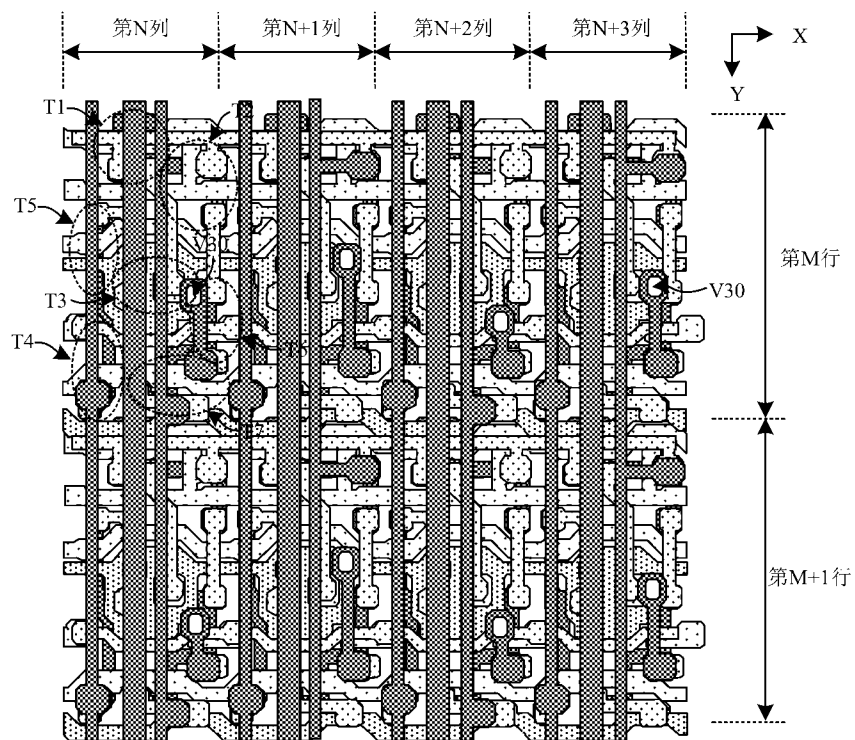


图13

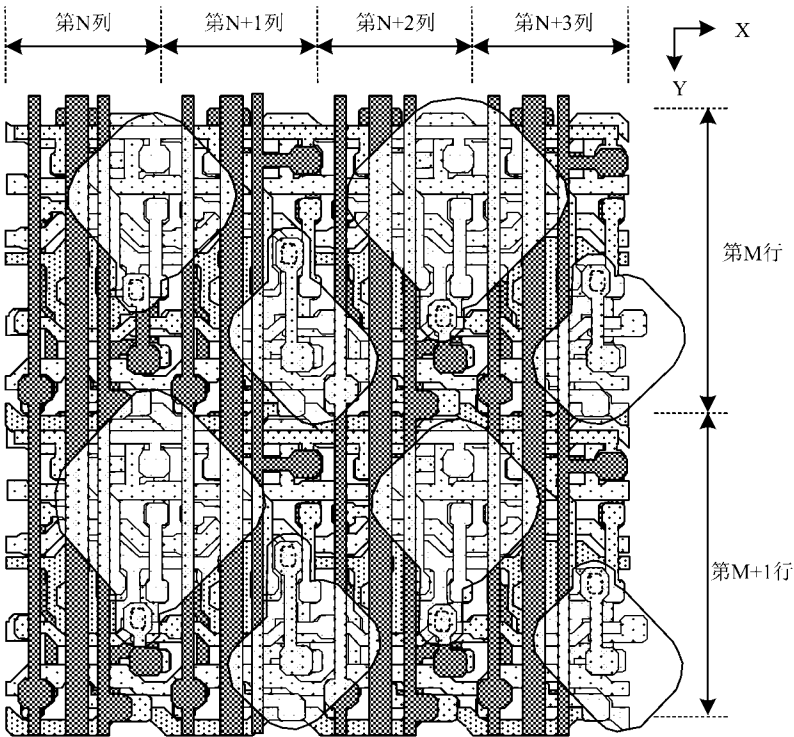


图14A

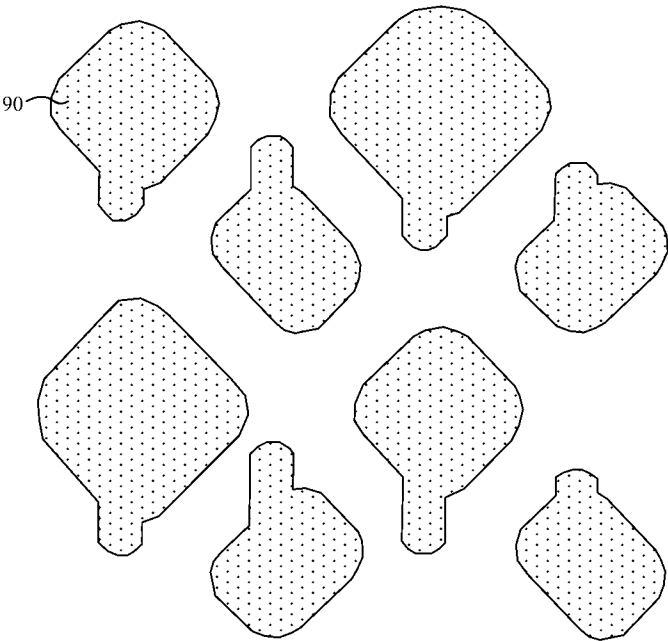


图14B

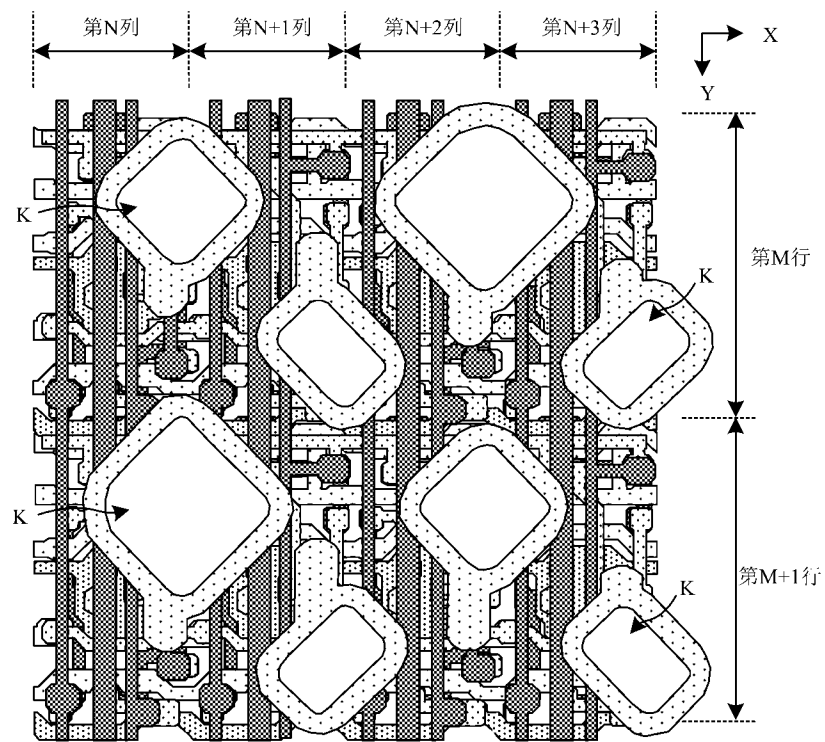


图15

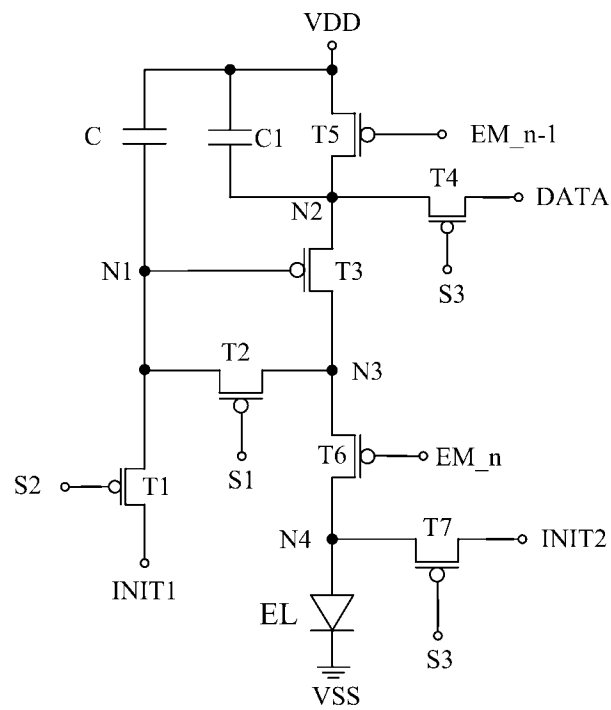


图16

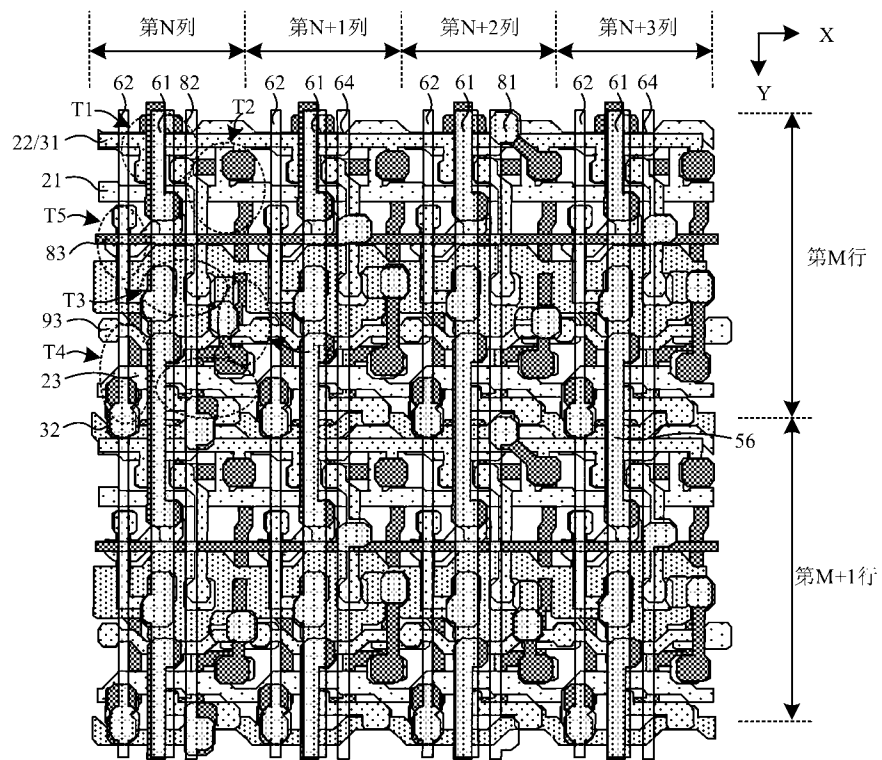


图17

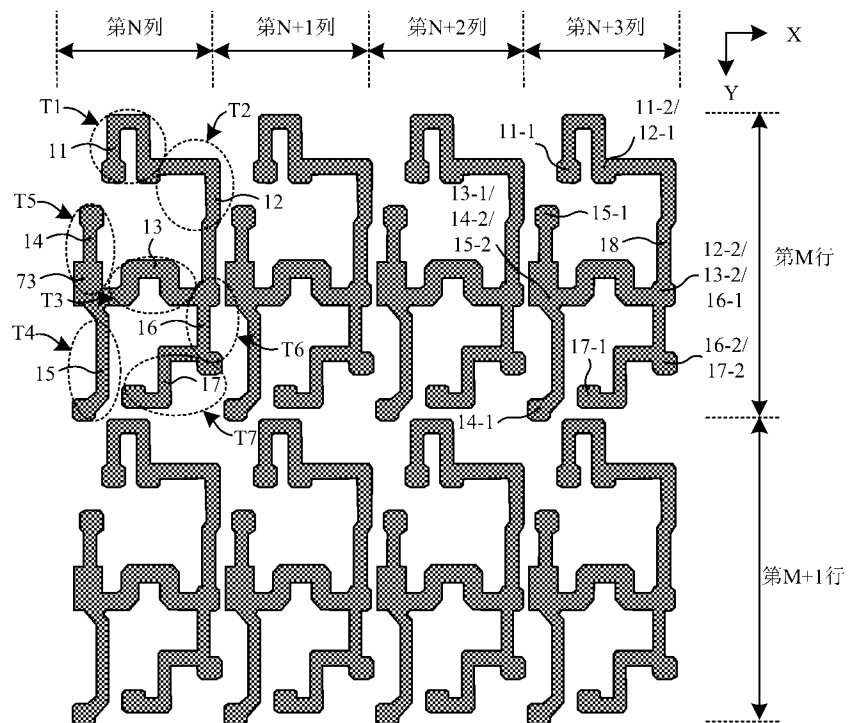


图18

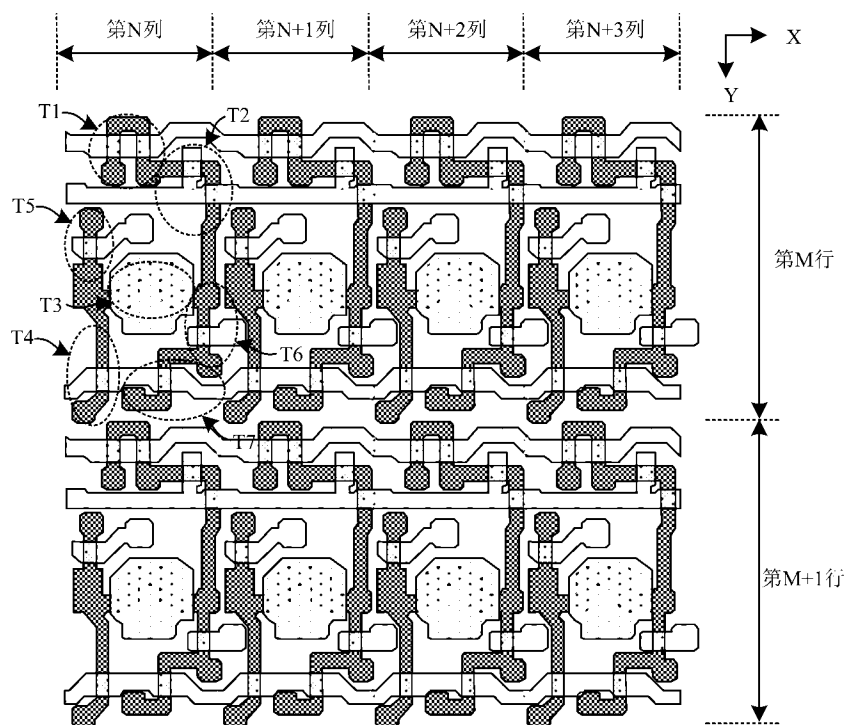


图19A

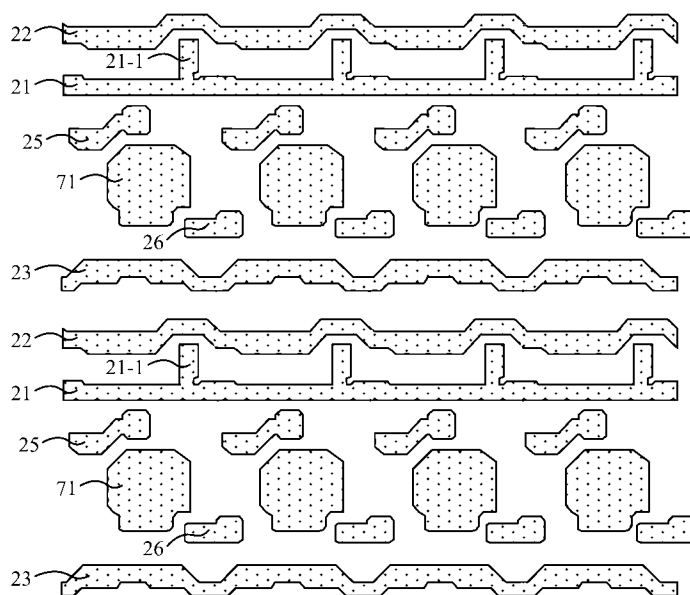


图19B

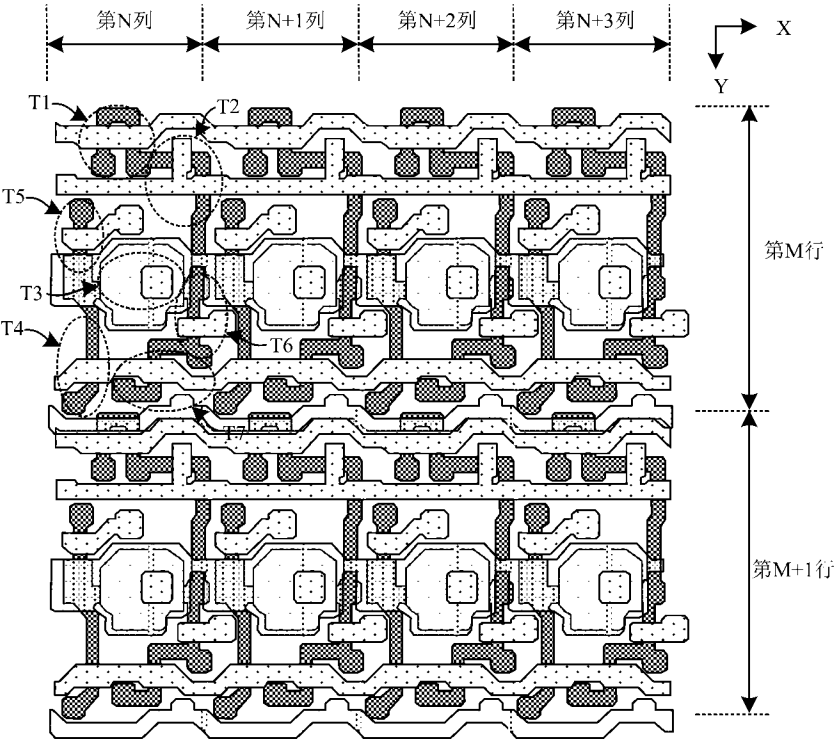


图20A

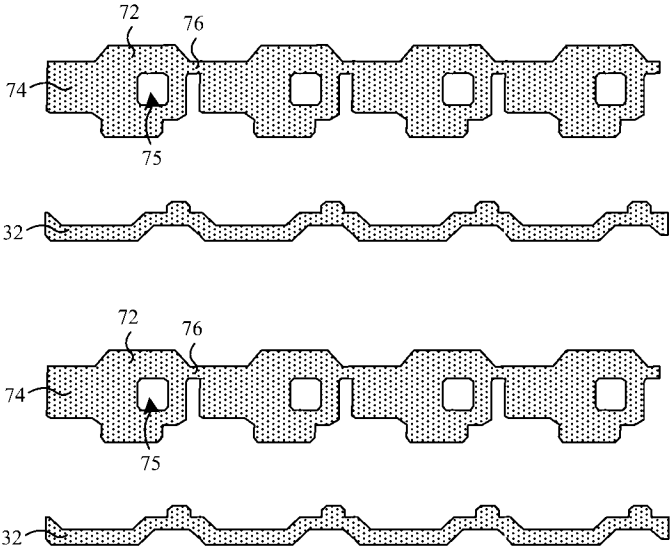


图20B

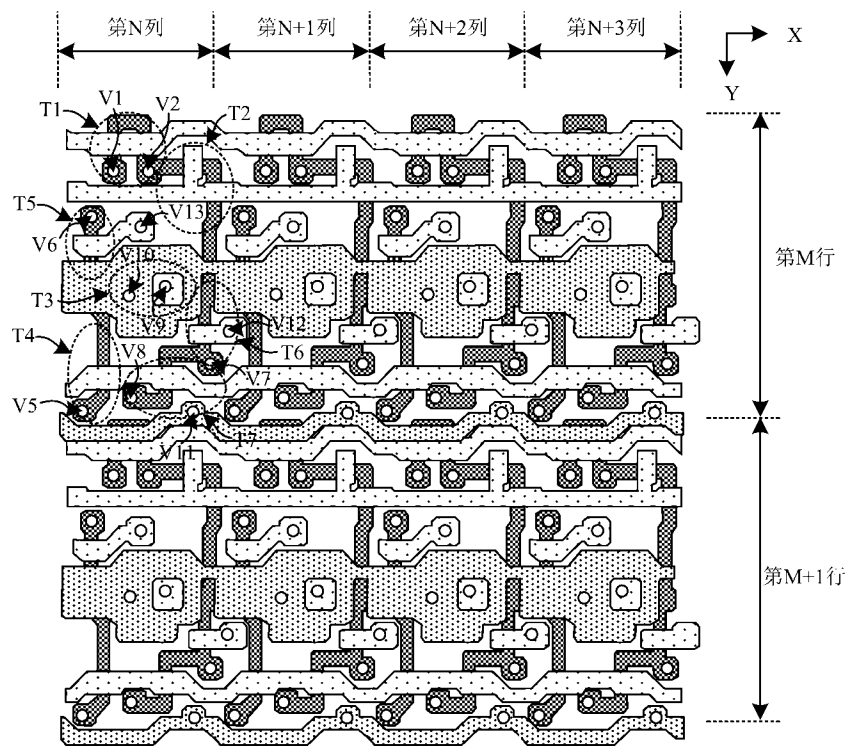


图21

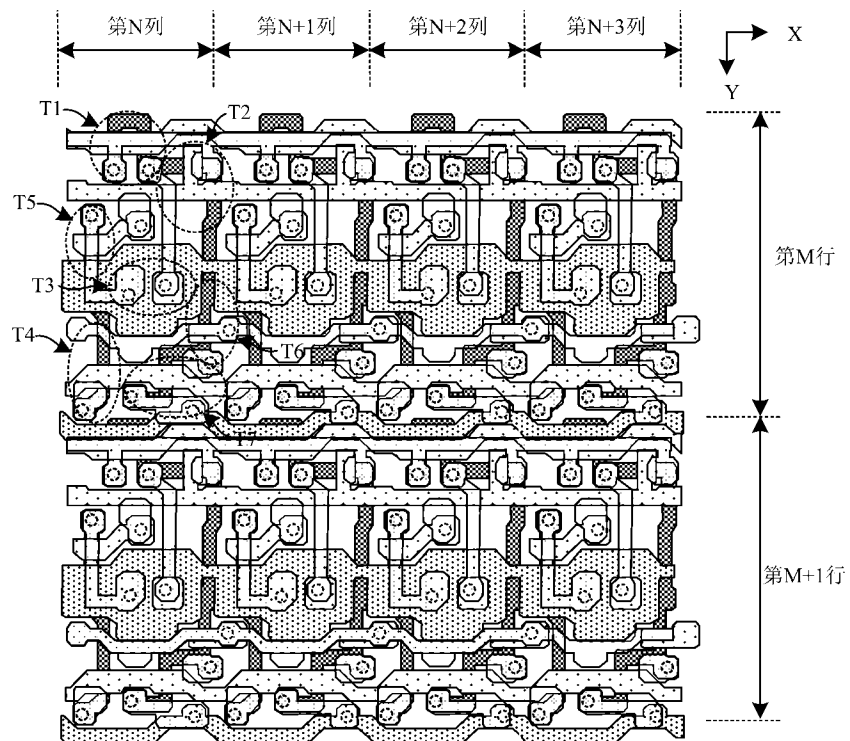


图22A

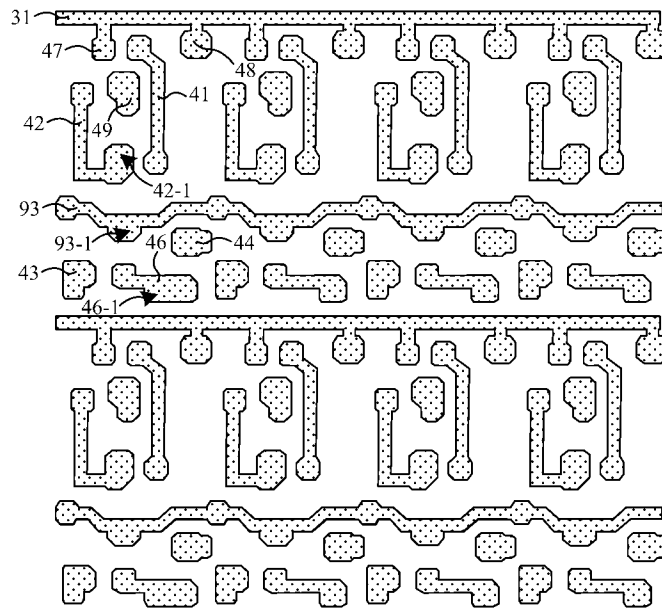


图22B

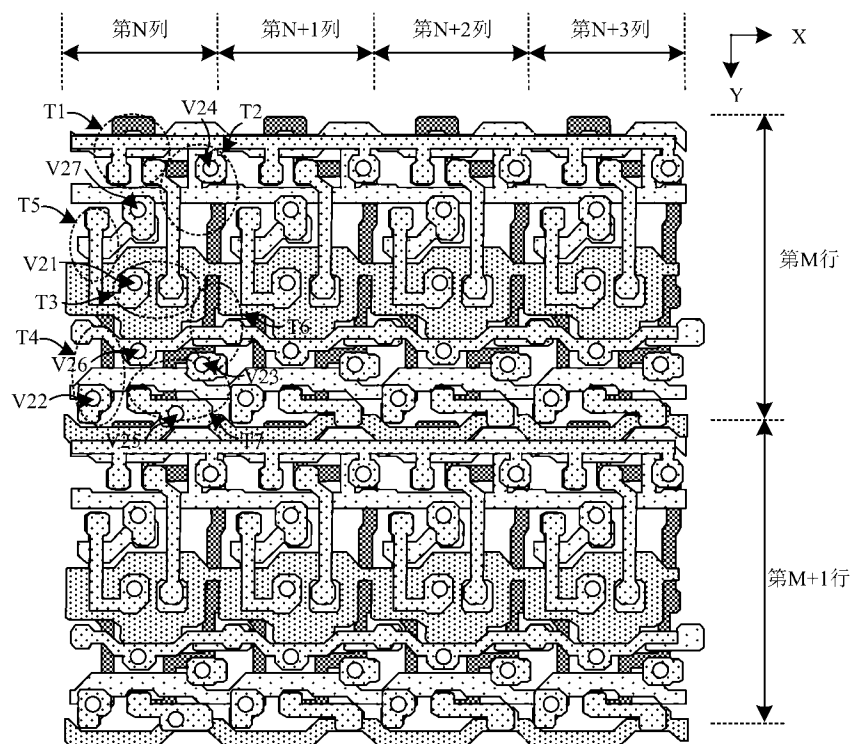


图23

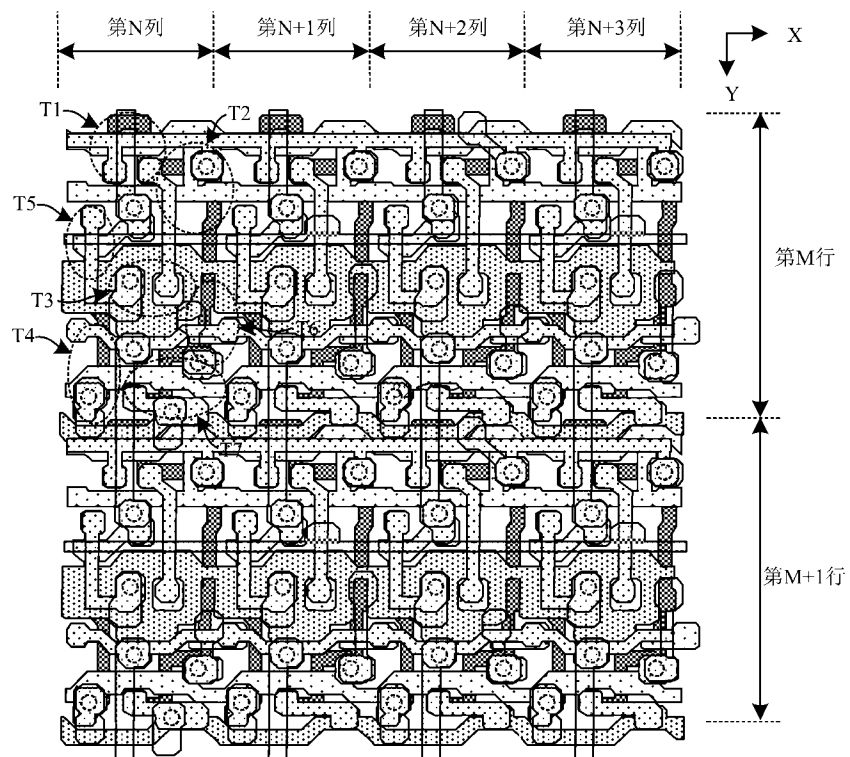


图24A

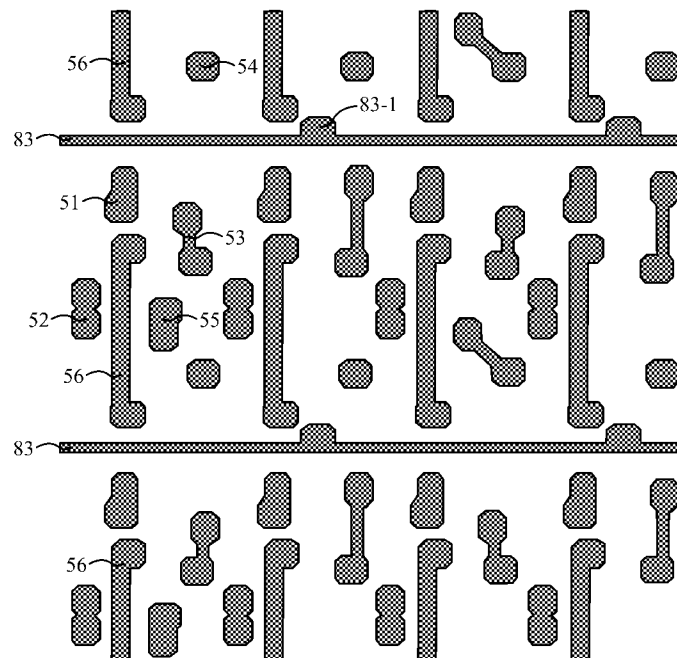


图24B

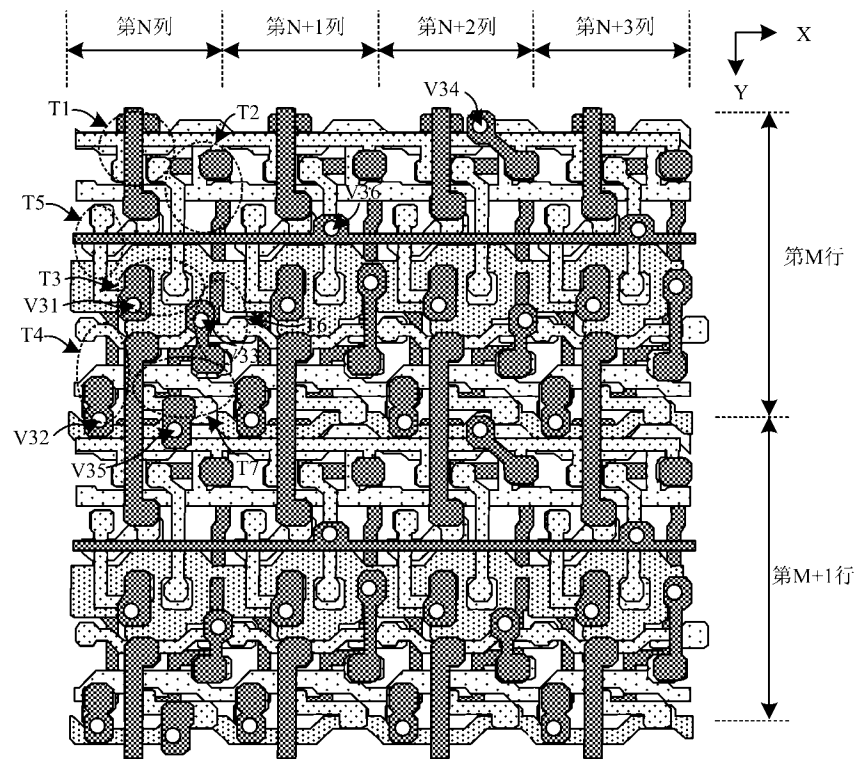


图25

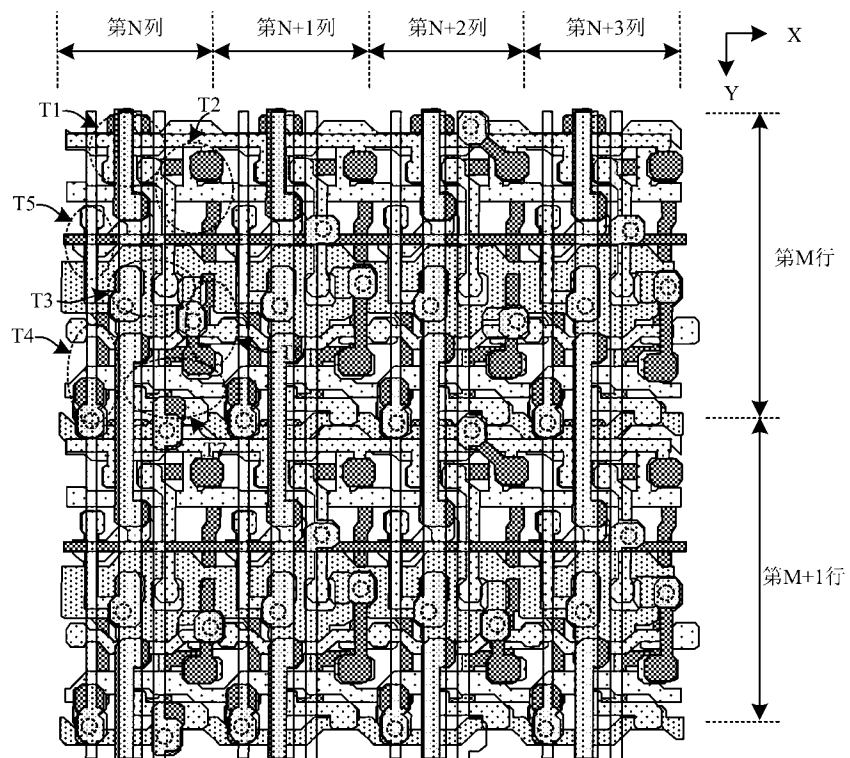


图26A

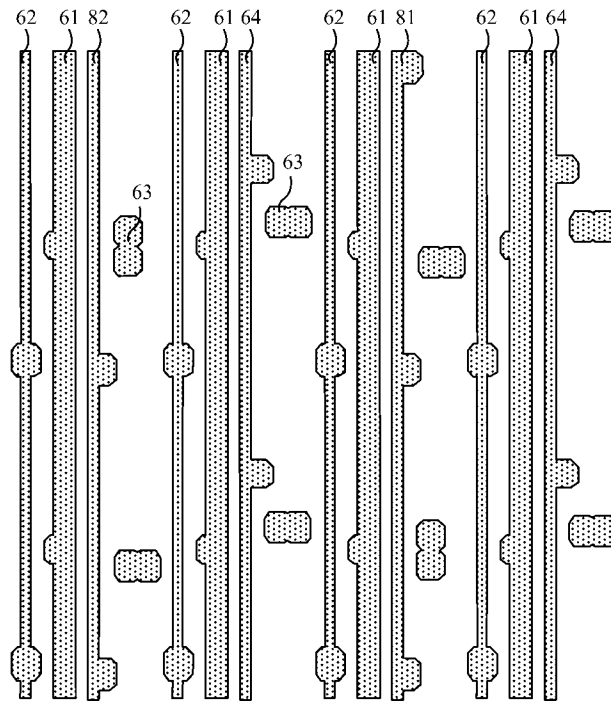


图26B

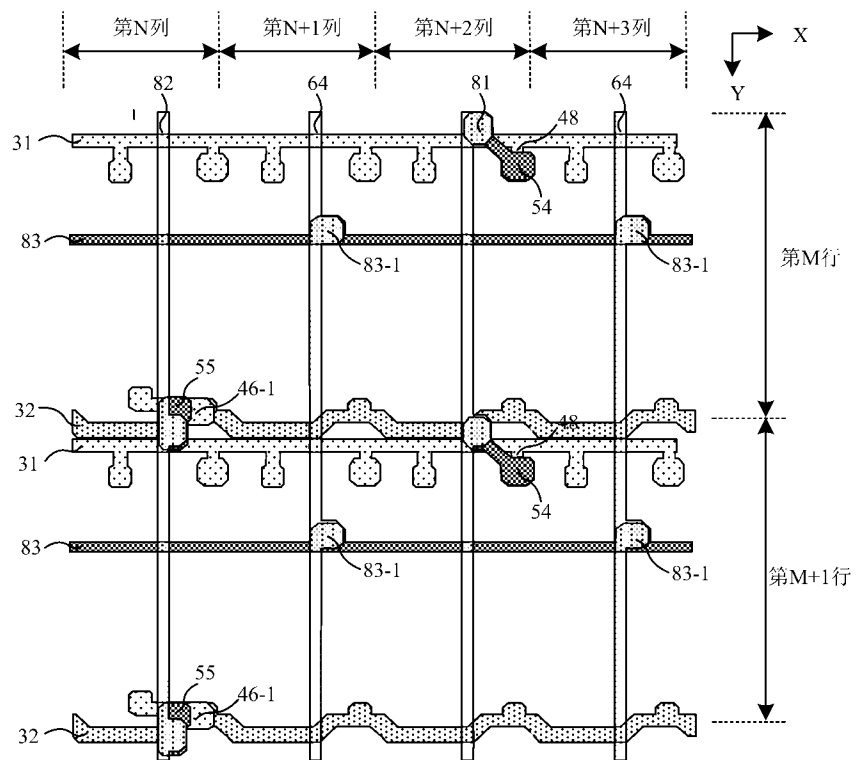


图26C

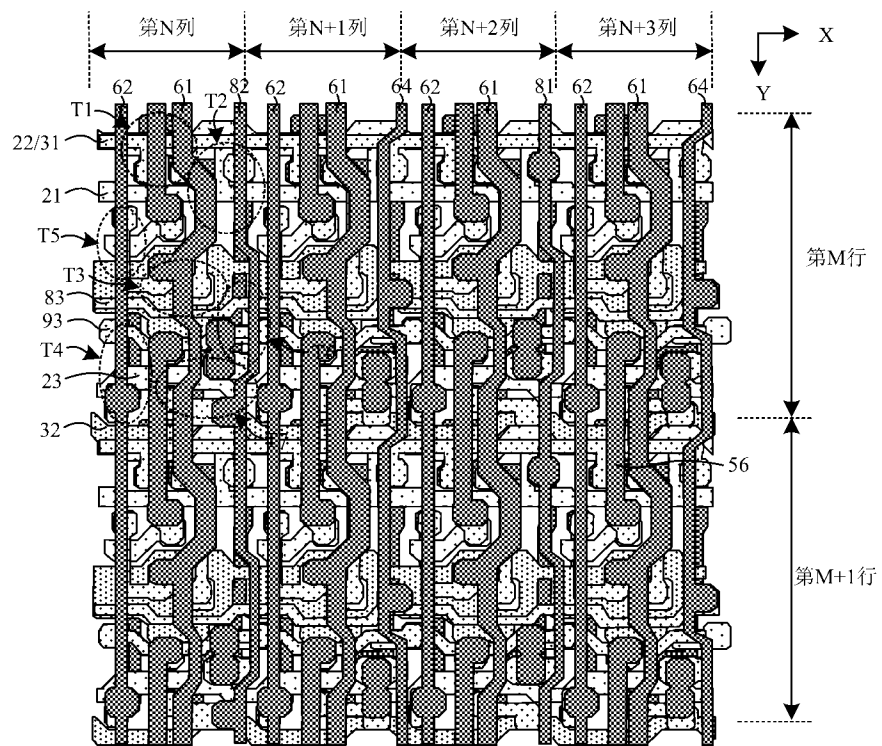


图27

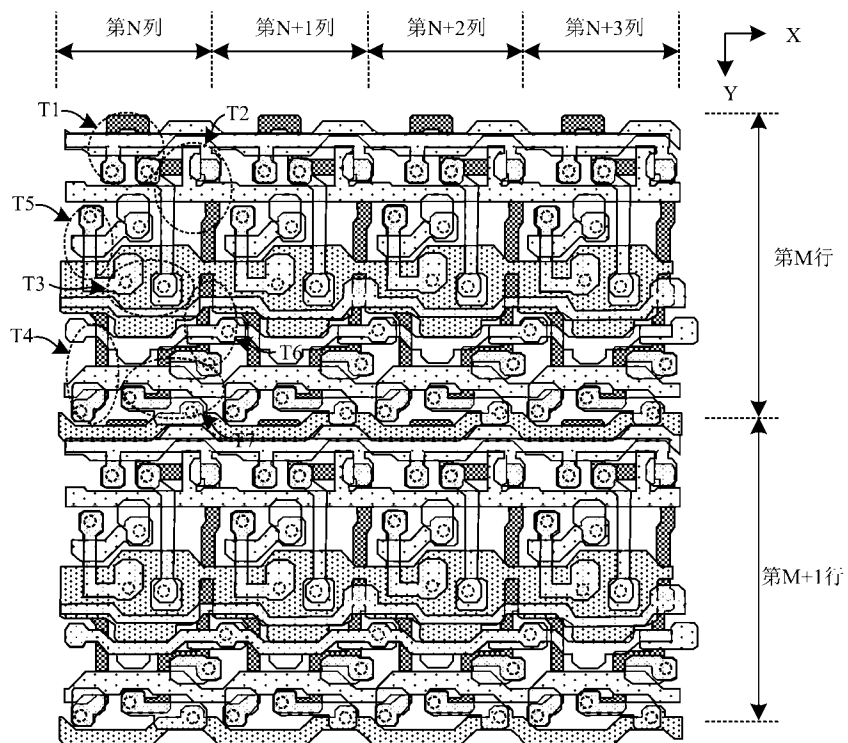


图28A

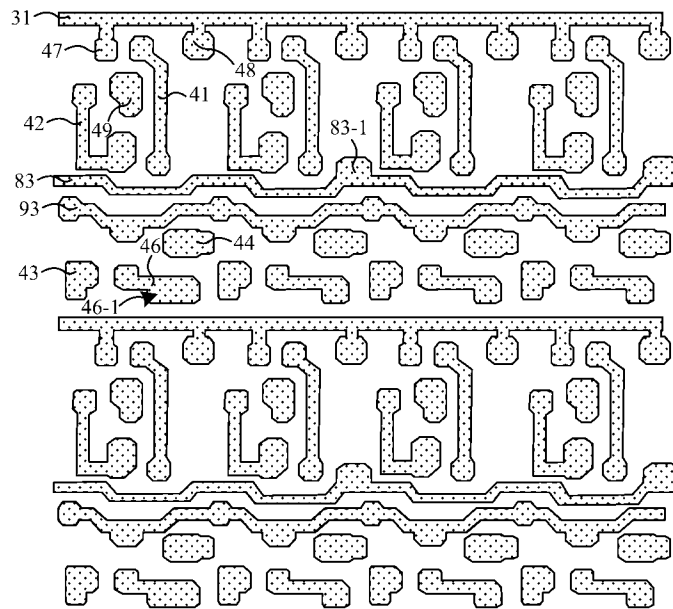


图28B

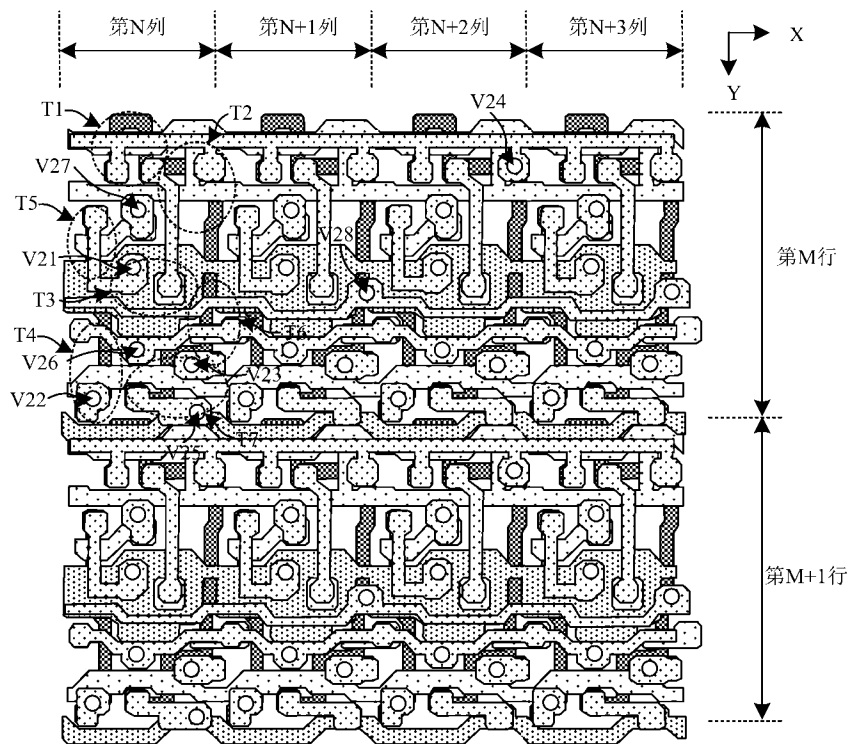


图29

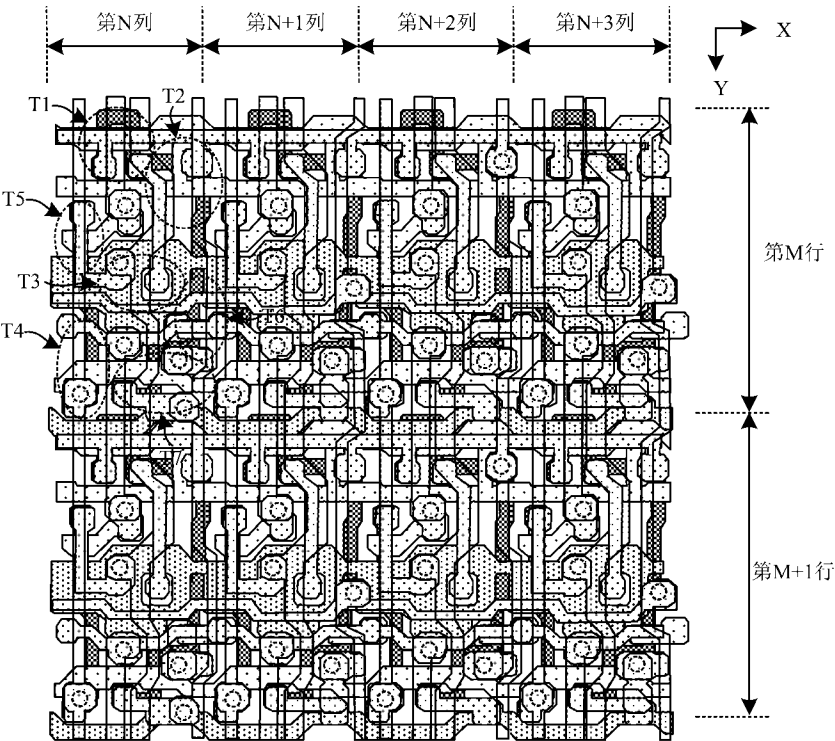


图30A

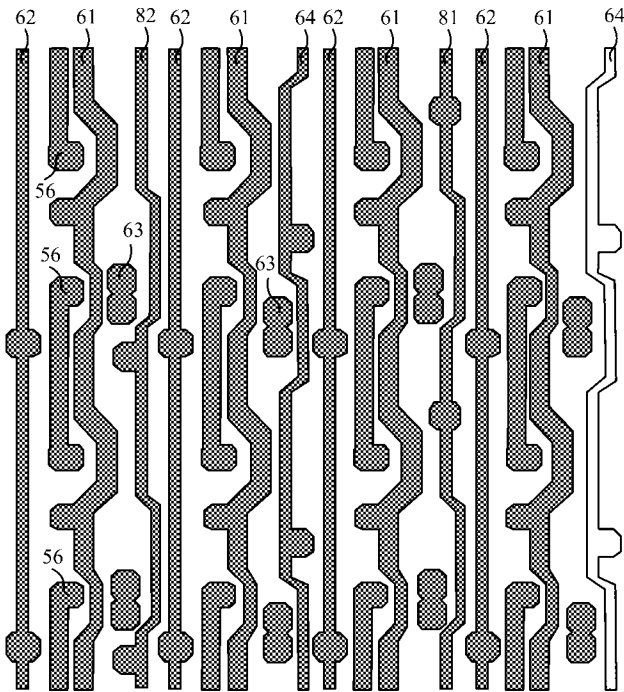


图30B

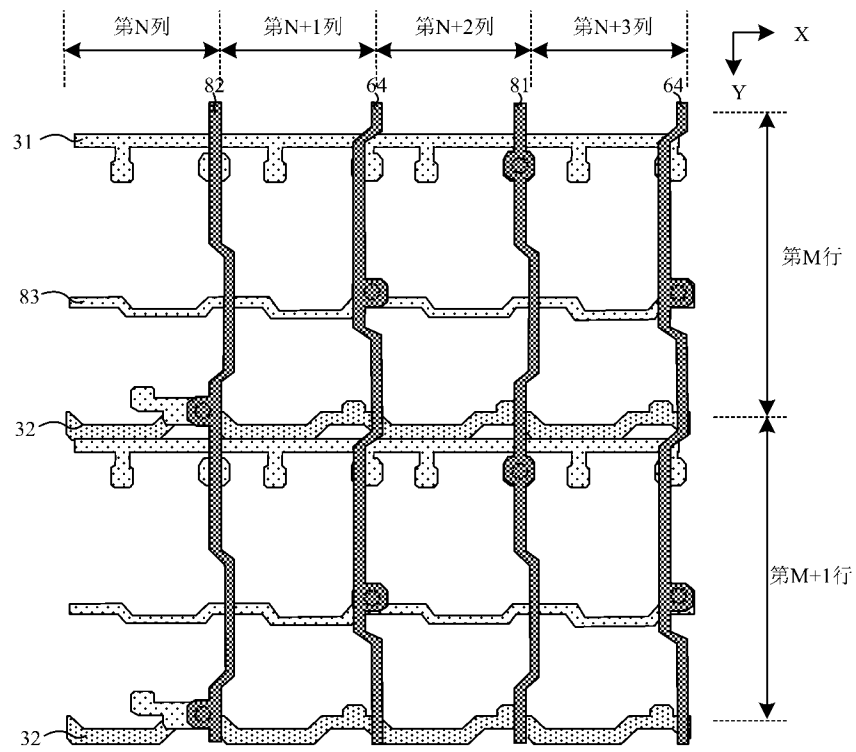


图30C

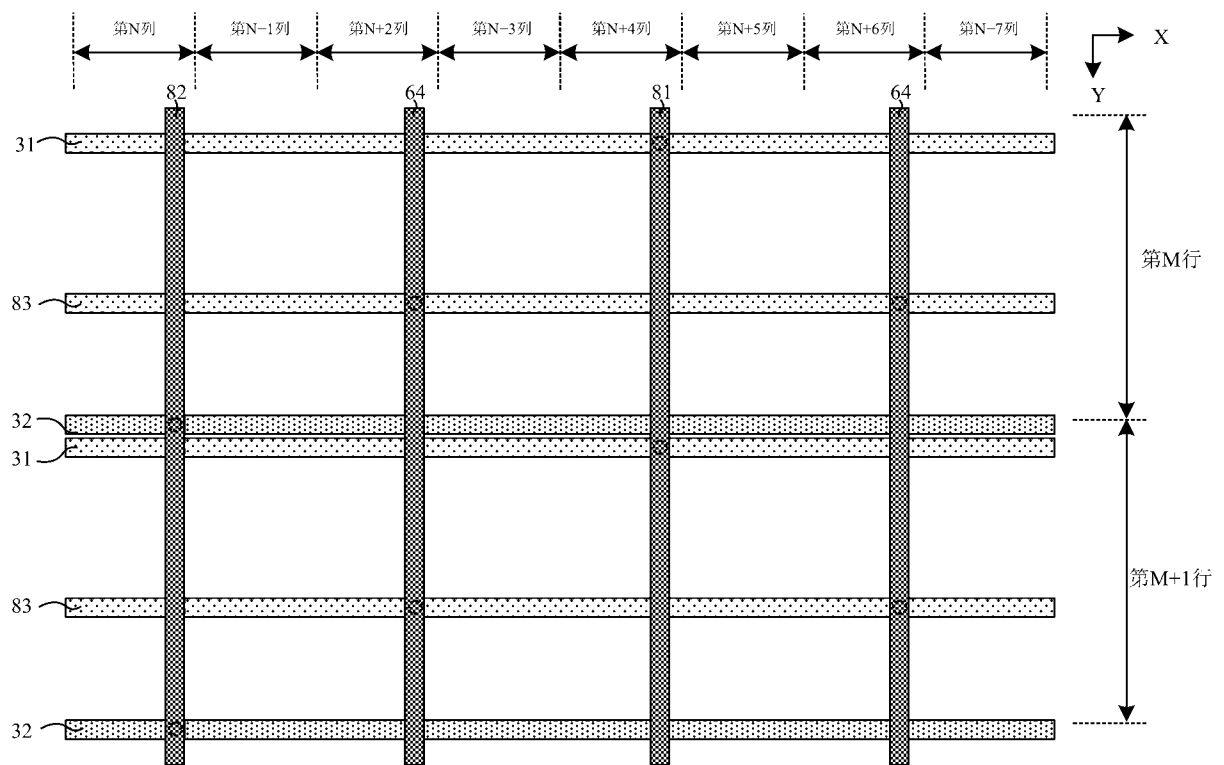


图30D

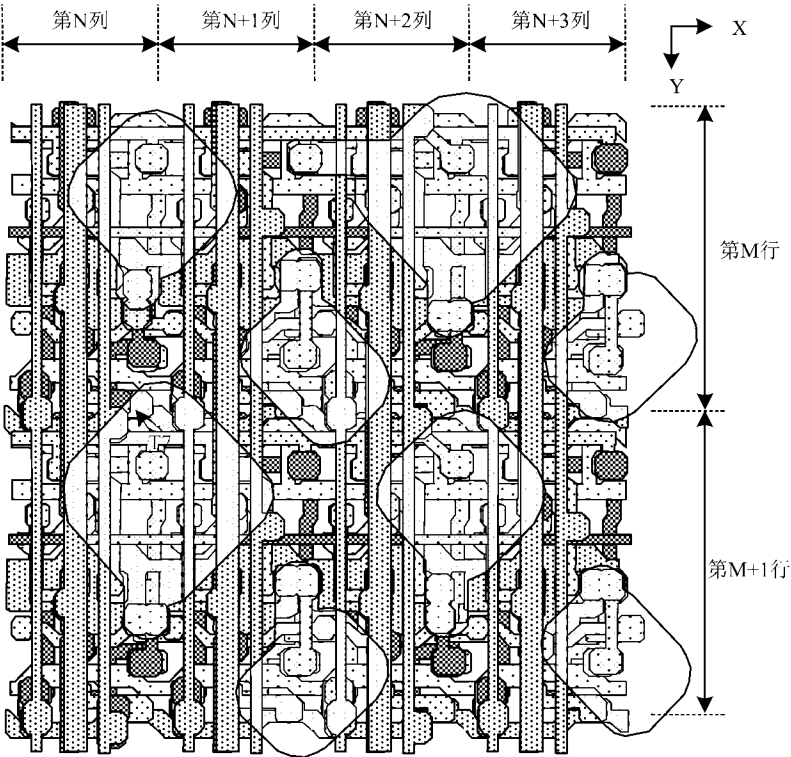


图31A

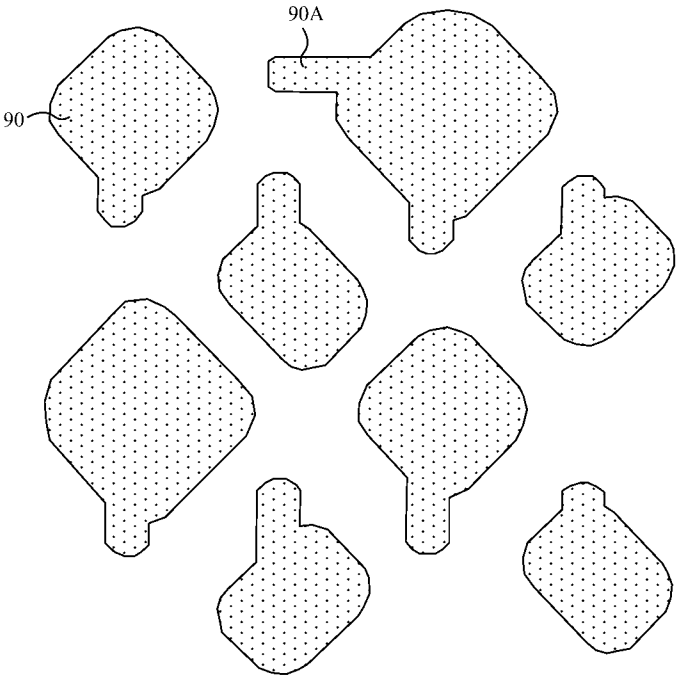


图31B

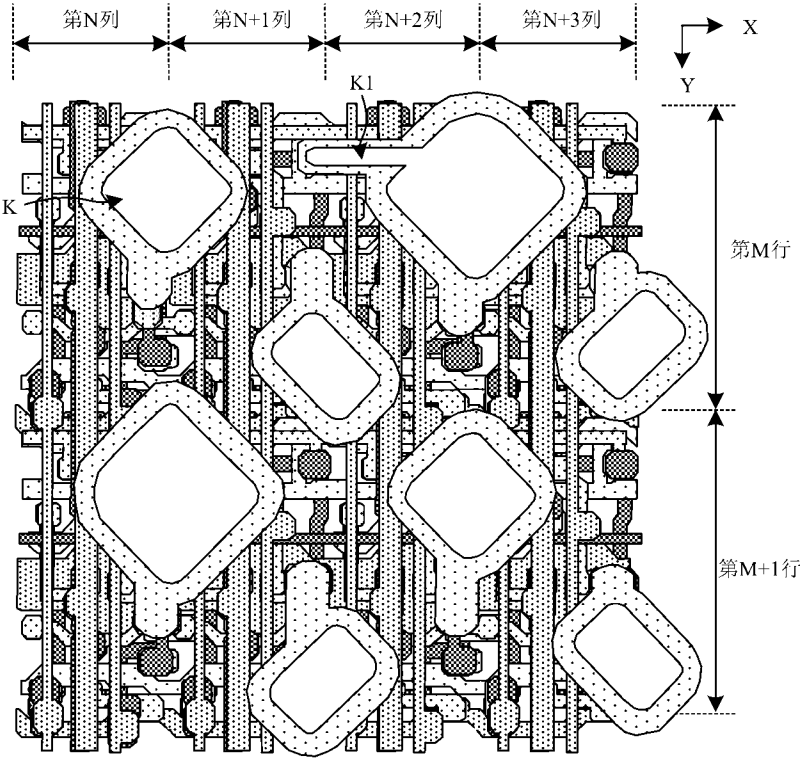


图32

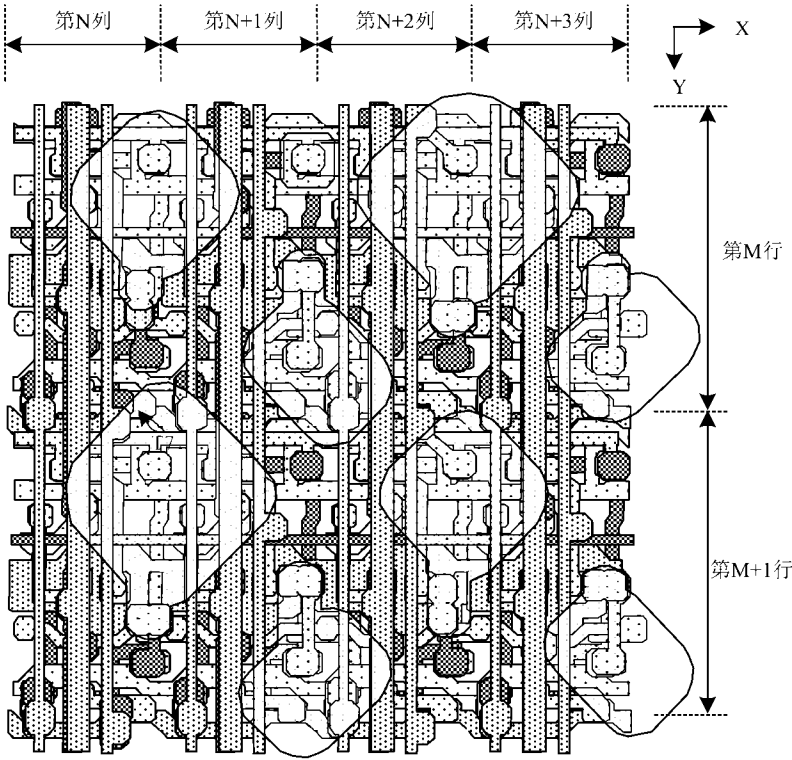


图33A

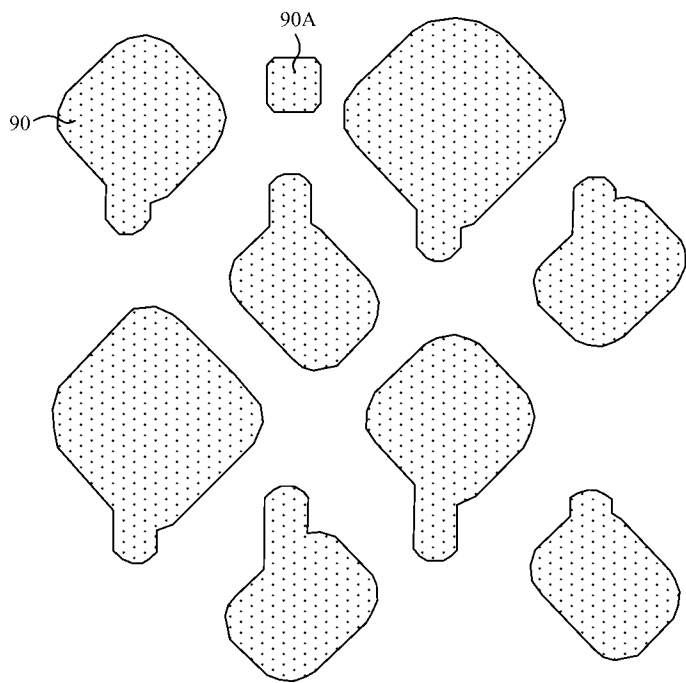


图33B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/121688

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3208(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 第二电容, 电容, 基板, 连接电极, 连接线, 列, 行, 信号线, 控制信号, 发光控制, 网, EM, EM1, EM2, two, layer, connect+, net, metal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 11612972 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 May 2023 (2023-05-16) description, paragraphs [0094]-[0249], and figures 1-25	1-12, 24
Y	CN 11612972 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 May 2023 (2023-05-16) description, paragraphs [0094]-[0249], and figures 1-25	13-24
Y	CN 115191036 A (BOE TECHNOLOGY GROUP CO., LTD.) 14 October 2022 (2022-10-14) description, paragraphs [0088]-[0090]	13-21, 24
Y	US 2016322450 A1 (SAMSUNG DISPLAY CO., LTD.) 03 November 2016 (2016-11-03) description, paragraphs [0058]-[0072], and figure 1	22-24
X	CN 113539176 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 22 October 2021 (2021-10-22) description, paragraphs [0060]-[0176], and figures 1-55	1-12, 24
X	CN 115938276 A (SAMSUNG DISPLAY CO., LTD.) 07 April 2023 (2023-04-07) description, paragraphs [0111]-[0127], and figures 12 and 13	1-12, 24
A	CN 104282266 A (APPLE INC.) 14 January 2015 (2015-01-14) entire document	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 November 2023

Date of mailing of the international search report

05 December 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/121688

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116129792	A	16 May 2023	None			
CN	115191036	A	14 October 2022	None			
US	2016322450	A1	03 November 2016	US	9748323	B2	29 August 2017
CN	113539176	A	22 October 2021	None			
CN	115938276	A	07 April 2023	None			
CN	104282266	A	14 January 2015	None			

A. 主题的分类 G09G3/3208(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT:第二电容, 电容, 基板, 连接电极, 连接线, 列, 行, 信号线, 控制信号, 发光控制, 网, EM, EM1, EM2, two, layer, connect+, net, metal		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 116129792 A (京东方科技集团股份有限公司) 2023年5月16日 (2023 - 05 - 16) 说明书第[0094]-[0249]段, 图1-25	1-12、24
Y	CN 116129792 A (京东方科技集团股份有限公司) 2023年5月16日 (2023 - 05 - 16) 说明书第[0094]-[0249]段, 图1-25	13-24
Y	CN 115191036 A (京东方科技集团股份有限公司) 2022年10月14日 (2022 - 10 - 14) 说明书第[0088]-[0090]段	13-21、24
Y	US 2016322450 A1 (SAMSUNG DISPLAY CO LTD) 2016年11月3日 (2016 - 11 - 03) 说明书第[0058]-[0072]段, 图1	22-24
X	CN 113539176 A (上海天马有机发光显示技术有限公司) 2021年10月22日 (2021 - 10 - 22) 说明书第[0060]-[0176]段, 图1-55	1-12、24
X	CN 115938276 A (三星显示有限公司) 2023年4月7日 (2023 - 04 - 07) 说明书第[0111]-[0127]段, 图12、13	1-12、24
A	CN 104282266 A (苹果公司) 2015年1月14日 (2015 - 01 - 14) 全文	1-24
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年11月7日		国际检索报告邮寄日期 2023年12月5日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 顾健健 电话号码 (+86) 0512-88996613

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/121688

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116129792	A	2023年5月16日	无	
CN	115191036	A	2022年10月14日	无	
US	2016322450	A1	2016年11月3日	US 9748323 B2	2017年8月29日
CN	113539176	A	2021年10月22日	无	
CN	115938276	A	2023年4月7日	无	
CN	104282266	A	2015年1月14日	无	