



(12) 发明专利申请

(10) 申请公布号 CN 113284546 A

(43) 申请公布日 2021.08.20

(21) 申请号 202110144294.5

(22) 申请日 2021.02.02

(30) 优先权数据

2020-016356 2020.02.03 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 长田俊哉 齐藤良和 桥爪毅

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 黄倩

(51) Int.Cl.

G11C 29/08 (2006.01)

G11C 29/42 (2006.01)

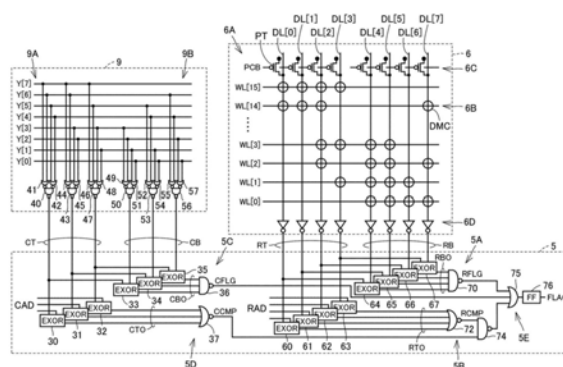
权利要求书4页 说明书46页 附图63页

(54) 发明名称

半导体装置

(57) 摘要

本公开涉及一种半导体装置。该半导体装置包括：以矩阵布置的存储器阵列，与存储器单元行相对应设置的多条字线，用于驱动多条字线中的一条字线的字驱动器，与该字驱动器连接的多条行选择线，以及行解码器，该行解码器用于基于输入行地址信息将行选择信号输出到多条行选择线。根据实施例，半导体装置可以以简单的方法检测地址解码器的故障。



1. 一种半导体装置,包括:

以矩阵布置的存储器单元阵列;

多条字线,与所述存储器单元阵列的所述矩阵的每一行相对应地设置;

字驱动器,被配置为驱动所述多条字线中的一条字线;

多条行选择线,耦合到所述字驱动器;

第一行编码器,耦合到所述多条字线并且被配置为基于所述多条字线的信号电平来生成第一行地址信息;

第二行编码器,耦合到所述多条字线并且被配置为生成与所述第一行地址信息互补的第二行地址信息;以及

第一行判定电路,被配置为基于所述第一行地址信息和所述第二行地址信息之间的比较来输出第一行判定信号。

2. 根据权利要求1所述的半导体装置,还包括:

多条位线,与所述存储器单元阵列的所述矩阵的每一列相对应地设置;

列选择电路,被配置为选择所述多条位线中的一条位线;

多条列选择线,耦合到所述列选择电路;

列解码器,被配置为基于输入列地址信息将列选择信号输出到所述多条列选择线;

第一列编码器,耦合到所述多条列选择线并且被配置为基于所述多条列选择线的信号电平来输出第一列地址信息;

第一列编码器,耦合到所述多条列选择线并且被配置为基于所述多条列选择线的信号电平,来输出与所述第一列地址信息互补的第二列地址信息;和

第一列判定电路,被配置为基于所述第一列地址信息和所述第二列地址信息之间的比较来输出第一列判定信号。

3. 根据权利要求2所述的半导体装置,还包括:

第二行判定电路,被配置为基于输入行地址信息和所述第一行地址信息之间的比较来输出第二行判定信号;和

第二列判定电路,被配置为基于所述输入行地址信息和所述第一列地址信息之间的比较来输出第二列判定信号。

4. 根据权利要求2所述的半导体装置,还包括:

输出行地址信息生成电路,被配置为基于所述第一列判定信号和所述第一行地址信息来生成输出行地址信息;和

输出列地址信息生成电路,被配置为基于所述第一行判定信号和所述第一列地址信息来生成输出列地址信息。

5. 根据权利要求2所述的半导体装置,还包括:

比较结果判定电路,被配置为基于所述第一行判定信号和所述第一列判定信号来生成比较结果信号;

输出行地址信息生成电路,被配置为基于所述比较结果信号和所述第一行地址信息来生成输出行地址信息;以及

输出列地址信息生成电路,被配置为基于所述比较结果信号和所述第一列地址信息来输出一输出列地址信息。

6. 根据权利要求4所述的半导体装置,还包括地址比较电路,所述地址比较电路被配置为比较输入地址信息和输出地址信息,

其中所述输入地址信息包括所述输入行地址信息和所述输入列地址信息,并且

其中所述输出地址信息包括所述输出行地址信息和所述输出列地址信息。

7. 根据权利要求1所述的半导体装置,还包括:第一测试电路,所述第一测试电路被配置为在测试状态时将第一测试模式信号输出到所述第一行编码器和所述第二行编码器。

8. 根据权利要求2所述的半导体装置,还包括第二测试电路,所述第二测试电路被配置为在测试状态时将第二测试模式信号输出到所述第一列编码器和所述第二列编码器。

9. 一种半导体装置,包括:

以矩阵布置的存储器单元阵列;

多条字线,与所述存储器单元阵列的所述矩阵的每一行相对应地设置;

字驱动器,被配置为驱动所述多条字线的一条字线;

多条行选择线,耦合到所述字驱动器;

行解码器,被配置为基于输入行地址信息,将行选择信号输出到所述多条行选择线;

第一数据线;

第二数据线;

多个第一晶体管,在所述第一数据线和固定电位线之间并且与每条字线相对应地设置;

多个第二晶体管,在所述第二数据线和所述固定电位线之间并且与每条字线相对应地设置;

第一电流镜电路,被配置为利用第一电流驱动所述第一数据线;

第二电流镜电路,被配置为利用第二电流驱动所述第二数据线;以及

第一判定电路,被配置为基于所述第一数据线的信号和所述第二数据线的信号来输出第一判定信号,

其中所述多个第一晶体管和所述多个第二晶体管被配置为根据所述多条字线的信号电平而处于导通状态。

10. 根据权利要求9所述的半导体装置,还包括:

多条位线,与所述存储器单元阵列的所述矩阵的每一列相对应地设置;

列选择电路,被配置为选择所述多条位线中的一条位线;

多条列选择线,耦合到所述列选择电路;

列解码器,被配置为基于输入列地址信息,将列选择信号输出到所述多条列选择线;

第三数据线;

第四数据线;

多个第三晶体管,在所述第三数据线与所述固定电位线之间并且与每条列选择线相对应地设置;

多个第四晶体管,在所述第四数据线与所述固定电位线之间并且与每条列选择线相对应地设置;

第三电流镜电路,被配置为利用所述第一电流驱动所述第三数据线;

第四电流镜电路,被配置为利用所述第二电流驱动所述第四数据线;以及

第二判定电路,被配置为基于所述第三数据线的信号和所述第四数据线的信号来输出第二判定信号,

其中所述第三多个晶体管和所述多个第四晶体管被配置为根据所述多条列选择线的信号电平而处于导通状态。

11.根据权利要求10所述的半导体装置,还包括合成电路,所述合成电路被配置为基于所述第一判定信号和所述第二判定信号来输出比较结果。

12.根据权利要求10所述的半导体装置,还包括:

虚设字线,

第一虚设晶体管,在所述第一数据线和所述固定电位线之间并且与所述虚设字线相对地设置;和

第二虚设晶体管,在所述第二数据线和所述固定电位线之间并且与所述虚设字线相对地设置,

其中所述第一虚设晶体管和所述第二虚设晶体管被配置为基于在测试状态时所述虚设字线的信号电平而处于导通状态。

13.根据权利要求11所述的半导体装置,还包括:

虚设列选择线;

第三虚设晶体管,在所述第三数据线和所述固定电位线之间并且与所述虚设列选择线相对地设置;以及

第四虚设晶体管,在所述第四数据线和所述固定电位线之间并且与所述虚设列选择线相对地设置,

其中所述第三虚设晶体管和所述第四虚设晶体管被配置为基于在测试状态时所述虚设列选择线的信号电平而处于导通状态。

14.一种半导体装置,包括:

以矩阵布置的存储器单元阵列;

多条字线,与所述存储器单元阵列的所述矩阵的每一行相对地设置;

字驱动器,被配置为驱动所述多条字线中的一条字线;

多条行选择线,耦合到所述字驱动器;

行解码器,被配置为基于输入行地址信息,将行选择信号输出到所述多条行选择线;

第一参考电压生成电路,被配置为生成第一参考电压;

第二参考电压生成电路,被配置为生成第二参考电压;

第一数据线;

多个第一晶体管,在所述第一数据线和固定电位线之间并且与每条字线相对地设置;

第一感测放大器,被配置为基于所述第一数据线与所述第一参考电压之间的电压比较来输出第一比较信号;

第二感测放大器,被配置为基于所述第一数据线与所述第二参考电压之间的电压比较来输出第二比较信号;以及

第一判定电路,被配置为基于所述第一比较信号和所述第二比较信号来输出第一判定结果,

其中所述多个第一晶体管和第二晶体管被配置为根据所述多条字线的信号电平而处于导通状态。

15. 根据权利要求14所述的半导体装置, 还包括:

多条位线, 与所述存储器单元阵列的所述矩阵的每一列相对应地设置;

列选择电路, 被配置为选择所述多条位线中的一条位线;

多条列选择线, 耦合到所述列选择电路;

列解码器, 被配置为基于输入列地址信息, 将列选择信号输出到所述多条列选择线;

第三参考电压生成电路, 被配置为生成第三参考电压;

第四参考电压生成电路, 被配置为生成第四参考电压;

第二数据线;

多个第二晶体管, 在所述第二数据线和所述固定电位线之间并且与每条字线相对应地设置;

第三感测放大器, 被配置为基于所述第二数据线与所述第三参考电压之间的电压比较来输出第三比较信号;

第四感测放大器, 被配置为基于所述第二数据线与所述第四参考电压之间的电压比较来输出第四比较信号; 以及

第二判定电路, 被配置为基于所述第三比较信号和所述第四比较信号中的信号来输出第二判定信号,

其中所述多个第二晶体管被配置为根据所述多条列选择线的信号电平而处于导通状态。

16. 根据权利要求15所述的半导体装置, 还包括合成电路, 所述合成电路被配置为基于所述第一判定结果和所述第二判定结果来输出判定信号。

半导体装置

[0001] 相关申请的交叉引用

[0002] 2020年2月3日提交的日本专利申请No.2020-016356的公开内容,其内容(包括说明书、附图和摘要)通过整体引用并入本文。

技术领域

[0003] 本公开内容尤其涉及地址解码器的故障检测。

背景技术

[0004] 近来,存在诸如由于地址解码器的故障而导致字线未被激活或者一次选择多条字线的麻烦。在这种情况下,由于一些不正常的数据被读出,因此通过使用ECC(错误校正码)电路来检测故障是已知的。

[0005] 然而,尽管ECC电路能够进行针对1位检测、2位检测等的故障检测,但是存在以下问题:对于全部未知的数据的检测能力很低。在这方面,已提出一种方法,通过多次读取数据来提高检测准确度。然而,这存在以下问题:需要多次读取数据的复杂工作。

[0006] 在此方面,存在下面的公开技术。

[0007] [专利文献1]日本未审查专利申请公开No.2016-184189。

发明内容

[0008] 本公开提供一种半导体装置,能够以简单的方式检测地址解码器的故障。通过说明书和附图的描述,其他问题和新颖特征将变得明显。

[0009] 根据一个实施例,半导体装置包括:以矩阵布置的存储器阵列;与存储器单元行相对应设置的多条字线;用于驱动多条字线中的一条字线的字驱动器;与该字驱动器连接的多条行选择线;以及行解码器,用于基于输入行地址信息将行选择信号输出到多条行选择线。该半导体装置包括:第一行编码器,其连接到多条字线并基于多条字线的信号电平来生成第一行地址信息;第二行编码器,其连接到多条字线并基于多条字线的信号电平来生成与第一行地址信息互补的第二行地址信息。该半导体装置包括:第一行判定电路,用于通过比较第一行地址信息和第二行地址信息,基于比较结果来输出第一行判定信号。

[0010] 根据一个实施例,半导体装置可以以一种简单的方法来检测地址解码器的故障。

附图说明

[0011] 图1是图示根据第一实施例的半导体装置1的概要的图;

[0012] 图2是图示根据第一实施例的存储器阵列2及其外围电路的图;

[0013] 图3是图示第一实施例的检测电路5、行编码器6和列编码器9的电路配置的图;

[0014] 图4是图示根据第一实施例的虚设单元DMC的配置的图;

[0015] 图5是图示字线WL的选择与待被编码的第一行地址信息RT和第二行地址信息RB之间的关系的图;

[0016] 图6是图示待被编码的第一列地址信息CT和第二列地址信息CB与列选择线Y的选择之间的关系图；

[0017] 图7是图示根据第一实施例的行解码器4和列解码器10的异常的图；

[0018] 图8是图示根据第一实施例的半导体装置1的操作的时序图的第一部分；

[0019] 图9是用于说明根据第一实施例的半导体装置1的操作的时序图的第二部分；

[0020] 图10是用于说明根据第一实施例的半导体装置1的操作的时序图的第三部分；

[0021] 图11是用于说明根据第一实施例的半导体装置1的操作的时序图的第四部分；

[0022] 图12是图示根据第一实施例的半导体装置1的操作的时序图的第五部分；

[0023] 图13是用于说明根据第一实施例的半导体装置1的操作的时序图的第六部分；

[0024] 图14是用于说明根据第一实施例的半导体装置1的操作的时序图的第七部分；

[0025] 图15是用于说明根据第二实施例的半导体装置1#的概要的图；

[0026] 图16是图示根据第二实施例的检测电路5P、行编码器6和列编码器9的电路配置的图；

[0027] 图17是图示根据第二实施例的行解码器4和列解码器10的异常的图；

[0028] 图18是说明根据第二实施例的半导体装置1#的操作的时序图的第一部分；

[0029] 图19是用于说明根据第二实施例的半导体装置1#的操作的时序图的第二部分；

[0030] 图20是用于说明根据第二实施例的半导体装置1#的操作的时序图的第三部分；

[0031] 图21是用于说明根据第二实施例的半导体装置1#的操作的时序图的第四部分；

[0032] 图22是说明根据第二实施例的半导体装置1#的操作的时序图的第五部分；

[0033] 图23是用于说明根据第二实施例的半导体装置1#的操作的时序图的第六部分；

[0034] 图24是图示根据第二实施例的半导体装置1#的操作的时序图的第七部分；

[0035] 图25是用于说明第三实施例的半导体装置1#A的概要的图；

[0036] 图26是图示根据第三实施例的检测电路5Q、行编码器6和列编码器9的电路配置的图；

[0037] 图27是图示根据第三实施例的行解码器4和列解码器10的异常的图；

[0038] 图28是说明根据第三实施例的半导体装置1#A的操作的时序图的第一部分；

[0039] 图29是用于说明根据第三实施例的半导体装置1#A的操作的时序图的第二部分；

[0040] 图30是用于说明根据第三实施例的半导体装置1#A的操作的时序图的第三部分；

[0041] 图31是用于说明根据第三实施例的半导体装置1#A的操作的时序图的第四部分；

[0042] 图32是说明根据第三实施例的半导体装置1#A的操作的时序图的第五部分；

[0043] 图33是用于说明根据第三实施例的半导体装置1#A的操作的时序图的第六部分；

[0044] 图34是用于说明根据第三实施例的半导体装置1#A的操作的时序图的第七部分；

[0045] 图35是用于说明根据第四实施例的半导体装置100的概要的图；

[0046] 图36是图示根据第四实施例的行侧上的解码器故障检测电路200的图；

[0047] 图37是图示根据第四实施例的解码器故障检测电路110的检测结果的图；

[0048] 图38是根据第四实施例的判定电路120的电路配置图；

[0049] 图39是图示根据第四实施例的行解码器4和列解码器10的异常的图；

[0050] 图40是说明根据第四实施例的半导体装置100的操作的时序图的第一部分；

[0051] 图41是图示根据第四实施例的半导体装置100的操作的时序图的第二部分；

- [0052] 图42是图示根据第四实施例的半导体装置100的操作的时序图的第三部分；
- [0053] 图43是图示根据第四实施例的改型的解码器故障检测电路110#和判定电路120#的电路配置的图；
- [0054] 图44是图示根据第四实施例的改型的行解码器4和列解码器10的异常的图；
- [0055] 图45是说明根据第四实施例的变型的半导体装置100的操作的时序图的第一部分；
- [0056] 图46是图示根据第四实施例的改型的半导体装置100的操作的时序图的第二部分；
- [0057] 图47是图示根据第四实施例的改型的半导体装置100的操作的时序图的第三部分；
- [0058] 图48是图示根据第四实施例的改型的半导体装置100的操作的时序图的第四部分；
- [0059] 图49是说明根据第四实施例的变型的半导体装置100的操作的时序图的第五部分；
- [0060] 图50是用于说明根据第五实施例的半导体装置1P的概要的图；
- [0061] 图51是图示根据第五实施例的存储器阵列2及其外围电路的图；
- [0062] 图52是用于说明根据第五实施例的检测电路132的检测单元140的图；
- [0063] 图53是图示根据第五实施例的检测电路132的检测结果的图；
- [0064] 图54是用于说明根据第五实施例的检测电路132的合成电路134的图；
- [0065] 图55是图示根据第五实施例的行解码器4和列解码器10的异常的图；
- [0066] 图56是说明根据实施例5的半导体装置100的操作的时序图的第一部分；
- [0067] 图57是图示根据第五实施例的半导体装置100的操作的时序图的第二部分；
- [0068] 图58是图示根据第五实施例的半导体装置100的操作的时序图的第三部分；
- [0069] 图59是图示根据第五实施例的半导体装置100的操作的时序图的第四部分；
- [0070] 图60是用于说明根据第六实施例的检测电路5Q的电路配置的图；
- [0071] 图61是用于说明根据第七实施例的检测器5X的配置的图；
- [0072] 图62是图示根据第七实施例的DFT电路140、142的测试模式的图；
- [0073] 图63是用于说明根据第七实施例的改型1的检测器5Y的配置的图；
- [0074] 图64是图示根据第七实施例的改型1的DFT电路140、142的测试模式的图；
- [0075] 图65是图示根据第七实施例的改型2的行侧的解码器故障检测电路210的图；
- [0076] 图66是图示根据第七实施例的改型3的解码器故障检测电路110#X和判定电路120#X的电路配置的图；
- [0077] 图67是用于说明根据第七实施例的改型4的检测电路132的检测单元140#的图。

具体实施方式

- [0078] 在附图中，相同或相应的组件由相同的附图标记来标示，并且将不重复其描述。
- [0079] <实施例1>
- [0080] 图1是用于说明根据第一实施例的半导体装置1的概要的图。
- [0081] 参照图1，半导体装置1包括存储器宏15和CPU 20。

- [0082] CPU 20控制存储器宏15以获取存储在存储器宏15中的数据。
- [0083] 存储器宏15包括存储器阵列2、字驱动器3、行解码器4、检测电路5、行编码器6、列选择电路7、预解码器8、列编码器9和列解码器10。
- [0084] 存储器阵列2包括被布置成矩阵的多个存储器单元MC。
- [0085] 存储器阵列2包括分别与存储器单元行相对应设置的多条字线WL和与存储器单元行相对应设置的多条位线BL。
- [0086] 字驱动器3驱动分别与存储器单元行相对应设置的多条字线WL之中的一条字线WL。
- [0087] 在行解码器4和字驱动器3之间设置多条行选择线RWL。
- [0088] 预解码器8对输入地址信息IAD进行解码并将其分成输入行地址信息RAD和输入列地址信息CAD,它们分别被输出到行解码器4和列解码器10。作为示例,在该示例中,将4位的输入行地址信息RAD划分为7位的输入行地址信息RAD和3位的输入列地址信息CAD,并且它们分别被输出到行解码器4和列解码器10。
- [0089] 行解码器4基于输入行地址信息RAD将行选择信号输出到多条行选择线RWL。
- [0090] 字驱动器3根据行选择信号选择字线WL,并将其上升到“H”电平。
- [0091] 检测电路5检测行解码器4和列解码器10中的故障。
- [0092] 行编码器6连接到多条字线WL,并且基于所选择的字线WL的上升沿而对行地址信息进行编码。
- [0093] 列选择电路7选择多条位线BL中的一条位线。
- [0094] 在列解码器10与列选择电路7之间设置有多条列选择线Y。
- [0095] 列解码器10基于输入列地址信息CAD将列选择信号输出到多条列选择线Y。
- [0096] 列编码器9连接到多条列选择线Y,并且基于所选择的列选择线Y的上升沿而对列地址信息进行编码。
- [0097] 图2是图示根据第一实施例的存储器阵列2及其外围电路的图。
- [0098] 参照图2,存储器阵列2包括以矩阵布置的多个存储器单元MC、与每个存储器单元行相对应设置的多条字线WL、以及与每个存储器单元行相对应设置的多条位线BL,/BL。
- [0099] 在本示例性实施例中,与存储器单元行分别相对地设置字线WL[0]至WL[15]。
- [0100] 与存储器单元列分别相对地设置位线BL[0]至BL[7]和互补位线/BL[0]至/BL[7]。
- [0101] 行解码器4基于输入行地址信息RAD将行选择信号输出到多条行选择线RWL[0]至RWL[15]。
- [0102] 字驱动器3连接到多条行选择线RWL[0]至RWL[15],并且包括用于驱动多条字线WL[0]至WL[15]之中的一条字线WL的驱动器单元。例如,当行选择线RWL[0]被设置为“H”电平时,字驱动器3选择字线WL[0]。具体地,字线WL[0]被设置为“H”电平。同样的内容也适用于其他字线WL。
- [0103] 列解码器10基于输入列地址信息CAD将列选择信号输出到多条列选择线Y[0]至Y[7]。
- [0104] 列选择电路7连接到多条列选择线Y[0]至Y[7]以选择多条位线BL中的一条位线。具体地,连接读取电路/写入电路12和位线BL。读取/写入电路12在数据读取时,将通过所选

择的位线BL读取的数据信号作为读取数据DT0输出。读取/写入电路12在数据写入时经由所选择的位线BL将输入的写入数据DTI写入到存储器单元MC。尽管在该示例中描述了1位数据读取和数据写入,但是本发明不限于此,并且当然可以执行多个位(8位、16位等)的并行读取和并行写入。

[0105] 图3是图示根据第一实施例的检测电路5、行编码器6和列编码器9的电路配置的图。

[0106] 参照图3,行编码器6包括第一行编码器6A、第二行编码器6B、预充电电路6C和驱动器电路6D。

[0107] 第一行编码器6A包括多条字线WL[0]至WL[15]、多条数据线DL[0]至DL[3]和多个虚设单元DMC,它们在字线WL和数据线DL相交的位置处以预定的第一图案以矩阵形式布置。

[0108] 第二行编码器6B包括多条字线WL[0]至WL[15]、多条数据线DL[4]至DL[7]和多个虚设单元DMC,它们以预定的第二图案以矩阵形式布置。

[0109] 预充电电路6C与多条数据线DL[0]至DL[7]分别相对应地设置,并且包括用于将多条数据线DL[0]至DL[7]预充电至预定电压的多个预充电晶体管PT。预充电晶体管PT根据控制信号PCB进行操作,并且当控制信号PCB处于“L”电平时,将多条数据线DL[0]至DL[7]预充电至预定电压。

[0110] 驱动器电路6D包括与多条数据线DL[0]至DL[7]分别相对应设置的反相器,并且反相器对多条数据线DL[0]至DL[7]的数据进行反相和输出。

[0111] 图4是图示根据第一实施例的虚设单元DMC的配置的图。

[0112] 参照图4,虚设单元DMC包括晶体管TRS。晶体管TRS连接在固定电压VSS和数据线DL之间,并且栅极连接到字线WL。因此,当字线WL为“H”电平时,晶体管TRS导通,并且数据线DL被设置为“L”电平。

[0113] 因此,当字线WL被设置为“H”电平时,布置在字线WL和数据线DL交叉的位置处的虚设单元DMC变为导通,并且数据线DL被设置为“L”电平。

[0114] 返回参照图3,在第一行编码器6A中提供的多个虚设单元DMC以预定的第一图案来布置,以便在字线WL被选择时对用于选择任何一条字线WL的地址信息进行编码。

[0115] 例如,当字线WL[0]被选择时,虚设单元DMC未被布置在字线WL[0]和数据线DL[0]至DL[3]交叉的位置处。

[0116] 因此,数据线DL[0]至DL[3]保持预充电的预定电压电平(“H”电平)。

[0117] 对此进行响应,驱动器电路6D将数据线DL[0]至DL[3]的数据反相并输出反相的数据(“L”电平)。

[0118] 在该示例中,当驱动器电路6D的输出为“H”电平时,数据被设置为“1”。当驱动器电路6D的输出为“L”电平时,数据应为“0”。

[0119] 在这种情形下,当字线WL[0]被选择时,第一行编码器6A经由数据线DL通过驱动器电路6D[0]至DL[3]生成第一行地址数据RT(“0000”)。即使在另一条字线WL被选择时,第一行编码器6A也以相同的方式经由数据线DL[0]至DL[3]生成用于选择字线WL的第一行地址数据RT。

[0120] 第二行编码器6B生成与第一行编码器6A互补的第二行地址信息RB。

[0121] 在第二行编码器6B中提供的多个虚设单元DMC以预定的第二图案来布置,以便在

字线WL被选择时对用于选择任何一条字线WL的地址信息进行编码。顺便提及,根据检测电路5的逻辑,在第一行编码器6A中设置的多个虚设单元DMC的第一图案和在第二行编码器6B中设置的多个虚设单元DMC的第二图案可能是彼此相反的图案。

[0122] 例如,当字线WL[0]被选择时,虚设单元DMC被布置在字线WL[0]和数据线DL[4]-DL[7]交叉的位置处。

[0123] 因此,数据线DL[4]至DL[7]从预充电的预定电压电平被设置为“L”电平。驱动器电路6D将数据线DL的数据反相并输出反相的数据。当驱动器电路6D为“L”电平时,数据应为“0”。当驱动器电路6D为“H”电平时,数据应为“1”。

[0124] 在这种情形下,当字线WL[0]被选择时,第二行编码器6B经由数据线DL[4]至DL[7]通过驱动器电路6D生成第二行地址数据RB(“1111”)。当另一条字线WL被选择时,第二行编码器6B以相同的方式经由数据线DL[4]至DL[7]生成用于选择字线WL的第二行地址数据RB。

[0125] 图5是图示字线WL的选择与编码的第一行地址信息RT和第二行地址信息RB之间的关系的图。

[0126] 如图5中所示,示出了根据字线WL[0]至WL[15]的选择的第一行地址信息RT和第二行地址信息RB。

[0127] 第一行地址信息RT和第二行地址信息RB被示为彼此互补的关系。

[0128] 返回参照图3,列编码器9包括第一列编码器9A和第二列编码器9B。

[0129] 第一列编码器9A包括多条列选择线Y[0]-Y[7]、多个NOR电路41、42、44、45、46、48和多个NAND电路40、43、47。

[0130] 在第一列编码器9A中提供的多个NOR电路和多个NAND电路与列选择线Y以预定的组合连接,以便在任何一套列选择线Y被选择的情况下,对用于选择列选择线Y的地址信息进行解码。

[0131] 具体地,NOR电路41接收来自列选择线Y[7]和列选择线Y[6]的输入,并输出NOR逻辑运算结果。NOR电路42接收来自列选择线Y[5]和列选择线Y[4]的输入,并输出NOR逻辑运算结果。NOR电路44接收来自列选择线Y[7]和列选择线Y[6]的输入,并输出NOR逻辑运算结果。NOR电路45接收来自列选择线Y[3]和列选择线Y[2]的输入,并输出NOR逻辑运算结果。NOR电路46接收来自列选择线Y[7]和列选择线Y[5]的输入,并输出NOR逻辑运算结果。NOR电路48接收来自列选择线Y[3]和列选择线Y[1]的输入,并输出NOR逻辑运算结果。

[0132] NAND电路40通过接收来自NOR电路41和42的输入来输出NAND逻辑运算结果。

[0133] NAND电路43通过接收来自NOR电路44和45的输入来输出NAND逻辑运算结果。

[0134] NAND电路45通过接收来自NOR电路46和48的输入来输出NAND逻辑运算结果。

[0135] 例如,当列选择线Y[7]被选择时,连接到列选择线Y[7]的NOR电路41、44和46输出“L”电平。据此,NAND电路40、43、47分别输出“H”电平。

[0136] 在这种情形下,当列选择线Y[7]被选择时,第一列编码器9A生成第一列地址信息CT(“111”)。当多条列选择线Y被选择时,第一列编码器9A以相同的方式生成用于选择列选择线Y的第一列地址信息CT。

[0137] 第二列编码器9B生成与第一列编码器9A互补的第二列地址信息CB。

[0138] 第二列编码器9B包括多条列选择线Y[0]-Y[7]、多个NOR电路49、51、52、54、55、57和多个NAND电路50、53、56。类似于第一行编码器6A和第二行编码器6B,第一列编码器9A和

第二列编码器9B可以使用虚设单元DMC来进行配置。

[0139] 在第二列编码器9B中提供的多个NOR电路和多个NAND电路与列选择线Y以预定的组合连接,以便在任何一条列选择线Y被选择的情况下,对用于选择列选择线Y的地址信息进行解码。

[0140] 具体地,NOR电路49接收来自列选择线Y[3]和列选择线Y[2]的输入,并且输出NOR逻辑运算结果。NOR电路51接收来自列选择线Y[1]和列选择线Y[0]的输入,并输出NOR逻辑运算结果。NOR电路52接收来自列选择线Y[5]和列选择线Y[4]的输入,并输出NOR逻辑运算结果。NOR电路54接收来自列选择线Y[1]和列选择线Y[0]的输入,并输出NOR逻辑运算结果。NOR电路55接收来自列选择线Y[6]和列选择线Y[4]的输入,并输出NOR逻辑运算结果。NOR电路57接收来自列选择线Y[2]和列选择线Y[0]的输入,并输出NOR逻辑运算结果。

[0141] NAND电路50通过接收来自NOR电路49和51的输入来输出NAND逻辑运算结果。

[0142] NAND电路53通过接收来自NOR电路52和54的输入来输出NAND逻辑运算结果。

[0143] NAND电路56通过接收来自NOR电路55和57的输入来输出NAND逻辑运算结果。

[0144] 例如,如果列选择线Y[7]被选择,则NOR电路未被连接。因此,NAND电路50、53、56保持“L”电平。

[0145] 在这种情形下,当列选择线Y[7]被选择时,第二列编码器9B生成第二列地址信息CB(“000”)。当多条列选择线Y被选择时,第二列编码器9B以相同的方式生成用于选择列选择线Y的第二列地址信息CB。

[0146] 图6是用于说明列选择线Y的选择与经编码的第一列地址信息CT和第二列地址信息CB之间的关系的图。

[0147] 如图6中所示,示出了根据列选择线Y[0]至Y[7]的选择的第一列地址信息CT和第二列地址信息CB。

[0148] 第一列地址信息CT和第二列地址信息CB彼此互补的情况被示出。

[0149] 返回参照图3,检测电路5包括第一行判定电路5A、第二行判定电路5B、第一列判定电路5C、第二列判定电路5D和合成电路5E。

[0150] 第一行判定电路5A包括EXOR电路64-67以及NAND电路70。

[0151] 第二行判定电路5B包括EXOR电路60-63和NOR电路72。

[0152] 第一列判定电路5C包括EXOR电路33-35以及NAND电路36。

[0153] 第二列判定电路5D包括EXOR电路30-32以及NAND电路37。

[0154] 组合电路5E包括NAND电路74、OR电路75和触发器 (FF) 76。

[0155] 第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB,基于比较结果来输出第一行判定信号RFLG。

[0156] EXOR电路64至67分别接收第一行地址信息RT和第二行地址信息RB的一位输入,并将EXOR逻辑运算结果RBO输出到NAND电路70。

[0157] 当第一行地址信息RT和第二行地址信息RB正常时,它们彼此互补。

[0158] 因此,当第一行地址信息RT和第二行地址信息RB彼此互补(正常)时,EXOR电路64至67的EXOR逻辑运算结果RBO全部输出“H”电平。在这种情况下,NAND电路70输出第一行判定信号RFLG(“L”电平)。在关系方面,当第一行地址信息RT和第二行地址信息RB不互补时(当它们不正常时),EXOR电路64至67的EXOR逻辑运算结果RBO中的至少一个输出“L”电平。

在这种情况下,NAND电路70输出第一行判定信号RFLG (“H”电平)。

[0159] 第一行判定信号RFLG (“H”电平),判定第一行地址信息RT和第二行地址信息RB不互补(如果不正常的情况)。即,判定行解码器4有异常并且未被正常解码。

[0160] 具体地,由于行解码器4的异常判定以下情况:当多条字线WL未被选择时的非选择异常和当多条字线WL之中的多条字线WL被选择时的多选择异常。

[0161] 第二行判定电路5B将输入行地址信息RAD与第一行地址信息RT进行比较,并基于比较结果来输出第二行判定信号RCMP。

[0162] EXOR电路60至63分别逐位接收输入行地址信息RAD和第一行地址信息RT的输入,并将EXOR逻辑运算结果RT0输出到NOR电路72。

[0163] 当输入行地址信息RAD和第一行地址信息RT正常时,它们具有相同的关系。

[0164] 因此,当输入行地址信息RAD与第一行地址信息RT处于相同的关系时(当它们正常时),EXOR电路60至63的所有EXOR逻辑运算结果RT0输出“L”电平。在这种情况下,NOR电路72输出第二行判定信号RCMP (“H”电平)。另一方面,当输入行地址信息RAD和第一行地址信息RT不具有相同的关系时(当输入行地址信息RAD和第一行地址信息RT不正常时),EXOR电路60至63的EXOR逻辑运算结果RT0中的至少一个输出“H”电平。在这种情况下,NOR电路72输出第二行判定信号RCMP (“L”电平)。

[0165] 第二行判定信号RCMP (“L”电平),判定输入行地址信息RAD与第一行地址信息RT不是相同的关系(如果不正常)。即,判定行解码器4有异常并且未被正常解码。

[0166] 具体地,通过行解码器4中的异常来判定错误选择异常,其中在多条字线WL之中选择了错误的字线WL。

[0167] 第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并且基于比较结果来输出第一列判定信号CFLG。

[0168] EXOR电路33至35分别接收第一列地址信息CT和第二列地址信息CB的一位输入,并将EXOR逻辑运算结果CB0输出到NAND电路36。

[0169] 当第一列地址信息CT和第二列地址信息CB正常时,它们彼此互补。

[0170] 因此,当第一列地址信息CT和第二列地址信息CB彼此互补(正常)时,EXOR电路33至35的EXOR逻辑运算结果CB0全部输出“H”电平。在这种情况下,NAND电路36输出第一列判定信号CFLG (“L”电平)。在关系方面,当第一列地址信息CT和第二列地址信息CT不互补时(当它们不正常时),EXOR电路33至35的EXOR逻辑运算结果CB0中的至少一个输出“L”电平。在这种情况下,NAND电路36输出第一列判定信号CFLG (“H”电平)。

[0171] 根据第一列判定信号CFLG (“H”电平),判定第一列地址信息CT和第二列地址信息CB没有互补关系(当它们不正常时)。即,判定列解码器10有异常并且未被正常解码。

[0172] 具体地,通过列解码器10的异常判定以下情况:在未选择多条列选择线Y的情况下的非选择异常和在多条列选择线Y之中选择多条列选择线Y的情况下的多选择异常。

[0173] 第二列判定电路5D将输入列地址信息CAD与第一列地址信息CT进行比较,并基于比较结果来输出第二列判定信号CCMP。

[0174] EXOR电路30至32一次一位地接收输入列地址信息CAD和第一列地址信息CT的输入,并将EXOR逻辑运算结果CT0输出到NOR电路37。

[0175] 当输入列地址信息CAD和第一列地址信息CT正常时,它们具有相同的关系。

[0176] 因此,当输入列地址信息CAD和第一列地址信息CT处于相同的关系时(当它们正常时),EXOR电路30至32的所有EXOR逻辑运算结果CT0输出“L”电平。在这种情况下,NOR电路37输出第二列判定信号CCMP(“H”电平)。另一方面,当输入列地址信息CAD和第一列地址信息CT不具有相同的关系时(当输入列地址信息CAD和第一列地址信息CT不正常时),EXOR电路30至32的EXOR逻辑运算结果CT0中的至少一个输出“H”电平。在这种情况下,NOR电路37输出第二列判定信号CCMP(“L”电平)。

[0177] 根据第二列判定信号CCMP(“L”电平),判定输入列地址信息CAD和第一列地址信息CT不具有相同的关系(当它们不正常时)。即,判定列解码器10有异常并且未被正常解码。

[0178] 更具体地,通过列解码器10中的异常来判定错误选择异常,其中在多条列选择线Y之中选择了错误的列选择线Y。

[0179] 在组合电路5E中,NAND电路74响应于第二行判定信号RCMP和第二列判定信号RCMP的输入,将NAND逻辑运算结果输出到OR电路75。OR电路75接收第一行判定信号RFLG、第一列判定信号CFLG以及NAND电路74的输出,并将OR逻辑运算结果输出到触发器76。

[0180] 如果OR电路75包括第一行判定信号RFLG(“L”电平)、第二行判定信号RCMP(“H”电平)、第一列判定信号CFLG(“L”电平)、第二列判定信号CCMP(“H”电平),将“L”电平存储到触发器76。另一方面,如果OR电路75包括第一行判定信号RFLG(“H”电平)、第二行判定信号RCMP(“H”电平)、第一列判定信号CFLG(“H”电平)、第二列判定信号CCMP(“L”电平)中的任何状态,将“H”电平存储到存储在触发器76中。

[0181] 触发器76基于所存储的数据输出异常信号FLAG。

[0182] 图7是用于说明根据第一实施例的行解码器4和列解码器10的异常的图。

[0183] 如图7中所示,当由于行解码器4的异常,而在多条字线WL未被选择的情况下发生非选择异常、或者在多条字线WL之中选择了多条字线WL的情况下发生多选择异常时,异常信号FLAG(H电平)根据第一行判定信号RFLG(H电平)来设置。

[0184] 当由于行解码器4的异常,而发生在其中从多条字线WL中选择了错误的字线WL的错误选择异常时,异常信号FLAG(H电平)根据第二行判定信号RCMP(L电平)来设置。

[0185] 当由于列解码器10的异常,而在多条列选择线Y未被选择时发生非选择异常、或者在多条列选择线Y之中选择了多条列选择线Y时发生多选择异常时,异常信号FLAG(H电平)根据第一列判定信号CFLG(H电平)来设置。

[0186] 当由于列解码器10的异常而发生在其中选择了多条列选择线Y之中的错误的列选择线Y的错误选择异常时,异常信号FLAG(H电平)根据第二列判定信号CCMP(L电平)来设置。

[0187] 当行解码器4和列解码器10二者都正常时,错误信号FLAG被设置为“L”电平。

[0188] 根据第一实施例的检测电路5将异常信号FLAG输出到CPU 20。

[0189] 根据第一实施例的检测器5在数据读取和数据写入时输出异常信号FLAG。因此,根据第一实施例的配置,可以以简单的方法在早期阶段检测地址解码器(行解码器4和列解码器10)的故障。

[0190] 图8是图示根据第一实施例的半导体装置1的操作的第一时序图。

[0191] 在本示例中,将描述正常操作的情况。

[0192] 如图8中所示,在时间T0,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0193] 此外,在时间T0,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0194] 在时间T1,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0195] 因此,由于第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB且它们彼此互补,而输出第一列判定信号CFLG(“L”电平)。

[0196] 在时间T2,因为输入列地址信息CAD和第一列地址信息CT被比较和匹配,所以第二列判定电路5D输出第二列判定信号CCMP(“H”电平)。

[0197] 此外,在时间T2,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0198] 在时间T3,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0199] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB且因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0200] 在时间T4,第二行判定电路5B通过比较输入行地址信息RAD和第一行地址信息RT(“H”电平)来输出用于匹配的第二行判定信号RCMP。

[0201] 在时间T5,检测电路5基于第一行判定信号RFLG(“L”电平)、第二行判定信号RCMP(“H”电平)、第一列判定信号CFLG(“L”电平)以及第二列判定信号CCMP(“H”电平)来输出异常信号FLAG(“L”电平)。

[0202] 图9是用于说明根据第一实施例的半导体装置1的操作的时序图(部分2)。

[0203] 在该示例中,将描述没有选择字线WL的操作的情况。

[0204] 如图9中所示,在时间T6,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0205] 此外,在时间T7,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0206] 在时间T7,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0207] 因此,由于第一列判定电路5C与第二列地址信息CB具有互补关系,因此第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并输出第一列判定信号CFLG(“L”电平)。

[0208] 在时间T8,因为输入列地址信息CAD和第一列地址信息CT被比较和匹配,所以第二列判定电路5D输出第二列判定信号CCMP(“H”电平)。

[0209] 此外,在本示例性实施例中,由于错误,行解码器4没有基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0210] 第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在本实施例中,第一行地址信息RT和第二行地址信息RB未被生成为相互互补的关系。

[0211] 因此,第一行判定电路5A比较第一行地址信息RT和第二行地址信息RB并且因为它们彼此不互补,而保持第一行判定信号RFLG(“H”电平)。

[0212] 在时间T9,第二行判定电路5B通过比较输入行地址信息RAD和第一行地址信息RT

且因为它们不匹配,而输出第二行判定信号RCMP (“L”电平)。

[0213] 在时间T10,检测电路5基于第一行判定信号RFLG (“H”电平)、第二行判定信号RCMP (“L”电平)、第一列判定信号CFLG (“L”电平)以及第二列判定信号CCMP (“H”电平),来输出异常信号FLAG (“H”电平)。

[0214] 因此,可以在未选择异常发生时检测到异常,其中多条字线WL中的一条字线未被选择。

[0215] 图10是用于说明根据第一实施例的半导体装置1的操作的时序图(部分3)。

[0216] 在该示例中,将描述在多条字线WL之中的多条字线WL被选择的情况。

[0217] 如图10中所示,在时间T11,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0218] 此外,在时间T12,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0219] 在时间T12,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0220] 因此,由于第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB且它们彼此互补,而输出第一列判定信号CFLG (“L”电平)。

[0221] 在时间T13,因为输入列地址信息CAD和第一列地址信息CT被比较和匹配,所以第二列判定电路5D输出第二列判定信号CCMP (“H”电平)。

[0222] 此外,在时间T13,行解码器4基于输入行地址信息RAD从多条字线WL之中选择了由于异常而导致的多条字线WL。

[0223] 在时间T14,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在本实施例中,第一行地址信息RT和第二行地址信息RB未被生成为相互互补的关系。

[0224] 因此,第一行判定电路5A比较第一行地址信息RT和第二行地址信息RB且因为它们彼此不互补,而保持第一行判定信号RFLG (“H”电平)。

[0225] 在时间T15,因为输入行地址信息RAD与第一行地址信息RT不一致,第二行判定电路5B将输入行地址信息RAD与第一行地址信息RT进行比较,并输出第二行判定信号RCMP (“L”电平)。在本实施例中,将描述输出第二行判定信号RCMP (“L”电平)的情况,但是取决于条件,可以认为输出第二行判定信号RCMP (“H”电平)的情况与比较输入行地址信息RAD和第一行地址信息RT的情况相一致。

[0226] 在时间T16,检测电路5基于第一行判定信号RFLG (“H”电平)、第二行判定信号RCMP (“L”电平)、第一列判定信号CFLG (“L”电平)以及第二列判定信号CCMP (“H”电平),来输出异常信号FLAG (“H”电平)。

[0227] 可以在多选择异常发生时检测到异常,其中在多条字线WL之中选择了多条字线WL。

[0228] 图11是用于说明根据第一实施例的半导体装置1的操作的时序图(部分4)。

[0229] 在该示例中,将描述错误选择异常的情况,其中从多条字线WL中选择了错误的字线WL。

[0230] 如图11中所示,在时间T17,控制信号PCB被设置为“H”电平。随之,针对预充电电路

6C的数据线DL[0]至DL[7]的预充电操作完成。

[0231] 此外,在时间T17,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0232] 在时间T18,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0233] 因此,由于第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB且它们彼此互补,而输出第一列判定信号CFLG(“L”电平)。

[0234] 在时间T19,因为输入列地址信息CAD和第一列地址信息CT被比较和匹配,所以第二列判定电路5D输出第二列判定信号CCMP(“H”电平)。

[0235] 此外,在时间T19,行解码器4基于输入行地址信息RAD从多条字线WL之中选择了由于错误而导致的错误字线WL。

[0236] 在时间T20,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在该示例中,第一行地址信息RT和第二行地址信息RB根据错误的字线WL而被生成为彼此互补的关系。

[0237] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB且因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0238] 在时刻T21,因为输入行地址信息RAD与第一行地址信息RT不一致,第二行判定电路5B将输入行地址信息RAD与第一行地址信息RT进行比较,并输出第二行判定信号RCMP(“L”电平)。

[0239] 在时间T22,检测电路5基于第一行判定信号RFLG(“L”电平)、第二行判定信号RCMP(“L”电平)、第一列判定信号CFLG(“L”电平)以及第二列判定信号CCMP(“H”电平),来输出异常信号FLAG(“H”电平)。

[0240] 可以在错误选择异常发生时检测到异常,其中从多条字线WL中选择了错误的字线WL。

[0241] 图12是图示根据第一实施例的半导体装置1的操作的时序图(部分5)。

[0242] 在本示例中,将描述列选择线Y的选择操作未被执行的情况。

[0243] 如图12中所示,在时间T23,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0244] 在该示例中,列解码器10基于输入列地址信息CAD没有选择多条列选择线Y中的一条列选择线。

[0245] 第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为相互互补的关系。

[0246] 因此,由于第一列判定电路与第二列地址信息CB不具有互补关系,因此第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG(“H”电平)。

[0247] 在时间T23,因为输入列地址信息CAD和第一列地址信息CT被比较并且不匹配,所以第二列判定电路5D输出第二列判定信号CCMP(“L”电平)。

[0248] 此外,在时间T23,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0249] 在时间T24,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0250] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB且因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0251] 在时间T25,第二行判定电路5B通过比较输入行地址信息RAD和第一行地址信息RT(“H”电平),来输出用于匹配的第二行判定信号RCMP。

[0252] 在时间T26,检测电路5基于第一行判定信号RFLG(“L”电平)、第二行判定信号RCMP(“H”电平)、第一列判定信号CFLG(“H”电平)以及第二列判定信号CCMP(“L”电平),来输出异常信号FLAG(“H”电平)。

[0253] 因此,可以在未选择异常发生时检测到异常,其中多条列选择线Y中的一条列选择线未被选择。

[0254] 图13是用于说明根据第一实施例的半导体装置1的操作的时序图(部分6)。

[0255] 在该示例中,将描述多条列选择线Y之中的多条列选择线Y被选择的情况。

[0256] 如图13中所示,在时间T26,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0257] 此外,在时间T26中,在本示例性实施例中,列解码器10基于输入列地址信息CAD来选择多条列选择线Y。

[0258] 在时间T27,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为彼此互补的关系。

[0259] 因此,由于第一列判定电路与第二列地址信息CB不具有互补关系,因此第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG(“H”电平)。

[0260] 在时间T28,因为输入列地址信息CAD和第一列地址信息CT被比较并且不匹配,所以第二列判定电路5D输出第二列判定信号CCMP(“L”电平)。

[0261] 此外,在时间T28,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0262] 在时间T29,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0263] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB且因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0264] 在时间T30,第二行判定电路5B通过比较输入行地址信息RAD和第一行地址信息RT(“H”电平)且它们匹配,来输出第二行判定信号RCMP。

[0265] 在时间T31,检测电路5基于第一行判定信号RFLG(“L”电平)、第二行判定信号RCMP(“H”电平)、第一列判定信号CFLG(“H”电平)以及第二列判定信号CCMP(“L”电平),来输出异常信号FLAG(“H”电平)。

[0266] 因此,可以在发生多选择异常时检测到异常,其中多条列选择线Y之中的多条列选择线Y被选择。

[0267] 图14是用于说明根据第一实施例的半导体装置1的操作的时序图(部分7)。

[0268] 在该示例中,将描述错误选择异常的情况,其中从多条列选择线Y中选择错误的列选择线Y。

[0269] 如图14中所示,在时间T32,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0270] 此外,在时间T32中,在本示例性实施例中,列解码器10基于输入列地址信息CAD,选择了多条列选择线Y之中的错误的列选择线Y。

[0271] 在时间T33,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB根据错误的列选择线Y而被生成彼此互补的关系。

[0272] 因此,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较并且因为第一列地址信息CT与第二列地址信息CB互补,所以输出第一列判定信号CFLG (“L”电平)。

[0273] 在时间T34,因为输入列地址信息CAD和第一列地址信息CT被比较并且不匹配,所以第二列判定电路5D输出第二列判定信号CCMP (“L”电平)。

[0274] 此外,在时间T34,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0275] 在时间T35,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成彼此互补的关系。

[0276] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB且因为它们彼此互补,而输出第一行判定信号RFLG (“L”电平)。

[0277] 在时间T36,第二行判定电路5B通过比较输入行地址信息RAD和第一行地址信息RT (“H”电平),来输出用于匹配的第二行判定信号RCMP。

[0278] 在时刻T37,检测电路5基于第一行判定信号RFLG (“L”电平)、第二行判定信号RCMP (“H”电平)、第一列判定信号CFLG (“H”电平)以及第二列判定信号CCMP (“L”电平),来输出异常信号FLAG (“H”电平)。

[0279] 因此,可以在发生错误选择异常时检测到异常,其中在多条列选择线Y之中选择了错误的列选择线Y。

[0280] <实施例2>

[0281] 图15是用于说明根据第二实施例的半导体装置1#的概要的图。

[0282] 参照图15,半导体装置1#包括存储器宏15#、CPU 20和比较器11。

[0283] CPU 20控制存储器宏15#以获取存储在存储器宏15#中的数据。

[0284] 存储器宏15#与存储器宏15的不同之处在于:检测电路5被检测电路5P代替。由于其他配置相同,因此将不重复其详细描述。

[0285] 检测电路5P基于从行编码器6输出的第一行地址信息RT和第二行地址信息RB以及从列编码器9输出的第一列地址信息CT和第二列地址信息CB,来输出输出地址信息AQ。输出地址信息AQ包括输出行地址信息ORAD和输出列地址信息OCAD。

[0286] 比较器电路11将从检测器电路5P输出的输出地址信息AQ与输入地址信息IAD进行比较,并将比较结果输出到CPU 20。

[0287] 图16是图示根据第二示例性实施例的检测电路5P、行编码器6和列编码器9的电路

配置的图。

[0288] 参照16,与图3的检测电路5相比,检测电路5P包括第一行判定电路5A、第二行判定电路5B#、第一列判定电路5C和第二列判定电路5D#。

[0289] 第一行判定电路5A包括EXOR电路64-67以及NAND电路70。

[0290] 第二行判定电路5B#包括EXOR电路60#至63#和触发器 (FF) 80至83。

[0291] 第一列判定电路5C包括EXOR电路33-35以及NAND电路36。

[0292] 第二列判定电路5D#包括EXOR电路30#至32#和触发器 (FF) 77至79。

[0293] 第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB,基于比较结果来输出第一行判定信号RFLG。

[0294] 如第一实施例中所述,第一行判定信号RFLG (“H”电平),判定第一行地址信息RT和第二行地址信息RB不是互补关系 (如果不正常的情况)。即,判定行解码器4有异常并且未被正常解码。

[0295] 具体地,由于行解码器4的异常,判定以下情况:当多条字线WL未被选择时的多选择异常和,以及当多条字线WL之中的多条字线WL被选择时的多选择异常。

[0296] 第二行判定电路5B#基于第一行地址信息RT和第一列判定信号CFLG,来生成输出行地址信息ORAD。

[0297] EXOR电路60#至63#分别接收第一行地址信息RT和第一列判定信号CFLG的1位,并将EXOR逻辑运算结果RT0分别输出到触发器80至83。

[0298] 如果列解码器10中没有异常,则第一列判定信号CFLG被设置为“L”电平。另一方面,当列解码器10异常时,第一列判定信号CFLG被设置为“H”电平。

[0299] EXOR电路60#至63#接收第一行地址信息RT和第一列判定信号CFLG (“L”电平)的输入,并将EXOR逻辑运算结果RT0分别输出到触发器80至83。

[0300] 由于设置了第一列判定信号CFLG (“L”电平),因此第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0301] 第一行地址信息RT被触发器80至83锁存,并且作为输出行地址信息ORAD被输出到比较器电路11。

[0302] EXOR电路60#至63#接收第一行地址信息RT和第一列判定信号CFLG (“H”电平)的输入,并将EXOR逻辑运算结果RT0分别输出到触发器80至83。

[0303] 由于设置了第一列判定信号CFLG (“H”电平),因此第一行地址信息RT被反相。例如,当第一行地址信息RT为“1111”时,EXOR逻辑运算结果RT0变为“0000”。即,根据第一列判定信号CFLG (“H”电平)将第一行地址信息RT改变为反相的地址信息。反相的第一行地址信息RT被触发器80至83锁存,并且作为输出行地址信息ORAD被输出到比较器电路11。

[0304] 因此,在比较器11中,将输出地址信息AQ和输入地址信息IAD进行比较,由于输出行地址信息ORAD被改变,所以比较结果彼此不一致。即,不一致测试信号被输出到CPU 20。

[0305] 第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并且基于比较结果来输出第一列判定信号CFLG。

[0306] 如第一实施例中所述,第一列判定信号CFLG (“H”电平)判定第一列地址信息CT和第二列地址信息CB没有互补关系 (当它们不正常时)。即,判定列解码器10有异常并且未被正常解码。

[0307] 具体地,由列解码器10的异常,判定以下情况:在未选择多条列选择线Y的情况下的非选择异常,以及在多条列选择线Y之中选择多条列选择线Y的情况下的多选择异常。

[0308] 第二列判定电路5D#基于第二列地址信息CB和第一行判定信号RFLG生成输出列地址信息OCAD。

[0309] EXOR电路30#至32#通过接收第一列地址信息CT和第一行判定信号RFLG的第一位的输入,将EXOR逻辑运算结果CT0分别输出到触发器77至79。

[0310] 当行解码器4中没有异常时,第一行判定信号RFLG被设置为“L”电平。另一方面,当行解码器4异常时,第一行判定信号RFLG被设置为“H”电平。

[0311] EXOR电路30#至32#接收第一列地址信息CT和第一行判定信号RFLG(“L”电平)的输入,并将EXOR逻辑运算结果CT0分别输出到触发器77至79。

[0312] 在这种情况下,由于设置了第一行判定信号RFLG(“L”电平),所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。

[0313] 第一列地址信息CT由触发器77至79锁存,并且作为输出列地址信息OCAD被输出到比较器电路11。

[0314] EXOR电路30#至32#接收第一列地址信息CT的输入和第一行判定信号RFLG(“H”电平),并将EXOR逻辑运算结果CT0分别输出到触发器77至79。

[0315] 由于第一行判定信号RFLG被设置为“H”电平,因此第一列地址信息CT的数据被反相。例如,当第一列地址信息CT为“111”时,EXOR逻辑运算结果CT0变为“000”。即,根据第一行判定信号RFLG(“H”电平)将第一列地址信息CT改变为反相的地址信息。反相的第一列地址信息CT被触发器77至79锁存,并且作为输出列地址信息OCAD被输出到比较器电路11。

[0316] 因此,在比较器11中,将输出地址信息AQ和输入地址信息IAD进行比较,由于输出列地址信息OCAD被改变,所以比较结果彼此不一致。即,不一致测试信号被输出到CPU 20。

[0317] 图17是用于说明根据第二实施例的行解码器4和列解码器10的异常的图。

[0318] 如图17中(A)所示,当由于行解码器4的异常而在多条字线WL未被选择的情况下发生非选择异常、或者在多条字线WL之中选择了多条字线WL的情况下发生多选择异常时,输出第一行判定信号RFLG(“H”电平)。

[0319] 如图17中(B)所示,当由于列解码器10的异常而在多条列选择线Y未被选择时发生非选择异常时、或者在多条列选择线Y之中选择了多条列选择线Y时发生多选择异常时,输出第一列判定信号CFLG(“H”电平)。

[0320] 如图17中(C)所示,当由于行解码器4的异常而在多条字线WL未被选择的情况下发生非选择异常、或者由于列解码器10的异常而在多条列选择线Y未被选择的情况下发生非选择异常时,从检测电路5P输出的输出地址信息AQ的一部分的行地址信息或列地址信息被反相。

[0321] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0322] 当正常选择多条字线WL中的一条字线时并且当正常选择多条列选择线Y中的一条列选择线时,从检测电路5P输出的输出地址信息AQ包括正确的行地址信息和列地址信息。

[0323] 因此,当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输

出地址信息AQ彼此比较时,比较器11将与比较结果匹配的判定信号(通过)输出到CPU 20。

[0324] 当由于行解码器4的异常而在多条字线WL之中选择多条字线WL的情况下发生多选择异常时,或者当由于列解码器10的异常而在多条列选择线Y之中选择多条列选择线Y的情况下发生多选择异常时,从检测电路5P输出的输出地址信息AQ的一部分的行地址信息或列地址信息被反相。

[0325] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0326] 当由于行解码器4的异常而发生在多条字线WL之中选择了错误的字线WL的错误选择异常时,或者当发生从多条列选择线Y之中选择了错误的列选择线Y的错误选择异常时,从检测电路5P输出的输出地址信息AQ包括错误的行地址信息或列地址信息。

[0327] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0328] 图18是图示根据第二实施例的半导体装置1#的操作的时序图。

[0329] 在本示例中,将描述正常操作的情况。

[0330] 如图18中所示,在时间T40,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0331] 此外,在时间T40,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0332] 在时间T41,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0333] 因此,第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB并且由于它们彼此互补,而输出第一列判定信号CFLG(“L”电平)。

[0334] 在时间T42,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0335] 在时间T43,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0336] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并且因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0337] 在时间T44,由于第一行判定信号RFLG(“L”电平)被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。由于第一列判定信号CFLG(“L”电平)被设置,因此第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0338] 检测器5P输出包括正确的行地址信息和列地址信息的输出地址信息AQ。

[0339] 当在输入地址信息IAD是正确的地址信息时将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将一致判定信号(通过)输出到CPU 20。

[0340] 图19是用于说明根据第二实施例的半导体装置1#的操作的时序图(部分2)。

[0341] 在该示例中,将描述没有选择字线WL的操作的情况。

[0342] 如图19中所示,在时间T45,控制信号PCB被设置为“H”电平。随之,针对预充电电路

6C的数据线DL[0]至DL[7]的预充电操作完成。

[0343] 此外,在时间T45,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0344] 在时间T46,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0345] 因此,由于第一列地址信息CT与第二列地址信息CB具有互补关系,因此第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并输出第一列判定信号CFLG(“L”电平)。

[0346] 在该示例中,行解码器4由于错误而没有基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0347] 第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在本实施例中,第一行地址信息RT和第二行地址信息RB未被生成为相互互补的关系。

[0348] 在时间T47,由于第一行判定信号RFLG(“H”电平)被设置,所以第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。由于字线WL未被选择,因此第一行地址信息RT(“1111”)作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0349] 检测器5P输出包括错误的行地址信息和反相的列地址信息的输出地址信息AQ。

[0350] 当在输入地址信息IAD是正确的地址信息的情况下,将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0351] 因此,可以在未选择异常发生时检测到异常,其中多条字线WL中的一条字线未被选择。

[0352] 图20是用于说明根据第二实施例的半导体装置1#的操作的时序图(部分3)。

[0353] 在该示例中,将描述在多条字线WL之中的多条字线WL被选择的情况。

[0354] 如图20中所示,在时间T49,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0355] 此外,在时间T49,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0356] 在时间T50,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0357] 因此,第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB并由于它们彼此互补,所以输出第一列判定信号CFLG(“L”电平)。

[0358] 在时间T51,行解码器4基于输入行地址信息RAD从多条字线WL之中选择了由于错误而导致的多条字线WL。

[0359] 在时间T52,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在本实施例中,第一行地址信息RT和第二行地址信息RB未被生成为相互互补的关系。

[0360] 因此,第一行判定电路5A比较第一行地址信息RT和第二行地址信息RB并因为它们彼此不互补,而保持第一行判定信号RFLG(“H”电平)。

[0361] 在时间T53,由于第一行判定信号RFLG(“H”电平)被设置,所以第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。由于多条字线WL被选择,

因此第一行地址信息RT (未知) 作为EXOR逻辑运算结果RT0被输出到触发器80至83。

[0362] 检测器5P输出包括错误的行地址信息和反相的列地址信息的输出地址信息AQ。

[0363] 当在输入地址信息IAD是正确的地址信息的情况下,将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号 (失败) 输出到CPU 20。

[0364] 可以在多选择异常发生时检测到异常,其中在多条字线WL之中选择了多条字线WL。

[0365] 图21是用于说明根据第二实施例的半导体装置1#的操作的时序图 (其4)。

[0366] 在该示例中,将描述错误选择异常的情况,其中从多条字线WL中选择了错误的字线WL。

[0367] 如图21中所示,在时间T54,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0368] 此外,在时间T54,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0369] 在时间T55,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0370] 第一列判定电路5C比较第一列地址信息CT和第二列地址信息CB并由于它们彼此互补,所以输出第一列判定信号CFLG (“L”电平)。

[0371] 此外,在时间T56,行解码器4基于输入行地址信息RAD选择了多条字线WL之中的由于错误而导致错误的字线WL。

[0372] 在时间T57,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在该示例中,第一行地址信息RT和第二行地址信息RB根据错误的字线WL而被生成为彼此互补的关系。

[0373] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为它们彼此互补,而输出第一行判定信号RFLG (“L”电平)。

[0374] 在时间T58,由于第一行判定信号RFLG (“L”电平) 被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。由于第一列判定信号CFLG (“L”电平) 被设置,因此第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0375] 检测器5P输出包括错误的行地址信息和列地址信息的输出地址信息AQ。

[0376] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号 (失败) 输出到CPU 20。

[0377] 可以在错误选择异常发生时检测到异常,其中从多条字线WL中选择了错误的字线WL。

[0378] 图22是用于说明根据第二实施例的半导体装置1#的操作的时序图 (部分5)。

[0379] 在本示例中,将描述列选择线Y的选择操作未被执行的情况。

[0380] 如图22中所示,在时间T59,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0381] 在该示例中,列解码器10没有基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0382] 第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为相互互补的关系。

[0383] 因此,由于第一列地址信息CT与第二列地址信息CB不具有互补关系,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG(“H”电平)。

[0384] 在时间T60,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0385] 在时间T61,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0386] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0387] 在时间T62,由于第一行判定信号RFLG(“L”电平)被设置,因此第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。由于第一列判定信号CFLG被设置为“H”电平,因此第一行地址信息RT被反相并作为EXOR逻辑运算结果RTO被输出到触发器80至83。

[0388] 检测器5P输出包括反相的行地址信息和错误的列地址信息的输出地址信息AQ。

[0389] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0390] 因此,可以在未选择异常发生时检测到异常,其中多条列选择线Y中的一条列选择线未被选择。

[0391] 图23是用于说明根据第二实施例的半导体装置1#的操作的时序图(部分6)。

[0392] 在该示例中,将描述多条列选择线Y之中的多条列选择线Y被选择的情况。

[0393] 如图23中所示,在时间T64,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0394] 此外,在时间T64,在该示例中,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0395] 在时间T65,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为彼此互补的关系。

[0396] 因此,由于第一列地址信息CT与第二列地址信息CB不具有互补关系,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG(“H”电平)。

[0397] 在时间T66,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0398] 在时间T67,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0399] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0400] 在时间T68,由于第一行判定信号RFLG(“L”电平)被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。由于第一列判定信号CFLG被设置为“H”电平,因此第一行地址信息RT被反相并作为EXOR逻辑运算结果RTO被输出到触发

器80至83。

[0401] 检测器5P输出包括反相的行地址信息和错误的列地址信息的输出地址信息AQ。

[0402] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0403] 因此,可以在多选择异常发生时检测到异常,其中多条列选择线Y之中的多条列选择线Y被选择。

[0404] 图24是图示根据第二实施例的半导体装置1#的操作的第七时序图。

[0405] 在该示例中,将描述错误选择异常的情况,其中从多条列选择线Y中选择错误的列选择线Y。

[0406] 如图24中所示,在时间T69,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0407] 此外,在时间T69,在本示例性实施例中,列解码器10基于输入列地址信息CAD来选择多条列选择线Y之中的错误的列选择线Y。

[0408] 在时间T70,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在该实施例中,第一列地址信息CT和第二列地址信息CB根据错误的列选择线Y而被生成为彼此互补的关系。

[0409] 因此,由于第一列地址信息CT与第二列地址信息CB互补,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并输出第一列判定信号CFLG(“L”电平)。

[0410] 此外,在时间T71,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0411] 在时间T72,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0412] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为它们彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0413] 在时间T73,由于第一行判定信号RFLG(“L”电平)被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被原样输出到触发器77至79。另外,第一列判定信号CFLG(“L”)被设置,所以第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0414] 检测器5P输出包括行地址信息和错误的列地址信息的输出地址信息AQ。

[0415] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0416] 因此,可以在错误选择异常发生时检测到异常,其中在多条列选择线Y之中选择了错误的列选择线Y。

[0417] <实施例3>

[0418] 图25是用于说明根据第三实施例的半导体装置1#A的概要的图。

[0419] 参照图25,半导体装置1#A包括存储器宏15#A、CPU 20和比较器11。

[0420] CPU 20控制存储器宏15#A以获取存储在存储器宏15#A中的数据。

[0421] 存储器宏15#A与存储器宏15的不同之处在于:检测电路5被检测电路5Q代替。由于其他配置相同,因此将不重复其详细描述。

[0422] 检测电路5Q基于从行编码器6输出的第一行地址信息RT和第二行地址信息RB、以及从列编码器9输出的第一列地址信息CT和第二列地址信息CB,来输出输出地址信息AQ。输出地址信息AQ包括输出行地址信息ORAD和输出列地址信息OCAD。

[0423] 比较器电路11将从检测器电路5Q输出的输出地址信息AQ与输入地址信息IAD进行比较,并将比较结果输出到CPU 20。

[0424] 图26是图示根据第三实施例的检测电路5Q、行编码器6和列编码器9的电路配置的图。

[0425] 参照图26,与图16的检测电路5P相比,不同之处在于进一步增加了OR电路84。检测电路5Q包括第一行判定电路5A、第二行判定电路5B#、第一列判定电路5C和第二列判定电路5D#。

[0426] 第一行判定电路5A包括EXOR电路64-67以及NAND电路70。

[0427] 第二行判定电路5B#包括EXOR电路60#至63#和触发器 (FF) 80至83。

[0428] 第一列判定电路5C包括EXOR电路33-35以及NAND电路36。

[0429] 第二列判定电路5D#包括EXOR电路30#至32#和触发器 (FF) 77至79。

[0430] 第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB,基于比较结果来输出第一行判定信号RFLG。

[0431] 第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并且基于比较结果来输出第一列判定信号CFLG。

[0432] OR电路84将第一行判定信号RFLG和第一列判定信号CFLG的OR逻辑运算结果XFLG分别输出到第二行判定电路5B#和第二列判定电路5D#。

[0433] 第二行判定电路5B#基于第一行地址信息RT和OR逻辑运算结果XFLG来生成输出行地址信息ORAD。

[0434] 第二列判定电路5D#基于第二列地址信息CB和OR逻辑运算结果XFLG来生成输出列地址信息OCAD。

[0435] 当OR逻辑运算结果XFLG (“L”电平) 以与第二实施例中所述相同的方式被输入时,第二行判定电路5B#将第一行地址信息RT作为EXOR逻辑运算结果RT0分别存储在触发器80至83中。

[0436] 当OR逻辑运算结果XFLG (“L”电平) 被输入时,第二列判定电路5D#将第一列地址信息CT作为EXOR逻辑运算结果CT0分别存储在触发器77至79中。

[0437] 另一方面,当OR逻辑运算结果XFLG (“H”电平) 被输入时,第二行判定电路5B#使第一行地址信息RT反相,并将反相的第一行地址信息RT作为EXOR逻辑运算结果RT0存储在触发器80至83中。

[0438] 另外,当OR逻辑运算结果XFLG (“H”电平) 被输入时,第二列判定电路5D#使第一列地址信息CT反相,并将其作为EXOR逻辑运算结果CT0分别存储在触发器77至79中。

[0439] 因此,当行解码器4或列解码器10中存在异常时,由于第一行判定信号RFLG、第一列判定信号CFLG之一变成H电平,OR逻辑运算结果XFLG被设置为H电平。

[0440] 因此,当OR逻辑运算结果XFLG为“H”电平时,第一行地址信息RT和第二列地址信息CT均被反相并被存储在触发器中。

[0441] 因此,当在输入地址信息IAD是正确的地址信息的情况下,将输入地址信息IAD和

输出地址信息AQ彼此比较时,比较电路11将不匹配判定信号(失败)输出到CPU 20。

[0442] 图27是用于说明根据第三实施例的行解码器4和列解码器10的异常的图。

[0443] 如图27中所示,当由于行解码器4的异常而在多条字线WL未被选择发生非选择异常时、或者由于列解码器10的异常而在多条列选择线Y未被选择时发生非选择异常时,从检测电路5Q输出的输出地址信息AQ中的行地址信息和列地址信息被反相。

[0444] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0445] 当正常选择多条字线WL中的一条字线时并且当正常选择多条列选择线Y中的一条列选择线时,从检测电路5Q输出的输出地址信息AQ包括正确的行地址信息和列地址信息。

[0446] 因此,当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将与比较结果匹配的判定信号(通过)输出到CPU 20。

[0447] 当由于行解码器4的异常而在多条字线WL之中选择多条字线WL的情况下发生多选择异常时,或者当由于列解码器10的异常而在多条列选择线Y之中选择多条列选择线Y的情况下发生多选择异常时,从检测电路5Q输出的输出地址信息AQ中的行地址信息和列地址信息被反相。

[0448] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0449] 当由于行解码器4的异常而发生其中在多条字线WL之中选择了错误的字线WL的错误选择异常时,或者当发生其中从多条列选择线Y之中选择了错误的列选择线Y的错误选择异常时,从检测电路5Q输出的输出地址信息AQ包括错误的行地址信息或列地址信息。

[0450] 因此,即使当输入地址信息IAD是正确的地址信息时,当将输入地址信息IAD和输出地址信息AQ彼此比较时,比较电路11也将与比较结果不一致的判定信号(失败)输出到CPU 20。

[0451] 图28是图示根据第三实施例的半导体装置1#A的操作的第一时序图。

[0452] 在本示例中,将描述正常操作的情况。

[0453] 如图28中所示,在时间T74,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0454] 此外,在时间T74,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0455] 在时间T75,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0456] 因此,第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB并由于它们彼此互补,所以输出第一列判定信号CFLG(“L”电平)。

[0457] 在时间T76,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0458] 在时间T77,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0459] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为

它们彼此互补,而输出第一行判定信号RFLG (“L”电平)。

[0460] 在时刻T78,由于第一行判定信号RFLG (“L”电平)和第一列判定信号CFLG (“L”电平)之间的OR逻辑运算结果XFLG (“L”电平)被设置,因此第一列地址信息CT作为EXOR逻辑运算结果CT0分别被直接输出到触发器77至79。由于第一列判定信号CFLG (“L”电平)被设置,因此第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0461] 检测器5Q输出包括正确的行地址信息和列地址信息的输出地址信息AQ。

[0462] 当在输入地址信息IAD是正确的地址信息时将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将一致判定信号(通过)输出到CPU 20。

[0463] 图29是用于说明根据第三实施例的半导体装置1#A的操作的时序图(部分2)。

[0464] 在该示例中,将描述没有选择字线WL的操作的情况。

[0465] 如图29中所示,在时间T79,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0466] 此外,在时间T79,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0467] 在时间T80,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0468] 因此,由于第一列地址信息CT与第二列地址信息CB具有互补关系,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并输出第一列判定信号CFLG (“L”电平)。

[0469] 在该示例中,行解码器4由于错误而没有基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0470] 第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息,但是在本实施例中,第一行地址信息RT和第二行地址信息CT未被生成为相互互补的关系。

[0471] 在时间T81,由于在第一行判定信号RFLG (“H”电平)和第一列判定信号CFLG (“L”电平)之间的OR逻辑运算结果XFLG (“H”电平)被设置,因此第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。由于第一行判定信号RFLG (“H”电平)和第一列判定信号CFLG (“L”电平)的OR逻辑运算结果XFLG (“H”电平)被设置,因此第一行地址信息RT (“1111”)被反相并作为EXOR逻辑运算结果RT0 (“0000”)分别被输出到触发器80至83。

[0472] 检测器5Q输出包括反相的行地址信息和反相的列地址信息的输出地址信息AQ。

[0473] 当在输入地址信息IAD是正确的地址信息的情况下,将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0474] 因此,可以在未选择异常发生时检测到异常,其中多条字线WL中的一条字线未被选择。

[0475] 图30是用于说明根据第三实施例的半导体装置1#A的操作的时序图(部分3)。

[0476] 在该示例中,将描述在多条字线WL之中的多条字线WL被选择的情况。

[0477] 如图30中所示,在时间T83,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0478] 此外,在时间T84,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的

一条列选择线。

[0479] 在时间T84,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0480] 因此,第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB并由于它们彼此互补,所以输出第一列判定信号CFLG (“L”电平)。

[0481] 在时间T85,行解码器4基于输入行地址信息RAD从多条字线WL之中选择了由于错误而导致的多条字线WL。

[0482] 在时间T86,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在本实施例中,第一行地址信息RT和第二行地址信息RB未被生成为相互互补的关系。

[0483] 因此,第一行判定电路5A比较第一行地址信息RT和第二行地址信息RB并因为它们彼此不互补,而保持第一行判定信号RFLG (“H”电平)。

[0484] 在时间T87,由于在第一行判定信号RFLG (“H”电平)和第一列判定信号CFLG (“L”电平)之间的OR逻辑运算结果XFLG (“H”电平)被设置,因此第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。由于第一行判定信号RFLG (“H”电平)和第一列判定信号CFLG (“L”电平)的OR逻辑运算结果XFLG (“H”电平)被设置,因此第一行地址信息RT(未知)被反相并作为EXOR逻辑运算结果RT0被输出到触发器80至83。

[0485] 检测器5Q输出包括反相的行地址信息和反相的列地址信息的输出地址信息AQ。

[0486] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0487] 可以在多选择异常发生时检测到异常,其中在多条字线WL之中选择了多条字线WL。

[0488] 图31是用于说明根据第三实施例的半导体装置1#A的操作的时序图(其4)。

[0489] 在该示例中,将描述错误选择异常的情况,其中从多条字线WL中选择错误的字线WL。

[0490] 如图31中所示,在时间T88,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0491] 此外,在时间T88,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0492] 在时间T89,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0493] 因此,第一列关系电路5C比较第一列地址信息CT和第二列地址信息CB并由于它们彼此互补,所以输出第一列判定信号CFLG (“L”电平)。

[0494] 此外,在时间T90,行解码器4基于输入行地址信息RAD从多条字线WL之中选择了由于错误而导致的错误的字线WL。

[0495] 在时间T91,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB,但是在该示例中,第一行地址信息RT和第二行地址信息RB根据错误的字线WL而被生成为彼此互补的关系。

[0496] 随之,由于第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并

因为彼此互补,而输出第一行判定信号RFLG (“L”电平)。

[0497] 在时间T92,由于在第一行判定信号RFLG (“L”电平)和第一列判定信号CFLG (“L”电平)之间的OR逻辑运算结果XFLG (“L”电平)被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0分别被直接输出到触发器77至79。由于第一行判定信号RFLG (“L”电平)和第一列判定信号CFLG (“L”电平)的OR逻辑运算结果XFLG (“L”电平)被设置,因此第一行地址信息RT作为EXOR逻辑运算结果RT0直接被输出到触发器80至83。

[0498] 检测器5P输出包括错误的行地址信息和列地址信息的输出地址信息AQ。

[0499] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0500] 可以在错误选择异常发生时检测到异常,其中从多条字线WL中选择了错误的字线WL。

[0501] 图32是图示根据第三实施例的半导体装置1#A的操作的时序图(5)。

[0502] 在本示例中,将描述列选择线Y的选择操作未被执行的情况。

[0503] 如图32中所示,在时间T93,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0504] 在该示例中,列解码器10没有基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0505] 第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为相互互补的关系。

[0506] 因此,由于第一列判定电路与第二列地址信息CB不具有互补关系,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG (“H”电平)。

[0507] 在时间T94,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0508] 在时间T95,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0509] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为彼此互补,而输出第一行判定信号RFLG (“L”电平)。

[0510] 在时间T96,由于在第一行判定信号RFLG (“L”电平)和第一列判定信号CFLG (“H”电平)之间的OR逻辑运算结果XFLG (“H”电平)被设置,因此第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。由于第一行判定信号RFLG (“L”电平)和第一列判定信号CFLG (“H”电平)之间的OR逻辑运算结果XFLG (“H”电平)被设置,所以第一行地址信息RT被反相并作为EXOR逻辑运算结果RT0分别被输出到触发器80至83。

[0511] 检测器5Q输出包括反相的行地址信息和反相的列地址信息的输出地址信息AQ。

[0512] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0513] 因此,可以在未选择异常时发生检测到异常,其中多条列选择线Y中的一条列选择线未被选择。

[0514] 图33是用于说明根据第三实施例的半导体装置1#A的操作的时序图(部分6)。

[0515] 在该示例中,将描述多条列选择线Y之中的多条列选择线Y被选择的情况。

[0516] 如图33中所示,在时间T97,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0517] 此外,在时间T97,在该示例中,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0518] 在时间T98,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在本实施例中,第一列地址信息CT和第二列地址信息CB未被生成为彼此互补的关系。

[0519] 因此,由于第一列判定电路与第二列地址信息CB不具有互补关系,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并保持第一列判定信号CFLG(“H”电平)。

[0520] 在时间T99,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0521] 在时间T100,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0522] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0523] 在时间T101中,由于第一行判定信号RFLG(“L”电平)和第一列判定信号CFLG(“H”电平)之间的OR逻辑运算结果XFLG(“H”电平)被设置,所以第一列地址信息CT被反相并作为EXOR逻辑运算结果CT0分别被输出到触发器77至79。此外,由于第一行判定信号RFLG(“L”电平)和第一列判定信号CFLG(“H”电平)之间的OR逻辑运算结果XFLG(“H”电平)被设置,因此第一行地址信息RT被反相并作为EXOR逻辑运算结果RT0分别被输出到触发器80至83。

[0524] 检测器5Q输出包括反相的行地址信息和反相的列地址信息的输出地址信息AQ。

[0525] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0526] 因此,可以在多选择异常发生时检测到异常,其中多条列选择线Y之中的多条列选择线Y被选择。

[0527] 图34是图示根据第三实施例的半导体装置1#A的操作的时序图(部分7)。

[0528] 在该示例中,将描述错误选择异常的情况,其中从多条列选择线Y中选择错误的列选择线Y。

[0529] 如图34中所示,在时间T102,控制信号PCB被设置为“H”电平。随之,针对预充电电路6C的数据线DL[0]至DL[7]的预充电操作完成。

[0530] 此外,在时间T102中,在本示例性实施例中,列解码器10基于输入列地址信息CAD来选择多条列选择线Y之中的错误的列选择线Y。

[0531] 在时间T103,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是在该实施例中,第一列地址信息CT和第二列地址信息CB根据错误的列选择线Y而被生成为彼此互补的关系。

[0532] 因此,由于第一列判定电路与第二列地址信息CB互补,第一列判定电路5C将第一列地址信息CT与第二列地址信息CB进行比较,并输出第一列判定信号CFLG(“L”电平)。

[0533] 此外,在时间T104中,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0534] 在时间T105,第一和第二行编码器6A、6B分别生成第一行地址信息RT和第二行地址信息RB。在该示例中,第一行地址信息RT和第二行地址信息RB被生成为彼此互补的关系。

[0535] 随之,第一行判定电路5A通过比较第一行地址信息RT和第二行地址信息RB并因为彼此互补,而输出第一行判定信号RFLG(“L”电平)。

[0536] 在时间T106中,由于第一行判定信号RFLG(“L”电平)和第一列判定信号CFLG(“L”电平)之间的OR逻辑运算结果XFLG(“L”电平)被设置,所以第一列地址信息CT作为EXOR逻辑运算结果CT0被按原样输出到触发器77至79。由于第一行判定信号RFLG(“L”电平)和第一列判定信号CFLG(“L”电平)的OR逻辑运算结果XFLG(“L”电平)被设置,因此第一行地址信息RT作为EXOR逻辑运算结果RT0被直接输出到触发器80至83。

[0537] 检测器5Q输出包括行地址信息和错误的列地址信息的输出地址信息AQ。

[0538] 当在输入地址信息IAD是正确的地址信息的情况下将输入地址信息IAD和输出地址信息AQ彼此比较时,比较器11将不匹配判定信号(失败)输出到CPU 20。

[0539] 因此,可以在错误选择异常发生时检测到异常,其中在多条列选择线Y之中选择了错误的列选择线Y。

[0540] <实施例4>

[0541] 图35是用于说明根据第四实施例的半导体装置100的概要的图。

[0542] 参照图35,半导体装置100包括存储器宏16和CPU 20。

[0543] CPU 20控制存储器宏16以获取存储在存储器宏16中的数据。

[0544] 存储器宏16包括存储器阵列2、字驱动器3、行解码器4、解码器故障检测电路110、列选择电路7、预解码器8、列解码器10和判定电路120。

[0545] 由于存储器阵列2、字驱动器3、行解码器4、列选择电路7、预解码器8和列解码器10与以上实施例中描述的那些相同,因此将不重复其详细描述。

[0546] 解码器故障检测电路110检测行解码器4和列解码器10中的异常。

[0547] 判定电路120基于来自解码器故障检测电路110的检测信号将异常信号输出到CPU 20。

[0548] 在该示例中,将描述通过行解码器4和列解码器10检测非选择异常和多选择异常的情况。

[0549] 图36是图示根据第四实施例的行侧上的解码器故障检测电路200的图。

[0550] 参照36,行侧解码器故障检测电路200包括行侧数据线RDL0、RDL1、行侧参考数据线RDL0REF、RDL1REF、P沟道MOS晶体管201、202、204、205、N沟道MOS晶体管203、206、以及栅极晶体管GT0、GT1。

[0551] 在参考数据线RDL0REF与固定电压VSS之间设置N沟道MOS晶体管203,栅极接收控制信号ACT的输入。

[0552] 在电源电压VDD与参考数据线RDL0REF之间设置P沟道MOS晶体管202,并且其栅极连接到漏极侧节点N0。在电源电压VDD和数据线RDL0之间设置P沟道MOS晶体管201,并且其栅极连接到节点N0。P沟道MOS晶体管201和202形成电流镜电路。

[0553] 在参考数据线RDL1REF和固定电压VSS之间设置N沟道MOS晶体管206,栅极接收控制信号ACT的输入。

[0554] 在电源电压VDD与参考数据线RDL1REF之间设置P沟道MOS晶体管205,栅极连接到

漏极侧节点N1。在电源电压VDD和数据线RDL1之间设置P沟道MOS晶体管204,其栅极连接到节点N1。P沟道MOS晶体管204、205形成电流镜电路。

[0555] 此外,在本示例性实施例中,栅极晶体管GT0、GT1与字线WL相对应地设置。栅极晶体管GT0、GT1是N沟道MOS晶体管。在该示例性实施例中,栅极晶体管GT0、GT1与一条字线WL相对应地设置。

[0556] 在数据线RDL0和固定电压VSS之间设置栅极晶体管GT0,其栅极连接到字线WL。

[0557] 在数据线RDL1与固定电压VSS之间设置栅极晶体管GT1,其栅极连接到字线WL。

[0558] 在该示例中,相对于栅极晶体管GT0、GT1的尺寸,N沟道MOS晶体管203的尺寸被设置为1.5倍,并且N沟道MOS晶体管201的尺寸被设置为0.5倍。

[0559] 当字线WL被设置为“H”电平时,栅极晶体管GT0、GT1导通。这导致电流流过栅极晶体管GT0、GT1。

[0560] 另一方面,相对于栅极晶体管GT0、GT1的尺寸,N沟道MOS晶体管203的尺寸被设置为1.5倍,N沟道MOS晶体管201的尺寸被设置为0.5倍。数据线RDL0被设置为“H”电平,并且数据线RDL1被设置为“L”电平。

[0561] 如果字线WL未被选择,即被设置为“L”电平,则栅极晶体管GT0、GT1将不导通。

[0562] 在这种情形下,数据线RDL0、RDL1都被保持在“H”电平。

[0563] 当多条字线WL被设置为“H”电平时,多个栅极晶体管GT0、GT1导通。这导致电流流过栅极晶体管GT0、GT1。

[0564] 相对于栅极晶体管GT0、GT1的尺寸,N沟道MOS晶体管203的尺寸被设置为1.5倍,并且N沟道MOS晶体管201的尺寸被设置为0.5倍,但是由于多个栅极晶体管GT0、GT1导通,所以数据线RDL0、RDL1都被设置为“L”电平。

[0565] 列侧上的解码器故障检测电路是相同的配置。

[0566] 具体而言,栅极晶体管GT与各条列选择线Y相对应地设置。以相同的方式提供列侧上的数据线CDL0、RDL1、列侧上的参考数据线RDL0REF、RDL1REF等。

[0567] 当列选择线Y被设置为“H”电平时,栅极晶体管GT导通。数据线CDL0被设置为“H”电平,并且数据线CDL1被设置为“L”电平。

[0568] 如果列选择线Y未被选择,即被设置为“L”电平,则栅极晶体管GT将不导通。两条数据线CDL0、CDL1都被保持在“H”电平。

[0569] 当多条列选择线Y被设置为“H”电平时,多个栅极晶体管GT导通。两条数据线CDL0、CDL1均被设置为“L”电平。

[0570] 图37是图示根据第四实施例的解码器故障检测电路110的检测结果的图。

[0571] 如图37中所示,当由于行解码器4的异常而引起多条字线WL中的一条字线未被选择时发生未选择异常,数据线RDL0、RDL1均被设置为“H”电平。当由于行解码器4中的异常而在多条字线WL之中选择多条字线WL时发生多选择异常,数据线RDL0、RDL1均被设置为“L”电平。

[0572] 当行解码器4正常时,数据线RDL0、RDL1分别被设置为“H”电平和“L”电平。

[0573] 在由于列解码器10中的异常而引起多条列选择线Y未被选择的非选择异常的情况下,数据线CDL0、CDL1均被设置为“H”电平。当由于列解码器10中的异常而引起多条列选择线Y之中的多条列选择线Y被选择时发生多个选择异常,数据线CDL0、CDL1均被设置为“L”电

平。

[0574] 当列解码器10正常时,数据线CDL0、CDL1分别被设置为“H”电平和“L”电平。

[0575] 图38是根据第四实施例的判定电路120的电路配置图。

[0576] 参照图38,判定电路120包括第一和第二判定单元310、320、NOR电路330、反相器332和触发器 (FF) 334。

[0577] 第一判定单元310包括NAND电路312、314。

[0578] NAND电路314通过接收从数据线和RDL1输入的信号,将NAND逻辑运算结果输出到RDL0电路312。

[0579] NAND电路312接收来自数据线RDL0的信号和来自NAND电路314的输出,并将NAND逻辑运算结果输出到NOR电路330。

[0580] 在该实施例中,当数据线RDL0、RDL1均为“H”电平以及均为“L”电平时,NAND电路312的输出被设置为“H”电平。

[0581] 另一方面,当数据线RDL0、RDL1为“H”电平和“L”电平时,NAND电路312的输出被设置为“L”电平。

[0582] 第二判定单元320包括NAND电路322和324。

[0583] NAND电路324通过接收从数据线和CDL1输入的信号,将NAND逻辑运算结果输出到CDL0电路322。

[0584] NAND电路322接收来自数据线CDL0的信号和来自NAND电路324的输出,并且将NAND逻辑运算结果输出到NOR电路330。

[0585] 在该实施例中,当数据线CDL0、CDL1均为“H”电平以及均为“L”电平时,NAND电路322的输出被设置为“H”电平。

[0586] 另一方面,当数据线CDL0、CDL1为“H”电平和“L”电平时,NAND电路322的输出被设置为“L”电平。

[0587] NOR电路330接收NAND电路312和322的输入,并将NOR逻辑运算结果输出到反相器332。

[0588] 反相器332使NOR电路330的信号反相,并将其存储在触发器 (FF) 334中。

[0589] 在本示例性实施例中,当NAND电路312和322中的一个电路的输出处于“H”电平时,“H”电平被存储在触发器 (FF) 334中,异常信号FLAG (“H”电平) 被输出。

[0590] 图39是用于说明根据第四实施例的行解码器4和列解码器10的异常的图。

[0591] 如图39中所示,当由于行解码器4的异常而在多条字线WL未被选择的情况下发生非选择异常、或者在多条字线WL之中选择了多条字线WL的情况下发生多选择异常,异常信号FLAG (H电平) 根据NAND电路312的输出 (H电平) 来设置。

[0592] 当由于列解码器10的异常而在多条列选择线Y未被选择的情况下发生非选择异常、或者在多条列选择线Y之中选择了多条列选择线Y的情况下发生多选择异常时,异常信号FLAG (H电平) 根据NAND电路322的输出 (H电平) 来设置。

[0593] 当行解码器4和列解码器10都正常时,错误信号FLAG被设置为“L”电平。

[0594] 图40是图示根据第四实施例的半导体装置100的操作的时序图。

[0595] 在本示例中,将描述正常操作的情况。

[0596] 如图40中所示,在时间T110,控制信号ACT被设置为“H”电平。解码器故障检测电路

110相应地操作。

[0597] 参考数据线RDL0REF、RDL1REF根据晶体管的尺寸开始下降到“L”电平。

[0598] 在时间T111,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。随之,栅极晶体管GT0、GT1导通。

[0599] 在时间T112,数据线RDL0、RDL1分别被放大到“H”电平和“L”电平。

[0600] 接下来,在时间T113,判定电路120基于数据线RDL0 (“H”电平)和RDL1 (“L”电平),输出异常信号FLAG (“L”电平)。

[0601] 尽管在该示例中已描述了字线WL,但是这同样适用于列选择线Y。

[0602] 图41是图示根据第四实施例的半导体装置100的操作的时序图(部分2)。

[0603] 在该示例中,将描述没有选择字线WL的操作的情况。

[0604] 如图41中所示,在时间T114,控制信号ACT被设置为“H”电平。解码器故障检测电路110相应地操作。

[0605] 参考数据线RDL0REF、RDL1REF根据晶体管的尺寸开始下降到“L”电平。

[0606] 在该示例中,行解码器4由于错误而没有基于输入行地址信息RAD来选择多条字线WL中的一条字线。在这种情形下,栅极晶体管GT0、GT1将不导通。

[0607] 在时间T115,数据线RDL0、RDL1中的每条保持“H”电平。

[0608] 接下来,在时间T116,判定电路120基于数据线RDL0 (“H”电平)和RDL1 (“H”电平),输出异常信号FLAG (“H”电平)。

[0609] 因此,当其中多条字线WL中的一条字线未被选择的未选择异常发生时,可以检测到异常。

[0610] 尽管在该示例中已描述了字线WL,但是这同样适用于列选择线Y。

[0611] 图42是图示根据第四实施例的半导体装置100的操作的时序图(部分3)。

[0612] 在该示例中,将描述在多条字线WL之中的多条字线WL被选择的情况。

[0613] 如图42中所示,在时间T117,控制信号ACT被设置为“H”电平。解码器故障检测电路110相应地操作。

[0614] 参考数据线RDL0REF、RDL1REF根据晶体管的尺寸开始下降到“L”电平。

[0615] 在时间T118,行解码器4基于输入行地址信息RAD来选择多条字线WL。随之,多个栅极晶体管GT0、GT1导通。

[0616] 在时间T119,两条数据线RDL0、RDL1均被设置为“L”电平。

[0617] 接下来,在时间T120,判定电路120基于数据线RDL0 (“L”电平)和RDL1 (“L”电平),输出异常信号FLAG (“H”电平)。

[0618] 当其中在多条字线WL之中选择多条字线WL的多选择异常发生时,可以检测到异常。

[0619] 尽管在该示例中已描述了字线WL,但是这同样适用于列选择线Y。

[0620] <实施例4的改型>

[0621] 图43是图示根据第四实施例改型的解码器故障检测电路110#和判定电路120#的电路配置的图。

[0622] 参照图43,解码器故障检测电路110#包括列编码器9和行侧解码器故障检测电路210。

- [0623] 列编码器9与第一实施例中描述的相同。
- [0624] 列编码器9连接到多条列选择线Y,并且基于所选择的列选择线Y的上升沿而对列地址信息进行编码。
- [0625] 行侧解码器故障检测电路210包括数据线DL、参考数据线DREF1、DREF2、N沟道MOS晶体管TRS0-TRS15、预充电电路6C#和虚设电路410、412。
- [0626] 预充电电路6C#包括分别与参考数据线DREF1、DREF2相对应设置的数据线DL,用于将数据线DL和参考数据线DREF1、DREF2预充电至预定电压的多个预充电晶体管PT,调节晶体管TRSP、TRSQ。预充电晶体管PT根据控制信号PCB操作,并且当控制信号PCB处于“L”电平时,将数据线DL和参考数据线DREF1、DREF2预充电至预定电压。
- [0627] 与参考数据线DREF1相对应地设置调节晶体管TRSP。
- [0628] 与参考数据线DREF2相对应地设置调节晶体管TRSQ。
- [0629] 调节晶体管TRSP、TRSQ是N沟道MOS晶体管,其根据控制信号PCB调节参考数据线DREF1、DREF2的相应电压。
- [0630] 通过从预充电的预定电压导通调节晶体管TRSP、TRSQ,将参考数据线DREF1、DREF2调节到参考电压VREF1、VREF2。
- [0631] 当N沟道MOS晶体管TRS0-TRS15的驱动能力被设置为1时,调节晶体管TRSP的驱动能力被设置为1.5。此外,当N沟道MOS晶体管TRS0-TRS15的驱动能力被设置为1时,调节晶体管TRSQ的驱动能力被设置为0.5。
- [0632] 虚设电路410、412是用于为每个参考数据线DREF1、DREF2添加伪数据线DL和相同电容的电路。具体地,将15个N沟道MOS晶体管TRS分别连接到参考数据线DREF1、DREF2,接收控制信号TIEL1、TIEL2的输入。
- [0633] 正常情况下,当字线WL被选择时,字线WL[0]-WL[15]中的一条字线WL被激活,其它字线WL处于非活动状态。
- [0634] 即,16个N沟道MOS晶体管TRS0-TRS15中的连接到数据线DL的一个N沟道MOS晶体管TRS导通,其余15个N沟道MOS晶体管TRS不导通。
- [0635] 因此,数据线DL是添加了剩余15个N沟道MOS晶体管TRS的漏极电容的状态。
- [0636] 在该实施例中,通过将虚设电路410、412的控制信号TIEL1、TIEL2设置为相应的“L”电平,可以为每个参考数据线DREF1、DREF2提供与待被添加到数据线DL上的漏极电容相同的漏极电容。
- [0637] 然后,根据控制信号PCB被设置为“H”电平,调节晶体管TRSP、TRSQ导通。
- [0638] 在这种情况下,当N沟道MOS晶体管TRS0-TRS15的驱动能力被设置为1时,调节晶体管TRSP的驱动能力被设置为1.5,并且调节晶体管TRSQ的驱动能力被设置为0.5。
- [0639] 因此,数据线DL在字线WL被选择时的电压被设置在参考电压VREF1和参考电压VREF2之间。
- [0640] 判定电路120#包括EXOR电路33-35、感测放大器(SA)401、402、传输门TF0-TF4、NOR电路403、NAND电路404、触发器(FF)405和反相器-INV。
- [0641] 传输门TF0-TF4在经由反相器INV接收到控制信号ADSAE的输入和控制信号ADSAE的反相信号的输入后而导通。
- [0642] 更具体地,传输门TF0将感测放大器401的一个输入节点连接到数据线DL。传输门

TF1将感测放大器401的另一个输入节点连接到参考数据线DREF1。

[0643] 传输门TF2还将感测放大器(SA) 402的一个输入节点连接到参考数据线DREF2。传输门TF3将感测放大器402的另一个输入节点连接到数据线DL。

[0644] 感测放大器(SA) 401根据控制信号ADSAE的输入而被激活,通过比较数据线DL与参考数据线DREF1之间的电压而被放大,并输出控制信号NONE,数据线DL连接到感测放大器(SA) 401的一个输入节点,参考数据线DREF1连接到另一个输入节点。

[0645] 感测放大器(SA) 402根据控制信号ADSAE的输入而被激活,并通过比较参考数据线DREF2与数据线DL之间的电压而被放大,并输出控制信号MULTI,参考数据线DREF2连接到感测放大器(SA) 402的一个输入节点,数据线DL连接到另一个输入节点。

[0646] NOR电路403接收控制信号NONE和MULTI的输入,并将NOR逻辑运算结果输出到NAND电路404。

[0647] 如果控制信号NONE和MULTI均为“L”电平,则NAND电路404输出“H”电平。另一方面,如果控制信号NONE和MULTI之一为“H”电平,则NAND电路404输出“L”电平。

[0648] EXOR电路33至35将第一列地址信息CT与第二列地址信息CB进行比较,并输出EXOR逻辑运算结果CB0。

[0649] 当第一列地址信息CT和第二列地址信息CB彼此互补时(当它们是正常时),EXOR电路33至35的EXOR逻辑运算结果CB0全部输出“H”电平。在关系方面,如果第一列地址信息CT和第二列地址信息CT彼此不互补(如果它们不正常),则EXOR电路33-35的EXOR逻辑运算结果CB0中的至少一个输出“L”电平。

[0650] 因此,当列编码器9未检测到异常时,所有EXOR逻辑运算结果CB0都被设置为“H”电平。此外,当行侧上的解码器故障检测电路210未检测到异常时,控制信号NONE被设置为“L”电平,控制信号MULTI被设置为“L”电平。

[0651] 因此,NAND电路404输出“L”电平,触发器(FF) 405存储“L”电平。然后,它输出控制信号FLAG (“L”电平)。

[0652] 另一方面,当列编码器9检测到错误时,EXOR逻辑运算结果CB0的任何一位被设置为“L”电平。此外,当在行侧的解码器故障检测电路210中检测到异常时,控制信号NONE或控制信号MULTI被设置为“H”电平。

[0653] 因此,NAND电路404输出“H”电平,触发器(FF) 405存储“H”电平。然后,它输出控制信号FLAG (“H”电平)。

[0654] 图44是图示根据第四实施例的改型的行解码器4和列解码器10的异常的图。

[0655] 如图44中(A)所示,当在由于列解码器10中的异常而在多条列选择线Y未被选择的情况下发生非选择异常时,EXOR逻辑运算结果CB0不是“111”,并且CB0中的任何一位被设置为“L”电平。

[0656] 此外,即使当在多条列选择线Y之中的多条列选择线Y被选择时发生多选择错误,EXOR逻辑运算结果CB0也不是“111”,而是其中一位被设置为“L”电平。

[0657] 当多条列选择线Y中的一条列选择线被选择时,EXOR逻辑运算结果CB0被设置为“111”。

[0658] 如图44中(B)所示,当由于行解码器4的异常而引起多条字线WL中的一条字线未被选择时存在未选择异常时,控制信号NONE (“H”电平)被设置为控制信号MULTI (“L”电平)。

[0659] 当多条字线WL中的一条字线被成功选择时,控制信号NONE(“L”电平)和控制信号MULTI(“L”电平)被设置。

[0660] 在由于行解码器4的异常而在多条字线WL之中选择了多条字线WL的多选择异常的情况下,控制信号NONE(“L”电平)和控制信号MULTI(“H”电平)被设置。

[0661] 如图44中(C)所示,当由于行解码器4的异常而在多条字线WL未被选择的情况下发生非选择异常、或者由于在多条字线WL之中选择了多条字线WL的情况下发生多选择异常时,异常信号FLAG(H)根据NOR电路403的输出(L)来设置。

[0662] 当列解码器10中的错误导致以下异常时:误差信号FLAG(“H”电平)根据EXOR逻辑运算结果CB0的任何一位(“L”电平)来设置,在不超过一条列选择线Y被选择的情况下的非选择异常、或者在从多条列选择线Y之中选择多条列选择线Y的情况下的多选择异常。

[0663] 当行解码器4和列解码器10都正常时,错误信号FLAG被设置为“L”电平。

[0664] 图45是图示根据第四实施例的改型的半导体装置100的操作的第一时序图。

[0665] 在本示例中,将描述正常操作的情况。

[0666] 如图45中所示,在时间T121,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0667] 在时间T122,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0668] 由于第一列地址信息CT和第二列地址信息CB被比较并且彼此互补,所以输出EXOR逻辑运算结果CB0(全部“H”电平)。

[0669] 在时间T123,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。

[0670] 此外,参考数据线DREF1、DREF2根据控制信号PCB的输入(“H”电平)而分别被设置为参考电压VREF1、VREF2。

[0671] 在此,数据线DL的电压被设置在参考电压VREF1和VREF2之间。

[0672] 在时间T124,控制信号ADSAE(“H”电平)被激活。因此,感测放大器(SA)401和402被激活,并且控制信号NONE(L电平)和MULTI(L电平)被输出。

[0673] 在时间T125,判定电路120#基于EXOR逻辑运算结果CB0(全部“H”电平)、控制信号NONE(“L”电平)和MULTI(“L”电平),输出异常信号FLAG(“L”电平)。

[0674] 图46是图示根据第四实施例的改型的半导体装置100的操作的时序图(部分2)。

[0675] 在该示例中,将描述没有选择字线WL的操作的情况。

[0676] 如图46中所示,在时间T126,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0677] 在时间T127,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0678] 由于第一列地址信息CT和第二列地址信息CB被比较并且彼此互补,所以输出EXOR逻辑运算结果CB0(全部“H”电平)。

[0679] 此外,在本示例性实施例中,行解码器4由于错误而没有基于输入行地址信息RAD来选择多条字线WL中的一条字线。因此,数据线DL保持预定的预充电电压。

[0680] 此外,参考数据线DREF1、DREF2分别根据控制信号PCB的输入(“H”电平)、“HL”电

平)而被设置为参考电压VREF1、VREF2。

[0681] 在此,数据线DL的电压大于参考电压VREF1、VREF2。

[0682] 在时间T129,控制信号ADSAE (“H”电平)被激活。因此,感测放大器(SA)401和402被激活,并且控制信号NONE (“H”电平)和MULTI (“L”电平)被输出。

[0683] 在时间T130中,判定电路120#基于EXOR逻辑运算结果CB0(全部H电平)、控制信号NONE (“H”电平)和MULTI (“L”电平),输出异常信号FLAG (“H”电平)。

[0684] 因此,当其中多条字线WL中的一条字线未被选择的未选择异常发生时,可以检测到异常。

[0685] 图47是图示根据第四实施例的改型的半导体装置100的操作的时序图(部分3)。

[0686] 在该示例中,将描述多条字线WL之中的多条字线WL被选择的情况。

[0687] 如图47中所示,在时间T131,列解码器10基于输入列地址信息CAD来选择多条列选择线Y中的一条列选择线。

[0688] 在时间T132,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB。在该示例中,第一列地址信息CT和第二列地址信息CB被生成为彼此互补的关系。

[0689] 由于第一列地址信息CT和第二列地址信息CB被比较并且彼此互补,所以输出EXOR逻辑运算结果CB0(全部“H”电平)。

[0690] 在时间T133中,行解码器4基于输入行地址信息RAD从多条字线WL中选择由于异常而导致的多条字线WL。

[0691] 此外,参考数据线DREF1、DREF2分别根据控制信号PCB的输入 (“H”电平)、“(HL”电平)而被设置为参考电压VREF1、VREF2。

[0692] 在此,数据线DL的电压小于参考电压VREF1、VREF2。

[0693] 在时间T134,控制信号ADSAE (“H”电平)被激活。因此,感测放大器(SA)401和402被激活,并且控制信号NONE (L电平)和MULTI (H电平)被输出。

[0694] 在时间T135中,判定电路120#基于EXOR逻辑运算结果CB0(全部“H”电平)、控制信号NONE (“L”电平)和MULTI (“H”电平),输出异常信号FLAG (“H”电平)。

[0695] 当其中在多条字线WL之中选择多条字线WL的多选择异常发生时,可以检测到异常。

[0696] 图48是图示根据第四实施例的改型的半导体装置100的操作的时序图(部分4)。

[0697] 在本示例中,将描述列选择线Y的选择操作未被执行的情况。

[0698] 如图48中所示,在第一和第二列编码器9A、9B中,第一列地址信息CT和第二列地址信息CB均被设置为“L”电平。因此,第一列地址信息CT和第二列地址信息CB未被生成为彼此互补的关系。

[0699] 第一列地址信息CT和第二列地址信息CB被比较,并且由于它们彼此不互补,所以输出EXOR逻辑运算结果CB0(全部“L”电平)。

[0700] 在时间T136,行解码器4基于输入行地址信息RAD从多条字线WL中选择由于异常而导致的多条字线WL。

[0701] 此外,参考数据线DREF1、DREF2分别根据控制信号PCB的输入 (“H”电平)、“(HL”电平)而被设置为参考电压VREF1、VREF2。

[0702] 在此,数据线DL的电压被设置在参考电压VREF1和VREF2之间。

[0703] 在时间T137,控制信号ADSAE (“H”电平)被激活。因此,感测放大器(SA)401和402被激活,并且控制信号NONE (L电平)和MULTI (L电平)被输出。

[0704] 在时间T138中,判定电路120#基于EXOR逻辑运算结果CB0 (全部“L”电平)、控制信号NONE (“L”电平)和MULTI (“L”电平),输出异常信号FLAG (“H”电平)。

[0705] 因此,当其中多条列选择线Y中的一条列选择线未被选择的未选择异常发生时,可以检测到异常。

[0706] 图49是图示根据第四实施例的改型的半导体装置100的操作的时序图(部分5)。

[0707] 在该示例中,将描述多条列选择线Y之中的多条列选择线Y被选择的情况。

[0708] 如图49中所示,在时间T139,列解码器10基于输入列地址信息CAD来选择多条列选择线Y。

[0709] 在时间T140,第一和第二列编码器9A、9B分别生成第一列地址信息CT和第二列地址信息CB,但是未被生成彼此互补的关系。

[0710] 因此,由于第一列地址信息CT和第二列地址信息CB彼此比较并且彼此不互补,所以EXOR逻辑运算结果CB0 (至少一个信号为“L”电平)被输出。

[0711] 在时间T141中,行解码器4基于输入行地址信息RAD从多条字线WL中选择由于错误而导致的一条字线。

[0712] 此外,参考数据线DREF1、DREF2分别根据控制信号PCB的输入 (“H”电平)、“(HL”电平)而被设置为参考电压VREF1、VREF2。

[0713] 在此,数据线DL的电压被设置在参考电压VREF1和VREF2之间。

[0714] 在时间T142,控制信号ADSAE (“H”电平)被激活。因此,感测放大器(SA)401和402被激活,并且控制信号NONE (L电平)和MULTI (L电平)被输出。

[0715] 在时间T143,判定电路120#基于EXOR逻辑运算结果CB0 (至少一个信号为“L”电平)、控制信号NONE (“L”电平)和MULTI (“L”电平),输出异常信号FLAG (“H”电平)。

[0716] 因此,当其中多条列选择线Y之中的多条列选择线Y被选择的多选择异常发生时,可以检测到异常。

[0717] <实施例5>

[0718] 图50是用于说明根据第五实施例的半导体装置的1P的概要的图。

[0719] 参照图50,半导体装置1P包括存储器宏15P和CPU 20。

[0720] CPU 20控制存储器宏15P以获取存储在存储器宏15P中的数据。

[0721] 与存储器宏15相比,存储器宏15P的不同之处在于:提供子解码器130代替行编码器6和列编码器9,并且提供检测电路132代替检测电路5。由于其他配置相同,因此将不会重复其详细描述。

[0722] 子解码器130包括类似于行解码器4和列解码器10的子行解码器4#和子列解码器10#。

[0723] 检测电路132检测行解码器4和列解码器10中的故障。

[0724] 图51是图示根据第五实施例的存储器阵列2及其外围电路的图。

[0725] 参照图51,它与图2的配置的不同之处在于,提供了子行解码器4#和子列解码器10#。

[0726] 子行解码器4#基于输入行地址数据RAD,将行选择信号输出到多条虚设行选择线

DRWL。子列解码器10#基于输入列地址信息CAD,将列选择信号输出到多条虚设列选择线DY。在该实施例中,设置了虚设行选择线DRWL[0]至DRWL[15]。另外,提供了虚设列选择线DY[0]至DY[7]。

[0727] 图52是图示根据第五实施例的检测电路132的检测单元140的图。

[0728] 参照图52,检测电路132用于检测分别与存储器单元行相对应的行侧行解码器4中的异常,包括多个检测单元140、数据线145、146、P沟道MOS晶体管141、142和反相器143、144。P沟道MOS晶体管141、142是对数据线145、146进行预充电的预充电晶体管。

[0729] P沟道MOS晶体管141、142连接到数据线145、146,并根据控制信号PCB(“L”电平)导通。数据线145和146被设置为“H”电平。

[0730] 数据线145和146被共同提供给多个检测单元140。

[0731] 具体地,通过根据控制信号PCB(“L”电平)进行预充电将数据线145、146设置至预定电压。

[0732] 反相器143输出通过使数据线145的电压信号反相而获得的控制信号PDL0。

[0733] 反相器144输出通过使数据线146的电压信号反相而获得的控制信号PDL1。

[0734] 在该示例中,示出了一个检测单元140。

[0735] 检测单元140包括栅极晶体管GT0-GT3和反相器-INV。

[0736] 栅极晶体管GT0、GT2串联连接在数据线145和固定电压VSS之间,栅极分别接收字线WL的信号和对应的虚设行选择线DRWL的信号。

[0737] 栅极晶体管GT1、GT3串联连接在数据线146和固定电压VSS之间,栅极分别接收字线WL的信号和对应的虚设行选择线DRWL的经由反相器INV反相的信号输入。

[0738] 例如,当行解码器4和子行解码器4#正常操作时,当字线WL被设置为“H”电平时,对应的虚设行选择线DRWL也被设置为“H”电平。

[0739] 因此,栅极晶体管GT0、GT2均导通,并且数据线145连接到固定电压VSS。即,数据线145被设置为“L”电平。

[0740] 另一方面,因为经由反相器INV反相的虚设行选择线DRWL的信号被输入,所以栅极晶体管GT3不导通。即,数据线146被设置为“H”电平。

[0741] 控制信号PDL0被设置为“H”电平,并且控制信号PDL1被设置为“L”电平。

[0742] 图53是图示根据第五实施例的检测电路132的检测结果的图。

[0743] 如图53中所示,例如,如果行解码器4和子行解码器4#未正常操作并且字线WL未被选择,则栅极晶体管GT0、GT1将不导通。即,数据线145和146都保持“H”电平。

[0744] 控制信号PDL0、PDL1均被设置为“L”电平。

[0745] 例如,当行解码器4和子行解码器4#正常操作并且选择一条字线WL时,栅极晶体管GT0、GT2都导通。数据线145连接到固定电压VSS。即,数据线145被设置为“L”电平。数据线146未连接到固定电压VSS。即,数据线146被设置为“H”电平。

[0746] 控制信号PDL0被设置为“H”电平,控制信号PDL1被设置为“L”电平。

[0747] 例如,当行解码器4和子行解码器4#未正常操作并且多条字线WL被选择时,检测单元140的栅极晶体管GT0、GT2都导通。数据线145连接到固定电压VSS。即,数据线145被设置为“L”电平。另一个感测单元140的栅极晶体管GT1、GT3也导通。数据线146连接到固定电压VSS。即,数据线146被设置为“L”电平。

[0748] 控制信号PDL0、PDL1均被设置为“H”电平。

[0749] 例如,如果行解码器4和子行解码器4#未正常操作并且字线WL选择了错误的字线,则栅极晶体管GT0、GT2都将不导通。同样,栅极晶体管GT1、GT3都不导通。即,数据线145和146都保持“H”电平。

[0750] 控制信号PDL0、PDL1均被设置为“L”电平。

[0751] 尽管在该示例中已经描述了用于检测行解码器4和子行解码器4#的检测单元140,但是列解码器10和子列解码器10#类似地也提供有列侧上的检测单元。

[0752] 具体地,列侧检测单元以与行侧检测单元相同的方式通过用列选择线Y代替字线WL而连接到栅极晶体管GT0、GT1的栅极。另外,虚设列选择线DY代替虚设行选择线DRWL连接到栅极晶体管GT2并且经由反相器INV连接到栅极晶体管GT3。

[0753] 例如,当列解码器10和虚设列解码器10#正常操作时,并且当列选择线Y被设置为“H”电平时,对应的虚设列选择线DY也被设置为“H”电平。

[0754] 因此,栅极晶体管GT0、GT2均导通,并且数据线145连接到固定电压VSS。即,数据线145被设置为“L”电平。

[0755] 另一方面,因为虚设列选择线DY的经由反相器INV的反相信号被输入,所以栅极晶体管GT3不导通。即,数据线146被设置为“H”电平。

[0756] 控制信号QDL0被设置为“H”电平,并且控制信号QDL1被设置为“L”电平。

[0757] 例如,如果列解码器10和子列解码器10#未正常操作并且列选择线Y未被选择,则栅极晶体管GT0、GT1将不导通。即,数据线145和146都保持“H”电平。

[0758] 控制信号QDL0、QDL1均被设置为“L”电平。

[0759] 例如,如果列解码器10和子列解码器10#未正常操作并且多条列选择线Y被选择,则栅极晶体管GT0、GT2都导通。数据线145连接到固定电压VSS。即,数据线145被设置为“L”电平。数据线146连接到固定电压VSS。即,数据线146被设置为“L”电平。

[0760] 控制信号QDL0、QDL1均被设置为“H”电平。

[0761] 例如,如果列解码器10和子列解码器10#未正常操作并且不正确的列选择线Y被选择,则栅极晶体管GT0、GT2都将不导通。同样,栅极晶体管GT1、GT3都不导通。即,数据线145和146都保持“H”电平。

[0762] 控制信号QDL0、QDL1均被设置为“L”电平。

[0763] 图54是图示根据第五实施例的检测电路132的合成电路134的图。

[0764] 参照图54,组合电路134包括组合单元340、350、NOR电路360、反相器362和触发器(FF) 364。

[0765] 组合单元340包括NAND电路342、344。

[0766] 组合单元350包括NAND电路352、354。

[0767] NAND电路344在接收到从控制信号PDL0和PDL1输入的信号时,将NAND逻辑运算结果输出到342。

[0768] NAND电路342接收控制信号PDL0和来自NAND电路344的输出,并且将NAND逻辑运算结果输出到NOR电路360。

[0769] 如果控制信号PDL0、PDL1均为“H”电平以及均为“L”电平,则NAND电路342的输出被设置为“H”电平。

[0770] 另一方面,当控制信号PDL0、PDL1为“H”电平和“L”电平时,NAND电路342的输出被设置为“L”电平。

[0771] NAND电路354在接收到从控制信号QDL0和QDL1输入的信号时,将NAND逻辑运算结果输出到352。

[0772] NAND电路352接收控制信号QDL0和来自NAND电路354的输出,并且将NAND逻辑运算结果输出到NOR电路360。

[0773] 如果控制信号QDL0、QDL1均为“H”电平以及均为“L”电平,则NAND电路352的输出被设置为“H”电平。

[0774] 另一方面,当控制信号QDL0、QDL1为“H”电平和“L”电平时,NAND电路352的输出被设置为“L”电平。

[0775] NOR电路360接收NAND电路342和352的输入,并将NOR逻辑运算结果输出到反相器362。

[0776] 反相器362使NOR电路360的信号反相,并将其存储在触发器(FF)364中。

[0777] 在本示例性实施例中,当NAND电路342和352之一的输出处于“H”电平时,“H”电平被存储在触发器(FF)364中,异常信号FLAG(“H”电平)被输出。

[0778] 图55是用于说明根据第五实施例的行解码器4和列解码器10的异常的图。

[0779] 如图55中所示,由于行解码器4的异常,所以当多条字线WL未被选择时存在非选择异常,当从多条字线WL之中选择多条字线WL时存在多选择异常,或者当多条字线WL之中错误的字线WL被选择时存在错误选择异常。如果发生异常,则根据NAND电路342的输出(“H”电平)将其设置为异常信号FLAG(“H”电平)。

[0780] 列解码器10的异常导致:在多条列选择线Y未被选择的情况下的非选择异常,在多条列选择线Y被选择的情况下的多选择异常,或者在从多条列选择线Y之中选择错误列选择线Y的情况下的错误选择异常。如果发生异常,则根据NAND电路352的输出(“H”电平)将其设置为异常信号FLAG(“H”电平)。

[0781] 当行解码器4和列解码器10都正常时,错误信号FLAG被设置为“L”电平。

[0782] 图56是图示根据第五实施例的半导体装置100的操作的第一时序图。

[0783] 在本示例中,将描述正常操作的情况。

[0784] 如图56中所示,在时间T150,控制信号PCB被设置为“H”电平。检测电路132据此进行操作。预充电晶体管由此被设置为不导通,从而对数据线145、146的预充电操作完成。

[0785] 在时间T151,行解码器4基于输入行地址信息RAD来选择多条字线WL中的一条字线。子行解码器4#基于输入行地址信息RAD来选择多个虚设字线DWL中的一条虚设字线。随之,栅极晶体管GT0、GT2导通。

[0786] 因此,数据线145和146分别被设置为“L”电平和“H”电平。

[0787] 在时间T152中,控制信号PDL0、PDL1分别被放大到“H”电平和“L”电平。

[0788] 接下来,在时间T153,检测电路132基于控制信号PDL0(“H”电平)和PDL1(“L”电平),输出异常信号FLAG(“L”电平)。

[0789] 尽管在该示例中已描述了字线WL,但是这同样适用于列选择线Y。

[0790] 图57是图示根据第五实施例的半导体装置100的操作的时序图(部分2)。

[0791] 在该示例中,将描述没有选择字线WL的操作的情况。

[0792] 如图57中所示,在时间T154,控制信号PCB被设置为“H”电平。检测电路132据此进行操作。预充电晶体管由此被设置为不导通,从而对数据线145,146的预充电操作完成。

[0793] 在该示例中,行解码器4和子行解码器4#由于错误而没有基于输入行地址信息RAD来选择多条字线WL中的一条字线和多条虚设字线DWL中的一条虚设字线。在这种情形下,栅极晶体管GT0、GT2将不导通。同样,栅极晶体管GT1、GT3不导通。

[0794] 数据线145和146都保持“H”电平。

[0795] 接下来,在时间T155,判定电路132将基于控制信号PDL0 (“L”电平) 和PDL1 (“L”电平),输出异常信号FLAG (“H”电平)。

[0796] 因此,当其中多条字线WL中的一条字线未被选择的未选择异常发生时,可以检测到异常。

[0797] 尽管在该示例中已经描述了字线WL,但是这同样适用于列选择线Y。

[0798] 图58是图示根据第五实施例的半导体装置100的操作的时序图(部分3)。

[0799] 在该示例中,将描述在多条字线WL之中的多条字线WL被选择的情况。

[0800] 如图58中所示,在时间T156,控制信号PCB被设置为“H”电平。检测电路132据此操作。预充电晶体管由此被设置为不导通,从而对数据线145、146的预充电操作完成。

[0801] 在时间T157,行解码器4基于输入行地址信息RAD来选择多条字线WL。子行解码器4#基于输入行地址信息RAD来选择多条虚设字线DWL。随之,检测单元140的栅极晶体管GT0、GT2导通。而且,另一个检测单元140的栅极晶体管GT1、GT3导通。

[0802] 因此,数据线145和146都被设置为“L”电平。

[0803] 接下来,在时间T158,控制信号PDL0、PDL1都被放大到“H”电平。

[0804] 接下来,在时间T159,判定电路132基于控制信号PDL0 (“H”电平) 和PDL1 (“H”电平),输出异常信号FLAG (“H”电平)。

[0805] 当其中在多条字线WL之中选择多条字线WL的多选择异常发生时,可以检测到异常。

[0806] 尽管在该示例中已经描述了字线WL,但是这同样适用于列选择线Y。

[0807] 图59是图示根据第五实施例的半导体装置100的操作的时序图(部分4)。

[0808] 在该示例中,将描述多条字线WL之中的错误的字线WL被选择的情况。

[0809] 如图59中所示,在时间T160,控制信号PCB被设置为“H”电平。据此操作检测电路132。预充电晶体管由此被设置为不导通,从而对数据线145、146的预充电操作完成。

[0810] 在时间T161中,行解码器4基于输入行地址信息RAD选择多条字线WL之中的错误的字线。子行解码器4#基于输入行地址信息RAD选择多条虚设字线DWL之中的错误的虚设字线。随之,检测单元140的栅极晶体管GT0、GT2不导通。而且,另一个感测单元140的栅极晶体管GT1、GT3不导通。

[0811] 因此,数据线145和146都保持“H”电平。

[0812] 接下来,在时间T162,判定电路132基于控制信号PDL0 (“H”电平) 和PDL1 (“H”电平),输出异常信号FLAG (“H”电平)。

[0813] 当其中从多条字线WL中选择了错误的字线WL的错误选择异常发生时,可以检测到异常。

[0814] 尽管在该示例中已经描述了字线WL,但是这同样适用于列选择线Y。

[0815] <实施例6>

[0816] 图60是图示根据第六实施例的检测电路5Q的电路配置的图。

[0817] 参照图60,检测电路5Q是图示可以由第一实施例的检测电路5代替的配置的图。

[0818] 检测电路5Q包括第一行判定电路5A#、第二行判定电路5B#、第一列判定电路5C#、第二列判定电路5D#和合成电路5E#。

[0819] 第一行判定电路5A#包括EXNOR电路64#至67#。

[0820] 第二行判定电路5B#包括EXOR电路60-63。

[0821] 第一列判定电路5C#包括EXNOR电路33#至35#。

[0822] 第二列判定电路5D#包括EXOR电路30-32。

[0823] 合成器5E#包括N沟道MOS晶体管85至98、预充电晶体管99A和99B、反相器99C、触发器76和数据线LN0、LN1。预充电晶体管99A是P沟道MOS晶体管。预充电晶体管99B是N沟道MOS晶体管。

[0824] N沟道MOS晶体管85-98并联连接在数据线LN0和LN1之间。预充电晶体管99A设置在电源电压VDD和数据线LN0之间,栅极接收控制信号PCB2的输入。预充电晶体管99B设置在固定电压VSS和数据线LN1之间,栅极接收控制信号PCB2的输入。

[0825] 控制信号PCB2在检测操作之前被设置为“L”电平,而在检测操作期间被设置为“H”电平。因此,数据线LN0被预充电到“H”电平。在检测操作中,数据线LN1被设置为“L”电平。

[0826] 反相器99C通过将数据线LN0的信号反相,来将数据存储在触发器(FF)中。

[0827] EXNOR电路64#至67#的输出分别连接到N沟道MOS晶体管95至98的栅极。

[0828] EXOR电路60-63的输出分别连接到N沟道MOS晶体管91-94的栅极。

[0829] EXNOR电路33#至35#的输出分别连接到N沟道MOS晶体管88至90的栅极。

[0830] EXOR电路30-32分别连接到N沟道MOS晶体管85-87的栅极。

[0831] 第一行判定电路5A#比较第一行地址信息RT和第二行地址信息RB,以基于比较结果来导通N沟道MOS晶体管95至98。

[0832] EXNOR电路64#至67#分别接收第一行地址信息RT和第二行地址信息RB的一位输入,并输出EXNOR逻辑运算结果RB0。

[0833] 当第一行地址信息RT和第二行地址信息RB正常时,它们彼此互补。

[0834] 因此,当第一行地址信息RT和第二行地址信息RB彼此互补(正常)时,EXNOR电路64#至67#的EXNOR逻辑运算结果RB0全部以“L”电平输出。在这种情况下,N沟道MOS晶体管95-98全部不导通。因此,数据线LN0保持“H”电平。

[0835] 在关系方面,当第一行地址信息RT和第二行地址信息RB彼此不互补时(当它们不正常时),EXNOR电路64#至67#的EXNOR逻辑运算结果RB0中的至少一个输出“H”电平。在这种情况下,N沟道MOS晶体管95-98中的任何一个都导通。因此,数据线LN0连接到数据线LN1并且被设置为“L”电平。

[0836] 通过将数据线LN0设置为“L”电平,判定第一行地址信息RT和第二行地址信息RB不互补(如果不正常)。即,判定行解码器4有异常并且未被正常解码。

[0837] 具体地,由于行解码器4的异常,判定以下情况:当多条字线WL未被选择时的多选择异常,以及当在多条字线WL之中的多条字线WL被选择时的多选择异常。

[0838] 第二行判定电路5B#将输入行地址信息RAD与第一行地址信息RT进行比较,基于比

较结果来导通N沟道MOS晶体管91至94。

[0839] EXOR电路60至63分别逐位接收输入行地址信息RAD和第一行地址信息RT的输入，并输出EXOR逻辑运算结果RT0。

[0840] 当输入行地址信息RAD和第一行地址信息RT正常时，它们具有相同的关系。

[0841] 因此，当输入行地址信息RAD与第一行地址信息RT处于相同的关系时（当它们正常时），EXOR电路60至63的所有EXOR逻辑运算结果RT0输出“L”电平。在这种情况下，N沟道MOS晶体管91-94全部不导通。因此，数据线LN0保持“H”电平。

[0842] 另一方面，当输入行地址信息RAD和第一行地址信息RT不具有相同的关系时（当输入行地址信息RAD和第一行地址信息RT不正常时），EXOR电路60至63的EXOR逻辑运算结果RT0中的至少一个输出“H”电平。在这种情况下，N沟道MOS晶体管91-94中的至少一个导通。因此，数据线LN0连接到数据线LN1并且被设置为“L”电平。

[0843] 通过将数据线LN0设置为“L”电平，判定输入行地址信息RAD和第一行地址信息RT不是处于相同的关系（如果不正常）。即，判定行解码器4有异常并且未被正常解码。

[0844] 具体地，通过行解码器4中的异常来判定错误选择异常，其中在多条字线WL之中选择了错误的字线WL。

[0845] 第一列判定电路5C#比较第一列地址信息CT和第二列地址信息CB，以基于比较结果来导通N沟道MOS晶体管88至90。

[0846] EXNOR电路33#至35#分别接收第一列地址信息CT和第二列地址信息CB的一位输入，并输出EXNOR逻辑运算结果CB0。

[0847] 当第一列地址信息CT和第二列地址信息CB正常时，它们彼此互补。

[0848] 因此，当第一列地址信息CT和第二列地址信息CB彼此互补（正常）时，EXNOR电路33#至35#的EXNOR逻辑运算结果CB0全部输出“L”电平。在这种情况下，N沟道MOS晶体管88-90都不导通。因此，数据线LN0保持“H”电平。

[0849] 在关系方面，当第一列地址信息CT和第二列地址信息CT彼此不互补时（当它们不正常时），EXNOR电路33#至35#的EXNOR逻辑运算结果CB0中的至少一个输出“H”电平。在这种情况下，N沟道MOS晶体管88-90中的任何一个都导通。因此，数据线LN0连接到数据线LN1并且被设置为“L”电平。

[0850] 通过将数据线LN0设置为“L”电平，判定第一列地址信息CT和第二列地址信息CB不互补（如果不正常）。即，判定列解码器10有异常并且未被正常解码。

[0851] 具体地，由于列解码器10的异常，判定以下情况：在多条列选择线Y未被选择的情况下的非选择异常，以及在多条列选择线Y之中选择多条列选择线Y的情况下的多选择异常。

[0852] 第二列判定电路5D#将输入列地址信息CAD与第一列地址信息CT进行比较，以基于比较结果来导通N沟道MOS晶体管85-87。

[0853] EXOR电路30至32中的每一个接收输入列地址信息CAD和第一列地址信息CT的一位输入，并输出EXOR逻辑运算结果CT0。

[0854] 当输入列地址信息CAD和第一列地址信息CT正常时，它们具有相同的关系。

[0855] 因此，当输入列地址信息CAD和第一列地址信息CT处于相同的关系时（当它们正常时），EXOR电路30至32的所有EXOR逻辑运算结果CT0输出“L”电平。在这种情况下，N沟道MOS

晶体管85-87全部不导通。因此,数据线LN0保持“H”电平。

[0856] 另一方面,当输入列地址信息CAD和第一列地址信息CT不具有相同的关系时(当输入列地址信息CAD和第一列地址信息CT不正常时),EXOR电路30至32的EXOR逻辑运算结果CT0中的至少一个输出“H”电平。在这种情况下,N沟道MOS晶体管85-87中的任何一个都导通。因此,数据线LN0连接到数据线LN1并且被设置为“L”电平。

[0857] 当数据线LN0被设置为“L”电平时,判定输入列地址信息CAD和第一列地址信息CT不处于相同的关系时(当不正常时)。即,判定列解码器10有异常并且未被正常解码。

[0858] 更具体地,通过列解码器10中的异常来判定错误选择异常,其中在多条列选择线Y之中选择了错误的列选择线Y。

[0859] 在合成电路5E#中当数据线LN0为“L”电平时,“H”电平被存储在触发器76中。当数据线LN0为“H”电平时,数据线在触发器76中存储L”电平。

[0860] 触发器76基于所存储的数据输出异常信号FLAG。

[0861] 与第一实施例的配置相比,通过该配置,可以减少逻辑电路的部件数量。即,通过减少N沟道MOS晶体管等的数量,可以以简单的方法实现与第一实施例中描述的检测电路5相同的检测电路5Q。因此,也可以减小布局面积。

[0862] <实施例7>

[0863] 在第七实施例中,将给出半导体装置的测试电路的配置的描述。

[0864] 图61是图示根据第七实施例的检测电路5X的配置的图。

[0865] 参照61,检测电路5X与图3中检测到的检测电路5相比,不同之处在于,进一步添加了DFT(用于测试的设计)电路140、142。

[0866] 由于其他配置相同,因此将不重复其详细描述。

[0867] DFT电路142基于控制信号PTN、控制信号SELXOR和输入行地址信息RAD,来设置第一行地址信息RT和第二行地址信息RB。

[0868] DFT电路140基于控制信号PTN、控制信号SELXOR和输入列地址信息CAD,来设置第一列地址信息CT和第二列地址信息CB。

[0869] 因此,可以在不操作行解码器4和列解码器10的情况下对检测电路5执行测试操作。

[0870] 图62是图示根据第七实施例的DFT电路140、142的测试模式的图。

[0871] 如图62中所示,DFT电路140、142被设置为基于控制信号PTN、控制信号SELXOR、输入行地址信息RAD和输入列地址信息CAD来输出各种测试模式。

[0872] 例如,根据控制信号PTN设置第二行地址信息RB和第二列地址信息CB。

[0873] 例如,DFT电路140和142根据控制信号PTN(“L”电平)将第二行地址信息RB[0]至RB[3],以及第二列地址信息CB[0]-CB[2],全部被设置为“H”电平。

[0874] DFT电路140和142根据控制信号PTN(“H”电平)将第二行地址信息RB[0]至RB[3],以及第二列地址信息CB[0]至CB[2]设置为“L”电平。

[0875] 此外,DFT电路142基于控制信号SELXOR和输入行地址信息RAD的组合来设置第一行地址信息RT[0]至RT[3]。

[0876] 此外,DFT电路140基于控制信号SELXOR和输入列地址信息CAD的组合来设置第一列地址信息CT[0]至CT[2]。

[0877] 在本实施例中,基于第二行地址信息RB、第二列地址信息CB、第一行地址信息RT和第一列地址信息CT的设置,示出EXOR电路的输出和控制信号FLAG的设置结果。

[0878] 基于测试模式来设置第二行地址信息RB、第二列地址信息CB、第一行地址信息RT和第一列地址信息CT,并且当基于该设置的控制信号FLAG和EXOR电路的输出与预期结果不同时,可以判定目标EXOR电路的异常。

[0879] 通过如本方法中那样提供DFT电路140、142,可以逐个测试在检测电路5中提供的EXOR电路30至35和60至67,并且可以确认EXOR电路是否正常操作。

[0880] 实施例7的改型1

[0881] 图63是图示根据第七实施例的第一改型的检测器5Y的配置的图。

[0882] 参照63,检测电路5Y与图60中检测的检测电路5Q的不同之处在于:添加了DFT(用于测试的设计)电路140和142。

[0883] 由于其他配置相同,因此将不重复其详细描述。

[0884] DFT电路142基于控制信号PTN、控制信号SELXOR和输入行地址信息RAD来设置第一行地址信息RT和第二行地址信息RB。

[0885] DFT电路140基于控制信号PTN、控制信号SELXOR和输入列地址信息CAD来设置第一列地址信息CT和第二列地址信息CB。

[0886] 因此,可以在不操作行解码器4和列解码器10的情况下对检测电路5执行测试操作。

[0887] 图64是图示根据第七实施例的改型1的DFT电路140、142的测试模式的图。

[0888] 如图64中所示,DFT电路140、142被设置为基于控制信号PTN、控制信号SELXOR、输入行地址信息RAD和输入列地址信息CAD来输出各种测试模式。

[0889] 例如,根据控制信号PTN设置第二行地址信息RB和第二列地址信息。

[0890] 例如,DFT电路140和142根据控制信号PTN(“L”电平)将第二行地址信息RB[0]至RB[3],以及第二列地址信息CB[0]至CB[2]设置为“H”电平。

[0891] DFT电路140和142根据控制信号PTN(“H”电平)将第二行地址信息RB[0]至RB[3],以及第二列地址信息CB[0]至CB[2]设置为“L”电平。

[0892] 此外,DFT电路142基于控制信号SELXOR和输入行地址信息RAD的组合来设置第一行地址信息RT[0]至RT[3]。

[0893] 此外,DFT电路140基于控制信号SELXOR和输入列地址信息CAD的组合来设置第一列地址信息CT[0]至CT[2]。

[0894] 在本实施例中,基于第二行地址信息RB、第二列地址信息CB、第一行地址信息RT和第一列地址信息CT的设置,示出EXOR电路的输出和控制信号FLAG的设置结果。

[0895] 基于测试模式来设置第二行地址信息RB、第二列地址信息CB、第一行地址信息RT和第一列地址信息CT,并且当基于该设置的控制信号FLAG和EXOR电路和EXNOR电路的输出与预期结果不同时,可以判定EXOR电路和EXNOR电路2的异常。

[0896] 通过如本方法中那样提供DFT电路140、142,可以逐个测试在检测电路5中提供的EXOR电路30至32、60至63以及EXNOR电路33至#35和#64至#67#,并且可以确认EXNOR电路和电路是否正常操作。

[0897] 实施例7的改型2

[0898] 图65是图示根据第七实施例的改型2的行侧上的解码器故障检测电路210的图。在该示例中,将描述在解码器故障检测电路中提供测试电路的情况。

[0899] 参照图65,与图36的行侧上的解码器故障检测电路200相比,不同之处在于:进一步增加了用于测试的字线TWL和用于测试的栅极晶体管TGT0、TGT1。

[0900] 用于测试的栅极晶体管TGT0设置在数据线RDL0与固定电压VSS之间,其栅极连接到用于测试的字线TWL。

[0901] 用于测试的栅极晶体管TGT1设置在数据线RDL1与固定电压VSS之间,其栅极连接到用于测试的字线TWL。

[0902] 利用该配置,可以通过驱动用于测试的字线TWL来执行测试操作,而无需驱动行解码器4来操作用于测试的栅极晶体管TGT0、TGT1以设置数据线RDL0、RDL1。

[0903] 因此,可以确认行侧上的解码器故障检测电路210的操作是否正常操作。

[0904] 还可以通过在列侧上而不限于在行侧上的解码器故障检测电路中提供测试电路来确认列侧上的解码器故障检测电路的操作是否正常操作。

[0905] 实施例7的改型3

[0906] 图66是图示根据第七实施例的第三改型的解码器故障检测电路110#X和判定电路120#X的电路配置的图。在该示例中,将描述在解码器故障检测电路110#X和判定电路120#X中提供测试电路的情况。

[0907] 参照图66,与图43中描述的配置相比,不同之处在于:在判定电路120#X中提供了DFT电路140,将用于测试的字线TWL进一步添加到解码器故障检测电路110#,并且进一步添加了用于测试的栅极晶体管TRST。

[0908] 用于测试的栅极晶体管TRST设置在数据线DL和固定电压VSS之间,其栅极连接到用于测试的字线TWL。

[0909] DFT电路140与上述相同,因此将不重复其详细描述。

[0910] 此外,通过驱动用于测试的字线TWL,可以操作栅极晶体管TRST以设置数据线DL。

[0911] 利用该配置,在不驱动行解码器4和列解码器10的情况下,可以通过使用用于测试的字线TWL和DFT电路140来执行测试操作,来确认解码器故障检测电路110#X和判定电路120#X的操作是否正常操作。

[0912] 实施例7的改型4

[0913] 图67是图示根据第七实施例的第四改型的检测电路132的检测单元140#的图。

[0914] 参照67,检测单元140#与检测单元140的不同之处在于:提供NAND电路145来代替反相器-INV。

[0915] NAND电路145接收虚设行选择线DRWL的信号和控制信号DFTN的输入,并将NAND逻辑运算结果输出到栅极晶体管GT3。

[0916] 如果控制信号DFTN被设置为“H”电平,则NAND电路145用作反相器。即,该配置与图52中描述的检测单元140的配置相同。

[0917] 此外,当控制信号DFTN被设置为“L”电平时,栅极晶体管GT3导通。因此,通过将字线WL设置为“H”电平,可以有意地设置数据线145、146的任何组合的电压信号。

[0918] 利用该配置,可以执行检测电路132的测试操作,以确认检测电路132是否正常操作。

[0919] 尽管已经基于上述实施例具体描述了本公开,但是本公开不限于实施例,并且不用说,在不脱离其主旨的情况下可以做出各种修改。

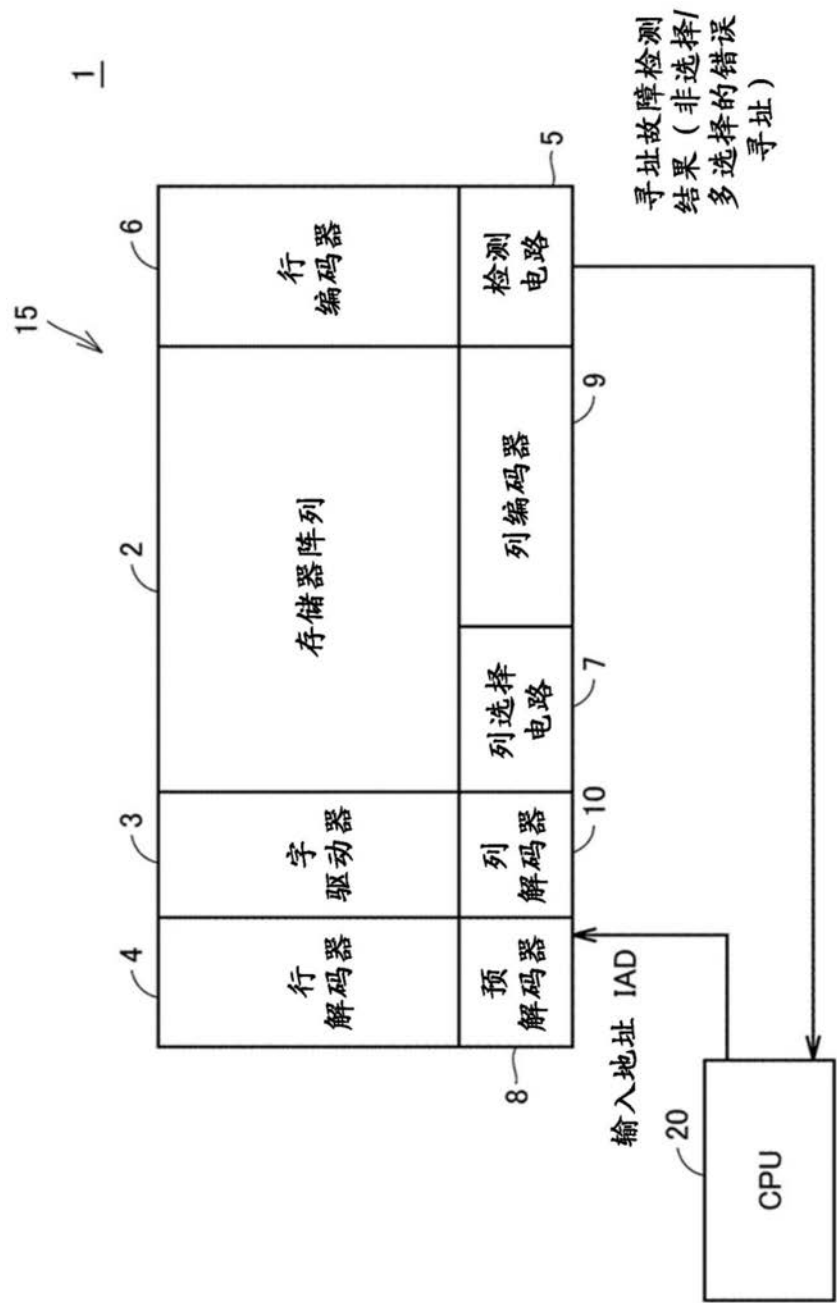


图1

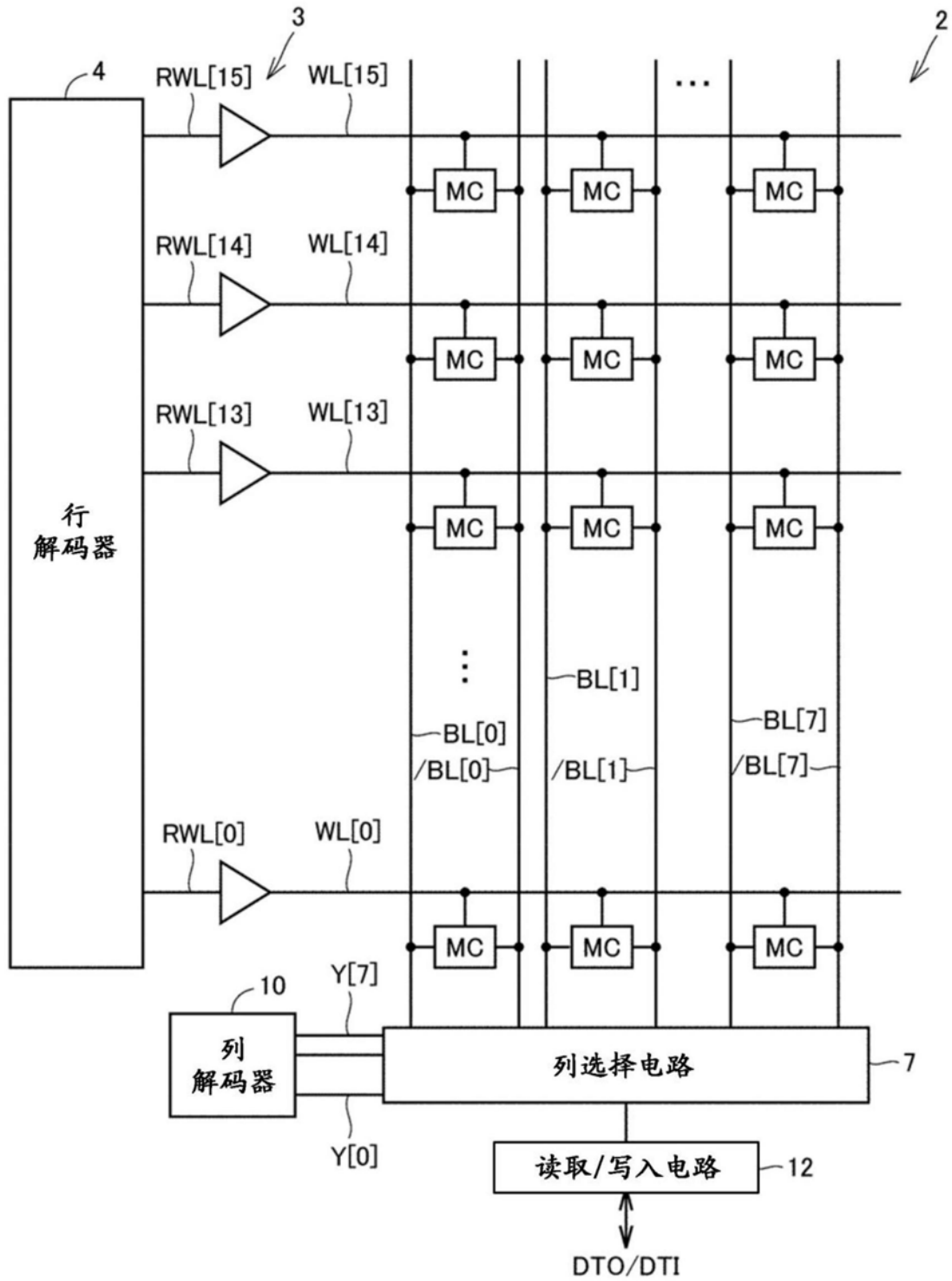


图2

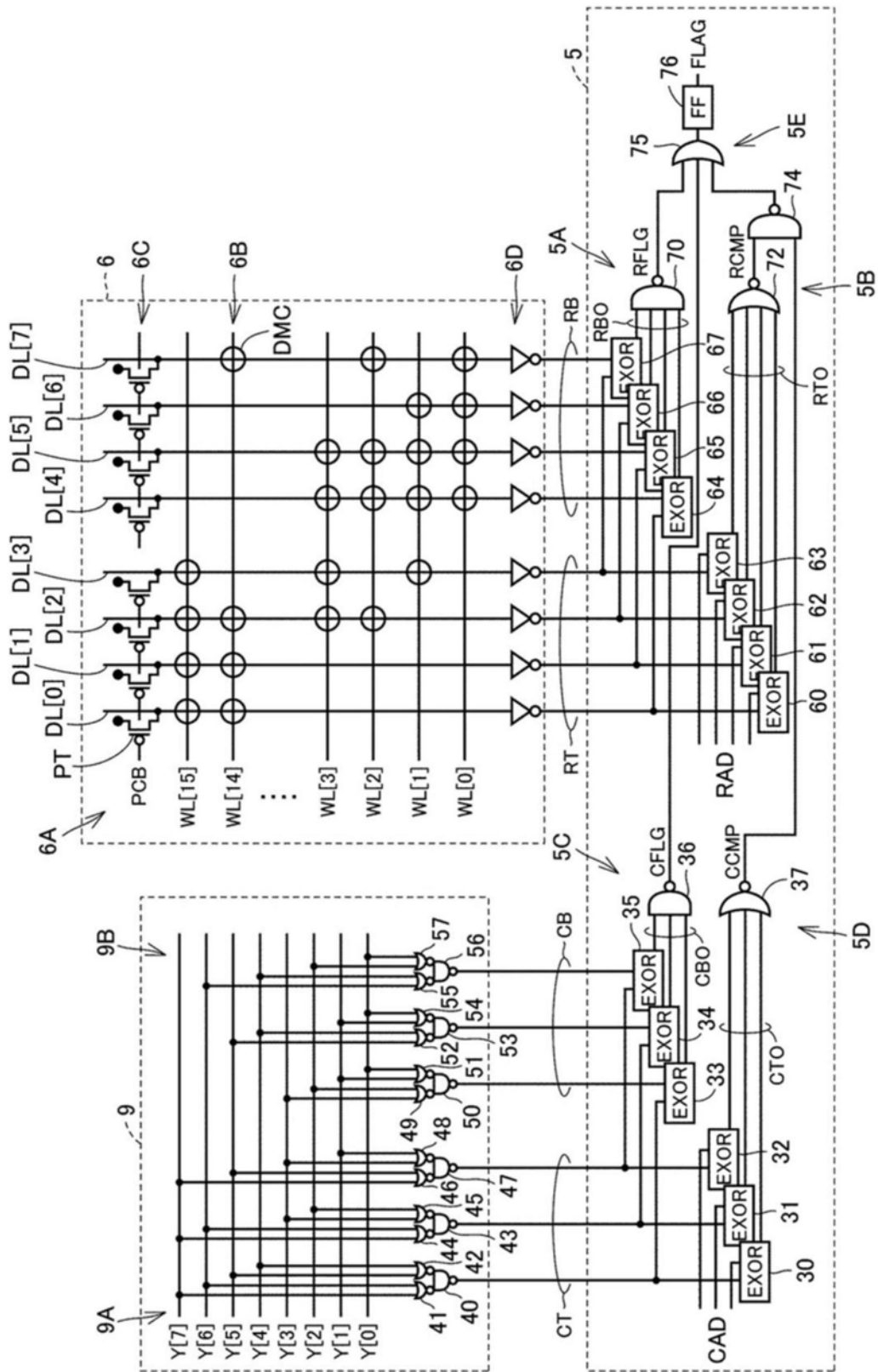


图3

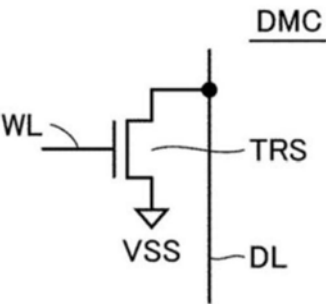


图4

	RT	RB
WL[15]	1111	0000
WL[14]	1110	0001
WL[13]	1101	0010
WL[12]	1100	0011
WL[11]	1011	0100
WL[10]	1010	0101
WL[9]	1001	0110
WL[8]	1000	0111
WL[7]	0111	1000
WL[6]	0110	1001
WL[5]	0101	1010
WL[4]	0100	1011
WL[3]	0011	1100
WL[2]	0010	1101
WL[1]	0001	1110
WL[0]	0000	1111

图5

	CT	CB
Y[7]	111	000
Y[6]	110	001
Y[5]	101	010
Y[4]	100	011
Y[3]	011	100
Y[2]	010	101
Y[1]	001	110
Y[0]	000	111

图6

FLAG	
H	字线WL未被选择或者列选择线Y未被选择
L	字线被单选（常规）和列选择线Y被单选（常规）
H	字线WL被多选或列选择线Y被多选
H	被错误选择

图7

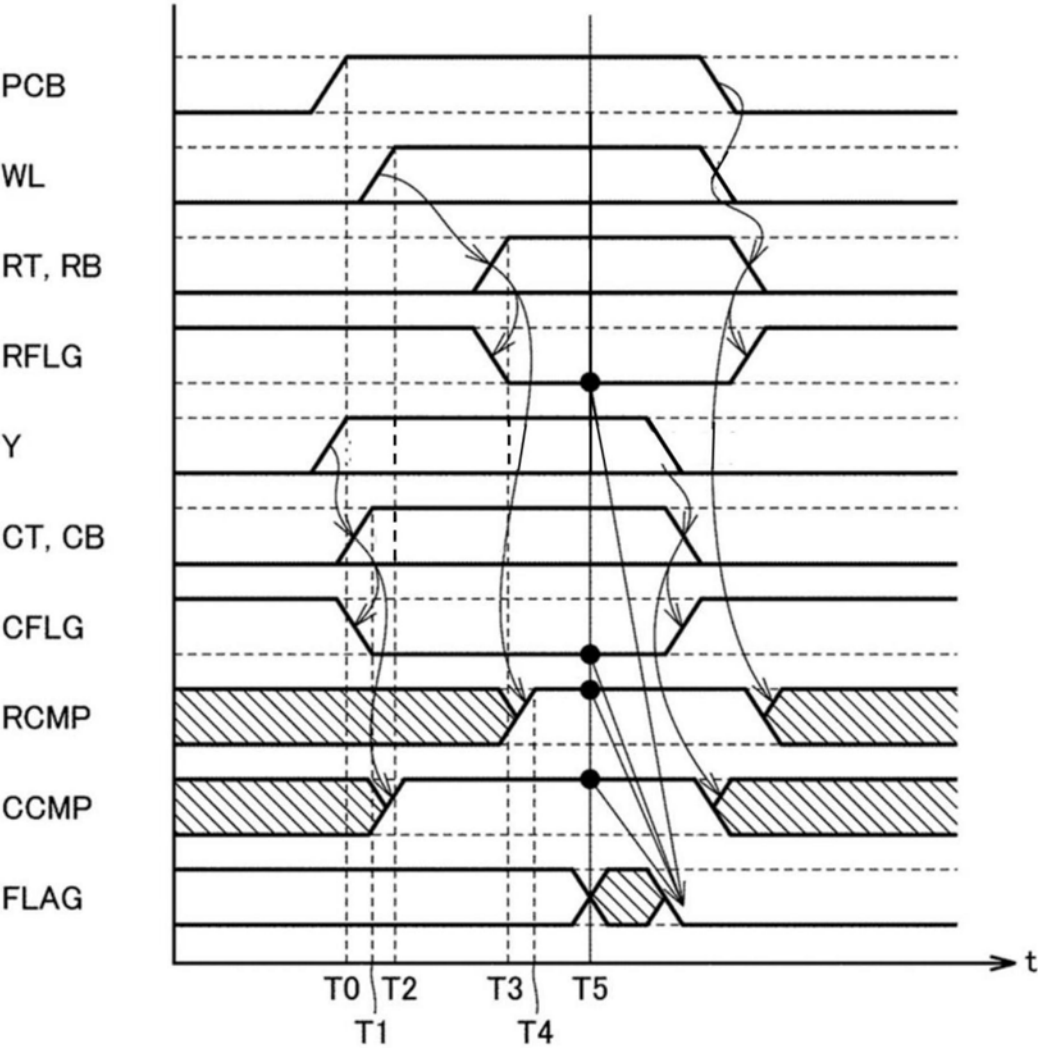


图8

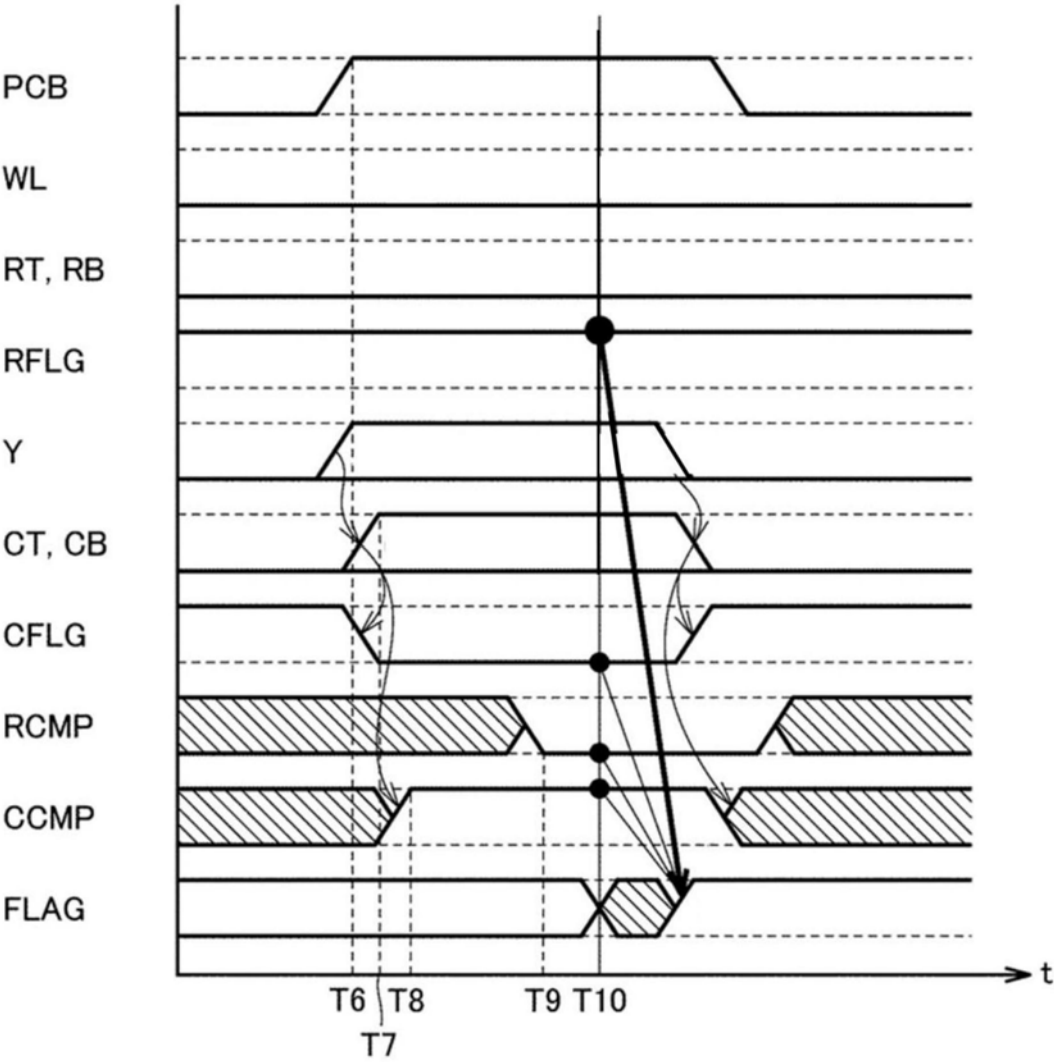


图9

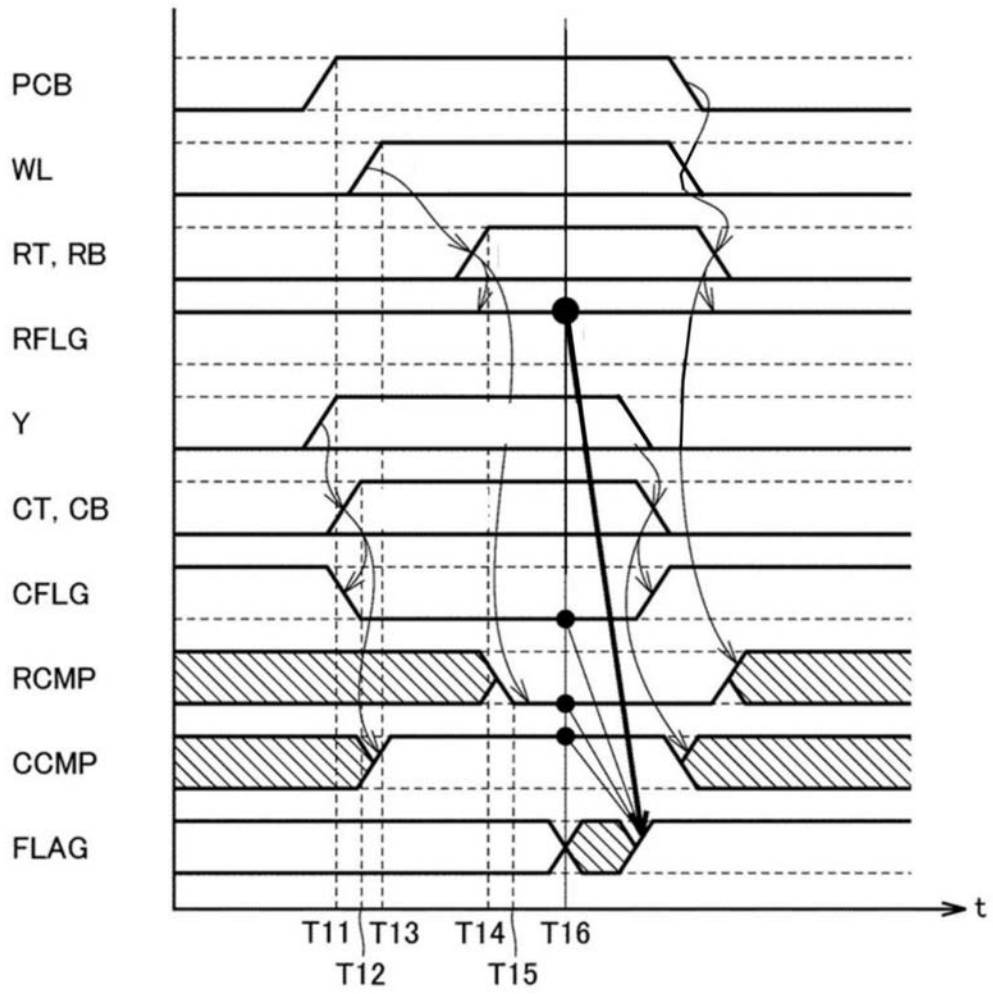


图10

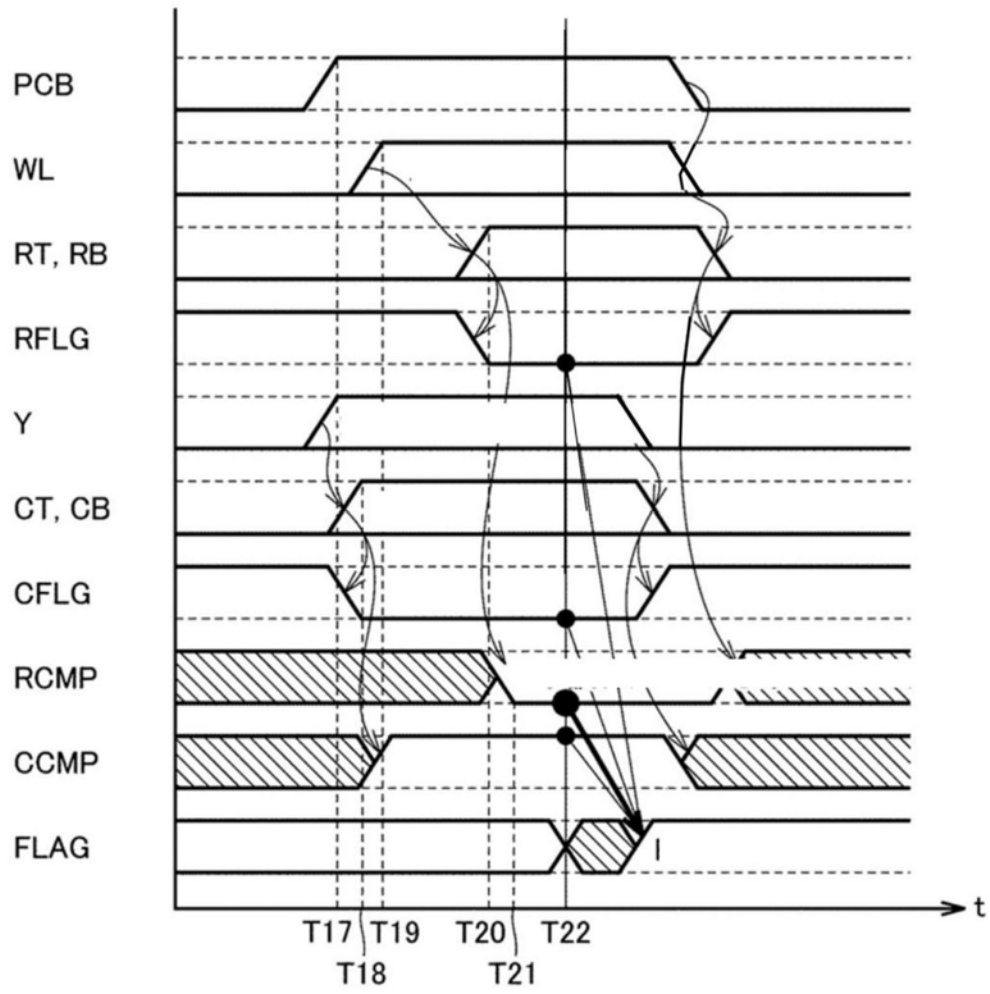


图11

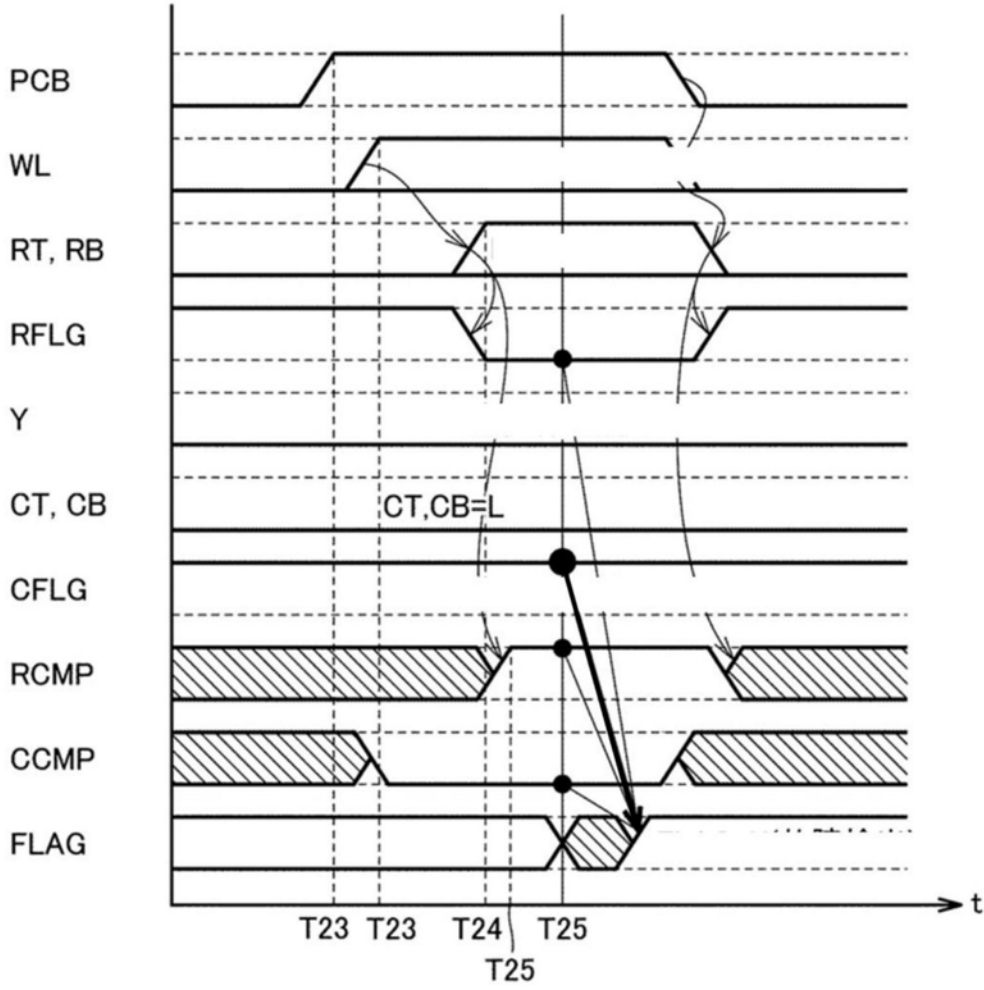


图12

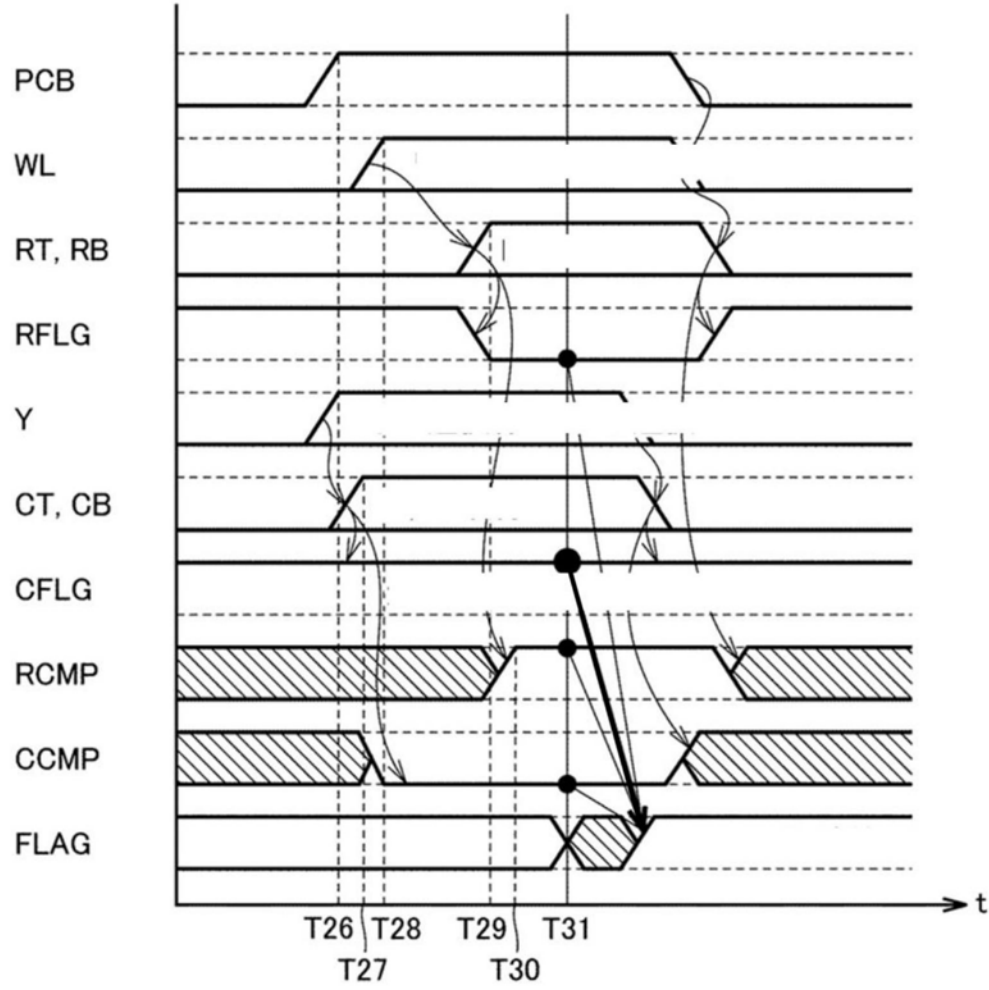


图13

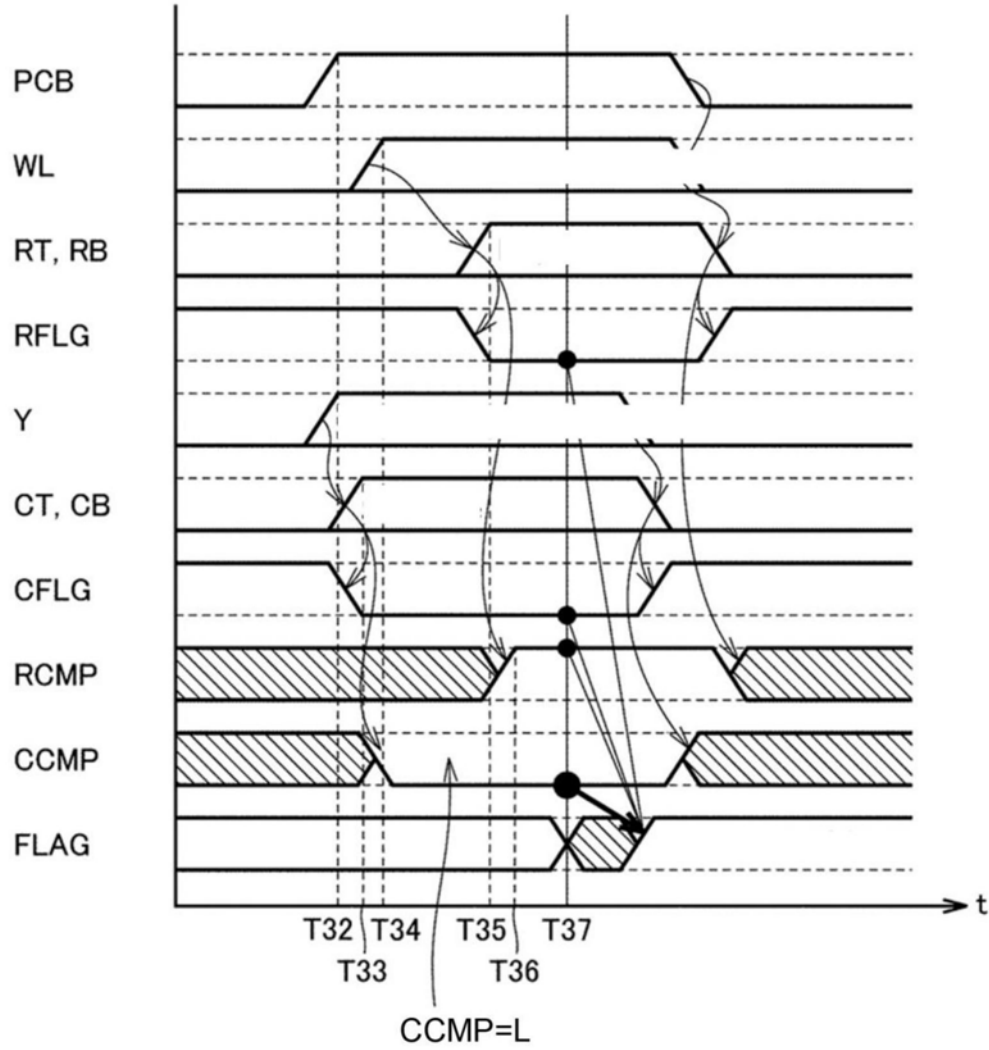


图14

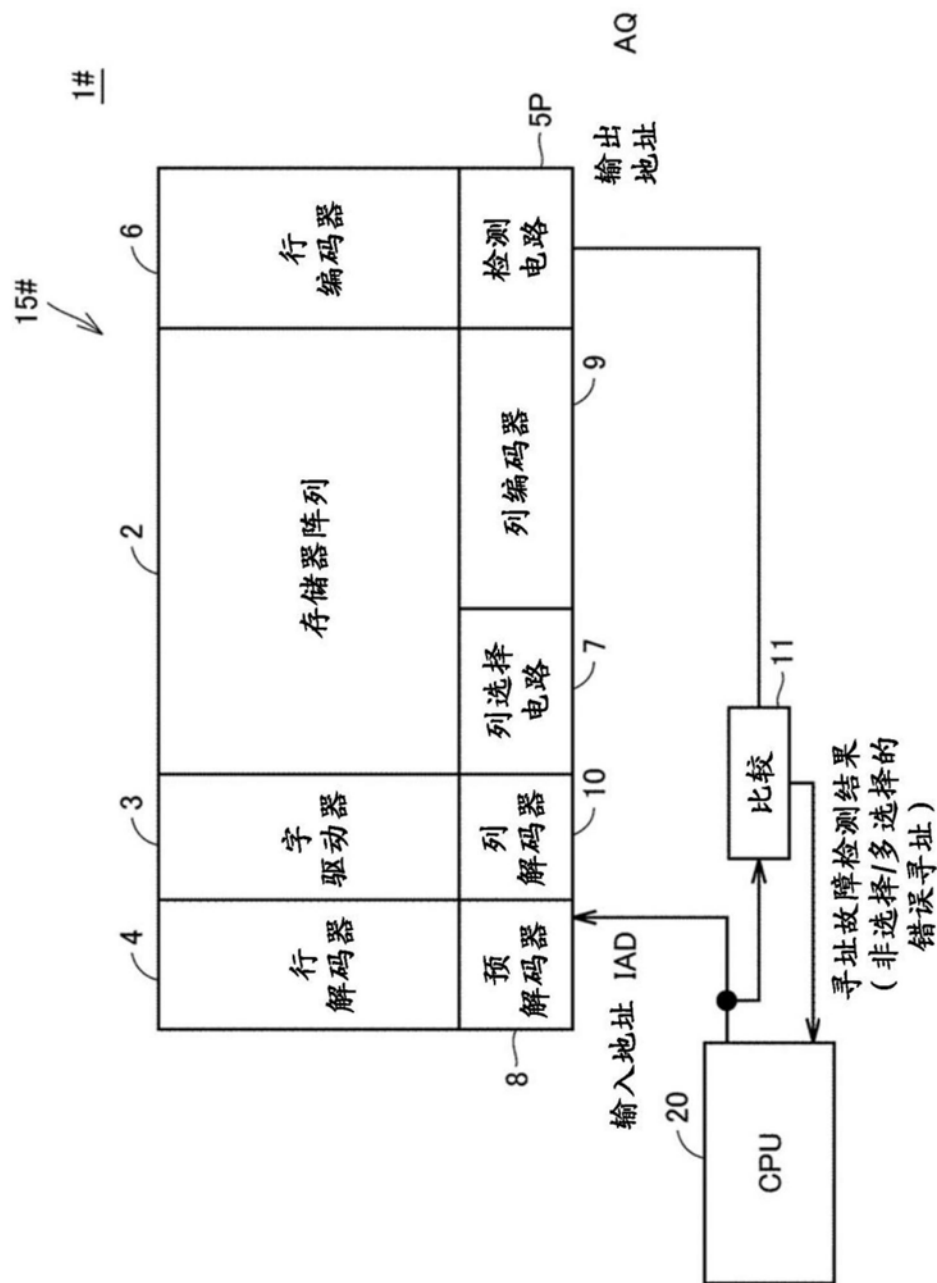


图15

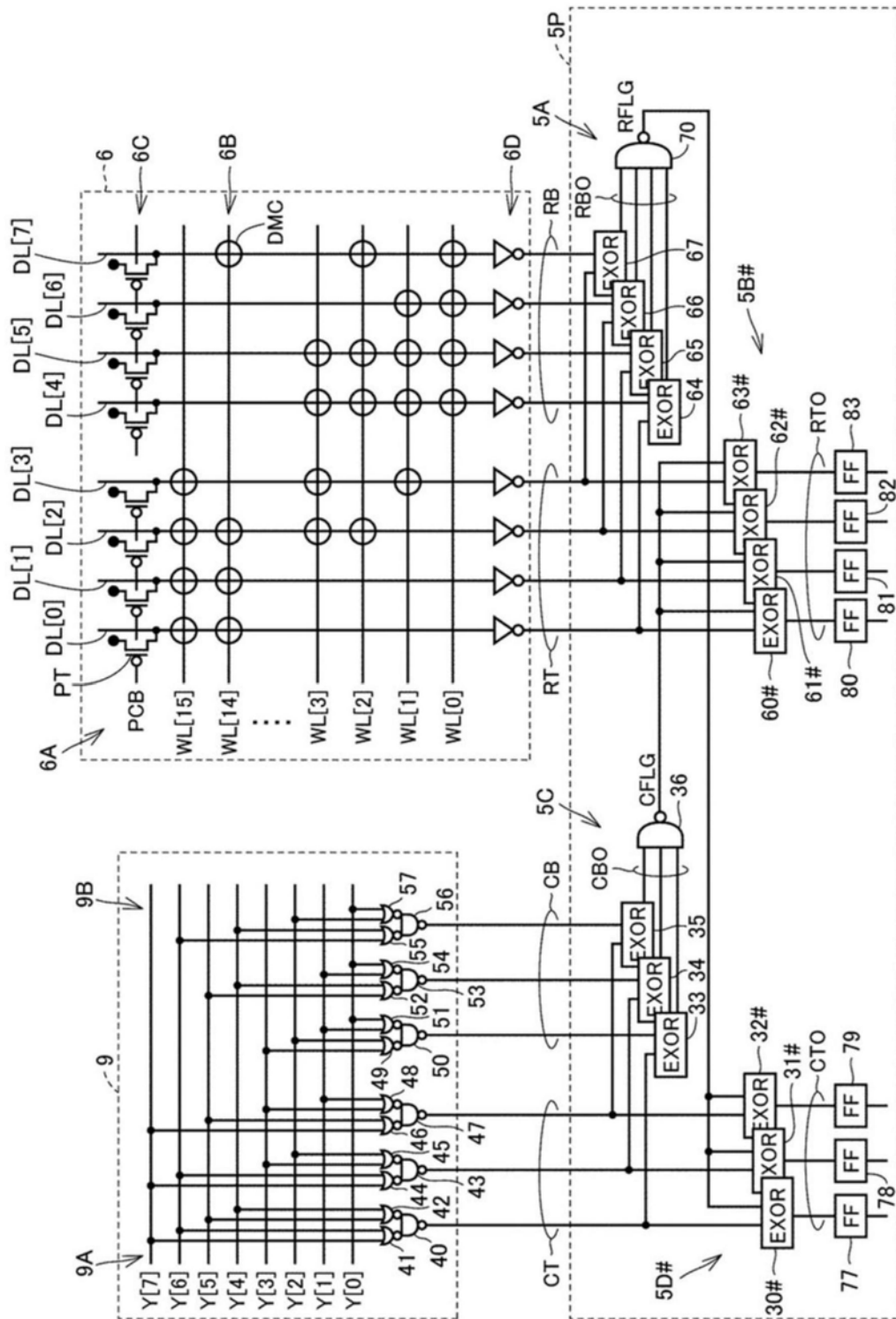


图16

(A)	RFLG	(B)	CFLG
字线WL未被选择	H	列选择线Y未被选择	H
字线被单选（常规）	L	列选择线被单选（常规）	L
字线WL被多选	H	列选择线Y被多选	H

(C)	输入地址 (锁存数据)	输出地址	比较地址	比较结果
字线WL未被选择或者列选择线Y未被选择	真实地址	部分反相地址	真实地址	失败
字线被单选（常规）并且列选择线Y被单选（常规）	真实地址	真实地址	真实地址	通过
字线WL被多选或列选择线Y被多选	真实地址	部分反相地址	真实地址	失败
被错误选择	错误地址	错误地址	真实地址	失败

图17

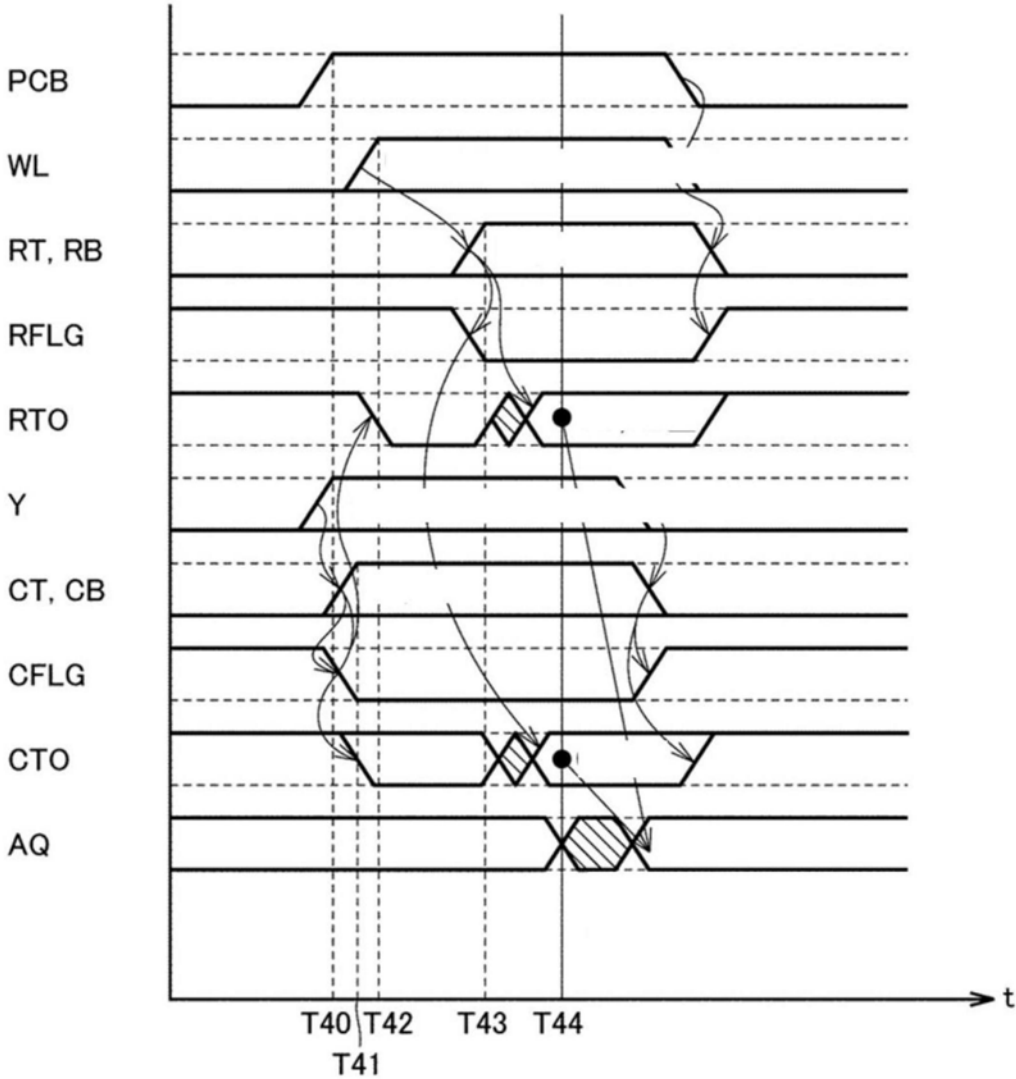


图18

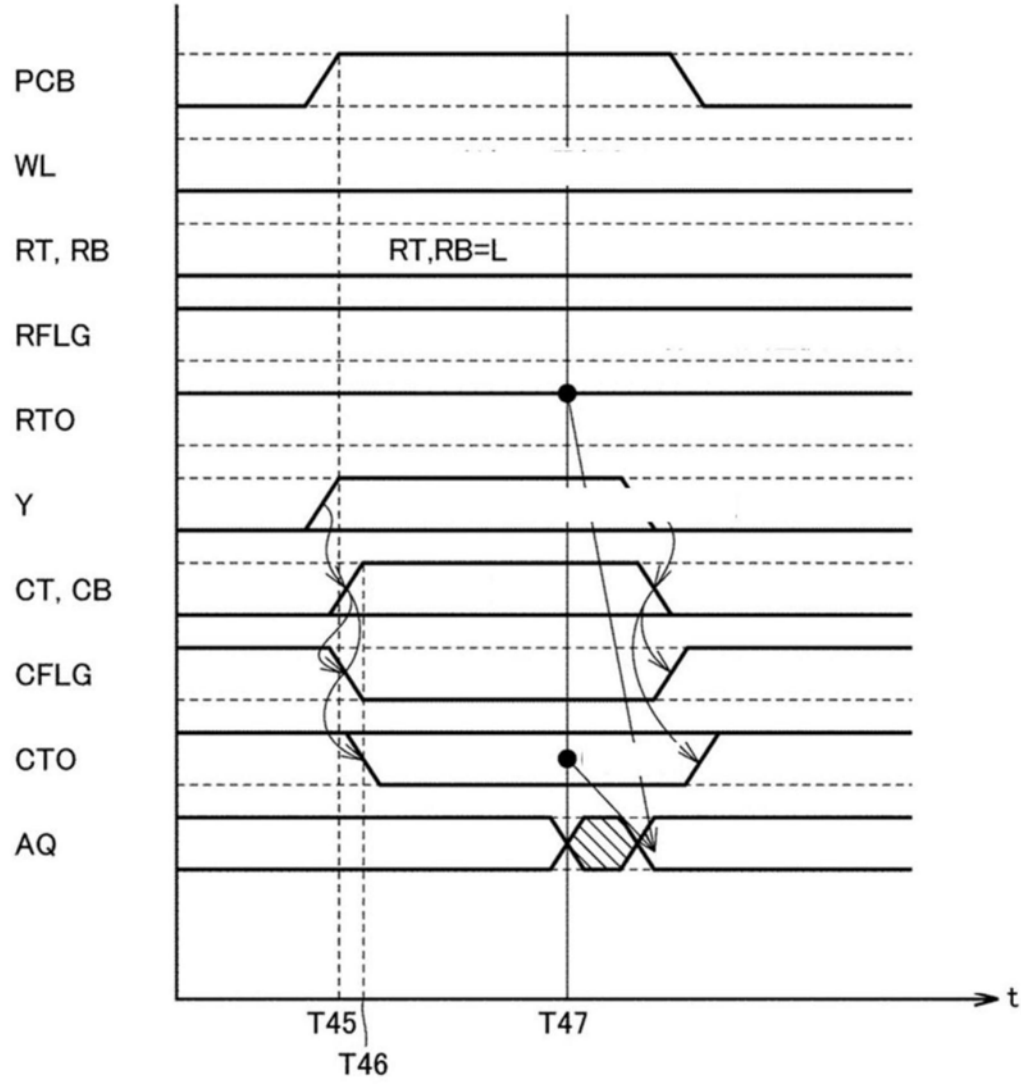


图19

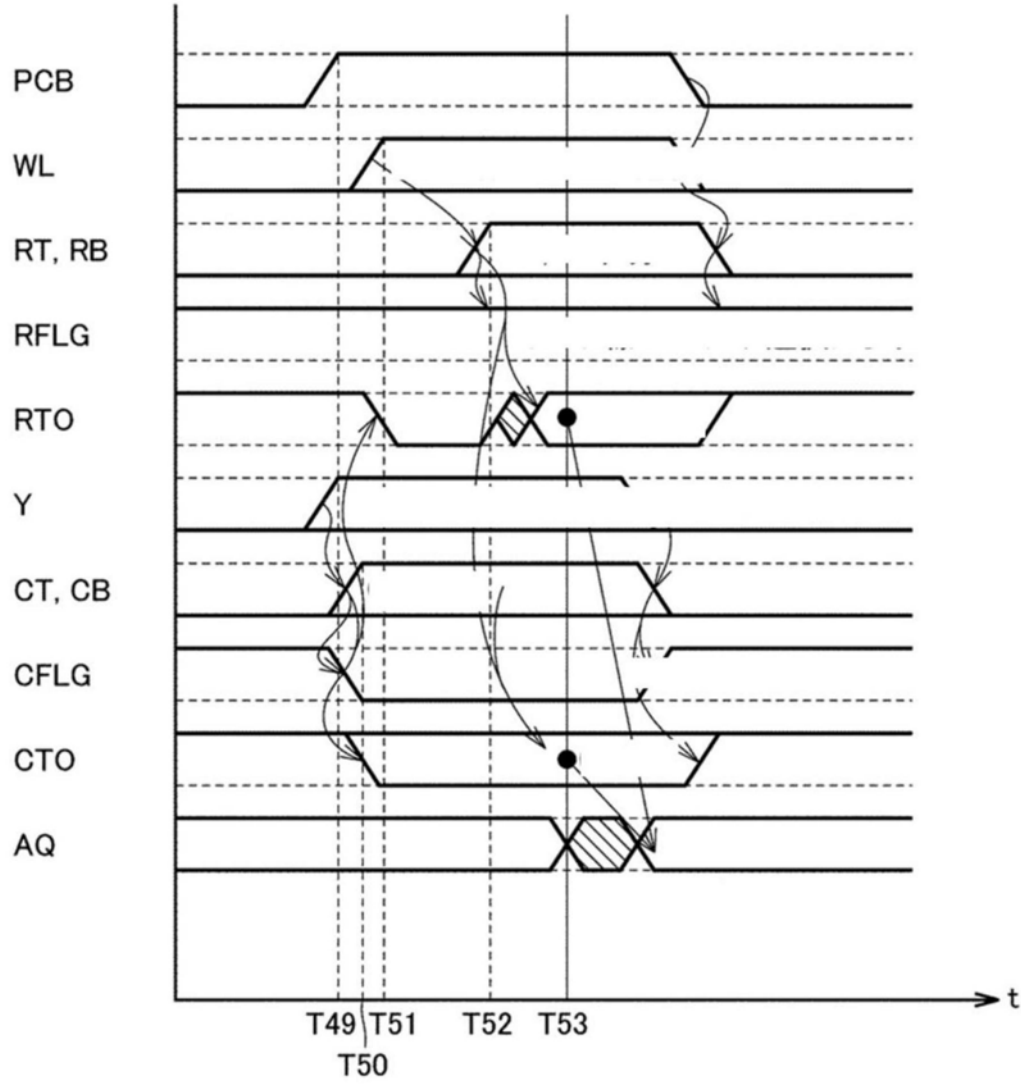


图20

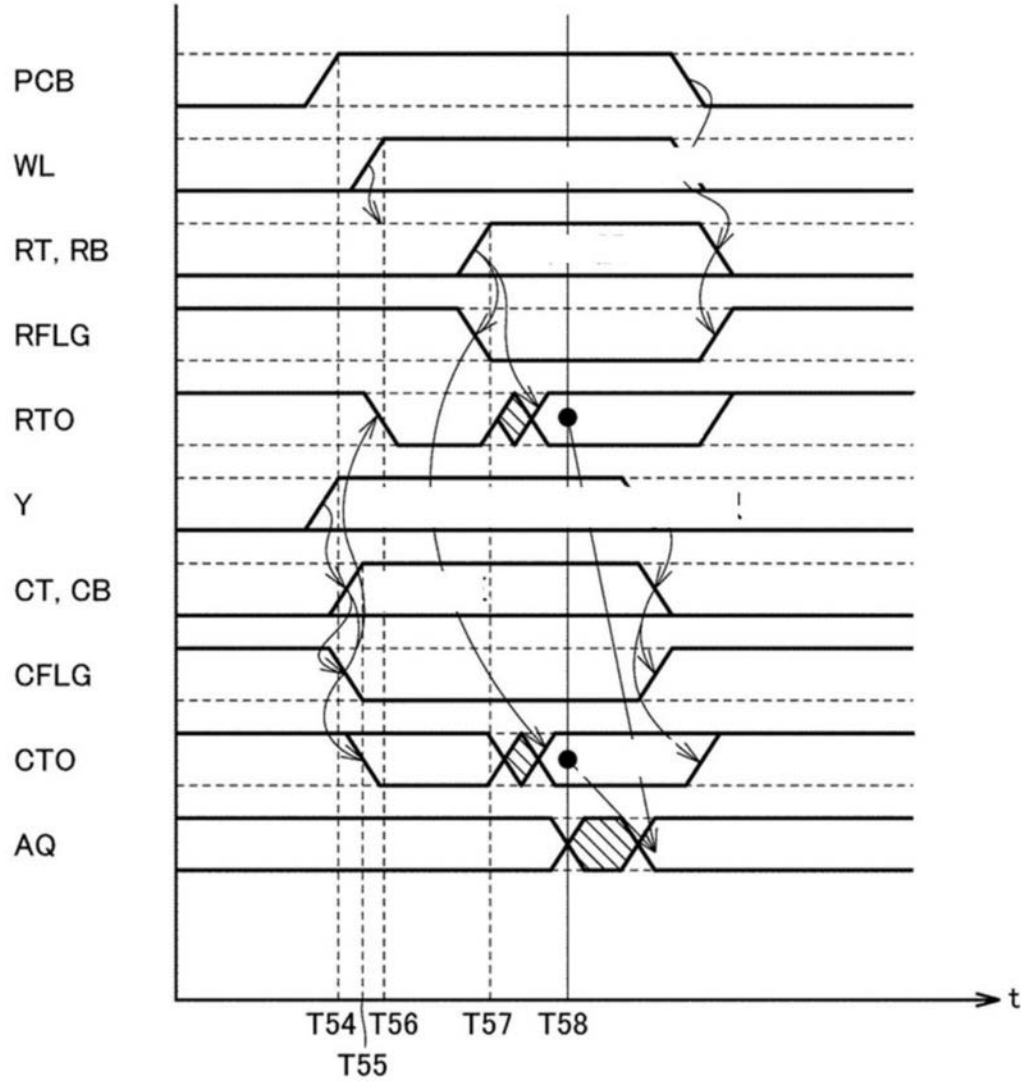


图21

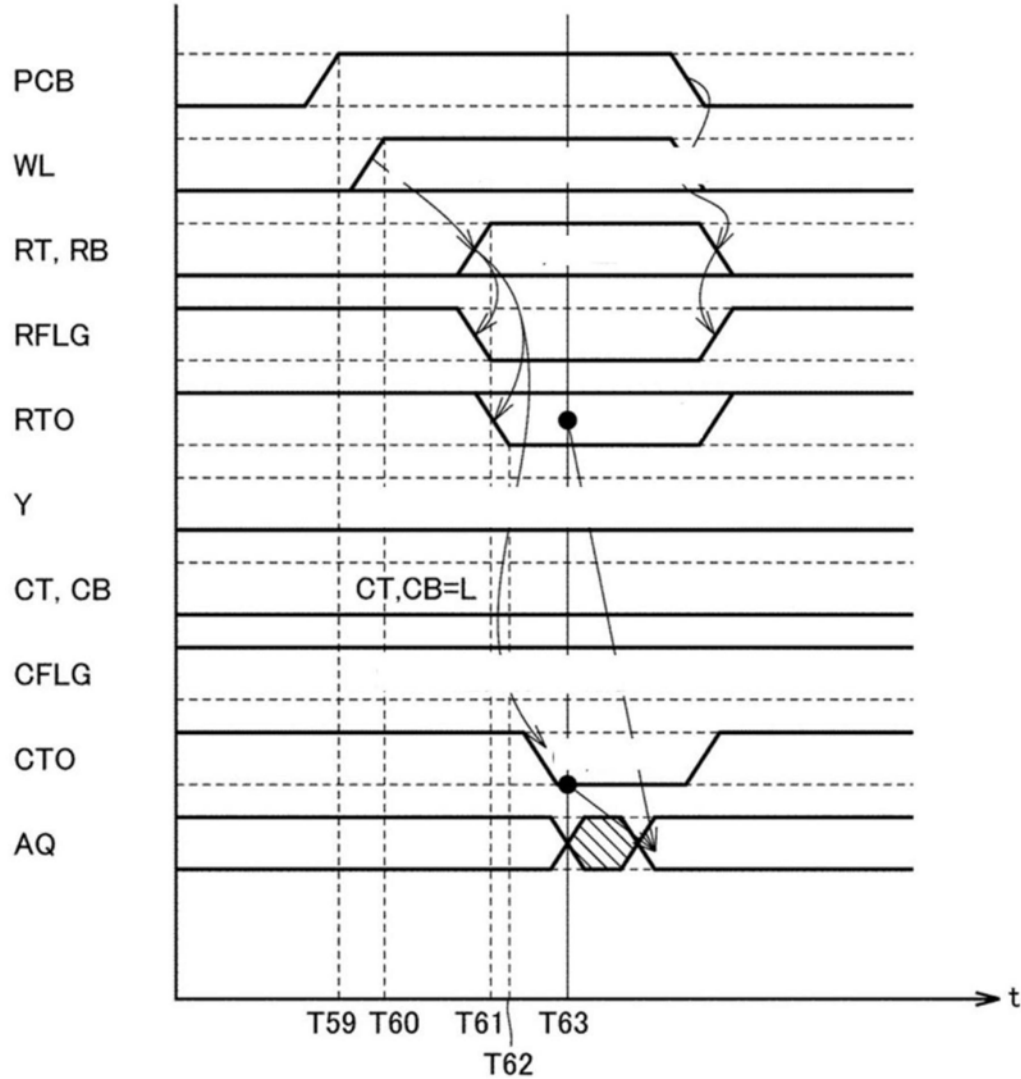


图22

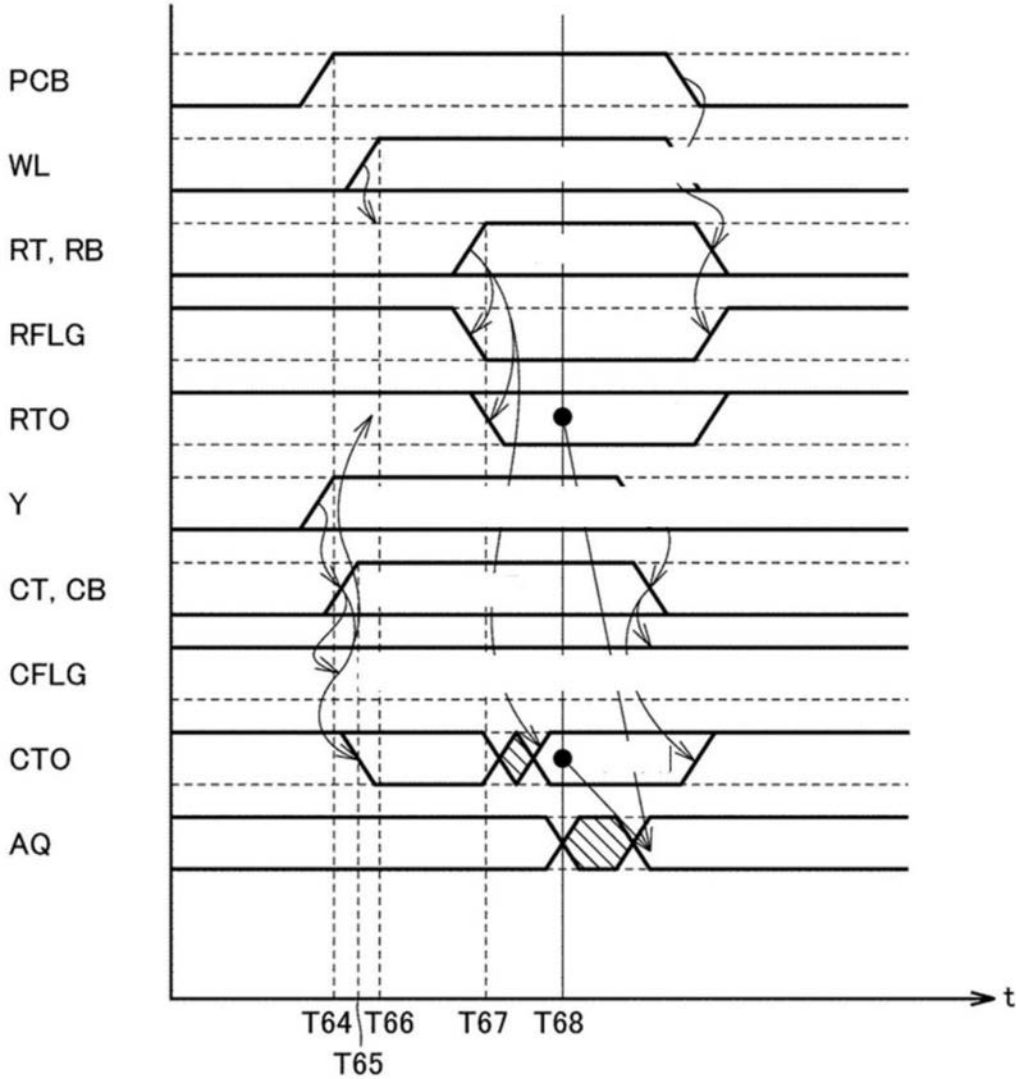


图23

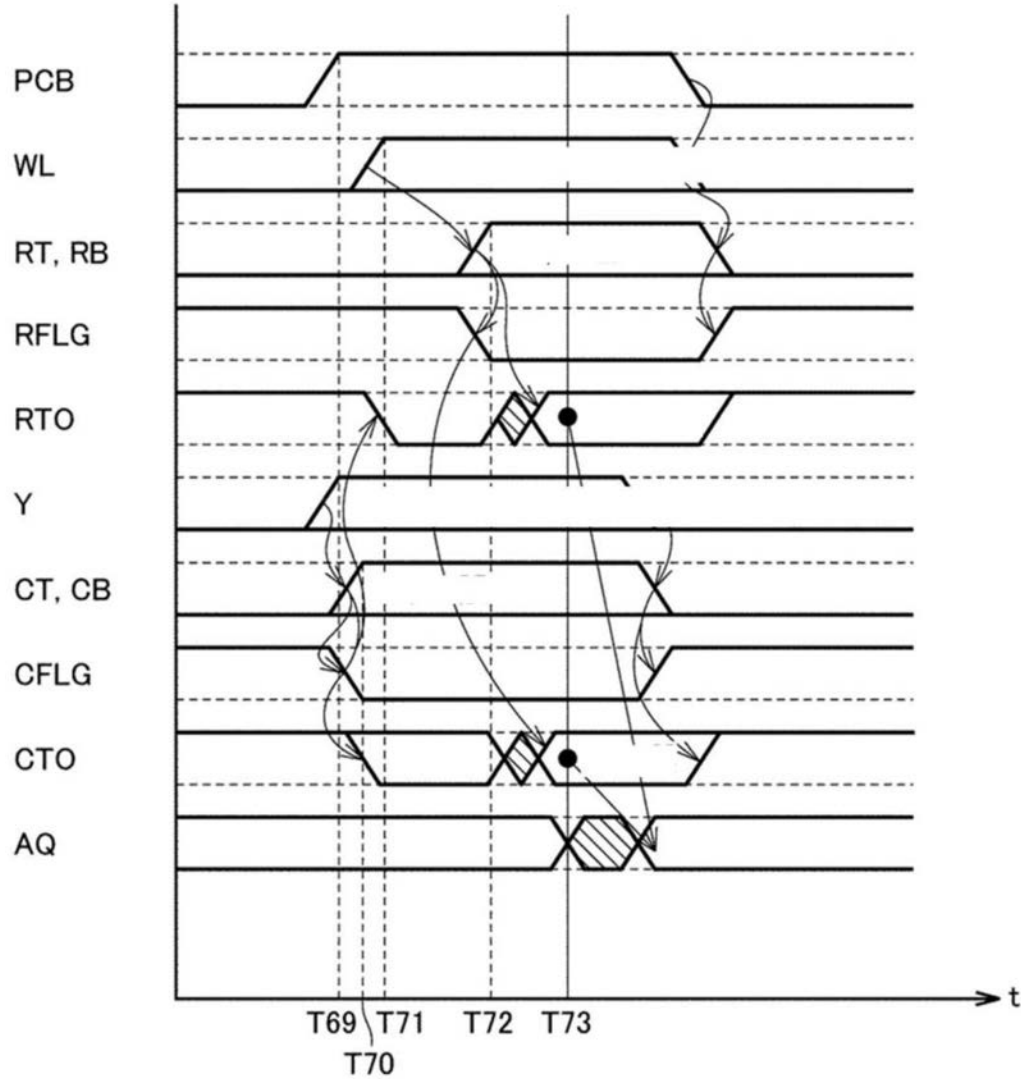


图24

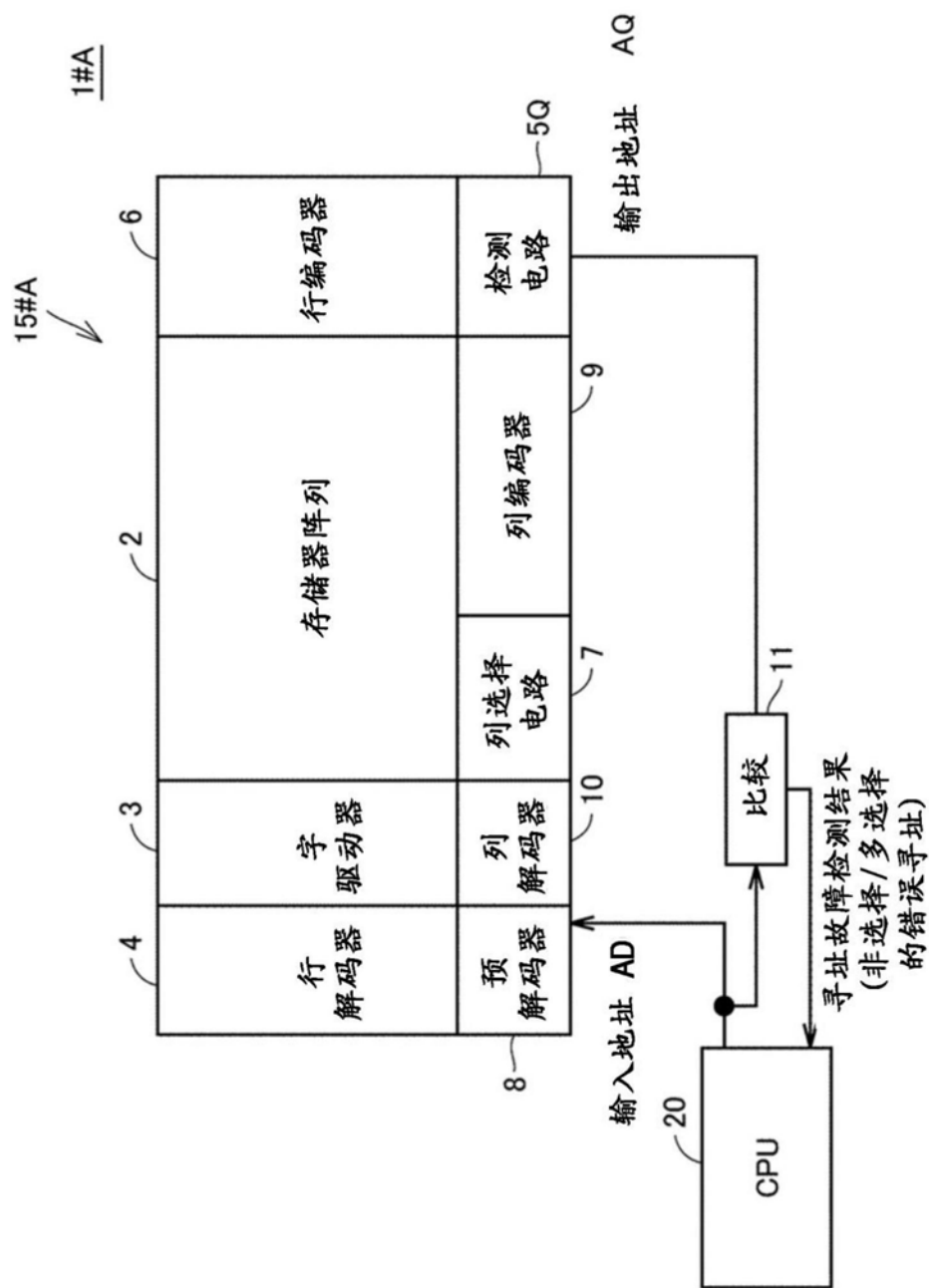


图25

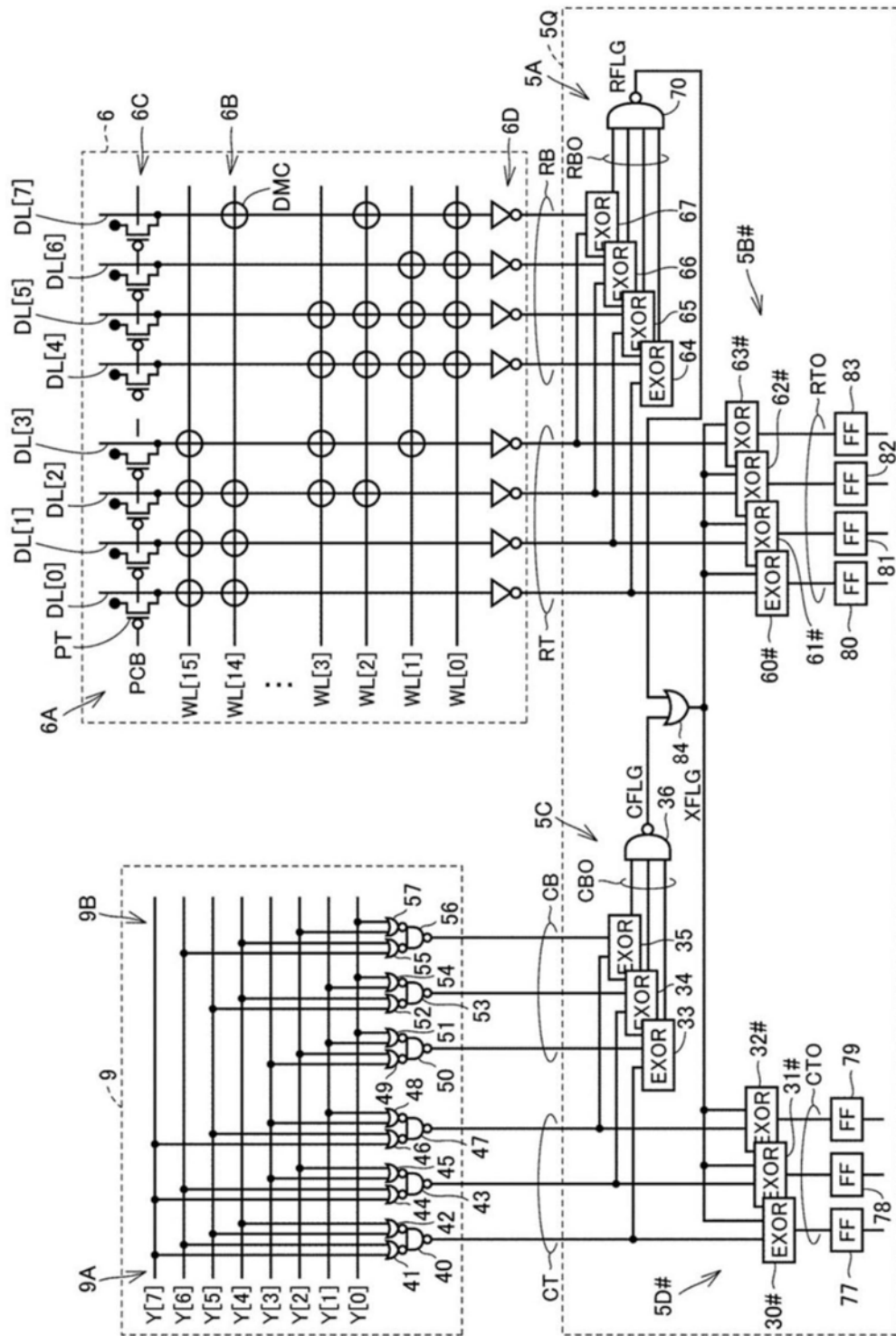


图26

	输入地址 (锁存数据)	输出地址	比较地址	比较结果
字线WL未被选择或者列选择线Y未被选择	真实地址	部分反相地址	真实地址	失败
字线被单选（常规）并且列选择线Y被单选（常规）	真实地址	真实地址	真实地址	通过
字线WL被多选或列选择线Y被多选	真实地址	部分反相地址	真实地址	失败
被错误选择	错误地址	错误地址	真实地址	失败

图27

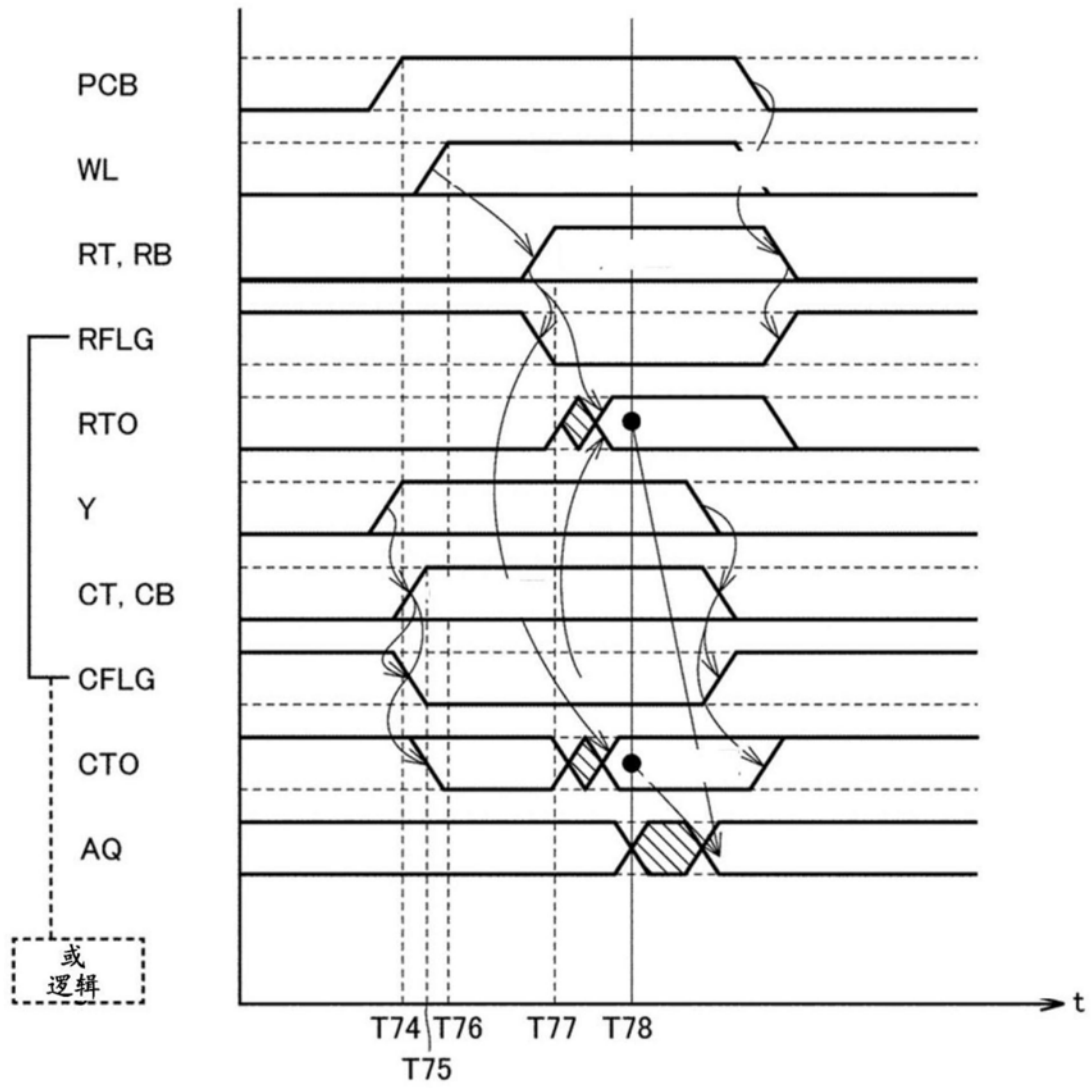


图28

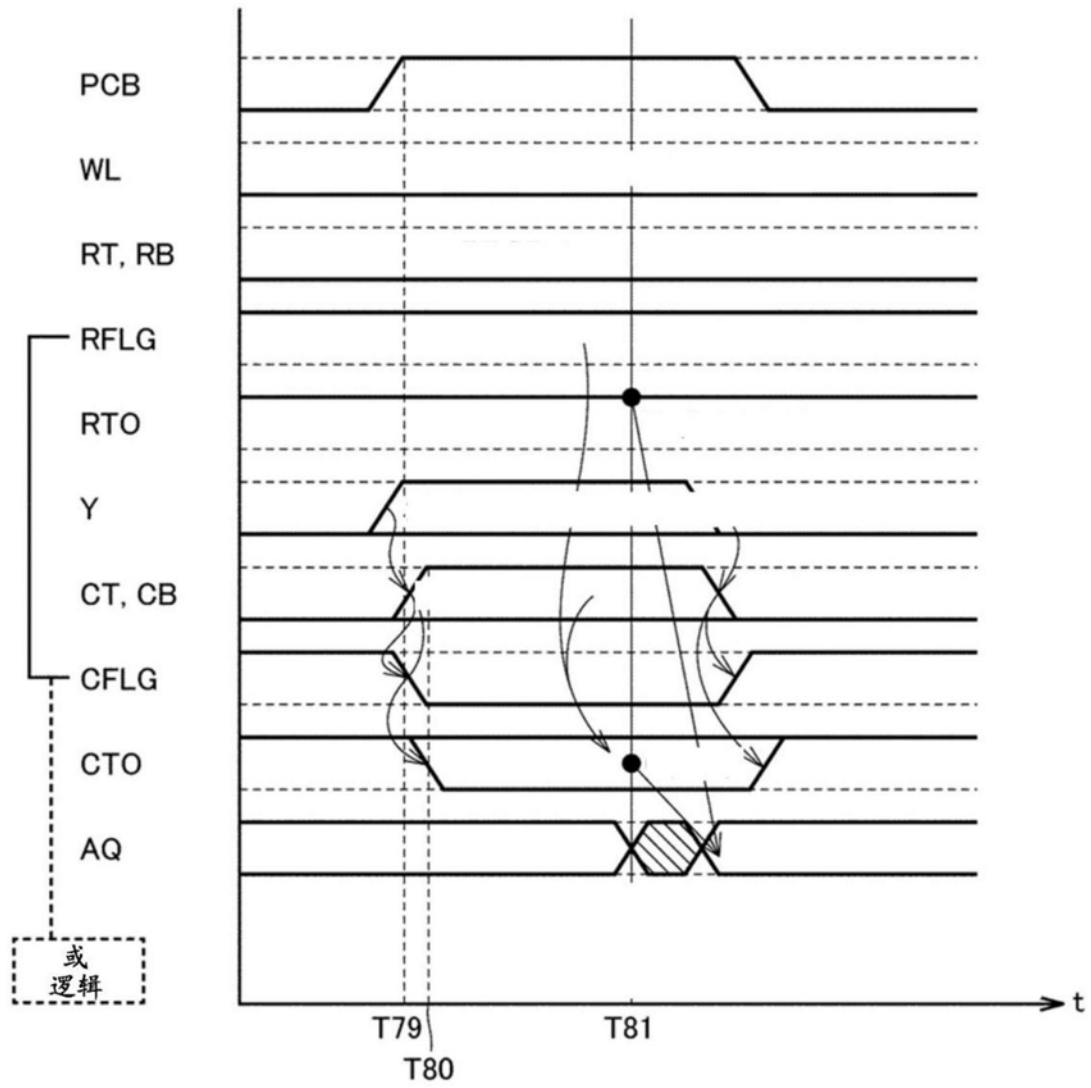


图29

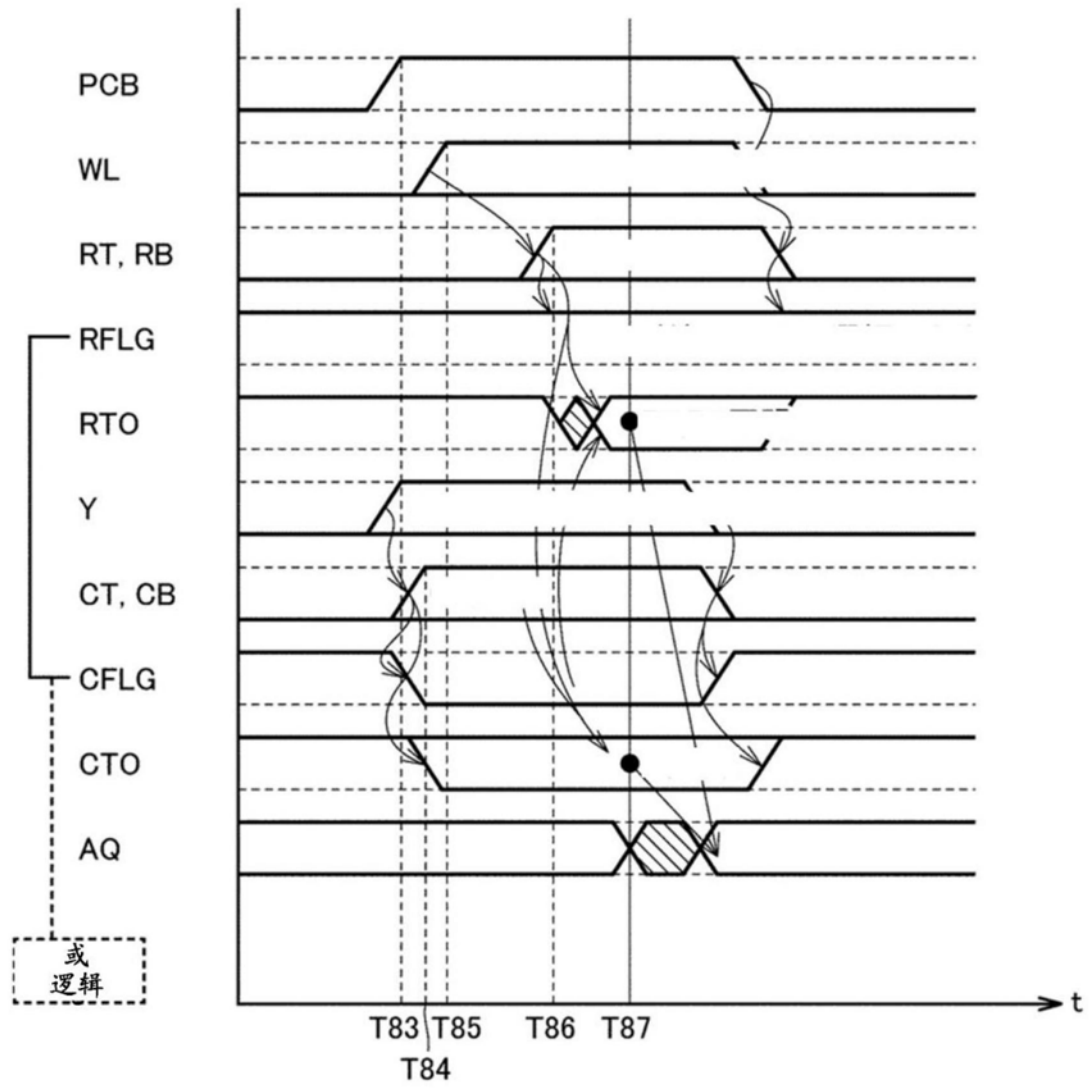


图30

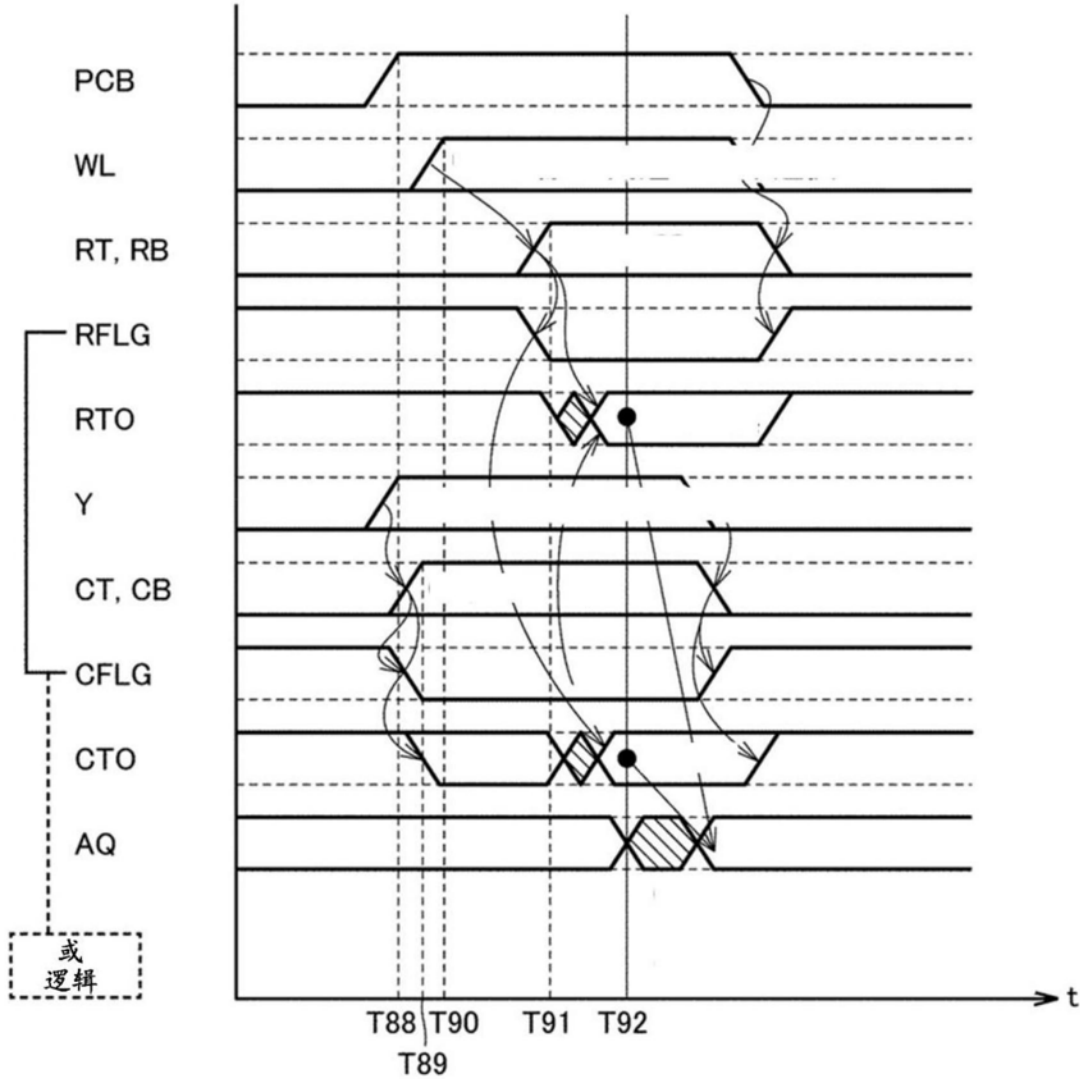


图31

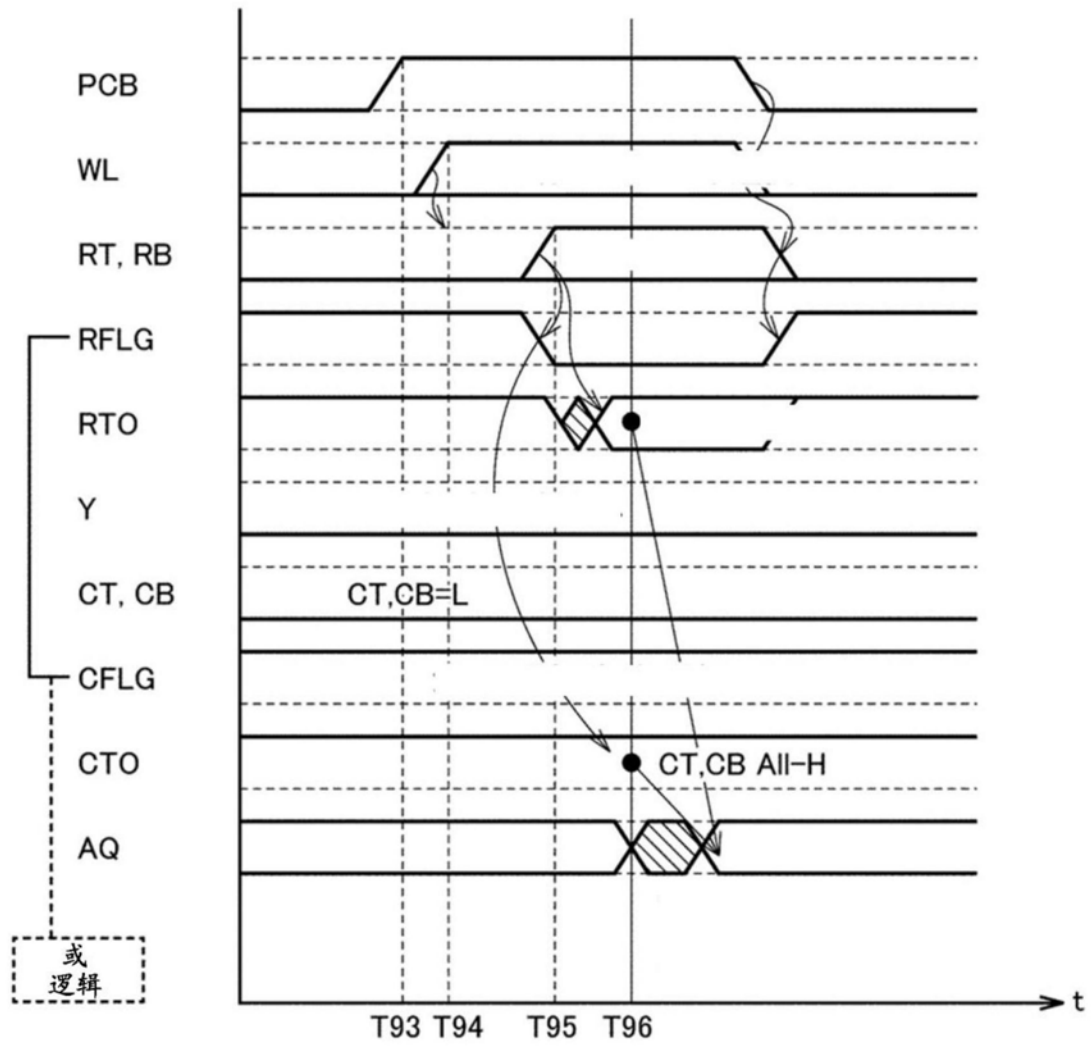


图32

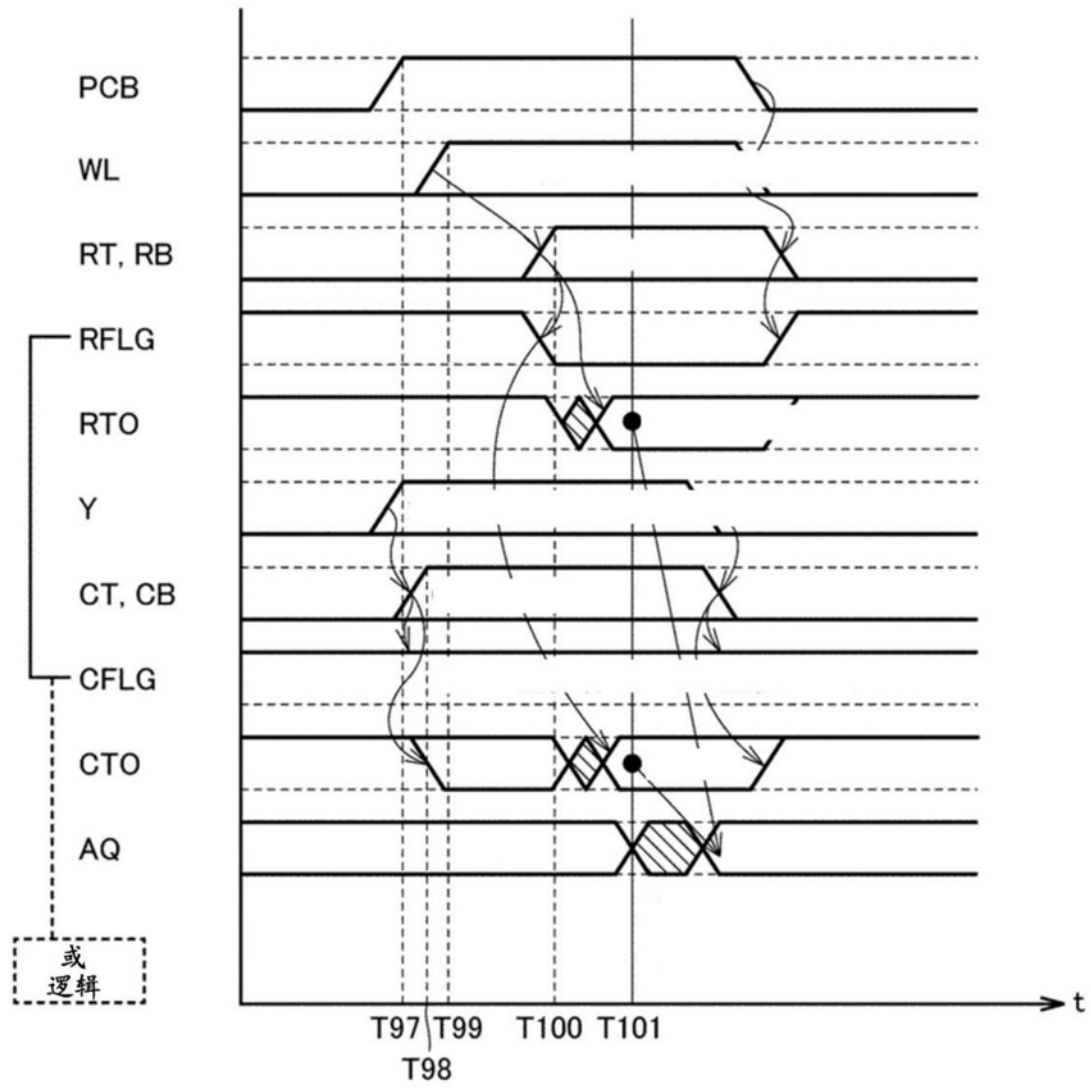


图33

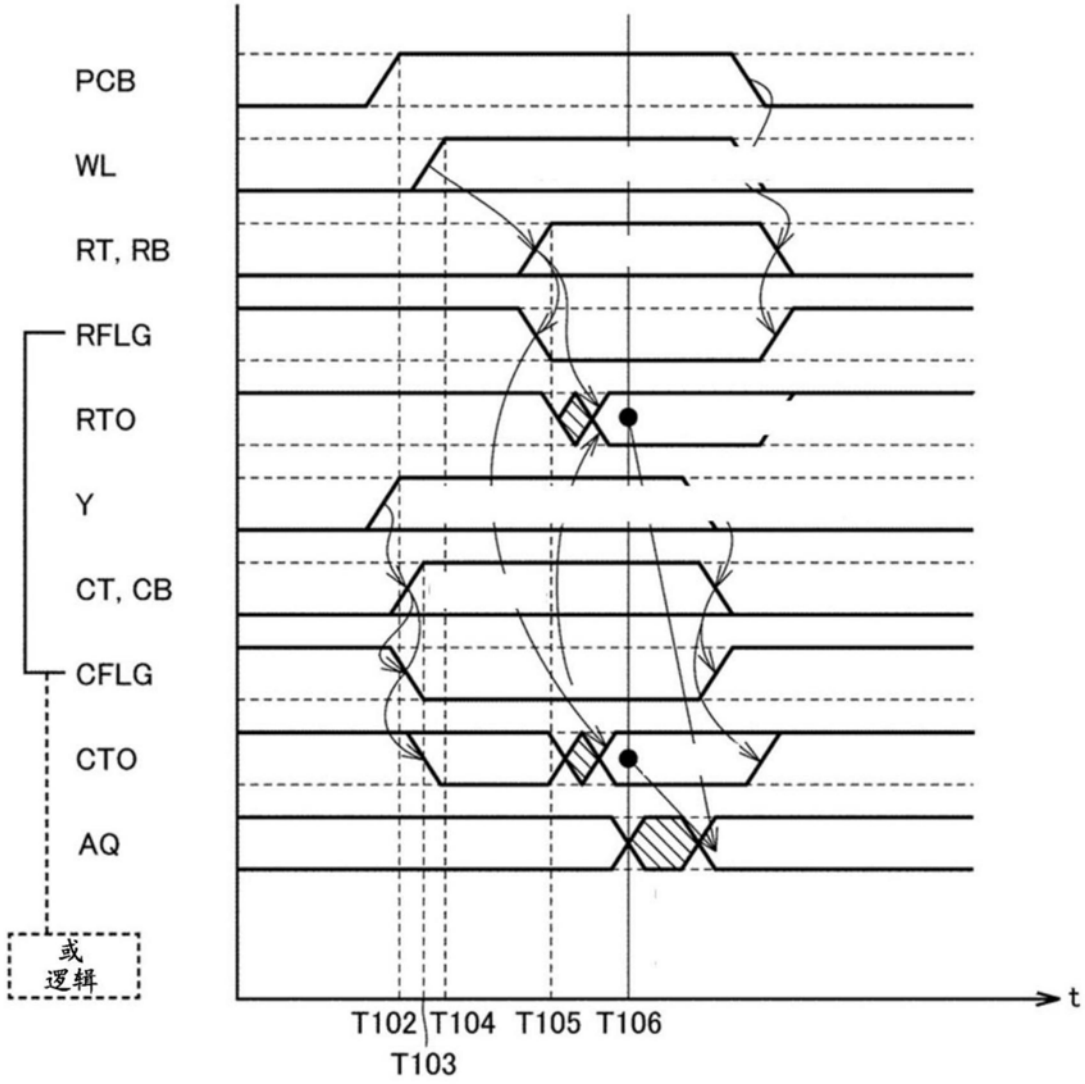


图34

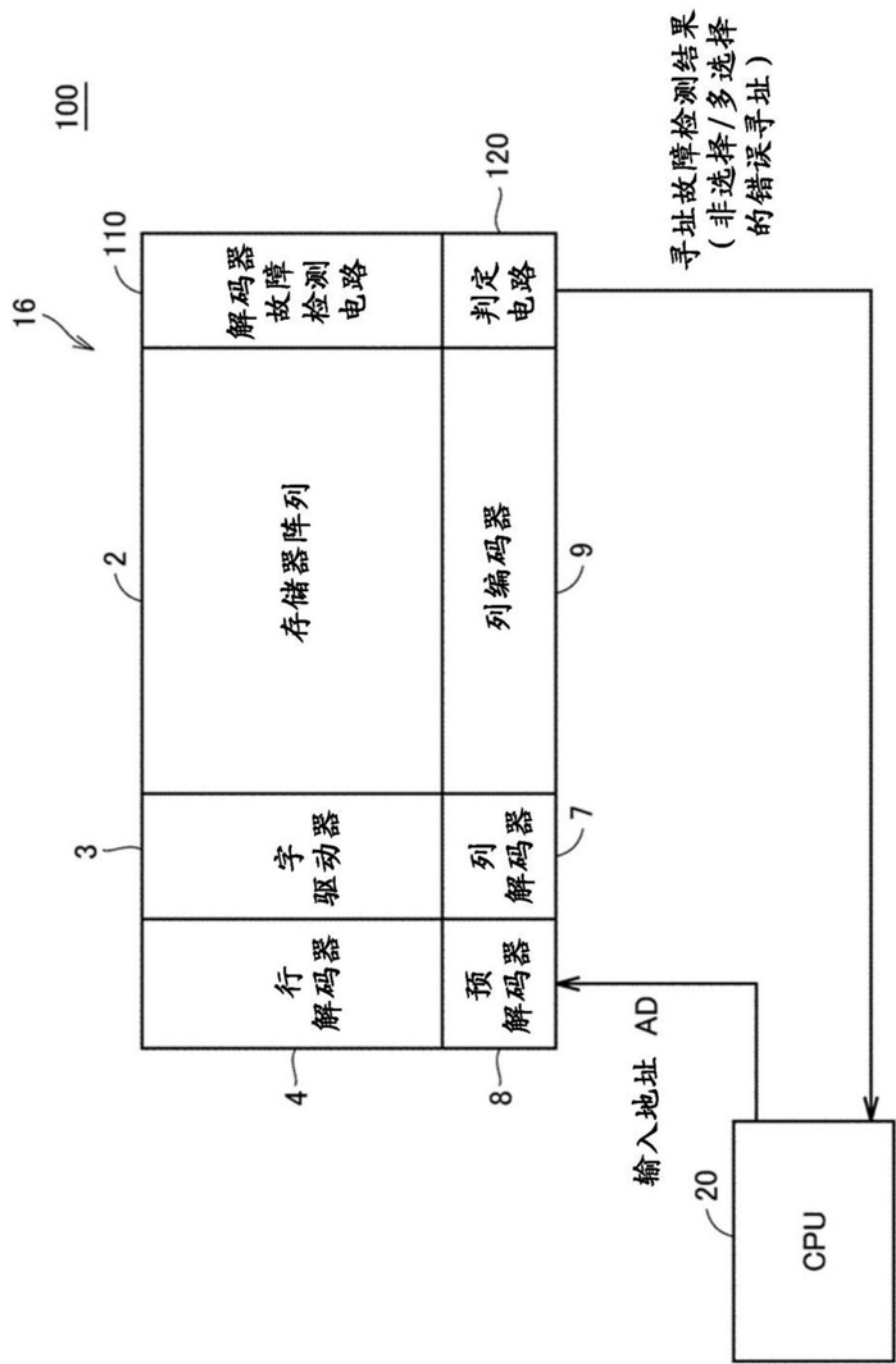


图35

200

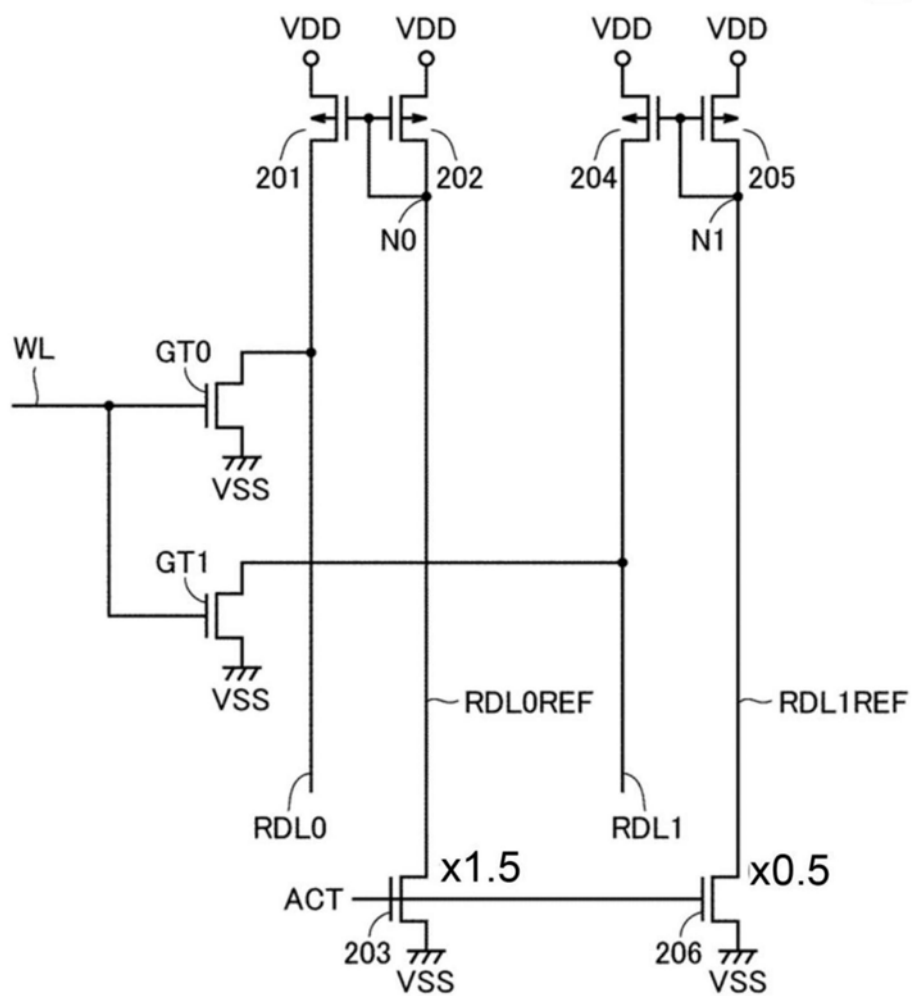


图36

	RDL0 CDL0	RDL1 CDL1
	H	H
字线WL未被选择或者列选择线Y未被选择	H	L
字线被单选（常规）并且列选择线Y被单选（常规）	L	L
字线WL被多选或列选择线Y被多选		

图37

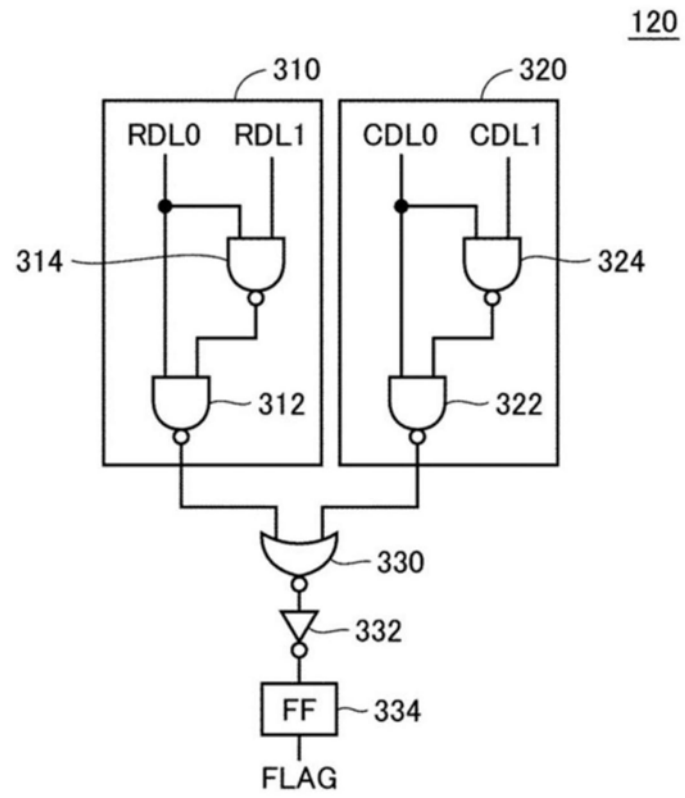


图38

FLAG	
H	字线WL未被选择或者列选择线Y未被选择
L	字线被单选（常规）并且列选择线Y被单选（常规）
H	字线WL被多选或列选择线Y被多选

图39

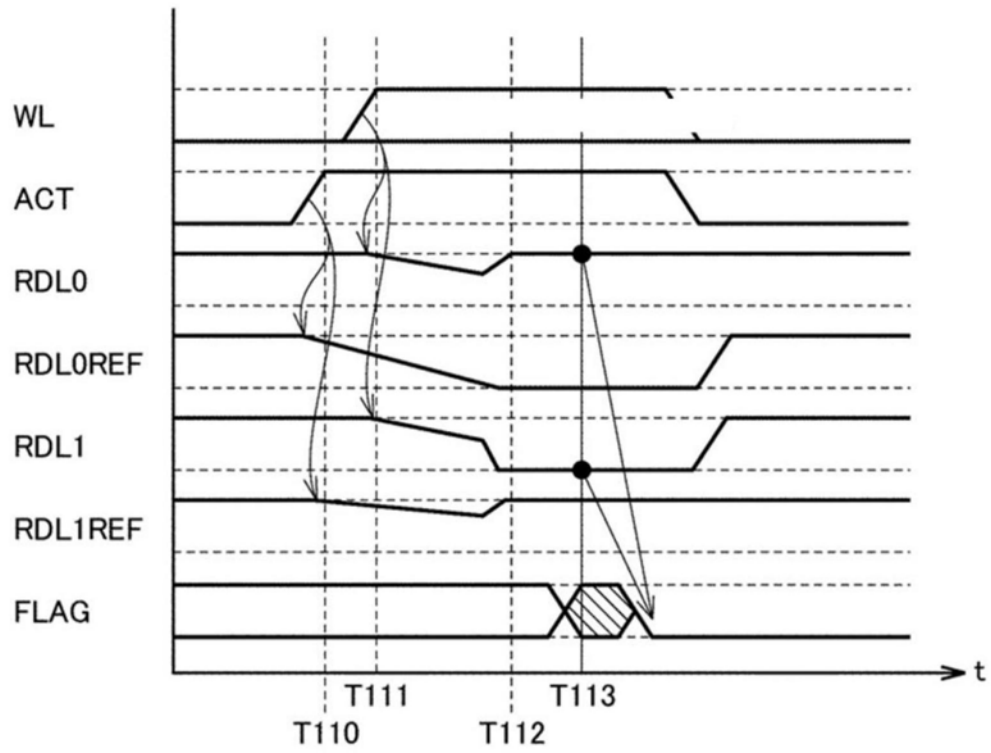


图40

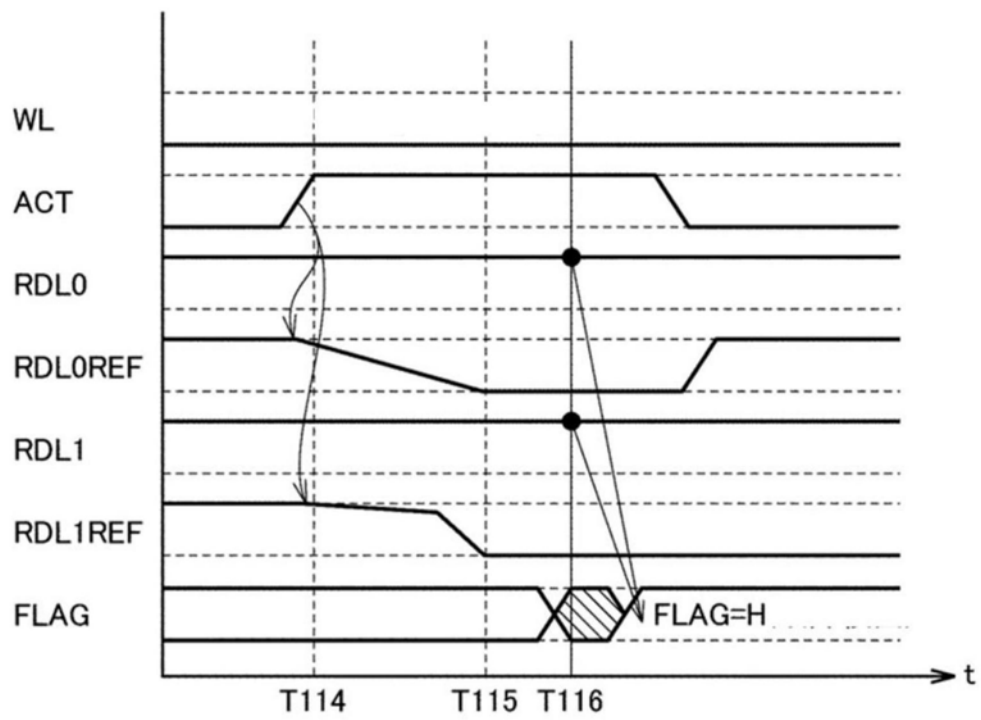


图41

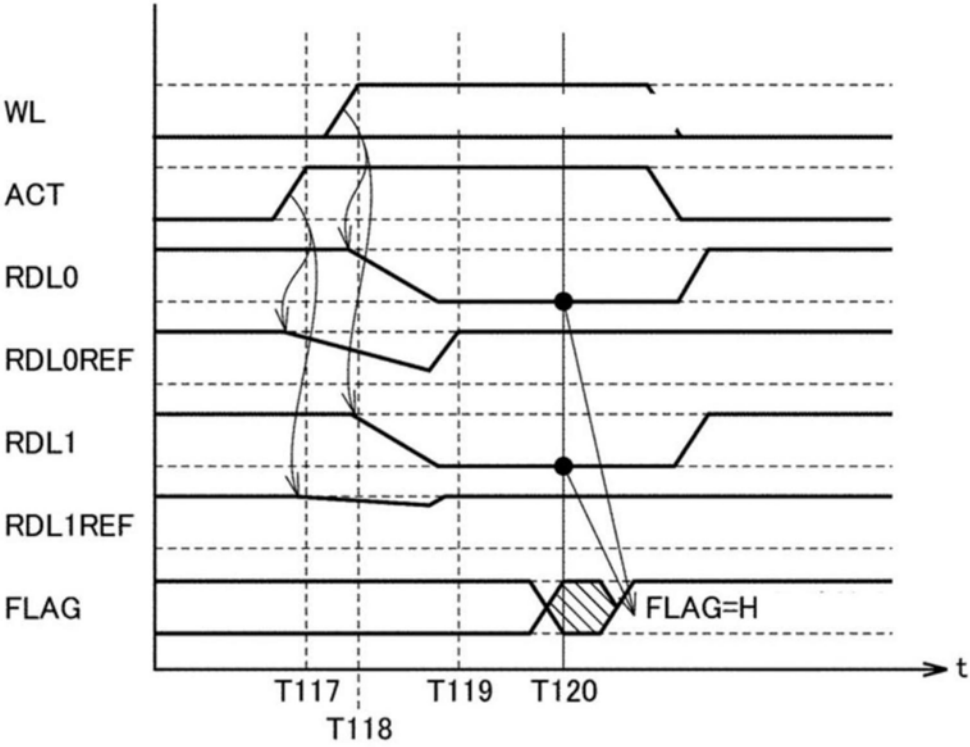


图42

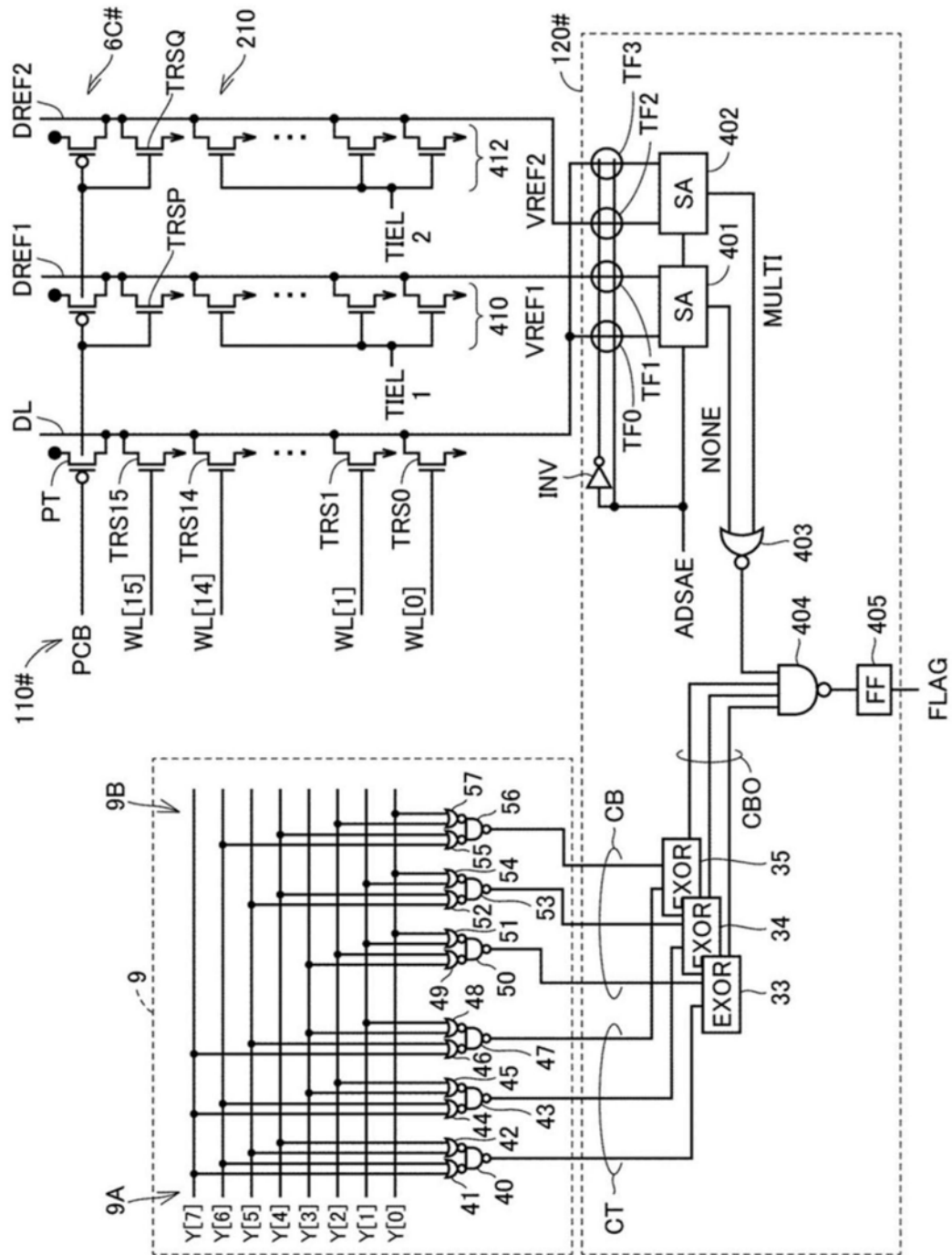


图43

(A)	CBO	(B)	NONE	MULTI
列选择线Y未被选择	非 111	字线WL未被选择	H	L
列选择线被单选（常规）	111	字线被单选（常规）	L	L
列选择线Y被多选	非 111	字线WL被多选LH	L	H

(C)	FLAG
字线WL未被选择或者列选择线Y未被选择	H
字线被单选（常规）并且列选择线Y被单选（常规）	L
字线WL被多选或列选择线Y被多选	H

图44

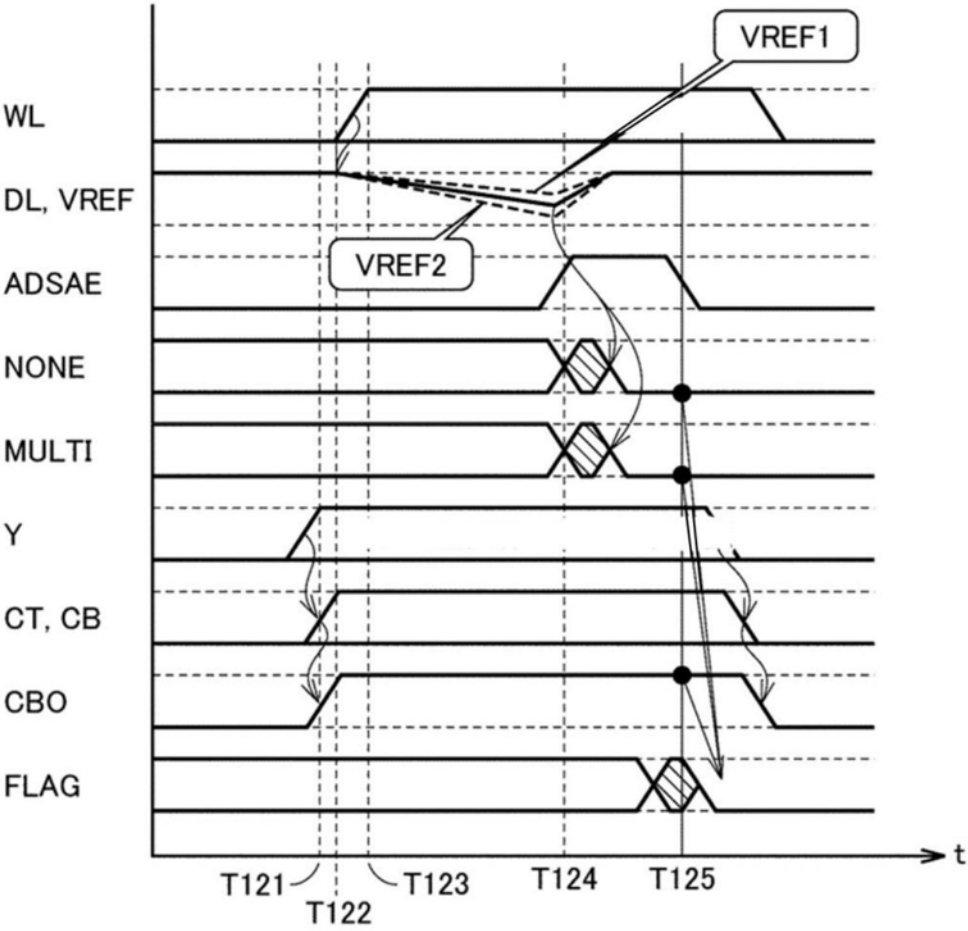


图45

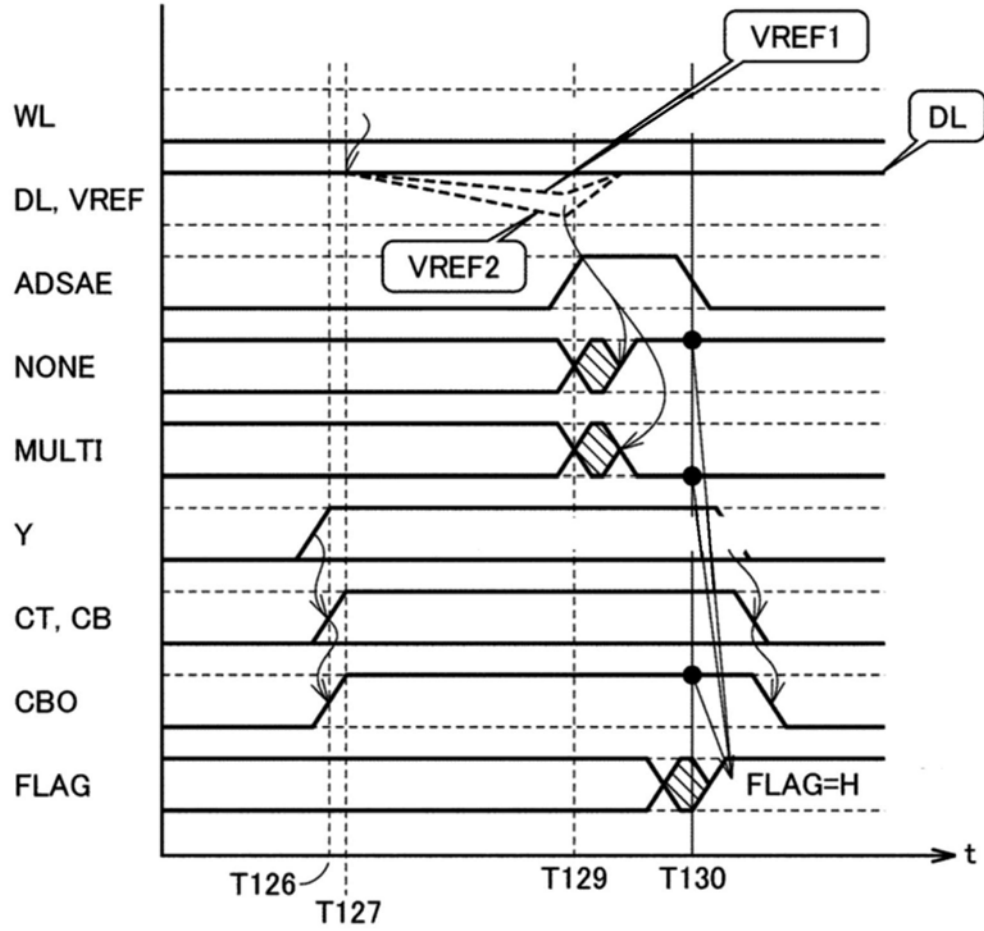


图46

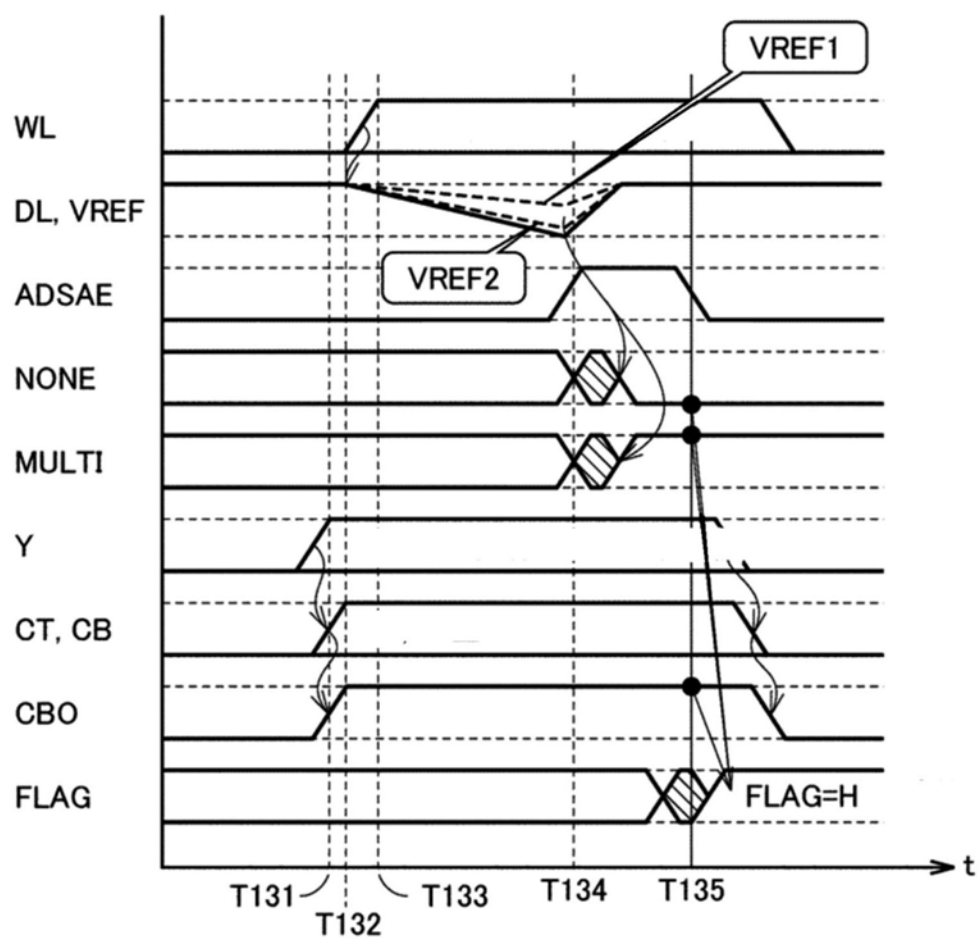


图47

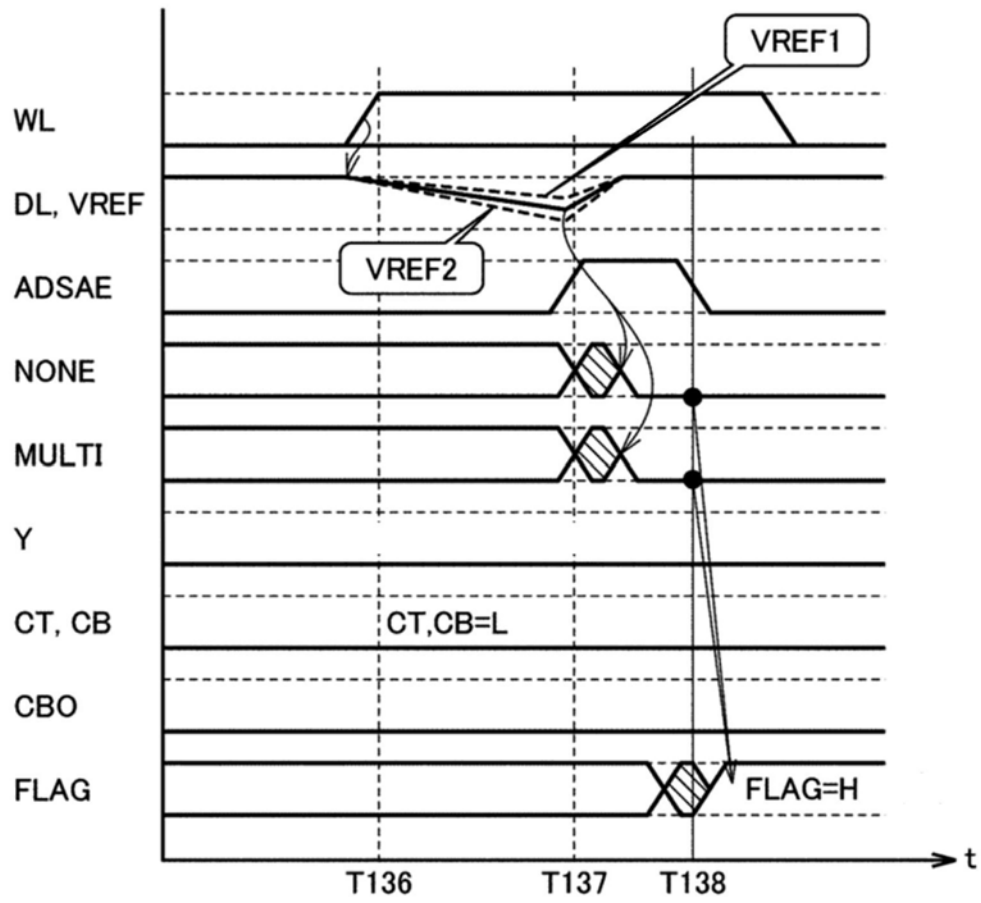


图48

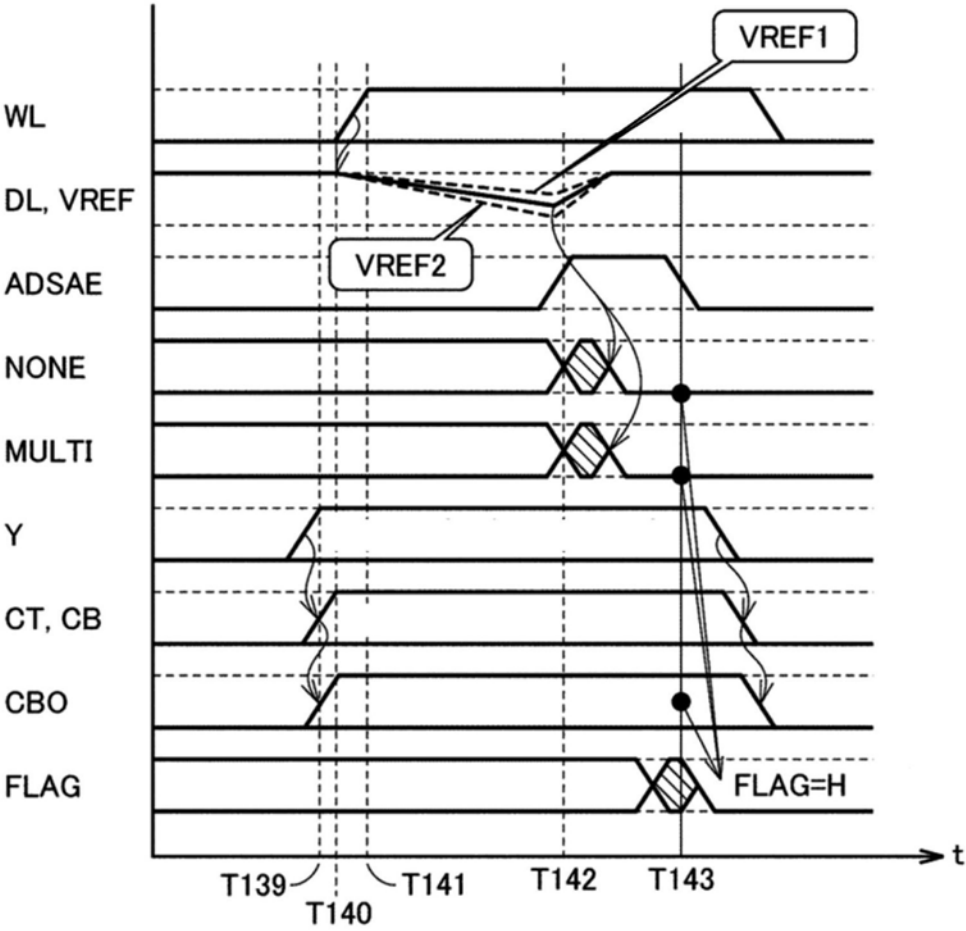


图49

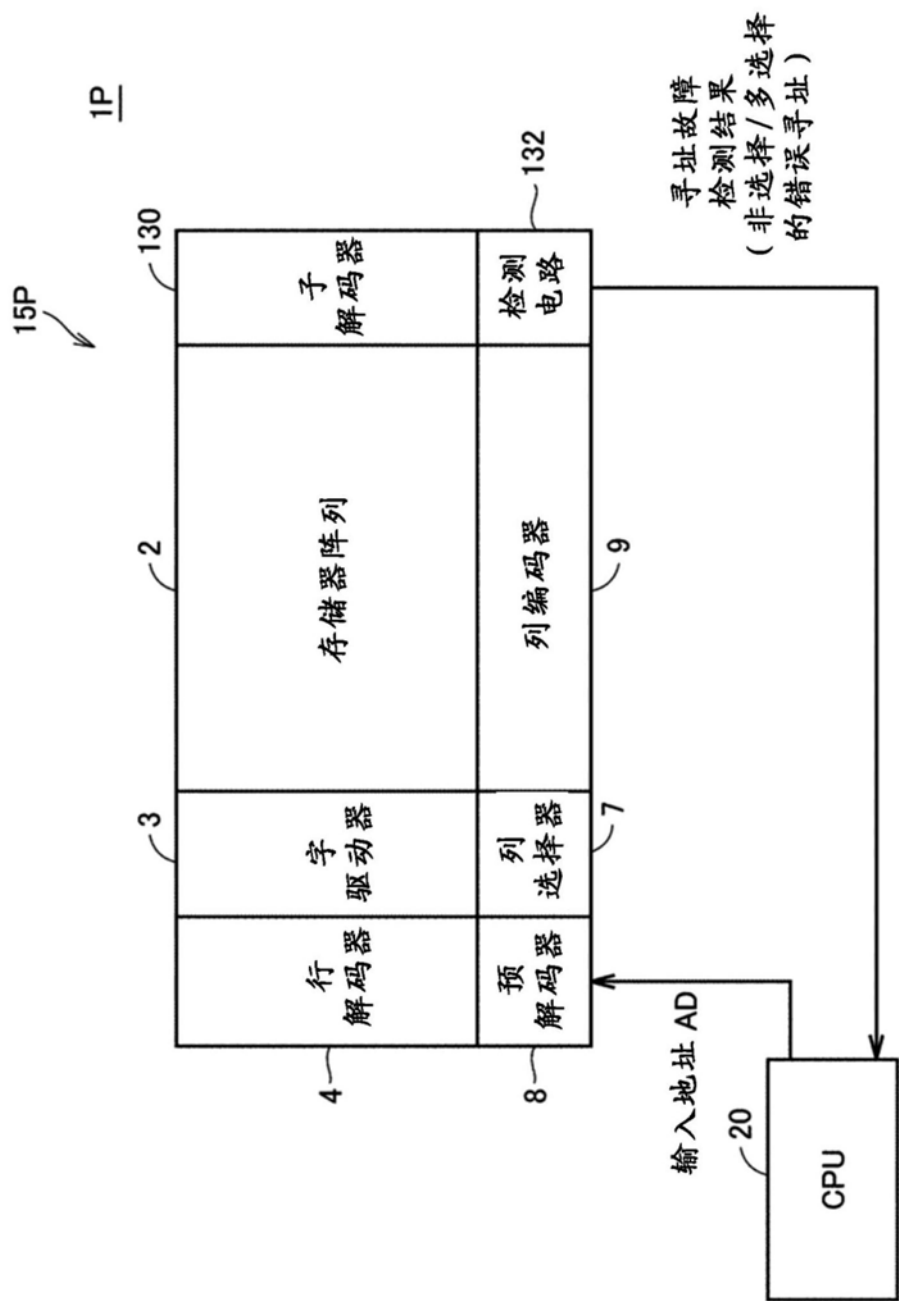


图50

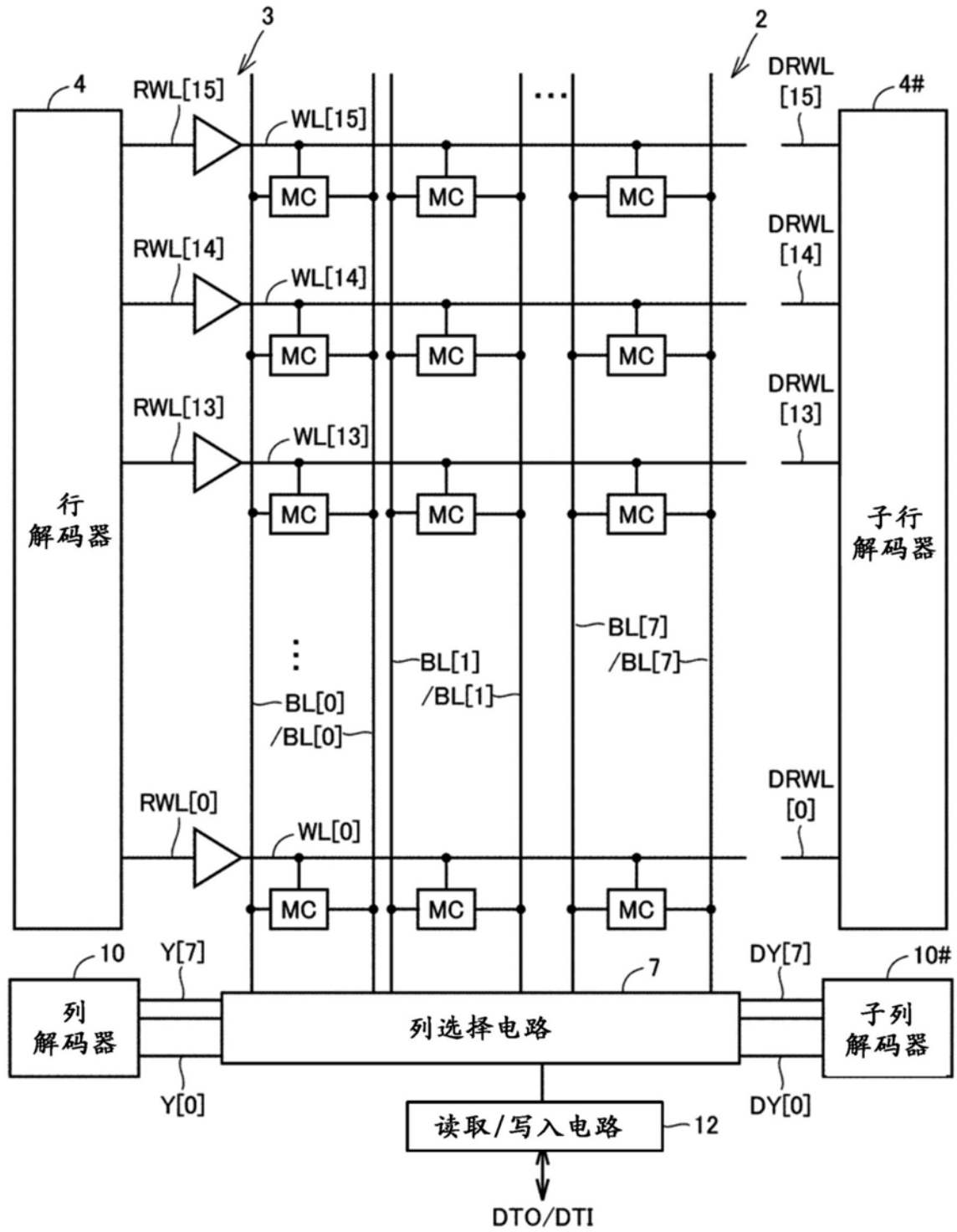


图51

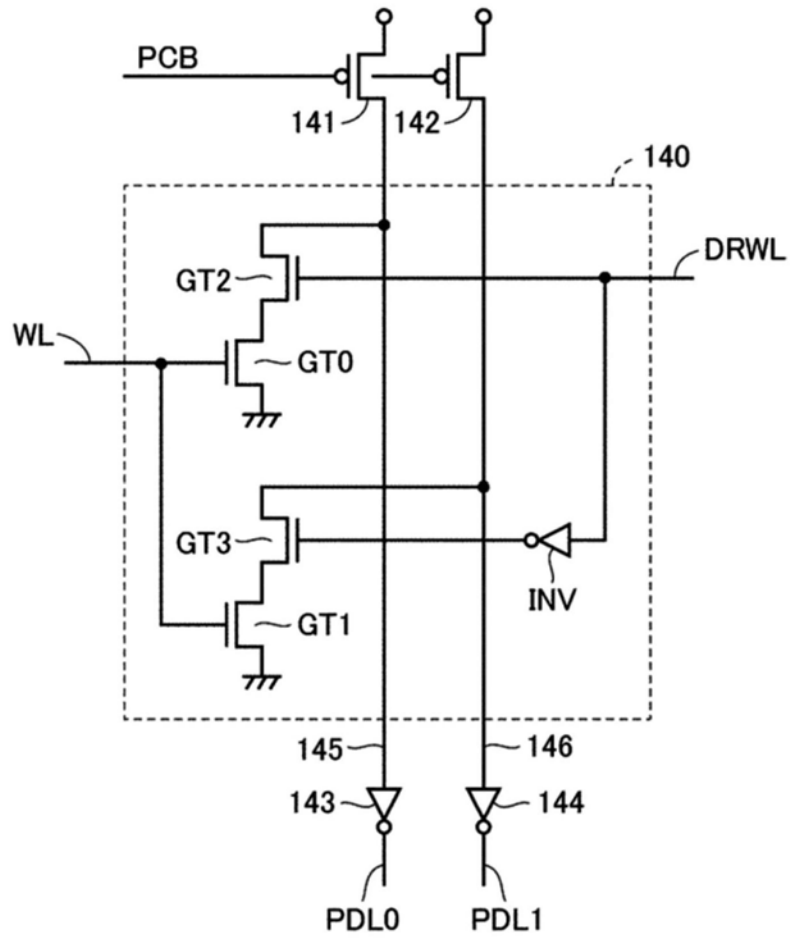


图52

	PDL0	PDL1
	L	L
字线WL未被选择或者列选择线Y未被选择		
字线被单选（常规）并且列选择线Y被单选（常规）	H	L
字线WL被多选或列选择线Y被多选	H	H
被错误选择	L	L

图53

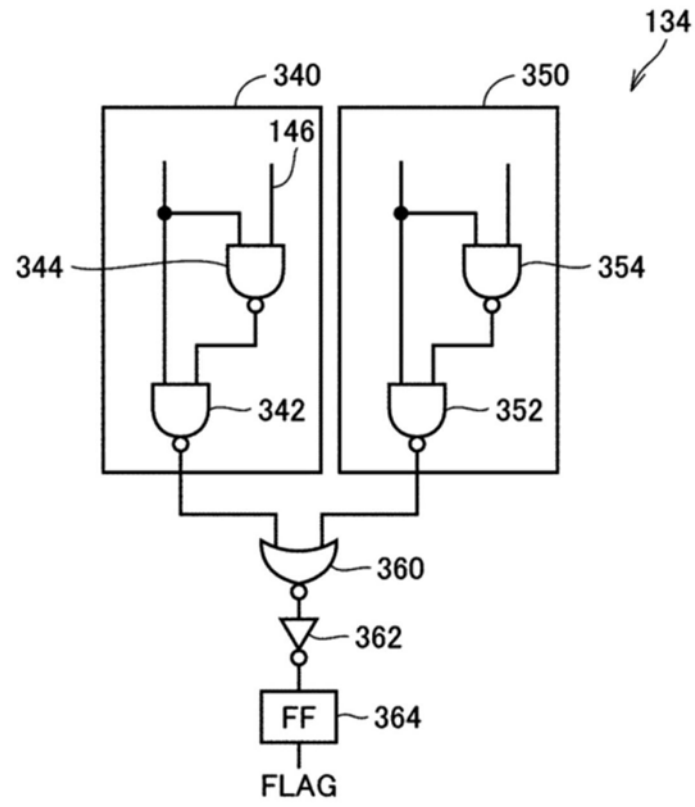


图54

	FLAG
字线WL未被选择或者列选择线Y未被选择	H
字线被单选（常规）并且列选择线Y被单选（常规）	L
字线WL被多选或列选择线Y被多选	H
被错误选择	H

图55

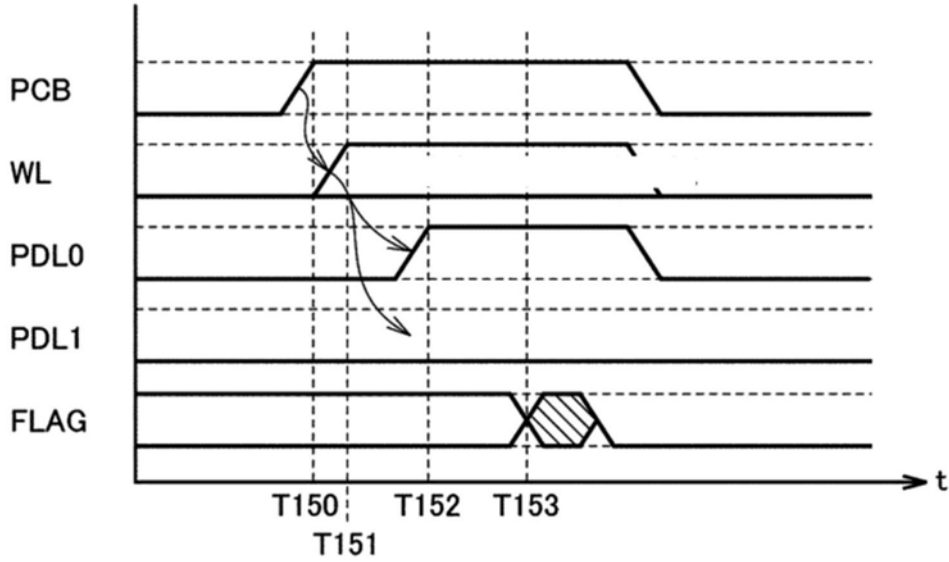


图56

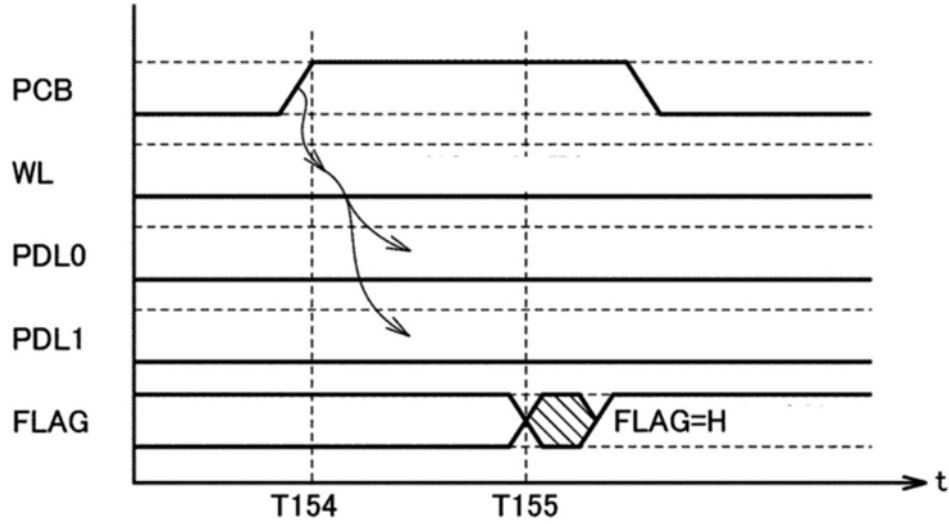


图57

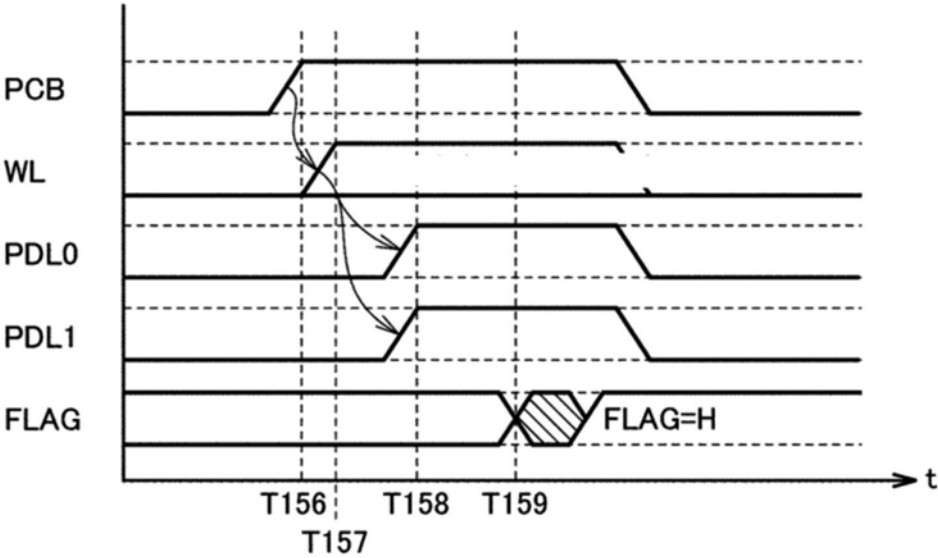


图58

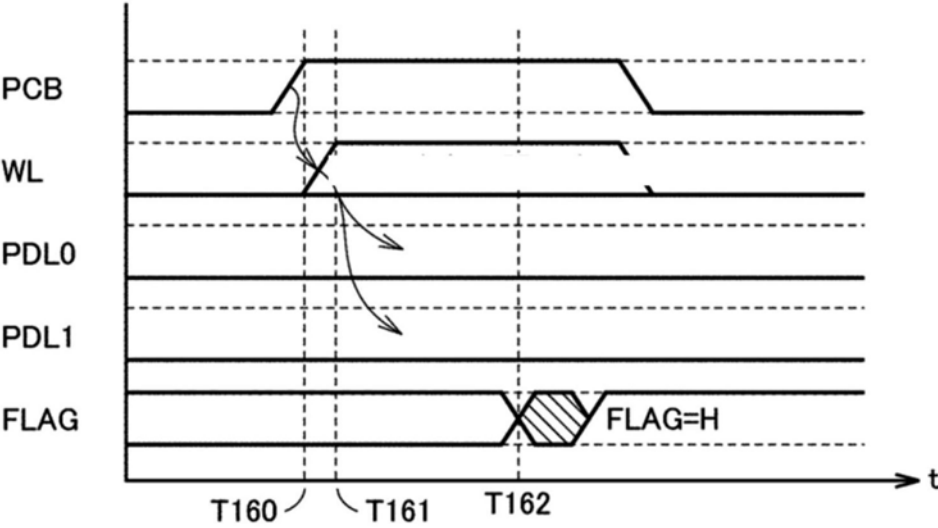


图59

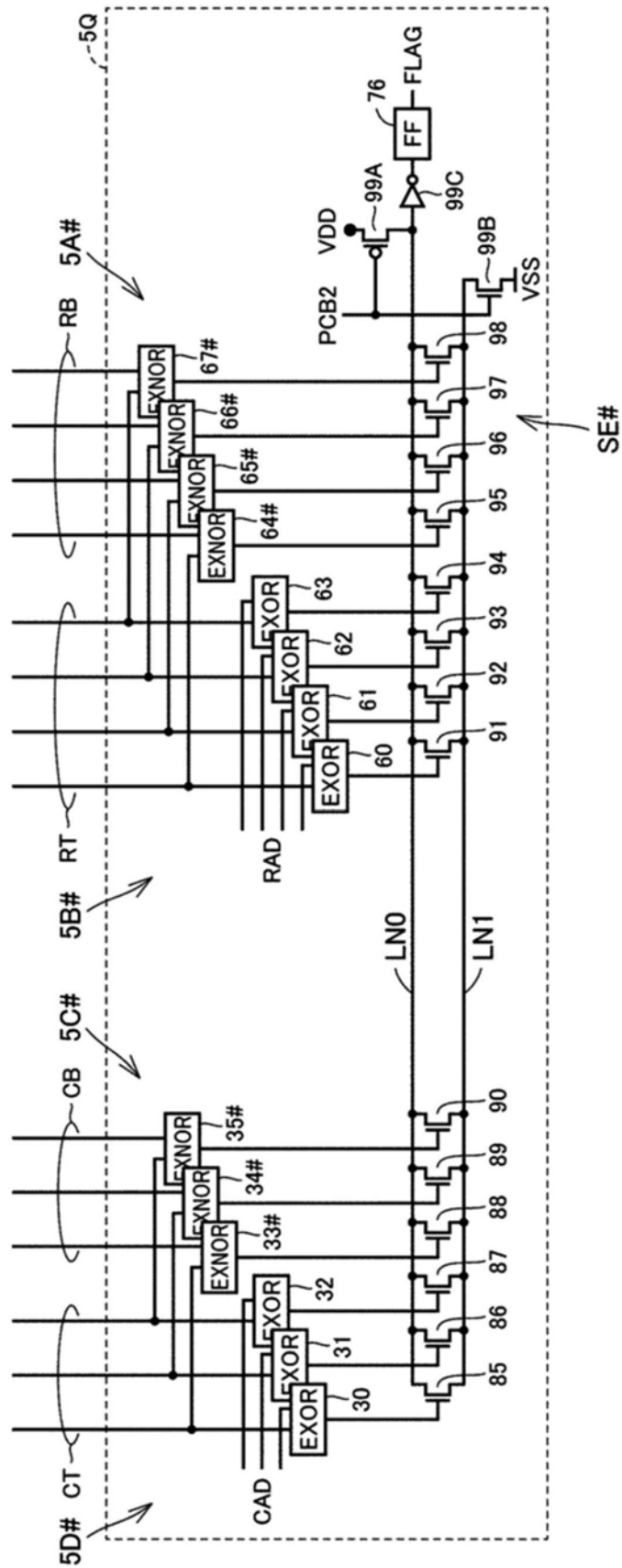


图60

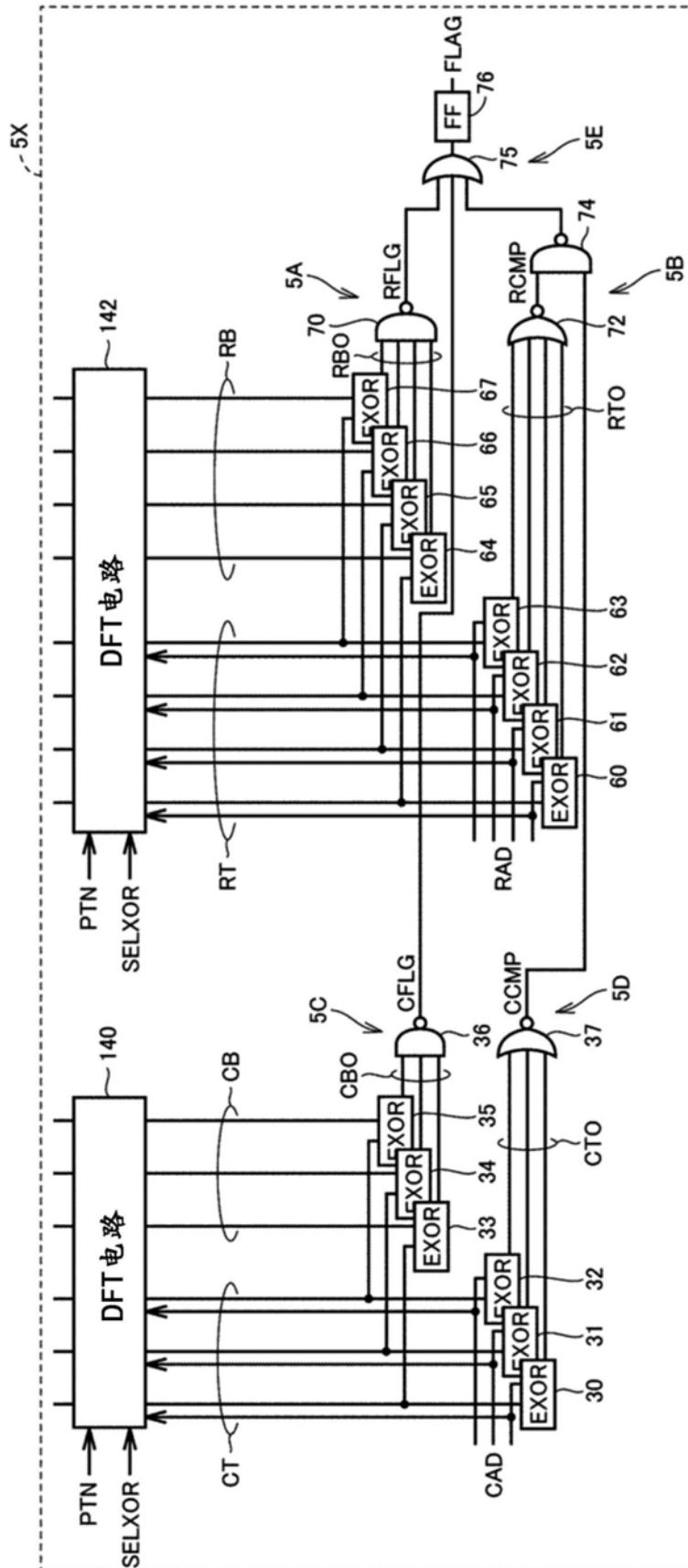


图61

[illegible]

图62

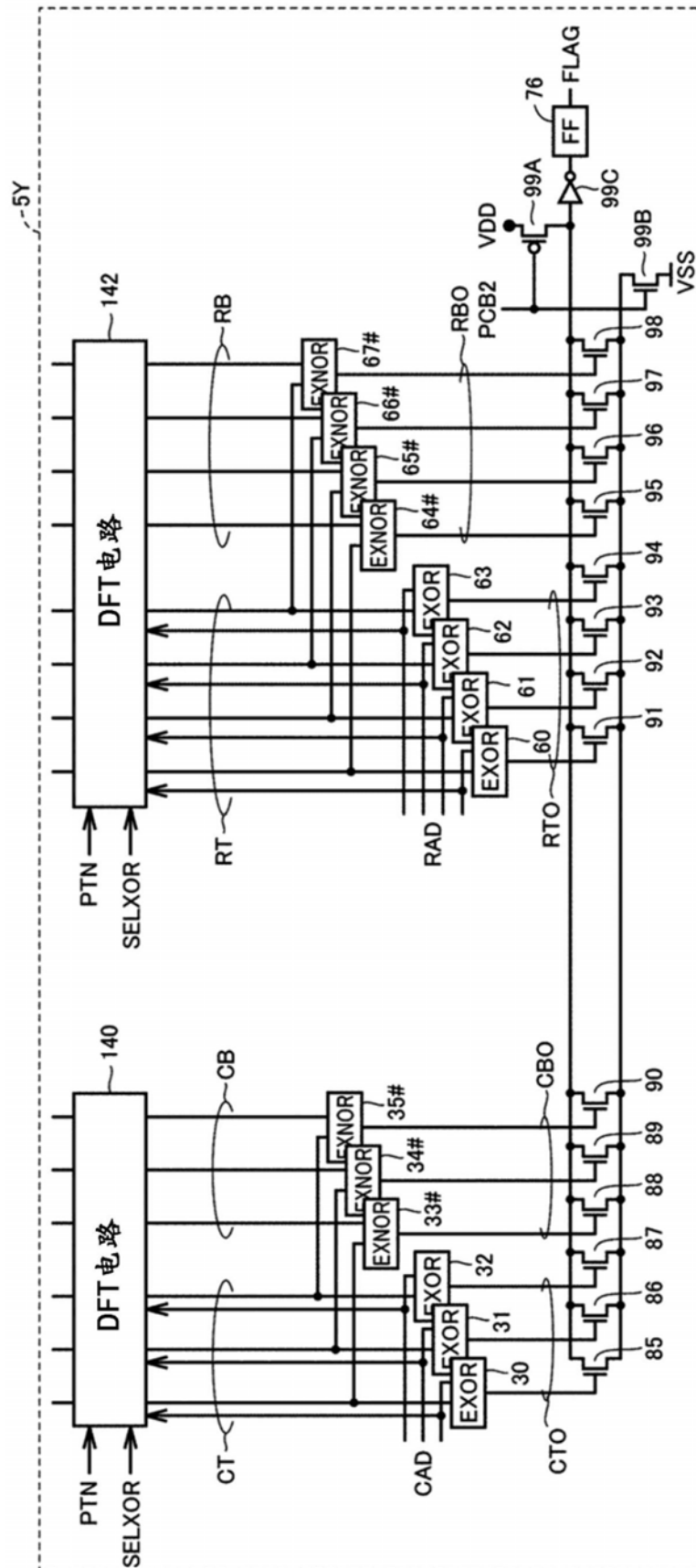


图63

210

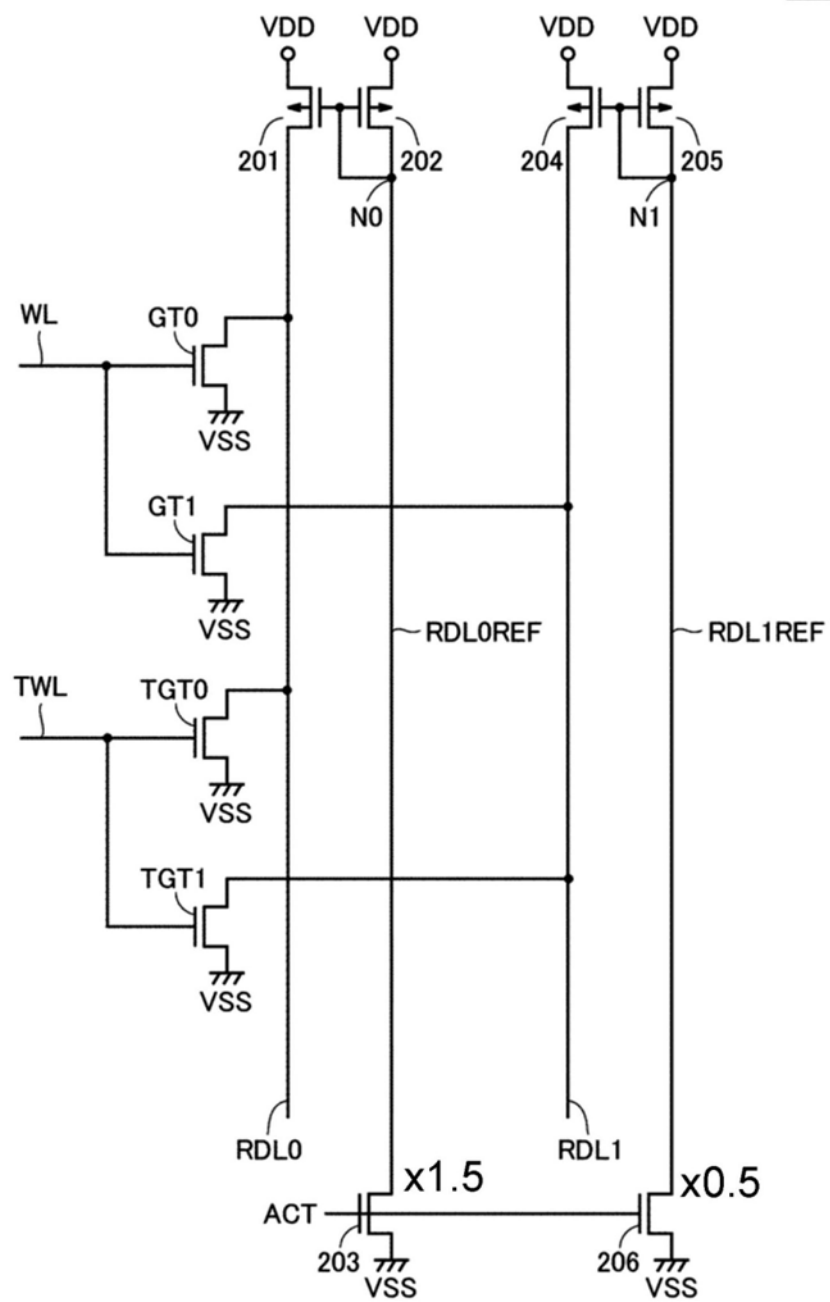


图65

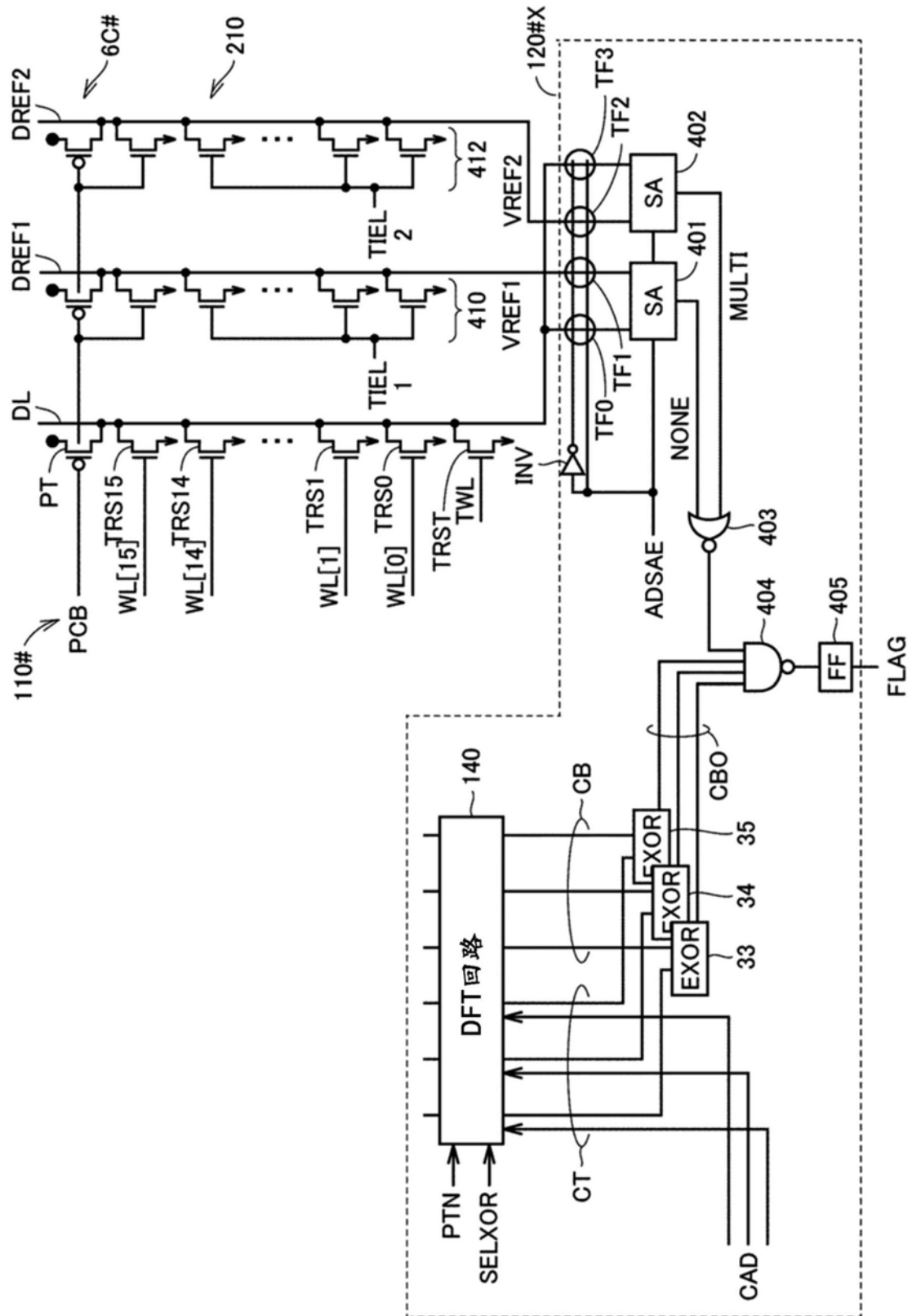


图66

