

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7168280号
(P7168280)

(45)発行日 令和4年11月9日(2022.11.9)

(24)登録日 令和4年10月31日(2022.10.31)

(51)国際特許分類 F I
H 0 1 L 21/52 (2006.01) H 0 1 L 21/52 B
B 2 3 K 1/00 (2006.01) B 2 3 K 1/00 3 3 0 E

請求項の数 6 (全12頁)

(21)出願番号	特願2018-121381(P2018-121381)	(73)特許権者	000154325 住友電工デバイス・イノベーション株式会社 神奈川県横浜市栄区金井町1番地
(22)出願日	平成30年6月26日(2018.6.26)	(74)代理人	110002343弁理士法人 東和国際特許事務所
(65)公開番号	特開2020-4806(P2020-4806A)	(72)発明者	山田 文生 神奈川県横浜市栄区金井町1番地 住友電工デバイス・イノベーション株式会社内
(43)公開日	令和2年1月9日(2020.1.9)	審査官	河合 俊英
審査請求日	令和3年3月22日(2021.3.22)		

最終頁に続く

(54)【発明の名称】 半導体装置、および、半導体チップの搭載方法

(57)【特許請求の範囲】

【請求項1】

搭載基板と該搭載基板上にAuSn半田を介して搭載された半導体チップとを備え、
該半導体チップは、前記搭載基板に対向する裏面側に形成されたAuからなる裏面金属層と、表面側に形成した発熱素子を有し、
該発熱素子を形成した領域を除く前記裏面側で、NiCr、Ni、Tiのいずれか1つからなる半田阻止金属層が前記半導体チップの縁まで延びて露出し、
前記半田阻止金属層が、前記裏面金属層の上に形成されている、
半導体装置。

【請求項2】

前記裏面金属層が、前記半導体チップの前記裏面側に形成したシード金属層の上に形成されている、請求項1に記載の半導体装置。

【請求項3】

前記シード金属層が、NiCr、Ni、Tiのいずれか1つからなる半田阻止金属層として形成され、該半田阻止金属層が前記裏面金属層の除去部分で露出している、請求項2に記載の半導体装置。

【請求項4】

前記半田阻止金属層が、前記半導体チップの一の縁から、該一の縁と対向する他の縁にまで直線状に露出している、請求項1から請求項3のいずれか1項に記載の半導体装置。

【請求項5】

前記搭載基板は、前記半導体チップを収納するパッケージの底材である、請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

半導体発熱素子を含む第 1 の領域と、前記半導体発熱素子を含まない第 2 の領域を有する半導体チップを搭載基板上に AuSn 半田を介して搭載する半導体チップの搭載方法であって、

前記半導体チップの裏面にシード金属層を形成する工程と、

前記シード金属層の上に Au からなる裏面金属層を形成する工程と、

前記裏面金属層の上の前記第 2 の領域内に、NiCr、Ni、Ti のいずれか 1 つからなり前記半導体チップの縁まで延びる半田阻止金属層を選択的に形成する工程と、

10

前記裏面金属層を前記 AuSn 半田に接触させ、前記半導体チップを前記搭載基板上でスクラブする工程と、を有する半導体チップの搭載方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置、および、半導体チップの搭載方法に関する。

【背景技術】

【0002】

一般的に、フェイスアップで実装される MMIC (Monolithic Microwave Integrated Circuit) は、銀 (Ag) ベーストや金錫 (AuSn) 半田によってパッケージに固定される。AuSn 半田を用いる際は、半導体チップとパッケージとの間に介在する AuSn 半田を溶かし、半導体チップ裏面に形成した金 (Au) とパッケージ表面に形成した Au を固定する。AuSn 半田は熱伝導率が悪いので、薄ければ薄いほどよい。また、気泡 (ボイド) が入ると半導体チップからパッケージへの熱抵抗が著しく大きくなる。そのため AuSn 半田を用いた実装では半導体チップを揺さぶること (スクラブ) で AuSn 半田を薄く形成し、かつ、気泡が入らないように実装している。

20

【0003】

しかしながら、従来、スクラブを行っても、製造時のバラツキによって気泡を完全に無くすることは難しかった。半導体チップに形成した FET (Field effect transistor: 電界効果トランジスタ) 部分の下部に気泡があると、FET の発熱による温度上昇が想定よりも大きくなり、デバイスの寿命を低下させていた。

30

【0004】

半導体チップの実装時に、気泡による悪影響を防ぐために、例えば、特許文献 1 には、減圧炉を用いて溶融半田中の気泡を除去することが開示されている。また、特許文献 2 には、半導体チップ裏面の FET の活性領域と重ならない箇所に溝を設け、ダイボンド時のスクラブによって、AuSn 半田内に生ずる気泡を溝内に捕集させることが開示されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開 2015 - 070052 号公報

特開平 10 - 223808 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 が開示された方法では、真空引きにより気泡を追い出しているため、真空排気装置が必要となる。また、特許文献 2 が開示された方法では、スクラブ時に AuSn 半田が溝内に入り込み、気泡の捕集ができなくなるといった問題があった。

【0007】

本発明は、これらの実情に鑑みてなされたものであり、半導体チップに形成した発熱素

50

子の領域の裏面側において、半田内に生じる気泡の発生を減少させた半導体装置、および、半導体チップの搭載方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体装置は、搭載基板と該搭載基板上にAuSn半田を介して搭載された半導体チップとを備え、該半導体チップは、前記搭載基板に対向する裏面側に形成されたAuからなる裏面金属層と、表面側に形成した発熱素子を有し、該発熱素子を形成した領域を除く前記裏面側で、NiCr、Ni、Tiのいずれか1つからなる半田阻止金属層が前記半導体チップの縁まで延びて露出し、前記半田阻止金属層が、前記裏面金属層の上に形成されている。

10

【0009】

また、本発明の一態様に係る半導体チップの搭載方法は、半導体発熱素子を含む第1の領域と、前記半導体発熱素子を含まない第2の領域を有する半導体チップを搭載基板上にAuSn半田を介して搭載する半導体チップの搭載方法であって、前記半導体チップの裏面にシード金属層を形成する工程と、前記シード金属層の上にAuからなる裏面金属層を形成する工程と、前記裏面金属層の上の前記第2の領域内に、NiCr、Ni、Tiのいずれか1つからなり前記半導体チップの縁まで延びる半田阻止金属層を選択的に形成する工程と、前記裏面金属層を前記AuSn半田に接触させ、前記半導体チップを前記搭載基板上でスクラブする工程と、を有する。

【発明の効果】

20

【0011】

本発明によれば、半導体チップに形成した発熱素子の領域の裏面側において、半田内に生じる気泡の発生を減少させることができる。

【図面の簡単な説明】

【0012】

【図1A】本発明の一実施形態に係る半導体装置の半導体チップの表面を模式的に示す図である。

【図1B】図1Aに示す半導体チップの裏面を示す図である。

【図1C】本発明の一実施形態に係る半導体装置の断面を示す図である。

【図2A】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

30

【図2B】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2C】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2D】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2E】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2F】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

40

【図2G】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2H】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2I】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【図2J】本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。

【発明を実施するための形態】

50

【 0 0 1 3 】

(本願発明の実施形態の説明)

最初に本願発明の実施態様を列記して説明する。

(1) 本発明の一態様に係る半導体装置は、搭載基板と該搭載基板上に A u S n 半田を介して搭載された半導体チップとを備え、該半導体チップは、前記搭載基板に対向する裏面側に形成された A u からなる裏面金属層と、表面側に形成した発熱素子を有し、該発熱素子を形成した領域を除く前記裏面側で、N i C r、N i、T i のいずれか 1 つからなる半田阻止金属層が前記半導体チップの縁まで延びて露出し、前記半田阻止金属層が、前記裏面金属層の上に形成されている。

この構成により、A u S n 半田に発生したボイドを、A u S n 半田と濡れ性の悪い半田阻止金属層の周りに収集し、外部へ排除することが可能となる。これにより、半導体チップに形成した発熱素子の領域の裏面側において、A u S n 半田内に生じる気泡の発生を減少させることができ、半導体チップからの熱を効率よく放熱することができる。

また、半田阻止金属層が裏面電極層の上に凸状に形成されるため、半田に生じた気泡の収集効率が高めることができる。

【 0 0 1 4 】

(2) 前記裏面金属層が、前記半導体チップの前記裏面側に形成したシード金属層の上に形成されていてもよい。

この構成により、裏面金属を選択電解メッキによって形成することができ、裏面電極の厚さの調整が容易になる。

【 0 0 1 6 】

(3) 前記シード金属層が、N i C r、N i、T i のいずれか 1 つからなる半田阻止金属層として形成され、該半田阻止金属層が前記裏面金属層の除去部分で露出してもよい。

この構成により、シード金属層を半田阻止金属層として兼用できるため、半導体チップの裏面に形成した金属層の総数を減少させることができる。

【 0 0 1 7 】

(4) 前記半田阻止金属層が、前記半導体チップの一の縁から、該一の縁と対向する他の縁にまで直線状に露出していることが望ましい。

この構成により、半田阻止金属層の周りに収集した気泡を、半導体チップの外部へ排除させやすくなる。

【 0 0 1 8 】

(5) 前記搭載基板は、前記半導体チップを収納するパッケージの底材であってよい。

この構成により、パッケージの底材に半導体チップを搭載した際に、半導体チップからの熱がパッケージの底材を通じて効率よく放熱する。

【 0 0 1 9 】

(6) 本発明の一態様に係る半導体チップの搭載方法は、半導体発熱素子を含む第 1 の領域と、前記半導体発熱素子を含まない第 2 の領域を有する半導体チップを搭載基板上に A u S n 半田を介して搭載する半導体チップの搭載方法であって、前記半導体チップの裏面にシード金属層を形成する工程と、前記シード金属層の上に A u からなる裏面金属層を形成する工程と、前記裏面金属層の上の前記第 2 の領域内に、N i C r、N i、T i のいずれか 1 つからなり前記半導体チップの縁まで延びる半田阻止金属層を選択的に形成する工程と、前記裏面金属層を前記 A u S n 半田に接触させ、前記半導体チップを前記搭載基板上でスクラブする工程と、を有する。

この構成により、A u S n 半田に発生したボイドを、A u S n 半田と濡れ性の悪い半田阻止金属層の周りに収集し、外部へ排除することが可能となる。このため、半導体チップに形成した発熱素子の領域の裏面側において、半田内に生じる気泡の発生を減少させることができ、半導体チップからの熱を効率よく放熱することができる。また、半田阻止金属層が裏面電極層の上に突出して形成されるため、半田に生じた気泡の収集効率が高めることができる。

【 0 0 2 1 】

10

20

30

40

50

(本願発明の実施形態の詳細)

以下、図面を参照しながら、本発明の半導体装置、および、半導体チップの搭載方法に係る好適な実施形態について説明する。以下の説明において、異なる図面においても同じ符号を付した構成は同様のものとして、その説明を省略する場合がある。なお、本発明はこれらの実施形態での例示に限定されるものではなく、特許請求の範囲に記載された事項の範囲内および均等の範囲内におけるすべての変更を含む。また、複数の実施形態について組み合わせが可能である限り、本発明は任意の実施形態を組み合わせたものを含む。

【0022】

(第1の実施形態)

図1Aは、本発明の一実施形態に係る半導体装置の半導体チップの表面を模式的に示す図であり、図1Bは、図1Aに示す半導体チップの裏面を示す図である。また、図1Cは、本発明の一実施形態に係る半導体装置の断面を示す図であり、図1A、図1Bに示す半導体チップを搭載基板上に搭載した際の断面を示している。以下の説明では、半導体チップとして、MMICを例に説明するが、半導体チップとしてはこれに限られない。

【0023】

MMICは、1つ以上の高周波回路ブロックを1つの半導体基板上に設けた集積回路であり、能動素子と受動素子とが半導体製造プロセスによって、一体に形成されている。図1Aに示す半導体チップ1の例では、約1mm×約3mmのSiC(シリコンカーバイド)基板10上に形成したGaAs(砒化ガリウム)エピタキシャル層20に、初段アンプ21、中段アンプ22、および、終段アンプ23の多段のアンプを形成した例を示している。各アンプ21~23は、それぞれ能動素子であるFET24と受動素子から構成されており、伝送線路25によって接続されている。

【0024】

半導体チップ1は、動作時において、FET24が発熱素子となるため、FET24を備えた各アンプ21~23の箇所で最も発熱量が多くなり、伝送線路25のみが施された個所では発熱量が小さい。図1Aでは、発熱素子を含む領域をAで示し、発熱素子を含まない領域をBで示している。発熱素子を含まない領域Bは半導体チップの周辺部と各アンプ21~23の段間の領域になる。そして、半導体チップ1の裏面をAuSn半田90によって搭載基板100上にマウントした際に、領域Aに気泡が生じると、発熱素子であるFET24からの熱が効率よく放熱されないため、領域Aの温度が高くなり、回路特性が劣化し、半導体装置の寿命が低下する。

【0025】

半導体チップ1の裏面には、シード金属層50と、このシード金属層50の上にAuからなる裏面金属層60がメッキされている。そして、本実施形態では、裏面金属層60の上に、AuSn半田90と濡れ性の悪いニッケルクロム(NiCr)、ニッケル(Ni)、チタン(Ti)のいずれか1つからなる金属層70が設けられている。図1Bに示すように、この金属層70は半導体チップ1の一つの縁から半導体チップ1の裏面側の段間の領域を通過して、この一つの縁と反対の縁まで延びている。このように、金属層70は、半導体チップ1の裏面から見た場合、裏面金属層60の上で露出している。

【0026】

半導体チップ1は、搭載基板100の上にAuSn半田90を用いて搭載される。搭載基板100は、半導体チップ1を収納するパッケージの底材であり、例えば、銅(Cu)から構成されるが、他の材料であってもよい。半導体チップ1の搭載時に、NiCr、Ni、TiはAuSn半田90と濡れ性に劣るためAuSn半田を弾く。このため、金属層70の周囲には、図1Cに示すように空隙Cが生じる。そして、半導体チップ1の搭載時に搭載基板100上でスクラブ(擦り合わせ)を行うことによって、AuSn半田90に生じた気泡は空隙Cに収集され、半導体チップ1の縁まで形成されたこの空隙Cに沿って外部に排出される。

【0027】

10

20

30

40

50

これによって、領域Aに対応する裏面金属層60上に発生する気泡を減少させることができる。また、領域Bでは空隙Cが生じるため、裏面金属層60から搭載基板100への熱伝達が悪化し、領域Bの温度が上昇するが、この領域BにはFET等の発熱素子を設けていないため、半導体チップ1の寿命を短くさせることがない。

【0028】

(半導体チップの搭載方法)

次に、半導体チップの搭載方法について説明する。図2A～図2Jは、本発明の一実施形態に係る半導体チップの搭載方法における各工程を説明するための図である。図2Aは表面プロセス工程、図2Bはフォトレジスト塗布工程、図2Cは支持基板貼付工程、図2Dは裏面研磨工程、図2Eはシード金属層形成工程、図2Fは裏面金属層メッキ工程、図2Gは半田阻止金属層形成工程、図2Hは半田阻止金属層パターンニング工程、図2Iはエキパンディングテープ貼付工程、図2Jはダイシング工程をそれぞれ示しており、各工程が順次行われる。なお、図2A～図2Jにおいて、各構成部材の厚さの関係は、目視し易くするために実際の厚さの関係と異ならせている。また、図1Cは、ダイボンディング工程を説明するために用いられる。

10

【0029】

(表面プロセス工程)

表面プロセス工程では、図2Aに示すように、厚さ500 μ m程度の半導体基板10の表面上にGaA等のエピタキシャル層20を形成し、このエピタキシャル層20に、能動素子、およびエピタキシャル層20上に絶縁層を介して受動素子、伝送線路などを形成し、MMICを構成する複数の半導体チップ1を形成する。これらの素子は、既存の半導体製造技術を用いて作製される。例えば、図1Aに示すように、多段のアンプ21～23とこれらのアンプ21～23を接続する伝送線路25が形成される。

20

【0030】

(フォトレジスト塗布工程)

次に、図2Bに示すように、基板10の表面側に形成した各素子を保護するために、基板の表面側(エピタキシャル層20側)にフォトレジスト30を塗布し、さらに、フォトレジスト30の上にワックス(図示しない)を塗布する。

【0031】

(支持基板貼付工程)

次に、基板10の裏面側(エピタキシャル層20の反対側)の処理のために、図2Cに示すように、表面側(エピタキシャル層20側)をガラス製の支持基板40に対向させて貼り付ける。

30

【0032】

(裏面研磨工程)

次に、図2Dに示すように、基板10が所定の厚さとなるように裏面をグラインダで研磨する。基板10の厚さは、表面に形成した信号線用の金属パターンと裏面金属層60とが基板10を介してマイクロストリップ線路を形成する際に、線路の特性インピーダンスを所望の値にするために調整される。なお、表面側のグランド電位の金属パターンと裏面金属層60とは図示しないビアホールを介して電氣的に接続される。本工程で、基板10は例えば100 μ m程度の厚さに研磨される。

40

【0033】

(シード金属層形成工程)

次に、図2Eに示すように、シード金属層50として、NiCrとAuの2層からなるシード金属層50をSiC基板10の裏面に全面スパッタリングによって形成する。このシード金属層50は、後工程で裏面金属層60を選択電解メッキで形成するために用いられる。シード金属層50のNiCrとAuは、それぞれ、例えば200nmと2000nmの厚さで形成される。

【0034】

(背面金属層メッキ工程)

50

基板 10 には、図 2 F に示すように、所定幅 D 1 を有するスクライブラインで区画され複数の半導体チップが形成されている。シード金属層 50 を形成した後、シード金属層 50 の全面にフォトレジストを設け、半導体チップの領域を残して、スクライブライン間の幅 D 1 を覆うフォトレジスト 61 によってパターンニングする。そして、半導体チップの裏面に露出したシード金属層 50 上に、Au からなる裏面金属層 60 を例えば 10 μm の厚さで選択電解メッキにより形成する。フォトレジスト 61 は裏面金属層 60 の形成後に除去する。

【0035】

(半田阻止金属層形成工程)

次に、図 2 G に示すように、フォトレジスト 61 を除去した後、AuSn 半田と濡れ性の悪い、例えば、NiCr を裏面金属層 60 の全面にスパッタリングによって形成し、厚さ 50 nm 程度の金属層 70 を設ける。その後、金属層 70 上に、フォトレジスト 71 をパターンニングする。

10

【0036】

(半田阻止金属層パターンニング工程)

次に、フォトレジスト 71 をマスクとして金属層 70 をエッチングし、図 2 H に示すように、裏面金属層 60 の上に幅 100 μm 程度のライン状の金属層 70 を残す。この金属層 70 は、図 1 B に示すように、半導体チップ 1 の領域 B に半導体チップ 1 の縁から他方の縁まで延びている。この工程は、図 2 G に示すように、NiCr からなる金属層 70 を残す領域をフォトレジスト 71 でマスクし、金属層 70 をウェットエッチンし、その後、フォトレジスト 71 を除去することによって行われる。

20

【0037】

(エキスパンディングテープ貼付工程)

次に、図 2 I に示すように、基板 10 の裏面側をエキスパンディングテープ 80 に貼り付けた後、表面側のワックス(図示なし)とフォトレジスト 30 を除去し、基板を支持基板 40 から外す。なお、表面側のワックス(図示なし)とフォトレジスト 30 を除去して、基板 10 を支持基板 40 から外した後、基板 10 の裏面側をエキスパンディングテープ 80 に貼り付けてもよい。この工程では、基板 10 はダイシング前であるので、各半導体チップ 1 は分離することがない。

【0038】

(ダイシング工程)

次に、図 2 J に示すように、基板 10 の表面側からダイシングにより、半導体チップ 1 を分離する。ダイシングは、スクライブラインに沿って、例えば、スクライブラインの幅 D 1 内で、スクライブラインの幅 D 1 よりも狭い幅 D 2 を有するダイシングブレードを用いて行う。そして、各半導体チップ 1 をエキスパンディングテープ 80 から外し、個々の半導体チップ 1 を得る。

30

【0039】

(ダイボンディング工程)

次に、図 1 C に示すように、個々の半導体チップ 1 を、例えば配線基板、あるいは、パッケージの底材(金属製)からなる搭載基板 100 上にダイボンディングする。ダイボンディングは、搭載基板 100 上に予め AuSn 半田 90 をボール状あるいはシート状(薄膜状)に設けておき、例えば、320 °C の窒素ガス(N₂)雰囲気中で AuSn 半田 90 を搭載基板 100 の上で溶かし、搭載基板 100 上で半導体チップ 1 をスクラブする(擦り合わせる)ことにより行う。

40

【0040】

その際、先述したように、NiCr からなる金属層 70 は、AuSn 半田 90 に対し濡れ性に劣るため、実装時に金属層 70 の部分には空隙 C ができる。AuSn 半田に生じた気泡がスクラブによって金属層 70 に達すれば、気泡はライン状の金属層 70 に沿ってチップ外に抜けていく。また、溶解した AuSn 半田 90 は Au と濡れ性が良いため、半導体チップ 1 の裏面金属層 60 の Au と搭載基板 100 側の Au の間で一樣な厚さに広がる

50

。この時のAuSn半田の厚さは10 μm程度になる。これにより、半導体チップ1の領域Aの裏面側には気泡がなくなるため、発熱効率が高まり、回路特性の劣化を抑え、半導体装置の長寿命を図ることができる。

【0041】

(第2の実施形態)

本発明では、裏面金属層60と搭載基板100とをAuSn半田90を用いて固着する際に、AuSn半田90に生じる気泡を、AuSn半田90と濡れ性の悪い金属層70のパターンによって収集し、半導体チップ1の外部へ排出できるようにしている。このため、金属層70のパターンは、半導体チップ1の裏面から見た際に、裏面金属層60から露出していればよい。第1の実施形態では、基板10の裏面側にシード金属層50と裏面金属層60を順番に設け、裏面金属層60の上に金属層70をパターンニングすることにより、金属層70を露出させている。

10

【0042】

第2の実施形態では、シード金属層50の材料を、AuSn半田90と濡れ性の悪いNiCr、Ni、Tiのいずれか1つからなる材料で構成し、シード金属層50に半田阻止金属層の機能を持たせている。このため、第2の実施形態では、シード金属層50が金属層70となる。そして、このシード金属層50の上に形成した裏面金属層60を一部除去することによって、シード金属層50を露出させる。シード金属層50が露出する領域は、半導体チップ1の領域B内で、また、半導体チップ1の縁まで延びている。裏面金属層60から露出したシード金属層50の金属層70に対応する機能は、第1の実施形態と同様であるので、その説明を省略する。

20

【0043】

以上、本発明の実施形態に係る半導体装置、および、半導体チップの搭載方法について説明したが、AuSn半田90と濡れ性の悪い金属層70のパターンは、ライン状のものに限られず、格子状のものあるいはその他の形状であってもよい。

【符号の説明】

【0044】

- 1 ...半導体チップ、
- 10 ...基板、
- 20 ...エピタキシャル層、
- 21 ...初段アンプ、
- 22 ...中段アンプ、
- 23 ...終段アンプ、
- 24 ...FET、
- 25 ...伝送線路、
- 30 ...フォトレジスト、
- 40 ...支持基板、
- 50 ...シード金属層、
- 60 ...裏面金属層、
- 61 ...フォトレジスト、
- 70 ...半田阻止金属層、
- 71 ...フォトレジスト、
- 80 ...エキスパンディングテープ、
- 90 ...AuSn半田、
- 100 ...搭載基板。

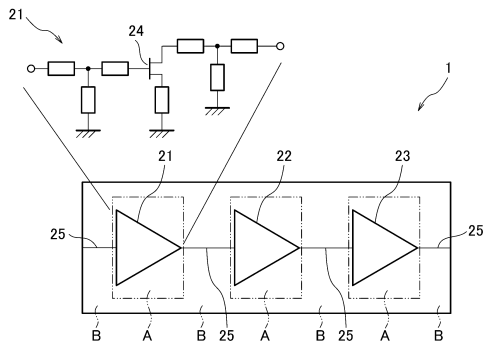
30

40

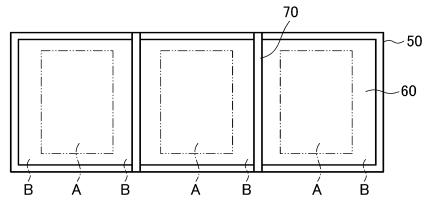
50

【図面】

【図 1 A】

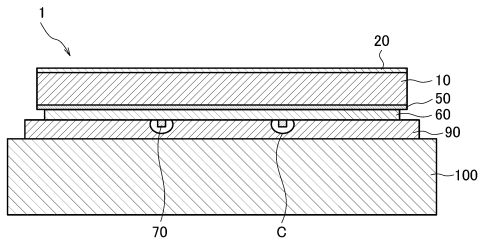


【図 1 B】

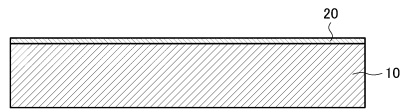


10

【図 1 C】

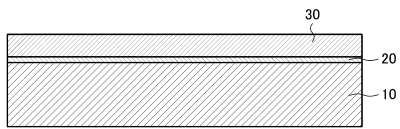


【図 2 A】

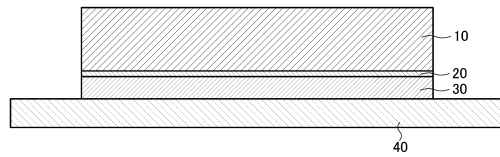


20

【図 2 B】



【図 2 C】

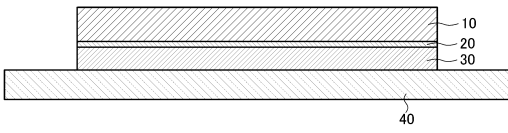


30

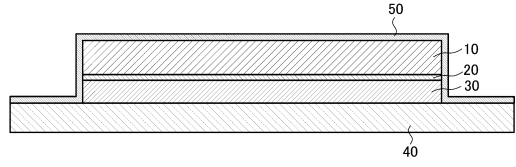
40

50

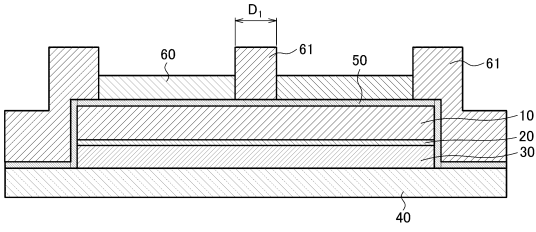
【図 2 D】



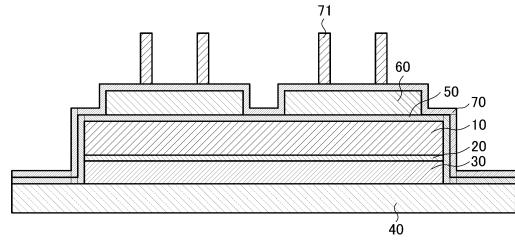
【図 2 E】



【図 2 F】

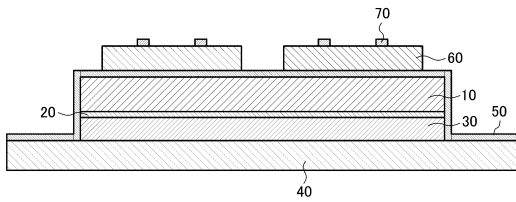


【図 2 G】

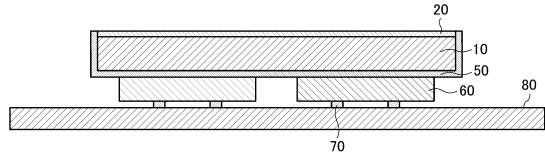


10

【図 2 H】



【図 2 I】



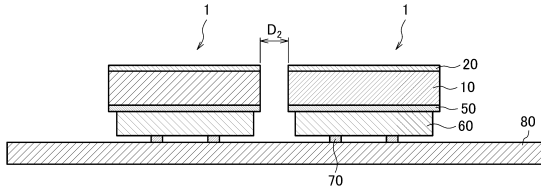
20

30

40

50

【図 2 J】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開平10 - 223808 (JP, A)
特開2006 - 261551 (JP, A)
特開昭50 - 034170 (JP, A)
特開2006 - 351926 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21 / 52
B23K 1 / 00