

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4254675号
(P4254675)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.	F I	
G09F 9/30 (2006.01)	G09F	9/30 338
G09G 3/20 (2006.01)	G09G	3/20 624B
G09G 3/30 (2006.01)	G09G	3/20 680H
H05B 33/12 (2006.01)	G09G	3/30 H
H01L 51/50 (2006.01)	H05B	33/12 B
請求項の数 6 (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2004-283824 (P2004-283824)
 (22) 出願日 平成16年9月29日(2004.9.29)
 (65) 公開番号 特開2006-98654 (P2006-98654A)
 (43) 公開日 平成18年4月13日(2006.4.13)
 審査請求日 平成17年12月20日(2005.12.20)

前置審査

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 白崎 友之
 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内
 (72) 発明者 尾崎 剛
 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内
 (72) 発明者 小倉 潤
 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

最終頁に続く

(54) 【発明の名称】 ディスプレイパネル

(57) 【特許請求の範囲】

【請求項1】

ゲート、ゲート絶縁膜、ソース・ドレインを備えたトランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、

前記トランジスタアレイ基板の表面に凸設され、互いに平行となるよう配列された複数の配線と、

前記各配線の間において前記各配線に沿って前記トランジスタアレイ基板の表面に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

前記発光層上に積層された対向電極と、を備え、

前記トランジスタは、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソース・ドレイン間に書込電流を流すスイッチトランジスタと、を有し、

前記複数の配線は、前記駆動トランジスタのソース、ドレインの他方と接続された給電配線と、前記スイッチトランジスタを選択する選択配線と、前記対向電極に接続された共通配線を有し、

前記サブピクセルは、任意の順に並列された赤サブピクセル、緑サブピクセル及び青サブピクセルを一組として1つの画素を構成し、前記画素は複数配列され、

前記給電配線、前記選択配線及び前記共通配線は、互いに平行であり且つこの組を前記画素ごとに配列してなり、

前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルの前記発光層は、それぞれ赤発光層、緑発光層及び青発光層を有し、前記発光層のうちの互いに異なる発光色の発光層間に、前記給電配線、前記選択配線及び前記共通配線のいずれかが配置されていることを特徴とするディスプレイパネル。

【請求項 2】

前記トランジスタは、さらに発光期間に前記駆動トランジスタのソース - ゲート間の電圧を保持する保持トランジスタとを有することを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 3】

前記配線の厚さが $1.31 \sim 6 \mu\text{m}$ であることを特徴とする請求項 1 または請求項 2 に記載のディスプレイパネル。

10

【請求項 4】

前記配線の幅が $7.45 \sim 44 \mu\text{m}$ であることを特徴とする請求項 1 から 3 の何れか一項に記載のディスプレイパネル。

【請求項 5】

前記配線の抵抗率が $2.1 \sim 9.6 \mu\text{cm}$ であることを特徴とする請求項 1 から 4 の何れか一項に記載のディスプレイパネル。

【請求項 6】

トランジスタアレイ基板と、

前記トランジスタアレイ基板上に形成され、サブピクセルごとに設けられた赤サブピクセル電極、緑サブピクセル電極及び青サブピクセル電極を有する複数のサブピクセル電極と、

20

前記赤サブピクセル電極、前記緑サブピクセル電極及び前記青サブピクセル電極上にそれぞれ設けられた赤発光層、緑発光層及び青発光層を有する複数の発光層と、

前記複数の発光層上に設けられた対向電極と、

前記複数のサブピクセル電極にそれぞれ接続された複数の駆動トランジスタと、

前記複数の駆動トランジスタのソース - ドレイン間にそれぞれ書込電流を流す複数のスイッチトランジスタと、

前記複数の駆動トランジスタのソース - ゲート間の電圧をそれぞれ保持する複数の保持トランジスタと、

30

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように形成され、前記複数の駆動トランジスタのドレインと接続された給電配線と、

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように形成され、前記給電配線と平行となるよう配列され、前記スイッチトランジスタを選択する選択配線と、

前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように前記給電配線と平行となるよう配列され、前記対向電極に接続された共通配線と、

40

を有し、

前記サブピクセルは、任意の順に並列された前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルを一組として 1 つの画素を構成し、前記画素は複数配列され、

前記赤発光層、前記緑発光層及び前記青発光層のうちの互いに異なる発光色の発光層間に、前記給電配線、前記選択配線及び前記共通配線のいずれかが配置されていることを特徴とするディスプレイパネル。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、発光素子を用いたディスプレイパネルに関する。

【 背景技術 】

【 0 0 0 2 】

有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のもの、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献1に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機EL素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機EL素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソース・ドレインを介して有機EL素子に流れ、有機EL素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機EL素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

10

20

【 0 0 0 3 】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【 0 0 0 4 】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、電源線のような有機EL素子に電流を流す配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパターニング工程と同時にパターニングされる。即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

30

【特許文献1】特開平8 - 330600号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、薄膜トランジスタの電極は、トランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、その名の通り薄膜であり、このため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗によって、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望まれるが、そのためにトランジスタのソース、ドレイン電極となる金属層やゲート電極となる金属層を厚くしたり、これら金属層を電流が十分に流れる程度にかなり幅広にパターニングして低抵抗配線としたりすると、配線が他の配線や導電体等と平面視して重なる面積が増えてしまい、それらの間で寄生容量が発生してしまい、電流の流れを遅くする要因が発生してしまい、或いはトランジスタアレイ基板側からEL光を出射するいわゆるボトム

40

50

エミッション構造の場合、EL素子からの発光を配線が遮光してしまうので、発光面積の割合である開口率の低下を招いてしまっていた。また低抵抗化するために薄膜トランジスタのゲート電極を厚くすると、ゲート電極の段差を平坦化するための平坦化膜（例えば薄膜トランジスタが逆スタガ構造の場合、ゲート絶縁膜に相当）まで厚くしなければならず、トランジスタ特性が大きく変化してしまう恐れがあり、またソース、ドレイン電極を厚くすると、ソース、ドレイン電極のエッチング精度が低下してしまうため、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

【0006】

そこで、本発明は、電圧降下・信号遅延を抑え、良好に発光素子を駆動することを目的とする。

【課題を解決するための手段】

【0007】

以上の課題を解決するために、本発明のディスプレイパネルは、ゲート、ゲート絶縁膜、ソース・ドレインを備えたトランジスタがサブピクセルごとに設けられてなるトランジスタアレイ基板と、

前記トランジスタアレイ基板の表面に凸設され、互いに平行となるよう配列された複数の配線と、

前記各配線の間において前記各配線に沿って前記トランジスタアレイ基板の表面に配列され、サブピクセルごとに設けられた複数のサブピクセル電極と、

前記各サブピクセル電極上に成膜された発光層と、

前記発光層上に積層された対向電極と、を備え、

前記トランジスタは、ソース、ドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソース・ドレイン間に書込電流を流すスイッチトランジスタと、を有し、

前記複数の配線は、前記駆動トランジスタのソース、ドレインの他方と接続された給電配線と、前記スイッチトランジスタを選択する選択配線と、前記対向電極に接続された共通配線を有し、

前記サブピクセルは、任意の順に並列された赤サブピクセル、緑サブピクセル及び青サブピクセルを一組として1つの画素を構成し、前記画素は複数配列され、

前記給電配線、前記選択配線及び前記共通配線は、互いに平行であり且つこの組を前記画素ごとに配列してなり、

前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルの前記発光層は、それぞれ赤発光層、緑発光層及び青発光層を有し、前記発光層のうちの互いに異なる発光色の発光層間に、前記給電配線、前記選択配線及び前記共通配線のいずれかが配置されている。

【0008】

前記トランジスタは、さらに発光期間に前記駆動トランジスタのソース・ゲート間の電圧を保持する保持トランジスタとを有してもよい。

前記複数の配線は、任意の順に並列された前記給電配線、前記選択配線及び前記共通配線を一組として、この組を複数配列してなってもよい。

好ましくは、上記ディスプレイパネルが、前記複数の配線それぞれを被覆した撥水性・撥油性の疎水膜を更に備える。

【0009】

好ましくは、前記対向電極が前記疎水膜を介して前記複数の配線を被覆する。

【0010】

好ましくは、前記疎水膜が絶縁性を有し、前記配線が前記トランジスタのソース、ドレイン、ゲートの何れかに導通している。

【0011】

好ましくは、前記疎水膜が導電性を有する。

また、本発明における他のディスプレイパネルは、

トランジスタアレイ基板と、
 前記トランジスタアレイ基板上に形成され、サブピクセルごとに設けられた赤サブピクセル電極、緑サブピクセル電極及び青サブピクセル電極を有する複数のサブピクセル電極と、
 前記赤サブピクセル電極、前記緑サブピクセル電極及び前記青サブピクセル電極上にそれぞれ設けられた赤発光層、緑発光層及び青発光層を有する複数の発光層と、
 前記複数の発光層上に設けられた対向電極と、
 前記複数のサブピクセル電極にそれぞれ接続された複数の駆動トランジスタと、
 前記複数の駆動トランジスタのソース・ドレイン間にそれぞれ書込電流を流す複数のスイッチトランジスタと、
 前記複数の駆動トランジスタのソース・ゲート間の電圧をそれぞれ保持する複数の保持トランジスタと、
 前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように形成され、前記複数の駆動トランジスタのドレインと接続された給電配線と、
 前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように形成され、前記給電配線と平行となるよう配列され、前記スイッチトランジスタを選択する選択配線と、
 前記複数の駆動トランジスタ、前記複数のスイッチトランジスタ及び前記複数の保持トランジスタにおけるソース、ドレイン及びゲートとなる層と異なる導電層によって前記トランジスタアレイ基板の表面に凸設するように前記給電配線と平行となるよう配列され、前記対向電極に接続された共通配線と、
 を有し、
 前記サブピクセルは、任意の順に並列された前記赤サブピクセル、前記緑サブピクセル及び前記青サブピクセルを一組として1つの画素を構成し、前記画素は複数配列され、
 前記赤発光層、前記緑発光層及び前記青発光層のうちの互いに異なる発光色の発光層間に、前記給電配線、前記選択配線及び前記共通配線のいずれかが配置されている。

【0012】

本発明によれば、配線がトランジスタアレイ基板の表面に凸設されているから、配線がトランジスタのドレイン・ソース・ゲートとは別に形成される。そのため、配線の幅を広くせずとも配線を厚くすることができ、給電配線を低抵抗化することができる。そのため、配線を通じてトランジスタ・サブピクセル電極に信号を出力した場合でも、電圧降下を抑えることができるとともに信号遅延も抑えることができる。

【0013】

また、トランジスタアレイ基板の表面に配線が凸設されているから、湿式塗布法により発光層をパターンニングする際に、隣り合うサブピクセル同士で発光層用の液が混ざらないようにすることができる。

【発明の効果】

【0014】

本発明によれば、配線を厚くすることができるので、配線を低抵抗化することができる。配線の低抵抗化によって信号遅延、電圧降下を抑えることができる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語を EL と略称する。

10

20

30

40

50

【 0 0 1 6 】

〔ディスプレイパネルの平面レイアウト〕

図 1 には、アクティブマトリクス駆動方式で動作するディスプレイパネル 1 の絶縁基板 2 上に設けられた複数のピクセルの画素 3 のうち隣接する 4 つを示した概略平面図が示されている。このディスプレイパネル 1 においては、複数の赤サブピクセル P r が水平方向（行方向）に沿って配列され、複数の緑サブピクセル P g が水平方向に沿って配列され、複数の青サブピクセル P b が水平方向に沿って配列されている。垂直方向（列方向）の配列順に着目すると、赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の順に繰り返し配列されている。そして、1 ドットの赤サブピクセル P r、1 ドットの緑サブピクセル P g、1 ドットの青サブピクセル P b の組み合わせが 1 つの画素 3 となり、この
10
ような画素 3 がマトリクス状に配列されている。なお、以下の説明において、サブピクセル P はこれら赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の中の任意のサブピクセルを表し、サブピクセル P についての説明は赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の何れについても適用される。

【 0 0 1 7 】

また、垂直方向に沿って延在した 3 本の信号線 Y r、Y g、Y b が 1 組となっており、3 本の信号線 Y r、Y g、Y b の組み合わせを信号線群 4 という。1 群の信号線群 4 に着目すると 3 本の信号線 Y r、Y g、Y b が互いに近接しているが、隣り合う信号線群 4 の間隔は同一信号線群 4 内の隣り合う信号線 Y r、Y g、Y b の間隔よりも広い。そして、
20
垂直方向の画素 3 の列 1 列につき、1 群の信号線群 4 が設けられている。すなわち、垂直方向に配列された 1 列のうちのサブピクセル P r、P g、P b は、1 群の信号線群 4 の信号線 Y r、Y g、Y b にそれぞれ接続されている。

【 0 0 1 8 】

ここで、信号線 Y r は垂直方向の画素 3 の列のうち全ての赤サブピクセル P r に対して信号を供給するものであり、信号線 Y g は垂直方向の画素 3 の列のうち全ての緑サブピクセル P g に対して信号を供給するものであり、信号線 Y b は垂直方向の画素 3 の列のうち全ての青サブピクセル P b に対して信号を供給するものである。

【 0 0 1 9 】

また、複数本の走査線 X が水平方向に沿って延在し、これら走査線 X に対して複数本の供給線 Z、複数本の選択配線 8 9、複数本の給電配線 9 0 及び複数本の共通配線 9 1 が平行に設けられている。水平方向の画素 3 の列 1 列につき、1 本の走査線 X と、1 本の供給線 Z と、1 本の給電配線 9 0 と、1 本
30
の選択配線 8 9 と、1 本の共通配線 9 1 とが設けられている。具体的には、共通配線 9 1 は垂直方向に隣り合う赤サブピクセル P r と緑サブピクセル P g の間に配置され、走査線 X 及び選択配線 8 9 は垂直方向に隣り合う緑サブピクセル P g と青サブピクセル P b との間に配置され、供給線 Z 及び給電配線 9 0 は青サブピクセル P b と隣の画素 3 の赤サブピクセル P r との間に配置されている。選択配線 8 9 及び給電配線 9 0 は同じ膜厚である。

【 0 0 2 0 】

ここで、走査線 X は水平方向に沿って配列された一行分の画素 3 の全サブピクセル P r、P g、P b に信号を供給するものであり、供給線 Z も水平方向に沿って配列された一行分の画素 3 の全サブピクセル P r、P g、P b に信号を供給するものである。
40

【 0 0 2 1 】

また、平面視して、走査線 X には選択配線 8 9 が延在方向に重なることによって電氣的に導通されており、供給線 Z には給電配線 9 0 が延在方向に重なることによって電氣的に導通されている。

【 0 0 2 2 】

サブピクセル P r、P g、P b の色は、後述する有機 E L 素子 2 0（図 2 等に図示）の発光色によって定まる。図 1 において水平方向に長尺な矩形形状で示されたサブピクセル P r、P g、P b の位置は、有機 E L 素子 2 0 のアノードであるサブピクセル電極 2 0 a（図 2 等に図示）の位置を表したものである。すなわち、ディスプレイパネル 1 全体に着目
50

して平面視した場合、複数のサブピクセル電極 20 a がマトリクス状に配列されており、1つのサブピクセル電極 20 a によって1ドットのサブピクセル P が定まる。従って、給電配線 90 と隣の共通配線 91 との間において複数のサブピクセル電極 20 a が水平方向に沿って配列され、共通配線 91 と隣の選択配線 89 との間において複数のサブピクセル電極 20 a が水平方向に沿って配列され、選択配線 89 と隣りの給電配線 90 との間において複数のサブピクセル電極 20 a が水平方向に沿って配列されている。また、信号線群 4 上には、当該信号線群 4 上方に位置する電極又は配線との間で寄生容量とならない程度に十分な厚さの絶縁膜を介在させていれば、信号線群 4 は、当該信号線群 4 に接続されたサブピクセル電極 20 a と平面視して重なってもよく、また、当該信号線群 4 に接続されたサブピクセルに隣接する一方のサブピクセルのサブピクセル電極 20 a と平面視して重

10

【0023】

m、n をそれぞれ 2 以上の整数とし、画素 3 が垂直方向に沿って m ピクセルだけ、水平方向に沿って n ピクセルだけ配列されていると、サブピクセル電極 20 a は垂直方向に沿ってサブピクセルの一行分の数と同数の $(3 \times m)$ 個だけ、水平方向に沿ってサブピクセルの一行分の数と同数の n 個だけ配列されている。この場合、信号線群 4 が n 群になり、走査線 X、供給線 Z、選択配線 89、給電配線 90 及び共通配線 91 はそれぞれ m 本になる。後述する有機 EL 素子 20 の有機 EL 層 20 b となる有機化合物含有液を一行分のサブピクセル内に堰き止める隔壁としても機能する選択配線 89、給電配線 90 及び共通配線 91 の総和は $(3 \times m)$ 本になるが、全行の有機化合物含有液を各行毎のサブピクセル内に仕切するためには $(3 \times m + 1)$ 本必要になる。このため、共通配線 91 と同じ高さ且つ同じ長さの $(3 \times m + 1)$ 本目の隔壁ダミー配線を、選択配線 89、給電配線 90 及び共通配線 91 と行方向に並列させる。

20

【0024】

〔サブピクセルの回路構成〕

次に、サブピクセル P r、P g、P b の回路構成について図 2 の等価回路図を用いて説明する。何れのサブピクセル P r、P g、P b も同様に構成されており、1ドットのサブピクセル P につき、有機 EL 素子 20、Nチャネル型のアモルファスシリコン薄膜トランジスタ（以下単にトランジスタと記述する。）21、22、23 及びキャパシタ 24 が設けられている。以下では、トランジスタ 21 をスイッチトランジスタ 21 と称し、トランジスタ 22 を保持トランジスタ 22 と称し、トランジスタ 23 を駆動トランジスタ 23 と称する。なお、図 2 及び以下の説明において、赤サブピクセル P r の場合では信号線 Y が図 1 の信号線 Y r を表し、緑サブピクセル P g の場合では信号線 Y が図 1 の信号線 Y g を表し、青サブピクセル P b の場合では信号線 Y が図 1 の信号線 Y b を表す。

30

【0025】

スイッチトランジスタ 21 においては、ソース 21 s が信号線 Y に導通し、ドレイン 21 d が有機 EL 素子 20 のサブピクセル電極 20 a、駆動トランジスタ 23 のソース 23 s 及びキャパシタ 24 の上層電極 24 B に導通し、ゲート 21 g が保持トランジスタ 22 のゲート 22 g とともに走査線 X 及び選択配線 89 に導通している。

40

【0026】

保持トランジスタ 22 においては、ソース 22 s が駆動トランジスタ 23 のゲート 23 g 及びキャパシタ 24 の下層電極 24 A に導通し、ドレイン 22 d が駆動トランジスタ 23 のドレイン 23 d 及び供給線 Z に導通し、ゲート 22 g がスイッチトランジスタ 21 のゲート 21 g 及び走査線 X に導通している。

【0027】

駆動トランジスタ 23 においては、ソース 23 s が有機 EL 素子 20 のサブピクセル電極 20 a、スイッチトランジスタ 21 のドレイン 21 d 及びキャパシタ 24 の電極 24 B に導通し、ドレイン 23 d が保持トランジスタ 22 のドレイン 22 d 及び供給線 Z に導通し、ゲート 23 g が保持トランジスタ 22 のソース 22 s 及びキャパシタ 24 の下層電極

50

24Aに導通している。

【0028】

有機EL素子20のカソードとなる対向電極20cは共通配線91に導通している。

【0029】

垂直方向に沿って一列に配列された何れの赤サブピクセルPrのスイッチトランジスタ21のソース21sも共通の信号線Yrに導通し、垂直方向に沿って一列に配列された何れの緑サブピクセルPgのスイッチトランジスタ21のソース21sも共通の信号線Ygに導通し、垂直方向に沿って一列に配列された何れの青サブピクセルPbのスイッチトランジスタ21のソース21sも共通の信号線Ybに導通している。

【0030】

一方、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbのスイッチトランジスタ21のゲート21gも共通の走査線Xに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbの保持トランジスタ22のゲート22gも共通の走査線Xに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbの保持トランジスタ22のドレイン22dも共通の供給線Zに導通し、水平方向に沿って配列された一行分の画素3の何れのサブピクセルPr, Pg, Pbの駆動トランジスタ23のドレイン23dも共通の供給線Zに導通している。

【0031】

〔画素の平面レイアウト〕

画素3の平面レイアウトについて図3～図5を用いて説明する。図3は、赤サブピクセルPrの電極を主に示した平面図であり、図4は、緑サブピクセルPgの電極を主に示した平面図であり、図5は、青サブピクセルPbの電極を主に示した平面図である。なお、図3～図5においては、図面を見やすくするために、有機EL素子20のサブピクセル電極20a及び対向電極20cの図示を省略する。

【0032】

図3に示すように、赤サブピクセルPrにおいては、平面視して、駆動トランジスタ23が供給線Z及び給電配線90に沿うように配置され、スイッチトランジスタ21が共通配線91に沿うように配置され、保持トランジスタ22が供給線Zの近くの赤サブピクセルPrの角部に配置されている。

【0033】

図4に示すように、緑サブピクセルPgにおいては、平面視して、駆動トランジスタ23が共通配線91に沿うように配置され、スイッチトランジスタ21が走査線X及び選択配線89に沿うように配置され、保持トランジスタ22が共通配線91の近くの緑サブピクセルPgの角部に配置されている。

【0034】

図5に示すように、青サブピクセルPbにおいては、平面視して、駆動トランジスタ23が走査線Xに沿うように配置され、スイッチトランジスタ21が隣の行の供給線Z及び給電配線90に沿うように配置され、保持トランジスタ22が走査線Xの近くの青サブピクセルPbの角部に配置されている。

【0035】

図3～図5に示すように、何れのサブピクセルPr, Pg, Pbでも、キャパシタ24が隣の列の信号線群4に沿って配置されている。

【0036】

なお、ディスプレイパネル1全体を平面視して、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21だけに着目すると、複数のスイッチトランジスタ21がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの保持トランジスタ22だけに着目すると、複数の保持トランジスタ22がマトリクス状に配列され、全てのサブピクセルPr, Pg, Pbの駆動トランジスタ23だけに着目すると、複数の駆動トランジスタ23がマトリクス状に配列されている。

10

20

30

40

50

【 0 0 3 7 】

〔ディスプレイパネルの層構造〕

ディスプレイパネル 1 の層構造について図 6 を用いて説明する。ここで、図 6 は、図 3 ~ 図 5 に示された破断線 VI - VI に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図である。

【 0 0 3 8 】

ディスプレイパネル 1 は、光透過性を有する絶縁基板 2 に対して種々の層を積層したものである。絶縁基板 2 は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

【 0 0 3 9 】

まず、トランジスタ 2 1 ~ 2 3 の層構造について説明する。図 6 に示すように、スイッチトランジスタ 2 1 は、絶縁基板 2 上に形成されたゲート 2 1 g と、ゲート 2 1 g 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んでゲート 2 1 g に対向した半導体膜 2 1 c と、半導体膜 2 1 c の中央部上に形成されたチャネル保護膜 2 1 p と、半導体膜 2 1 c の両端部上において互いに離間するよう形成され、チャネル保護膜 2 1 p に一部重なった不純物半導体膜 2 1 a , 2 1 b と、不純物半導体膜 2 1 a 上に形成されたドレイン 2 1 d と、不純物半導体膜 2 1 b 上に形成されたソース 2 1 s と、から構成されている。なお、ドレイン 2 1 d 及びソース 2 1 s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【 0 0 4 0 】

駆動トランジスタ 2 3 は、絶縁基板 2 上に形成されたゲート 2 3 g と、ゲート 2 3 g 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んでゲート 2 3 g に対向した半導体膜 2 3 c と、半導体膜 2 3 c の中央部上に形成されたチャネル保護膜 2 3 p と、半導体膜 2 3 c の両端部上において互いに離間するよう形成され、チャネル保護膜 2 3 p に一部重なった不純物半導体膜 2 3 a , 2 3 b と、不純物半導体膜 2 3 a 上に形成されたドレイン 2 3 d と、不純物半導体膜 2 3 b 上に形成されたソース 2 3 s と、から構成されている。図 3 ~ 図 5 に示すように平面視した場合、駆動トランジスタ 2 3 が櫛歯状に設けられていることで、駆動トランジスタ 2 3 のチャネル幅が広がっている。ドレイン 2 3 d 及びソース 2 3 s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【 0 0 4 1 】

なお、保持トランジスタ 2 2 は、駆動トランジスタ 2 3 と同様の層構造となっているため、保持トランジスタ 2 2 の断面図については省略する。また、何れのサブピクセル P r , P g , P b でも、スイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 が同様の層構造になっている。

【 0 0 4 2 】

次に、キャパシタ 2 4 の層構造について説明する。キャパシタ 2 4 は、絶縁基板 2 上に形成された下層電極 2 4 A と、下層電極 2 4 A 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んで下層電極 2 4 A に対向した上層電極 2 4 B と、から構成されている。何れのサブピクセル P r , P g , P b でもキャパシタ 2 4 は同様の層構造になっている。

【 0 0 4 3 】

次に、トランジスタ 2 1 ~ 2 3 及びキャパシタ 2 4 の各層と信号線 Y、走査線 X 及び供給線 Z との関係について図 3 ~ 図 6 を用いて説明する。

【 0 0 4 4 】

接続線 9 6、全てのサブピクセル P r , P g , P b のスイッチトランジスタ 2 1 のゲート 2 1 g、保持トランジスタ 2 2 のゲート 2 2 g、駆動トランジスタ 2 3 のゲート 2 3 g 及びキャパシタ 2 4 の下層電極 2 4 A 並びに全ての信号線 Y r , Y g , Y b は、絶縁基板 2 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンングすることで形成されたものである。以下では、接続線 9 6、スイッチトランジスタ 2 1 のゲート 2 1 g、保持トランジスタ 2 2 のゲート 2 2 g、駆動トランジスタ 2

10

20

30

40

50

3のゲート23g及びキャパシタ24の電極24A並びに信号線Yr, Yg, Ybの元となる導電性膜をゲートレイヤーという。

【0045】

ゲート絶縁膜31は、全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21、保持トランジスタ22、駆動トランジスタ23及びキャパシタ24に共通した絶縁膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜31は、スイッチトランジスタ21のゲート21g、保持トランジスタ22のゲート22g、駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24A並びに信号線Yr, Yg, Ybを被覆している。

【0046】

全てのサブピクセルPr, Pg, Pbのスイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の上層電極24B並びに全ての走査線X及び供給線Zは、ゲート絶縁膜31上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターニングすることで形成されたものである。以下では、スイッチトランジスタ21のドレイン21d・ソース21s、保持トランジスタ22のドレイン22d・ソース22s、駆動トランジスタ23のドレイン23d・ソース23s及びキャパシタ24の上層電極24B並びに走査線X及び供給線Zの元となる導電性膜をドレインレイヤーという。

【0047】

1つの画素3につき1つのコンタクトホール92がゲート絶縁膜31の走査線Xに重なる箇所に形成され、サブピクセルPr, Pg, Pbのスイッチトランジスタ21のゲート21g及び保持トランジスタ22のゲート22gがコンタクトホール92を介して走査線Xに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール94がゲート絶縁膜31の信号線Yに重なる箇所に形成され、何れのサブピクセルPr, Pg, Pbにおいても、スイッチトランジスタ21のソース21sがコンタクトホール94を介して信号線Yに導通している。1ドットのサブピクセルPにつき1つのコンタクトホール93がゲート絶縁膜31の下層電極24Aに重なる箇所に形成され、何れのサブピクセルPr, Pg, Pbにおいても保持トランジスタ22のソース22sが駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24Aに導通している。

【0048】

赤サブピクセルPrにおいては、保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dが供給線Zと一体に設けられている。それに対して、緑サブピクセルPg及び青サブピクセルPbにおいては、保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dの何れも、供給線Zに対して別体に設けられている。そこで、緑サブピクセルPg及び青サブピクセルPbの保持トランジスタ22のドレイン22d及び駆動トランジスタ23のドレイン23dは、以下のようにして供給線Zに導通している。

【0049】

すなわち、1ピクセルの画素3につき1本の接続線96が画素3を垂直方向に縦断するよう設けられている。この接続線96は、ゲートレイヤーをパターニングすることで形成されたものであり、ゲート絶縁膜31によって被覆されている。ゲート絶縁膜31の供給線Zと接続線96が重なる箇所には、コンタクトホール97が形成され、そのコンタクトホール97を介して接続線96が供給線Zに導通している。また、緑サブピクセルPgにおいては、コンタクトホール98がゲート絶縁膜31の接続線96と駆動トランジスタ23のドレイン23dとが重なる箇所に形成され、そのコンタクトホール98を介して接続線96と駆動トランジスタ23のドレイン23dが導通している。青サブピクセルPbにおいては、コンタクトホール99がゲート絶縁膜31の接続線96と駆動トランジスタ23のドレイン23dとが重なる箇所に形成され、そのコンタクトホール99を介して接続線96と駆動トランジスタ23のドレイン23dが導通している。以上により、緑サブピ

10

20

30

40

50

クセル P_g 及び青サブピクセル P_b のどちらにおいても、保持トランジスタ 2₂ のドレイン 2_{2d} 及び駆動トランジスタ 2₃ のドレイン 2_{3d} が接続線 9₆ を介して供給線 Z 及び給電配線 9₀ に導通している。

【0050】

全てのサブピクセル P_r、P_g、P_b のスイッチトランジスタ 2₁、保持トランジスタ 2₂ 及び駆動トランジスタ 2₃ 並びに全ての走査線 X 及び供給線 Z は、べた一面に成膜された窒化シリコン又は酸化シリコン等の保護絶縁膜 3₂ によって被覆されている。なお、詳細については後述するが、保護絶縁膜 3₂ は、走査線 X 及び供給線 Z に重なる箇所で矩形状に分断されている。

【0051】

保護絶縁膜 3₂ には平坦化膜 3₃ が積層されており、スイッチトランジスタ 2₁、保持トランジスタ 2₂ 及び駆動トランジスタ 2₃ 並びに走査線 X 及び供給線 Z による凹凸が平坦化膜 3₃ によって解消されている。つまり、平坦化膜 3₃ の表面が平坦となっている。平坦化膜 3₃ は、ポリイミド等の感光性絶縁樹脂を硬化させたものである。なお、詳細については後述するが、平坦化膜 3₃ は、走査線 X 及び供給線 Z に重なる箇所で矩形状に分断されている。

【0052】

このディスプレイパネル 1 をボトムエミッション型として用いる場合、すなわち、絶縁基板 2 を表示面として用いる場合には、ゲート絶縁膜 3₁、保護絶縁膜 3₂ 及び平坦化膜 3₃ には透明な材料を用いる。絶縁基板 2 から平坦化膜 3₃ までの積層構造をトランジスタアレイ基板 5₀ という。

【0053】

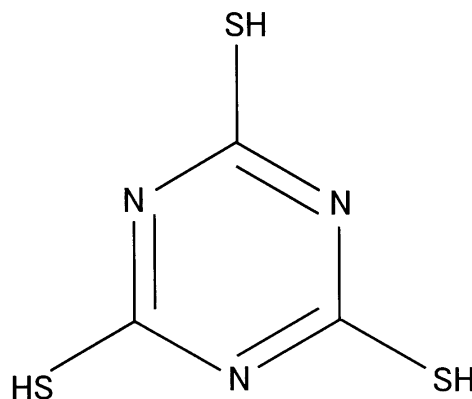
平坦化膜 3₃ の表面、即ちトランジスタアレイ基板 5₀ の表面上であって赤サブピクセル P_r と緑サブピクセル P_g の間には、走査線 X に平行な絶縁ライン 6₁ が形成されている。絶縁ライン 6₁ は、ポリイミド等の感光性絶縁樹脂を硬化させてなり、その上部には絶縁ライン 6₁ より幅狭の共通配線 9₁ が積層されている。共通配線 9₁ は、メッキ法により形成されたものであるので、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚く、平坦化膜 3₃ の表面に対して凸設されている。共通配線 9₁ は銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。

【0054】

共通配線 9₁ の表面には、撥水性・撥油性を有した撥液性導電層 5₅ が成膜されている。撥液性導電層 5₅ は、次の化学式 (1) に示されたトリアジルトリチオールのチオール基 (-SH) の水素原子 (H) が還元離脱し、硫黄原子 (S) が共通配線 9₁ の表面に酸化吸着したものである。

【0055】

【化1】



【0056】

撥液性導電層 5₅ はトリアジルトリチオール分子が共通配線 9₁ の表面に規則正しく並んだ分子一層からなる膜であるから、撥液性導電層 5₅ が非常に低抵抗であって導電性を

10

20

30

40

50

有する。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに代えて、トリアジルトリチオールの1又は2のチオール基がフッ化アルキル基に置換されたものでも良い。

【0057】

保護絶縁膜32及び平坦化膜33の各供給線Zに重なる箇所には、水平方向に沿って開口された長尺な溝34が凹設され、更に、保護絶縁膜32及び平坦化膜33の各走査線Xに重なる箇所には水平方向に沿って開口された長尺な溝35が凹設されている。これら溝34, 35によって保護絶縁膜32及び平坦化膜33が矩形状に分断されている。溝34には給電配線90が埋められており、溝34内において給電配線90が供給線Zにそれぞれ積層されることによって電氣的に接続されている。溝35には選択配線89が埋められており、溝35内において選択配線89が走査線Xにそれぞれ積層されることによって電氣的に接続されている。

10

【0058】

選択配線89及び給電配線90は、メッキ法により形成されたものであるので、信号線Y、走査線X及び供給線Zよりも十分に厚い。更には、選択配線89及び給電配線90の厚さは、保護絶縁膜32と平坦化膜33の厚さの総計よりも厚く、平坦化膜33の表面から凸設されている。選択配線89及び給電配線90のどちらも、銅、アルミ、金若しくはニッケルのうちの少なくともいずれかを含むことが好ましい。選択配線89の表面に、撥水性・撥油性を有した疎水絶縁膜53が成膜され、給電配線90の表面には、撥水性・撥油性を有した疎水絶縁膜54が成膜されている。

20

【0059】

平坦化膜33の表面、即ちトランジスタアレイ基板50の表面上には、複数のサブピクセル電極20aがマトリクス状に配列されている。これらサブピクセル電極20aは、平坦化膜33上にべた一面に成膜された透明導電性膜をフォトリソグラフィ法・エッチング法によってパターンニングしたものである。

【0060】

サブピクセル電極20aは、有機EL素子20のアノードとして機能する電極である。即ち、サブピクセル電極20aの仕事関数が比較的高く、後述する有機EL層20bへ正孔を効率よく注入するものが好ましい。また、サブピクセル電極20aは、ボトムエミッションの場合、可視光に対して透過性を有している。サブピクセル電極20aとしては、例えば、錫ドープ酸化インジウム(ITO)、亜鉛ドープ酸化インジウム、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)又はカドミウム-錫酸化物(CTO)を主成分としたものがある。

30

【0061】

なお、このディスプレイパネル1をトップエミッション型として用いる場合、すなわち、絶縁基板2の反対側を表示面として用いる場合には、サブピクセル電極20aと平坦化膜33との間に、導電性且つ可視光反射性の高い反射膜を成膜するか、サブピクセル電極20a自体を反射性電極とすれば良い。

【0062】

1ドットのサブピクセルPにつき1つのコンタクトホール88が平坦化膜33及び保護絶縁膜32のサブピクセル電極20aに重なる箇所に形成され、そのコンタクトホール88に導電性パッドが埋設されている。何れのサブピクセルPr, Pg, Pbにおいても、サブピクセル電極20aが、キャパシタ24の上層電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。

40

【0063】

サブピクセル電極20a上には、有機EL素子20の有機EL層20bが成膜されている。有機EL層20bは広義の発光層であり、有機EL層20bには、有機化合物である発光材料(蛍光体)が含有されている。有機EL層20bは、サブピクセル電極20aから順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT(ポリチオフェン)及びドーパントであるPSS(ポリスチレン

50

スルホン酸)からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0064】

赤サブピクセルPrの場合には、有機EL層20bが赤色に発光し、緑サブピクセルPgの場合には、有機EL層20bが緑色に発光し、青サブピクセルPbの場合には、有機EL層20bが青色に発光する。

【0065】

有機EL層20bはサブピクセル電極20aごとに独立して設けられ、平面視した場合、複数の有機EL層20bがマトリクス状に配列されている。但し、給電配線90と共通配線91との間において水平方向に配列された一行分のサブピクセルが全て赤サブピクセルPr赤色なので、給電配線90と共通配線91との間において水平方向に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の赤色発光の有機EL層20bによって被覆されていても良い。このとき有機EL層20bは水平方向に隣り合う有機EL層20bに対して電流を流さない程度の電気抵抗を有している。同様に、共通配線91と選択配線89との間において水平方向に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の緑色発光の有機EL層20bによって被覆されていても良いし、所定の行において、選択配線89と隣の行(一行後の行)の給電配線90との間において水平方向に一系列に配列された複数のサブピクセル電極20aが、水平方向に沿って帯状に長尺な共通の青色発光の有機EL層20bによって被覆されていても良い。

10

【0066】

有機EL層20bは、疎水絶縁膜53、疎水絶縁膜54及び撥液性導電層55のコーティング後に湿式塗布法(例えば、インクジェット法)によって成膜される。この場合、サブピクセル電極20aに有機EL層20bとなる有機化合物を含有する有機化合物含有液を塗布するが、この有機化合物含有液の液面は、絶縁ライン61の頭頂部よりも高い。垂直方向に隣り合うサブピクセル電極20a間において頭頂部が絶縁ライン61の頭頂部よりも十分高い厚膜の選択配線89、給電配線90、共通配線91がトランジスタアレイ基板50の表面に対して凸設されているから、サブピクセル電極20aに塗布された有機化合物含有液が垂直方向に隣り合うサブピクセル電極20aに漏れることがない。また、選択配線89、給電配線90、共通配線91には撥水性・撥油性の疎水絶縁膜53、疎水絶縁膜54、撥液性導電層55がそれぞれコーティングされているから、サブピクセル電極20aに塗布された有機化合物含有液をはじくので、サブピクセル電極20aに塗布された有機化合物含有液がサブピクセル電極20aの中央に対して撥液性導電層55の端部付近、疎水絶縁膜53の端部付近や、疎水絶縁膜54の端部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機EL層20bを面内均一な膜厚で成膜することができる。

20

30

【0067】

なお、有機EL層20bは、二層構造の他に、サブピクセル電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

40

【0068】

有機EL層20b上には、有機EL素子20のカソードとして機能する対向電極20cが成膜されている。対向電極20cは、全てのサブピクセルPr, Pg, Pbに共通して形成された共通電極であり、べた一面に成膜されている。対向電極20cがべた一面に成膜されることで、対向電極20cが撥液性導電層55を挟んで共通配線91を被覆している。そのため、図2の回路図に示すように、対向電極20cは共通配線91に対して導通している。一方、選択配線89には疎水絶縁膜53がコーティングされ、給電配線90には疎水絶縁膜54がコーティングされているので、対向電極20cが選択配線89及び給電配線90の何れに対しても絶縁されている。

【0069】

50

対向電極 20c は、サブピクセル電極 20a よりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極 20c は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機 EL 層 20b と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。またトップエミッション構造の場合、対向電極 20c を上述のような低仕事関数の薄膜とその上に ITO 等の透明導電膜を積層した透明電極としてもよい。

10

【0070】

対向電極 20c 上には、封止絶縁膜 56 が成膜されている。封止絶縁膜 56 は対向電極 20c 全体を被覆し、対向電極 20c の劣化を防止するために設けられている無機膜又は有機膜である。

【0071】

なお、従来、トップエミッション型構造の EL ディスプレイパネルは、対向電極 20c の少なくとも一部を金属酸化物のように抵抗値が高い透明電極を用いることになるが、このような材料は十分に厚くしなければシート抵抗が十分に低くならないので、厚くすることによって必然的に有機 EL 素子の透過率が下がってしまい、大画面になるほど面内で均一の電位になりにくく表示特性が低くなってしまっていた。

20

【0072】

しかしながら、本実施形態では、水平方向に十分な厚さのために低抵抗な複数の共通配線 91, 91, ... を設けているので、対向電極 20c と合わせて有機 EL 素子 20, 20, ... のカソード電極全体のシート抵抗値を下げ、十分且つ面内で均一に大電流を流すことが可能となる。さらにこのような構造では、共通配線 91, 91, ... がカソード電極としてのシート抵抗を下げているので、対向電極 20c を薄膜にして透過率を向上したりすることが可能である。なおトップエミッション構造では、画素電極 20a を反射性の材料としてもよい。

【0073】

そして、薄膜トランジスタを形成する際の導電層以外の厚膜の導電層を用いて形成された給電配線 90, 90, ... を、供給線 $Z_1 \sim Z_m$ にそれぞれ電氣的に接続するように設けているので、薄膜トランジスタの導電層のみで形成された供給線 $Z_1 \sim Z_m$ での電圧降下による複数の有機 EL 素子 20 に後述する書込電流や駆動電流が所定の電流値に達するまでの遅延を防止し、良好に駆動することが可能となる。

30

【0074】

さらに、薄膜トランジスタを形成する際の導電層以外の厚膜の導電層を用いて形成された選択配線 89, 89, ... を、走査線 $X_1 \sim X_m$ にそれぞれ電氣的に接続するように設けているので薄膜トランジスタの導電層のみで形成された走査線 $X_1 \sim X_m$ での電圧降下による信号遅延を防止し、迅速にスイッチトランジスタ 21 及び保持トランジスタ 22 をスイッチして良好に駆動することが可能となる。

40

【0075】

〔ディスプレイパネルの駆動方法〕

ディスプレイパネル 1 をアクティブマトリクス方式で駆動するには、次のようになる。すなわち、図 7 に示すように、走査線 $X_1 \sim X_m$ に接続された選択ドライバによって、走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択する。また、選択期間に各給電配線 90 を介して供給線 $Z_1 \sim Z_m$ にそれぞれ接続された駆動トランジスタ 23 に書込電流を流すための書込給電電圧 V_L を印加し、発光期間に駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流を流すための駆動給電電圧 V_H を印加する給電ドライバが各給電配線 90 に接続されている。この給電ドライバによって、選択ドライバと同期するよう、供給線

50

Z_1 から供給線 Z_m への順(供給線 Z_m の次は供給線 Z_1)にローレベル(有機EL素子20の対向電極の電圧より低レベル)の書込給電電圧VLを順次出力することにより供給線 $Z_1 \sim Z_m$ を順次選択する。また、選択ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である書込電流(電流信号)を所定の行の駆動トランジスタ23のソース-ドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。このとき供給線 $Z_1 \sim Z_m$ に接続された給電配線90には、給電ドライバによって絶縁基板2の左右周縁に位置する給電配線90の両端部である配線端子の両方からローレベルの書込給電電圧VLが出力される。なお、対向電極20c及び共通配線91は配線端子によって外部と接続され、一定のコモン電位Vcom(例えば、接地=0ボルト)に保たれている。

【0076】

信号線 $Y_1 \sim Y_n$ の延在した方向を垂直方向(列方向)といい、走査線 $X_1 \sim X_m$ の延在した方向を水平方向(行方向)という。また、 m, n は2以上の自然数であり、走査線 X に下付けした数字は図1において上からの配列順を表し、供給線 Z に下付けした数字は図1において上からの配列順を表し、信号線 Y に下付けした数字は図1において左からの配列順を表し、画素回路 P に下付けした数字の前側が上からの配列順を表し、後ろ側が左からの配列順を表す。すなわち、 $1 \sim m$ のうちの任意の自然数を i とし、 1 から n のうちの任意の自然数を j とした場合に、走査線 X_i は上から i 行目であり、供給線 Z_j は左から i 行目であり、信号線 Y_j は左から j 列目であり、画素回路 $P_{i,j}$ は上から i 行目、左から j 列目であり、画素回路 $P_{i,j}$ は走査線 X_i 、供給線 Z_j 及び信号線 Y_j に接続されている。

【0077】

画素回路 $P_{i,j}$ は、画素としての有機EL素子20と、有機EL素子20の周囲に配置された三つのNチャンネル型のアモルファスシリコン薄膜トランジスタ(以下単にトランジスタと記述する。)21, 22, 23と、キャパシタ24と、を備える。

【0078】

各選択期間において、データドライバ側の電位は、給電配線90, 90, ...及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧VL以下で且つこの書込給電電圧VLはコモン電位Vcom以下に設定されている。したがってこの時、有機EL素子20から信号線 $Y_1 \sim Y_n$ に流れることはないので図2に示すように、データドライバによって階調に応じた電流値の書込電流(書込電流)が矢印Aの通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線90及び供給線 Z_j から駆動トランジスタ23のソース-ドレイン間、スイッチトランジスタ21のソース-ドレイン間を介して信号線 Y_j に向かった書込電流(書込電流)が流れる。このように駆動トランジスタ23のソース-ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流(書込電流)の電流値を設定する。書込電流(書込電流)が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ23のゲート23g-ソース23s間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流(書込電流)の電流値、つまり駆動トランジスタ23のVg-Ids特性の経時変化にかかわらず駆動トランジスタ23のドレイン23d-ソース23s間を流れる書込電流(書込電流)の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ24にチャージされて、書込電流(書込電流)の電流値が駆動トランジスタ23のゲート23g-ソース23s間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ21及び保持トランジスタ22がオフ状態となるが、オフ状態の保持トランジスタ22によってキャパシタ24の電極24A側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ23のソース23sの電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ23のゲート23g-ソース23s間の電位差がそのまま維持される。この発光期間では、供給線 Z_j 及びそれに接続された給電配線90の電位が駆動給電電圧VHとなり、有機EL素子20の対向電極20cの電位Vcomより高くなることによって、供給線 Z_j 及びそれに接続された給電配線90から駆動トランジスタ23を介して有機EL素子20に駆動電流が矢印Bの方向に流れ、有機EL素子20が発光する。駆動電流の電流値は駆動トランジスタ23のゲート23

10

20

30

40

50

g - ソース 2 3 s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。

【 0 0 7 9 】

ディスプレイパネル 1 の別のアクティブマトリクス駆動方法は次のようになる。すなわち、図 8 に示すように、発振回路によって給電配線 9 0 , 9 0 , ... 及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバによって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバが走査線 $X_1 \sim X_m$ の何れか 1 つにシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバが各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ 2 3 のソース - ドレイン間を介して全信号線 $Y_1 \sim Y_n$ に流す。なお、対向電極 2 0 c 及び給電配線 9 0 の一定のコモン電位 V_{com} （例えば、接地 = 0 ボルト）に保たれている。

【 0 0 8 0 】

走査線 X_i の選択期間においては、i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 2 1 及び保持トランジスタ 2 2 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 9 0 , 9 0 , ... 及び供給線 $Z_1 \sim Z_m$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。したがってこの時、有機 EL 素子 2 0 から信号線 $Y_1 \sim Y_n$ に流れることはないので図 2 に示すように、データドライバによって階調に応じた電流値の書込電流（引抜電流）が矢印 A の通り、信号線 $Y_1 \sim Y_n$ に流れ、画素回路 $P_{i,j}$ においては給電配線 9 0 及び供給線 Z_j から駆動トランジスタ 2 3 のソース - ドレイン間、スイッチトランジスタ 2 1 のソース - ドレイン間を介して信号線 Y_j に向かった書込電流（引抜電流）が流れる。このように駆動トランジスタ 2 3 のソース - ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（引抜電流）の電流値を設定する。書込電流（引抜電流）が流れている間、i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧は、それぞれ信号線 $Y_1 \sim Y_n$ に流れる書込電流（引抜電流）の電流値、つまり駆動トランジスタ 2 3 の $V_{g-I_{ds}}$ 特性の経時変化にかかわらず駆動トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間を流れる書込電流（引抜電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされて、書込電流（引抜電流）の電流値が駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに変換される。その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 2 1 及び保持トランジスタ 2 2 がオフ状態となるが、オフ状態の保持トランジスタ 2 2 によってキャパシタ 2 4 の電極 2 4 A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 2 3 のソース 2 3 s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電位差がそのまま維持される。この発光期間のうち、いずれの行の選択期間でもない間、つまり、クロック信号が給電配線 9 0 及び供給線 Z_j の電位が有機 EL 素子 2 0 の対向電極 2 0 c 及び給電配線 9 0 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 9 0 及び供給線 Z_j から駆動トランジスタ 2 3 のソース - ドレイン間を介して有機 EL 素子 2 0 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 2 0 が発光する。駆動電流の電流値は駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 9 0 及び供給線 Z_j の電位が対向電極 2 0 c 及び給電配線 9 0 の電位 V_{com} 以下であるので、有機 EL 素子 2 0 に駆動電流は流れず発光しない。

【 0 0 8 1 】

何れの駆動方法においても、スイッチトランジスタ 2 1 は、駆動トランジスタ 2 3 のソ

10

20

30

40

50

ース 23s と信号線 Y との間の電流のオン（選択期間）・オフ（発光期間）を行うものとして機能する。また、保持トランジスタ 22 は、選択期間に駆動トランジスタ 23 のソース 23s - ドレイン 23d 間に電流が流れることができる状態にし、発光期間に駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧を保持するものとして機能する。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z 及び給電配線 90 がハイレベルになった時に、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものとして機能する。

【0082】

以上のように、給電配線 90 を流れる電流の大きさは一列の供給線 Z_i に接続された n 個の有機 EL 素子 20 に流れる駆動電流の大きさの和になるので、VGA 以上の画素数で 10
 動画駆動するための選択期間に設定した場合、給電配線 90 の寄生容量が増大してしまい、薄膜トランジスタのゲート電極又はソース、ドレイン電極のような薄膜からなる配線では n 個の有機 EL 素子 20 に書込電流（つまり駆動電流）を流すには抵抗が高すぎるが、本実施形態では、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層によって給電配線 90 を構成しているので給電配線 90 による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。そして、給電配線 90 を厚くすることで給電配線 90 を低抵抗化したので、給電配線 90 の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

【0083】

同様に、発光期間に共通配線 91 に流れる駆動電流の大きさは、選択期間に給電配線 90 に流れる書込電流（引抜電流）の大きさと同じであるが、共通配線 91 は、画素回路 $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる導電層を用いているので十分な厚さにすることができるため、共通配線 91 を低抵抗化することができ、さらに対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一様にすることができる。従って、仮に全ての画素電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0084】

また、EL ディスプレイパネル 1 をトップエミッション型として用いた場合、対向電極 20c をより薄膜化ことが可能なので、有機 EL 層 20b を発した光が対向電極 20c を透過中に減衰し難くなる。更に、平面視して水平方向に隣り合う画素電極 20a の間に共通配線 91 が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0085】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

上述した二通りの駆動方法のうち後者の駆動方法でディスプレイパネルを駆動する場合においては、給電配線 90, 90, ... は、絶縁基板 2 の一方の周縁に配置された第一の引き回し配線によって互いに導通しているため、外部からのクロック信号により等電位となっている。さらに、第一の引き回し配線は、絶縁基板 2 の両端部においてそれぞれ配線端子と接続している。外部駆動回路から配線端子に印加される電圧はともに等電位のため、すみやかに給電配線 90, 90, ... 全体に電流を供給することができる。

【0086】

共通配線 91, 91, ... は、絶縁基板 2 の第一の引き回し配線が設けられている周縁とは別の周縁に配置された第二の引き回し配線によって互いに接続され、共通電圧 V_{ss} が印加されている。第二の引き回し配線と第一の引き回し配線は絶縁されている。

【0087】

ここで、ディスプレイパネル 1 の画素数を $WXGA (768 \times 1366)$ としたときに、給電配線 90 及び共通配線 91 の望ましい幅、断面積を定義する。図 9 は、各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流 - 電圧特性を示すグラフである。

【 0 0 8 8 】

図9において、縦軸は1つの駆動トランジスタ23のソース23s - ドレイン23d間を流れる書込電流の電流値又は1つの有機EL素子20のアノード - カソード間を流れる駆動電流の電流値であり、横軸は1つの駆動トランジスタ23のソース23s - ドレイン23d間の電圧（同時に1つの駆動トランジスタ23のゲート23g - ドレイン23d間の電圧）である。図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ23の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ23のソース23s - ドレイン23d間を流れる書込電流であり、破線 I_{el} は有機EL素子20のアノード - カソード間を流れる駆動電流である。

10

【 0 0 8 9 】

ここで電圧 V_{P1} は、最高輝度階調時の駆動トランジスタ23のピンチオフ電圧であり、電圧 V_{P2} は、駆動トランジスタ23が最高輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧 $V_{EL\ max}$ （電圧 V_{P4} - 電圧 V_{P3} ）は有機EL素子20が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード - カソード間の電圧である。電圧 V_{P2}' は、駆動トランジスタ23が中間輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧（電圧 V_{P4}' - 電圧 V_{P3}' ）は有機EL素子20が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード - カソード間電圧である。

20

【 0 0 9 0 】

駆動トランジスタ23及び有機EL素子20はいずれも飽和領域で駆動させるために、（給電配線90の発光期間時の電圧 V_H ）から（共通配線91の発光期間時の電圧 V_{com} ）を減じた値 V_X は下記の式（2）を満たす。

【 0 0 9 1 】

$$V_X = V_{po} + V_{th} + V_m + V_{EL} \dots \dots (2)$$

【 0 0 9 2 】

V_{th} （最高輝度時の場合 $V_{P2} - V_{P1}$ に等しい）は駆動トランジスタ23の閾値電圧であり、 V_{EL} （最高輝度時の場合 $V_{EL\ max}$ に等しい）は有機EL素子20のアノード - カソード間電圧であり、 V_m は、階調に応じて変位する許容電圧である。

30

【 0 0 9 3 】

図から明らかなように、電圧 V_X のうち、輝度階調が高くなる程、トランジスタ23のソース - ドレイン間に要する電圧（ $V_{po} + V_{th}$ ）が高くなるとともに有機EL素子20のアノード - カソード間に要する電圧 V_{EL} が高くなる。したがって、許容電圧 V_m は、輝度階調が高くなるほど低くなり、最小許容電圧 $V_{m\ min}$ は $V_{P3} - V_{P2}$ となる。

【 0 0 9 4 】

有機EL素子20は低分子EL材料及び高分子EL材料にかかわらず一般的に経時劣化し、高抵抗化する。10000時間後のアノード - カソード間電圧は初期時の1.4倍～数倍程度になることが確認されている。つまり、電圧 V_{EL} は、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧 V_m が高い程長期間にわたって動作が安定するので、電圧 V_{EL} が8V以上、より望ましくは13V以上となるように電圧 V_X を設定している。

40

【 0 0 9 5 】

この許容電圧 V_m には、有機EL素子20の高抵抗化ばかりでなく、さらに、給電配線90による電圧降下の分も含まれる。

【 0 0 9 6 】

給電配線90の配線抵抗のために電圧降下が大きいとディスプレイパネル1の消費電力が著しく増大してしまうため、給電配線90の電圧降下は1V以下に設定することが特に好ましい。

【 0 0 9 7 】

50

行方向の一つの画素の長さである画素幅 W_p と、行方向の画素数(1366)と、画素領域以外における第一の引き回し配線から一方の配線端子までの延長部分と、画素領域以外における第一の引き回し配線から他方の配線端子までの延長部分と、を考慮した結果、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、第一の引き回し配線の全長はそれぞれ706.7mm、895.2mmとなる。ここで、給電配線90の線幅 WL 及び共通配線91の線幅 WL が広くなると、構造上有機EL層20bの面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線90の幅 WL 及び共通配線91の線幅 WL はそれぞれ画素幅 W_p の5分の1以下に抑えることが望ましい。このようなことを考慮すると、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、幅 WL はそれぞれ34 μm 以内、44 μm 以内となる。また給電配線90及び共通配線91の最大膜厚 H_{max} はアスペクト比を考慮すると、トランジスタ21~23の最小加工寸法4 μm の1.5倍、つまり6 μm となる。したがって給電配線90及び共通配線91の最大断面積 S_{max} は32インチ、40インチで、それぞれ204 μm^2 、264 μm^2 となる。

【0098】

このような32インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図10に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率/断面積 S は4.7/cm以下に設定される必要がある。図11に32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線90及び共通配線91の最大断面積 S_{max} 時に許容される抵抗率は、32インチで9.6 μcm 、40インチで6.4 μcm となる。

【0099】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線90及び共通配線91のそれぞれの最大電圧降下を1V以下にするためには図12に示すように、給電配線90及び共通配線91のそれぞれの配線抵抗率/断面積 S は2.4/cm以下に設定される必要がある。図13に40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関関係を表す。

【0100】

給電配線90及び共通配線91の故障により動作しなくなる故障寿命 MTF は、下記の式(3)を満たす。

【0101】

$$MTF = A \exp(E_a / K_b T) / J^2 \dots\dots (3)$$

【0102】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} eV$ 、 S は給電配線90及び共通配線91の抵抗率、 J は電流密度である。

【0103】

給電配線90及び共通配線91の故障寿命 MTF は抵抗率の増大やエレクトロマイグレーションに律速する。給電配線90及び共通配線91をAl系(Al単体或いはAlTiやAlNd等の合金)に設定し、 MTF が10000時間、85の動作温度で試算すると、電流密度 J は $2.1 \times 10^4 A/cm^2$ 以下にする必要がある。同様に給電配線90及び共通配線91をCuに設定すると、 $2.8 \times 10^6 A/cm^2$ 以下にする必要がある。なおAl合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、57 μm^2 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積 S は、図11から、0.43 μm^2 以上必要になる。

【0104】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線90及び共通配線91が故障しないようなAl系の給電配線90及び共通配線91のそれぞれの断面積Sは、図13から、 $92\mu\text{m}^2$ 以上必要になり、同様にCuの給電配線90及び共通配線91のそれぞれの断面積Sは、図13から、 $0.69\mu\text{m}^2$ 以上必要になる。

【0105】

Al系の給電配線90及び共通配線91では、Al系の抵抗率が $4.00\mu\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積Sが $4.7 / \text{cm}$ 以下なので、最小断面積Sminは $85.1\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $34\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚Hminは $2.50\mu\text{m}$ となる。

10

【0106】

またAl系の給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積Sが $2.4 / \text{cm}$ 以下なので、最小断面積Sminは $167\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $44\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚Hminは $3.80\mu\text{m}$ となる。

【0107】

Cuの給電配線90及び共通配線91では、Cuの抵抗率が $2.10\mu\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積Sが $4.7 / \text{cm}$ 以下なので、最小断面積Sminは $44.7\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $34\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚Hminは $1.31\mu\text{m}$ となる。

20

【0108】

またCuの給電配線90及び共通配線91の40インチのディスプレイパネル1では上述のように配線抵抗率 / 断面積Sが $2.4 / \text{cm}$ 以下なので、最小断面積Sminは $87.5\mu\text{m}^2$ となる。このとき上述のように給電配線90及び共通配線91の配線幅WLは $44\mu\text{m}$ 以内なので給電配線90及び共通配線91の最小膜厚Hminは $1.99\mu\text{m}$ となる。

【0109】

30

以上のことから、ディスプレイパネル1を正常且つ消費電力を低く動作させるには、給電配線90及び共通配線91での電圧降下を1V以下にした方が好ましく、このような条件にするには、給電配線90及び共通配線91がAl系の32インチのパネルでは、膜厚Hが $2.50\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $14.1\mu\text{m} \sim 34.0\mu\text{m}$ 、抵抗率が $4.0\mu\text{cm} \sim 9.6\mu\text{cm}$ となり、給電配線90及び共通配線91がAl系の40インチのパネルでは、給電配線90及び共通配線91がAl系の場合、膜厚Hが $3.80\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $27.8\mu\text{m} \sim 44.0\mu\text{m}$ 、抵抗率が $4.0\mu\text{cm} \sim 9.6\mu\text{cm}$ となる。

【0110】

総じてAl系の給電配線90及び共通配線91の場合、膜厚Hが $2.50\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $14.1\mu\text{m} \sim 44\mu\text{m}$ 、抵抗率が $4.0\mu\text{cm} \sim 9.6\mu\text{cm}$ となる。

40

同様に、給電配線90及び共通配線91がCuの32インチのパネルでは、膜厚Hが $1.31\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m} \sim 34\mu\text{m}$ 、抵抗率が $2.1\mu\text{cm} \sim 9.6\mu\text{cm}$ となり、給電配線90及び共通配線91がCuの40インチのパネルでは、給電配線90及び共通配線91がCu系の場合、膜厚Hが $1.99\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $14.6\mu\text{m} \sim 44.0\mu\text{m}$ 、抵抗率が $2.1\mu\text{cm} \sim 9.6\mu\text{cm}$ となる。

【0111】

総じてCuの給電配線90及び共通配線91の場合、膜厚Hが $1.31\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m} \sim 44\mu\text{m}$ 、抵抗率が $2.1\mu\text{cm} \sim 9.6\mu\text{cm}$ となる。

したがって、給電配線90及び共通配線91としてAl系材料又はCuを適用した場合

50

、ディスプレイパネル1の給電配線90及び共通配線91は、膜厚Hが $1.31\mu\text{m} \sim 6\mu\text{m}$ 、幅WLが $7.45\mu\text{m} \sim 44\mu\text{m}$ 、抵抗率が $2.1\mu\text{cm} \sim 9.6\mu\text{cm}$ となる。

【0112】

以上のように、水平方向の赤サブピクセルPrの列と緑サブピクセルPgの列との間において凸設された共通配線91がトランジスタ21~23の電極とは別層で形成されているから、共通配線91を厚膜にすることができ、共通配線91を低抵抗化することができる。そして、低抵抗な共通配線91が対向電極20cに導通しているから、対向電極20c自体が薄膜化してより高抵抗になっても対向電極20cの電圧を面内で一様にする事ができる。従って、仮に全てのサブピクセル電極20aに同じ電位を印加した場合でも、

10

どの有機EL層20bの発光強度もほぼ等しくなり、面内の発光強度を一様することができる。

【0113】

また、ディスプレイパネル1をトップエミッション型として用いた場合、対向電極20cをより薄膜化することが可能なので、有機EL層20bを発した光が対向電極20cを透過中に減衰し難くなる。更に、平面視して垂直方向に隣り合うサブピクセル電極20aの間に共通配線91が設けられているため、画素開口率の減少を最小限に抑えることができる。

【0114】

また、水平方向の緑サブピクセルPgの列と青サブピクセルPbの列との間において凸設された選択配線89がトランジスタ21~23の電極とは別層で形成されているから、選択配線89を厚膜にすることができ、選択配線89を低抵抗化することができる。低抵抗な選択配線89が薄膜の走査線Xに積層されているから、走査線Xの電圧降下を抑えることができ、更には走査線X及び選択配線89の信号遅延を抑えることができる。即ち、水平方向のサブピクセルPの列に着目した場合、シフトパルスがどのサブピクセルPでも遅延せずに同時にハイレベルになる。

20

【0115】

更に、選択配線89を厚くすることで選択配線89を低抵抗化したので、選択配線89の幅を狭くすることができる。そのため、画素開口率の減少を最小限に抑えることができる。

30

【0116】

また、水平方向の青サブピクセルPbの列と赤サブピクセルPrの列との間において凸設された給電配線90がトランジスタ21~23の電極とは別層で形成されているから、給電配線90を厚膜にすることができ、給電配線90を低抵抗化することができる。低抵抗な給電配線90が薄膜の供給線Zに積層されているから、供給線Zの電圧降下を抑えることができ、更には供給線Z及び給電配線90の信号遅延を抑えることができる。例えば、仮に給電配線90がない場合にディスプレイパネル1を大画面化したときには、供給線Zの電圧降下によって面内の発光強度のムラが発生したり、発光しない有機EL素子20が存在したりするおそれがある。しかしながら、本実施形態では、低抵抗な給電配線90が供給線Zに導通しているから、面内の発光強度のムラを抑えることができ、更に発光し

40

ない有機EL素子20をなくすことができる。

【0117】

更に、給電配線90を厚くすることで給電配線90を低抵抗化したので、給電配線90の幅を狭くすることができる。そのため、画素開口率の減少を最小限に抑えることができる。

【0118】

また、凸設された選択配線89、給電配線90及び共通配線91が厚く設けられているから、有機EL層20bを湿式塗布法によって色ごとに塗り分けることができる。そのため、サブピクセルPの間を仕切るバンクを別途設ける必要がなくなり、ディスプレイパネル1を簡単に製造することができる。

50

【 0 1 1 9 】

〔 変形例 1 〕

なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【 0 1 2 0 】

上記実施形態では、トランジスタ 2 1 ~ 2 3 が N チャンネル型の電界効果トランジスタとして説明を行った。トランジスタ 2 1 ~ 2 3 が P チャンネル型の電界効果トランジスタであっても良い。その場合、図 2 の回路構成では、トランジスタ 2 1 ~ 2 3 のソース 2 1 s , 2 2 s , 2 3 s とトランジスタ 2 1 ~ 2 3 のドレイン 2 1 d , 2 2 d , 2 3 d の関係が逆になる。例えば、駆動トランジスタ 2 3 が P チャンネル型の電界効果トランジスタの場合には、駆動トランジスタ 2 3 のドレイン 2 3 d が有機 E L 素子 2 0 のサブピクセル電極 2 0 a に導通し、ソース 2 3 s が供給線 Z に導通する。

10

【 0 1 2 1 】

〔 変形例 2 〕

また、上記実施形態では、1ドットのサブピクセル P につき 3 つのトランジスタ 2 1 ~ 2 3 が設けられているが、1ドットのサブピクセル P につき 1 又は複数のトランジスタが設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイパネルであれば、トランジスタの数や電流駆動、電圧駆動の制限なく本発明を適用することができる。

【 0 1 2 2 】

〔 変形例 3 〕

また、上記実施形態では、水平方向の緑サブピクセル P g の行と青サブピクセル P b の行との間において選択配線 8 9 が凸設されているが、共通配線 9 1 と同様の共通配線が凸設されていても良い。その場合、共通配線の下には溝 3 5 が設けられておらず、共通配線が走査線 X に対して絶縁され、撥液性導電層 5 5 と同様の撥液性導電層がその共通配線の表面にコーティングされ、その共通配線が対向電極 2 0 c に導通している。

20

【 0 1 2 3 】

〔 変形例 4 〕

また、上記実施形態では、信号線 Y がゲートレイヤーからパターニングされたものであるが、信号線 Y がドレインレイヤーからパターニングされたものでも良い。この場合、走査線 X 及び供給線 Z がゲートレイヤーからパターニングされたものとなり、信号線 Y が走査線 X 及び供給線 Z よりも上層になる。

30

【 0 1 2 4 】

〔 変形例 5 〕

また、上記実施形態では、共通配線 9 1 は垂直方向に隣り合う赤サブピクセル P r と緑サブピクセル P g の間に配置され、走査線 X 及び選択配線 8 9 は垂直方向に隣り合う緑サブピクセル P g と青サブピクセル P b との間に配置され、供給線 Z 及び給電配線 9 0 は青サブピクセル P b と隣の画素 3 の赤サブピクセル P r との間に配置されているが、赤サブピクセル P r と緑サブピクセル P g の間に走査線 X 及び選択配線 8 9 、或いは供給線 Z 及び給電配線 9 0 を配置してもよく、緑サブピクセル P g と青サブピクセル P b との間に共通配線 9 1 、或いは供給線 Z 及び給電配線 9 0 を配置してもよく、青サブピクセル P b と隣の画素 3 の赤サブピクセル P r との間に共通配線 9 1 、或いは走査線 X 及び選択配線 8 9 を配置してもよい。つまり、上記実施形態では、供給線 Z 及び給電配線 9 0 、走査線 X 及び選択配線 8 9 、走査線 X 及び選択配線 8 9 の順に繰り返し配列したが、必ずしもこの順に配列しなくてもよい。

40

【 0 1 2 5 】

〔 変形例 6 〕

また、上記実施形態では、行毎に、赤サブピクセル P r の有機 E L 層 2 0 b 、緑サブピクセル P g の有機 E L 層 2 0 b 、青サブピクセル P b の有機 E L 層 2 0 b の順に繰り返し配列したが、必ずしもこの順に配列しなくてもよい。

50

また上記変形例を複数組み合わせてもよい。

【図面の簡単な説明】

【0126】

【図1】ディスプレイパネル1の4ピクセルの画素3を示した平面図である。

【図2】ディスプレイパネル1のサブピクセルPの等価回路図である。

【図3】赤サブピクセルPrの電極を示した平面図である。

【図4】緑サブピクセルPgの電極を示した平面図である。

【図5】青サブピクセルPbの電極を示した平面図である。

【図6】図3～図5に示された面IV-IVの矢視断面図である。

【図7】ディスプレイパネル1の駆動方法を説明するためのタイミングチャートである。

【図8】ディスプレイパネル1の別の駆動方法を説明するためのタイミングチャートである。

【図9】各サブピクセルの駆動トランジスタ23及び有機EL素子20の電流-電圧特性を示すグラフである。

【図10】32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率/断面積Sの相関を示すグラフである。

【図11】32インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。

【図12】40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの最大電圧降下と配線抵抗率/断面積Sの相関を示すグラフである。

【図13】40インチのディスプレイパネル1の給電配線90及び共通配線91のそれぞれの断面積と電流密度の相関を示すグラフである。

【符号の説明】

【0127】

- 1 ディ스플레이パネル
- 20 a サブピクセル電極
- 20 b 有機EL層
- 20 c 対向電極
- 21 スイッチトランジスタ
- 22 保持トランジスタ
- 23 駆動トランジスタ
- 21 d、22 d、23 d ドレイン
- 21 s、22 s、23 s ソース
- 21 g、22 g、23 g ゲート
- 31 ゲート絶縁膜
- 50 トランジスタアレイ基板
- 53 疎水絶縁膜
- 54 疎水絶縁膜
- 55 撥液性導電層
- 89 選択配線
- 90 給電配線
- 91 共通配線
- P サブピクセル

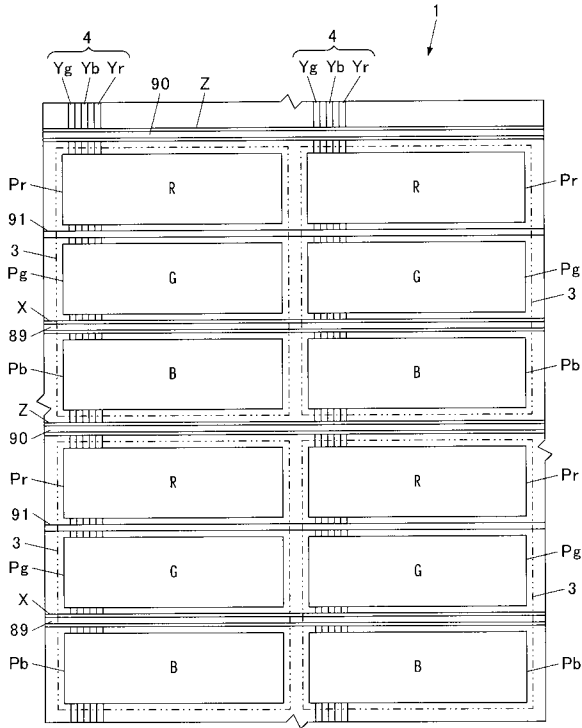
10

20

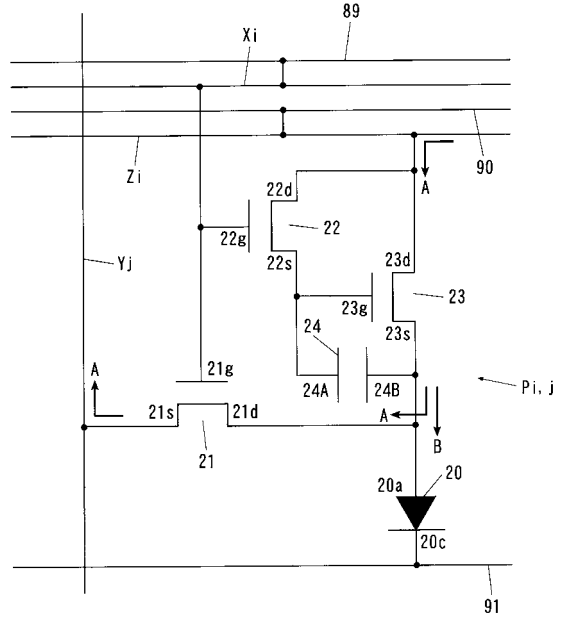
30

40

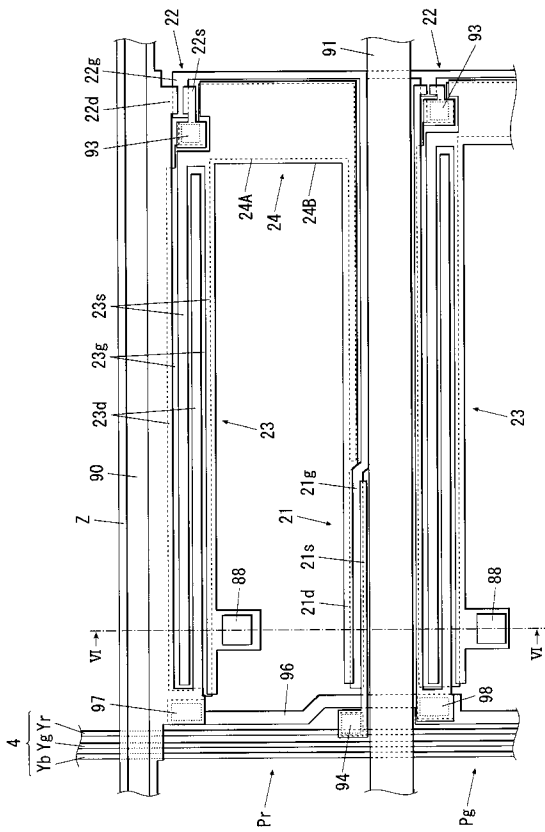
【図 1】



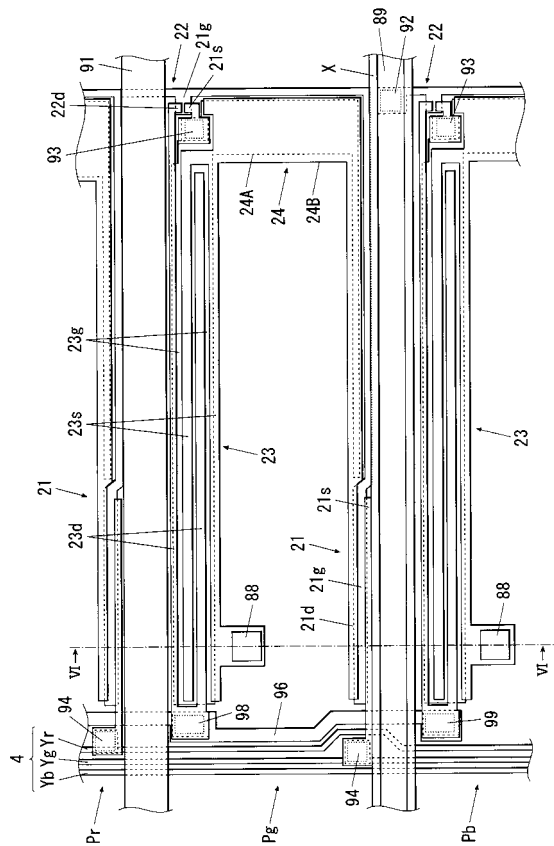
【図 2】



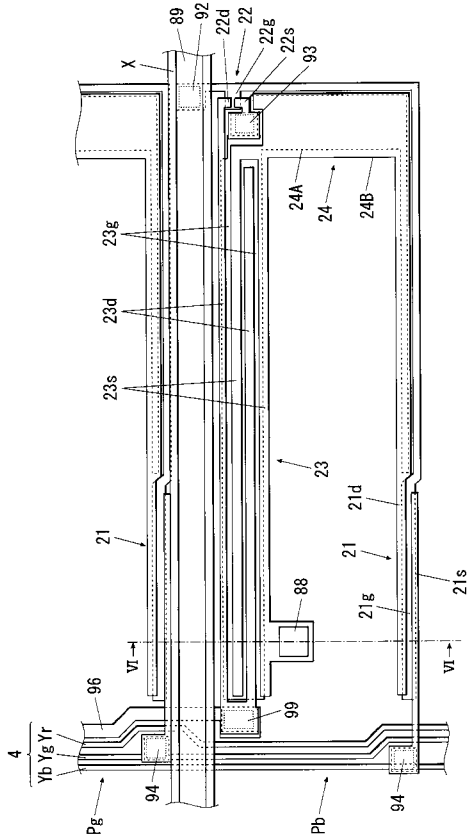
【図 3】



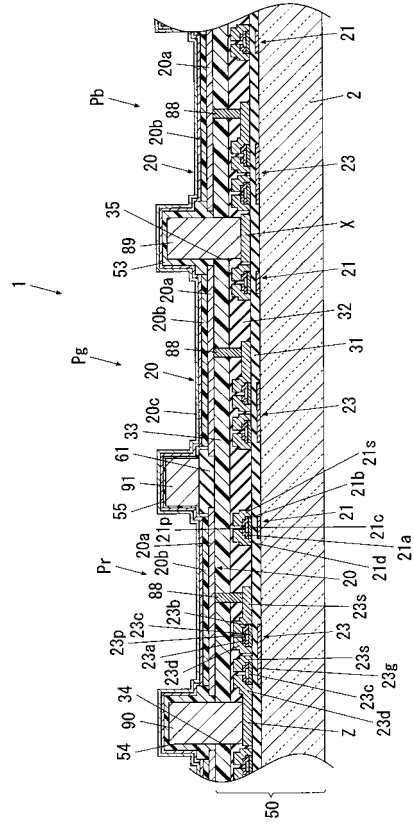
【図 4】



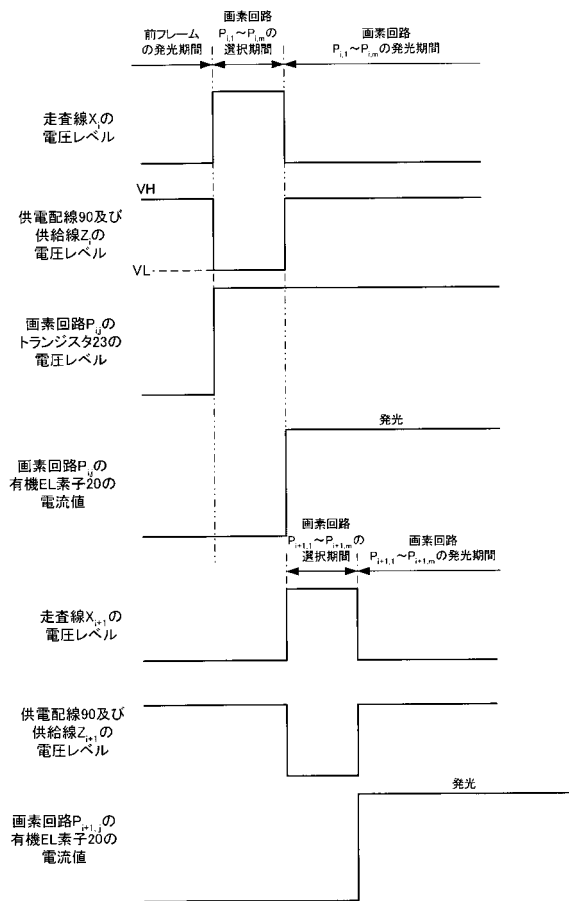
【図5】



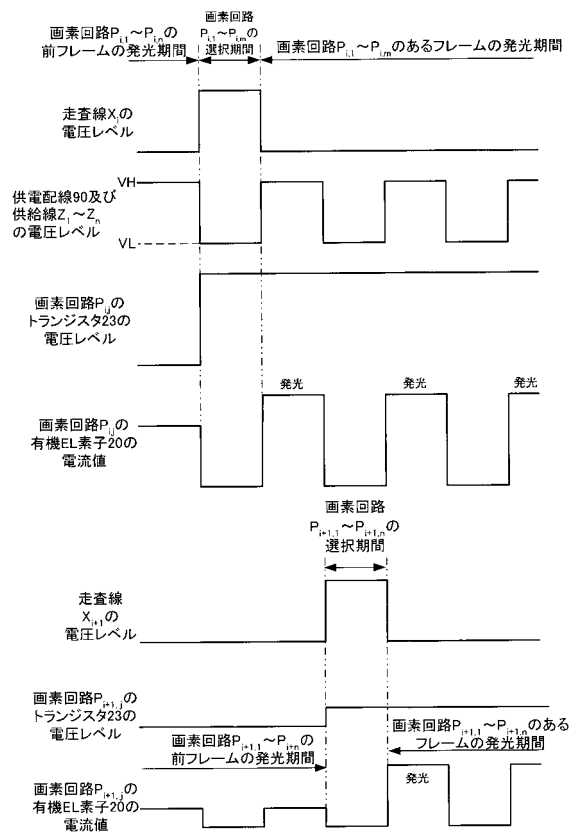
【図6】



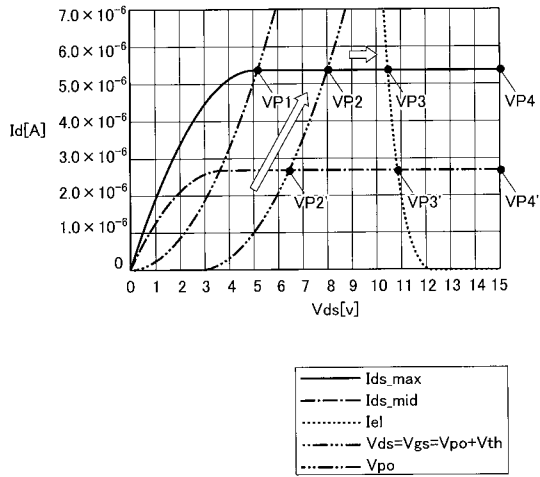
【図7】



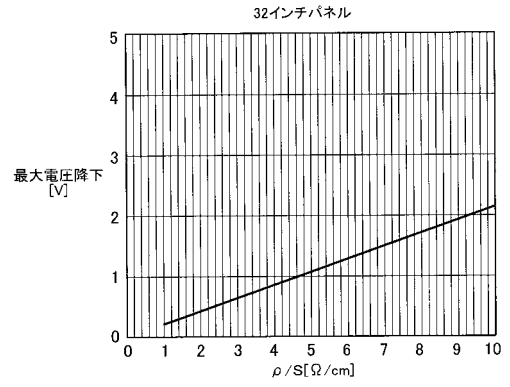
【図8】



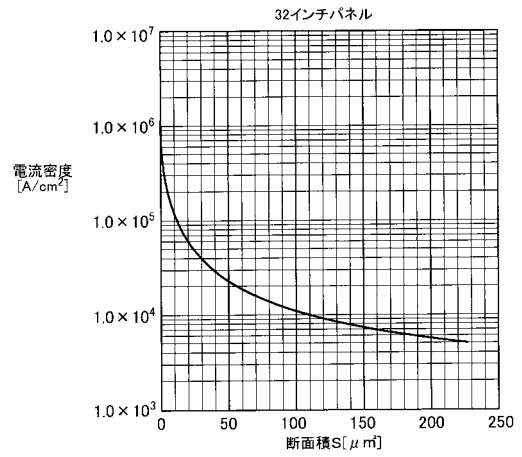
【図 9】



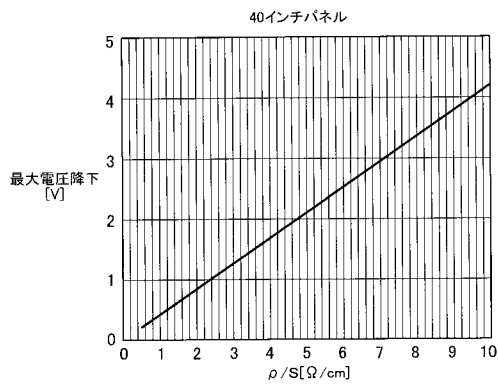
【図 10】



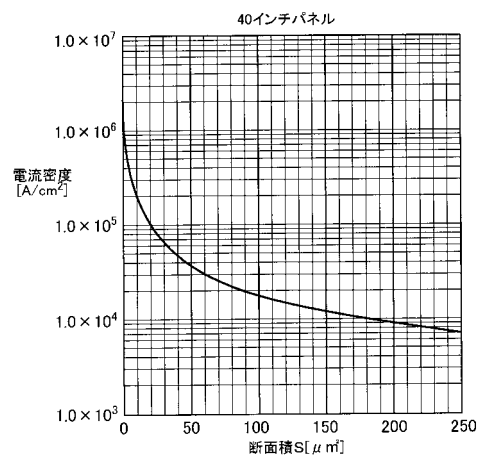
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

審査官 北川 創

(56)参考文献 国際公開第03/079441(WO, A1)
特開2003-076327(JP, A)
特開2001-195008(JP, A)
特開2002-352963(JP, A)
特開2003-186420(JP, A)
特開2003-288994(JP, A)
特開2001-230086(JP, A)
特開2004-085802(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 3 0
G 0 9 G 3 / 2 0 - 3 / 3 0
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 2