

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5911434号
(P5911434)

(45) 発行日 平成28年4月27日 (2016. 4. 27)

(24) 登録日 平成28年4月8日 (2016. 4. 8)

(51) Int. Cl.

F I

H03F 3/50 (2006.01)

H03F 3/50

H03M 1/12 (2006.01)

H03M 1/12

A

請求項の数 19 (全 9 頁)

(21) 出願番号 特願2012-554996 (P2012-554996)
 (86) (22) 出願日 平成22年12月22日 (2010. 12. 22)
 (65) 公表番号 特表2013-531398 (P2013-531398A)
 (43) 公表日 平成25年8月1日 (2013. 8. 1)
 (86) 国際出願番号 PCT/US2010/061823
 (87) 国際公開番号 W02011/106071
 (87) 国際公開日 平成23年9月1日 (2011. 9. 1)
 審査請求日 平成25年12月12日 (2013. 12. 12)
 (31) 優先権主張番号 482/CHE/2010
 (32) 優先日 平成22年2月24日 (2010. 2. 24)
 (33) 優先権主張国 インド (IN)
 (31) 優先権主張番号 12/763, 945
 (32) 優先日 平成22年4月20日 (2010. 4. 20)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (73) 特許権者 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メール ステーショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 ソースフォロワ入力バッファ

(57) 【特許請求の範囲】

【請求項 1】

バイアス回路であって、

信号電流を受け取るために入力信号の第1の部分 (I N M) を受け取る第1の静電容量を有する第1のキャパシタと、

一対のカスコード接続トランジスタであって、前記第1のキャパシタが前記カスコード接続トランジスタ間のノードに結合され、前記一対のカスコード接続トランジスタの第1のカスコード接続トランジスタが第1のバイアス電圧を受け取り、前記一対のカスコード接続トランジスタの第2のカスコード接続トランジスタが第2のバイアス電圧を受け取る、前記一対のカスコード接続トランジスタと、

を有する、前記バイアス回路、

第2の静電容量を有するスイッチド・キャパシタ回路、及び

前記バイアス回路及び前記スイッチド・キャパシタ回路に結合されるソースフォロワバッファであって、前記ソースフォロワバッファが、前記第2のバイアス電圧を受け取り、前記入力信号の第2の部分 (I N P) を受け取り、前記ソースフォロワバッファが第3の静電容量を有する第2のキャパシタを含み、第1の静電容量の組み合わせられた前記第2及び第3の静電容量に対する比が少なくとも1以上であり、前記ソースフォロワバッファが前記信号電流をミラーする、前記ソースフォロワバッファ、

を含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

前記ソースフォロワバッファが、各々が前記バイアス回路に結合され、各々が前記入力信号の前記第 2 の部分 (I N P) を受け取る、複数のソースフォロワバッファを更に含む、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記第 1 のカスコード接続トランジスタが、そのゲートで前記第 1 のバイアス電圧を受け取る第 1 の N M O S トランジスタを更に含み、前記第 2 のカスコード接続トランジスタが、そのドレインで前記第 1 の N M O S トランジスタのソースに及びそのゲートで前記第 1 の N M O S トランジスタのドレインに結合される第 2 の N M O S トランジスタであり、前記第 1 のキャパシタが前記第 2 の N M O S トランジスタのドレインに結合される、装置。

10

【請求項 4】

請求項 3 に記載の装置であって、

前記バイアス回路が、前記第 1 の N M O S トランジスタのドレインに結合される電流源を更に含む、装置。

【請求項 5】

請求項 4 に記載の装置であって、

前記ソースフォロワバッファが、

そのゲートで前記入力信号の前記第 2 の部分 (I N P) を受け取り、そのソースで前記第 2 のキャパシタに結合される第 3 の N M O S トランジスタ、及び

20

そのゲートで前記第 2 の N M O S トランジスタのゲートに結合され、そのドレインで前記第 3 の N M O S トランジスタのソースに結合される第 4 の N M O S トランジスタ、を更に含む、装置。

【請求項 6】

請求項 5 に記載の装置であって、

前記第 3 の N M O S トランジスタの ボディ が前記第 2 のキャパシタに結合される、装置。

。

【請求項 7】

請求項 6 に記載の装置であって、

前記比が 1 0 : 1 である、装置。

30

【請求項 8】

請求項 1 に記載の装置であって、

前記スイッチド・キャパシタ回路がサンプルアンドホールド (S / H) 回路である、装置。

【請求項 9】

バイアス回路であって、

信号電流を受け取るために入力信号の第 1 の部分 (I N M) を受け取る第 1 の静電容量を有する第 1 のキャパシタと、

一対のカスコード接続トランジスタであって、前記第 1 のキャパシタが、前記カスコード接続トランジスタ間のノードに結合され、前記一対のカスコード接続トランジスタの第 1 のカスコード接続トランジスタが第 1 のバイアス電圧を受け取り、前記一対のカスコード接続トランジスタの第 2 のカスコード接続トランジスタが第 2 のバイアス電圧を受け取る、前記一対のカスコード接続トランジスタと、

40

を有する、前記バイアス回路、

前記第 2 のバイアス電圧を受け取るために前記バイアス回路に結合され、前記入力信号の第 2 の部分 (I N P) を受け取るソースフォロワバッファであって、第 2 の静電容量を有する第 2 のキャパシタを含み、前記信号電流をミラーする、前記ソースフォロワバッファ、

第 3 の静電容量を有する前記ソースフォロワバッファに結合される S / H 回路であって

50

、第 1 の静電容量の組み合わせられた前記第 2 及び第 3 の静電容量に対する比が少なくとも 1 以上である、前記 S / H 回路、

前記 S / H 回路に結合されるアナログ・デジタル・コンバータ (A D C) パイプライン、及び

前記 S / H 回路及び前記 A D C パイプラインに結合されるクロック回路、を含む、装置。

【請求項 1 0】

請求項 9 に記載の装置であって、

前記ソースフォロワバッファが、各々が前記バイアス回路に結合され、各々が前記入力信号の前記第 2 の部分 (I N P) を受け取る複数のソースフォロワバッファを更に含み、前記 S / H 回路が、各々が前記ソースフォロワバッファの少なくとも 1 つに結合される複数の S / H 回路を更に含み、前記 A D C パイプラインが、各々が前記 S / H 回路の少なくとも 1 つに結合される複数の A D C パイプラインを更に含む、装置。

10

【請求項 1 1】

請求項 1 0 に記載の装置であって、

前記装置が、各 A D C パイプラインに結合されるマルチプレクサを更に含む、装置。

【請求項 1 2】

請求項 9 に記載の装置であって、

前記第 1 のカスコード接続トランジスタが、そのゲートで前記第 1 のバイアス電圧を受け取る第 1 の N M O S トランジスタを更に含み、前記第 2 のカスコード接続トランジスタが、そのドレインで前記第 1 の N M O S トランジスタのソースに及びそのゲートで前記第 1 の N M O S トランジスタのドレインに結合される第 2 の N M O S トランジスタであり、前記第 1 のキャパシタが前記第 2 の N M O S トランジスタのドレインに結合される、装置。

20

【請求項 1 3】

請求項 1 2 に記載の装置であって、

前記バイアス回路が、前記第 1 の N M O S トランジスタのドレインに結合される電流源を更に含む、装置。

【請求項 1 4】

請求項 1 3 に記載の装置であって、

前記ソースフォロワバッファが、

そのゲートで前記入力信号の前記第 2 の部分 (I N P) を受け取り、そのソースで前記第 2 のキャパシタに結合される第 3 の N M O S トランジスタ、及び

30

そのゲートで前記第 2 の N M O S トランジスタのゲートに結合され、そのドレインで前記第 3 の N M O S トランジスタのソースに結合される第 4 の N M O S トランジスタ、を更に含む、装置。

【請求項 1 5】

請求項 1 4 に記載の装置であって、

前記第 3 の N M O S トランジスタのボディが前記第 2 のキャパシタに結合される、装置。

40

【請求項 1 6】

請求項 1 5 に記載の装置であって、

前記比が 1 0 : 1 である、装置。

【請求項 1 7】

バイアス回路であって、

電流源と、

そのドレインで前記電流源に結合され、そのゲートでバイアス電圧を受け取る第 1 の N M O S トランジスタと、

そのドレインで前記第 1 の N M O S トランジスタのソースに結合され、そのゲートで前記第 1 の N M O S トランジスタのドレインに結合される第 2 の N M O S トランジスタと、

50

信号電流を受け取るために入力信号の第 1 の部分 (I N M) を受け取り、前記第 2 の N M O S トランジスタのドレインに結合される第 1 の静電容量を有する第 1 のキャパシタと、

を有する、前記バイアス回路、

複数のソースフォロワバッファであって、各ソースフォロワバッファが、

そのゲートで前記入力信号の第 2 の部分 (I N P) を受け取る第 3 の N M O S トランジスタと、

そのドレインで前記第 3 の N M O S トランジスタのソースに結合され、そのゲートで前記第 2 の N M O S トランジスタのゲートに結合される第 4 の N M O S トランジスタと、

前記第 3 の N M O S キャパシタのソースに結合される第 2 の静電容量を有する第 2 のキャパシタと、

を含む、前記複数のソースフォロワバッファ、

複数の S / H 回路であって、各 S / H 回路が、その第 3 の N M O S トランジスタのソースで前記ソースフォロワバッファの少なくとも 1 つに結合され、各 S / H 回路が第 3 の静電容量を有し、前記第 1 の静電容量の、各 S / H 回路及びその対応するソースフォロワバッファにおける組み合わせられた前記第 2 及び第 3 の静電容量に対する比が少なくとも 1 以上であり、前記ソースフォロワバッファが前記信号電流をミラーする、前記複数の S / H 回路、

各 A D C パイプラインが前記 S / H 回路の少なくとも 1 つに結合される、複数の A D C パイプライン、

各 A D C パイプラインに結合されるマルチプレクサ、及び

各 S / H 回路及び各 A D C パイプラインに結合されるクロック回路、

を含む、装置。

【請求項 1 8】

請求項 1 7 に記載の装置であって、

前記第 3 の N M O S トランジスタのボディが前記第 2 のキャパシタに結合される、装置。

【請求項 1 9】

請求項 1 8 に記載の装置であって、

前記比が各々 1 0 : 1 である、装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願は、全般的にバッファに関し、更に特定して言えば、入力静電容量負荷が低減されたソースフォロワバッファに関連する。

【背景技術】

【0 0 0 2】

図 1 を参照すると、参照符号 1 0 0 はアナログ・デジタル・コンバータ (A D C) のための従来の入力回路を全般的に示す。回路 1 0 0 は、同時継続中の米国特許出願番号 1 2 / 1 9 9 , 8 0 4 に全般的に説明されており、これはあらゆる目的のため参照としてここに組み込む。図示するように、回路 1 0 0 は全体として、送信媒体 (インダクタ L 1 で表わす) 、バッファ 1 0 2 、及びサンプルアンドホールド (S / H) 回路 1 0 4 を含む。バッファ 1 0 2 は、全体として、N M O S トランジスタ Q 1 (これはインダクタ L 1 に結合される) 、カスコード接続 N M O S トランジスタ Q 2 及び Q 3 (これらは、それぞれのゲートでバイアス電圧 N C A S 及び N B I A S を受け取る) 、及びキャパシタ C 1 を含む。S / H 回路 1 0 2 は全般的に (説明を簡潔にするため) 、レジスタ R S 、サンプリングスイッチ S S 、及びサンプリングキャパシタ C S として表される。

【0 0 0 3】

多くの従来のバッファでは、トランジスタ Q 1 (これは一般的にソースフォロワである) を駆動する「オフチップ」ドライバは、スイッチング負荷 (これらは S / H 回路 1 0 4

10

20

30

40

50

の利用と共に存在する)ではなく継続的時間負荷を駆動する(和らげる)ことができる。この構成において、キャパシタC1(これは、一般的にキャパシタCSと同じ寸法である)は、(トランジスタQ2を用いて)負荷のための信号電流を供給し、ソースフォロワ(トランジスタQ1)は一般的にスイッチング負荷(S/H回路104)のための電圧を定めることができる。キャパシタC1は、それが「オフチップ」ドライバに負荷をかけるため、を小さく保つことが望ましい。これはトランジスタQ1も信号電流の一部を提供し得ることを意味し得る。小さなキャパシタC1の制約が加えられたこの構成は、スイッチング負荷を駆動することができない点で問題となり得るのみならず、更に、多数のS/H回路を駆動するため多くのバッファを用いる、インターリーブされたADCに用いられるとき、インターリーブされたADCのスプリアスフリーダイナミックレンジ(SFDR)に著しくかつ悪い影響を与える恐れがある。従って、性能が改善された回路が求められている。

10

【0004】

幾つかの他の従来回路は、米国特許番号第4,634,993号、米国特許番号第5,764,175号、米国特許番号第5,872,469号、米国特許番号第6,255,865号、米国特許番号第7,385,427号、米国特許公開番号20090206885、及びPCT公開番号WO07/093475に記載されている。

【発明の概要】

【0005】

従って、本発明の例示の一実施例は或る装置を提供する。この装置は、入力信号の第1の部分を受け取る第1の静電容量を有する第1のキャパシタと、一対のカスコード接続トランジスタであって、第1のキャパシタがカスコード接続トランジスタ間のノードに結合され、カスコード接続トランジスタ対の第1のカスコード接続トランジスタが第1のバイアス電圧を受け取り、カスコード接続トランジスタ対の第2のカスコード接続トランジスタが第2のバイアス電圧を受け取る、カスコード接続トランジスタ対とを有するバイアス回路、第2の静電容量を有するスイッチド・キャパシタ回路、及びバイアス回路及びスイッチド・キャパシタ回路に結合されるソースフォロワバッファであって、ソースフォロワバッファが、第2のバイアス電圧を受け取り、入力信号の第2の部分を受け取り、ソースフォロワバッファが、第3の静電容量を有する第2のキャパシタを含み、第1の静電容量に対する組み合わせられた第2及び第3の静電容量の比が少なくとも1である、ソースフォロワバッファを含む。

20

30

【0006】

本発明の例示の一実施例に従って、ソースフォロワバッファが、各々がバイアス回路に結合され、各々が入力信号の第2の部分を受け取る複数のソースフォロワバッファを更に含む。

【0007】

本発明の例示の一実施例に従って、第1のカスコード接続トランジスタが、そのゲートで第1のバイアス電圧を受け取る第1のNMOSTランジスタを更に含み、第2のカスコード接続トランジスタが、そのドレインで第1のNMOSTランジスタのソースに及びそのゲートで第1のNMOSTランジスタのドレインに結合される第2のNMOSTランジスタであり、第1のキャパシタが第2のNMOSTランジスタのドレインに結合される。

40

【0008】

本発明の例示の一実施例に従って、バイアス回路が、第1のNMOSTランジスタのドレインに結合される電流源を更に含む。

【0009】

本発明の例示の一実施例に従って、ソースフォロワバッファが、そのゲートで入力信号の第2の部分を受け取り、そのソースで第2のキャパシタに結合される第3のNMOSTランジスタ、及びそのゲートで第2のNMOSTランジスタのゲートに結合され、そのドレインで第3のNMOSTランジスタのソースに結合される第4のNMOSTランジスタを更に含む。

50

【 0 0 1 0 】

本発明の例示の一実施例に従って、第 3 の N M O S トランジスタの本体 (ボディ) が第 2 のキャパシタに結合される。

【 0 0 1 1 】

本発明の例示の一実施例に従って、前記比が 1 0 : 1 である。

【 0 0 1 2 】

本発明の例示の一実施例に従って、スイッチド・キャパシタ回路がサンプルアンドホールド (S / H) 回路である。

【 0 0 1 3 】

本発明の例示の一実施例に従って、或る装置が提供される。この装置は、入力信号の第 1 の部分を受け取る第 1 の静電容量を有する第 1 のキャパシタと、一対のカスコード接続トランジスタであって、第 1 のキャパシタがカスコード接続トランジスタ間のノードに結合され、カスコード接続トランジスタ対の第 1 のカスコード接続トランジスタが第 1 のバイアス電圧を受け取り、カスコード接続トランジスタ対の第 2 のカスコード接続トランジスタが第 2 のバイアス電圧を受け取る、カスコード接続トランジスタ対とを有するバイアス回路、第 2 のバイアス電圧を受け取り、入力信号の第 2 の部分を受け取るようにバイアス回路に結合されるソースフォロワバッファであって、第 2 の静電容量を有する第 2 のキャパシタを含むソースフォロワバッファ、第 3 の静電容量を有するソースフォロワバッファに結合される S / H 回路であって、第 1 の静電容量に対する組み合わせられた第 2 及び第 3 の静電容量の比が少なくとも 1 である S / H 回路、S / H 回路に結合されるアナログ・デジタル・コンバータ (A D C) パイプライン、及び S / H 回路及び A D C パイプラインに結合されるクロック回路を含む。

【 0 0 1 4 】

本発明の例示の一実施例に従って、ソースフォロワバッファが、各々がバイアス回路に結合され、各々が入力信号の第 2 の部分を受け取る複数のソースフォロワバッファを更に含み、S / H 回路が、各々がソースフォロワバッファの少なくとも 1 つに結合される複数の S / H 回路を更に含み、A D C パイプラインが、各々が S / H 回路の少なくとも 1 つに結合される複数の A D C パイプラインを更に含む。

【 0 0 1 5 】

本発明の例示の一実施例に従って、この装置が、各 A D C パイプラインに結合されるマルチプレクサを更に含む。

【 0 0 1 6 】

本発明の例示の一実施例に従って或る装置が提供される。この装置は、電流源と、そのドレインで電流源に結合され、そのゲートでバイアス電圧を受け取る第 1 の N M O S トランジスタと、そのドレインで第 1 の N M O S トランジスタのソースに結合され、そのゲートで第 1 の N M O S トランジスタのドレインに結合される第 2 の N M O S トランジスタと、入力信号の第 1 の部分を受け取り、第 2 の N M O S トランジスタのドレインに結合される第 1 の静電容量を有する第 1 のキャパシタとを有するバイアス回路、複数のソースフォロワバッファであって、各ソースフォロワバッファが、そのゲートで入力信号の第 2 の部分を受け取る第 3 の N M O S トランジスタと、そのドレインで第 3 の N M O S トランジスタのソースに結合され、そのゲートで第 2 の N M O S トランジスタのゲートに結合される第 4 の N M O S トランジスタと、第 3 の N M O S キャパシタのソースに結合される第 2 の静電容量を有する第 2 のキャパシタとを含む、複数のソースフォロワバッファ、複数の S / H 回路であって、各 S / H 回路が、その第 3 の N M O S トランジスタのソースでソースフォロワバッファの少なくとも 1 つに結合され、各 S / H 回路が第 3 の静電容量を有し、各 S / H 回路及びその対応するソースフォロワバッファの、第 1 の静電容量に対する組み合わせられた第 2 及び第 3 の静電容量の比が少なくとも 1 である、複数の S / H 回路、各 A D C パイプラインが S / H 回路の少なくとも 1 つに結合される複数の A D C パイプライン、各 A D C パイプラインに結合されるマルチプレクサ、及び各 S / H 回路及び各 A D C パイプラインに結合されるクロック回路を含む。

【 0 0 1 7 】

本発明の例示の一実施例に従って、第3のNMOSトランジスタの本体が第2のキャパシタに結合される。

【 0 0 1 8 】

例示の実施例を添付の図面を参照して説明する。

【図面の簡単な説明】

【 0 0 1 9 】

【図1】図1は、ADCのための従来の入力回路の回路図である。

【 0 0 2 0 】

【図2】図2は、本発明の例示の一実施例に従ったインターリーブされたADCのブロック図である。

10

【 0 0 2 1 】

【図3】図3は、図2のADCの一部の回路図である。

【発明を実施するための形態】

【 0 0 2 2 】

図2は、本発明の例示の一実施例に従った、インターリーブされたアナログ・デジタル・コンバータ(ADC)200を図示する。オペレーションにおいて、アナログ入力信号AINが、バッファ202-1~202-n(これらは各々バイアス回路212に結合される)に供給される。各バッファ202-1~202-nからの出力は、対応するサンプルアンドホールド(S/H)回路204-1~204-nに結合され、入力信号AINがサンプリングされかつ変換のため対応するADCパイプライン206-1~206-nに供給され得るようにする。S/H回路204-1~204-n及びADCパイプライン206-1~206-nに結合されるクロック回路210が、入力信号AINをサンプリングし、それをデジタル信号に変換するため、タイミング信号を供給する。ADCパイプライン206-1~206-nからのインターリーブされたデジタル出力信号は、その後、マルチプレクサ(又はmux)208により多重化されて、デジタル出力信号DOUTを生成する。

20

【 0 0 2 3 】

図3は、バイアス回路212、バッファ202-1及び202-2、及びS/H回路204-1及び204-2の更に詳細な図を提供する。簡潔にするため、2つのADCパイプラインに対する入力回路が示されている。また、簡潔にするため、S/H回路204-1及び204-2は、レジスタR1及びR2、サンプリングスイッチSS1及びSS2、及びサンプリングキャパシタCS1及びCS2で表す。バイアス回路212は、一般的にキャパシタCIN、NMOSトランジスタQ8及びQ9、及び電流源302を含む。バッファ202-1は、一般的にNMOSトランジスタQ4及びQ5、及びキャパシタCB1を含み、バッファ202-2は、一般的にNMOSトランジスタQ6及びQ7、及びキャパシタCB2を含む。

30

【 0 0 2 4 】

オペレーションにおいて、入力信号AINの一部(INP及びINM)が、バイアス回路212及びバッファ202-1及び202-2に供給されて、入力信号AINがS/H回路204-1及び204-2によりサンプリングされ得るようにする。電流源302は、NMOSトランジスタ(これはそのゲートでバイアス電圧NCASを受け取る)のドレインに電流を供給し、NMOSトランジスタQ9のゲートにバイアス電圧NBASPを供給する。カスコード接続NMOSトランジスタQ8及びQ9間のノードにキャパシタCINを介して部分INMが供給される。これにより、接地からトランジスタQ9及びキャパシタCINを介して信号電流が流れ得る。この信号電流は、キャパシタCB1及びCB2に供給され得るように、NMOSトランジスタQ5及びQ7の各々によりミラーされる。また、部分INPが、(各々ソースフォロワとして動作し)一般的に信号電流は供給しないNMOSトランジスタQ4及びQ6のゲートに供給される。そのため、この入力回路は、改善された線形性を備えてS/H回路204-1及び204-2に電圧及び電流を供

40

50

給することができる。

【 0 0 2 5 】

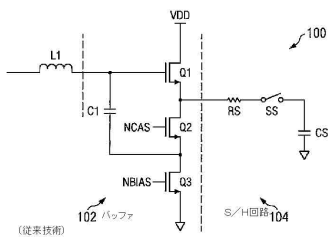
キャパシタ C_{IN} 、 C_{B1} 、 C_{B2} 、 C_{S1} 、及び C_{S2} の静電容量も全般的にスケールリングされる。典型的にキャパシタ C_{B1} 及び C_{S1} 及びキャパシタ C_{B2} 及び C_{S2} の各々の組み合わせられた静電容量は、キャパシタ C_{IN} (これは補償キャパシタとして動作する) の静電容量と少なくとも同じであるかそれより小さい。例えば、キャパシタ C_{B1} 及び C_{S1} の組み合わせられた静電容量とキャパシタ C_{IN} の静電容量との比は 1 : 10 であり得る。キャパシタ C_{IN} は、他の従来の回路より非線形性の源を全般的になくすように、非常に低いインピーダンスノード (これは小さな非線形電圧を有する) に結合されることにも注意されたい。また、入力を介する信号電流が低減され、これは、高速で制約要件となり得る電磁干渉を低減するのにも役立つ。

10

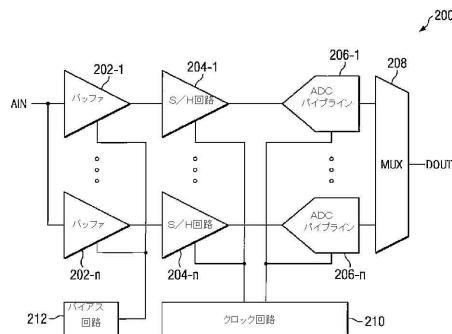
【 0 0 2 6 】

例示の実施例の文脈で説明したような特徴又は工程のすべて又はその幾つかを有する例示の実施例の文脈で説明した 1 つ又はそれ以上の特徴又は工程の異なる組み合わせを有する実施例も、本明細書に包含されることも意図している。当業者であれば、他の多くの実施例及び変形も特許請求の範囲に包含されることが理解されるであろう。

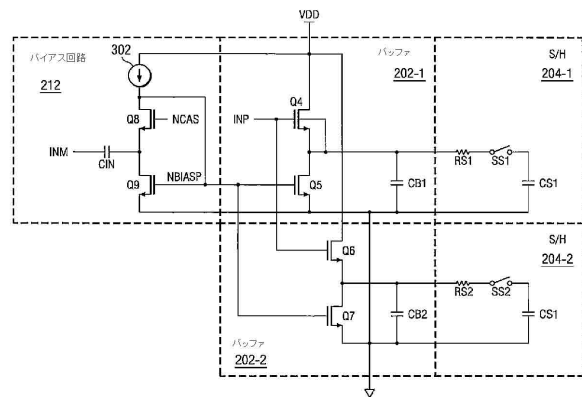
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(72)発明者 ニティン アガーワル

インド 560075 バンガロール, ジェイ ビー ナガール, ティンマ レディ コロニー, アシュラヤ アpartment 206

(72)発明者 ヴィスヴェスヴァラヤ エイ ペンタコタ

インド 560093 バンガロール, ハル サード ステージ, サード クロス, ファースト メイン 2380

審査官 柳下 勝幸

(56)参考文献 特開平9 - 266419 (JP, A)

特開平11 - 177352 (JP, A)

米国特許出願公開第2009/0315594 (US, A1)

H. Rapakko, J. Kostamovaara, "On the Performance and Use of an Improved Source-Follower Buffer", IEEE Transactions on Circuits and Systems I: Regular Papers, 米国, IEEE, 2007年 3月, Vol.54, No.3, pp.504-517

S.M. Louwsma, A.J.M. van Tuijl, M. Vertregt, B. Nauta, "A 1.35 GS/s, 10 b, 175 mW Time-Interleaved AD Converter in 0.13 μ m CMOS", IEEE Journal of Solid-State Circuits, 米国, IEEE, 2008年 4月, Vol. 43, No. 4, pp.778-786

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/72

H03M 1/12

IEEE Explore