(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 16/02

(45) 공고일자 2002년05월24일
(11) 등록번호 10-0337766
(24) 등록일자 2002년05월10일

(21) 출원번호 10-1999-0038265
(22) 출원일자 1999년09월09일

(65) 공개번호 특2000-0023005
(43) 공개일자 2000년04월25일

(30) 우선권주장 1998-256738 1998년09월10일 일본(JP)
1999-010676 1999년01월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 사꾸이고지
일본가나가와껭가와사끼시사이와이꾸호리까와쪼580-1가부시끼가이샤도시바세미컨덕터시스템엔지니어링센터내
미야모또준이찌
일본가나가와껭가와사끼시사이와이꾸호리까와쪼580-1가부시끼가이샤도시바세미컨덕터시스템엔지니어링센터내

(74) 대리인 장수길
구영창

심사관 : 이철희

(54) 불휘발성 반도체 메모리

요약

메모리 셀 어레이는, 하나의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 유닛을 구비한다. 1블럭에는, 하나의 컨트롤 게이트선 CGL이 배치되고, 하나의 컨트롤 게이트선 CGL에 접속되는 메모리 셀에 의해 1페이지가 구성된다. 비트선 BLi에는, 래치 기능을 구비한 센스 앰프가 접속된다. 데이타 재기록은, 우선 1페이지분의 메모리 셀의 데이타를 센스 앰프로 리드, 센스 앰프로 데이타의 덧씌우기를 행하고, 페이지 소거를 행한 후, 센스 앰프의 데이타를 1페이지분의 메모리 셀로 프로그램한다. 센스 앰프에서의 데이타의 덧씌우기에 의해, 페이지 단위 또는 바이트 단위의 데이타 재기록이 가능해진다.

대표도

도 3

색인어

메모리 셀, 셀렉트 트랜지스터, 센스 앰프, EEPROM, 불휘발성 메모리

명세서

도면의 간단한 설명

도 1a는 본 발명의 바이트형 EEPROM의 메모리 셀 유닛을 나타내는 도면.

도 1b는 도 1a의 I-I선에 따르는 단면도.

도 2는 도 1의 등가 회로를 나타내는 도면.

도 3은 본 발명의 바이트형 EEPROM의 메모리 셀 어레이를 나타내는 도면.

도 4는 메모리 셀의 데이타에 따른 게이트 전압과 셀 전류의 관계를 나타내는 도면.

도 5는 데이타 리드 시에 메모리 셀 유닛에 부여하는 전위를 나타내는 도면.

도 6은 메모리 셀의 데이타에 따른 임계치 전압 분포의 일례를 나타내는 도면.

도 7은 메모리 셀의 데이타에 따른 임계치 전압 분포의 다른 예를 나타내는 도면.

도 8은 본 발명의 바이트형 EEPROM의 주요부를 나타내는 블럭도.

도 9는 도 8의 센스 앰프의 일례를 나타내는 도면.

도 10은 본 발명의 바이트 단위의 재기록 동작(data change operation for bite data)을 나타내는 플로우차트.

도 11은 도 10의 시퀀스의 데이타 리드 시의 모습을 나타내는 도면.

도 12는 도 10의 시퀀스의 바이트 데이타의 덧씌우기 시의 상태를 나타내는 도면.

도 13은 도 10의 시퀀스의 페이지 소거 시의 모습을 나타내는 도면.

도 14는 도 10의 시퀀스의 페이지 프로그램 시의 모습을 나타내는 도면.

도 15는 본 발명의 페이지 단위의 재기록 동작(data change operation for page data)을 나타내는 파형도.

도 16은 본 발명의 페이지 단위의 재기록 동작을 나타내는 파형도.

도 17은 본 발명의 바이트 단위의 재기록 동작(data change operation forbite data)을 나타내는 파형도.

도 18은 본 발명의 바이트형 EEPROM의 메모리 셀 어레이의 변형예를 나타내는 도면.

도 19는 본 발명의 바이트형 EEPROM의 메모리 셀 어레이의 변형예를 나타내는 도면.

도 20은 스택 게이트형 메모리 셀의 프로그램 동작 시의 모습을 나타내는 도면.

도 21은 스택 게이트형 메모리 셀의 소거 동작 시의 모습을 나타내는 도면.

도 22는 본 발명의 바이트형 EEPROM의 메모리 셀 어레이의 변형예를 나타내는 도면.

도 23은 본 발명의 바이트형 EEPROM의 일례를 나타내는 도면.

도 24는 도 23의 메모리 셀 어레이를 나타내는 도면.

도 25는 본 발명의 바이트형 EEPROM의 다른 예를 나타내는 도면.

도 26은 도 25의 메모리 셀 어레이를 나타내는 도면.

도 27은 본 발명의 바이트 단위의 재기록 동작(data change operation for bite data)을 나타내는 도면.

도 28은 도 23의 EEPROM의 변형예를 나타내는 도면.

도 29는 도 28의 프리디코더의 일례를 나타내는 도면.

도 30은 도 28의 로우 디코더 및 드라이버의 일례를 나타내는 도면.

도 31은 도 28의 메모리 셀 어레이의 1로우를 나타내는 도면.

도 32는 본 발명의 바이트 단위의 재기록 동작(data change operation for bite data)을 나타내는 도면.

도 33은 본 발명의 바이트 단위의 재기록 동작을 나타내는 도면.

도 34는 메모리 셀 어레이 영역에서의 웰의 배치의 일례를 나타내는 도면.

도 35는 도 31의 메모리 셀 어레이의 변형예를 나타내는 도면.

도 36은 도 28의 EEPROM의 변형예를 나타내는 도면.

도 37은 도 36의 메모리 셀 어레이의 서로 인접하는 2로우를 나타내는 도면.

도 38은 차동형 센스 앰프를 이용한 시스템의 예를 나타내는 도면.

도 39는 복수의 비트선에 1개의 센스 앰프를 설치한 시스템의 예를 나타내는 도면.

도 40은 도 28의 EEPROM의 변형예를 나타내는 도면.

도 41은 도 40의 프리디코더의 일례를 나타내는 도면.

도 42는 도 40의 로우 디코더 및 드라이버의 일례를 나타내는 도면.

도 43은 도 40의 메모리 셀 어레이의 서로 인접하는 2로우를 나타내는 도면.

도 44는 서브 디코더의 배치예를 나타내는 도면.

도 45는 본 발명이 적용되는 EEPROM의 일례를 나타내는 도면.

도 46은 본 발명이 적용되는 EEPROM의 일례를 나타내는 도면.

도 47은 본 발명이 적용되는 EEPROM의 일례를 나타내는 도면.

도 48은 NAND형 EEPROM의 프로그램 시의 디스터브에 대하여 나타내는 도면.

도 49는 NAND형 EEPROM의 데이타 프로그램 동작을 나타내는 파형도.

도 50은 본 발명의 바이트형 EEPROM의 메모리 셀 유닛을 나타내는 도면.

도 51은 도 50의 등가 회로를 나타내는 도면.

도 52는 소거 동작 시에 메모리 셀 유닛에 부여하는 전위에 대하여 나타내는 도면.

도 53은 프로그램 동작 시에 메모리 셀 유닛에 부여하는 전위에 대하여 나타내는 도면.

도 54는 리드 동작 시에 메모리 셀 유닛에 부여하는 전위에 대하여 나타내는 도면.

도 55는 메모리 셀의 데이타에 따른 게이트 전압과 셀 전류의 관계를 나타내는 도면.

도 56은 본 발명의 바이트형 EEPROM의 주요부를 나타내는 블럭도.

도 57은 도 56의 메모리 셀 어레이의 회로 구성을 나타내는 도면.

도 58은 도 56의 센스 앰프의 일례를 나타내는 도면.

도 59는 본 발명의 바이트 단위의 재기록 동작(data change operation for bite data)을 나타내는 플로우차트.

도 60은 센스 앰프의 노드 Qb의 모습을 나타내는 도면.

도 61은 본 발명의 페이지 단위의 재기록 동작(data change operation for page data)을 나타내는 파형도.

도 62는 본 발명의 페이지 단위의 재기록 동작을 나타내는 파형도.

도 63은 본 발명의 바이트 단위의 재기록 동작(data change operation for bite data)을 나타내는 파형도.

도 64는 본 발명의 바이트형 EEPROM의 메모리 셀 어레이의 변형예를 나타내는 도면.

도 65는 종래의 바이트형 EEPROM의 메모리 셀을 나타내는 도면.

도 66은 도 65의 LXVI-LXVI선에 따르는 단면도.

도 67은 FN 터널 전류의 기구를 나타내는 에너지 밴드도.

도 68은 종래의 바이트형 EEPROM의 메모리 셀을 나타내는 도면.

도 69는 종래의 바이트형 EEPROM의 메모리 셀의 기본 구조를 나타내는 도면.

도 70은 NAND형 플래시 EEPROM의 NAND 유닛을 나타내는 도면.

도 71은 도 70의 등가 회로를 나타내는 도면.

도 72는 NOR형 플래시 EEPROM의 메모리 셀을 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명

29 : 서브 디코더

BL : 비트선

SSL, GSL : 셀렉트 게이트선

CGL : 컨트롤 게이트선

SL : 셀 소스선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 셀의 데이타를 변경하는 동작을 바이트 단위로 행할 수 있는 불휘발성 반도체 메모리에 관한 것이다.

종래, 메모리 셀의 데이타의 변경을 바이트 단위로 행하는 불휘발성 반도체 메모리로서 EEPROM이 알려져 있다.

문헌 1(W. Johnson et al. , 'A 16Kb Electrically Erasable Nonvolatile Memory,' ISSCC Digest of Technical Papers, pp. 152-153, Feb. 1982.)은 FLOTOX(Floating Gate Tunnel Oxide)셀을 이용하여 메모리 셀의 데이타의 변경을 바이트 단위로 행하도록 한 EEPROM을 제안한다.

도 65는 바이트 소거가 가능한 EEPROM의 메모리 셀부의 일례를 나타내는 평면도, 도 66은 도 65의 LXVI-LXVI선에 따르는 단면도이다.

이 EEPROM은 메모리 셀부에 FLOTOX셀을 사용하고 있다. FLOTOX 셀의 특징은 $^{+}$드레인(20a)과 플로우팅 게이트(21a) 간에 10[㎚] 정도의 터널 산화막(22a)을 배치하고, 이 터널 산화막(22a)에 전계를 인가하여 N $^{+}$드레인(20a)과 플로우팅 게이트(21a) 간에서 전하의 교환을 행하는 점에 있다.

터널 산화막(22a)에 흐르는 전류는 FN(Fowler-Nordheim) 터널 현상에 의해 생기는 FN 터널 전류이다.

도 67은 MOS 캐패시터부의 에너지 밴드도를 나타내고 있다.

MOS 캐패시터(N^{+} 드레인-터널 산화막-플로우팅 게이트)에 전계를 인가하면, [식 1]에 기초하여 터널 산화막(SiO_2)에 FN 터널 전류가 흐른다.

수학식 1

$$I = S \cdot \alpha \cdot E^2 \exp(-\beta / E)$$

S : 면적, E : 전계

$\alpha = q^3/8\pi h\Phi B = 6.94\times10^{-7}$ [A/V^2]

$\beta = -4(2m)^{0.5}\ \Phi B^{1.5}/3hq$

$= 2.54\times10^{8}$ [V/㎝]

이 식에서부터, FN 터널 전류가 흐르기 시작하는 전계는 약 10[MV/㎝]인 것을 알 수 있다. 이 전계는 이론적으로는, 10[㎚]의 터널 산화막에 10[V]의 전압을 인가한 경우에 상당한다.

여기서, 도 65 및 도 66에서 N^+ 드레인(20a)과 컨트롤 게이트(23a) 간에 전압을 인가한 경우에서의 컨트롤 게이트(23a)와 플로우팅 게이트(21a)의 용량비(커플링비)를 0.5로 한다.

이 경우, N^+ 드레인(20a)과 플로우팅 게이트(21a) 간의 터널 산화막(22a)에 10[V]의 전압을 인가하기 위해서는 N^+ 드레인(20a)과 컨트롤 게이트(23a) 간에 20[V]라는 고전압을 인가해야만 한다.

예를 들면, 소거시에는 N^+ 드레인(20a)을 0[V], 컨트롤 게이트(23a)를 20[V]로 설정하여 전자를 N^+ 드레인(20a)으로부터 플로우팅 게이트(21a)로 이동시킨다. 또한, '1' 프로그래밍 시에는 N^+ 드레인(20a)을 20[V], 컨트롤 게이트(23a)를 0[V]로 설정하여 전자를 플로우팅 게이트(21a)로부터 N^+ 드레인(20a)으로 이동시킨다.

FLOTOX 셀을 이용한 EEPROM의 결점은 도 65 및 도 66에 도시한 바와 같이, 1 비트를 기억하기 위해서 메모리 셀과 선택 트랜지스터의 2소자를 필요로 하는 점에 있다.

도 68은 바이트 소거가 가능한 EEPROM의 메모리 셀부의 다른 예를 나타내고 있다.

이 EEPROM은 메모리 셀부에 FLOTOX셀을 사용함과 함께, 8비트(1바이트)의 메모리 셀에 대하여, 1개의 바이트 컨트롤용 트랜지스터 Tr을 설치한 점에 특징을 갖는다.

또, 이 EEPROM에서의 각 모드에서의 바이어스 조건은 표 1에 나타내는 바와 같다.

이러한 메모리 셀 부를 사용하면, 여러가지 동작 불량(디스터브)을 회피할 수 있다. 그러나, 1비트를 기억하기 위해서, 2+(1/8)개의 트랜지스터가 필요해지기 때문에, 셀 면적이 커져서 비용이 내려가지 않는 결점이 있다.

이러한 결점을 없애기 위해서 탄생한 메모리가 플래시 EEPROM이다. 종래의 EEPROM은 1비트마다 데이타의 소거 또는 프로그램을 행할 수 있기 때문에 매우 사용하기 쉬웠다.

그러나, 큰 메모리 용량을 필요로 하는 컴퓨터의 하드 디스크를 EEPROM으로 구성하는 것과 같은 경우, 이 EEPROM에는 1비트마다 데이타의 소거 또는 프로그램을 행하는 기능을 갖게 할 필요가 없다. 하드 디스크에서는 섹터 단위(또는 블럭 단위)로 데이타의 소거 또는 프로그램을 행하는 경우가 대부분이기 때문이다.

따라서, 1비트마다 데이타를 변경할 수 있는 기능을 배제하여도 셀 면적의 축소에 의한 큰 메모리 용량을 달성하고 제품의 저비용화를 꾀한 쪽이 유리하며, 이러한 발상에 기초하여 플래시 EEPROM이 탄생하였다.

플래시 EEPROM에 대한 상세는 예를 들면, 문헌 2(F. Masuoka etal., 'A new Flash EEPROM cell using triple polysilicon technology,' IEDM Technical Digest, pp. 464-467 Dec. 1984.)에 기재되어 있다.

도 69는 플래시 EEPROM의 메모리 셀의 구조를 나타내고 있다.

플래시 EEPROM의 메모리 셀은 자외선 소거형 EPROM의 메모리 셀과 마찬가지로, 컨트롤 게이트와 플로우팅 게이트를 갖고 있다. 플래시 EEPROM에서는 데이타의 프로그램은 자외선 소거형 EPROM과 마찬가지로, 열 전자를 플로우팅 게이트에 주입함으로써 행한다. 소거는 바이트형 EEPROM과 마찬가지로, FN 터널 현상을 이용하여 전자를 플로우팅 게이트로부터 추출함으로써 행한다.

플래시 EEPROM에서 메모리 셀을 개별로 본 경우의 소거 동작은 바이트형 EEPROM과 동일해지지만, 메모리 셀 어레이의 전체를 본 경우의 동작은 바이트형 EEPROM과는 완전히 달라진다. 즉, 바이트형 EEPROM은 바이트 단위로 데이타를 소거하지만, 플래시 EEPROM은 전 비트를 일괄로 소거한다. 이러한 동작 수법을 채용함으로써, 플래시 EEPROM은 1비트당 1개의 트랜지스터로 이루어지는 메모리 셀부를 실현하고 큰 메모리 용량을 달성하고 있다.

또, 플래시 EEPROM에서의 데이타의 프로그램은 자외선 소거형 EPROM과 마찬가지로 1비트마다 행할 수 있다. 즉, 소거가 전 비트 일괄로 행해지며, 프로그램이 1비트마다 행할 수 있는 점에서는 플래시 EEPROM과 자외선 소거형 EPROM은 동일해진다.

큰 메모리 용량의 메모리 칩을 실현하기 위해서, 상술한 바와 같은 플래시 EEPROM을 기초로 NAND형 플래시 EEPROM이 제안되고 있다.

문헌 3(F. Masuoka et al. , 'New ultra high density EPROM and Flash EEPROM with NAND structured cell,' IEDM Technical Digest, pp. 552 - 555 Dec. 1987.)은 NAND형 플래시 EEPROM에 대하여 개시한다.

NAND형 EEPROM의 메모리 셀 어레이부는 도 70 및 도 71에 도시한 바와 같이, 복수개(예를 들면, 16개)의 메모리 셀을 직렬 접속하여 NAND열(series)로 하고, 그 양끝에 1개씩 셀렉트 트랜지스터를 접속한 NAND 유닛으로 구성된다.

NAND형 EEPROM에서는 1개의 메모리 셀은 아니고, 1개의 NAND 유닛에 대하여 비트선 컨택트부 및 소스선을 설치하면 좋고 또한 NAND열(series)을 구성하는 복수의 메모리 셀은 서로 인접하는 메모리 셀끼리로 1개의 확산층을 공유하기 때문에, 1 비트당 메모리 셀 사이즈를 대폭 삭감할 수 있으며 큰 메모리 용량의 메모리 칩을 실현할 수 있다.

도 72는 NOR형 플래시 EEPROM을 나타내고 있다. NOR형 플래시 EEPROM에서는 비트선과 소스선 간에 1비트(1개)의 메모리 셀이 배치된다.

전술한 NAND형 플래시 EEPROM은 비용면에서 보면, NOR형 플래시 EEPROM에 비하여 셀 사이즈를 작게 할 수 있기 때문에, 비트 단위의 비용이 낮다는 대메모리 용량의 파일 메모리에 알맞는 특징을 갖는다. 또한, 기능면에서 보면 NAND형 플래시 EEPROM은 NOR형 플래시 EEPROM에 비하여, 데이타를 변경하는 스피드가 빠른 저소비 전력이라는 특징을 갖는다.

NAND형 플래시 EEPROM의 기능면의 특징은 데이타를 변경하는 방식(scheme)에 있다. 즉, NAND형 플래시 EEPROM의 경우, 프로그램 및 소거는 실리콘 기판(채널)과 플로우팅 게이트 간의 전하의 교환으로 달성한다.

또한, 전하의 교환에는 FN 터널 현상을 이용하고 있다. 즉, 프로그램에 필요한 전류는 실리콘 기판(채널)으로부터 플로우팅 게이트로 흐르는 FN 터널 전류이며, 프로그램에 열 전자를 이용하는 NOR형 플래시 EEPROM과 비교하여 NAND형 플래시 EEPROM의 소비 전류는 매우 작아진다.

64메가 비트 NAND형 플래시 EEPROM의 경우, 1페이지(512바이트) 단위에서의 프로그램을 200[μs]으로 행하는 것이 가능하다. 이 프로그램 시간은 NOR형 플래시 EEPROM에서의 1블럭 단위에서의 프로그램 시간보다도 짧다.

표 2는 NAND형 플래시 EEPTOM의 특징과 NOR형 플래시 EEPROM의 특징을 비교하여 나타낸 것이다.

표 2에 도시한 바와 같이, 양 메모리의 장점과 단점은 서로 상보 관계에 있다.

용도에 관하여, NAND형 플래시 EEPROM은 블럭 단위로 데이타의 변경을 행하는 것을 조건으로 사용된다. 예를 들면, 30만 화소를 갖는 디지탈 카메라로는 1쇼트의 사진에 약 0.5 메가비트의 메모리 용량이 필요하기 때문에, NAND형 플래시 EEPROM의 1개의 블럭을 약 0.5 메가비트 이상의 메모리 용량이라고 하면, 1쇼트의 사진의 데이타를 1개의 블럭으로 기억할 수 있다. 이 경우, 데이타의 소거는 블럭마다 행해진다. 즉, 1개의 블럭 내의 메모리 셀의 데이타를 소거함

으로써 1쇼트의 사진의 데이타가 소거된다.

한편, NOR형 플래시 EEPROM은 100[ns]이 고속인 랜덤 억세스가 가능하기 때문에, 휴대 전화 등의 제어 프로그램용 메모리로서 널리 이용되고 있다.

이와 같이, 불휘발성 반도체 메모리의 분야에서는 EEPROM(종래형), 플래시 EEPROM, NAND형 플래시 EEPROM으로 진화하고, 바이트 단위로 데이타를 변경하는 기능과 교환으로 메모리 셀 사이즈의 축소화 즉, 1 비트당 비용(비트 비용)의 저감을 달성해왔다.

그러나, 예를 들면 최근, 주목받고 있는 불휘발성 메모리 혼재 LSI(nonvolatile memory embedded LSI)에서는 바이트 단위로 데이타를 변경하는 기능이 요구되고 있다. 예를 들면, 화폐의 수입, 지출 등의 관리를 행하는 시스템에 사용하는 IC 카드에서 IC 카드 내의 메모리에 플래시 EEPROM을 사용하면, 데이타의 일부를 변경하는 경우라도 블럭 단위로 데이타를 소거해야만 한다. 이 때문에, 바이트 단위로 데이타를 변경하는 기능은 이러한 시스템에 필요 불가결로 되어있다.

따라서, 이러한 사태에 대응하기 위해서 바이트 단위로 데이타의 변경이 가능한 바이트형 EEPROM이 필요해진다. 그런데, 바이트형 EEPROM은 상술한 바와 같이, 1비트당 소자수가 많고 메모리 용량의 증대나 비트 비용의 저감으로는 불리하다.

현재, 불휘발성 반도체 메모리의 주류는 플래시 EEPROM(NOR형, NAND형등)이기 때문에, 플래시 EEPROM과 동일한 프로세스 및 데이타 변경 방식(scheme for changing data)을 갖는 바이트형 EEPROM을 개발하면 시장의 요구에 따른 EEPROM를 낮은 비용으로 생산할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 사정을 고려하여 이루어진 것으로, 그 목적은 플래시 EEPROM과 동일한 프로세스로 형성할 수 있으며, 또한 플래시 EEPROM과 동일한 데이타 변경 방식(scheme for changing data)을 가지며, 또한 바이트 단위로 데이타를 변경하는 기능을 갖는 신규인 불휘발성 반도체 메모리를 제공하는 것이다.

본 발명의 불휘발성 반도체 메모리는 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 메모리 셀 유닛을 갖는 메모리 셀 어레이와, 상기2개의 셀렉트 트랜지스터의 한쪽에 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프를 구비하고, 상기 메모리 셀은 플로우팅 게이트와 컨트롤 게이트를 갖는 스택 게이트 구조를 갖는다.

본 발명의 불휘발성 반도체 메모리는 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 제1 메모리 셀 유닛 및 복수개의 메모리 셀로 구성되는 제2 메모리 셀 유닛을 갖는 메모리 셀 어레이와, 상기 제1 및 제2 메모리 셀 유닛에 공통으로 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프를 구비하고, 상기 메모리 셀은 플로우팅 게이트와 컨트롤 게이트를 갖는 스택 게이트 구조를 갖는다.

상기 제2 메모리 셀 유닛은 상기 복수개의 메모리 셀이 직렬 접속된 NAND유닛 또는 상기 복수개의 메모리 셀이 병렬 접속된 AND 유닛 혹은 DINOR 유닛이다.

상기 2개의 셀렉트 트랜지스터는 상기 메모리 셀과 동일한 구조를 갖고 있다. 즉, 상기 2개의 셀렉트 트랜지스터는 스택 게이트 구조를 갖고 있다. 그러나, 실제로 게이트 전극으로서 기능하는 것은 스택 게이트 구조를 구성하는 상층 및 하층 중 예를 들면 하층만이다.

또한, 본 발명의 불휘발성 반도체 메모리는 선택된 컨트롤 게이트선에 접속되는 1 페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대하여 데이타의 변경을 행하는 경우에, 상기 1페이지분의 메모리 셀의 데이타를 상기 센스 앰프로 리드하고 상기 센스 앰프에서 상기 1페이지분의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대하여 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀에 프로그램하는 수단을 구비한다.

상기 선택된 메모리 셀에 대응하는 데이타는 페이지 데이타 또는 바이트 데이타이다.

본 발명의 불휘발성 반도체 메모리는 메모리 셀을 포함하는 메모리 셀 유닛으로 구성되는 메모리 셀 어레이와, 상기 메모리 셀 유닛에 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프와, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대하여 데이타의 변경을 행하는 경우에, 상기 1페이지분의 메모리 셀 s의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에서 상기 1페이지분의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대하여 데이타의 덧씌우기를 행하고, 상기 1 페이지분의 메모리 셀의 데이타를 소거하고 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀에 프로그램하는 수단을 구비한다.

본 발명의 불휘발성 반도체 메모리는 FN 터널 전류에 의해 데이타의 프로그램을 행하는 메모리 셀을 갖는 메모리 셀 어레이와, 상기 메모리 셀에 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프와, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀에 대하여 동시에 데이타 프로그램을 행하는 경우에, 상기 1페이지분의 메모리 셀이 형성되는 웰을 제1 전위, 상기 1 페이지분의 메모리 셀의 컨트롤 게이트에 제2 전위, 상기 1페이지분의 메모리 셀 중 프로그램을 실행하는 메모리 셀에 접속되는 비트선에 상기 제1 전위, 상기 1페이지분의 메모리 셀 중 프로그램을 실행하지 않은 메모리 셀에 접속되는 비트선에 상기 제1 및 제2 전위의 중간 전위를 인가하는 수단을 구비한다.

본 발명의 불휘발성 반도체 메모리는 매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이와, 상기 메모리 셀 어레이 상으로 로우 방향으로 연장되는 메인 컨트롤 게이트선과, 상기 메인 컨트롤 게이트선의 한단에 배치되는 메인 컨트롤 게이트 드라이버와, 상기 로우 방향으로 배치되는 메모리 셀 유닛내의 1 페이지분의 메모리 셀 중 복수의 메모리 셀에 접속되는 서브 컨트롤 게이트선과, 상기 메인 컨트롤 게이트선과 상기 서브 컨트롤 게이트선 간에 배치되는 서브 컨트롤 게이트 드라이버를 구비한다.

상기 복수의 메모리 셀 유닛의 각각은 1개의 메모리 셀과 이 메모리 셀의 양단에 1개씩 접속되는 2개의 셀렉트 트랜지스터로 구성된다.

본 발명의 불휘발성 반도체 메모리는 또한 상기 로우 방향으로 배치되는 메모리 셀 유닛 내의 2개의 셀렉트 트랜지스터의 게이트에 접속되는 2개의 셀렉트 게이트선과, 상기 2개의 셀렉트 게이트선의 한단으로 상기 컨트롤 게이트 드라이버에 근접하여 배치되는 셀렉트 게이트 드라이버를 구비한다.

본 발명의 불휘발성 반도체 메모리는 또한 어드레스 신호를 디코드하고, 제어신호를 출력하는 서브 디코더를 구비하고, 상기 서브 컨트롤 게이트 드라이버는 상기 메인 컨트롤 게이트선과 상기 서브 컨트롤 게이트선 간에 접속되며, 게이트에 상기 제어 신호가 입력되는 MOS 트랜지스터로 구성된다.

본 발명의 불휘발성 반도체 메모리는 또한 어드레스 신호를 디코드하고, 상기 서브 컨트롤 게이트선에 소정의 전위를 부여하는 서브 디코더를 구비하고, 상기 서브 컨트롤 게이트 드라이버는 상기 서브 컨트롤 게이트선과 상기 서브 디코더 간에 접속되며, 게이트에 상기 메인 컨트롤 게이트선의 전위가 입력되는 MOS 트랜지스터로 구성된다.

본 발명의 불휘발성 반도체 메모리는 또한 상기 로우 방향으로 배치되는 메모리 셀 유닛 내의 1페이지분의 메모리 셀 중 임의의 메모리 셀에 대하여 데이타의 변경을 행하는 경우에, 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀의 데이타를 래치 기능을 갖는 센스 앰프로 리드하고, 상기 센스 앰프에서 상기 복수의 메모리 셀의 데이타 중 소정의 데이타에 대하여 데이타의 덧씌우기를 행하고, 상기서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀에 프로그램하는 수단을 구비한다.

본 발명의 불휘발성 반도체 메모리는 또한 상기 로우 방향으로 배치되는 메모리 셀 유닛 내의 1페이지분의 메모리 셀 중 임의의 메모리 셀에 대하여 데이타의 변경을 행하는 경우에, 상기 메인 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀의 데이타를 래치 기능을 갖는 센스 앰프로 리드하고, 상기 센스 앰프에서 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀의 데이타 내 소정의 데이타에 대하여 데이타의 덧씌우기를 행하고, 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타 중 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀에 대응하는 데이타를 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀에 프로그램하는 수단을 구비한다.

상기 서브 컨트롤 게이트선에는 n(n은 자연수) 바이트의 메모리 셀이 접속되며 상기 재기록을 행하는 데이타는 바이트 단위의 데이타이다.

상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀을 블럭으로 정의한 경우에, 상기 메인 컨트롤 게이트선에 복수의 블럭을 접속하고, 데이타의 리드, 소거또는 프로그램 동작을 n(n은 자연수) 블럭마다 행한다.

본 발명의 불휘발성 반도체 메모리는 매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이와, 상기 메모리 셀 어레이 상에서 로우 방향으로 연장되는 제1 및 제2 메인 컨트롤 게이트선과, 상기 제1 메인 컨트롤 게이트선의 한단에 접속되는 제1 메인 컨트롤 게이트 드라이버와, 상기 로우 방향으로 배치되는 제1 메모리 셀 유닛 내의 1페이지분의 메모리 셀 중 복수의 메모리 셀에 접속되는 제1 서브 컨트롤 게이트선과, 상기 제1 메인 컨트롤 게이트선과 상기 제1 서브 컨트롤 게이트선 간에 배치되는 제1 서브 컨트롤 게이트 드라이버와, 상기 제1 메모리 셀 유닛 내의 셀렉트 트랜지스터에 접속되는 제1 셀렉트 게이트선과, 상기 제1 셀렉트 게이트선의 한단에 접속되는 제1 셀렉트 게이트 드라이버와, 상기 제2 메인 컨트롤 게이트선의 한단에 접속되는 제2 메인 컨트롤 게이트 드라이버와, 상기 로우 방향으로 배치되는 제2 메모리 셀 유닛 내의 1페이지분의 메모리 셀 중 복수의 메모리 셀에 접속되는 제2 서브 컨트롤 게이트선과, 상기 제2 메인 컨트롤 게이트선과 상기 제2 서브 컨트롤 게이트선 간에 배치되는 제2 서브 컨트롤 게이트 드라이버와, 상기 제2 메모리 셀 유닛 내의 셀렉트 트랜지스터에 접속되는 제2 셀렉트 게이트선과, 상기 제2 셀렉트 게이트선의 한단에 접속되는 제2 셀렉트 게이트 드라이버를 구비하고, 상기 제1 메인 컨트롤 게이트 드라이버와 상기 제1 셀렉트 게이트 드라이버는 상기 메모리 셀 어레이의 상기 로우 방향의 한단으로 배치되며, 상기 제2 메인 컨트롤 게이트 드라이버와 상기 제2 셀렉트 게이트 드라이버는 상기 메모리 셀 어레이의 상기 로우 방향의 타단에 배치된다.

본 발명의 불휘발성 반도체 메모리는 매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이와, 상기 메모리 셀 어레이 상에서 로우 방향으로 연장되는 제1 및 제2 메인 컨트롤 게이트선과, 상기 로우 방향으로 배치되는 제1 메모리 셀 유닛 내의 1페이지분의 메모리 셀 중 복수의 메모리 셀에 접속되는 제1 서브 컨트롤 게이트선과, 상기 제1 메인 컨트롤 게이트선과 상기 제1 서브 컨트롤 게이트선 간에 배치되는 제1 서브 컨트롤 게이트 드라이버와, 상기 제1 메모리 셀 유닛 내의 셀렉트 트랜지스터에 접속되는 제1 셀렉트 게이트선과, 상기 제1 셀렉트 게이트선의 한단에 접속되는 제1 셀렉트 게이트 드라이버와, 상기 제1 및 제2 메인 컨트롤 게이트선의 한단에 접속되는 메인 컨트롤 게이트 드라이버와, 상기 로우 방향으로 배치되는 제2 메모리 셀 유닛 내의 1 페이지분의 메모리 셀 중 복수의 메모리 셀에 접속되는 제2 서브 컨트롤 게이트선과, 상기 제2 메인 컨트롤 게이트선과 상기 제2 서브 컨트롤 게이트선 간에 배

치되는 제2 서브 컨트롤 게이트 드라이버와, 상기 제2 메모리 셀 유닛 내의 셀렉트 트랜지스터에 접속되는 제2 셀렉트 게이트선과, 상기 제2 셀렉트 게이트선의 한단에 접속되는 제2 셀렉트 게이트 드라이버를 구비하고, 상기 메인 컨트롤 게이트 드라이버와 상기 제1 및 제2 셀렉트 게이트 드라이버는 모두 상기 메모리 셀 어레이의 상기 로우 방향의 한단에 배치된다.

상기 제1 메모리 셀 유닛과 상기 제2 메모리 셀 유닛은 예를 들면 컬럼 방향에서 서로 인접하고 있다.

본 발명의 불휘발성 반도체 메모리는 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 제1 및 제2 메모리 셀 유닛을 갖는 메모리 셀 어레이와, 상기 제1 메모리 셀 유닛 내의 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 제1 비트선과, 상기 제2 메모리 셀 유닛 내의 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 제2 비트선과, 상기 제1 및 제2 비트선에 접속되는 래치 기능을 갖는 센스 앰프를 구비한다.

본 발명의 불휘발성 반도체 메모리는 복수개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 메모리 셀 유닛을 갖는 메모리 셀 어레이와, 상기 2개의 셀렉트 트랜지스터 한쪽에 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프와, 프로그램 동작 시에 선택된 컨트롤 게이트선에 전원 전위보다도 높은 프로그램용 고전위를 인가하고, 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 리드 동작 시에 비선택의 컨트롤 게이트선에 부여하는 리드 전위를 인가하는 수단을 구비한다.

상기 메모리 셀 유닛은 예를 들면, 2개의 메모리 셀을 포함하고 있다. 상기 복수개의 메모리 셀은 각각 플로우팅 게이트와 컨트롤 게이트를 갖는 스택 게이트 구조를 갖는다.

상기 2개의 셀렉트 트랜지스터는 각각 상기 복수개의 메모리 셀과 동일한 구조를 갖고 있다.

본 발명의 불휘발성 반도체 메모리는 복수개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 제1 메모리 셀 유닛 및 복수개의 메모리 셀로 구성되는 제2 메모리 셀 유닛을 갖는 메모리 셀 어레이와, 상기 제1 및 제2 메모리 셀 유닛에 공통으로 접속되는 비트선과, 상기 비트선에 접속되는 래치 기능을 갖는 센스 앰프와, 프로그램 동작 시에 상기 제1 메모리 셀 유닛을 포함하는 블럭이 선택된 경우에, 선택된 컨트롤 게이트선에 전원 전위보다도 높은 프로그램용의 고전위를 인가하고, 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 리드 동작 시에 비선택의 컨트롤 게이트선에 부여하는 리드 전위를 인가하는 수단을 구비한다.

본 발명의 불휘발성 반도체 메모리는 또한 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 중 임의의 메모리 셀에 대하여 데이타의 변경을 행하는 경우에, 상기 1페이지분의 메모리 셀의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에서 상기 1 페이지분의 데이타 중 소정의 데이타에 대하여 데이타의 덧씌우기를 행하고, 상기 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀에 프로그램하는 수단을 구비한다.

상기 수단은 상기 프로그램 동작 시에 상기 선택된 컨트롤 게이트선과 상기비선택의 컨트롤 게이트선에 상기 전원 전위 또는 상기 리드 전위를 부여한 후에, 상기 선택된 컨트롤 게이트선의 전위만을 상기 프로그램용 고전위로 상승시킨다.

발명의 구성 및 작용

이하, 도면을 참조하면서 본 발명의 불휘발성 반도체 메모리에 대하여 상세하게 설명한다.

도 1a 및 도 1b는 본 발명의 바이트형 EEPROM의 메모리 셀을 나타내고 있다. 도 2는 도 1a 및 도 1b의 메모리 셀의 등가 회로를 나타내고 있다. 도 3은 메모리 셀 어레이의 전체의 회로 구성을 나타내고 있다.

메모리 셀 MC는 컨트롤 게이트와 플로우팅 게이트를 가지며, 플래시 EEPROM의 메모리 셀과 동일한 구조로 되어 있다. 메모리 셀 MC의 양단에는 각각 1개씩 셀렉트 트랜지스터 ST1, ST2가 접속되어 있다. 셀렉트 트랜지스터 ST1은 비트선 컨택트부 BC를 경유하여 비트선에 접속되며, 셀렉트 트랜지스터 ST2는 소스선 SL에 접속된다.

메모리 셀 MC 및 셀렉트 트랜지스터 ST1, ST2에 의해 1개의 메모리 셀 유닛이 구성되며, 메모리 셀 어레이는 복수의 메모리 셀 유닛이 어레이형으로 배치됨으로써 실현된다.

로우 방향으로 배치되는 복수의 메모리 셀 유닛에 의해 1개의 블럭이 구성된다. 1개의 블럭 내에는 로우 방향으로 연장되는 1개의 컨트롤 게이트선 CGL이 배치된다. 1개의 컨트롤 게이트선 CGL에 접속되는 메모리 셀을 통합하여 1페이지라고 부른다.

소거 동작은 1페이지마다 행할 수 있다. 메모리 셀에 대한 프로그램 및 리드의 각 동작도 컬럼마다 래치 기능을 갖는 센스 앰프를 설치함으로써, 1 페이지 동시에 행할 수 있다. 단지, 데이타의 입출력은 예를 들면 비트마다 직렬로 행해진다.

또한, 이러한 구성에 의해 바이트 단위의 데이타 재기록 동작(data change operation for bite data)이 가능해진다.

본 발명의 바이트형 EEPROM은 구조면에서 보면, NAND형 플래시 EEPROM에서 1개의 NAND 유닛 내의 메모리 셀을 1개로 한 것으로 생각할 수 있다. 단지, 본 발명의 바이트형 EEPROM은 기능면에서 보면 NAND형 플래시 EEPROM과는 크게 다르다. 이에 대해서는 동작의 설명으로 상술한다.

본 발명의 바이트형 EEPROM의 구조면에서의 장점에 대하여 설명한다.

본 발명의 바이트형 EEPROM의 메모리 셀부는 NAND형 플래시 EEPROM의 메모리 셀부와 비교하면, 1개의 유닛을 구성하는 메모리 셀의 수가 다른 것뿐이다. 따라서, 본 발명의 바이트형 EEPROM에서는 NAND형 플래시 EEPROM의 프로세스를 그대로 채용할 수 있기 때문에, 바이트 단위의 소거가 가능함에도 불구하고, 메모리 용량을 증대할 수 있으며 또한 생산 비용도 저감할 수 있다.

예를 들면, 디자인 룰을 0.4[㎛]로 한 경우, 1개의 메모리 셀의 면적(짧은 변 길이 a×긴변 길이 b)은 짧은 변 길이 a가 1.2[㎛], 긴변 길이 b가 3.2[㎛]이기 때문에, 3.84[μm^2]가 된다. 한편, 도 65 및 도 66에 도시한 바와 같은 종래의 바이트형 EEPROM에서는 디자인 룰을 0.4[㎛]로 한 경우, 1개의 메모리 셀의 면적은 36[μm^2]가 된다.

즉, 메모리 셀 어레이부에 관해서는 단순하게 계산하여도 본 발명의 바이트형 EEPROM은 종래의 바이트형 EEPROM에 비교하여, 약 10배의 메모리 용량이 실현된다.

또한, 본 발명의 바이트형 EEPROM은 NAND형 플래시 EEPROM과 동일한 프로세스로 제조 가능하기 때문에, 논리 혼재 불휘발성 메모리로의 응용도 용이하다.

또한, 본 발명의 바이트형 EEPROM의 메모리 셀은 NAND형 플래시 EEPROM의 메모리 셀과 동일한 구조이기 때문에, 1개의 메모리 셀에 대해서 보면, 플래시 EEPROM의 데이타 변경 방식(data change scheme) 즉, FN 터널 현상을 이용한 데이타 변경 방식을 그대로 채용할 수 있다.

단지, 메모리 셀 어레이 전체로서 본 경우에는 본 발명의 바이트형 EEPROM은 바이트 단위의 데이타 재기록 동작(data change operation for bite data), 즉, 바이트 소거(bite erase)가 행해지는 점에서 NAND형 플래시 EEPROM과 다르다.

이하, 본 발명의 바이트형 EEPROM의 소거 동작, 프로그램 동작 및 동작에 대하여 순차 설명한다.

소거 동작 시, 선택(selected) 블럭의 컨트롤 게이트(워드선) CGL에는 접지 전위가 인가되며, 비선택(unselected) 블럭의 컨트롤 게이트 CGL은 플로우팅 상태로 설정된다.

이 후, 예를 들면 21[V], 3[㎳]의 소거 펄스가 벌크에 인가된다. 여기서, 벌크란 실리콘 기판에 형성되는 웰이며, 메모리 셀 MC 및 셀렉트 트랜지스터 SL1, SL2는 전부, 이 웰 중에 형성된다.

소거 펄스가 벌크에 인가되면, 선택(selected) 블럭의 메모리 셀 MC에서는 벌크와 컨트롤 게이트 간에 소거 전압(21[V])이 더해지며, 플로우팅 게이트 중의 전자가 FN(Fowler-Nordheim) 터널 현상에 의해 웰로 이동된다. 그 결과, 메모리 셀의 임계치 전압은 -3[V] 정도가 된다.

본 발명의 바이트형 EEPROM에서는 소거 동작에서 메모리 셀의 임계치 전압의 절대치가 극단으로 커지는 오버 소거를 문제로 하지 않아도 좋다. 따라서, 1개의 소거 펄스로 임계치 전압이 -3[V] 정도가 되는 것과 같은 조건으로 소거 동작을 행하고, 소거 시간(임계치 전압이 소정치 미만이 되었는지를 확인하는 검증을 행하는 경우는 이에 요하는 시간도 포함한다)을 짧게 할 수 있다.

본 발명의 바이트형 EEPROM이 오버 소거를 문제로 하지 않은 이유는, 1개의 메모리 셀 MC의 양단에 셀렉트 트랜지스터 ST1, ST2가 접속되어 있기 때문이다. 즉, 데이타 리드 시에는 비선택(unselected) 메모리 셀을 항상 오프 상태로 하고, 선택(selected) 메모리 셀을 데이타에 따라서 온 또는 오프 상태로 할 필요가 있지만, 오버 소거는 이 비선택(unselected) 메모리 셀을 온 상태로 하게 된다. 셀렉트 트랜지스터 ST1, ST2를 설치해두면 비선택(unselected) 메모리 셀이 온 상태로 되어도, 비선택(unselected) 메모리 셀의 데이타가 비트선에 유도되는 일은 없기 때문에 메모리의 동작에 관하여 문제점은 없다.

소거 동작 시, 비선택(unselected) 블럭의 컨트롤 게이트 CGL은 플로우팅 상태로 설정되어 있다. 따라서, 비선택(unselected) 블럭의 메모리 셀 MC에서는 벌크(웰)의 전위가 상승하여도, 컨트롤 게이트 CGL과 벌크의 용량 커플링에 의해 컨트롤 게이트 CGL의 전위도 상승하기 때문에 데이타의 소거는 행해지지 않는다.

컨트롤 게이트 CGL은 폴리 실리콘, 폴리 실리콘과 금속 실리사이드의 적층 등으로 구성된다. 또한, 컨트롤 게이트 CGL은 금속 배선을 경유하여 워드선 드라이브용 MOS 트랜지스터의 소스에 접속된다. 따라서, 컨트롤 게이트에는 워드선 드라이브용 트랜지스터의 소스의 접합 용량, 소스와 게이트의 오버랩 용량, 컨트롤 게이트와 금속 배선 간의 용량, 컨트롤 게이트와 벌크(웰)간의 용량 등이 접속된다.

이들의 용량 중에서도 컨트롤 게이트와 벌크(웰) 간의 용량은 특히 크다. 즉, 컨트롤 게이트와 벌크 간의 커플링비는 약 0.9로 매우 커지기 때문에, 비선택(unselected) 블럭의 메모리 셀 MC에서는 컨트롤 게이트 CGL과 벌크의 용량 커플링에 의해 FN 터널 전류가 흐르는 것을 막을 수 있다.

소거 검증으로는 예를 들면, 선택(selected) 블럭 내의 모든 메모리 셀의 임계치 전압이 -1[V] 이하가 되었는지의 여부를 검증한다. 본 발명에서는 상술된 바와 같이, 오버 소거가 문제가 되지 않기 때문에, 오버 소거의 검증은 필요가 없다. 또한, -3[V] 정도까지 확실하게 임계치 전압을 내릴 수 있는 조건으로 소거를 행하고, 검증을 생략할 수도 있다.

'0' 프로그래밍 동작 시, 선택(selected) 블럭의 비트선측의 셀렉트 트랜지스터 ST1을 온 상태로 하고, 소스선측의 셀렉트 트랜지스터 ST2를 오프 상태로 하고, 프로그램 실행('0' 프로그래밍)의 메모리 셀에 대해서는 비트선 BLi를 0[V]로 하고, 프로그램 금지('1' 프로그래밍)의 메모리 셀에 대해서는 비트선 BLi를 전원 전위 VCC(예를 들면, 3.3[V])로 한다.

프로그램 실행의 메모리 셀의 채널에는 비트선 BLi로부터 셀렉트 트랜지스터 ST1을 경유하여 전위 0[V]이 인가된다. 따라서, 프로그램 실행의 메모리 셀의 채널 전위는 접지 전위가 된다.

그리고, 선택(selected) 워드선(컨트롤 게이트)에 프로그램 전위가 인가되면, 선택(selected) 워드선에 접속되는 선택(selected) 메모리 셀 중 프로그램 실행의 메모리 셀의 플로우팅 게이트와 채널 간에는 큰 전위차가 생긴다. 따라서, 프로그램 실행의 메모리 셀로는 FN 터널 현상에 의해, 전자가 채널로부터 플로우팅 게이트로 이동한다.

한편, 프로그램 금지(inhibit)의 메모리 셀에서는 채널은 전원 전위 VCC에 충전되며 또한 플로우팅 상태로 설정되어 있다. 그리고, 선택(selected) 워드선(컨트롤 게이트)에 프로그램 전위가 인가되면, 컨트롤 게이트, 플로우팅 게이트, 채널, 벌크(웰)의 직렬 용량 결합에 의해, 채널 전위도 자동적으로 부트된다.

따라서, 선택(selected) 워드선에 접속되는 프로그램 금지의 메모리 셀의 플로우팅 게이트와 채널 간에는 큰 전위차가 생기는 일은 없고, 채널로부터 플로우팅 게이트로 전자가 이동하는 일도 없다.

이와 같이, 프로그램 금지(inhibit)의 메모리 셀에 대해서는 컨트롤 게이트와 채널 간의 커플링비를 크게하고 또한 채널의 충전을 충분하게 행해둠으로서, 선택(selected) 워드선에 프로그램 전위가 인가될 때의 채널 전위(프로그램 금지 전위)를 충분하게 높게 할 수 있다.

컨트롤 게이트와 채널 간의 커플링비 B는 이하의 식에 의해 산출된다.

$$B=Cox/(Cox+Cj)$$

여기서, Cox는 컨트롤 게이트와 채널 간의 게이트 용량의 총합, Cj는 메모리 셀의 소스와 드레인의 접합 용량의 총합이다.

메모리 셀의 채널 용량은 이들 게이트 용량의 총합 Cox와 접합 용량의 총합Cj의 합계가 된다.

또, 셀렉트 트랜지스터의 게이트와 소스의 오버 랩 용량, 비트선과 소스 · 드레인 간의 용량 등은 채널 용량에 비교하면, 매우 작기 때문에 여기서는 무시하고 있다.

리드 동작 시, 비트선을 프리차지 전위로 충전한 후, 도 4 및 도 5에 도시한 바와 같이, 선택(selected) 메모리 셀의 컨트롤 게이트[선택(selected) 워드선]에는 0[V]를 인가하고, 선택(selected) 메모리 셀의 양측의 셀렉트 트랜지스터의 게이트에는 전원 전위 VCC를 인가하고, 비선택(unselected) 메모리 셀의 양측의 셀렉트 트랜지스터의 게이트에는 0[V]를 인가한다. 이 때, 선택(selected) 메모리 셀의 양측의 셀렉트 트랜지스터는 온 상태, 비선택(unselected) 메모리 셀의 양측의 셀렉트 트랜지스터는 오프 상태가 된다.

선택(selected) 메모리 셀 중 데이타 '1'이 프로그램되어 있는 메모리 셀 즉, 소거 상태의 메모리 셀에 대해서는 임계치 전압이 마이너스의 공핍 · 모드로 되어 있기 때문에, 온 상태가 되며 비트선의 전위가 내려간다. 반대로, 데이타 '0'이 프로그램되어 있는 메모리 셀에 대해서는 임계치 전압이 플러스의 인핸스먼트 · 모드로 되어 있기 때문에, 오프 상태가 되며, 비트선의 전위는 프리차지 전위에 유지된다.

이와 같이, 데이타 '0', '1'의 판단은 비트선으로부터 소스선에 셀 전류가 흐르는지의 여부에 따라 행한다. 비트선의 전위의 변화는 센스 앰프에 의해 증폭(검지)된다.

본 발명의 바이트형 EEPROM에 따르면, 메모리 셀 MC는 셀렉트 트랜지스터로 끼워져 있기 때문에 이하의 장점을 갖는다.

첫째로, 리드 전위를 0[V]로 하는 경우, 도 6에 도시한 바와 같이 소거 후 또는 프로그램 후의 임계치 전압 분포는 마이너스(데이타 '1') 또는 플러스(데이타 '0')로 되어 있으면 좋다. 즉, '1'과 '0'을 구별하는 검증 기능을 설치하면 오버 소거나 오버 프로그램을 검지하는 검증 기능을 설치하지 않아도 좋다. 따라서, 종래의 플래시 EEPROM에서 행해지고

있는 것과 같은 복잡한 검증은 필요없게 된다. 또한, 본 발명에서는 오버 소거에 의해 마이너스의 임계치 전압의 절대치가 커지거나 오버 프로그램에 의해 플러스의 임계치 전압의 절대치가 커지는 경우에도 정상적인 리드 동작이 가능하다. 따라서, 게이트 산화막(터널 산화막)에 더해지는 전계를 높게 설정하고 소거 시간 및 프로그램 시간을 짧게 할 수 있다.

제2로, NAND형 플래시 EEPROM과 같이, 소거 및 프로그램은 모두 FN 터널 현상을 이용한 플로우팅 게이트와 채널 간에서의 전하의 교환에 의해 행해진다. 따라서, 데이타 재기록 동작(data change operation)의 소비 전류를 매우 작게 억제할 수 있으며, 결과로서 1회의 데이타 재기록 동작으로 동시에 데이타를 변경할 수 있는 메모리 셀의 수를 증대시킬 수 있다.

제3으로, 본 발명의 바이트형 EEPROM은 NAND형 플래시 EEPROM과는 달리, 셀렉트 트랜지스터 간의 메모리 셀 은 1개만이다. 즉, 셀렉트 트랜지스터 간에 선택(selected) 메모리 셀과 비선택(unselected) 메모리 셀이 혼재하지 않기 때문에, 리드 시에, 비선택(unselected) 메모리 셀을 항상 온 상태로 하여 패스 트랜지스터로서 기능시킬 필요도 없다. 따라서, 오버 프로그램을 방지하기 위한 처치는 불필요하다.

또한, 리드 시에 비선택(unselected) 메모리 셀을 항상 온 상태로 해둘 필요가 없기 때문에, 선택(selected) 메모리 셀의 컨트롤 게이트를 0[V]로서 리드를 행하는 경우에, 비선택(unselected) 메모리 셀의 컨트롤 게이트도 0[V]로 하고, 리드 보유(Read Retention)를 고려하지 않아도 좋다.

즉, 종래의 NAND형 플래시 EEPROM에서는 셀렉트 트랜지스터 간에 복수의 메모리 셀이 직렬 접속되어 있기 때문에, 리드 시, 선택(selected) 메모리 셀의 컨트롤 게이트를 0[V]로 하고, 비선택(unselected) 메모리 셀의 컨트롤 게이트를 Vread(=4.5V)로 하고 있었다. 이것이 리드 보유를 단축하는 원인이 되고 있었다.

본 발명에서는 셀렉트 트랜지스터 간에는 1개의 메모리 셀 만이 접속되기 때문에, 리드 시, 모든 메모리 셀의 컨트롤 게이트를 0[V]로 하고, 메모리 셀의 양끝의 셀렉트 트랜지스터의 온/ 오프에만 의해 메모리 셀의 선택/ 비선택을 결정할 수 있다.

또한, 비트선과 메모리 셀 간에 셀렉트 트랜지스터를 접속하고 있기 때문에, 리드 시에, 비선택(unselected) 메모리 셀을 항상 오프 상태로 해둘 필요도 없다. 따라서, 오버 소거를 방지하기 위한 처치도 불필요하다.

또한, '0' 프로그래밍 시에서 비선택(unselected) 워드선(컨트롤 게이트)에 중간 전위(프로그램 전위의 약 1/2의 전위)를 부여할 필요가 없다. 메모리 셀과 비트선 간에 셀렉트 트랜지스터가 존재함과 함께, 셀렉트 트랜지스터 간의 메모리 셀 도 1개에만이기 때문이다.

또한, 비선택(unselected) 워드선에 중간 전위를 부여하지 않아도, 프로그램 에러를 방지할 수 있기 때문에, 프로그램의 신뢰성이 커진다. 또한, 페이지 단위(또는 비트 단위)의 재기록이 가능해진다. 리드 시에서도 패스 트랜지스터가 없기 때문에, 셀 전류를 크게 할 수 있다. 따라서, 고속인 리드가 가능해지며 리드 시의 데이타 유지 특성이 향상한다.

표 3은 전술한 소거, 프로그램, 리드의 각각의 동작에서의 셀렉트 게이트선 SSL, GSL, 컨트롤 게이트선(워드선) CGL, 비트선 BLi, 셀 소스선 SL, 셀 P웰의 전위를 나타내고 있다.

소거 동작에서는 선택(selected) 블럭의 컨트롤 게이트선 CGL은 0[V]로 설정되며, 비선택(unselected) 블럭의 컨트롤 게이트선 CGL 및 모든 셀렉트 게이트선 SSL, GSL은 플로우팅 상태로 설정된다.

이 상태에서 셀 P 웰에 소거 전위 Vera, 예를 들면, 21[V]가 인가되면, 플로우팅 상태의 모든 셀렉트 게이트선 SSL, GSL의 전위와 비선택(unselected) 블럭의 컨트롤 게이트선 CGL의 전위는 셀 P 웰과의 용량 커플링에 의해서, Vera $\times\beta$ (단지, β는 커플링비)가 된다.

여기서, β를 0.8로 하면 플로우팅 상태의 모든 셀렉트 게이트선 SSL, GSL의 전위와 비선택(unselected) 블럭의 컨트롤 게이트선 CGL의 전위는 16.8[V]로 상승하게 된다.

소거 동작 시, 비트선 BLi 및 셀 소스선 SL에 접속되는 N^+ 확산층과 셀 P 웰로 이루어지는 pn 접합은 순방향으로 바이어스된다. 이 때문에, 비트선 BLi 및 셀 소스선 SL은 Vera-Vb에 충전된다. 또, Vb는 pn 접합의 빌트 인·포텐셜이다.

프로그램 동작에서는 '1' 데이타를 프로그램하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi, 즉, 소거 상태를 유지하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi는 전원 전위(예를 들면, 3.3[V]) VCC로 설정되며 '0' 데이타를 프로그램하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi는 0[V]로 설정된다.

선택(selected) 블럭의 비트선측의 셀렉트 게이트선 SSL은 전원 전위 VCC로 설정되며, 셀 소스선측의 셀렉트 게이트선 GSL은 0[V]로 설정되며 컨트롤 게이트선 CGL은 프로그램 전위(예를 들면, 18[V])Vprog로 설정된다.

비선택(unselected) 블럭의 셀렉트 게이트선 SSL, GSL, 컨트롤 게이트선 CGL 및 셀 P 웰은 0[V]로 설정된다.

셀 소스선은 0[V]로 설정된다. 단지, 선택(selected) 블럭 내의 '1' 데이타를 프로그램하는 메모리 셀의 채널 전위가 컨트롤 게이트선 CGL과의 용량 커플링에 의해 승압되며, 펀치 스루에 의해 셀 소스선의 누설 전류가 문제가 되는 경우에는 셀 소스선의 전위는 전원 전위 VCC로 설정하는 것이 좋다.

리드 동작에서는 선택(selected) 블럭의 셀렉트 게이트선 SSL, GSL은 전원 전위 VCC로 설정되며 컨트롤 게이트선 CGL은 0[V]로 설정된다. 데이타 리드 전에 비트선을 프리차지하는 방식의 경우, 비트선 BLi는 프리차지 전위(예를 들면, 1.2[V]) VBL로 설정된다.

선택(selected) 메모리 셀 중 '1' 데이타가 기억되어 있는 것은 온 상태가 되며 셀 전류가 흐르기 때문에, 비트선 BLi는 0[V]로 방전된다. 한편, 선택(selected) 메모리 셀 중 '0' 데이타가 기억되어 있는 것은 오프 상태가 되며, 셀 전류가 흐르지 않기 때문에, 비트선 BLi는 프리차지 전위 VBL을 유지하게 된다.

리드 동작에서는, 선택(selected) 블럭의 컨트롤 게이트선 CGL에 전원 전위(예를 들면, 3.3V) VCC를 부여하여 리드 동작을 행하고자 하는 경우에는 메모리 셀의 임계치 분포를 도 7에 도시한 바와 같이 설정하면 좋다.

표 4는 도 7의 임계치 분포를 갖는 경우의 소거, 프로그램, 리드 각각의 동작에서의 셀렉트 게이트선 SSL, GSL, 컨트롤 게이트선(워드선) CGL, 비트선 BLi, 셀 소스선 SL, 셀 P웰의 전위를 나타내고 있다.

본 발명에서는 상술한 바와 같이, 메모리 셀의 양 단에 셀렉트 트랜지스터가 설치되기 때문에, 소거 후('1' 데이타)의 메모리 셀의 임계치 분포의 범위가 플러스로부터 마이너스에 걸쳐 있어도 좋다.

도 8은 본 발명의 바이트형 EEPROM의 회로 블럭의 주요부를 나타내고 있다

이 EEPROM은 상술된 바와 같이, 1개의 메모리 셀을 2개의 셀렉트 트랜지스터로 끼운 3소자로 이루어지는 메모리 셀 유닛을 매트릭스형으로 배치한 메모리 셀 어레이(11), 메모리 셀 어레이(11) 상에서 로우 방향으로 복수개 배치된 컨트롤 게이트선(10a) 및 메모리 셀 어레이(11) 상에서 컬럼 방향으로 복수개 배치된 비트선(10b)을 갖고 있다.

로우 디코더(12)는 로우, 즉, 컨트롤 게이트선(10a)의 선택을 행한다. 선택된 컨트롤 게이트선(10a)에 접속되는 메모리 셀의 데이타는, 컬럼마다 설치된 데이타 래치 기능을 갖는 센스 앰프로 이루어지는 센스 앰프(13)에 입력된다. 컬럼 디코더(14)는 컬럼 즉 비트선 BLi의 선택을 행한다.

선택된 컬럼의 센스 앰프의 데이타는 데이타 입출력 버퍼(18)를 경유하여 메모리칩의 외부에 출력된다. 메모리칩의 내부에 입력되는 데이타는 데이타 입출력 버퍼(18)를 경유하여 선택된 컬럼의 래치 기능을 갖는 센스 앰프에 래치된다.

부스터(16)는 프로그램 동작이나 소거 동작에 필요한 고전압을 생성한다. 제어 회로(17)는 메모리 칩의 내부의 각 회로의 동작을 제어함과 함께, 메모리 칩의 내부와 외부의 인터페이스를 취하는 역할을 다한다. 제어 회로(17)은 메모리 셀에 대한 소거, 프로그램, 리드의 각 동작을 제어하는 시퀀스 제어 수단(예를 들면, 프로그래머블 논리 어레이)을 포함하고 있다.

도 9는 도 8의 센스 앰프(13) 중 1개의 비트선 BLi에 접속되는 래치 기능을 갖는 센스 앰프를 나타내고 있다.

센스 앰프는 한쪽의 출력이 다른쪽의 입력이 되는 2개의 CMOS 인버터(I1, I2)로 이루어지는 래치 회로(21)를 주체로 한다. 래치 회로(21)의 래치 노드 Q는 컬럼 선택용 NMOS 트랜지스터 M8을 경유하여 I/O선에 접속된다. 또한, 래치 노드 Q는 센스 앰프 차단용 NMOS 트랜지스터 M4와 비트선 전위 클램프용 NMOS 트랜지스터 M1을 경유하여 비트선 BLi에 접속된다.

NMOS 트랜지스터 M1, M4의 접속 노드가 센스 노드 Nsense가 된다. 센스노드 Nsense에는 프리차지용 PMOS 트랜지스터 M2와 방전용 NMOS 트랜지스터 M3이 접속된다. 프리차지용 PMOS 트랜지스터 M2는 프리차지 제어 신호 Load에 기초하여 소정 기간에 센스 노드 Nsense의 충전을 행한다. 디스차지용 NMOS 트랜지스터 M3은 방전 제어 신호 DCB에 기초하여 센스 노드 Nsense의 전하를 방전한다.

래치 회로(21)의 래치 노드 Qb에는 제어 신호 φL1에 기초하여 래치 노드 Qb를 강제적으로 접지하기 위한 리셋트용 NMOS 트랜지스터 M5가 접속된다. 래치 회로(21)의 래치 노드 Q에는 제어 신호 φL2에 기초하여 래치 노드 Q를 강제적으로 접지하기 위한 리셋트용 NMOS 트랜지스터 M6이 접속된다.

리셋트용 NMOS 트랜지스터 M5, M6의 공통 소스는 센스 노드 Nsense의 전위에 의해 제어되는 센스용 NMOS 트랜지스터 M7을 경유하여 접지점에 접속된다. 센스용 NMOS 트랜지스터 M7은 NMOS 트랜지스터 M5, M6과 함께 래치 회로(21)의 리셋트용으로서도 이용된다.

도 10은 본 발명의 바이트형 EEPROM의 바이트 단위의 재기록 동작(data change operation for bite data)의 개략적인 플로우차트를 나타내고 있다.

이 플로우차트에 나타내는 시퀀스 동작은 도 8의 제어 회로(17)에 의해 제어된다. 이하, 이 플로우차트에 따라서 바이트 단위의 데이타 재기록 동작에 대해서 설명한다.

바이트 재기록 모드(bite data change mode)가 되면 우선, 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 1페이지분의 데이타가 센스 앰프에 판독된다(페이지 리드). 그리고, 센스 앰프에는 이 1페이지분의 데이타가 래치된다(스텝 ST1).

다음에, 어드레스로 지정된 컬럼에 대응하는 바이트 데이타가 로드된다. 이 로드된 바이트 데이타는 센스 앰프에 래치되어 있는 1페이지분의 데이타 중 데이타 재기록을 행하는 바이트 데이타에 대하여 덧씌우기된다(스텝 ST2).

다음에, 선택된 컨트롤 게이트선에 접속되는 메모리 셀의 1 페이지분의 데이타가 동시에 소거(페이지 소거)된다(스텝 ST3). 소거 후에는 선택된 컨트롤 게이트선에 접속되는 각 메모리 셀에 대하여, 소거가 완전히 행해졌는지, 소거가 너무 행해지고 있지 않는지를 검증하는 소거 검증이 행해진다(스텝 ST4, 5).

그리고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내가 되기까지 페이지 소거 및 소거 검증이 반복 행해지며, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내(소거 완료)가 될 때는 다음 동작으로 옮긴다(스텝 ST3 5).

또, 래치 기능을 갖는 센스 앰프가 1개의 비트선에 대하여 1개만 존재하는 경우(1페이지분밖에 없는 경우), 소거 검증의 결과에 따라서는 센스 앰프의 데이타가 파괴될 가능성이 있다. 따라서, 이러한 경우에는 소거 검증을 행하지 않고서 소거를 1회로 종료시킨다.

이 후, 선택된 컨트롤 게이트선에 접속되는 메모리 셀에 대하여 센스 앰프에 래치되어 있는 1페이지분의 데이타가 동시에 프로그램된다(스텝 ST6). 프로그램 후에는 선택된 컨트롤 게이트선에 접속되는 각 메모리 셀에 대하여 프로그램이 완전히 행해졌는지, 프로그램이 너무 행해지지 않았는지를 검증하는 프로그램 검증이 된다(스텝 ST7, 8).

그리고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내가 되기까지 페이지 프로그램 및 프로그램 검증이 반복 행해지며, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내(프로그램 완료)가 될 때는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)을 종료시킨다.

또, 높은 프로그램 전위를 이용하여 1회의 프로그램 펄스로 1회의 프로그램을 행하는 경우에는 프로그램 검증을 생략할 수도 있게 된다.

도 11 내지 도 14는 도 10의 주요 스텝에서의 선택(selected) 메모리 셀의 데이타와 센스 앰프의 노드 Qb(도 9)의 상태를 나타내고 있다.

도 11은 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 1 페이지분의 데이타가 센스 앰프로 리드된 상태를 나타내고 있다(스텝 ST1에 대응).

메모리 셀의 데이타가 '0'(임계치 전압이 플러스)인 경우, 비트선 BLi의 전하는 방전되지 않으며 프리차지 전위를 유지한다. 따라서, 도 9의 센스 노드 Nsense는 전원 전위 VCC가 된다. 제어 신호 φL2를 전원 전위 VCC로 하면 노드 Q는 접지 전위 VSS 즉, '0'이 된다.

반대로, 메모리 셀의 데이타가 '1'(임계치 전압이 마이너스)인 경우, 비트선 BLi의 전하는 방전된다. 따라서, 도 9의 센스 노드 Nsense는 접지 전위 VSS가 된다. 제어 신호 φL2를 전원 전위 VCC로 하면, 노드 Q는 전원 전위 VCC 즉, '1'이 된다.

도 12는 센스 앰프에 래치된 1페이지분의 데이타 중 어드레스로 지정된 바이트 데이타(8비트 데이타)에 대하여, 데이타의 덧씌우기가 행해진 상태를 나타내고 있다(스텝 ST2에 대응).

도 13은 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 데이타를 소거(페이지 소거)한 상태를 나타내고 있다(스텝 ST3에 대응). 페이지 소거에 의해 선택된 컨트롤 게이트선에 접속되는 메모리 셀의 데이타는 전부 '1'이 된다.

도 14는 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀에 대하여 센스 앰프에 래치된 1페이지분의 데이타를 프로그램(페이지 프로그램)한 상태를 나타내고 있다(스텝 ST6에 대응).

이와 같이, 메모리 셀 어레이(11)에 대해서는 동작 상은 페이지 단위의 데이타 재기록 동작(data change operation for page data)으로 되어 있지만, 실제는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)이 행해지고 있다.

다음에, 도 15 및 도 16의 타이밍 차트를 참조하면서, 페이지 프로그램, 프로그램 검증을 위한 리드 동작을, 도 9의 센스 앰프의 동작을 중심으로 하여 상세하게 설명한다.

또, 도 15 및 도 16은 1개의 타이밍 차트를 2개로 분할한 각각의 부분을 나타내는 것이며, 도 15의 t5와 도 16의 t5는 동일한 시각을 나타내고 있다. 즉, 도 15의 후반부의 파형과 도 16의 전반부의 파형이 일부 중복되어 있다.

칩 외부로부터 칩 내부에 프로그램을 지시하는 커맨드가 입력되면, 프로그램 동작이 개시된다.

우선, 센스 노드 Nsense를 리셋트하기 위해서, 제어 신호 DCB를 전원 전위 VCC로 한다. 이 때, MOS 트랜지스터 M3이 온하여 센스 노드 Nsense가 접지된다 (t1).

또한, 제어 신호 DCB와 함께 제어 신호 BLSHF도 전원 전위 VCC로 하면, MOS 트랜지스터 M1이 온하여, 비트선 BLi가 접지된다.

프로그램 데이타를 센스 앰프에 로드하기 전에, 데이타 래치 제어 신호 φL1을 전원 전위 VCC, 프리차지 제어 신호 Load를 접지 전위 VSS로 한다. 이 때, MOS 트랜지스터 M5, M7이 온하여, 래치 회로(21)의 래치 노드 Qb가 강제 접지되며 데이타가 리셋트된다. 즉, 센스 앰프(20)의 모든 센스 앰프에서 래치 회로(21)의 래치 노드 Q가 전원 전위 VCC, 래치 노드 Qb가 접지 전위 VSS가 된다(t2).

다음에, I/O선으로부터 프로그램 데이타가 로드되며 센스 앰프(20)의 각 래치 회로(21)에 데이타가 래치되며 노드 Q, Qb는 로드 데이타에 따라서 'H', 'L'로 설정된다(t3).

구체적으로는 '0' 프로그래밍을 행하는 메모리 셀에 대응하는 센스 앰프의 래치 회로(21)에서는 래치 노드 Q에 'L'(=VSS)이 부여되며, '1' 프로그래밍(프로그램 금지)의 메모리 셀에 대응하는 센스 앰프의 래치 회로(21)에서는 래치 노드 Q에 'H'(=VCC)가 부여된다.

다음에, 제어 신호 BLSHF, SBL이 'H'가 되어 센스 앰프(20)의 각 래치 회로(21)에 래치된 데이타에 기초하여 각 비트선의 충전이 개시된다(t4).

즉, '0' 프로그래밍을 행하는 메모리 셀에 접속되는 비트선 BLi는 접지 전위 VSS로 설정되며, '1' 프로그래밍(프로그램 금지)의 메모리 셀에 접속되는 비트선은 전원 전위 VCC로 충전된다. 선택된 컨트롤 게이트선(워드선)은 프로그램 전압 Vprog(20[V] 정도)로 설정된다.

이 동작에 의해서, 1 페이지분의 메모리 셀로의 프로그램이 행해진다.

데이타 프로그램이 종료한 후, 데이타 프로그램이 정확하게 완료하고 있는지의 여부를 검증하는 프로그램 검증이 개시된다.

우선, 프로그램 검증을 위한 리드가 행해진다. 이 검증 리드 동작은 통상의 리드 동작과 동일하다.

제어 신호 DCB를 전원 전위 VCC로 설정하면 MOS 트랜지스터 M3이 온하여 센스 노드 Nsense가 강제적으로 접지된다(t5).

계속해서, 선택된 컨트롤 게이트선 CGL에는 참조 전위 Vref(0.5[V] 정도)가 부여되며, 셀렉트 게이트선 SSL, GSL에는 전원 전위 VCC가 부여되면 검증 리드가 행해진다(t6).

리드 시에서는 비트선 프리차지형의 센스 방식, 전류 검지형 센스 방식 등을 이용할 수 있다. 비트선 프리차지형의 센스 방식으로는 비트선 BLi를 프리차지하고 플로우팅 상태로 한 후, 메모리 셀의 데이타에 따라서 비트선의 전위를 유지 또는 저하시킨다. 전류 검지형의 센스 방식에 대해서는 이하에 상술한다.

시각 t6에서, 제어 신호 BLSHF를 승압 전위 VCC+α로부터 전위 VCC-α로 클램프하고, MOS 트랜지스터 M1에 흐르는 메모리 셀 전류와 센스 노드 Nsense를 충전하는 MOS 트랜지스터 M2의 전류와의 밸런스에 의해 리드를 행한다. 그리고, 비트선 BLi의 전위가 예를 들면, 0.9[V]까지 상승하면 MOS 트랜지스터 M1이 차단상태가 되며 센스 노드 Nsense가 전원 전위 VCC가 된다.

센스 노드 Nsense가 'H'(=VCC)가 된 후, 래치 제어 신호 φL1을 전원 전위 VCC로 하고 MOS 트랜지스터 M5를 온시킨다(t7). 센스 노드 Nsense가 전원 전위 VCC의 경우(임계치가 검증 전위 Vref보다도 높은 메모리 셀로 접속되는 센스 앰프의 경우), MOS 트랜지스터 M7이 온하여, 래치 노드 Qb는 접지 전위 VSS, 래치 노드 Q는 전원 전위 VCC가 된다.

래치 노드 Q에 접지 전위 VSS가 로드되며 정상적으로 프로그램이 행해지면 래치 회로(21)의 래치 데이타가 반전한다. 메모리 셀에 대한 프로그램이 불충분한 경우, 검증 리드에서 센스 노드 Nsense는 'L'(=VSS) 그대로이기 때문에, 래치 회로(21)의 데이타 반전은 발생하지 않고 래치 노드 Q는 VSS를 유지한다. 프로그램 금지의 메모리 셀에 연결되는 센스 앰프로는 래치 노드 Q는 전원 전위 VCC이므로 데이타의 반전은 없다.

프로그램 불충분한 메모리 셀이 존재할 때 즉, 래치 회로(21)의 데이타 반전이 생기지 않은 센스 앰프가 있을 때 프로그램과 검증 리드가 반복 행해진다. 그리고, 1페이지분의 모든 센스 앰프의 래치 노드 Q의 전위가 전원 전위 VCC가 되면 프로그램이 종료한다.

다음에, 도 17의 타이밍 차트를 참조하면서 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에 대하여, 도 9의 센스 앰프의 동작을 중심으로 상세하게 설명한다.

칩 외부로부터 칩 내부에 바이트 재기록 모드(bite data change mode)를 지시하는 커맨드가 입력되면, 바이트 단위의 데이타 재기록 동작(data change operation for bite data)이 개시된다.

우선, 선택된 컨트롤 게이트선(워드선)에 접속되는 1 페이지분의 메모리 셀에 대하여 이미 기록되어 있는 데이타의 리드 동작이 개시된다.

우선, 데이타 래치 제어 신호 φL1을 전원 전위 VCC, 프리차지 제어 신호 Load를 접지 전위 VSS로 설정한다. 이 때, MOS 트랜지스터 M5, M7이 온하여 래치 회로(21)의 래치 노드 Qb가 강제 접지되며 데이타가 리셋트된다. 즉, 센스 앰프의 모든 래치 회로(21)의 래치 노드 Q가 전원 전위 VCC, 래치 노드 Qb가 접지 전위 VSS가 된다(t1).

다음에, 제어 신호 DCB를 전원 전위 VCC로 설정한다. 이 때, MOS 트랜지스터 M3이 온이 되며 센스 노드 Nsense가 강제적으로 접지된다(t2). 계속해서, 선택된 컨트롤 게이트선 CGL에 VSS(=0V)를 부여하고, 셀렉트 게이트선 SSL, GSL에 전원 전위 VCC를 부여하면 리드가 행해진다(t3).

센스 노드 Nsense가 'H'(=VCC)가 된 후, 래치 제어 신호 φL2가 전원 전위 VCC가 되며, MOS 트랜지스터 M6이 온한다(t4). 센스 노드 Nsense가 전원 전위 VCC인 경우(즉, 데이타 '0'이 기록되며 임계치 전압이 VSS보다도 높은 메모리 셀에 접속되는 센스 앰프인 경우), MOS 트랜지스터 M7이 온하여 래치 노드 Q는 접지 전위 VSS, 래치 노드 Qb는 전원 전위 VCC가 된다.

다음에, 제어 신호 DCB를 전원 전위 VCC로 설정하고, 제어 신호 BLSHF를 전원 전위 VCC 또는 전위 VCC+α로 설정하여, 비트선 BLi 및 센스 노드 Nsense를 리셋트한다(t5).

이 후, 컬럼 어드레스로 지정된 센스 앰프(20)의 래치 회로(21)에 바이트 데이타가 로드되며 노드 Q, Qb는 바이트 데이타에 따라서 'H', 'L'로 설정된다(t6).

래치 회로(21)에 기록된 페이지 데이타 중 소정의 데이타에 대하여, 칩 외부로부터 입력된 바이트 데이타를 덧씌우기 한다.

이 후, 선택된 컨트롤 게이트선에 접속되는 메모리 셀에 대하여 페이지 소거 동작을 행한다.

선택(selected) 블럭의 컨트롤 게이트선은 접지 전위 VSS로 설정하고 비선택(unselected) 블럭의 컨트롤 게이트선 및 모든 셀렉트 게이트선은 플로우팅 상태로 설정한다. 셀 P웰에 소거 전압 Vera가 인가되면 플로우팅 상태의 셀렉트 게이트선과 비선택(unselected) 블럭의 컨트롤 게이트선은 셀 P 웰과의 용량 커플링에 의해 Vera×β(β는 커플링비)에 부트된다.

또한, 비트선 BLi 및 셀 소스선 SL은 셀 P웰 내의 N^+ 층에 접속된다. 이 N^+ 층과 셀 P웰과의 pn 접합이 순바이어스되면, 비트선 BLi 및 셀 소스선 SL은 각각 Vera-Vb로 충전된다(t7). 단지, Vb는 pn 접합의 빌트인·포텐셜이다.

이 후, 소거 검증을 행하고 선택된 페이지의 메모리 셀이 모두 소거 상태, 즉, 메모리 셀의 임계치 전압이 마이너스가 된 것을 확인한다. 래치 회로(21)에 대비된 데이타에 기초하여, 선택된 페이지의 메모리 셀에 대하여 프로그램 동작 및 프로그램 검증 동작을 행한다.

또, 도 17에서는 소거 검증 이후의 동작은 생략하고 있다.

도 18은 NAND형 플래시 EEPROM의 메모리 셀 어레이의 일부를 본 발명의 바이트형 EEPROM의 메모리 셀 어레이로 한 예이다.

본 발명의 바이트형 EEPROM의 메모리 셀 어레이는 NAND형 플래시 EEPROM의 메모리 셀 어레이에서 2개의 셀렉트 트랜지스터 간의 메모리 셀을 1개로 한 것으로 생각할 수 있다. 따라서, 본 예의 것과 같은 EEPROM이 용이하게 실현할 수 있다.

본 예의 EEPROM은 1개의 비트선 BLi에 다른 구성의 2종류의 메모리 셀 유닛이 접속된다. 즉, 제1 메모리 셀 유닛은 2개의 셀렉트 트랜지스터 간에 복수개(예를 들면, 4, 8, 16, 32개 등)의 메모리 셀이 접속되며, 제2 메모리 셀 유닛은 2개의 셀렉트 트랜지스터 간에 1개의 메모리 셀이 접속된다.

컨트롤 게이트선(워드선)의 선택에 있어서는 제1 메모리 셀 유닛의 영역과 제2 메모리 셀 유닛의 영역에서, 별도로 구동 회로를 설치하도록 하여도 좋으며, 공통화할 수 있으면, 양 영역의 구동 회로를 하나로 통합하도록 하여도 좋다.

도 18의 NAND형 플래시 EEPROM의 메모리 셀 어레이 대신에 이하와 같은 메모리 셀 어레이를 채용하는 것도 가능하다.

도 19에 도시하는 메모리 셀 어레이는 AND형 플래시 EEPROM의 메모리 셀 어레이이다. 도 22에 도시하는 메모리 셀 어레이는 DINOR형 플래시 EEPROM의 메모리 셀 어레이이다.

도 19의 AND형 플래시 EEPROM의 AND 유닛은 서브 비트선과 서브 소스선 간에 병렬로 접속된 복수의 메모리 셀을 갖는다. 서브 비트선은 드레인측 셀렉트 트랜지스터를 경유하여 메인 비트선에 접속된다. 서브 소스선은 소스측 셀렉트 트랜지스터를 경유하여 메인 소스선에 접속된다.

예를 들면, 64 메가비트 AND형 플래시 EEPROM의 경우, 1개의 AND 유닛은 128개의 메모리 셀(m=128)과 2개의 셀렉트 트랜지스터로 구성된다.

이 메모리 셀 어레이의 특징은 비트선(데이타선), 소스선이 각각 계층화되어 있는 점에 있다. 비트선 및 소스선은 각각 메인 배선과 서브 배선으로 이루어지며, 서브 배선은 확산층으로 형성된 의사 비접점 구조를 갖고 있다.

메모리 셀에 대한 데이타의 프로그램/ 소거는 FN(Fowler-Nordheim) 터널전류에 의해 행한다.

도 20에 도시한 바와 같이, 데이타의 프로그램은 플로우팅 게이트의 전자를 드레인으로 FN 터널 전류를 이용하여 방출함으로써 행한다. 도 21에 도시한 바와 같이, 데이타의 소거는 기판(채널 전면)으로부터 플로우팅 게이트로 FN 터널 전류를 이용하여 전자를 주입함으로써 행한다.

도 22의 DINOR(Divided Bit Line NOR)형 플래시 EEPROM은 NAND형 플래시 EEPROM과 같이 단일 전원 동작이 가능하며 또한 재기록 스피드가 고속이며, 메모리 셀 사이즈가 작다고 하는 특징과, NOR형 플래시 EEPROM과 같이 고속인 랜덤 억세스가 가능하다고 하는 특징을 서로 갖는다.

DINOR형 플래시 EEPROM의 메모리 셀 유닛은 메모리 셀 어레이 내의 메인 비트선과 서브 비트선을 계층 구조로 하고 있기 때문에, 사이즈적으로는 AND 형의 AND 유닛과 거의 같다. 메모리 셀의 구조는 NOR형 플래시 EEPROM이나 NAND형 플래시 EEPROM의 메모리 셀의 구조와 동일하고, 스택 게이트형이며 메모리 셀의 드레인은 폴리실리콘으로 형성된 서브 비트선에 접속된다.

예를 들면, 16메가비트 DINOR형 플래시 EEPROM인 경우, 서브 비트선에는 64개의 메모리 셀이 접속된다. 메모리 셀에 대한 컨택트를 폴리실리콘과 확산층의 소위 매립 컨택트로 달성하면, 메모리 셀 사이즈의 축소화를 꾀할 수 있다.

메모리 셀에 대한 데이타의 프로그램/ 소거의 메카니즘은 AND형 플래시 EEPROM과 동일하며 FN(Fowler-Nordheim) 터널 전류로 행한다.

즉, 메모리 셀에 대한 데이타의 프로그램은 플로우팅 게이트의 전자를 드레인으로 FN 터널 전류를 이용하여 방출함으로써 행한다. 데이타의 소거는 기판(채널 전면)으로부터 플로우팅 게이트로 FN 터널 전류를 이용하여 전자를 주입함으로써 행한다.

도 19 및 도 22의 메인 비트선에 도 9의 센스 앰프가 접속되며, 도 10의 플로우차트에 기초하여 바이트 단위의 데이타 재기록이 실행된다.

이와 같이, 도 18, 도 19 및 도 22에 도시한 바와 같은 메모리 셀 어레이를 갖는 EEPROM에서도, 도 10의 플로우차트에 도시한 바와 같은 데이타의 변경 방법을 채용함으로써, 메모리 셀 어레이의 각 메모리 셀 유닛에 대하여 바이트 단위의 데이타 재기록 동작(data change operation for bite data)이 가능하다.

또한, 본 발명의 바이트형 EEPROM의 메모리 셀에서 비트선측의 셀렉트 트랜지스터를 생략하고, 1개의 메모리 셀 트랜지스터와 1개의 소스측 셀렉트 트랜지스터에 의해 메모리 셀 유닛을 구성할 수도 있게 된다. 이 경우, 데이타 프로그램 시에 센스 앰프의 데이타에 기초하여 프로그램 금지의 비트선에는 프로그램 전압Vprog의 약 1/2의 프로그램 금지용 중간 전압 Vm을 인가한다.

그런데, 종래, SONOS(silicon-oxide-nitride-oxide-silicon)셀이라고 불리는 메모리 셀이 알려져 있다. 이 메모리 셀의 특징은 게이트 전극(워드선) 바로 하부의 실리콘 질화막에 트랩되는 전자의 량에 의해, 데이타('0' 또는 '1')가 특정되는 점에 있다.

SONOS 셀에 대해서는 예를 들면, 문헌 4(A. Lancaster et al., 'A 5V-Only EEPROM with Internal Program/Erase Control', IEEE International Solid-State Circuits Conference, pp. 164-165, Feb. 1983.)에 개시되어 있다.

문헌 4의 메모리 셀 유닛은 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성된다. 또한, 이 문헌 4는 SONOS 셀에서 바이트 단위의 데이타 재기록이 가능한 것을 지적한다('LOAD-LATCHES-ROW-ERASE operation' p. 164 좌측란 제31 제40행 참조).

그러나, 문헌 4는 바이트 단위의 데이타 재기록 동작에 대하여 구체적으로 개시하지 않고 있다. 즉, 실제로 어떻게 하여 바이트 단위의 데이타 재기록을 행하는지는 불명확이다. 또한, 문헌 4에 개시되는 메모리 셀은 메모리 셀의 게이트와 셀렉트 트랜지스터의 게이트가 오버랩한 구조를 가지며, 플래시 EEPROM과 같은 스택 게이트 구조를 갖지 않는다.

또한, 본 발명에서는 종래의 NAND형 플래시 EEPROM의 효과 및 문헌 4의 메모리 셀의 효과와는 다른 현저한 효과를 발휘할 수 있다.

즉, 프로그램 후 또는 소거 후의 메모리 셀의 임계치 분포는 예를 들면 상술한 바와 같이, 도 6 또는 도 7에 도시한 바와 같아진다. 여기서, 종래의 NAND형 플래시 EEPROM에서는 데이타 '1', '0'의 임계치 분포의 상한 및 하한이 결정되고 있으며, 검증에 의해 각 데이타의 임계치 분포를 소정 범위 내로 받아들여야 한다. 또한, 문헌 4의 메모리 셀은 SONOS 구조로, 실리콘 질화막의 전자의 트랩량은 어느 정도 결정되고 있기 때문에, 메모리 셀의 임계치 분포를 자유롭게 시프트시키는 것은 곤란하다(이에 대해서는 예를 들면, W. D. Brown et al., 'Nonvolatile Semiconductor Memory technology', IEEE Press Series on Microelectronic Systems Stu Tewksbury, Series Editor, p. 70, p. 212, p. 316, p. 326, p. 327, p. 344 참조).

이에 대하여, 본 발명에 따르면 예를 들면, 프로그램 또는 소거의 시간이나 전압을 조정함으로써, 도 6 또는 도 7에서 데이타 '1'의 임계치 분포와 데이타 '0'의 임계치 분포가 서로 충분히 떨어지도록 할 수 있다. 즉, 데이타 '1'의 임계치 분포와 데이타'0'의 임계치 분포의 마진(갭)을 크게함으로서 프로그램 및 소거를 충분히 하고 리드 에러를 방지할 수 있다. 더구나, 각 데이타의 임계치 분포의 상한 및 하한은 없기 때문에, 검증이 불필요하며 소위 only one program 및 only one erase가 가능하다.

도 23은 본 발명의 바이트형 EEPROM의 회로 블럭의 일례를 나타내고 있다. 도 24는 도 23의 메모리 셀 어레이(11)의 일부를 나타내고 있다.

본 예의 회로 블럭은 도 3의 메모리 셀 어레이를 갖는 EEPROM에 적용되는 것으로 NAND 형 EEPROM의 회로 블럭에 근사하고 있다.

본 발명에서는 메모리 셀 유닛을 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터의 3소자로부터 구성하고 있기 때문에, 1개의 블럭 BLKi(i=0, 1, … n) 내에는 1개의 컨트롤 게이트선 CGL로 연결되는 메모리 셀 즉, 1 페이지분의 메모리 셀이 배치된다.

컨트롤 게이트·셀렉트 게이트 드라이버(12c)는 1개의 블럭 BLKi(i=0, 1, … n) 즉, 1개의 컨트롤 게이트선 CGL(1 페이지)에 대응하여 설치된다. 각 드라이버(12c)는 부스터를 포함하고 있다. 프리 디코더(12a) 및 로우 디코더(12b)도 1개의 블럭 BLKi 즉, 1개의 컨트롤 게이트선 CGL(1 페이지)에 대응하여 설치된다.

로우 어드레스 신호는 어드레스 레지스터(19)를 경유하여 프리 디코더(12a)에 입력된다. 그리고, 프리 디코더(12a) 및 로우 디코더(12b)에 의해 1개의 로우(또는 1개의 블럭)가 선택된다. 선택(selected) 블럭이 BLKi일 때, 예를 들면, 드라이버(12c)는 선택(selected) 블럭 BLKi 내의 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 동작 모드에 따른 소정의 전위를 부여한다(표 3 및 표 4 참조).

래치 기능을 갖는 센스 앰프(13)는 리드 데이타나 프로그램 데이타를 래치한다. 리드 데이타(출력 데이타)는 컬럼 선택 회로(15) 및 입출력 버퍼(18)를 경유하여 메모리 칩의 외부에 출력된다. 프로그램 데이타(입력 데이타)는 입출력 버퍼(18) 및 컬럼 선택 회로(15)를 경유하여 래치 기능을 갖는 센스 앰프(13)에 래치된다.

커맨드 신호는 데이타 입출력 버퍼(18) 및 커맨드 레지스터(25)를 경유하여 커맨드 디코더(26)에 입력된다. 제어 회로(17)에는 커맨드 디코더(26)의 출력 신호, 커맨드 래치 인에이블 신호 CLE, 칩 인에이블 신호/CE, 기록 인에이블 신호/WE 등의 신호가 입력된다.

신호 생성 회로(부스터 ; 27)는 제어 회로(17)의 제어 하의, 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 부여하는 전위를 생성하고, 이 전위를 컨트롤 게이트·셀렉트 게이트 드라이버(12c)에 공급한다.

도 25는 본 발명의 바이트형 EEPROM의 회로 블럭의 다른 예를 나타내고 있다. 도 26은 도 25의 메모리 셀 어레이(11)의 일부를 나타내고 있다.

본 예의 회로 블럭은 도 18의 메모리 셀 어레이를 갖는 EEPROM에 적용되는 것이다.

메모리 셀 어레이는 본 발명에 따른 메모리 셀 유닛이 배치되는 3 트랜지스터 셀(3-tr cell)부(11-0)와 NAND셀 유닛이 배치되는 NAND셀부(11-1)로 구성된다.

3 트랜지스터 셀(3-tr cell)부(11-0)는 1개의 메모리 셀과 이것을 끼우는 2개의 셀렉트트랜지스터의 3소자로 이루어지는 메모리 셀 유닛을 가지며, n개의 블럭 BLK0, BLK1, … BLKn으로 나누어져 있다. NAND셀부(11-1)는 직렬 접속된 복수개(4, 8, 16개 등)의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 이루어지는 NAND셀 유닛을 가지며 m개의 블럭 BLK0, BLK1, … BLKm으로 나누어져 있다.

3 트랜지스터 셀(3-tr cell)부(11-0)의 각 블럭 BLKi(i=0, 1, … n) 내에는 1개의 컨트롤 게이트선 CGL에 연결되는 메모리 셀 즉, 1페이지분의 메모리 셀이 배치된다. 이에 대하여, NAND셀부(11-1)의 각 블럭 BLKi(i=0, 1, … m) 내에는 복수개의 컨트롤 게이트선 CGL로 연결되는 메모리 셀 즉, 복수 페이지분의 메모리 셀이 배치된다.

3 트랜지스터 셀(3-tr cell)부(11-0)에서는 컨트롤 게이트·셀렉트 게이트 드라이버(12c)는 1개의 블럭 BLKi, 즉, 1개의 컨트롤 게이트선 CGL(1페이지)에 대응하여 설치된다. 각 드라이버(12c)는 부스터를 포함하고 있다. 프리디코더(12a) 및 로우 디코더(12b)도 1개의 블럭 BLKi 즉, 1개의 컨트롤 게이트선 CGL(1 페이지)에 대응하여 설치된다.

NAND셀부(11-1)에서는 컨트롤 게이트·셀렉트 게이트 드라이버(12c)는 복수의 컨트롤 게이트선 CGL0, … CGL7(복수 페이지)을 포함하는 1개의 블럭 BLKi에 대응하여 설치된다. 각 드라이버(12c)는 부스터를 포함하고 있다. 프리디코더(12a) 및 로우 디코더(12b)도 복수의 컨트롤 게이트선 CGL0, … CGL7(복수 페이지)을 포함하는 1개의 블럭 BLKi에 대응하여 설치된다.

로우 어드레스 신호는 어드레스 레지스터(19)를 경유하여 프리디코더(12a)에 입력된다. 그리고, 프리디코더(12a) 및 로우 디코더(12b)에 의해, 3 트랜지스터 셀(3-tr cell)부(11-0) 또는 NAND 셀부(11-1)의 1개의 로우(또는 1개의 블럭)가 선택된다.

래치 기능을 갖는 센스 앰프(13)는 리드 데이타나 프로그램 데이타를 래치한다. 리드 데이타(출력 데이타)는 컬럼 선택 회로(15) 및 입출력 버퍼(18)를 경유하여 메모리 칩의 외부에 출력된다. 프로그램 데이타(입력 데이타)는 입출력 버퍼(18) 및 컬럼 선택 회로(15)를 경유하여 래치 기능을 갖는 센스 앰프(13)에 래치된다.

커맨드 신호는 데이타 입출력 버퍼(18) 및 커맨드 레지스터(25)를 경유하여 커맨드 디코더(26)에 입력된다. 제어 회로(17)에는 커맨드 디코더(26)의 출력 신호, 커맨드 래치 인에이블 신호 CLE, 칩 인에이블 신호/CE, 기록 인에이블 신호/WE 등의 신호가 입력된다.

신호 생성 회로(부스터 ; 27)는 제어 회로(17)의 제어 하의, 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 부여하는 전위를 생성하고, 이 전위를 컨트롤 게이트 · 셀렉트 게이트 드라이버(12c)에 공급한다.

도 27은 도 23 내지 도 26의 EEPROM에 적용되는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)을 나타내고 있다.

이 데이타 재기록 동작(data change operation)은 도 11 내지 도 14에 도시하는 데이타 재기록 동작을 통합하여 알기 쉽게 한 것이다.

본 발명의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)은 이하의 4개의 주요한 공정으로 구성된다.

① 선택(selected) 블럭 내의 1페이지분의 메모리 셀에 대하여 데이타의 리드를 행하고, 이것을 래치 기능을 갖는 센스 앰프에 유지한다.

② 래치 기능을 갖는 센스 앰프에 유지된 데이타에 대하여 바이트 데이타의 덧씌우기를 행한다.

③ 선택(selected) 블럭 내의 1페이지분의 메모리 셀의 데이타를 소거한다.

④ 래치 기능을 갖는 센스 앰프에 유지된 데이타를 선택(selected) 블럭 내의 1 페이지분의 메모리 셀에 프로그램한다.

이상의 공정에 의해, 플래시 EEPROM과 동일한 프로세스로 제조할 수 있으며 또한 동일한 데이타 재기록 방법(data change method)이 적용됨에도 불구하고, 바이트 단위로 데이타의 재기록 동작(data change operation for bite data)을 행할 수 있는 불휘발성 반도체 메모리를 제공할 수 있다(플래시 EEPROM은 통상, 상기 ①의 공정없이, 블럭 단위로 메모리 셀의 데이타를 일괄 소거해버리기 때문에, 바이트 단위에서의 데이타 재기록 동작은 행할 수 없다. 단지, 블럭 내의 모든 메모리 셀의 데이타를 소거한 후, 바이트 단위로 프로그램을 행하는 것은 가능하다.).

여기서, 도 27에 도시하는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)이 적용되는 EEPROM에 관하여, 메모리 셀의 데이타 재기록 횟수(number of data change operation) 즉, number of program/erase cycles)의 최대치에 대하여 검토한다.

도 27의 방법에 의해, 1 바이트 데이타의 변경을 행하는 경우, 선택(selected) 블럭 내의 1페이지분의 데이타에 대하여 1회의 리드 동작, 소거 동작 및 프로그램 동작이 행해진다. 즉, 선택(selected) 블럭 내에서는 데이타를 변경하지 않은 메모리 셀에 대해서도 1회의 리드 동작, 소거 동작 및 프로그램 동작이 행해진다.

따라서, 예를 들면 1 페이지 내의 모든 데이타를 변경하는 경우, 도 27의 방법에 의해 1페이지분의 데이타를 1 바이트마다 변경할 때의 페이지 리드, 소거, 프로그램 횟수는 1페이지분의 데이타를 한번에 변경하는 경우의 페이지 리드, 소거, 프로그램 횟수보다도 1페이지 내에 포함되는 바이트수배만큼 실질적으로 많아진다.

예를 들면, 1페이지가 64바이트로 이루어지는 경우, 1페이지분의 데이타를 한번에 재기록할 때는 1회의 페이지 리드, 소거, 프로그램 동작으로 충분하지만, 1 페이지분의 데이타를 1바이트마다 재기록할 때는 64회의 페이지 리드, 소거, 프로그램 동작이 필요해진다.

이와 같이, 도 27에 도시하는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에서는 1바이트분의 데이타의 변경을 행하는 경우에, 선택(selected) 블럭 내의 1 페이지분의 데이타에 대하여 1회의 리드 동작, 소거 동작 및 프로그램 동작이 행해진다. 따라서, 본 발명의 방법에 의해 1페이지분의 데이타를 변경하는 경우의 페이지 리드, 소거, 프로그램 횟수는 1페이지분의 데이타를 한번에 변경하는 경우의 페이지 리드, 소거, 프로그램 횟수보다도 최대로, 1 페이지내에 포함되는 바이트수배만큼 많아진다.

또, 이러한 페이지 리드, 소거, 프로그램 횟수의 증가를 방지하기 위해서, 도 27의 방법에서의 1회의 페이지 리드 후에 복수 바이트의 데이타를 덧씌우기하고, 페이지 리드, 소거, 프로그램 횟수를 감할 수도 있다.

단지, 이하에서는 복수 바이트의 데이타의 덧씌우기와는 별도의 수단에 의해 바이트 단위의 재기록 동작(data change operation for bite data)을 유지하면서, 페이지 리드, 소거, 프로그램 횟수를 감할 수 있는 불휘발성 반도체 메모리에 대하여 설명한다.

도 28은 도 23의 바이트형 EEPROM의 개량 예를 나타내고 있다.

본 발명에서는 메모리 셀 어레이(11)를 로우 방향 및 컬럼 방향으로 행렬형으로 배치되는 복수의 블럭 BLKi-j(i=0, 1, … n : j=0, 1, 2, 3)로부터 구성되고 있다.

지금까지 설명해온 예에서는 도 23 및 도 25에 도시한 바와 같이, 블럭 BLKi는 컬럼 방향으로만 배치되며, 1개의 컨트롤 게이트선 CGL에 접속되는 1페이지분의 메모리 셀은 반드시 동일한 블럭 BLKi 내에 존재하고 있었다. 본 발명에서는 1페이지분의 메모리 셀을 1바이트(8비트)의 정수배 단위로 복수로 나누어서, 로우 방향으로도 복수의 블럭을 배치하도록 하고 있다.

구체적으로는, 1페이지가 k(k는 정수) 바이트의 메모리 셀로 구성되는 경우, 1개의 블럭을 r(r은 정수, $r \leq k$) 바이트의 메모리 셀로 구성하면, 로우 방향의 블럭의 수는 k/r개가 된다. 본 예에서는 로우 방향의 블럭수를 4개로 하고 있다. 이 경우, 예를 들면 1개의 블럭은 16바이트의 메모리 셀로 구성되며 1페이지는 64바이트의 메모리 셀로 구성된다.

메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)는 로우 방향의 4개의 블럭 BLKi-j 즉, 1개의 컨트롤 게이트선 CGL(1 페이지)에 대응하여 설치된다. 각 드라이버(12c)는 부스터를 포함하고 있다. 프리디코더(12a) 및 로우 디코더(12b)도 4개의 블럭 BLKi-j 즉, 1개의 컨트롤 게이트선 CGL(1 페이지)에 대응하여 설치된다.

서브·컨트롤 게이트 드라이버(28)는 각 블럭 BLKi-j에 대응하여 설치된다.

로우 어드레스 신호는 어드레스 레지스터(19)를 경유하여 프리디코더(12a) 및서브 디코더(29)에 입력된다. 그리고, 프리디코더(12a) 및 로우 디코더(12b)에 의해 1개의 로우 내의 4개의 블럭 BLKi-j가 선택된다. 또한, 서브 디코더(29)에 의해 선택된 4개의 블럭 BLKi-j 중 1개를 선택한다.

또, 서브 디코더(29)는 선택된 1개의 로우 내의 복수의 블럭 또한 선택된 1개의 로우 내의 모든 블럭(본 예에서는 4개의 블럭)을 선택하는 것과 같은 기능을 갖고 있어도 좋다.

그리고, 본 발명에서는 블럭 단위로 데이타의 리드, 소거 및 프로그램이 가능해지고 있다. 즉, 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에서 1 페이지분의 데이타를 래치 기능을 갖는 센스 앰프로 리드할 필요가 없다. 따라서, 본 발명에서는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에서 도 23 및 도 25의 예보다도 리드 횟수, 소거 횟수, 프로그램 횟수를 각각 감할 수 있으며 실질적인 재기록 특성(program/Erase endurance characteristics)을 향상시킬 수 있다.

예를 들면, 1페이지가 k(k는 정수) 바이트의 메모리 셀로 구성되는 EEPROM의 재기록 특성(program/erase endurance characteristics) 즉, 데이타 재기록 횟수(number of data change operation)의 최대치가 1×10^{6} 회인 경우에 대하여 생각한다.

도 23 및 도 25의 예로서는 1 페이지분의 데이타를 변경하는데 k회의 리드 동작, 소거 동작, 프로그램 동작이 각각 필요하기 때문에, 실질적으로는 재기록 특성(program/erase endurance characteristics)이 $(1/k)\times10^{6}$ 회로 감소한다.

본 발명에서는 1페이지를 k/r(r은 정수, $r\leq k$)의 블럭으로 나누어서 각 블럭 를 r바이트의 메모리 셀로 구성하고, 블럭 단위로 리드 동작, 소거 동작 및 프로그램 동작을 할 수 있도록 하고 있기 때문에, 1페이지분의 데이타를 변경하기 위한 리드, 소거, 프로그램의 각 동작은 실질적으로는 $(1/r)\times10^{6}$ 회로 끝난다.

구체적인 수치로 나타내면, 예를 들면 1페이지가 64바이트로 구성되는 경우, 도 23 및 도 25의 예의 재기록 특성(program/erase endurance characteristics)은 1.7×10^{4} 회가 된다. 한편, 1페이지가 8개의 블럭으로 구성되며, 1블럭이 8바이트로 구성되는 경우, 본 발명의 재기록 특성은 1.3×10^{5} 회가 되며 도 23 및 도 24의 예보다도 1 자릿수만큼 실질적인 재기록 특성이 향상한다.

또, 본 발명의 경우, 1블럭을 1바이트로 구성함으로써 실질적인 재기록 특성을 최대로 1×10^{6} 회로 할 수 있다.

선택(selected) 블럭이 BLKi-j일 때, 메인 컨트롤 게이트 · 셀렉트 게이트 드라이버 i는 선택(selected) 블럭 BLKi-j 내의 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 동작 모드에 따른 소정의 전위를 부여한다(표 3 및 표 4 참조).

래치 기능을 갖는 센스 앰프(13)는 리드 데이타나 프로그램 데이타를 래치한다. 리드 데이타(출력 데이타)는 컬럼 선택 회로(15) 및 입출력 버퍼(18)를 경유하여 메모리 칩의 외부에 출력된다. 프로그램 데이타(입력 데이타)는 입출력 버퍼(18) 및 컬럼 선택 회로(15)를 경유하여 래치 기능을 갖는 센스 앰프(13)에 래치된다.

커맨드 신호는 데이타 입출력 버퍼(18) 및 커맨드 레지스터(25)를 경유하여 커맨드 디코더(26)에 입력된다. 제어 회로(17)에는 커맨드 디코더(26)의 출력 신호, 커맨드 래치 인에이블 신호 CLE, 칩 인에이블 신호/CE, 기록 인에이블 신호/WE 등의 신호가 입력된다.

신호 생성 회로(부스터 ; 27)는 제어 회로(17)의 제어 하의, 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 부여하는 전위를 생성하고, 이 전위를 컨트롤 게이트 · 셀렉트 게이트 드라이버(12c)에 공급한다.

도 29는 프리디코더 PDi의 일례를 나타내고 있다.

본 예에서는 로우수 즉, 컨트롤 게이트선 CGL의 수(블럭수)를 1024(2^{10})개라고 가정한다. 이 경우, 10 비트의 로우 어드레스 신호 a1, a2, …, a10에 의해, 1개의 컨트롤 게이트선 CGL을 선택할 수 있다.

로우 어드레스 신호 a1, a2, a3은 NAND 회로(30-1)에 입력되며, 로우 어드레스 신호 a4, a5, a6은 NAND 회로(30-2)에 입력되며, 로우 어드레스 신호 a7, a8, a9, a10은 NAND 회로(30-3)에 입력된다. NAND 회로(30-1)의 출력 신호는 인버터(31-1)를 경유하여 신호 D가 되며, NAND 회로(30-2)의 출력 신호는 인버터(31-2)를 경유하여 신호 E가 되며, NAND 회로(30-3)의 출력 신호는 인버터(31-3)를 경유하여 신호 F가 된다.

각 프리디코더 PDi에는 각각 다른 로우 어드레스 신호 a1, a2, …, a10이 입력된다. 그리고, 선택된 1개의 로우에 속하는 프리디코더 PDi의 출력 신호 D, E, F만이 전부 '1'이 된다.

도 30은 로우 디코더 RDi 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버 i의 구성의 일례를 나타내고 있다.

로우 디코더 RDi는 NAND 회로(32) 및 인버터(33)로 구성된다. 프리디코더 PDi의 출력 신호 D, E, F는 NAND 회로에 입력된다.

메인 컨트롤 게이트·셀렉트 게이트 드라이버 i는 부스터(34) 및 드라이브 회로로서의 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)로 구성된다.

선택(selected) 로우에 속하는 메인 컨트롤 게이트·셀렉트 게이트 드라이버 i에서는 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)의 게이트에 전원 전위 VCC 또는 부트 전위가 인가된다.

예를 들면, 데이타 프로그램 시, 선택(selected) 로우에 속하는 드라이버 i에서는 부스터(34)의 출력 전위 VB가 부트 전위 Vprog가 되며, N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)가 온 상태가 된다. 한편, 신호 생성 회로(27)에서 SS(=VCC), CG (=Vprog), GS(=0V)가 생성된다. 이들의 전위 SS, CG, GS는 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)를 경유하며, 선택(selected) 로우 내의 메인 컨트롤 게이트선 CGLi 및 셀렉트 게이트선 SSLi, GSLi에 전달된다.

또한, 데이타 소거 시, 선택(selected) 로우에 속하는 드라이버 i에서는 부스터(34)의 출력 전위 VB가 전원 전위 VCC가 되며, N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)가 온 상태가 된다. 한편, 신호 생성 회로(27)에서 SS(=VCC), CG (=0V), GS(=VCC)가 생성된다. 이들의 전위 SS, CG, GS는 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)를 경유하여 선택(selected) 로우 내의 메인 컨트롤 게이트선 CGLi 및 셀렉트 게이트선 SSLi, GSLi에 전달된다.

또, 셀렉트 게이트선 SSLi, GSLi에 대해서는 이 후, 플로우팅이 되기 때문에, P웰에 소거 전위 Vera가 부여될 때, 셀렉트 게이트선 SSLi, GSLi의 전위는 P웰과 셀렉트 게이트선 SSLi, GSLi의 용량 커플링에 의해 Vera+α로 상승한다.

또한, 데이타 리드 시, 선택(selected) 로우에 속하는 드라이버 i에서는 부스터(34)의 출력 전위 VB가 전원 전위 VCC 또는 VCC+α(α는 N 채널 트랜지스터의 임계치 전압 이상의 값)가 되며, N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)가 온 상태가 된다. 한편, 신호 생성 회로(27)에서 SS(=VCC), CG(=0V 또는 VCC), GS(=VCC)가 생성된다. 이들의 전위 SS, CG, GS는 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)를 경유하여 선택(selected) 로우 내의 메인 컨트롤 게이트선 CGLi 및 셀렉트 게이트선 SSLi, GSLi에 전달된다.

비선택(unselected) 로우에 속하는 메인 컨트롤 게이트·셀렉트 게이트 드라이버 i에서는 N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)의 게이트에 접지 전위가 인가되기 때문에, N 채널 MOS 트랜지스터(35-1, 35-2, 35-3)는 오프 상태가 된다. 따라서, 비선택(unselected) 로우 내의 메인 컨트롤 게이트선 CGLi 및 셀렉트 게이트선 SSLi, GSLi는 전부 플로우팅 상태로 되어 있다.

또, 비선택(unselected) 로우 내의 셀렉트 게이트선 SSLi, GSLi에 대해서는 데이타 리드 시에 VSS(0V)를 인가하도록 하여도 좋다. 이 경우, 예를 들면 모든 셀렉트 게이트선 SSLi, GSLi에 각각 접지용 MOS 트랜지스터를 접속하고, 로우(또는 블럭) 선택의 유무에 의해 이 접지용 MOS 트랜지스터의 온/오프를 제어한다.

도 31은 1로우 내에 배치되는 복수의 블럭과 서브 컨트롤 게이트 드라이버의 일례를 나타내고 있다.

본 예에서는 도 28의 회로 블럭에 대응시켜서, 1 로우 내에 4개의 블럭 BLKi-0, BLKi-1, BLKi-2, BLKi-3이 배치되는 경우에 대하여 설명한다.

각 블럭 BLKi-j(j=0, 1, 2, 3) 내에는 각각 서브 컨트롤 게이트선 CGLi-0, CGLi-1, CGLi-2, CGLi-3이 배치된다. 서브 컨트롤 게이트선 CGLi-j(j=0, 1, 2, 3)는 각각 블럭 BLKi-j 내에 배치되는 1바이트의 정수배(예를 들면, 16바이트)의 메모리 셀에 접속된다.

서브 컨트롤 게이트선 CGLi-j는 각각 서브 컨트롤 게이트 드라이버(28)를 구성하는 드라이브 회로로서의 N 채널 MOS 트랜지스터(36-j)를 경유하여, 메인 컨트롤 게이트선 CGLi에 접속된다.

N 채널 MOS 트랜지스터(36-j)의 온/ 오프는 서브 디코더(29)에 의해 제어된다. 서브 디코더(29)는 1개의 N 채널 MOS 트랜지스터(36-j ; 1개의 블럭)를 선택하는 기능을 갖고 있다.

또, 서브 디코더(29)에 복수 또는 모든 N 채널 MOS 트랜지스터(36-j ; 복수 또는 모든 블럭)를 선택하는 기능을 갖게 하여도 좋다.

데이타 프로그램 시, 선택(selected) 로우 내의 선택(selected) 블럭 BLKi-j에서는 N 채널 MOS 트랜지스터(36-j)의 게이트에 Vprog가 인가되기 때문에, 이 N 채널 MOS 트랜지스터(36-j)는 온 상태가 된다. 따라서, 프로그램용 고전위 Vprog가 메인 컨트롤 게이트선 CGLi로부터 선택(selected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j에 전달된다.

또한, 데이타 소거 시, 선택(selected) 로우 내의 선택(selected) 블럭 BLKi-j에서는 N 채널 MOS 트랜지스터(36-j)의 게이트에 VCC가 인가되기 때문에, 이 N 채널 MOS 트랜지스터(36-j)는 온 상태가 된다. 따라서, 접지 전위가 메인 컨트롤 게이트선 CGLi로부터 선택(selected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j에 전달된다.

또한, 데이타 리드 시, 선택(selected) 로우 내의 선택(selected) 블럭 BLKi-j에서는 N 채널 MOS 트랜지스터(36-j)의 게이트에 VCC가 인가되기 때문에, 이 N 채널 MOS 트랜지스터(36-j)는 온 상태가 된다. 따라서, 접지 전위 또는 전원 전위 VCC가 메인 컨트롤 게이트선 CGLi로부터 선택(selected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j에 전달된다(표 3 및 표 4 참조).

한편, 선택(selected) 로우 내의 비선택(unselected) 블럭 BLKi-j에서는 N 채널 MOS 트랜지스터(36-j)의 게이트에 접지 전위가 인가되기 때문에, 이 N 채널 MOS 트랜지스터(36-j)는 오프 상태가 된다. 즉, 비선택(unselected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j는 플로우팅 상태가 된다.

여기서, 선택(selected) 로우에서는 메인 컨트롤 게이트선 CGLi의 바로 아래에 복수의 서브 컨트롤 게이트선 CGLi-j가 배치된다. 따라서, 프로그램, 소거, 리드 시에, 메인 컨트롤 게이트선 CGLi에 소정 전위가 인가된 경우, 용량 커플링에 의해 비선택(unselected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j의 전위가 변화할 가능성이 있다.

그러나, 비선택(unselected) 블럭 BLKi-j 내의 서브 컨트롤 게이트선 CGLi-j의 전위의 변화는 프로그램, 소거, 리드 동작에 아무런 문제점이 미치는 일은 없다.

또, 선택(selected) 로우 내의 셀렉트 게이트선 SSLi, GSLi는 선택(selected) 로우 내의 모든 블럭 BLKi-j에 공통으로 되어 있다.

따라서, 데이타 프로그램 시에는 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는 N 채널 MOS 트랜지스터(35-1, 35-3)를 경유하여 접지 전위 또는 전원 전위 VCC가 인가된다. 데이타 소거 시에는 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는 N 채널 MOS 트랜지스터(35-1, 35-3)를 경유하여 VCC가 인가된다. 데이타 리드 시에는 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는 N 채널 MOS 트랜지스터(35-1, 35-3)를 경유하여 전원 전위 VCC가 인가된다(표 3 및 표 4 참조).

도 32는 도 28 내지 도 31의 EEPROM에 적용되는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)의 제1예를 나타내고 있다.

본 발명의 바이트 단위의 데이타 재기록 동작은 이하의 4개의 주요한 공정으로 구성된다.

① 선택(selected) 블럭 내의 메모리 셀에 대하여 데이타의 리드를 행하고, 이것을 래치 기능을 갖는 센스 앰프에 유지한다.

② 래치 기능을 갖는 센스 앰프에 유지된 데이타에 대하여 바이트 데이타의 덧씌우기를 행한다.

③ 선택(selected) 블럭 내의 메모리 셀의 데이타를 소거한다.

④ 래치 기능을 갖는 센스 앰프에 유지된 데이타를 선택(selected) 블럭 내의 메모리 셀에 프로그램한다.

본 발명의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)의 특징은 도 27의 재기록 동작(data change operation)과 비교하면 명백한 바와 같이, 바이트 단위의 데이타 재기록 동작을 행함에 있어서, 선택(selected) 로우 내의 1페이지분의 데이타를 리드하는 일 없이, 선택(selected) 로우 내의 선택(selected) 블럭 BLKi-j의 데이타(1바이트의 정수배의 데이타)에만 대하여 리드를 행하고 있다. 즉, 선택(selected) 로우 내의 비선택(unselected) 블럭의 메모리 셀의 데이타에 대해서는 리드를 행하지 않아도 좋기 때문에, 데이타의 변경을 행하지 않은 메모리 셀에 대한 리드 동작, 소거 동작 및 프로그램 동작을 없앨 수 있다.

따라서, 본 발명의 재기록 동작(data change operation)은 도 27의 재기록 동작에 비교하고, 리드, 소거, 프로그램의 횟수를 줄일 수 있으며, 실질적인 재기록 특성(Program/Erase endurance characteristics) 즉, 데이타 재기록 횟수(number of data change operation)를 향상시킬 수 있다.

이와 같이, 본 발명에 따르면, 플래시 EEPROM과 동일한 프로세스로 제조할 수 있으며 또한 동일한 재기록 방법(data change method)이 적용됨에도 불구하고, 재기록 특성(program/erase endurance characteristics)을 나쁘게 하는 일 없이 바이트 단위에서의 데이타의 재기록 동작(data change operation for bite data)이 가능해진다.

도 33은 도 28 내지 도 31의 EEPROM에 적용되는 바이트 단위의 데이타 재기록 동작(data change operation for bite data)의 제2예를 나타내고 있다.

본 발명의 바이트 단위의 데이타 재기록 동작은 이하의 4개의 주요한 공정으로 구성된다.

① 선택(selected) 로우 내의 1페이지분의 메모리 셀에 대하여 데이타의 리드를 행하고 이것을 래치 기능을 갖는 센스 앰프에 유지한다.

② 래치 기능을 갖는 센스 앰프에 유지된 데이타에 대하여 바이트 데이타의 덧씌우기를 행한다.

③ 선택(selected) 블럭 내의 메모리 셀의 데이타를 소거한다.

④ 래치 기능을 갖는 센스 앰프에 유지된 데이타를 선택(selected) 블럭 내의 메모리 셀에 프로그램한다.

본 발명의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)는 도 32의 데이타 재기록 동작(data change operation)과 비교하면, 1페이지분의 메모리 셀에 대하여 리드를 행하고 있는 점에 특징을 갖고 있다. 즉, 본 발명에서는 1페이지분의 메모리 셀의 데이타를 리드하지만, 소거 및 프로그램은 선택(selected) 로우 내의 선택(selectsed) 블럭에 대해서만 행한다. 이 때문에, 선택(selected) 로우 내의 비선택(unselected) 블럭의 메모리 셀의

데이타에 대한 불필요한 소거, 프로그램 동작을 없앨 수 있다.

이 경우, 리드 동작에서는 선택(selected) 로우 내의 모든 블럭 BLKi-j가 선택되도록 서브 디코더에 의해, 선택(selected) 로우 내의 모든 블럭 BLKi-j를 다중 선택한다.

본 발명의 재기록 동작은 도 27의 재기록 동작에 비하여, 페이지 소거, 프로그램의 횟수를 감할 수 있으며, 실질적인 재기록 특성(program/erase endurance characteristics) 즉, 페이지 재기록 횟수(number of page data change operation)를 향상시킬 수 있다.

이와 같이, 본 발명에 따르면 플래시 EEPROM과 동일한 프로세스로 제조할 수 있으며 또한 동일한 데이타 재기록 방법(data change method)이 적용됨에도 불구하고, 재기록 특성(program/erase endurance characteristics)을 나쁘게 하는 일 없이, 바이트 단위에서의 데이타의 재기록 동작(data change operation for bite data)이 가능해진다.

도 34는 메모리 셀 어레이 영역에서의 웰의 레이아웃의 일례를 나타내고 있다.

플래시 EEPROM에서는 통상, 모든 메모리 셀 유닛(메모리 셀 및 셀렉트 트랜지스터)이 1개의 웰(예를 들면, 트윈 웰 즉, p형 기판에 형성된 n형 웰 중 p형 웰) 내에 형성된다. 그러나, 본 발명에서는 메모리 셀 유닛 간에 서브 컨트롤 게이트 드라이버를 배치하고 있다. 서브 컨트롤 게이트 드라이버는 고전위를 서브 컨트롤 게이트에 전달하는 역할을 갖고 있으며 이것을 메모리 셀과 동일한 웰에 형성하면, 백 게이트 바이어스 효과에 의해 임계치가 상승하거나, 웰의 전위에 의해 동작이 불안정해지게 된다.

그래서, 본 예에서는 컬럼 방향의 블럭 BLKi-j에 공통의 웰을 설치하고, 로우 방향의 블럭 BLKi-j는 각각 다른 웰 내로 배치되도록 하였다. 이 경우, 서브 컨트롤 게이트 드라이버는 웰의 외부 즉, p형 기판에 형성되게 되며 전술한 문제를 회피할 수 있다.

또, 프로그램 시 및 소거 시에 웰에 부여하는 전위를 연구함으로써, 모든 메모리 셀 유닛과 서브 컨트롤 게이트 드라이버를 1개의 웰 내로 배치할 수도 있게 된다.

단지, 이 경우, 백 게이트 바이어스 효과에 의한 임계치 전압의 상승을 회피할 수 없다.

도 35는 1 로우 내에 배치되는 복수의 블럭과 서브 컨트롤 게이트 드라이버의 구성의 다른 예를 나타내고 있다.

본 예는 도 31의 회로의 변형예로, N 채널 MOS 트랜지스터(36-0, 36-1, 36-2, 36-3)의 접속 관계에 특징을 갖는다.

각 블럭 BLKi-j(j=0, 1, 2, 3) 내에는 각각 서브 컨트롤 게이트선 CGLi-0, CGLi-1, CGLi-2, CGLi-3이 배치된다. 서브 컨트롤 게이트선 CGLi-j(j=0, 1, 2, 3)는 각각 블럭 BLKi-j 내에 배치되는 1바이트의 정수배(예를 들면, 16바이트)의 메모리 셀에 접속된다.

서브 컨트롤 게이트선 CGLi-j은, 각각 서브 컨트롤 게이트 드라이버(28)를 구성하는 드라이브 회로로서의 N채널 MOS 트랜지스터(36-j)를 경유하여, 서브 디코더(29)에 접속된다.

N채널 MOS 트랜지스터(36-j)의 온/오프는, 메인 컨트롤 게이트선 CGLi의 전위에 의해 결정된다. 선택(selected) 로우에서는, 메인 컨트롤 게이트선 CGLi에 승압 전위 Vprog 또는 전원 전위 VCC가 인가되기 때문에, 선택(selected) 로우의 모든 N 채널 MOS 트랜지스터(36-0, 36-1, 36-2, 36-3)는, 온상태가 된다.

데이타 프로그램시, 선택(selected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 프로그램용의 고전위 Vprog가 공급된다. 비선택(unselected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 접지 전위가 공급된다.

또한, 데이타 소거시, 선택(selected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 접지 전위가 공급된다. 비선택(unselected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 VCC가 공급된다.

또한, 데이타 리드시, 선택(selected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 리드 전위(접지 전위 또는 전원 전위 VCC)가 공급된다. 비선택(unselected) 블럭 BLKi-j의 서브 컨트롤 게이트선 CGLi-j에는, 서브 디코더(29)로부터 접지 전위가 공급된다(표3 및 표4 참조).

한편, 비선택(unselected) 로우 내의 블럭 BLKi-j에서는, N 채널 MOS 트랜지스터(36-j)의 게이트에 접지 전위가 인가되기 때문에, 이 N 채널 MOS 트랜지스터(36-j)는, 오프 상태가 된다.

또한, 데이타 프로그램시, 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는, N 채널 MOS 트랜지스터(35-l, 35-3)를 경유하여 접지 전위 또는 전원 전위 VCC가 인가된다. 데이타 소거시, 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는, N 채널 MOS 트랜지스터(35-1, 35-3)를 경유하여 VCC가 인가된다. 데이타 리드시, 선택(selected) 로우 내의 모든 블럭 BLKi-j의 셀렉트 게이트선 SSLi, GSLi에는, N 채널 MOS 트랜지스터(35-1, 35-3)를 경유하여 전원 전위 VCC가 인가된다(표3 및 표4 참조).

이러한 구성에서도, 블럭 단위로, 리드, 소거 또는 프로그램 동작을 행할 수 있고, 따라서 당연히, 도 32 및 도 33의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)를 적용할 수 있다.

따라서, 데이타의 변경을 행하지 않은 메모리 셀에 대한 불필요한 리드, 소거, 프로그램 동작을 없앨 수 있고, 실질적인 재기록 특성(program/erase endurance characteristics), 즉 페이지 재기록 횟수(number of page data change operation)를 향상시킬 수 있다.

도 36은, 도 28의 바이트형 EEPROM의 개량예를 나타내고 있다. 도 37은, 도 36의 메모리 셀 어레이(11) 내의 상호 인접하는 2개의 로우만을 추출하여 나타내는 것이다.

도 28의 예에서는, 프리 디코더(12a), 로우 디코더(12b) 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)를, 메모리 셀 어레이(11)의 로우 방향의 일단에 통합하여 배치하고 있다.

이에 대해, 본 발명에서는, 프리 디코더(12a), 로우 디코더(12b) 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)를, 메모리 셀 어레이(11)의 로우 방향의 일단 및 타단에 배치하고 있다.

예를 들면, 짝수번째의 로우를 선택하는 프리 디코더 PD0, PD2, ‥ 및 로우 디코더 RD0, RD2, …를 메모리 셀 어레이(11)의 로우 방향의 일단에 배치하고, 홀수번째의 로우를 선택하는 프리 디코더 PD1, PD3, 및 로우 디코더 RD1, RD3, …을 메모리 셀 어레이(11)의 로우 방향의 타단에 배치한다. 또한, 짝수번째의 로우에 소정의 전위를 부여하는 메인 컨트롤 게이트·셀렉트 게이트 드라이버(0, 2, …)를 메모리 셀 어레이(11)의 로우 방향의 일단에 배치하고, 홀수번째의 로우에 소정의 전위를 부여하는 메인 컨트롤 게이트·셀렉트 게이트 드라이버(1, 3, …)를 메모리 셀 어레이(11)의 로우 방향의 타단에 배치한다.

이에 따라, 회로 설계시에, 프리 디코더(12a), 로우 디코더(12b) 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)의 레이아웃을 용이하게 정할 수 있다.

즉, 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)는, 예를 들면 프로그램용의 고전위를 생성하고, 이것을 메인 컨트롤 게이트선 CGLi에 전달하기 때문에, 회로 사이즈가 커지는 경향이다. 따라서, 프리 디코더(12a), 로우 디코더(12b) 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)를, 메모리 셀 어레이(11)의 로우 방향의 일단에만 통합하여 배치하면, 이들 회로의 칩 상의 레이아웃을 정하는 것이 매우 곤란해진다.

상술된 바와 같이, 프리 디코더(12a), 로우 디코더(12b) 및 메인 컨트롤 게이트·셀렉트 게이트 드라이버(12c)를, 메모리 셀 어레이(11)의 로우 방향의 일단 및 타단에 배치하면, 칩 상의 스페이스를 유효하게 활용할 수 있고, 각 회로 블럭을 칩 상에 조밀하게 할 수 있다.

또, 동일 도면에 도시된 바와 같이, 동일 블럭 BLKi-j 내의 컨트롤 게이트선 CGLi을 구동하는 드라이브 회로와 셀렉트 게이트선 SSLi, GSLi를 구동하는 드라이브 회로는, 모두 드라이버(1)로서, 통합하여 메모리 셀 어레이(11)의 일단 또는 타단에 배치한다.

이에 따라, 선택(selected) 블럭 BLKi-j 내의 메모리 셀에 주어지는 신호와 셀렉트 트랜지스터에 주어지는 신호의 타이밍의 편차가 없어지고, 프로그램시, 리드시의 오동작을 방지할 수 있기 때문에, 신뢰성이 향상한다.

또한, 본 예에서는, 2개의 셀렉트 게이트선 SSLi, GSLi 및 하나의 컨트롤 게이트선 CGL을 1세트로 하여 동시에 구동하는 것이 바람직하다. 또한, 고내압 트랜지스터(드라이버)의 면적은 커지기 때문에, 셀렉트 게이트선 SSLi, GSLi와 컨트롤 게이트선 CGL을 1세트로서 배치하면, 칩 상의 패턴이 균일해진다. 따라서, 패턴이 불균일한 경우에 생기는 로딩 효과에 따른 워드선의 가늘어짐을 방지할 수 있다.

도 38 및 도 39은, 센스 앰프의 개량예를 나타내고 있다.

도 38은, 차동식 센스 앰프를 이용한 경우의 예이다. 이 경우, 1비트 데이타를 상보 데이타로서 2개의 메모리 셀 유닛에 기억해도 된다. 또한, 데이타 리드는, 2개의 메모리 셀 유닛으로부터 출력되는 신호량(전위)이 약간의 차를 검출하고, 이 차를 증대시킴에 따라 행하기 때문에, 고속 리드가 가능해진다.

또한, 2개의 메모리 셀 유닛을 쌍으로 하고, 한쌍의 메모리 셀 유닛에 1비트 데이타를 기억시키기 위해, 만약 데이타 재기록 동작의 반복에 따라 한쪽 메모리 셀 유닛의 재기록 특성이 열화해도, 다른 메모리 셀 유닛의 재기록 특성이 양호하면, 신뢰성이 저하하는 일은 없다.

도 39는, 복수개(예를 들면, 2개)의 비트선에 공통으로 하나의 센스 앰프를 접속한 경우의 예이다. 이 경우, 예를 들면 블럭 BLKi-j 에서의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)은, 2회로 나눠 행한다. 즉, 1회째의 재기록 동작은, 짝수개째의 비트선에 접속되는 메모리 셀 유닛에 대해 행하고, 2회째의 재기록 동작은, 홀수개째의 비트선에 접속되는 메모리 셀 유닛에 대해 행한다.

본 예의 센스 앰프를 이용한 경우, 한쪽 비트선에 데이타를 리드할 때에는, 다른 비트선을 고정 전위(예를 들면, 접지 전위)로 설정해 둔다(실드 비트선 리드 수법). 이에 따라, 리드시에서의 비선택 셀에서의 프로그램 에러등의 문제를 회피할 수 있다. 또한, 본 예의 EEPROM은, 하나의 메모리 셀 유닛에 다치 데이터(multi-level data)를 기억시키는 경우에 응용할 수 있다.

도 40은, 도 28의 바이트형 EEPROM의 개량예를 나타내고 있다.

도 28의 예에서는, 메모리 셀 어레이(11)를, 로우 방향 및 컬럼 방향으로 행열상으로 배치되는 복수의 블럭 BLKi-j(i=0, 1, n, j=0, 1, 2, 3)로 구성하였다. 본 발명에서는, 이것을 전제로 하고, 또한 칩 상에서 대면적을 차지하는 메인 컨트롤 게이트 드라이버(부스터를 포함함)의 수를 감하여, 칩 상에서의 회로 블럭의 레이아웃을 쉽게 한다.

본 예에서는, 컬럼 방향의 블럭수를 n (예를 들면, 1024)개, 로우 방향의 블럭수를 4개로 하고 있다. 이 경우, 예를 들면 하나의 블럭은, 16바이트의 메모리 셀로 구성되고, 1페이지는, 64바이트의 메모리 셀로 구성된다.

메인 컨트롤 게이트 드라이버(37)는, 복수의 로우, 본 예에서는 2개의 로우, 즉 상호 인접하는 2개의 메인 컨트롤 게이트선 CGL(2페이지)에 대응하여 설치된다. 즉, 본 발명에서는, 하나의 메인 컨트롤 게이트 드라이버(37)에 의해, 2개의 메인 컨트롤 게이트선 CGL을 구동한다. 각 메인 컨트롤 게이트 드라이버는, 부스터를 포함하고 있다.

서브·컨트롤 게이트 드라이버(28)는, 각 블럭 BLKi-j에 대응하여 설치된다.

셀렉트 게이트 드라이버(38)는, 하나의 로우, 즉 하나의 컨트롤 게이트선 CGL(1페이지)에 대응하여 설치된다. 프리 디코더(12a) 및 로우 디코더(12b)도, 하나의 로우, 즉 하나의 컨트롤 게이트선 CGL에 대응하여 설치된다.

로우 어드레스 신호는, 어드레스 레지스터(19)를 경유하여 프리 디코더(12a) 및 서브 디코더(29)에 입력된다. 그리고, 프리 디코더(12a) 및 로우 디코더(12b)에 의해, 하나의 로우 내의 4개의 블럭 BLKi-j가 선택된다. 또한, 서브 디코더(29)에 의해, 선택된 4개의 블럭 BLKi-j 중의 하나를 선택한다.

또, 서브 디코더(29)는, 선택된 하나의 로우 내의 복수의 블럭 또는 선택된 하나의 로우 내의 모든 블럭 (본 예에서는, 4개의 블럭)을 선택하는 기능을 구비하고 있어도 좋다.

본 발명에서는, 도 28의 예와 같이, 블럭 단위로, 데이타의 리드, 소거 및 프로그램이 가능하다. 따라서, 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에서, 1페이지분의 데이타를 래치 기능을 구비한 센스 앰프로 리드할 필요가 없고, 실질적인 재기록 특성(program/erase endurance characteristics), 즉 페이지 재기록 횟수(number of page data change operation)를 향상시킬 수 있다.

또한, 본 발명에서는, 예를 들면 선택(selected) 블럭이 BLKi-j일 때, 메인 컨트롤 게이트 드라이버(37)는, 선택(selected) 블럭 BLKi-j가 속하는 로우와 이것에 인접하는 로우의 2개 메인 컨트롤 게이트선 CGLi, CGLi+j에, 동작 모드에 따른 소정의 전위를 부여한다. 즉, 2개 메인 컨트롤 게이트선 CGLi, CGLi+j에 공통으로 하나의 메인 컨트롤 게이트 드라이버(37)를 설치하고 있기 때문에, 메인 컨트롤 게이트 드라이버(37)의 수를 감할 수 있고, 레이아웃의 용이화, 회로 설계시의 부담감을 꾀할 수 있다.

셀렉트 게이트 드라이버(38)는, 선택(selected) 블럭 BLKi-j가 속하는 로우의 셀렉트 게이트선 SSL, GSL에, 동작 모드에 따른 소정의 전위를 부여한다.

래치 기능을 구비한 센스 앰프(13)는, 리드 데이타나 프로그램 데이타를 런치한다. 리드 데이타(출력 데이타)는, 컬럼 선택 회로(15) 및 입출력 버퍼(18)를 경유하여 메모리 칩의 외부로 출력된다. 프로그램 데이타(입력 데이타)는, 입출력 버퍼(18) 및 컬럼 선택 회로(15)를 경유하여 래치 기능을 구비한 센스 앰프(13)에 래치된다.

커맨드 신호는, 데이타 입출력 버퍼(18) 및 커맨드 레지스터(25)를 경유하여 커맨드 디코더(26)에 입력된다. 제어 회로(17)에는, 커맨드 디코더(26)의 출력 신호, 커맨드 래치 인에이블 신호 CLE, 칩 인에이블 신호/CE, 기록 인에이블 신호/WE 등의 신호가 입력된다.

신호 생성 회로(부스터 : 27)는, 제어 회로(17)의 제어의 하측, 컨트롤 게이트선 CGL 및 셀렉트 게이트선 SSL, GSL에 부여하는 전위를 생성하고, 이 전위를 메인 컨트롤 게이트 드라이버(37) 및 셀렉트 게이트 드라이버(38)로 공급한다.

도 41은, 프리 디코더 PDi의 구성의 일례를 나타내고 있다.

본 예에서는, 로우 수, 즉 컨트롤 게이트선 CGL의 수(블럭수)를 1024(2^{10})개로 가정한다. 이 경우, 10비트의 로우 어드레스 신호 a1, a2, …, a10에 의해, 하나의 로우를 선택할 수 있다.

로우 어드레스 신호 a2, a3, a4는, NAND 회로(30-1)에 입력되고, 로우 어드레스 신호 a5, a6, a7은, NAND 회로(30-2)에 입력되고, 로우 어드레스 신호 a8, a9, a10은, NAND 회로(30-3)에 입력된다. NAND 회로(30-1)의 출력 신호는, 인버터(31-l)를 경유하여 신호 D가 되고, NAND 회로(30-2)의 출력 신호는, 인버터(31-2)를 경유하여 신호 E가 되고, NAND 회로(30-3)의 출력 신호는, 인버터(31-3)를 경유하여 신호 F가 된다.

각 프리 디코더 PDi에는, 각각 다른 로우 어드레스 신호 a1, a2, …, a10이 입력된다. 그리고, 선택된 하나의 로우에 속하는 프리 디코더 PDi의 출력 신호 a1, D, E, F만이 전부 '1'이 된다.

도 42는, 로우 디코더 RDi, 메인 컨트롤 게이트 드라이버(37) 및 셀렉트 게이트 드라이버(38)의 일례를 나타내고 있다.

로우 디코더 RDi는, NAND 회로(32) 및 인버터(33)로 구성된다. 프리 디코더 PDi의 출력 신호 D, E, F는, NAND 회로에 입력된다.

셀렉트 게이트 드라이버(38)는, 드라이브 회로로서의 N 채널 MOS 트랜지스터(35-1, 35-3)로 구성된다. 선택된 로우에서는, 로우 디코더 RDi의 출력 신호가 VCC가 되기 때문에, N 채널 MOS 트랜지스터(35-1, 35-3)가 온상태가 된다. 따라서, 신호 생성 회로(27)로 생성된 신호 SS, GS가 셀렉트 게이트선 SSLi, GSLi로 공급된다.

메인 컨트롤 게이트 드라이버(37)는, 디코드 회로(39), 부스터(34) 및 드라이브 회로로서의 N 채널 MOS 트랜지스터(35-2)로 구성된다.

선택된 로우와 이것에 인접하는 로우에 공통으로 설치된 메인 컨트롤 게이트 드라이버(37)에서는, 디코드 회로(39)의 출력 신호가 VCC가 된다. 또한, 동작 모드에 따라, 부스터가 동작 상태 또는 비동작 상태가 되고, N 채널 MOS 트랜지스터(35-2)의 게이트에 전원 전위 VCC 또는 부트된 고전위가 인가된다.

예를 들면, 데이타 프로그램시, 선택된 로우와 이것에 인접하는 로우에 공통으로 설치된 메인 컨트롤 게이트 드라이버(37)에서는, 부스터(34)의 출력 전위 VB가 승압 전위 Vprog가 되고, N 채널 MOS 트랜지스터(35-2)가 온상태가 된다. 한편, 신호 생성 회로(27)로 생성된 CG(=Vprog)가 58-N 채널 MOS 트랜지스터(35-2)를 경유하여, 선택(selected) 로우와 이것에 인접하는 로우의 메인 컨트롤 게이트선 CGLi, CGLi+1이 전달된다.

또한, 데이타 소거시, 선택된 로우와 이것에 인접하는 로우에 공통으로 설치된 메인 컨트롤 게이트 드라이버(37)에서는, 부스터(34)의 출력 전위 VB가 전원 전위 VCC가 되고, N 채널 MOS 트랜지스터(35-2)가 온상태가 된다. 한편, 신호 생성 회로(27)로 생성된 CG(=0V)가 N 채널 MOS 트랜지스터(35-2)를 경유하여, 선택(selected) 로우와 이것에 인접하는 로우의 메인 컨트롤 게이트선 CGLi, CGLi+1로 전달된다.

또한, 데이타 프로그램시, 선택된 로우와 이것에 인접하는 로우에 공통으로 설치된 메인 컨트롤 게이트 드라이버(37)에서는, 부스터(34)의 출력 전위 VB가 전원 전위 VCC가 되고, N 채널 MOS 트랜지스터(35-2)가 온상태가 된다. 한편, 신호 생성 회로(27)에서 생성된 CG(=0V 또는 VCC)가 N 채널 MOS 트랜지스터(35-2)를 경유하여, 선택(selected) 로우와 이것에 인접하는 로우의 메인 컨트롤 게이트선 CGLi, CGLi+1로 전달된다.

또, 상호 인접하는 2개의 비선택(unselected) 로우에 공통으로 설치된 메인 컨트롤 게이트 드라이버(37)에서는, 부스터(34)의 출력 신호 VB가 접지 전위가 되고, 이 접지 전위가 N 채널 MOS 트랜지스터(35-2)의 게이트에 인가된다. 따라서, N 채널 MOS 트랜지스터(35-2)는, 오프 상태가 된다.

도 43은, 상호 인접하는 2개의 로우 내에 배치되는 복수의 블럭과 서브 컨트롤 게이트 드라이버의 일례를 나타내고 있다.

본 예에서는, 도 40의 회로 블럭에 대응시키고, 1로우 내에 4개의 블럭이 배치되는 경우에 대해 설명한다.

각 블럭 BLKi-j, BLK(i+1)-j 내에는, 각각 서브 컨트롤 게이트선 CGLi-j, CGL (i+1)-j가 배치된다(j=0, 1, 2, 3). 서브 컨트롤 게이트선 CGLi-j는, 각각 블럭 BLKi-j 내에 배치되는 1바이트의 정수배(예를 들면, 16바이트)의 메모리 셀(59)에 접속되고, 서브 컨트롤 게이트선 CGL(i+1)-j는, 각각 블럭 BLK(i+1)-j 내에 배치되는 1바이트의 정수배(예를 들면, 16바이트)의 메모리 셀에 접속된다.

서브 컨트롤 게이트선 CGLi-j는, 각각 서브 컨트롤 게이트 드라이버(28)를 구성하는 드라이브 회로로서의 N 채널 MOS 트랜지스터(36-j)를 경유하여, 메인 컨트롤 게이트선 CGLi에 접속된다. 서브 컨트롤 게이트선 CGL(i+1)-j는, 각각 서브 컨트롤 게이트 드라이버(28)를 구성하는 드라이브 회로로서의 N 채널 MOS 트랜지스터(40-j)를 경유하여, 메인 컨트롤 게이트선 CGLi+1에 접속된다.

N 채널 MOS 트랜지스터(36-j, 40-j)의 온/오프는, 서브 디코더(29)에 의해 제어된다. 서브 디코더(29)는, 하나의 N 채널 MOS 트랜지스터(36-j)(하나의 블럭)를 선택하는 기능을 갖고 있다. 예를 들면, 블럭 BLKi-1을 선택하는 경우에는, N 채널 MOS 트랜지스터(36-1)를 온상태로 한다. 이 때, 메인 컨트롤 게이트선 CGLi과 서브 컨트롤 게이트선 CGLi-1이 전기적으로 접속된다.

또, 서브 디코더(29)에, 1로우 내의 복수 또는 모든 N 채널 MOS 트랜지스터를 선택하는 기능을 갖게 해도 된다.

본 발명의 EEPROM에서도, 메모리 셀 어레이를 로우 방향 및 컬럼 방향으로 행렬형으로 배치된 복수의 블럭으로 구성하고, 블럭 단위로 데이타의 리드, 소거, 프로그램을 할 수 있도록 이루어져 있다. 이 때문에, 본 발명에서도, 도 32 및 도 33의 바이트 단위의 데이타 재기록 동작(data change operation for bite data)을 적용할 수 있다. 즉, 바이트 단위의 데이타 재기록 동작을 행하는데 있어서, 선택(selected) 로우내의 1페이지분의 데이타를 리드하지 않고, 선택(selected) 로우 내의 선택(selected)블럭의 데이타(1바이트의 정수배의 데이타)만을 리드할 수 있다.

따라서, 데이타의 변경을 행하지 않은 메모리 셀에 대한 불필요한 리드, 소거, 프로그램 동작을 없앨 수 있고, 실질적인 재기록 특성(program/erase endurance characteristics), 즉 페이지 재기록 횟수(number of page data change operation)를 향상시킬 수 있다.

또한, 본 발명에서는, 하나의 메인 컨트롤 게이트 드라이버(부스터를 포함함)를 상호 인접하는 복수(예를 들면, 2개)의 로우에 공통으로 사용하도록 하고 있다. 따라서, 큰 사이즈를 구비한 메인 컨트롤 게이트 드라이버의 컬럼 방향의 폭을 1로우의 폭보다도 크게 할 수 있고, 회로 설계시에, 메인 컨트롤 게이트 드라이버의 레이아웃을 용이하게 행할 수 있다.

또한, 프로그램시, 선택(selected) 로우의 메인 컨트롤 게이트선에 고전위 Vprog가 인가되고, 셀렉트 게이트선에는 전원 전위 VCC가 인가되기 때문에, 고전위 Vprog를 출력해야하는 메인 컨트롤 게이트 드라이버만을 복수의 로우로 공통으로 배치하고, 셀렉트 게이트 드라이버에 대해서는, 1로우마다 배치한다.

이 경우, 예를 들면 프로그램시에 2개의 메인 컨트롤 게이트선에 고전위 Vprog가 인가되지만, 이 고전위 Vprog는, 서브 디코더에 의해 선택된 선택(selected) 블럭 내의 서브 컨트롤 게이트선에만 전달되기 때문에, 동작 상의 문제는 전혀 없다.

도 44는, 서브 디코더의 레이아웃을 나타내고 있다.

본 발명에서는, 메모리 셀 어레이(11)의 1페이지분의 메모리 셀을 복수로 나누고, 로우 방향으로 복수의 블럭 BLKi-j를 설치하도록 하고 있다. 또한, 로우 방향의 블럭 BLKi-j 사이에는, 서브 컨트롤 게이트 드라이버(28)가 배치된다. 또한, 센스 앰프(13)는, 로우 방향으로 배치되는 블럭 BLKi-j에 대응하여 설치된다.

따라서, 센스 앰프(13) 사이라도 서브 컨트롤 게이트 드라이버(8)에 대응하는 개소에는, 스페이스가 형성된다. 본 예에서는, 이 스페이스에 서브 디코더(29)를 배치한다.

본 예와 같이, 서브 디코더(29)를 서브 컨트롤 게이트 드라이버(28)에 대응시켜 복수 개소에 배치하는 경우에는, 서브 디코더(29)를 한군데에 통합하여 배치하는 경우에 비교하여 칩 상의 스페이스를 유효하게 사용할 수 있고, 칩 사이즈의 축소등에 공헌할 수 있다.

도 45 내지 도 47은, 본 발명이 적용 가능한 EEPROM의 예를 나타내고 있다.

도 45의 예에서는, 메모리 셀 어레이의 컬럼 방향의 양끝에, 래치 기능을 구비한 센스 앰프(13A, 13B), 컬럼 선택 회로(15A, 15B) 및 데이타 입출력 버퍼(18A, 18B)를 각각 배치하고 있다. 본 예에서는, 메모리 셀 어레이를, 3트랜지스터 셀(3-tr cell)부(도 26 참조 :11-0)와 NAND 셀부(11-1)로 구성한다. 물론, 메모리 셀 어레이는, 3트랜지스터 셀(3-tr cel1)부만으로 구성해도 된다.

본 예에 따르면, 메모리 셀 어레이의 컬럼 방향의 양끝에, 센스 앰프등의 리드 동작이나 프로그램 동작을 위한 회로를 배치하기 때문에, 이들 회로의 레이아웃이 용이해지고, 회로 설계시의 부담을 경감할 수 있다.

도 46의 예에서는, 메모리 셀 어레이를 3트랜지스터 셀(3-tr cel1)부(11-0)와 NAND 셀부(11-1)로 구성하고, 3트랜지스터 셀(3-tr cell)부(11-0)를 센스 앰프(13)측에 배치하고, 3트랜지스터 셀(3-tr cell)부(11-0)의 메모리 셀을 캐쉬 메모리로서 사용하고 있다.

본 예에 따르면, NAND 셀부(11-1)의 데이타를 일시적으로 3트랜지스터 셀(3-tr cell)부(캐쉬 메모리)에 블럭 단위로 보존해 둘 수 잇기 때문에, 데이타의 고속 리드가 가능해진다.

도 47의 예에서는, 1칩(41) 내에 복수의 메모리 회로(42a, 42b)를 배치하고 있다. 각 메모리 회로(42a, 42b)는, 상호 독립하여, 리드 동작, 프로그램 동작 및 소거 동작을 행할 수 있다. 따라서, 예를 들면 메모리 회로(42a)가 리드 동작을 한창 행하고 있을 때에, 메모리 회로(42b)에서는, 프로그램 동작을 행할 수도 있다. 메모리 회로(42a, 42b) 중 적어도 한쪽에는, 본 발명의 EEPROM을 사용할 수 있다.

본 예에 따르면, 2개의 다른 동작을 동시에 행할 수 있기 때문에, 데이타 처리를 효율적으로 행할 수 있다.

그런데, 지금까지 설명한 발명에서는, 스택 게이트 구조를 구비한 하나의 메모리 셀과 그 양끝에 하나씩 접속된 두개의 셀렉트 트랜지스터로 이루어지는 셀 유닛을 주요한 구성 요소로 해 왔다.

이러한 셀 유닛에 따르면, 바이트(또는 페이지) 단위의 데이타 재기록을 비롯한 수많은 특징을 얻을 수 있는 것은, 상술한 바와 같다.

그러나, 셀 유닛을 3개의 트랜지스터(메모리 셀은 하나만)로 구성하는 경우, 메모리 셀 하나당 셀 사이즈가 통상의 NAND 형 플래시 EEPROM보다도 커지기 때문에, 메모리 셀의 고집적화에 따른 메모리 용량의 증대에는 반드시 유리하다고 할 수 없다.

그래서, 이하의 발명에서는, 바이트(또는 페이지) 단위로 데이타를 변경하는 기능을 유지하면서, 메모리 셀 하다당 셀 사이즈를 작게 할 수 있는 신규의 셀 유닛 구조 또는 데이타 프로그램 수법에 대해 설명한다.

우선, 종래의 NAND 형 플래시 EEPROM에 대해 검토한다.

종래의 NAND 형 플래시 EEPROM은, 예를 들면, 하나의 메모리 셀 유닛 내에 16개의 직렬 접속된 메모리 셀을 배치하기 때문에, 메모리 셀 하나당 셀 사이즈를 축소하는데 가장 알맞은 구조를 구비하고 있다.

그러나, 이러한 구조로 하면, 셀 사이즈의 축소라는 특징을 얻을 수 있는 반면, 바이트 (또는 페이지) 단위의 데이타 재기록이라는 특징이 없어진다.

그래서, 종래의 NAND 형 플래시 EEPROM에서는, 왜, 바이트(또는 페이지) 단위의 데이타 재기록을 행할 수 없는지에 대해 진술하겠다.

NAND 형 플래시 EEPROM에서 바이트(또는 페이지) 단위로 데이타의 변경을 할 수 없는 이유를 이해하기 위해서는, 우선 NAND 형 플래시 EEPROM의 데이타 재기록 동작(data change operation)을 이해하는 것이 필요하다.

NAND 형 플래시 EEPROM의 데이타 재기록 동작(data change operation)은, 블럭 단위로 행해진다.

우선, 선택(selected) 블럭 내의 NAND 셀 유닛의 전 메모리 셀에 대해, 데이타의 일괄 소거(플로우팅 게이트로부터 전자를 제외하고, 임계치를 내리는 동작)를 행한다. 이 후에, 예를 들면 선택(selected) 블럭 내의 NAND 셀 유닛의 소스측의 메모리 셀로부터 드레인측의 메모리 셀을 향해, 순차적으로 페이지 단위로 데이타 프로그램이 실행된다.

구체적인 데이타 프로그램 동작을 도 48 및 도 49를 참조하여 설명한다.

본 예에서는, 컨트롤 게이트선 CGL1에 접속되는 메모리 셀에 대해 데이타 프로그램을 행하는 것으로 한다.

우선, 소스측(소스선측)의 셀렉트 게이트선 GSL에 0V를 부여하고, 소스측의 셀렉트 트랜지스터를 차단 상태로 한다. 또한, 드레인측(비트선측)의 셀렉트 게이트선 SSL에 전원 전위 VCC를 부여하고, 드레인측의 셀렉트 트랜지스터를 온 상태로 한다.

또한, '0' 프로그래밍(플로우팅 게이트에 전자를 주입하고, 임계치를 올리는 동작)을 행하는 메모리 셀 M1이 접속되는 비트선의 전위를 0V로 하고, '1' 프로그래밍(소거 상태를 유지하는 동작)을 행하는 메모리 셀 M2가 접속되는 비트선의 전위를 전원 전위 VCC로 한다.

이 때, '0' 프로그래밍을 행하는 메모리 셀 M1을 포함하는 NAND 셀 유닛내의 전 메모리 셀의 채널의 전위가 0V가 되고, '1' 프로그래밍을 행하는 메모리 셀 M2를 포함하는 NAND 셀 유닛 내의 전 메모리 셀의 채널의 전위가 VCC-Vth (Vth는, 셀렉트 트랜지스터의 임계치 전압)에 예비 충전된다. 이 후, '1' 프로그래밍을 행하는 메모리 셀 M2를 포함하는 NAND 셀 유닛 내의 드레인측(비트선측)의 셀렉트 트랜지스터는, 차단 상태가 된다.

이 후, 컨트롤 게이트선(선택)CGL1의 전위가, 0V에서 전원 전위 VCC (예를 들면, 33V), 전원 전위 VCC에서 프로그램 전위 Vprog(예를 들면, 18V)로 상승한다. 또한, 컨트롤 게이트선(비선택) CGL0, CGL2, …, CGL15의 전위가, 0V에서 전원 전위 VCC, 전원 전위 VCC에서 Vpass(VCC< Vpass(예를 들면, 9V)< Vprog)로 상승한다.

이 때, '0' 프로그래밍을 행하는 메모리 셀 M1에서는, 채널의 전위가 0V로 되기 때문에, 플로우팅 게이트와 채널 사이의 터널 절연막에 고 전압이 인가되고, 전자가 채널로부터 플로우팅 게이트로 이동한다. 한편, '1' 프로그래밍을 행하는 메모리 셀 M2에서는, 채널이 플로우팅으로 되기 때문에, 용량 커플링에 의해, 채널의 전위가 Vch로 상승한다. 따라서, '1' 프로그래밍을 행하는 메모리 셀 M1에서는, 플로우팅 게이트와 채널사이의 터널 절연막에 고 전압이 인가되지 않고, 소거 상태가 유지된다.

여기서, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선 CGL0, CGL2, …CGL15에 부여하는 Vpass에 대해 검토한다.

메모리 셀 M2에 대한 '1' 프로그래밍은, 데이타 프로그램시에, 메모리 셀 M2의 플로우팅 게이트에 대한 전자의 주입을 억제하고, 메모리 셀 M2가 소거 상태를 유지함으로써 달성된다. 메모리 셀 M2가 소거 상태를 유지하기 위해서는, 데이타 프로그램시에, 메모리 셀 M2를 포함하는 NAND 셀 유닛 내의 각 메모리 셀의 채널 전위를 용량 커플링에 의해 충분히 높히고, 메모리 셀 M2의 플로우팅 게이트와 채널사이의 터널 절연막에 인가되는 전압을 완화하면 된다.

그런데, 메모리 셀 M2를 포함하는 NAND 셀 유닛 내의 각 메모리 셀의 채널 전위는, 비선택 컨트롤 게이트선 CGL0, CGL2, …CGL15에 부여하는 Vpass에 의존한다. 따라서, Vpass를 높히면 높힐수록, 메모리 셀 M2를 포함하는 NAND 셀 유닛 내의 각 메모리 셀의 채널 전위가 높아지고, 메모리 셀 M2에 대한 프로그램 에러가 방지된다.

그러나, Vpass를 높히면, '0' 프로그래밍을 행하는 메모리 셀 M1을 포함하는 NAND 셀 유닛 내의 비선택(unselected) 메모리 셀 M3에 대해 프로그램 에러가 생기기 쉬워진다.

즉, 메모리 셀 M1을 포함하는 NAND 셀 유닛 내의 각 메모리 셀의 채널 전위는, 0V로 유지되고 있다. 이 때문에, Vpass가 프로그램 전위 Vprog에 가까워지면, 비선택(unselected) 메모리 셀 M3에 대해서도 프로그래밍이 행해진다. 따라서, 메모리 셀 M1을 포함하는 NAND 셀 유닛 내의 비선택(unselected) 메모리 셀에 대해 프로그램 에러를 방지하기 위해서는, Vpass를 가능한 한 낮게 할 필요가 있다.

이와 같이, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선 CGL0, CGL2, ··CGL15에 부여하는 Vrpass는, 너무 높아도 또는 지나치게 낮아도 안되고, '1' 프로그래밍을 행하는 선택(selected) 메모리 셀 M2나 비선택(unselected) 메모리 셀 M3에 대해 '0' 프로그래밍이 행해지지 않는 최적치, 예를 들면 VCC< Vpass (예를 들면, 9V)< Vprog로 설정되어 있다.

이상, NAND형 플래시 EEPROM의 데이타 재기록 동작(data change operation)에 대해 상세히 설명하였다. 그래서, 이하에서는, NAND형 플래시 EEPROM의 데이타 재기록 동작이, 왜, 바이트(또는 페이지) 단위로 행해지지 않은 것인지에 대해 설명한다.

만약, NAND형 플래시 EEPROM에서, 데이타 재기록 동작을 바이트(또는 페이지)단위로 행했다고 한다.

이 경우, 동일한 컨트롤 게이트선, 예를 들면 컨트롤 게이트선 CGL1이 몇번이나 반복하여 선택되고, 이 컨트롤 게이트선 CGL1에 접속되는 메모리 셀에 대해서만, 몇번이나 반복하여 데이타 재기록이 행해지는 것도 생각할 수 있다. 이러한 상황에서는, 컨트롤 게이트선 CGL1에 접속되는 메모리 셀의 데이타를 소거하는 동작과, 컨트롤 게이트선 CGL1에 접속되는 메모리 셀에 대해 데이타를 프로그램하는 동작이 반복적으로 행해지게 된다.

그러나, 이 때, 선택(selected) 블럭 내의 비선택(unselected) 메모리 셀의 컨트롤 게이트에는, 데이타 프로그램시에 Vpass가 몇번이나 반복하여 인가된다.

따라서, NAND 형 플래시 EEPROM에서, 바이트(또는 페이지) 단위의 데이타 재기록 동작을 몇번이나 반복적으로 행하면, 선택(selected) 블럭 내의 비선택(unselected) 메모리 셀의 임계치가 Vpass에 의해 점차로 상승하고(플로우팅 게이트에 서서히 전자가 주입됨), 프로그램 에러가 발생할 가능성이 있다.

이 가능성을 없애기 위해서는, Vpass를 낮게 할지 또는 블럭 단위의 데이타 재기록 동작으로 변경할 필요가 있다.

그러나, Vpass는, 상술된 바와 같이 1회의 데이타 프로그램 동작에서, '1' 프로그래밍을 행하는 선택(selected) 메모리 셀이나, '0' 프로그래밍을 행하는 메모리 셀과 동일한 셀 유닛 내의 비선택(unselected) 메모리 셀에 대해, '0' 프로그래밍(프록램 에러)이 행해지지 않은 최적치로 설정되어 있고, 이것을 더욱 낮게 하는 것은 사실상 불가능하다.

따라서, 결과적으로 NAND 형 플래시 EEPROM에서는, 바이트(또는 페이지) 단위의 데이타 재기록 동작이 불가능해지고, 블럭 단위에서의 데이타 재기록 동작을 행하고 있다.

이하에서는, NAND 형 플래시 EEPROM과 같이, 메모리 셀 하나당 셀 사이즈를 작게 할 수 있음과 동시에, 바이트 (또는 페이지) 단위의 데이타 재기록 동작(data change operation)에 대해서는, Vpass를 낮춤으로써 달성할 수 있는 신규 셀 유닛 구조 또는 데이타 프로그램 수법에 대해 설명한다.

도 50은, 본 발명의 바이트형 EEPROM의 메모리 셀 유닛을 나타내고 있다. 도 51은, 도 50의 메모리 셀의 등가 회로를 나타내고 있다.

메모리 셀 MC1, MC2는, 컨트롤 게이트와 플로우팅 게이트를 구비하고, 플래시 EEPROM의 메모리 셀과 동일한 구조로 되어 있다. 메모리 셀 MC1, MC2는, 상호 직렬 접속되고, 그 양끝에는 각각 하나씩 셀렉트 트랜지스터 ST1, ST2가 접속되어 있다. 셀렉트 트랜지스터 ST1은, 비트선 컨택트부 BC를 경유하여 비트선에 접속되고, 셀렉트 트랜지스터 ST2는, 소스선 SL에 접속된다.

메모리 셀 MC1, MC2 및 셀렉트 트랜지스터 ST1, ST2에 의해 하나의 메모리 셀 유닛이 구성되고, 메모리 셀 어레이는, 복수의 메모리 셀 유닛을 어레이형으로 배치됨에 따라 실현된다.

본 발명의 메모리 셀 유닛은, NAND형 플래시 EEPROM에서 하나의 NAND 유닛 내의 메모리 셀을 2개로 한 것(2 NAND 셀)이라고 생각할 수 있다.

단, 본 발명에서는, 메모리 셀 유닛 내의 메모리 셀의 수는, 2개에 한정되는 것은 아니고, 예를 들면 후술되는 조건을 만족하는 한, 복수(3개, 4개, 5개등)로 설정할 수 있다. 경우에 따라서는, 메모리 셀 유닛 내의 메모리 셀의 수를, 종래의 NAND형 플래시 EEPROM과 동일한 16개로 설정해도 된다.

본 발명의 바이트형 EEPROM의 구조면에서의 장점에 대해 설명한다.

본 발명의 바이트형 EEPROM의 메모리 셀부의 구조는, NAND 형 플래시 EEPROM의 메모리 셀부의 구조와 동일하다. 단, 통상은, 본 발명의 바이트형 EEPROM의 셀 유닛 내의 메모리 셀의 수는, NAND형 플래시 EEPROM의 셀 유닛 내의 메모리 셀의 수(예를 들면, 16개)보다도 적어진다.

따라서, 본 발명의 바이트형 EEPROM에서는, NAND 형 플래시 EEPROM의 프로세스를 그대로 채용할 수 있기 때문에, 바이트 단위의 소거가 가능(이것에 대해서는 후술하겠음.)함에도 불구하고, 메모리 용량을 증대할 수 있고, 또한 생산 비용도 저감할 수 있다.

예를 들면, 본 발명에서, 셀 유닛 내의 메모리 셀의 수를 2개로 한 경우에 대해 검토한다.

본 발명에서는, 디자인 룰을 0.4[㎛]로 한 경우, 2개의 메모리 셀의 짧은 변 길이 a가 1.2[㎛], 긴변 길이 b가 3.96[㎛]이므로, 메모리 셀 하나당 면적([짧은 변 길이 a×긴변 길이 b]/2)은, 2.376[μm^2]이 된다. 한편, 셀 유닛이 16개의 메모리 셀로 이루어지는 NAND형 플래시 EEPROM(16 NAND 셀)에서는 디자인 룰을 0.4[㎛]로 한 경우, 메모리 셀 하나당의 면적은, 1.095 [μm^2]가 된다.

즉, 본 발명의 메모리 셀 유닛(2NAND 셀)을 채용한 경우, 메모리 셀 하나당의 면적은, 16NAND 셀의 메모리 셀 하나당 면적의 약 2배로 끝나게 된다.

또한, 도 65 및 도 66에 도시된 바와 같은 종래의 바이트형 EEPROM에서는, 디자인 룰을 0.4[㎛]로 한 경우, 메모리 셀 하나당의 면적은, 36[μm^2]이 된다. 또한, 하나의 메모리 셀을 2개의 셀렉트 트랜지스터로 끼운 셀 유닛(3트랜지스터 셀(3-tr cell)또는 1NAND 셀)을 채용하는 경우, 디자인 룰을 0.4[㎛]로 하면, 메모리 셀 하나당 면적은, 3.84[μm^2]가 된다.

즉, 본 발명의 메모리 셀 유닛(2 NAND 셀)의 메모리 셀 하나당 면적은, 종래의 바이트형 EEPROM이나 lNAND 셀보다도 작게 할 수 있다.

표 5는, 메모리 셀 유닛의 구조에 따른 메모리 셀 하나당의 면적을 비교하여 나타내고 있다.

이 표로부터도 알 수 있듯이, 본 발명의 메모리 셀 유닛 (2 NAND 셀)의 메모리 셀 하나당의 면적은, NAND 형 플래시 EEPROM (16NAND 셀)에는 못 미치지만, 1 NAND 셀(3트랜지스터 셀(3-tr cell))의 약 60%로 된다.

따라서, 본 발명의 셀 유닛 구조에 따르면, 메모리 셀 면적의 축소에 따라, 바이트형 EEPROM의 메모리 용량의 증대, 칩 면적의 축소, 제조 비용의 저하등에 공헌할 수 있다.

또한, 본 발명의 바이트형 EEPROM은, NAND 형 플래시 EEPROM과 동일한 프로세스로 제조 가능하기 때문에, 불휘발성 메모리 혼재 LSI(nonvolatile memory embedded LSI)에의 응용도 용이하다.

또한, 본 발명의 바이트형 EEPROM의 메모리 셀은, NAND 형 플래시 EEPROM의 메모리 셀과 동일한 구조이므로, 하나의 메모리 셀에 대해 보면, 플래시 EEPROM가 재기록 방법(data change method), 즉 FN 터널 현상을 이용한 재기록 방법을 그대로 채용할 수 있다. 따라서, 제조 비용의 저하에 더해, 개발 비용의 삭감도 가능하다.

그런데, 본 발명의 셀 유닛 구조에 따르면, 2개의 셀렉트 트랜지스터 사이에 복수(예를 들면, 2개, 3개, …)의 메모리 셀이 접속된다. 따라서, NAND형 플래시 EEPROM과 마찬가지로, 바이트(또는 페이지) 단위의 데이타 재기록을 반복하여 행하는 경우에, 컨트롤 게이트에 Vpass가 인가되는 선택(selected) 블럭 내의 비선택(unselected) 메모리 셀에 대한 프로그램 에러의 문제가 생긴다.

이 문제에 대해서는, 아래와 같이 함으로써 해결한다.

NAND 형 플래시 EEPROM에서는, Vpass는, 1회의 프로그램 동작에서, '1' 프로그래밍을 행하는(소거 상태를 유지함) 메모리 셀이나, '0' 프로그래밍을 행하는 메모리 셀과 동일 셀 유닛 내의 비선택 (unselected) 메모리 셀에 대해, '0' 프로그래밍(프로그램 에러)이 생기는 것을 조건으로, 최적치로 설정되어 있다.

또한, 이 최적치는, 전원 전위 VCC나, 리드시에 비선택(unselected) 메모리 셀의 컨트롤 게이트에 부여하는 전위 Vread 등은 전혀 무관하게 정해져 있고, 통상은 VCC (예를 들면, 3.3V) < Vpass (예를 들면, 9V) < Vpr0g (예를 들면, 18V)로 설정되었다.

본 발명에서는, Vpass를, 전원 전위 VCC (예를 들면, 3.3V) 또는 리드시에 비선택(unselected) 메모리 셀의 컨트롤 게이트에 부여하는 전위 Vread(예를 들면, 4.5V)로 설정한다.

이들 VCC 및 Vread는, NAND 형 플래시 EEPROM에서 사용하는 Vpass의 값(예를 들면, 9V)보다도 낮아진다.

즉, 본 발명에서는, Vpass를, 전원 전위 VCC 또는 리드시에 비선택(unselected) 메모리 셀의 컨트롤 게이트에 부여하는 전위 Vread에 설정하는 것, 즉 NAND 형 플래시 EEPROM에서 사용하는 Vpass의 값보다도 낮게 함에 따라, 바이트(또는 페이지) 단위의 데이타 재기록을 반복하여 행하는 경우의 선택(selected) 블럭 내의 비선택(unselected) 메모리 셀의 프로그램 에러의 문제를 방지한다.

또한, 본 발명에서는, Vpass를, VCC 또는 Vread에 설정함에 따라, Vpass를 생성하는 회로를 새롭게 설치할 필요가 없기 때문에, 컨트롤 게이트 드라이버의 구성이 간략화되고, 컨트롤 게이트 드라이버의 축소, 레이아웃의 용이화, 설계 및 개발기간의 단축등의 효과를 얻을 수 있다.

한편, 본 발명에서는, Vpass를, 전원 전위 VCC 또는 리드시에 비선택(unselected) 메모리 셀의 컨트롤 게이트에 부여하는 전위 Vread에 설정하기 때문에, 1회의 데이타 프로그램 동작에서, '1' 프로그래밍을 행하는 (소거 상태를 유지함) 메모리 셀의 채널 전위가 충분히 오르지 않는 것은 아닌지 의문이 생긴다.

그래서, 본 발명에서는, '1' 프로그래밍을 행하는 메모리 셀의 채널 전위가 충분히 오르도록, 셀 유닛 내의 메모리 셀의 수, '1' 프로그래밍을 행하는 메모리 셀의 채널의 초기 전위, 메모리 셀의 컨트롤 게이트와 채널의 커플링비를 설정한다.

예를 들면, '1' 프로그래밍을 행하는 메모리 셀의 채널의 초기 전위와, 메모리 셀의 컨트롤 게이트와 채널의 커플링비를, NAND 형 플래시 EEPROM과 동일하다고 가정한 경우에는, 도 50 및 도 51에 도시된 바와 같이, 셀 유닛 내의 메모리 셀의 수를 2개라고 하면, '1' 프로그래밍을 행하는 메모리 셀의 채널 전위를, NAND 형 플래시 EEPROM과 동일할 정도로 올릴 수 있다(이 점에 대해서는, 나중에 진술하는 데이타 프로그램 동작의 설명에서 상세히 설명함.).

이와 같이, 본 발명에서는 첫째로, NAND 형 플래시 EEPROM과 완전히 동일한 셀 유닛 구조를 구비하고 있기 때문에, 셀 사이즈의 축소, 메모리 용량의 증대, 비용의 저하등을 달성할 수 있다.

두번째로, 데이타 프로그램시에 선택(selected) 블럭 내의 비선택 컨트롤 게이트선에 인가하는 전위 Vpass를, 전원 전위 VCC 또는 리드시에 비선택 컨트롤 게이트선에 부여하는 전위 Vread에 설정하고 있다. 따라서, 선택(selected) 블럭 내의 비선택(unselected) 메모리 셀의 프로그램 에러의 문제를 방지할 수 있고, 바이트(또는 페이지) 단위의 데이타 재기록 동작(data change operation)이 가능해진다.

세번째로, Vpass를, VCC 또는 Vread로 설정해도 '1' 프로그래밍을 행하는 메모리 셀의 채널 전위가 충분히 오르도록, 셀 유닛 내의 메모리 셀의 수, '1' 프로그래밍을 행하는 메모리 셀의 채널의 초기 전위, 메모리 셀의 컨트롤 게이트와 채널의 커플링비를, 적당한 값으로 설정하고 있다. '1' 프로그래밍을 행하는 메모리 셀에 대한 프로그램 에러도 방지할 수 있다.

이하, 본 발명의 바이트형 EEPROM의 소거 동작, 프로그램 동작 및 리드 동작에 대해 차례로 설명한다.

· 소거 동작

도 52에 도시된 바와 같이, 선택(selected) 블럭 내의 선택 컨트롤 게이트선(워드선) CGL11에는 접지 전위 VSS가 인가되고, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선(워드선) CGL12는, 플로우팅 상태가 된다. 또한, 선택(selected) 블럭 내의 셀렉트 게이트선 SSLi, GSL1 및 비선택(unselected) 블럭 내의 컨트롤 게이트선(워드선) CGL21, CGL22 및 셀렉트 게이트선 SSL2, GSL2도 플로우팅 상태가 된다.

이 후, 예를 들면, 2l[V], 3[㎳]의 소거 펄스가 벌크(셀 p 웰)에 인가된다. 이 때, 선택(selected) 블럭 내의 선택 컨트롤 게이트선 CGL11에 접속되는 메모리 셀에서는, 벌크와 컨트롤 게이트선 사이에 소거 전압(21[V])이 가해지고, 플로우팅 게이트중의 전자가 FN(Fowler-Nordheim) 터널 현상에 의해 벌크로 이동한다.

그 결과, 선택(selected) 블럭 내의 선택 컨트롤 게이트선 CGL11에 접속되는 메모리 셀의 임계치 전압은, -3 [V]정도가 된다. 여기서, 선택(selected) 메모리 셀에 대해서는, 1회의 소거 펄스에 의해, 그 임계치 전압이 -3[V]정도가 되도록 소거된다.

한편, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선 CGL12 및 비선택(unselected) 블럭 내의 컨트롤 게이트선 CGL21, CGL22는, 플로우팅 상태로 설정되어 있다.

따라서, 예를 들면 21[V], 3[㎳]의 소거 펄스가 벌크(셀 P 웰)에 인가되면, 플로우팅 상태의 컨트롤 게이트선과 벌크와의 용량 커플링에 의해, 컨트롤 게이트선 CGL12, CGL21, CGL22의 전위도 상승한다.

여기서, 컨트롤 게이트선 CGL12, CGL21, CGL22와 벌크의 커플링비에 대해 검토하면, 컨트롤 게이트선 CGL12, CGL21, CGL22에는, 드라이브 회로(MOS 트랜지스터의 소스), 이 드라이브 회로와 컨트롤 게이트선(폴리실리콘층)을 접속하는 금속배선, 컨트롤 게이트선을 구성하는 실리사이드등이 접속되어 있다.

커플링비는, 플로우팅 상태의 컨트롤 게이트선 CGL12, CGL21, CGL22에 기생하는 용량에 의존한다. 이 용량에는, 드라이브 회로로서의 MOS 트랜지스터의 소스 접합 용량, 소스와 게이트의 오버랩 용량, 필드 영역에서의 폴리실리콘층과 금속 배선의 용량, 컨트롤 게이트선과 벌크(셀 P 웰)의 용량등이 포함된다.

그러나, 컨트롤 게이트선 CGL12, CGL21, CGL22에 기생하는 용량의 대부분은, 컨트롤 게이트선과 벌크(셀 P 웰)의 용량에 따라 차지되어 있다.

즉, 컨트롤 게이트선 CGL12, CGL21, CGL22와 벌크의 커플링비는, 큰 값, 예를 들면 0.9가 되고, 벌크의 전위가 상승하면, 컨트롤 게이트선 CGL12, CGL21, CGL22의 전위도 상승한다.

따라서, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선 CGL12에 접속되는 메모리 셀과 비선택(unselected) 블럭 내의 컨트롤 게이트선 CGL21, CGL22에 접속되는 메모리 셀에서는, FN 터널 현상의 발생을 방지할 수 있다.

이상에 따라, 소거 동작이 완료한다.

또, 소거 동작 후에는, 예를 들면, 선택(selected) 블럭 내의 선택 컨트롤 게이트선 CCL11에 접속되는 모든 메모리 셀의 임계치 전압이 -1[V]미만이 되는지의 여부를 검증하는 소거 검증 동작이 행해진다.

・프로그램 동작

도 53에 도시된 바와 같이, 컨트롤 게이트선 CGL1에 접속되는 메모리 셀에 대해 프로그램을 실행하는 경우에 대해 설명한다. 또, 이들 프로그램을 행하는 메모리 셀은, 전부 소거 상태에 있는 것으로 한다.

우선, 선택(selected) 블럭 내의 소스측의 셀렉트 게이트선 GSL이 접지 전위 VSS로 되고, 드레인측의 셀렉트 게이트선 SSL이 전원 전위 VCC가 된다. 그 결과, 소스측의 셀렉트 트랜지스터 ST21, ST22는, 차단 상태가 되고, 드레인측의 셀렉트 트랜지스터 ST11, ST12는, 온상태가 된다.

또한, '0' 프로그래밍을 행하는 메모리 셀 MC11이 접속되는 비트선 BL의 전위를 VSS에 설정하고, '1' 프로그래밍을 행하는 메모리 셀(프로그램 금지 셀) MC12가 접속되는 비트선 BL의 전위를 VCC로 설정한다. 또한, 컨트롤 게이트선 CGL1, CGL2의 전위를 접지 전위 VSS에 설정한다. 이 때, 메모리 셀 MC11, MC21의 채널 전위는, 접지 전위 VSS가 되고, 메모리 셀 MC12, MC22의 채널은, VCC-Vth(Vth는, 셀렉트 트랜지스터 ST12의 임계치 전압)에 예비 충전된다.

이 후, 컨트롤 게이트선 CGL1, CGL2의 전위가 전원 전위 VCC(예를 들면, 3.3V) 또는 리드시에 비선택 컨트롤 게이트선에 부여하는 전위 Vread(예를 들면, 4.5V)로 설정된다. 또한, 선택 컨트롤 게이트선 CGL1의 전위는, VCC 또는 Vread로부터, 프로그램 전위 Vprog(예를 들면, 18V)로 상승한다.

이 때, 선택(selected) 메모리 셀 MC11에서는, 채널(=VSS)과 컨트롤 게이트선 CGL1(=Vprog) 사이에 큰 전위차가 생기기 때문에, FN 터널 현상에 따라, 전자가 채널로부터 플로우팅 게이트에 주입된다. 이에 따라, 선택(selected) 메모리 셀 MC11에 대한 '0' 프로그래밍이 완료한다.

또한, 컨트롤 게이트선에 고전위를 부여하기 전, 즉 채널 승압 전의 선택(selected) 메모리 셀 MC12의 채널의 초기 전위는, VCC-Vth에 설정되고, 또한 플로우팅 상태로 되어 있다. 따라서, 이 후 선택 컨트롤 게이트선 CGL1의 전위가 Vprog, 비선택 컨트롤 게이트선 CGL2의 전위가 VCC 또는 Vread가 되면, 선택(selected) 메모리 셀 MC12의 채널 전위도, 용량 커플링에 의해 자동적으로 상승한다.

즉, 선택(selected) 메모리 셀 MC12에서는, 채널(=Vch)과 컨트롤 게이트선 CGL1(=Vprog) 사이의 전위차가 작아지고, FN 터널 현상에 따른 플로우팅 게이트에의 전자의 주입이 억제된다. 이에 따라, 선택(selected) 메모리 셀 MC12에 대한 '1' 프로그래밍이 완료한다.

그런데, 선택(selected) 메모리 셀(프로그램 금지 셀) MC12에 대해 '1' 프로그래밍을 실행하기에는, 선택(selected) 메모리 셀 MC12의 채널 전위(프로그램 금지 전위) Vch를 충분히 올리고, 프로그램 에러('0' 프로그래밍)가 생기지 않도록 해야 한다.

부트 후의 메모리 셀 MC12의 채널 전위 Vch는, 주로 부트 전의 메모리 셀 MC12의 채널의 초기 전위, 메모리 셀 MC12, MC22의 컨트롤 게이트와 채널의 커플링비, 및 셀 유닛 내의 메모리 셀의 수(본 예에서는, 2개)에 따라 결정된다.

따라서, 예를 들면 셀 유닛 내의 메모리 셀의 수를 고정한 경우, 메모리 셀 MC12의 채널 전위 Vch는, 메모리 셀 MC12의 채널의 초기 전위 및 메모리 셀 MC12, MC22의 컨트롤 게이트와 채널의 커플링비를 크게 함에 따라, 충분히 올릴 수 있다.

메모리 셀의 컨트롤 게이트와 채널의 커플링비 B는, 이하의 식에 따라 산출된다.

B=Cox/(Cox+Cj)

여기서, Cox는 메모리 셀의 컨트롤 게이트와 채널사이의 게이트 용량의 총 합이고, Cj는 메모리 셀의 소스 영역 및 드레인 영역의 접합 용량의 총합이다.

또한, 메모리 셀의 채널 용량DMS 근사적으로는, Cox와 Cj의 합계로 나타낼 수 있다. 즉, 메모리 셀의 채널 용량에는, Cox 및 Cj 외에, 컨트롤 게이트와 소스 영역의 오버랩 용량, 비트선과 소스 영역사이의 용량, 비트선과 드레인 영역사이의 용량등이 포함되지만, 이들 용량은, Cox나 Cj에 비교하여 매우 작기 때문에, 무시할 수 있다.

이어서, 본 발명의 바이트형 EEPROM과 종래의 NAND 형 플래시 EEPROM에 대해, '1' 프로그래밍을 행하는 메모리 셀의 채널 전위(프로그램 금지 전위)가 어느 정도의 값이 될지에 대해 구체적으로 검토한다.

본 발명의 바이트형 EEPROM으로서는, 예를 들면 도 50 및 도 51에 도시된 바와 같이, 하나의 셀 유닛 내에 2개의 메모리 셀이 배치된 구조로 한다.

이 경우, 채널 전위 Vch는,

Vch=Vini+(Vprog-VCC)×B

+(Vpass-VCC)×B

B=Cox/(2×Cox+3×Cj)

(주: 메모리 셀이 2일 때, 확산층(소스/드레인)은 3)

이 된다.

여기서, COx=Cj=1로 하면, 커플링비 B는, 0.2가 된다. 또한, 본 발명에서는, Vpass=VCC이다. 또한, 전원 전위 VCC를 3[V], 채널의 초기 전위 Vini를 2[V], 프로그램 전위 Vprog를 16[V]로 하면, 채널 전위 Vch는,

Vch=2+(16-3)×0.2=4.6[V]

이 된다.

한편, NAND형 플래시 EEPROM의 채널 전위 Vch는,

Vch = Vini+(15/16)×(Vpass-VCC)×B

+(1/16)×(Vprog-VCC)×B

B=16×Cox/(16×Cox+17×Cj)

(주 : 메모리 셀이 16일 때, 확산층(소스/드레인)은 17)

이 된다.

여기서, NAND 형 플래시 EEPROM의 셀 유닛은, 직렬 접속된 16개의 메모리 셀로 이루어지고, 하나의 메모리 셀에 Vprog, 나머지 15개의 메모리 셀에 Vpass가 인가되는 것으로 한다.

또한, Cox=Cj=1로 하면, 커플링비 B는, 0.48이 된다. 또한, 전원 전위 VCC를 3[V], 채널의 초기 전위 Vini를 2[V], 프로그램 전위 Vprog를 16[V], Vpass를 8[V]로 하면, 채널 전위 Vch는,

Vch=2+(15/16)×(8-3)×0.48

+(1/16)×(16-3)×0.48

=4.64[V]

이 된다.

이와 같이, 본 발명의 바이트형 EEPROM에서는, 예를 들면 Vpass를 전원 전위 VCC(또는 Vread)로 해도, 셀 유닛 내의 메모리 셀의 수를 2개로 함에 따라, NAND 형 플래시 EEPROM과 동일한 프로그램 금지 전위('프로그래밍 셀의 채널 전위)를 얻을 수 있다.

즉, 본 발명에서는 Vpass를 VCC(또는 Vread)로 함에 따라, 비선택 컨트롤 게이트선에 접속되는 비선택(unselected) 메모리 셀의 컨트롤 게이트와 채널사이의 전압을 완화할 수 있기 때문에, 비선택(unselected) 메모리 셀에서의 프로그램 에러없이, 바이트(또는 페이지) 단위의 데이타 재기록을 반복적으로 행하는 것이 가능해진다.

또한, 본 발명에서는, Vpass를 VCC(또는 Vread)로 해도, NAND 형 플래시 EEPROM과 동일한 프로그램 금지 전위(program inhibit potential)를 얻을 수 있기 때문에, 선택 컨트롤 게이트선에 접속되는 프로그램 금지 셀('1' 프로그래밍 셀)에 대한 프로그램 에러도 방지할 수 있다.

· 리드 동작

도 54에 도시된 바와 같이, 비트선 BL을 프리차지 전위로 충전한 후, 선택(selected) 블럭 내의 선택 컨트롤 게이트선 CGL11에는, 0[V]을 인가하고, 선택 (selected) 블럭 내의 비선택 컨트롤 게이트선 CGL12 및 셀렉트 게이트선 SSL1, GSL1에는, 각각 전원 전위 VCC(예를 들면, 3.3V) 또는 리드 전위 Vread(예를 들면, 4.5V)를 인가한다.

또한, 비선택(unselected) 블럭 내의 컨트롤 게이트선 CGL21, CGL22 및 셀렉트 게이트선 SSL2, GSL2에는, 0[V]을 인가한다.

이 때, 선택(selected) 블럭 내의 셀렉트 트랜지스터는, 온상태가 되고, 비선택(unselected) 블럭 내의 셀렉트 트랜지스터는, 오프 상태가 된다. 또한, 선택(selectcd) 블럭 내의 비선택(unselected) 메모리 셀은, 데이타의 값에 불구하고, 온 상태가 된다(메모리 셀의 임계치 분포는, 도 6을 참조).

또한, 선택(selected) 블럭 내의 선택(selected) 메모리 셀에 대해서는, 데이타의 값에 따라, 온 또는 오프 상태가 된다.

도 55에 도시된 바와 같이, 선택(selected) 메모리 셀에 '1' 데이타가 기록되어 있는 경우, 즉 선택(selected) 메모리 셀이 소거 상태인 경우에는, 선택(selected) 메모리 셀의 임계치 전압이 마이너스의 공핍 모드가 되어 있다. 이 때문에, 이 선택(selected) 메모리 셀에는, 셀 전류가 흐르게 되고, 비트선 BL의 전위가 내려간다.

반대로, 선택(selected) 메모리 셀에 '0' 데이타가 기록되어 있는 경우에는, 선택(selected) 메모리 셀의 임계치 전압이 플러스의 인핸스먼트·모드로 되어 있다. 이 때문에, 이 선택(se1ected) 메모리 셀에는, 셀 전류가 흐르지 않고, 비트선 BL의 전위는, 프리차지 전위로 유지된다.

이와 같이, 데이타 '0', '1'의 판단은, 비트선으로부터 소스선에 셀 전류가 흐르는지의 여부에 따라 행한다. 비트선의 전위의 변화는, 센스 업에 의해 증폭(검지)된다.

또, 데이타 '0'과 '1'의 구별은, 예를 들면 메모리 셀의 플로우팅 게이트에 마이너스의 전하가 축적되어 있는지의 여부에 따라 행한다.

즉, 플로우팅 게이트에 마이너스의 전하가 축적되어 있는 경우에는, 그 메모리 셀의 임계치 전압은 높아지고, 메모리 셀은 인핸드먼트 타입이 된다. 한편, 플로우팅 게이트에 마이너스의 전하가 축적되지 않은 경우에는, 그 메모리 셀의 임계치 전압은 0[V]미만이 되고, 메모리 셀은, 공핍 타입이 된다.

표 6은, 상술된 소거, 프로그램, 리드 각각의 동작에서의 셀렉트 게이트선 SSL, GSL, 컨트롤 게이트선(워드선) CGL, 비트선 BLi, 셀 소스선 SL, 셀 P 웰의 전위를 나타내고 있다.

소거 동작에서는, 선택(selected) 블럭 내의 선택 컨트롤 게이트선 CGL은, 0 [V]로 설정되고, 선택(selected) 블럭 내의 비선택 컨트롤 게이트선 CGL, 비선택(unselected) 블럭 내의 컨트롤 게이트선 CGL 및 모든 셀렉트 게이트선 SSL, GSL은, 플로우팅 상태로 설정된다.

이 상태에서, 셀 P 웰에 소거 전위 Vera, 예를 들면 21[V]이 인가되면, 플로우팅 상태의 모든 셀렉트 게이트선 SSL, GSL의 전위와 비선택 컨트롤 게이트선 CGL의 전위는, 셀 P 웰과의 용량 커플링에 따라, Vera×β(β는, 커플링비)까지 상승한다.

여기서, β를 0.8로 하면, 플로우팅 상태의 모든 셀렉트 게이트선 SSL, GSL의 전위와 비선택 컨트롤 게이트선 CGL의 전위는, 16.8[V]로 상승한다.

소거 동작시, 비트선 BLi 및 셀 소스선 SL에 접속되는 N^+ 확산층과 셀 P 웰로 이루어지는 pn 접합은, 순방향으로 바이어스된다. 이 때문에, 비트선 BLi 및 셀 소스선 SL은, Vera-Vb로 충전된다. 또, Vb는, pn 접합의 빌트 인·포텐셜이다.

프로그램 동작에서는, '1' 데이타를 프로그램하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi, 즉 소거 상태를 유지하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi은, 전원 전위(예를 들면, 3.3[V])VCC로 설정되고, '0' 데이타를 프로그램하는 선택(selected) 메모리 셀에 접속되는 비트선 BLi는, 0[V]로 설정된다.

선택(selected) 블럭 내의 비트선측의 셀렉트 게이트선 SSL은, 전원 전위 VCC로 설정되고, 셀 소스선측의 셀렉트 게이트선 GSL은, 0[V]로 설정되고, 비선택 컨트롤 게이트선 CGL은, VCC 또는 Vread(예를 들면, 4.5[V])로 설정되고, 선택 컨트롤 게이트선 CGL은, 프로그램 전위(예를 들면, 18[V]) Vprog로 설정된다.

비선택(unselected) 블럭 내의 셀렉트 게이트선 SSL, GSL, 컨트롤 게이트선 CGL 및 셀 P 웰은, 0[V]로 설정된다.

셀 소스선은, 0[V]로 설정된다. 단, 선택(selected) 블럭 내의 '1' 데이타를 프로그램하는 메모리 셀의 채널 전위가, 컨트롤 게이트선 CGL과의 용량 커플링에 의해 승압되고, 핀치스루에 의해 셀 소스선의 누설 전류가 문제가 되는 경우에는, 셀 소스선의 전위는, 전원 전위 VCC로 설정하는 것이 좋다.

리드 동작에서는, 선택(selected) 블럭 내의 셀렉트 게이트선 SSL, GSL 및 비선택 컨트롤 게이트선 CGL은, 전원 전위 VCC (예를 들면, 3.3V) 또는 리드 전위 Vread(예를 들면, 4.5V)로 설정되고, 선택 컨트롤 게이트선 CGL은, 0[V]로 설정된다. 데이타 리드 전에 비트선을 프리차지하는 방식인 경우, 비트선 BLi은, 프리차지 전위(예를 들면, 1.2[V])VBL로 설정된다.

'1' 데이타가 기억되는 선택(selected) 메모리 셀은, 온상태가 되기 때문에, 이 선택(selected) 메모리 셀에 셀 전류가 흐르고, 비트선 BLi은, 0[V]로 방전된다. 한편, '0' 데이타가 기억되는 선택(selected) 메모리 셀은, 오프 상태가 되기 때문에, 이 선택(selected) 메모리 셀에는 셀 전류가 흐르지 않고, 비트선 BLi은, 프리차지 전위 VBL을 유지한다.

도 56은, 본 발명의 바이트형 EEPROM의 회로 블럭의 주요부를 나타내고 있다.

이 EEPROM은, 상술된 바와 같이 예를 들면 2개의 메모리 셀을 2개의 셀렉트 트랜지스터로 끼운 4소자로 이루어지는 메모리 셀 유닛을 매트릭스형으로 배치한 메모리 셀 어레이(11), 메모리 셀 어레이(11) 상에서 로우 방향으로 복수개 배치된 컨트롤 게이트선(10a) 및 메모리 셀 어레이(11) 상에서 컬럼 방향으로 복수개배치된 비트선(10b)을 구비하고 있다.

로우 디코더(12)는, 로우, 즉 컨트롤 게이트선(10a)의 선택을 행한다. 선택된 컨트롤 게이트선(10a)에 접속되는 메모리 셀의 데이타는, 컬럼마다 설치된 데이타 래치 기능을 구비한 센스 앰프로 이루어지는 센스 앰프(13)에 입력된다. 컬럼 디코더(14)는, 컬럼, 즉 비트선 BLi의 선택을 행한다.

선택된 컬럼의 센스 앰프의 데이타는, 데이타 입출력 버퍼(18)를 경유하여 메모리 칩의 외부로 출력된다. 메모리 칩의 내부에 입력되는 데이타는, 데이타 입출력 버퍼(18)를 경유하여 선택된 컬럼의 래치 기능을 구비한 센스 앰프로 래치된다.

부스터(16)는, 프로그램 동작이나 소거 동작에 필요한 고전압을 생성한다. 제어 회로(17)는, 메모리 칩 내부의 각 회로의 동작을 제어함과 동시에, 메모리 칩의 내부와 외부의 인터페이스를 취하는 역활을 다한다. 제어 회로(17)는, 메모리 셀에 대한 소거, 프로그램, 리드의 각 동작을 제어하는 시퀀스 제어 수단(예를 들면, 프로그래머블 로직 어레이)을 포함하고 있다.

도 57은, 도 56의 메모리 셀 어레이(11)의 구성을 나타내고 있다.

본 예에서는, 메모리 셀 유닛은, 직렬 접속된 2개의 메모리 셀로 이루어지는 NAND 셀과 그 양끝에 각각 하나씩 접속되는 2개의 셀렉트 트랜지스터로 구성된다. 메모리 셀은, 플로우팅 게이트와 컨트롤 게이트가 중첩된 소위 스택 구조의 MOSFET로 구성된다.

로우 방향의 복수의 메모리 셀 유닛에 의해 하나의 블럭이 구성되고, 하나의 컨트롤 게이트선 CGL에 접속되는 복수의 메모리 셀에 의해 1페이지가 구성된다.

또, 본 발명에서는, 소거, 프로그램 및 리드는, 페이지 단위로 행할 수 있다. 또한, 본 발명에서는 후술된 재기록 수법(data change scheme)을 채용하는 것으로, 바이트 단위에서의 데이타 재기록 동작(data change operation for bite data)도 가능해지고 있다.

도 58은, 도 56의 센스 앰프(13) 중 하나의 비트선 BLi에 접속되는 래치 기능을 구비한 센스 앰프를 나타내고 있다.

센스 앰프는, 한쪽 출력이 다른 입력이 되는 2개의 CMOS 인버터 I1, I2로 이루어지는 래치 회로(21)를 주체로 한다. 래치 회로(21)의 래치 노드 Q는, 컬럼 선택용의 NMOS 트랜지스터 M8을 경유하여 I/O 선에 접속된다. 또한, 래치 노드 Q는, 센스 앰프 차단용의 NMOS 트랜지스터 M4와 비트선 전위 클램프용의 NMOS 트랜지스터 M1을 경유하여 비트선 BLi에 접속된다.

NMOS 트랜지스터 M1, M4의 접속 노드가 센스 노드 Nsense가 된다. 센스 노드 Nsense에는, 프리차지용의 PMOS 트랜지스터 M2와 방전용의 NMOS 트랜지스터 M3이 접속된다. 프리차지용의 PMOS 트랜지스터 M2는, 프리차지 제어 신호 Load에 기초하여 소정 기간에 센스 노드 Nsense의 충전을 행한다. 방전용의 NMOS 트랜지스터 M3은, 방전 제어 신호 DCB에 기초하여 센스 노드 Nsense의 전하를 방전한다.

래치 회로(21)의 래치 노드 Qb에는, 제어 신호 φL1에 기초하여 래치 노드 Qb를 강제적으로 접지하기 위한 리셋트용 NMOS 트랜지스터 M5가 접속된다. 래치 회로(21)의 래치 노드 Q에는, 제어 신호 φL2에 기초하여 래치 노드 Q를 강제적으로 접지하기 위한 리셋트용 NMOS 트랜지스터 M6이 접속된다.

리셋트용 NMOS 트랜지스터 M5, M6의 공통 소스는, 센스 노드 Nsense의 전위에 따라 제어되는 센스용 NMOS 트랜지스터 M7을 경유하여 접지점에 접속된다. 센스용 NMOS 트랜지스터 M7은, NMOS 트랜지스터 M5, M6과 마찬가지로 래치 회로(21)의 리셋트용으로서도 이용된다.

도 59는, 본 발명의 바이트형 EEPROM의 바이트 단위의 재기록 동작(data change operation for bite data)의 개략적인 시퀀스 제어를 나타내는 흐름도이다.

이 시퀀스 제어는, 예를 들면 도 56의 제어 회로(17)에 의해 행해진다. 이 흐름도에 따라, 간단히 바이트 단위의 재기록 동작에 대해 설명하면, 아래와 같다.

바이트 재기록 모드(bite data change mode)가 되면, 우선 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 1페이지분의 데이타가 센스 앰프에 판독된다(페이지 리드). 그리고, 센스 앰프에는, 이 1페이지분의 데이타가 래치된다(스텝 ST1).

이어서, 어드레스로 지정된 컬럼에 대응하는 바이트 데이타가 로드된다. 이 로드된 바이트 데이타는, 센스 앰프에 래치되어 있는 1페이지분의 데이타 중 데이타 변경을 행하는 바이트 데이타에 대해 덧씌우기된다.(스텝 ST2).

이어서, 선택된 컨트롤 게이트선에 접속되는 메모리 셀의 1페이지분의 데이타가 동시에 소거(페이지 소거)된다(스텝 ST3). 소거 후에는, 선택된 컨트롤 게이트선에 접속되는 각 메모리 셀에 대해, 소거가 완전히 행해졌는지, 소거가 너무 행해지지 않는가를 검증하는 소거 검증이 행해진다(스텝 ST4, 5).

그리고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위내가 될 때까지 페이지 소거 및 소거 검증이 반복적으로 행해지고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내(소거 완료)가 되었을 때는, 다음 동작으로 이동한다(스텝 ST3 5).

또, 래치 기능을 구비한 센스 앰프가 하나의 비트선에 대해 하나만 존재하는 경우(1페이지분밖에 없는 경우), 소거 검증의 결과에 따라서는, 센스 앰프의 데이타가 파괴될 가능성이 있다. 따라서, 이러한 경우에는 소거 검증을 행하지 않고, 소거를 한번에 종료시킨다.

이 후, 선택된 컨트롤 게이트선에 접속되는 메모리 셀에 대해, 센스 앰프에 래치되어 있는 1페이지분의 데이타가 동시에 프로그램된다(스텝 ST6). 프로그램 후에는, 선택된 컨트롤 게이트선에 접속되는 각 메모리 셀에 대해, 프로그램이 완전히 행해졌는지, 프로그램이 지나치게 행해지지 않는지를 검증하는 프로그램 검증이 행해진다(스텝 ST7, 8).

그리고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위내가 될 때까지 페이지 프로그램 및 프로그램 검증이 반복적으로 행해지고, 1페이지분의 모든 메모리 셀의 임계치가 소정 범위 내(프로그램 완료)가 되었을 때는, 바이트 단위의 데이타 재기록 동작을 종료시킨다.

또한, 높은 프로그램 전위를 이용하여, 1회의 프로그램 펄스로 1회의 프로그램을 행하는 경우에는, 프로그램 검증을 생략할 수도 있다.

도 60은, 도 59의 주요 스텝에서의 선택(selected) 메모리 셀의 데이타와 센스 앰프의 노드 Qb(도 58)의 상태를 나타내고 있다.

동일 도면 (a)는, 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 1페이지분의 데이타가 센스 앰프에 판독된 상태를 나타내고 있다(스텝 ST1에 대응).

메모리 셀의 데이타가 '0' (임계치 전압이 플러스)인 경우, 비트선 BLi의 전하는 방전되지 않고, 프리차지 전위를 유지한다. 따라서, 도 58의 센스 노드 Nsense는 전원 전위 VCC가 된다. 제어 신호 φL2를 전원 전위 VCC로 하면, 노드 Q는 접지 전위 VSS, 즉 '0'이 된다.

반대로, 메모리 셀의 데이타가 '1' (임계치 전압이 마이너스)인 경우, 비트선 BLi의 전하는 방전된다. 따라서, 도 58의 센스 노드 Nsense는 접지 전위 VSS가 된다. 제어 신호 φL2를 전원 전위 VCC로 하면, 노드 Q는 전원 전위 VCC, 즉 '1'이 된다.

동일 도면(b)는, 센스 앰프에 래치된 1페이지분의 데이타 중 어드레스로 지정된 바이트 데이타(8 비트 데이타)에 대해, 데이타의 덧씌우기가 행해진 상태를 나타내고 있다(스텝 ST2에 대응).

동일 도면(c)는, 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀의 데이타를 소거(페이지 소거)한 상태를 나타내고 있다(스텝 ST3에 대응). 페이지 소거에 의해, 선택된 컨트롤 게이트선에 접속되는 메모리 셀의 데이타는, 모두 '1'이 된다.

동일 도면(d)은, 선택된 컨트롤 게이트선(워드선)에 접속되는 메모리 셀에 대해, 센스 앰프에 래치된 1페이지분의 데이타를 프로그램(페이지 프로그램)한 상태를 나타내고 있다(스텝 ST6에 대응).

이와 같이, 메모리 셀 어레이(11)에 대해서는, 동작 상은 페이지 단위의 데이타 재기록으로 되어 있지만, 실제는 바이트 단위의 데이타의 재기록이 행해지게 된다.

이어서, 도 61 내지 도 63의 타이밍차트를 참조하면서, 페이지 프로그램, 프로그램 검증을 위한 리드 동작을, 도 58의 센스 앰프의 동작을 중심으로 하여 상세히 설명한다.

또, 도 61 내지 도 63은, 하나의 타이밍차트를 복수로 분할한 것이다.

칩 외부로부터 칩 내부에 프로그램을 지시하는 커맨드가 입력되면, 프로그램 동작이 시작된다.

우선, 센스 노드 Nsense를 리셋트하기 위해, 제어 신호 DCB를 전원 전위 VCC로 한다. 이 때, MOS 트랜지스터 M3이 온하여, 센스 노드 Nsense가 접지된다(t1).

또한, 제어 신호 DCB와 함께 제어 신호 BLSHF도 전원 전위 VCC로 하면, MOS 트랜지스터 M1이 온하여, 비트선 BLi가 접지된다.

프로그램 데이타를 센스 앰프에 로드하기 전에, 데이타 래치 제어 신호 φL1을 전원 전위 VCC, 프리차지 제어 신호 Load를 접지 전위 VSS로 한다. 이 때, MOS 트랜지스터 M5, M7이 온하여, 래치 회로(21)의 래치 노드 Qb가 강제 접지되고, 데이타가 리셋트된다. 즉, 센스 앰프(20)의 모든 센스 앰프에서, 래치 회로(21)의 래치 노드 Q가 전원 전위 VCC, 래치 노드 Qb가 접지 전위 VSS가 된다(t2).

이어서, I/O 선으로부터 프로그램 데이타가 로드되고, 센스 앰프(20)의 각 래치 회로(21)에 데이타가 래치되고, 노드 Q, Qb는 로드 데이타 a에 따라 'H', 'L'로 설정된다(t3).

구체적으로는, '0' 프로그래밍을 행하는 메모리 셀에 대응하는 센스 앰프의 래치 회로(21)에서는, 래치 노드 Q에 'L'(-VSS)가 주어지고, '1' 프로그래밍(프로그램 금지)의 메모리 셀에 대응하는 센스 앰프의 래치 회로(21)에서는, 래치 노드 Q에 'H'(=VCC)가 주어진다.

이어서, 제어 신호 BLSHF, SBL이 'H'가 되어, 센스 앰프(20)의 각 래치 회로(21)에 래치된 데이타에 기초하여, 각 비트선의 충전이 시작된다(t4).

즉, '0' 프로그래밍을 행하는 메모리 셀에 접속되는 비트선 BLi는 접지 전위 VSS에 설정되고, '1' 프로그래밍(프로그램 금지)의 메모리 셀에 접속되는 비트선은 전원 전위 VCC에 충전된다. 선택된 컨트롤 게이트선(워드선)은, 프로그램 전압 Vprog(20[V] 정도)으로 설정된다. 이 때, 비선택의 컨트롤 게이트선(워드선)은, Vpass(예를 들면, 8[V])이 아니라, 전원 전위 VCC(예를 들면, 3.3[V]) 또는 리드시에 비선택의 메모리 셀에 부여하는 리드 전위 Vread(예를 들면, 4.5[V])로 설정된다.

이 동작에 따라, 1페이지분의 메모리 셀에의 프로그램이 행해진다.

데이타 프로그램이 종료한 후, 데이타 프로그램이 제대로 완료하고 있는지의 여부를 검증하는 프로그램 검증이 시작된다.

우선, 프로그램 검증을 위한 리드가 행해진다. 이 검증 동작은 통상의 리드 동작과 동일하다.

제어 신호 DCB를 전원 전위 VCC로 설정하면, MOS 트랜지스터 M3이 온하여, 센스 노드 Nsense가 강제적으로 접지된다(t5).

계속해서, 선택된 컨트롤 게이트선 CGL에는, 참조 전위 Vref(0.5[V] 정도)가 주어지고, 비선택의 컨트롤 게이트선 CGL에는, 메모리 셀에 기억되는 데이타에 상관없이 메모리 셀을 온상태로 하기 위한 리드 전위 Vread(예를 들면, 4.5[V])가 부여된다. 또한, 셀렉트 게이트선 SSL, GSL에는 전원 전위 VCC가 주어진다. 이에 따라, 검증이 행해진다(t6).

리드시에는, 비트선 프리차지형의 센스 방식, 전류 검지형의 센스 방식등을 이용할 수 있다. 비트선 프리차지형의 센스 방식으로는, 비트선 BLi를 프리차지하고, 플로우팅 상태로 한 후, 메모리 셀의 데이타에 따라 비트선의 전위를 유지 또는 저하시킨다. 전류 검지형의 센스 방식에 대해서는, 이하에 상술한다.

시각 t6에서, 제어 신호 BLSHF를 승압 전위 VCC+α로부터 전위 VCC-α로 클램프하고, MOS 트랜지스터 M1에 흐르는 메모리 셀 전류와 센스 노드 Nsense를 충전하는 MOS 트랜지스터 M2의 전류와의 밸런스에 의해 리드를 행한다. 그리고, 비트선 BLi의 전위가, 예를 들면 0.9[V]까지 상승하면, MOS 트랜지스터 M1이 차단상태가 되고, 센스 노드 Nsense가 전원 전위 VCC가 된다.

센스 노드 Nsense가 'H'(=VCC)가 된 후, 래치 제어 신호 φL1을 전원 전위 VCC로 하고, MOS 트랜지스터 M5을 온시킨다(t7). 센스 노드 Nsense가 전원 전위 VCC인 경우(임계치가 검증 전위 Vref보다도 높은 메모리 셀에 접속되는 센스 앰프인 경우), MOS 트랜지스터 M7이 온하여, 래치 노드 Qb는 접지 전위 VSS, 래치 노드 Q는 전원 전위 VCC가 된다.

래치 노드 Q에 접지 전위 VSS가 로드되고, 정상적으로 프로그램이 행해지면, 래치 회로(21)의 래치 데이타가 반전한다. 메모리 셀에 대한 프로그램이 불충분한 경우, 검증 리드에서, 센스 노드 Nsense는, 'L'(=VSS)상태이기 때문에, 래치 회로(21)의 데이타 반전은 일어나지 않고, 래치 노드 Q는 VSS를 유지한다. 프로그램 금지의 메모리 셀로 연결되는 센스 앰프에서는, 래치 노드 Q는, 전원 전위 VCC이므로 데이타의 반전은 없다.

프로그램 불충분한 메모리 셀이 존재할 때, 즉 래치 회로(21)의 데이타 반전이 생기지 않은 센스 앰프가 있을 때, 프로그램과 검증 리드가 반복적으로 행해진다. 그리고, 1페이지분의 모든 센스 앰프의 래치 노드 Q의 전위가 전원 전위 VCC가 되면, 프로그램이 종료한다.

이어서, 도 63의 타이밍 차트를 참조하면서, 바이트 단위의 데이타 재기록 동작에 대해, 도 58의 센스 앰프의 동작을 중심으로 상세히 설명한다.

칩 외부로부터 칩 내부에 바이트 재기록을 지시하는 커맨드가 입력되면, 바이트 재기록 동작이 개시된다.

우선, 선택된 컨트롤 게이트선(워드선)에 접속되는 1페이지분의 메모리 셀에 대해, 이미 기록되어 있는 데이타의 리드 동작이 시작된다.

리드 동작은, 리드 동작과 마찬가지다.

우선, 데이타 래치 제어 신호 φL1을 전원 전위 VCC, 프리차지 제어 신호 Load를 접지 전위 VSS로 설정한다. 이 때, MOS 트랜지스터 M5, M7이 온하여, 래치 회로(21)의 래치 노드 Qb가 강제 접지되고, 데이타가 리셋트된다. 즉, 센스 앰프의 모든 래치 회로(21)의 래치 노드 Q가 전원 전위 VCC, 래치 노드 Qb가 접지 전위 VSS가 된다(t1).

이어서, 제어 신호 DCB를 전원 전위 VCC로 설정한다. 이 때, MOS 트랜지스터 M3이 온이 되고, 센스 노드 Nsense가 강제적으로 접지된다(t2). 계속해서, 선택된 컨트롤 게이트선 CGL에 VSS(=0V)를 부여하고, 셀렉트 게이트선 SSL, GSL에 전원 전위 VCC를 부여하면, 리드가 행해진다(t3).

센스 노드 Nsense가 'H'(=VCC)가 된 후, 래치 제어 신호 φL2가 전원 전위 VCC가 되고, MOS 트랜지스터 M6이 온한다(t4). 센스 노드 Nsense가 전원 전위 VCC인 경우(즉, 데이타 '0'이 기록되고, 임계치 전압이 VSS보다도 높은 메모리 셀에 접속되는 센스 앰프인 경우), MOS 트랜지스터 M7이 온하여, 래치 노드 Q는 접지 전위 VSS, 래치 노드 Qb는 전원 전위 VCC가 된다.

이어서, 제어 신호 DCB를 전원 전위 VCC로 설정하고, 제어 신호 BLSHF를 전원 전위 VCC 또는 전위 VCC+α로 설정하여, 비트선 BLi 및 센스 노드 Nsense를 리셋트한다(t5).

이 후, 컬럼 어드레스로 지정된 센스 앰프(20)의 래치 회로(21)에 바이트 데이타가 로드되고, 노드 Q, Qb는 바이트 데이타에 따라 'H', 'L'로 설정된다(t6).

래치 회로(21)에 기록된 페이지 데이타 중 소정의 데이타에 대해, 칩 외부로부터 입력된 높이 데이타가 덧씌우기된다.

이 후, 선택된 컨트롤 게이트선에 접속되는 메모리 셀에 대해 페이지 소거 동작을 행한다.

선택(selected) 블럭의 컨트롤 게이트선은 접지 전위 VSS로 설정하고, 비선택(unselected) 블럭의 컨트롤 게이트선 및 모든 셀렉트 게이트선은 플로우팅 상태로 설정한다. 셀 P 웰에 소거 전압 Vera가 인가되면, 플로우팅 상태의 셀렉트 게이트선과 비선택(unselected) 블럭의 컨트롤 게이트선은, 셀 P 웰과의 용량 커플링에 의해, Vera×β(β는 커플링비)로 승압된다.

또한, 비트선 BLi 및 셀 소스선 SL은, 셀 P 웰 내의 N^+층에 접속된다. 이 N^+층과 셀 P 웰과의 pn 접합이 순바이어스되면, 비트선 BLi 및 셀 소스선 SL은, 각각 Vera-Vb로 충전된다(t7). 단, Vb는, pn 접합의 빌트 인·포텐셜이다.

이 후, 소거 검증을 행하고, 선택된 페이지의 메모리 셀이 모두 소거 상태, 즉 메모리 셀의 임계치 전압이 마이너스가 된 것을 확인한다. 래치 회로(21)에 축적된 데이타에 기초하여, 선택된 페이지의 메모리 셀에 대해, 프로그램 동작 및 프로그램 검증 동작을 행한다.

또, 도 63에서는 소거 검증 이후의 동작은, 생략하고 있다.

도 64는, NAND 형 플래시 EEPROM의 메모리 셀 어레이의 일부를 본 발명의 바이트형 EEPROM의 메모리 셀 어레이로 한 예이다.

본 발명의 바이트형 EEPROM의 메모리 셀 어레이는, NAND 형 플래시 EEPROM의 메모리 셀 어레이에서 2개의 셀렉트 트랜지스터 사이의 메모리 셀을 2개로 한 것으로 생각할 수 있다. 따라서, 본 예와 같은 EEPROM을 용이하게 실현할 수 있게 된다.

본 예의 EEPROM은, 하나의 비트선 BLi에 다른 구성의 2종류의 메모리 셀 유닛이 접속된다. 즉, 제1 메모리 셀 유닛은, 2개의 셀렉트 트랜지스터 사이에 복수개(예를 들면, 8, 16, 32개등)의 메모리 셀이 접속되고, 제2 메모리 셀 유닛은, 2개의 셀렉트 트랜지스터사이에 2개의 메모리 셀이 접속된다.

컨트롤 게이트선 (워드선)의 선택에 있어서는, 제1 메모리 셀 유닛의 영역과 제2 메모리 셀 유닛의 영역에서, 따로따로 구동 회로를 설치하도록 해도 되고, 공통화할 수 있으면, 양 영역의 구동 회로를 하나로 통합하도록 해도 된다.

이러한 구성에 따라, 메모리 셀 어레이의 일부에 대해, 바이트 단위의 데이타 재기록 동작(data change operation for bite data)가 가능해진다.

또, 도 64의 NAND형 플래시 EPROM의 메모리 셀 어레이를 대신하여, AND 형 플래시 EEPROM, DINOR 형 플래시 EEPROM 등의 메모리 셀 어레이를 채용할 수도 있다.

발명의 효과

이상, 설명된 바와 같이, 본 발명의 바이트형 EEPROM에 따르면, (1) 메모리 셀 유닛이 두개의 셀렉트 트랜지스터사이에 끼운 하나의 스택형 메모리 셀로 구성되기 때문에, 플래시 EEPROM과 동일 프로세스로 형성할 수 있음과 동시에, 플래시 EEPROM과 동일 재기록 방법(data change method)을 채용할 수 있고, 또한 바이트 단위의 데이타 재기록 동작(data change operation for bite data)도 가능하게 할 수가 있다.

또한, (2) 프로그램시에 비선택(unselected) 메모리 셀의 컨트롤 게이트에, Vpass가 아니라, VCC 또는 Vread를 부여하고, 또한 메모리 셀 유닛을 두개의 셀렉트 트랜지스터에 끼워진 복수(예를 들면, 두개)의 스택형 메모리 셀로 구성하면, 상기 효과 외에, 또한 메모리 셀 하나당 사이즈 축소를 꾀할 수 있다.

또, 통상의 NAND 형 플래시 EEPROM과 본 발명의 바이트형 EEPROM의 효과를 비교한 것을 표 7에 나타낸다.

또한, 본 발명의 바이트형 EEPROM에 따르면, (3) 메모리 셀 어레이를 행렬형으로 배치되는 복수의 블럭으로 구성하고, 블럭 단위로, 리드, 소거, 프로그램등의 동작을 행할 수 있도록 했기 때문에, 바이트 단위의 데이타 재기록 동작(data change operation for bite data)에서도, 실질적인 데이타 재기록 특성(program/ erase endurance characteristics)를 열화시키는 일은 없다.

모드		선택 바이트	선택 바이트와 동일한 워드선으로 이어지는 비선택 바이트	선택 바이트와 동일한 비트선으로 이어지는 비선택 바이트
소거 ("0" 기록)	워드선	High	High	Low
	바이트 컨트롤	High	Low	High
	비트선	Low	Low	Low
소거 ("1" 기록)	워드선	High	High	Low
	바이트 컨트롤	Low	Low	Low
	비트선	High or Low*1	Low	High or Low*2

*1=Data Dependent

*2=Don't Care

	NAND	NOR
장점	① 기록 속도가 빠르다 ② 소거 속도가 빠르다 ③ 블럭 사이즈가 작아 파일 관리가 용이	① 랜덤 억세스가 빠르다 ② 기록이 바이트마다 랜덤으로 할수 있다
단점	① 랜덤 억세스가 느리다 ② 바이트마다 기록을 할수 없다	① 기록 속도가 느리다 ② 소거 속도가 느리다
용도	하드 디스크, 플로피 디스크의 치환, 휴대 단말 (핸디 터미널, 음성 녹음, 전자 스틸 카메라) Fax/모뎀의 데이타 기록용	종래 EPROM 분야의 치환, 제어 기기, PC의 BIOS, 휴대 전화, HDD등의 제어용 메모리

선택 블럭	비트선측의 셀렉트 게이트선 SSL	Veraxβ	VCC	VCC
	컨트롤 게이트선 CGL	0V	Vprog	0V
	소스선측의 셀렉트 게이트선 GSL	Veraxβ	0V	VCC
비선택 블럭	비트선측의 셀렉트 게이트선 SSL	Veraxβ	0V	0V
	컨트롤 게이트선 CGL	Veraxβ	0V	0V
	소스선측의 셀렉트 게이트선 GSL	Veraxβ	0V	0V
비트선	"1" 데이타	Vera-Vb	VCC	VBL→0V
	"0" 데이타	Vera-Vb	0V	VBL
셀 소스선		Vera-Vb	VCC	0V
셀 P 웰		Vera	0V	0V

		소거	기록	판독
선택 블럭	비트선측의 셀렉트 게이트선 SSL	Verax-β	VCC	VCC
	컨트롤 게이트선 CGL	0V	Vprog	VCC
	소스선측의 셀렉트 게이트선 GSL	Verax-β	0V	VCC
비선택 블럭	비트선측의 셀렉트 게이트선 SSL	Verax-β	0V	0V
	컨트롤 게이트선 CGL	Verax-β	0V	0V
	소스선측의 셀렉트 게이트선 GSL	Verax-β	0V	0V
비트선	"1" 데이타	Vera-Vb	VCC	VBL→0V
	"0" 데이타	Vera-Vb	0V	VBL
셀 소스선		Vera-Vb	VCC	0V
셀 P 웰		Vera	0V	0V

디자인 룰 0.4 μm			
16NAND 셀	2NAND	1NAND 셀 (3 트랜지스터 셀)	NOR 형
1.095 μm^2 (1)	2.376 μm^2 (2.17)	3.84 μm^2 (3.51)	1.82 μm^2 (1.66)
디자인 룰 0.25 μm			
16NAND 셀	2NAND 셀	1NAND 셀 (3 트랜지스터 셀)	NOR 형
0.293 μm^2 (1)	0.712 μm^2 (2.43)	1.189 μm^2 (4.06)	0.54 μm^2 (1.84)

		소거	기록	판독
선택 블럭	비트선측의 셀렉트 게이트선 SSL	Vera×B	VCC	VCC 또는 Vread
	컨트롤 게이트선 CGL(비선택)	Vera×B	VCC	VCC 또는 Vread
	컨트롤 게이트선 CGL(선택)	0V	Vprog	0V
	소스선특의 셀렉트 게이트선 GSL	Vera×B	0V	VCC 또는 Vread
비선택 블럭	비트선측의 셀렉트 게이트선 SSL	Vera×B	0V	0V
	컨트롤 게이트선 CGL	Vera×B	0V	0V
	소스선측의 셀렉트 게이트선 GSL	Vera×B	0V	0V
비트선	"1" 데이타	Vera-Vb	VCC	VBL→0V
	"0" 데이타	Vera-Vb	0V	VBL
셀 소스선		Vera-Vb	VCC	0V
셀 P 웰		Vera	0V	0V

	종래	본 발명	
셀 유닛 구조	NAND 형	3 트랜지스터형	4 트랜지스터형
일발 기록 (검증 불필요)	×	○	×
페이지(바이트) 단위의 재기록	×	○	○
판독 전류	×	○	△
판독 유지 (데이타 유지 특성)	×	○	×
데이타 재기록 횟수 (데이타 재기록 횟수)	○	○*1	○*1
기록시의 방해 (오기록)	×*2	○	○*3
셀 사이즈	○ (1)	×*4 (3.5)	△ (2.2)

○ : 가능 또는 좋음
△ : 보통
× : 불가능 또는 나쁨

*1 : 서브 컨트롤 게이트 드라이버 사용의 경우

*2 : 선택 블럭 내의 비선택 워드선에 Vprog

*3 : 선택 블럭 내의 비선택 워드선에 Vcc 또는 Vread

*4 : 종래의 바이트형 EEPROM에 비교하면 ○

(57) 청구의 범위

청구항 1.

불휘발성 반도체 메모리에 있어서,

하나의 메모리 셀(MC)과 이것을 끼우는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 메모리 셀 유닛을 포함하는 메모리 셀 어레이 -상기 하나의 메모리 셀(MC)의 소스 및 드레인은 각각 제1 셀렉트 트랜지스터의 드레인 및 제2 셀렉트 트랜지스터의 소스에 접속됨-;

상기 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 비트선(10b, BL); 및

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A)

를 포함하며,

상기 메모리 셀은 플로우팅 게이트와 컨트롤 게이트를 구비한 스택 게이트 구조를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 2.

제1항에 있어서,

상기 2개의 셀렉트 트랜지스터(ST1, ST2)는 상기 메모리 셀(MC)과 동일한 구조를 갖고 있는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 3.

제1항에 있어서,

상기 메모리 셀 어레이에서, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 1페이지분의 메모리 셀의 데이타를 상기 센스 앰프로 리드(read)하고, 상기 센스 앰프에서 상기 1 페이지분의 데이타 중 상기 선택된 메모리 셀에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀 s의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀로 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 4.

제3항에 있어서,

상기 선택된 메모리 셀의 데이타는 바이트 데이타 및 페이지 데이타 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 5.

불휘발성 반도체 메모리에 있어서,

하나의 메모리 셀(MC)과 이것을 끼우는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 제1 메모리 셀 유닛, 및 복수개의 메모리 셀(MC)로 구성되는 제2 메모리 셀 유닛을 포함하는 메모리 셀 어레이 -상기 하나의 메모리 셀(MC)의 소스 및 드레인은 각각 제1 셀렉트 트랜지스터의 드레인 및 제2 셀렉트 트랜지스터의 소스에 접속됨-;

상기 제1 및 제2 메모리 셀 유닛에 공통으로 접속되는 비트선(10b, BL); 및

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A)

를 포함하며,

상기 제1 및 제2 메모리 셀 유닛 내의 메모리 셀 s는, 각각 플로우팅 게이트와 컨트롤 게이트를 구비한 스택 게이트 구조를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 6.

제5항에 있어서,

상기 제2 메모리 셀 유닛은, 상기 복수개의 메모리 셀이 직렬 접속된 NAND 유닛, 및 상기 복수개의 메모리 셀이 병렬 접속된 AND 유닛, 및 상기 복수개의 메모리 셀이 병렬 접속된 DINOR 유닛 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 7.

제5항에 있어서,

상기 2개의 셀렉트 트랜지스터(ST1, ST2)는, 상기 메모리 셀(MC)과 동일 구조를 갖고 있는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 8.

제5항에 있어서,

상기 메모리 셀 어레이에 있어서, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 1페이지분의 메모리 셀 s의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 1페이지분의 데이타 s 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀 s의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀 s에 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 9.

제8항에 있어서,

상기 선택된 메모리 셀의 데이타는, 바이트 데이타 및 페이지 데이타 중 한쪽인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 10.

불휘발성 반도체 메모리에 있어서,

메모리 셀(MC)을 포함하는 메모리 셀 유닛으로 구성되는 메모리 셀 어레이;

상기 메모리 셀 유닛에 접속되는 비트선(10b, BL);

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A); 및

선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에, 상기 1페이지분의 메모리 셀 s의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 1페이지분의 데이타중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀 s의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀 s에 프로그램하는 수단(17)

을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 11.

제10항에 있어서,

상기 메모리 셀 유닛은, 하나의 메모리 셀과 이것을 끼우는 2개의 셀렉트 트랜지스터로 구성되는 메모리 셀 유닛, 복수개의 메모리 셀이 직렬 접속된 NAND 유닛, 복수개의 메모리 셀이 병렬 접속된 AND 유닛, 및 복수개의 메모리 셀이 병렬 접속된 DINOR 유닛중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 12.

제10항에 있어서,

상기 선택된 메모리 셀 s에 대응하는 데이타는, 페이지 데이타 및 바이트 데이타 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 13.

불휘발성 반도체 메모리에 있어서,

FN 터널 전류에 의해 데이타의 프로그램을 행하는 메모리 셀(MC)을 포함하는 메모리 셀 어레이;

상기 메모리 셀에 접속되는 비트선(10b, BL);

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A); 및

선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s에 대하여 동시에 데이타 프로그램을 행하는 경우에, 상기 1페이지분의 메모리 셀 s가 형성되는 웰을 제1 전위, 상기 1페이지분의 메모리 셀 s의 컨트롤 게이트 s에 제2 전위, 상기 1페이지분의 메모리 셀 s 중 프로그램을 실행하는 선택된 메모리 셀에 접속되는 비트선에 상기 제1 전위, 상기 1페이지분의 메모리 셀 s 중 프로그램을 실행하지 않은 비선택의 메모리 셀에 접속되는 비트선에 상기 제1 및 제2 전위의 중간 전위를 인가하는 수단(17)

을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 14.

불휘발성 반도체 메모리에 있어서,

매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이(11);

상기 메모리 셀 어레이 상에서 로우 방향으로 연장되는 메인 컨트롤 게이트선(CGLi);

상기 메인 컨트롤 게이트선의 일단에 배치되는 메인 컨트롤 게이트 드라이버(12c);

상기 로우 방향에 배치되는 메모리 셀 유닛 s 내의 1페이지분의 메모리 셀 s 중 복수의 메모리 셀 s에 접속되는 서브 컨트롤 게이트선(CGLi-0, CGLi-1, ··· CGLi-3); 및

상기 메인 컨트롤 게이트선과 상기 서브 컨트롤 게이트선 사이에 배치되는 서브 컨트롤 게이트 드라이버(28)

를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 15.

제14항에 있어서,

상기 복수의 메모리 셀 유닛의 각각은, 하나의 메모리 셀(MC)과 이 메모리 셀의 양단에 하나씩 접속되는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 16.

제15항에 있어서,

상기 로우 방향으로 배치되는 메모리 셀 유닛 s 내의 2개의 셀렉트 트랜지스터의 게이트에 접속되는 2개의 셀렉트 게이트선(SSLi, GSLi); 및

상기 2개의 셀렉트 게이트선의 일단에서, 상기 컨트롤 게이트 드라이버에 근접하여 배치되는 셀렉트 게이트 드라이버(12c)를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 17.

제14항에 있어서,

어드레스 신호를 디코드하고, 제어 신호를 출력하는 서브 디코더(29)를 더 포함하며,

상기 서브 컨트롤 게이트 드라이버(28)는 상기 메인 컨트롤 게이트선(CGLi)과 상기 서브 컨트롤 게이트선(CGLi-0, CGLi-1,···CGLi-3) 사이에 접속되고, 게이트에 상기 제어 신호가 입력되는 MOS 트랜지스터(36-0, 36-1,···36-3)로 구성되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 18.

제14항에 있어서,

어드레스 신호를 디코드하고, 상기 서브 컨트롤 게이트선에 소정의 전위를 부여하는 서브 디코더(29)를 더 포함하며,

상기 서브 컨트롤 게이트 드라이버(28)는 상기 서브 컨트롤 게이트선(CGLi-0, CGLi-1, ···CGLi-3)과 상기 서브 디코더(29) 사이에 접속되고, 게이트에 상기 메인 컨트롤 게이트선(CGLi)의 전위가 입력되는 MOS 트랜지스터(36-0, 36-1, ···36-3)로 구성되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 19.

제14항에 있어서,

상기 로우 방향으로 배치되는 메모리 셀 유닛 s 내의 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀의 데이타를 래치 기능을 구비한 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 복수의 메모리 셀의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀에 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 20.

제19항에 있어서,

상기 서브 컨트롤 게이트선에는 n (n은 복수) 바이트의 메모리 셀 s가 접속되고, 상기 선택된 메모리 셀 s에 대응하는 데이타는 바이트 데이타인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 21.

제14항에 있어서,

상기 로우 방향에 배치되는 메모리 셀 유닛 s 내의 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 메인 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀의 데이타 s를 래치 기능을 구비한 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 서브 컨트롤 게이트선에 접속되는 복수의 메모리 셀 s의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀의 데이타를 소거하고, 상기 센스 앰프의 데이타 중 상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀에 대응하는 데이타를 상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀에 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 22.

제21항에 있어서,

상기 서브 컨트롤 게이트선에는 n (n은 복수)바이트의 메모리 셀 s가 접속되고, 상기 선택된 메모리 셀 s에 대응하는 데이타는 바이트 데이타인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 23.

제14항에 있어서,

상기 서브 컨트롤 게이트선에 접속되는 상기 복수의 메모리 셀을 블럭이라고 정의한 경우에, 상기 메인 컨트롤 게이트선에 복수의 블럭을 접속하고, 데이타의 리드, 소거 또는 프로그램 동작을 n (n은 자연수) 블럭마다 행하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 24.

불휘발성 반도체 메모리에 있어서,

매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이(l1);

상기 메모리 셀 어레이 상에서 로우 방향으로 연장하는 제1 및 제2 메인 컨트롤 게이트선(CGLi, CGLi+1);

상기 제1 메인 컨트롤 게이트선의 일단에 접속되는 제1 메인 컨트롤 게이트 드라이버(12c);

상기 복수의 메모리 셀 유닛 중 제1 로우 내에 배치되는 메모리 셀 유닛 s내의 메모리 셀 s에 접속되는 제1 서브 컨트롤 게이트선(CGLi-0, CGLL-1,···CGLi-3);

상기 제1 메인 컨트롤 게이트선과 상기 제1 서브 컨트롤 게이트선 사이에 배치되는 제1 서브 컨트롤 게이트 드라이버(28);

상기 제1 로우내의 메모리 셀 유닛 s 내의 셀렉트 트랜지스터에 접속되는 제1 셀렉트 게이트선(SSLi, GSLi);

상기 제1 셀렉트 게이트선의 일단에 접속되는 제1 셀렉트 게이트 드라이버(12c);

상기 제2 메인 컨트롤 게이트선의 일단에 접속되는 제2 메인 컨트롤 게이트 드라이버(12c);

상기 복수의 메모리 셀 유닛 중 제2 로우 내에 배치되는 메모리 셀 유닛 s 내의 메모리 셀 s에 접속되는 제2 서브 컨트롤 게이트선(CGLi-0, CGLi-1, ···CGLi-3);

상기 제2 메인 컨트롤 게이트선과 상기 제2 서브 컨트롤 게이트선 사이에 배치되는 제2 서브 컨트롤 게이트 드라이버(28);

상기 제2 로우 내의 메모리 셀 유닛 s 내의 셀렉트 트랜지스터에 접속되는 제2 셀렉트 게이트선(SSLi+1, GSLi+1); 및

상기 제2 셀렉트 게이트선의 일단에 접속되는 제2 셀렉트 게이트 드라이버(12c)

를 포함하며,

상기 제1 메인 컨트롤 게이트 드라이버와 상기 제1 셀렉트 게이트 드라이버는 상기 메모리 셀 어레이의 상기 로우 방향의 일단에 배치되고, 상기 제2 메인 컨트롤 게이트 드라이버와 상기 제2 셀렉트 게이트 드라이버는 상기 메모리 셀 어레이의 상기 로우 방향의 타단에 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 25.

불휘발성 반도체 메모리에 있어서,

매트릭스형으로 배치된 복수의 메모리 셀 유닛으로 구성되는 메모리 셀 어레이(11);

상기 메모리 셀 어레이 상에서 로우 방향으로 연장되는 제1 및 제2 메인 컨트롤 게이트선(CGLi, CGLi+1);

상기 복수의 메모리 셀 유닛 중 제1 로우 내에 배치되는 메모리 셀 유닛 s 내의 메모리 셀 s에 접속되는 제1 서브 컨트롤 게이트선(CGLi-0, CGLi-1,···CGLi-3);

상기 제1 메인 컨트롤 게이트선과 상기 제1 서브 컨트롤 게이트선 사이에 배치되는 제1 서브 컨트롤 게이트 드라이버(28);

상기 제1 로우 내의 메모리 셀 유닛 s 내의 셀렉트 트랜지스터에 접속되는 제1 셀렉트 게이트선(SSLi, GSLi);

상기 제1 셀렉트 게이트선의 일단에 접속되는 제1 셀렉트 게이트 드라이버(38);

상기 제1 및 제2 메인 컨트롤 게이트선의 일단에 접속되는 메인 컨트롤 게이트 드라이버(37);

상기 복수의 메모리 셀 유닛 중 제2 로우 내에 배치되는 메모리 셀 유닛 s내의 메모리 셀 s에 접속되는 제2 서브 컨트롤 게이트선(CGLi-0, CGLi-1, ···CGLi-3);

상기 제2 메인 컨트롤 게이트선과 상기 제2 서브 컨트롤 게이트선 사이에 배치되는 제2 서브 컨트롤 게이트 드라이버(28);

상기 제2 로우 내의 메모리 셀 유닛 s 내의 셀렉트 트랜지스터에 접속되는 제2 셀렉트 게이트선(SSLi+1, GSLi+1); 및

상기 제2 셀렉트 게이트선의 일단에 접속되는 제2 셀렉트 게이트 드라이버(37)

를 포함하며,

상기 메인 컨트롤 게이트 드라이버와 상기 제1 및 제2 셀렉트 게이트 드라이버는 모두 상기 메모리 셀 어레이의 상기 로우 방향의 일단에 배치되는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 26.

제25항에 있어서,

상기 제1 로우와 상기 제2 로우는 컬럼 방향에 있어서 상호 인접하고 있는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 27.

불휘발성 반도체 메모리에 있어서,

하나의 메모리 셀(MC)과 이것을 끼우는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 제1 및 제2 메모리 셀 유닛을 포함하는 메모리 셀 어레이(11);

상기 제1 메모리 셀 유닛 내의 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 제1 비트선(BL);

상기 제2 메모리 셀 유닛 내의 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 제2 비트선(BL); 및

상기 제1 및 제2 비트선에 접속되는 래치 기능을 구비한 센스 앰프(13, S/A)

를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 28.

불휘발성 반도체 메모리에 있어서,

복수개의 메모리 셀(MC)과 이것을 끼우는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 메모리 셀 유닛을 포함하는 메모리 셀 어레이(11);

상기 2개의 셀렉트 트랜지스터의 한쪽에 접속되는 비트선(BL);

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A); 및

프로그램 동작시에, 선택된 컨트롤 게이트선에 전원 전위보다도 높은 프로그램용의 고전위를 인가하고, 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 리드 동작시에 비선택의 컨트롤 게이트선에 제공하는 리드 전위를 인가하는 수단(17)

을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 29.

제28항에 있어서,

상기 메모리 셀 유닛은 2개의 메모리 셀을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 30.

제28항에 있어서,

상기 복수개의 메모리 셀은 각각 플로우팅 게이트와 컨트롤 게이트를 구비한 스택 게이트 구조를 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 31.

제30항에 있어서,

상기 2개의 셀렉트 트랜지스터는 각각 상기 복수개의 메모리 셀과 동일 구조를 갖고 있는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 32.

제28항에 있어서,

상기 메모리 셀 어레이에 있어서, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 1페이지분의 메모리 셀 s의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 1페이지분의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀 s의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀 s에 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 33.

제32항에 있어서,

상기 선택된 메모리 셀 s에 대응하는 데이타는 페이지 데이타 및 바이트 데이타 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 34.

제28항에 있어서,

상기 수단은, 상기 프로그램 동작시에, 상기 선택된 컨트롤 게이트선과 상기 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 상기 리드 전위를 제공한 후에, 상기 선택된 컨트롤 게이트선의 전위만을 상기 프로그램용의 고전위로 상승시키는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 35.

불휘발성 반도체 메모리에 있어서,

복수개의 메모리 셀(MC)과 이것을 끼우는 2개의 셀렉트 트랜지스터(ST1, ST2)로 구성되는 제1 메모리 셀 유닛 및 복수개의 메모리 셀(MC)로 구성되는 제2 메모리 셀 유닛을 포함하는 메모리 셀 어레이(11);

상기 제1 및 제2 메모리 셀 유닛에 공통으로 접속되는 비트선(BL);

상기 비트선에 접속되는, 래치 기능을 구비한 센스 앰프(13, S/A); 및

프로그램 동작시에, 상기 제1 메모리 셀 유닛을 포함하는 블럭이 선택된 경우에, 선택된 컨트롤 게이트 선에 전원 전위보다도 높은 프로그램용의 고전위를 인가하고, 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 리드 동작시에 비선택의 컨트롤 게이트선에 제공되는 리드 전위를 인가하는 수단(17)을 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 36.

제35항에 있어서,

상기 제2 메모리 셀 유닛은, 상기 복수개의 메모리 셀이 직렬 접속된 NAND 유닛, 및 상기 복수개의 메모리 셀이 병렬 접속된 AND 유닛, 및 상기 복수개의 메모리 셀이 병렬 접속된 DINOR 유닛 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 37.

제35항에 있어서,

상기 메모리 셀 어레이에 있어서, 선택된 컨트롤 게이트선에 접속되는 1페이지분의 메모리 셀 s 중 선택된 메모리 셀 s에 대해 데이타의 변경을 행하는 경우에,

상기 1페이지분의 메모리 셀 s의 데이타를 상기 센스 앰프로 리드하고, 상기 센스 앰프에 있어서 상기 1페이지분의 데이타 중 상기 선택된 메모리 셀 s에 대응하는 데이타에 대해 데이타의 덧씌우기를 행하고, 상기 1페이지분의 메모리 셀 s의 데이타를 소거하고, 상기 센스 앰프의 데이타를 상기 1페이지분의 메모리 셀 s에 프로그램하는 수단(17)을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 38.

제37항에 있어서,

상기 선택된 메모리 셀 s에 대응하는 데이타는 페이지 데이타 및 바이트 데이타 중 하나인 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 39.

제35항에 있어서,

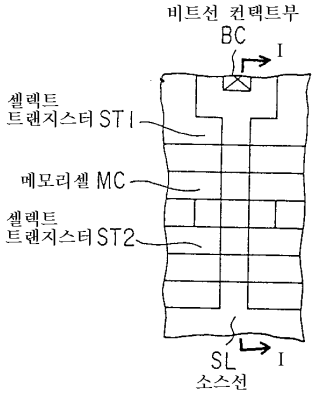
상기 수단은 상기 프로그램 동작시에, 상기 선택된 컨트롤 게이트선과 상기 비선택의 컨트롤 게이트선에 상기 전원 전위 또는 상기 리드 전위를 제공한 후에, 상기 선택된 컨트롤 게이트선의 전위만을 상기 프로그램용의 고전위로 상승시키는 것을 특징으로 하는 불휘발성 반도체 메모리.

청구항 40.

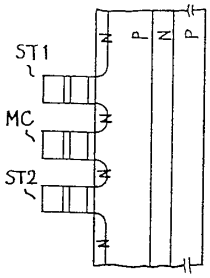
제3항, 제8항, 제10항, 제19항, 제21항, 제32항 또는 제37항 중 어느 한 항에 있어서,

상기 데이타의 변경 동작은, 소거 동작과 프로그램 동작으로 구성되고, 상기 프로그램 동작은 열 전자(hot electron) 현상 또는 FN 터널 현상에 의해 행해지고, 상기 소거 동작은 FN 터널 현상에 의해 행해지는 것을 특징으로 하는 불휘발성 반도체 메모리.

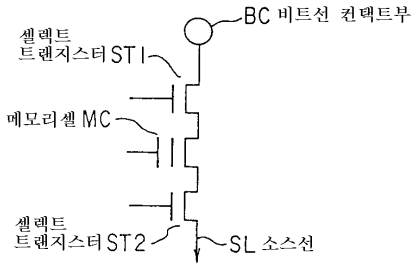
도면 1a



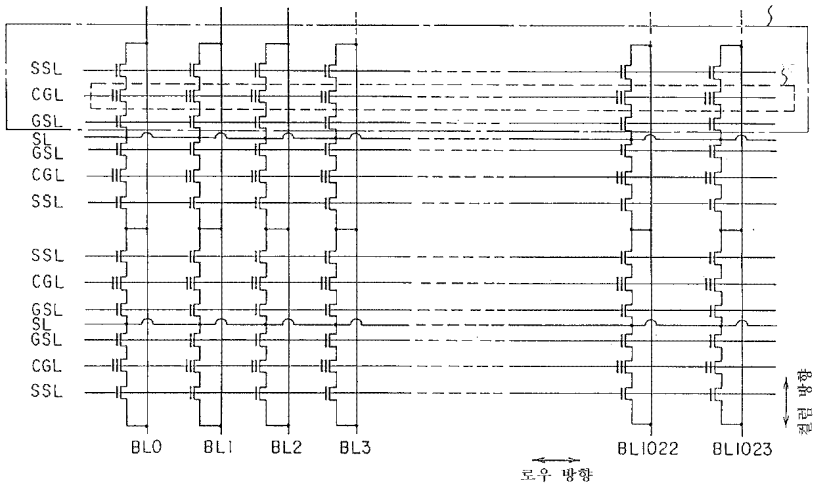
도면 1b



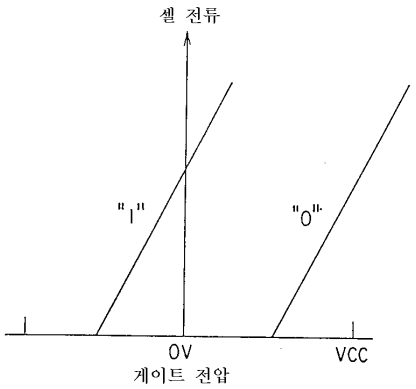
도면 2


BC 비트선 컨택트부
셀렉트
트랜지스터 ST1
메모리셀 MC
셀렉트
트랜지스터 ST2
SL 소스선

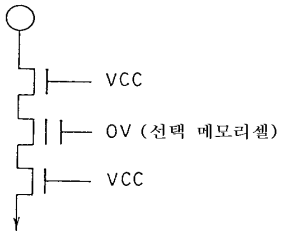
도면 3


SSL
CGL
GSL
SL
GSL
CGL
SSL
SSL
CGL
GSL
SL
GSL
CGL
SSL
BL0
BL1
BL2
BL3
BL1022
BL1023
로우 방향
컬럼 방향

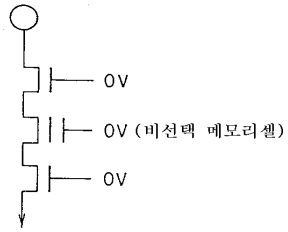
도면 4


셀 전류
"1"
"0"
0V
VCC
게이트 전압

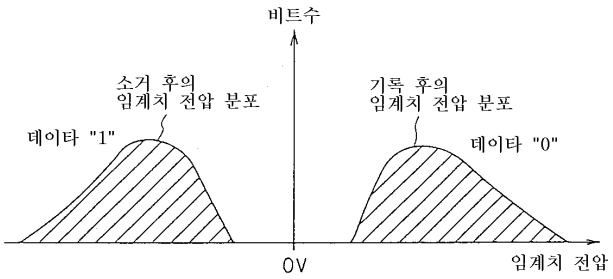
도면 5a



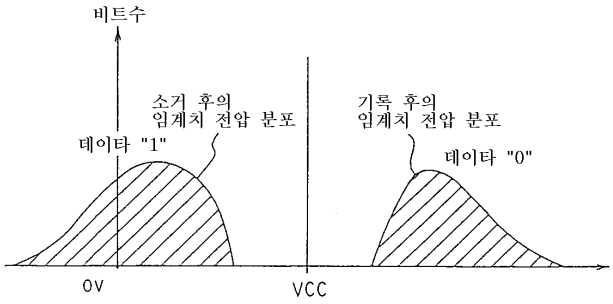
도면 5b



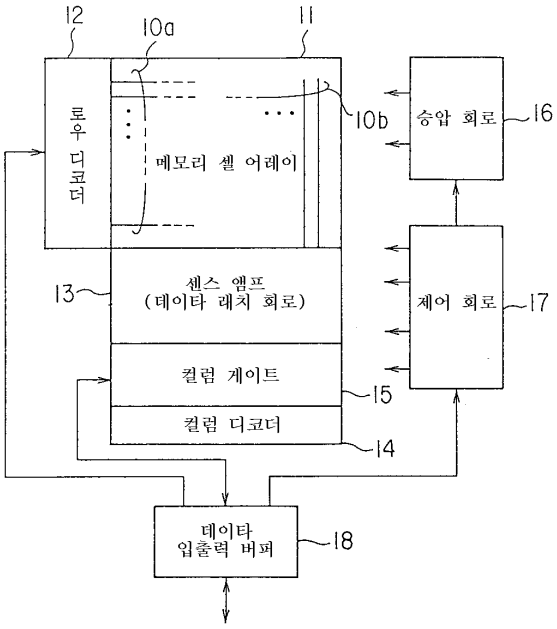
도면 6



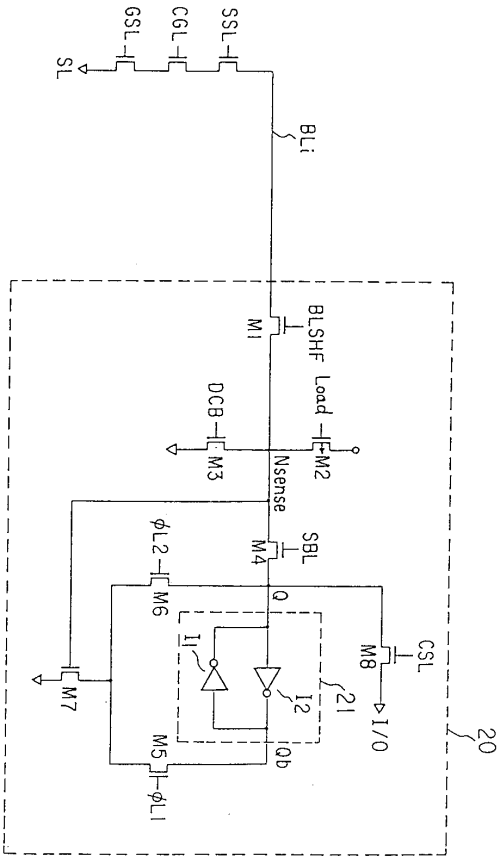
도면 7



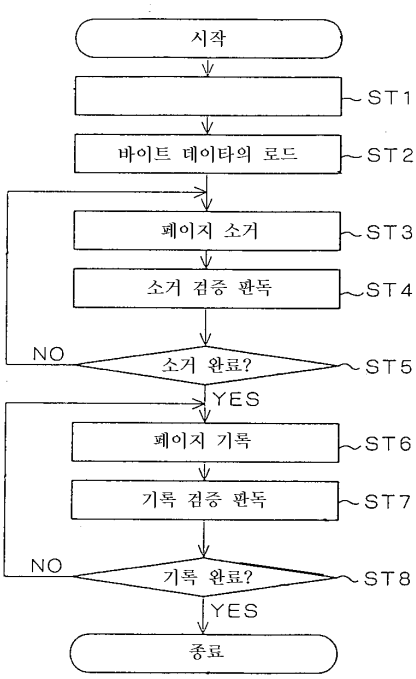
도면 8


12
10a
11
로우 디코더
메모리 셀 어레이
10b
승압 회로
16
13
센스 앰프
(데이타 래치 회로)
제어 회로
17
컬럼 게이트
15
컬럼 디코더
14
데이타
입출력 버퍼
18

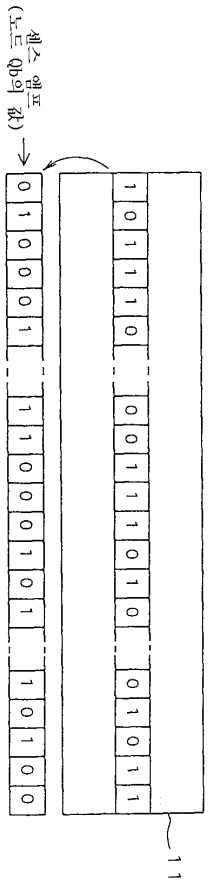
도면 9


GSL
CGL
SSL
SL
BLi
M1
BLSHF
Load
M2
DCB
M3
Nsense
SBL
M4
φL2
M6
Q
M8
CSL
I/O
I1
I2
21
M7
Qb
M5
φL1
20

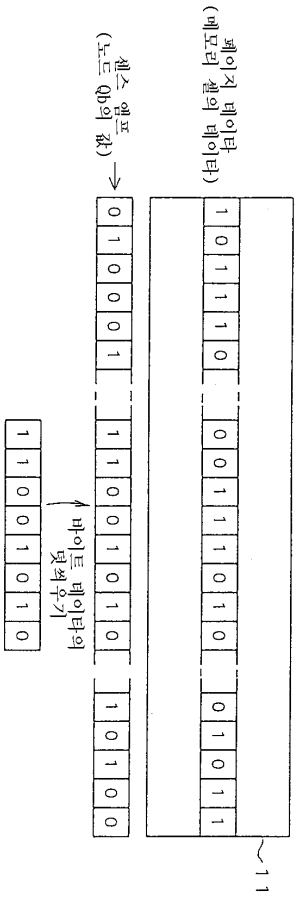
도면 10


시작
ST1
바이트 데이타의 로드
ST2
페이지 소거
ST3
소거 검증 판독
ST4
NO
소거 완료?
ST5
YES
페이지 기록
ST6
기록 검증 판독
ST7
NO
기록 완료?
ST8
YES
종료

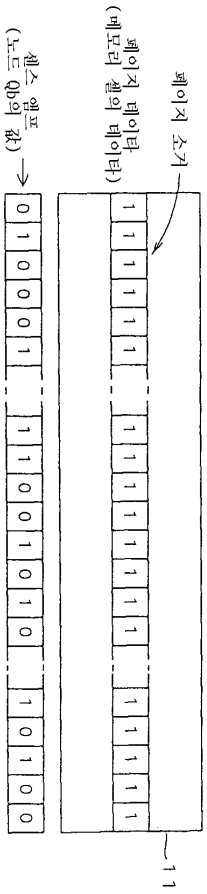
도면 11



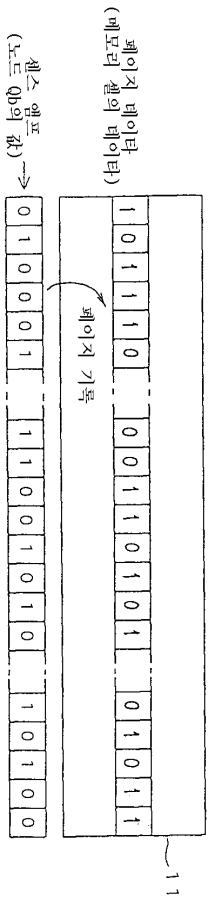
도면 12



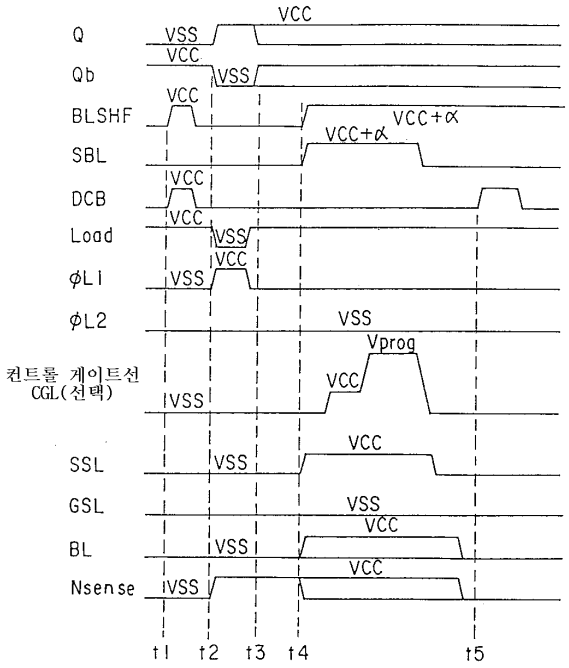
도면 13



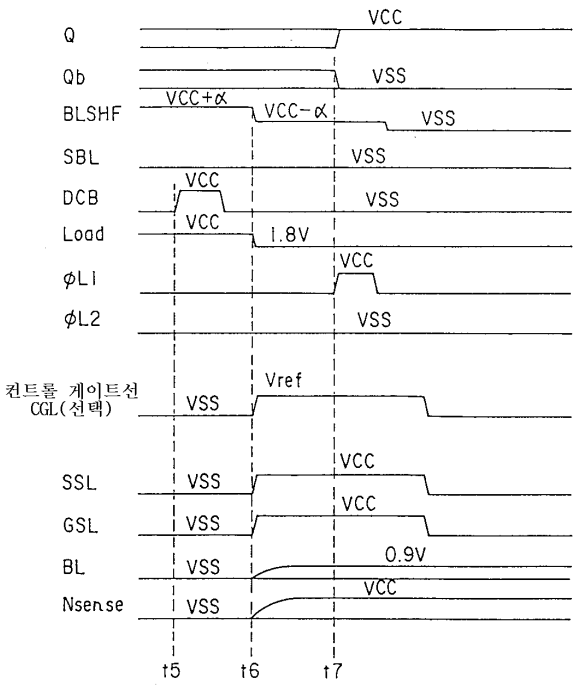
도면 14



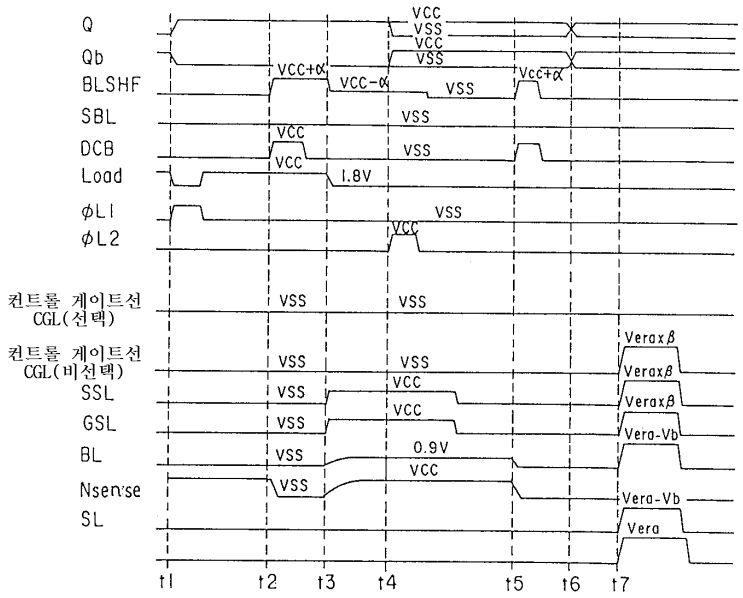
도면 15


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선
CGL(선택)
SSL
GSL
BL
Nsense
VSS
VCC
VCC+α
Vprog
t1
t2
t3
t4
t5

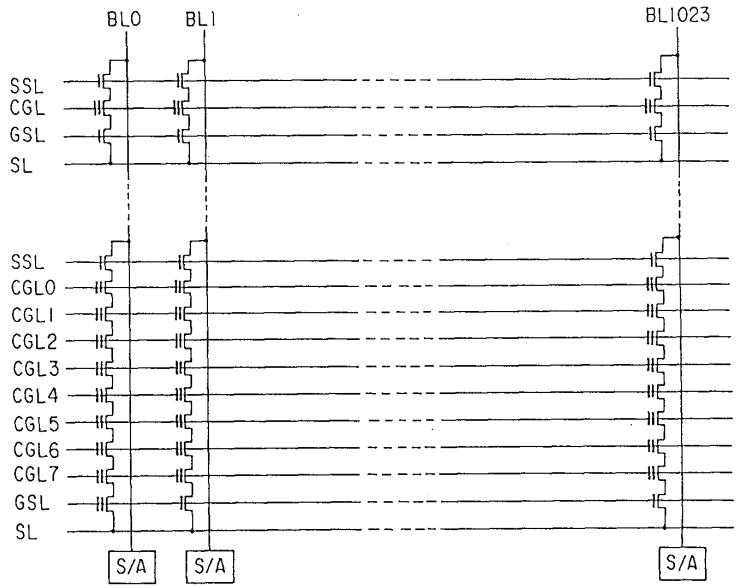
도면 16


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선
CGL(선택)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC−α
1.8V
Vref
0.9V
t5
t6
t7

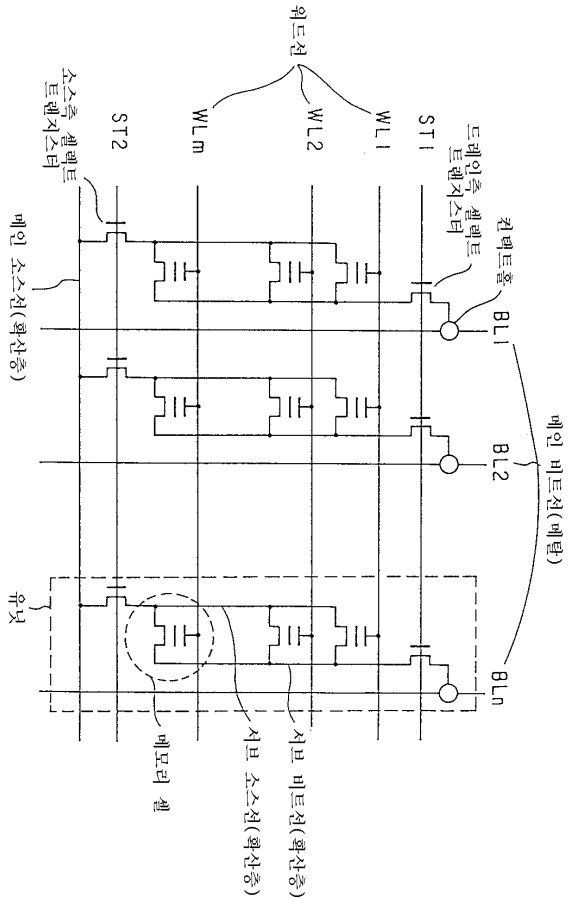
도면 17


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선 CGL(선택)
컨트롤 게이트선 CGL(비선택)
SSL
GSL
BL
Nsense
SL
VCC
VSS
VCC+α
VCC-α
Vcc+α
1.8V
0.9V
Verax β
Vera-Vb
Vera
t1
t2
t3
t4
t5
t6
t7

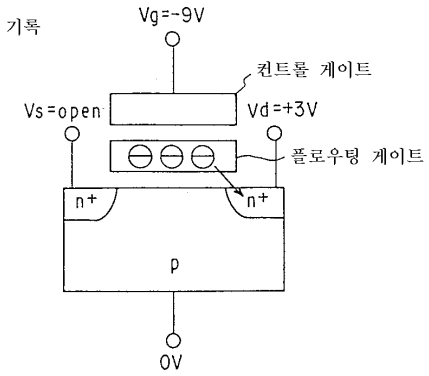
도면 18


BL0
BL1
BL1023
SSL
CGL
GSL
SL
CGL0
CGL1
CGL2
CGL3
CGL4
CGL5
CGL6
CGL7
S/A

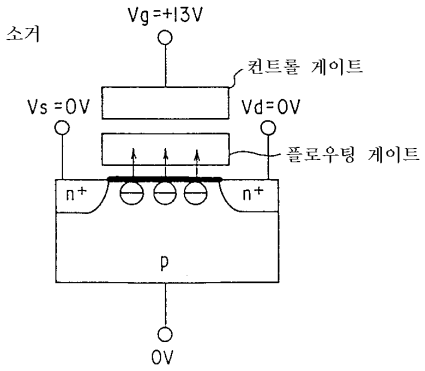
도면 19


워드선
WLm
WL2
WL1
ST2
ST1
소스측 셀렉트 트랜지스터
드레인측 셀렉트 트랜지스터
컨택트홀
메인 소스선(확산층)
BL1
BL2
BLn
메인 비트선(메탈)
유닛
메모리 셀
서브 소스선(확산층)
서브 비트선(확산층)

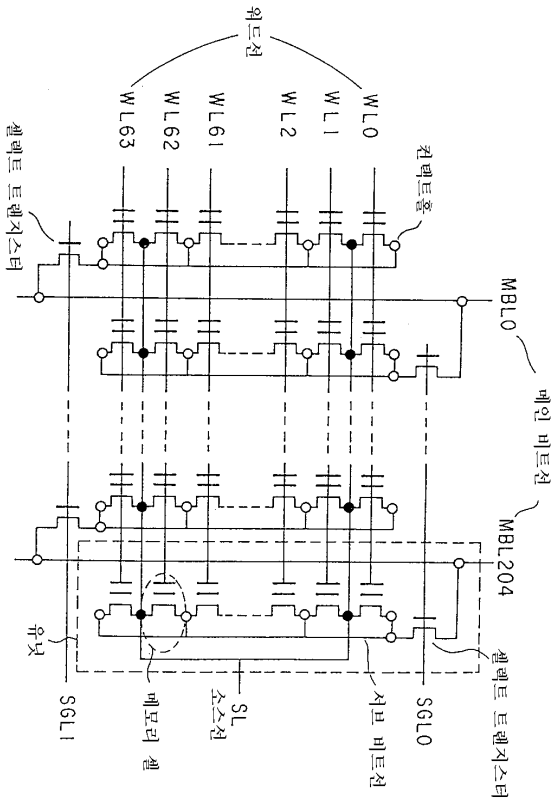
도면 20


기록
Vg=-9V
컨트롤 게이트
Vs=open
Vd=+3V
플로우팅 게이트
n+
n+
p
0V

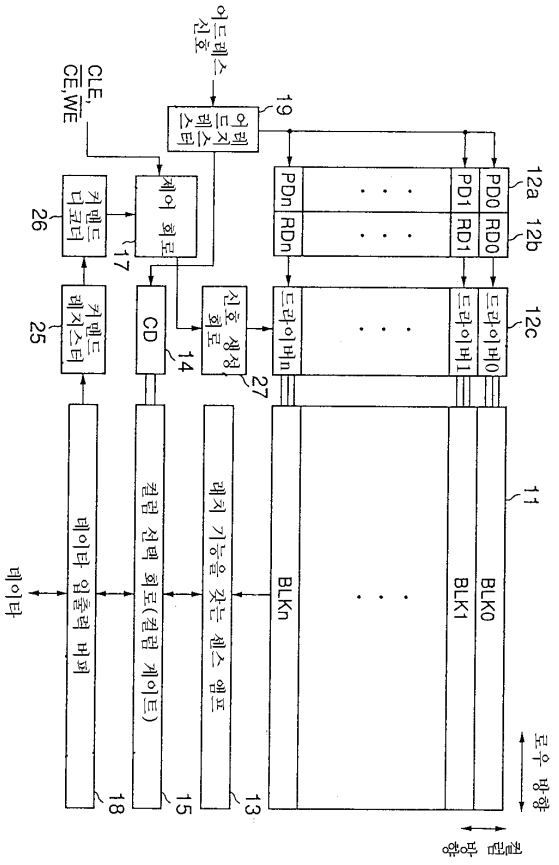
도면 21


Vg=+13V
소거
컨트롤 게이트
Vs=0V
Vd=0V
플로우팅 게이트
n+
n+
p
0V

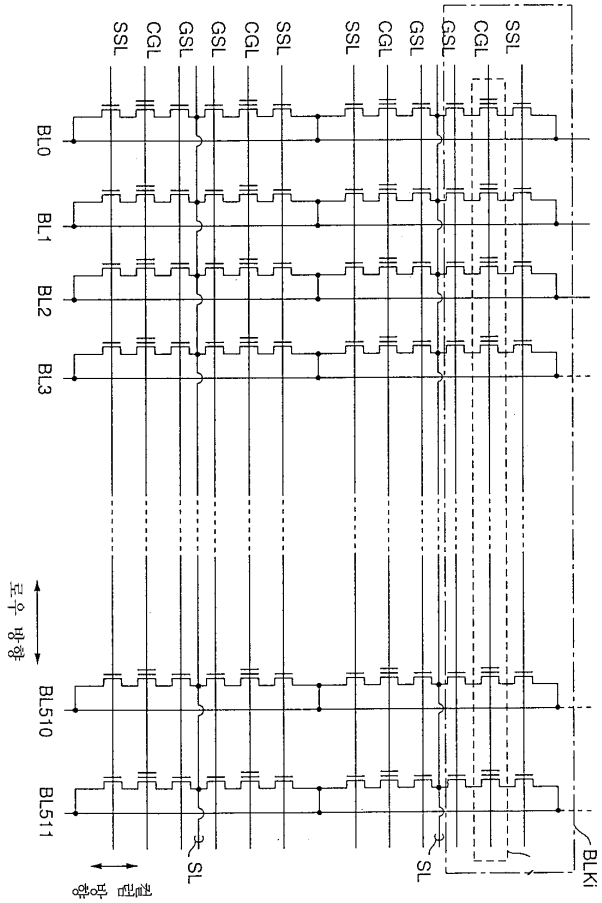
도면 22


워드선
WL63
WL62
WL61
WL2
WL1
WL0
셀렉트 트랜지스터
컨택트홀
MBL0
메인 비트선
MBL204
셀렉트 트랜지스터
유닛
SGL1
메모리 셀
SL
소스선
서브 비트선
SGL0

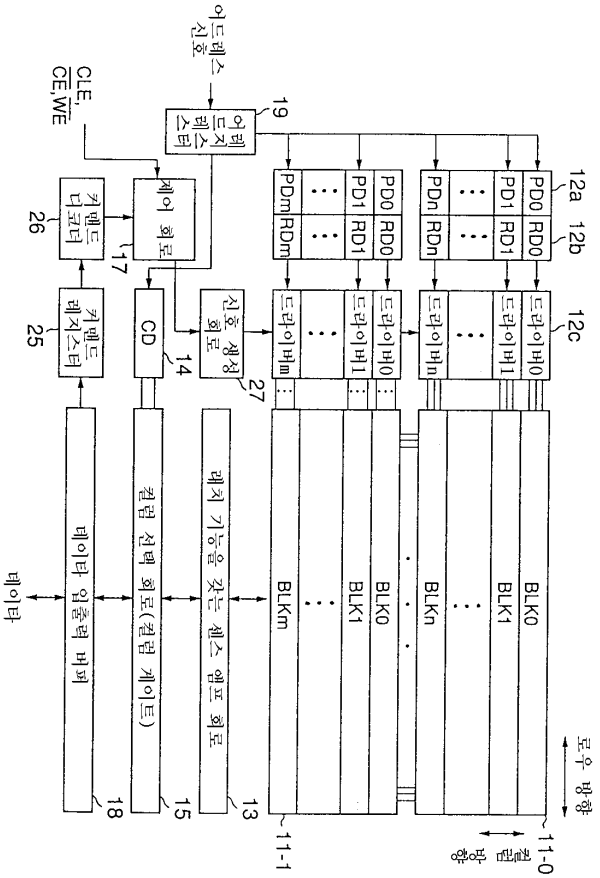
도면 23


어드레스 신호
CLE, CE, WE
19
어드레스 레지스터
12a
12b
12c
PD0
PD1
PDn
RD0
RD1
RDn
드라이버0
드라이버1
드라이버n
26
커맨드 디코더
17
제어 회로
25
커맨드 레지스터
CD
14
신호 생성 회로
27
11
BLK0
BLK1
BLKn
로우 방향
컬럼 방향
데이타
데이타 입출력 버퍼
18
컬럼 선택 회로(컬럼 게이트)
15
래치 기능을 갖는 센스 앰프
13

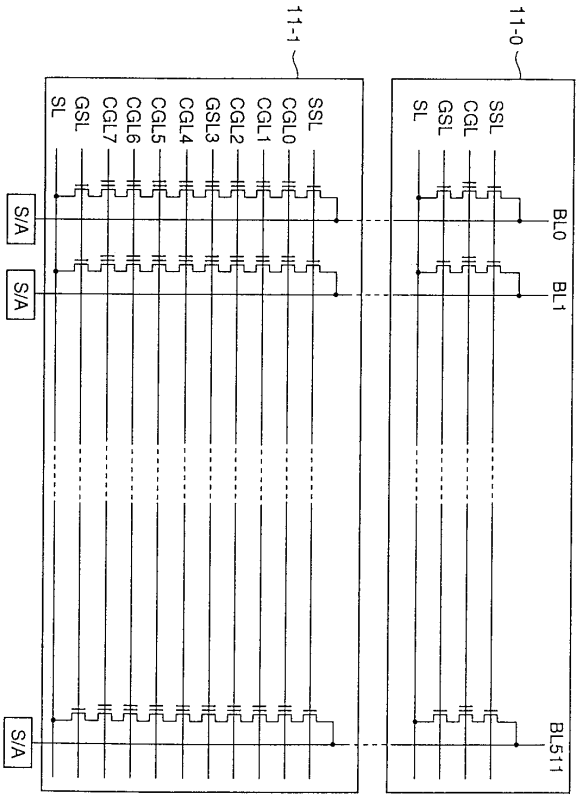
도면 24


SSL
CGL
GSL
GSL
CGL
SSL
SSL
CGL
GSL
GSL
CGL
SSL
BL0
BL1
BL2
BL3
BL510
BL511
로우 방향
컬럼 방향
SL
SL
BLKi

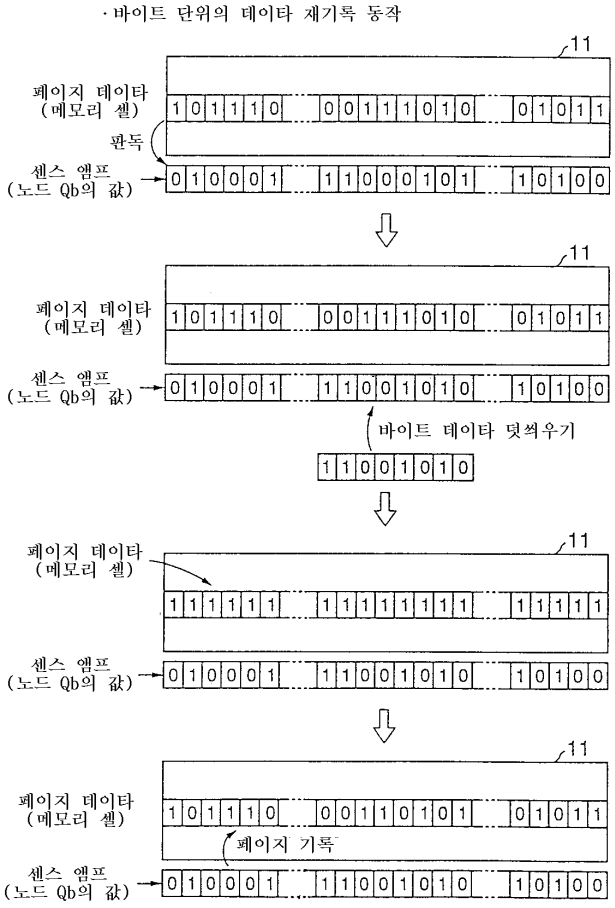
도면 25


어드레스 신호
CLE, CE, WE
어드레스 레지스터
19
커맨드 디코더
26
제어 회로
17
커맨드 레지스터
25
CD
14
신호 생성 회로
27
12a
12b
12c
PD0 RD0
PD1 RD1
PDn RDn
PDm RDm
드라이버0
드라이버1
드라이버n
드라이버m
BLK0
BLK1
BLKn
BLKm
11-0
11-1
로우 방향
컬럼 방향
데이타 입출력 버퍼
18
컬럼 선택 회로(컬럼 게이트)
15
래치 기능을 갖는 센스 앰프 회로
13
데이타

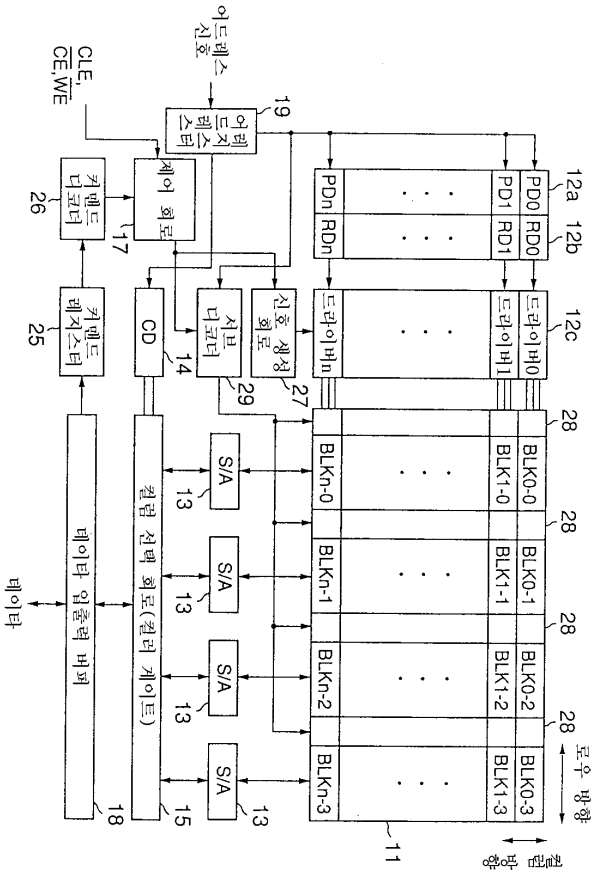
도면 26


11-1
11-0
SL
GSL
CGL7
CGL6
CGL5
CGL4
GSL3
CGL2
CGL1
CGL0
SSL
SL
GSL
CGL
SSL
S/A
S/A
S/A
BL0
BL1
BL511

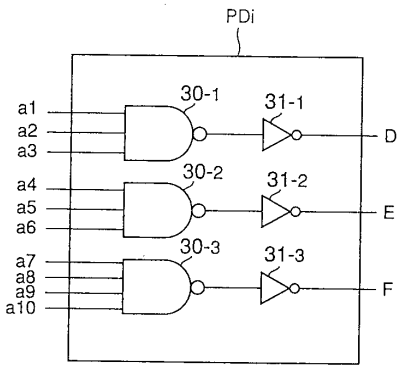
도면 27


· 바이트 단위의 데이타 재기록 동작
11
페이지 데이타
(메모리 셀)
판독
센스 앰프
(노드 Qb의 값)
바이트 데이타 덧씌우기
페이지 기록

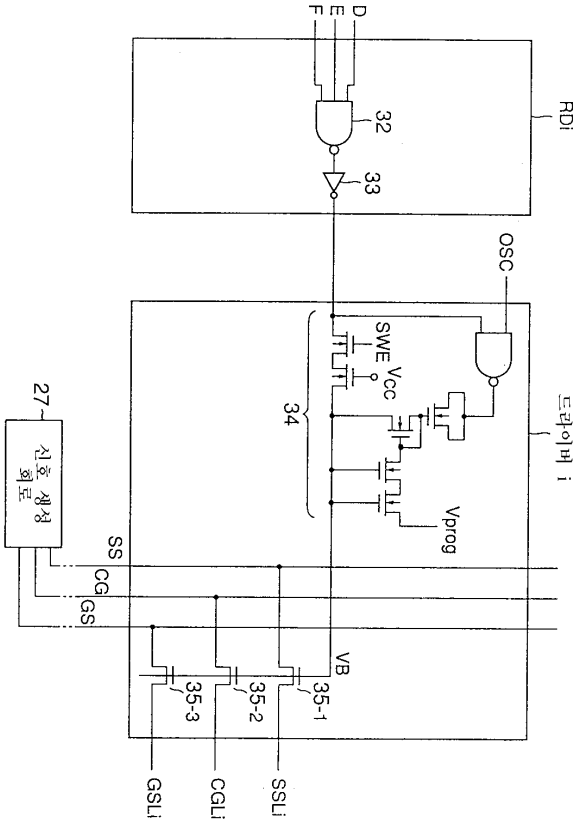
도면 28


어드레스 신호
CLE, CE, WE
어레이 드레스 스터
19
커맨드 디코더
26
제어 회로
17
커맨드 레지스터
25
CD
14
칼럼 디코더
29
신호 생성 회로
27
PDn RDn
PD1 RD1
PD0 RD0
12a 12b
드라이버n
드라이버1
드라이버0
12c
BLKn-0
BLKn-1
BLKn-2
BLKn-3
BLK1-0
BLK1-1
BLK1-2
BLK1-3
BLK0-0
BLK0-1
BLK0-2
BLK0-3
28
S/A
13
칼럼 선택 회로(컬러 게이트)
15
데이터 입출력 버퍼
18
데이터
로우 방향
칼럼 방향
11

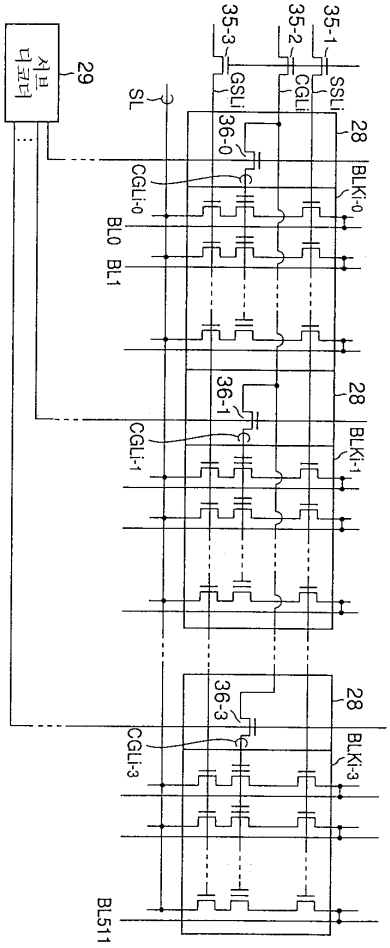
도면 29


PDi
a1
a2
a3
a4
a5
a6
a7
a8
a9
a10
30-1
30-2
30-3
31-1
31-2
31-3
D
E
F

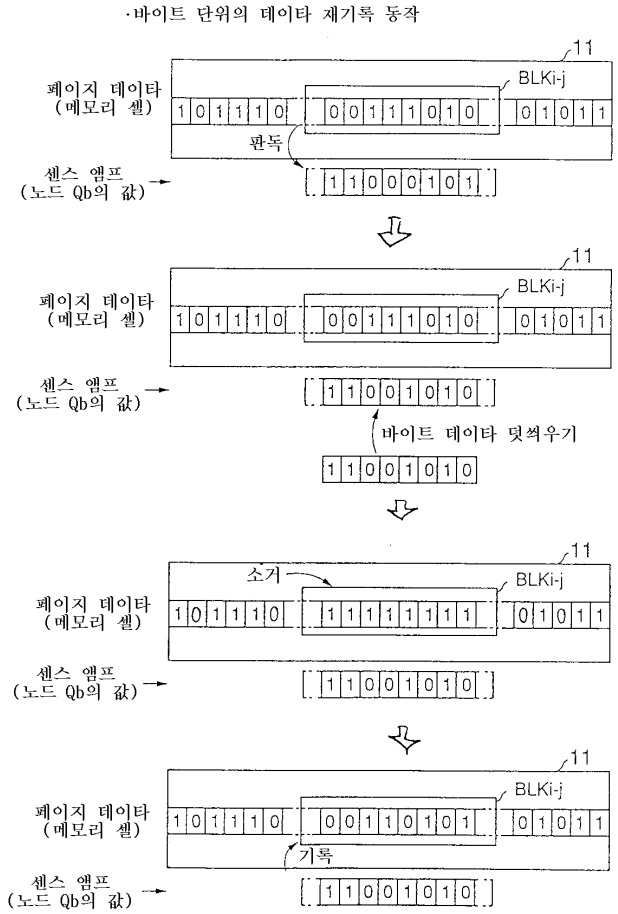
도면 30


D
E
F
32
33
RDi
OSC
SWE
Vcc
34
Vprog
드라이버 i
27
신호 생성 회로
SS
CG
GS
VB
35-1
35-2
35-3
GSLi
CGLi
SSLi

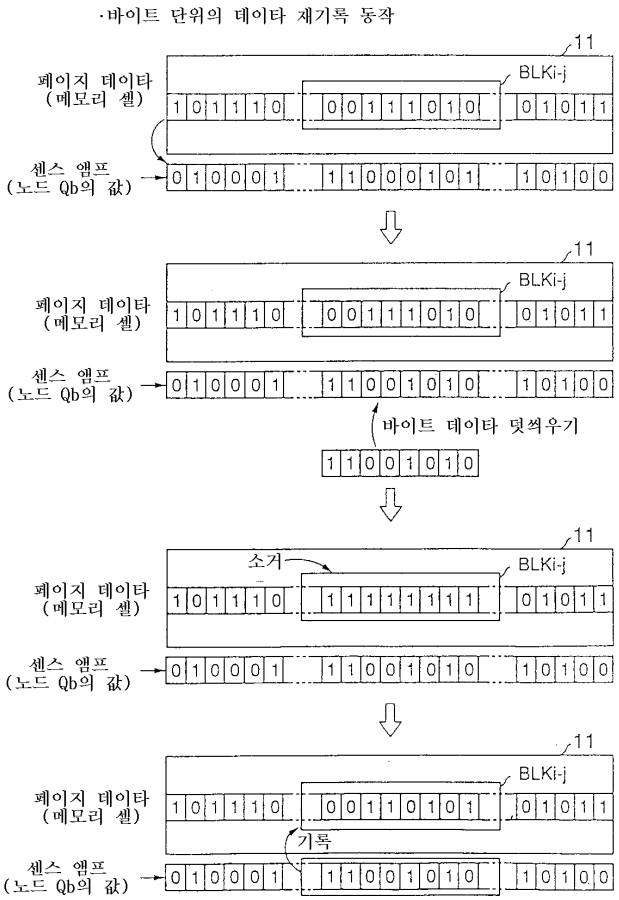
도면 31


로우
디코더
29
35-3
35-2
35-1
GSLi
CGLi
SSLi
SL
36-0
28
BLKi-0
CGLi-0
BL0
BL1
36-1
28
BLKi-1
CGLi-1
36-3
28
BLKi-3
CGLi-3
BL511

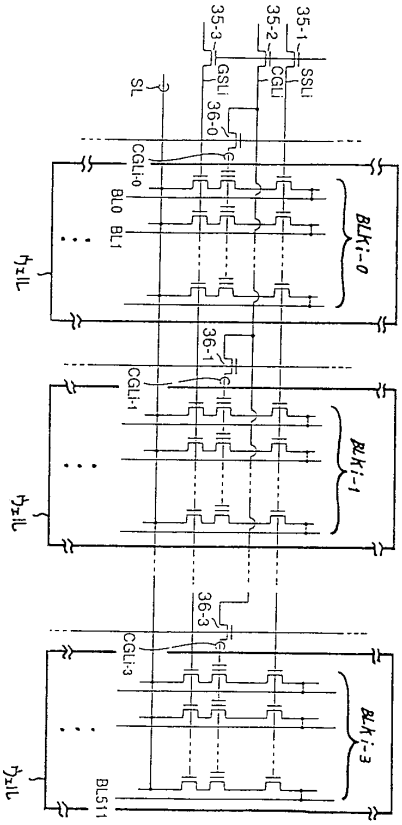
도면 32


·바이트 단위의 데이타 재기록 동작
11
BLKi-j
페이지 데이타
(메모리 셀)
1 0 1 1 1 0
0 0 1 1 1 0 1 0
0 1 0 1 1
판독
센스 앰프
(노드 Qb의 값)
1 1 0 0 0 1 0 1
11
BLKi-j
페이지 데이타
(메모리 셀)
1 0 1 1 1 0
0 0 1 1 1 0 1 0
0 1 0 1 1
센스 앰프
(노드 Qb의 값)
1 1 0 0 1 0 1 0
바이트 데이타 덧씌우기
1 1 0 0 1 0 1 0
11
소거
BLKi-j
페이지 데이타
(메모리 셀)
1 0 1 1 1 0
1 1 1 1 1 1 1 1
0 1 0 1 1
센스 앰프
(노드 Qb의 값)
1 1 0 0 1 0 1 0
11
BLKi-j
페이지 데이타
(메모리 셀)
1 0 1 1 1 0
0 0 1 1 0 1 0 1
0 1 0 1 1
기록
센스 앰프
(노드 Qb의 값)
1 1 0 0 1 0 1 0

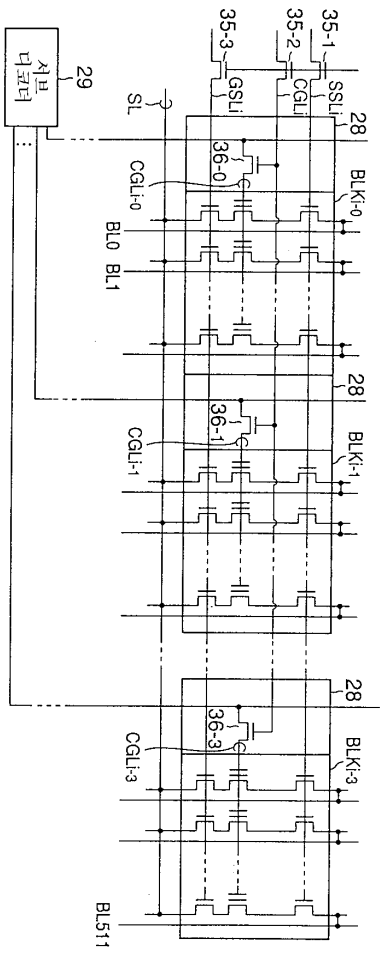
도면 33


·바이트 단위의 데이타 재기록 동작
11
BLKi-j
페이지 데이타
(메모리 셀)
센스 앰프
(노드 Qb의 값)
바이트 데이타 덧씌우기
소거
기록

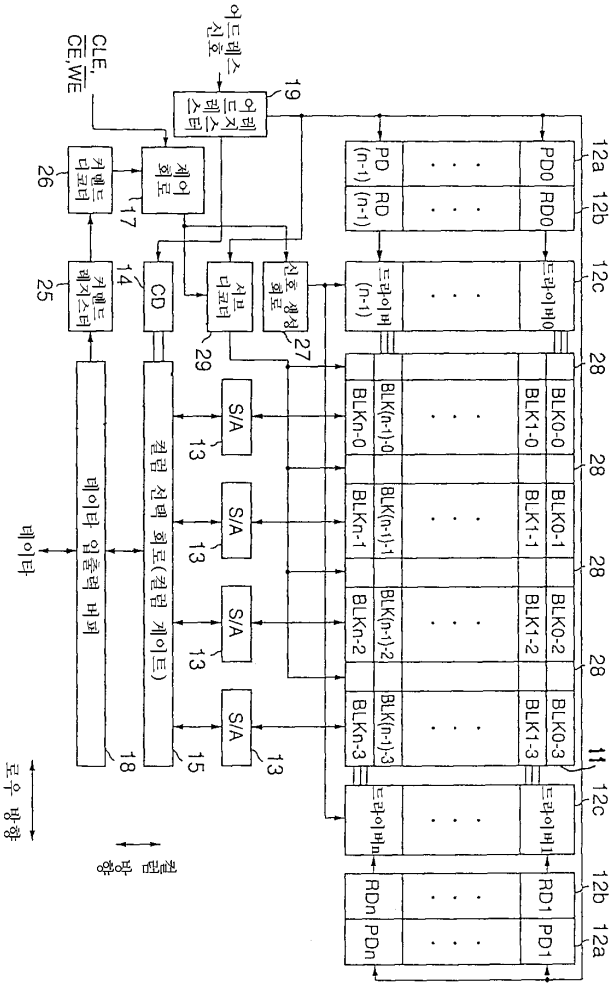
도면 34


35-1
35-2
35-3
SSLi
GSLi
CGLi
SL
36-0
36-1
36-3
CGLi-0
CGLi-1
CGLi-3
BL0
BL1
BL511
BLKi-0
BLKi-1
BLKi-3

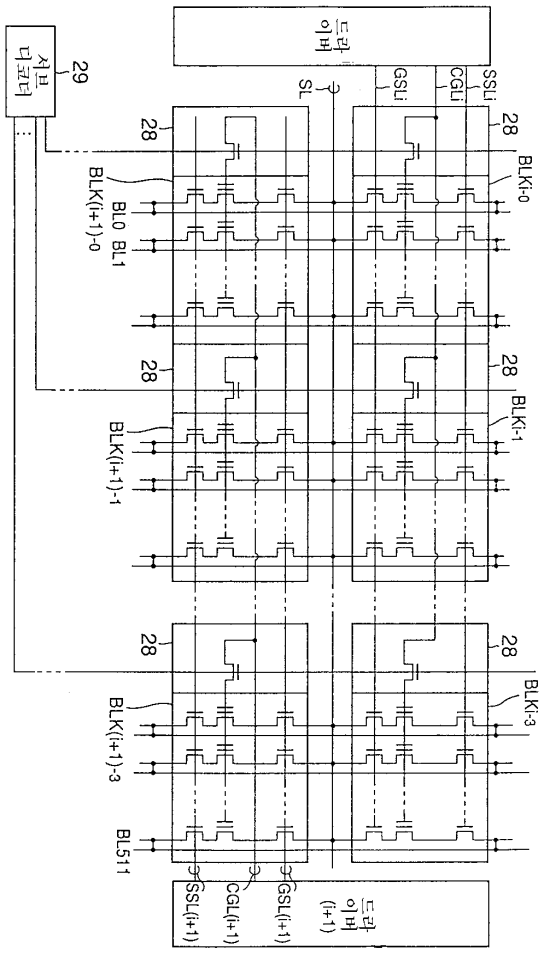
도면 35


서브 디코더
29
SL
35-3
35-2
35-1
GSLi
CGLi
SSLi
28
36-0
CGLi-0
BLKi-0
BL0
BL1
36-1
CGLi-1
BLKi-1
36-3
CGLi-3
BLKi-3
BL511

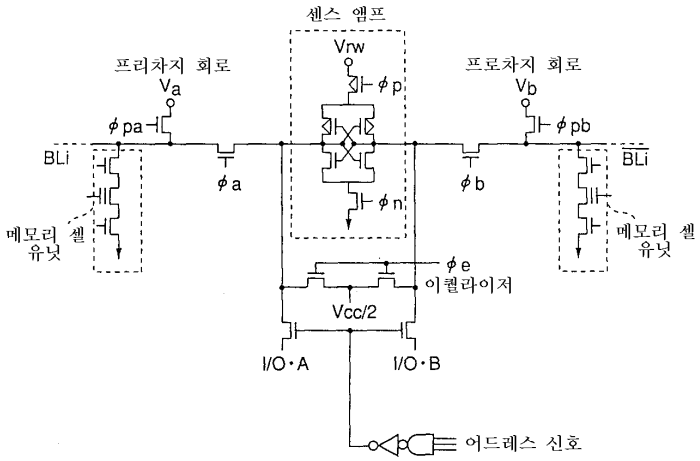
도면 36


어드레스 신호
CLE, OE, WE
어드레스 레지스터
19
제어 회로
17
커맨드 디코더
26
커맨드 레지스터
25
14
CD
셀프 디코더
29
신호 생성 회로
27
PD0
RD0
PD (n-1)
RD (n-1)
12a
12b
12c
드라이버0
드라이버 (n-1)
28
BLK0-0
BLK1-0
BLK(n-1)-0
BLKn-0
BLK0-1
BLK1-1
BLK(n-1)-1
BLKn-1
BLK0-2
BLK1-2
BLK(n-1)-2
BLKn-2
BLK0-3
BLK1-3
BLK(n-1)-3
BLKn-3
11
드라이버1
드라이버n
RD1
PD1
RDn
PDn
S/A
13
15
컬럼 선택 회로(컬럼 게이트)
18
데이터 입출력 버퍼
데이터
로우 방향
컬럼 방향

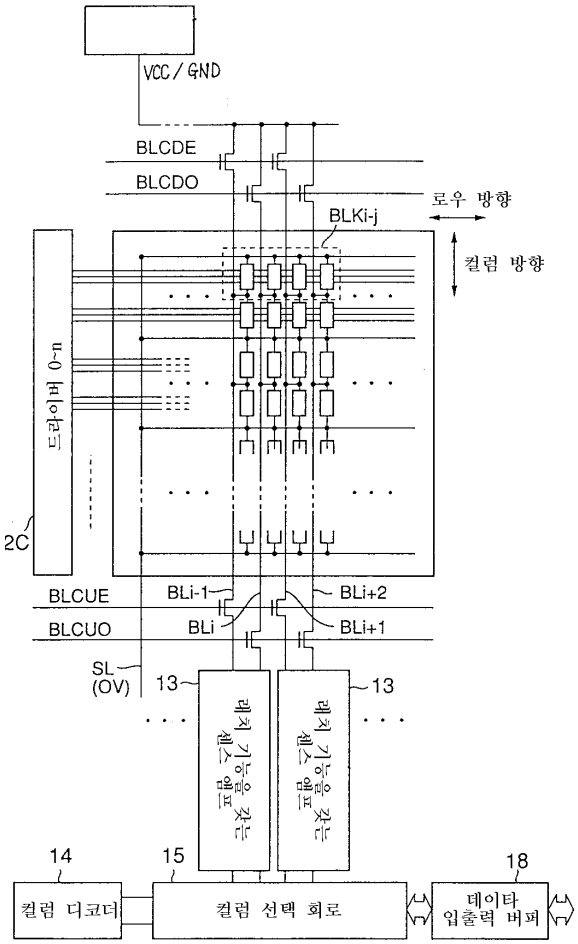
도면 37


드라이버
SSLi
GSLi
CGLi
SL
29
28
BLKi-0
BLK(i+1)-0
BL0
BL1
BLKi-1
BLK(i+1)-1
BLKi-3
BLK(i+1)-3
BL511
SSL(i+1)
CGL(i+1)
GSL(i+1)
드라이버 (i+1)

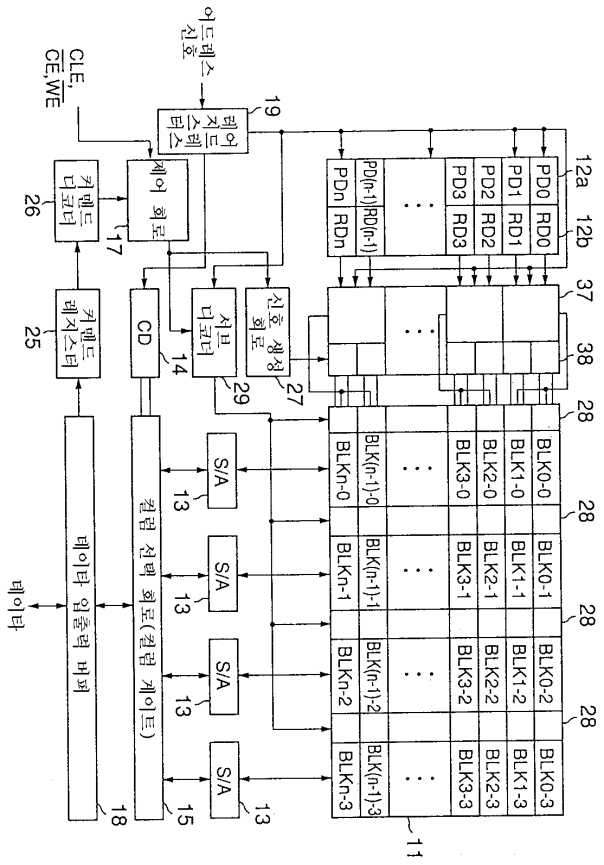
도면 38


센스 앰프
Vrw
프리차지 회로
Va
프로차지 회로
Vb
φp
φpa
φpb
BLi
BLi
φa
φb
φn
메모리 셀 유닛
메모리 셀 유닛
φe
이퀄라이저
Vcc/2
I/O·A
I/O·B
어드레스 신호

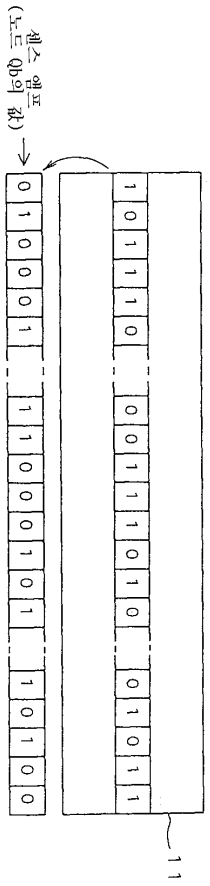
도면 39


VCC / GND
BLCDE
BLCDO
로우 방향
BLKi-j
컬럼 방향
로우 디코더
2C
BLCUE
BLCUO
BLi-1
BLi
BLi+2
BLi+1
SL
(OV)
13
13
레치 기능을 갖는 센스 앰프
레치 기능을 갖는 센스 앰프
14
15
18
컬럼 디코더
컬럼 선택 회로
데이타 입출력 버퍼

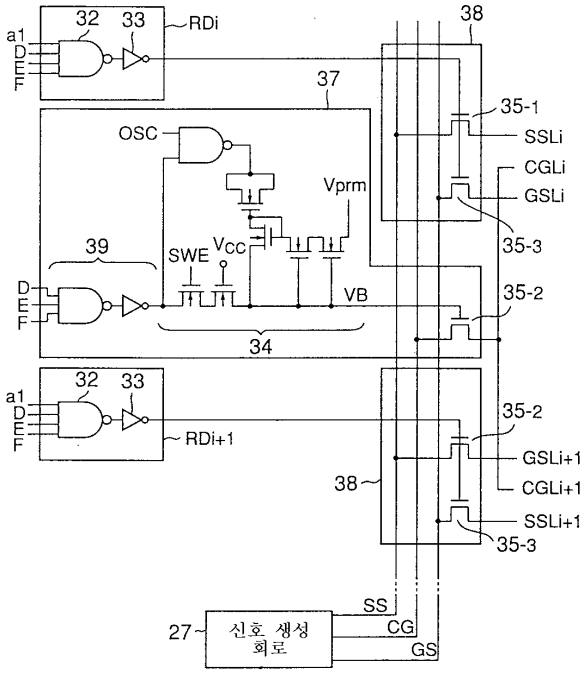
도면 40


어드레스 신호
CLE, CE,WE
19
레이지스테스
제어 회로
17
커맨드 디코더
26
커맨드 레지스터
25
CD
14
서브 디코더
29
신호 생성 회로
27
PD0
RD0
PD1
RD1
PD2
RD2
PD3
RD3
PD(n-1)
RD(n-1)
PDn
RDn
12a
12b
37
38
28
BLK0-0
BLK1-0
BLK2-0
BLK3-0
BLK(n-1)-0
BLKn-0
BLK0-1
BLK1-1
BLK2-1
BLK3-1
BLK(n-1)-1
BLKn-1
BLK0-2
BLK1-2
BLK2-2
BLK3-2
BLK(n-1)-2
BLKn-2
BLK0-3
BLK1-3
BLK2-3
BLK3-3
BLK(n-1)-3
BLKn-3
11
S/A
13
컬럼 선택 회로(컬럼 게이트)
15
데이타 입출력 버퍼
18
데이타

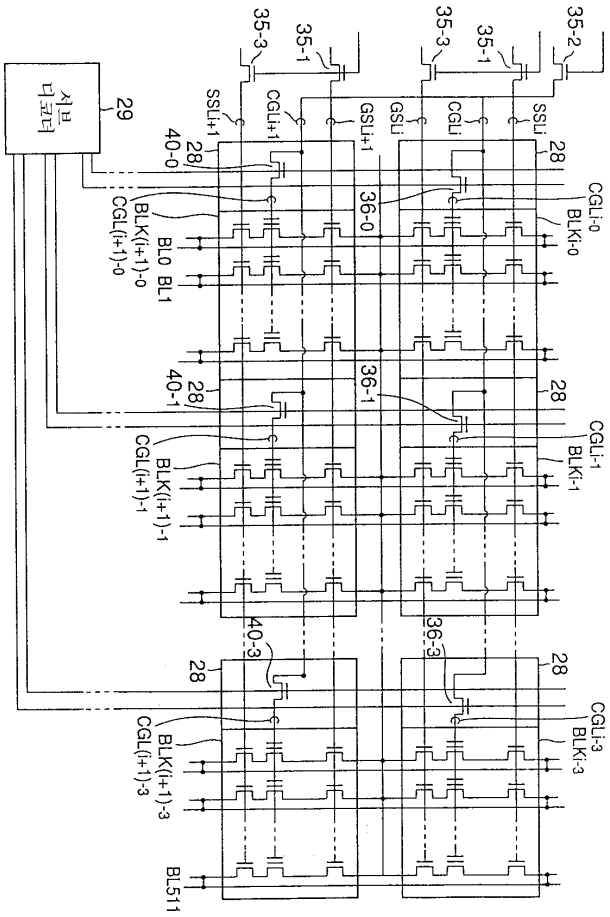
도면 41



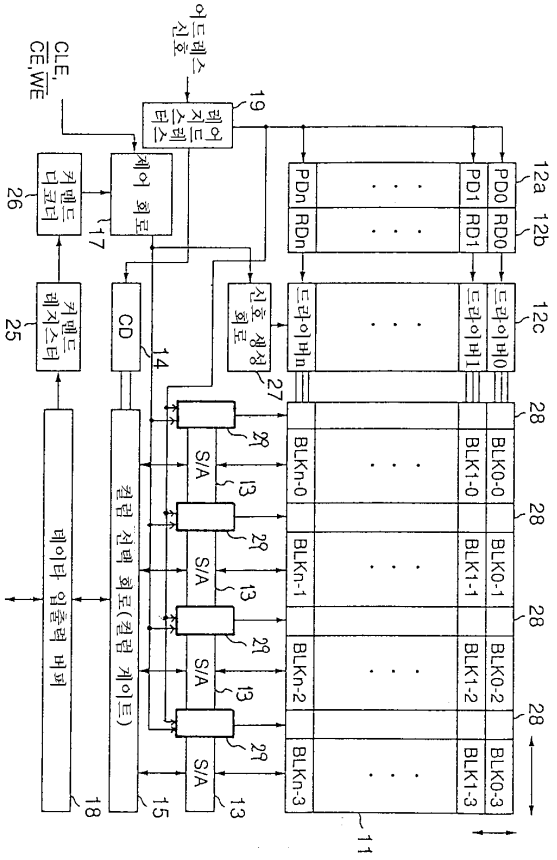
도면 42


32
33
RDi
a1
D
E
F
38
37
35-1
SSLi
CGLi
GSLi
OSC
Vprm
35-3
39
SWE
Vcc
VB
35-2
34
RDi+1
GSLi+1
CGLi+1
SSLi+1
27
신호 생성 회로
SS
CG
GS

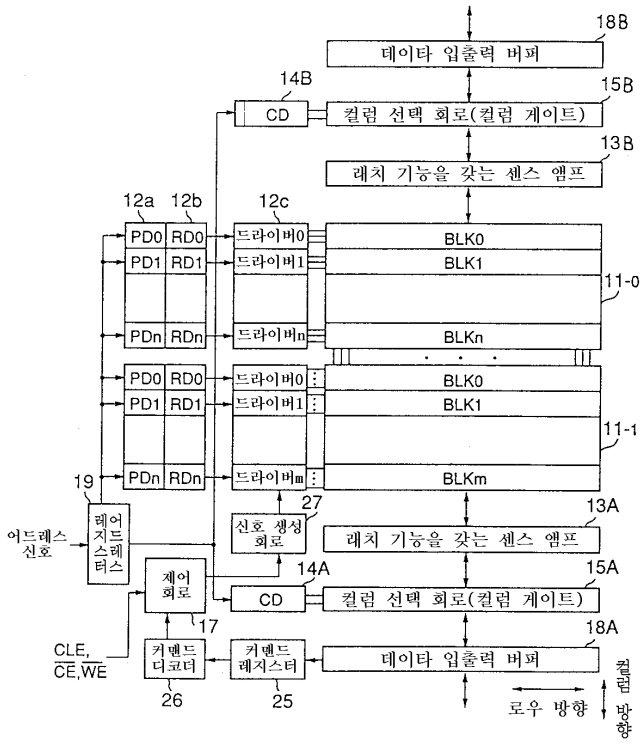
도면 43


서브 디코더
29
35-3
35-1
35-2
SSLi+1
CGLi+1
GSLi+1
GSLi
CGLi
SSLi
28
40-0
36-0
CGLi-0
BLKi-0
BLK(i+1)-0
CGL(i+1)-0
BL0
BL1
40-1
36-1
CGLi-1
BLKi-1
BLK(i+1)-1
CGL(i+1)-1
40-3
36-3
CGLi-3
BLKi-3
BLK(i+1)-3
CGL(i+1)-3
BL511

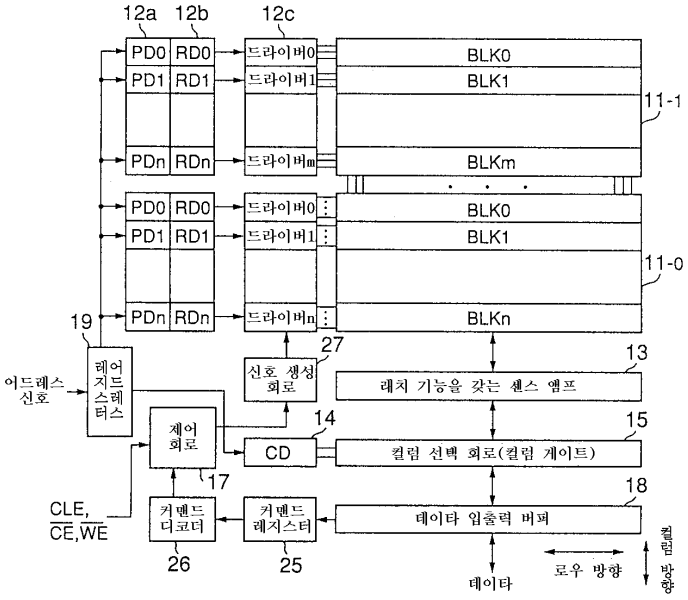
도면 44


어드레스 신호
CLE, CE,WE
레이드 지스레스터
19
제어 회로
17
커맨드 디코더
26
커맨드 레지스터
25
CD
14
신호 생성 회로
27
PD0
PD1
PDn
RD0
RD1
RDn
12a
12b
12c
드라이버0
드라이버1
드라이버n
BLK0-0
BLK1-0
BLK0-1
BLK1-1
BLK0-2
BLK1-2
BLK0-3
BLK1-3
BLKn-0
BLKn-1
BLKn-2
BLKn-3
28
S/A
13
29
컬럼 선택 회로(컬럼 게이트)
15
데이타 입출력 버퍼
18
11

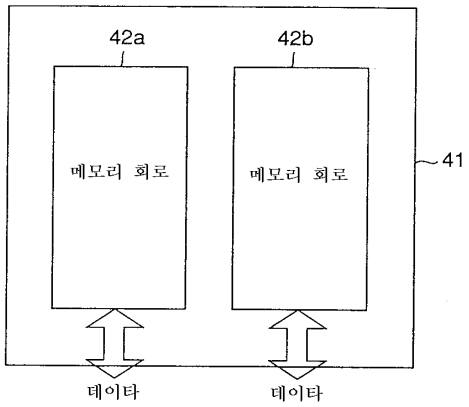
도면 45


18B
데이터 입출력 버퍼
14B
CD
15B
컬럼 선택 회로(컬럼 게이트)
13B
래치 기능을 갖는 센스 앰프
12a
12b
12c
PD0
RD0
드라이버0
BLK0
PD1
RD1
드라이버1
BLK1
11-0
PDn
RDn
드라이버n
BLKn
PD0
RD0
드라이버0
BLK0
PD1
RD1
드라이버1
BLK1
11-1
PDn
RDn
드라이버m
BLKm
19
27
13A
어드레스 신호
레어지드스레터스
신호 생성 회로
래치 기능을 갖는 센스 앰프
제어 회로
14A
15A
CD
컬럼 선택 회로(컬럼 게이트)
17
18A
CLE,
CE,WE
커맨드 디코더
커맨드 레지스터
데이터 입출력 버퍼
컬럼 방향
26
25
로우 방향

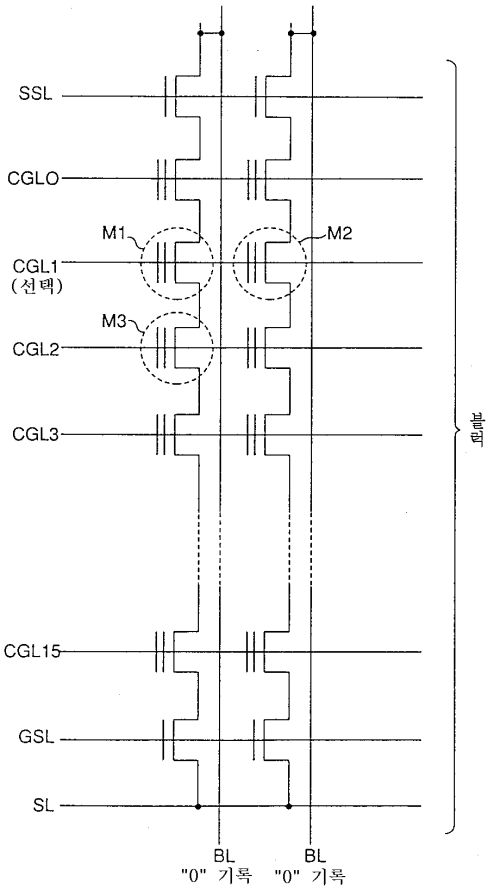
도면 46


12a
12b
12c
PD0
RD0
드라이버0
BLK0
PD1
RD1
드라이버1
BLK1
11-1
PDn
RDn
드라이버m
BLKm
PD0
RD0
드라이버0
BLK0
PD1
RD1
드라이버1
BLK1
11-0
PDn
RDn
드라이버n
BLKn
19
27
13
어드레스 신호
레어지드스레터스
신호 생성 회로
래치 기능을 갖는 센스 앰프
제어 회로
14
15
CD
컬럼 선택 회로(컬럼 게이트)
17
18
CLE,
CE,WE
커맨드 디코더
커맨드 레지스터
데이터 입출력 버퍼
컬럼 방향
26
25
데이터
로우 방향

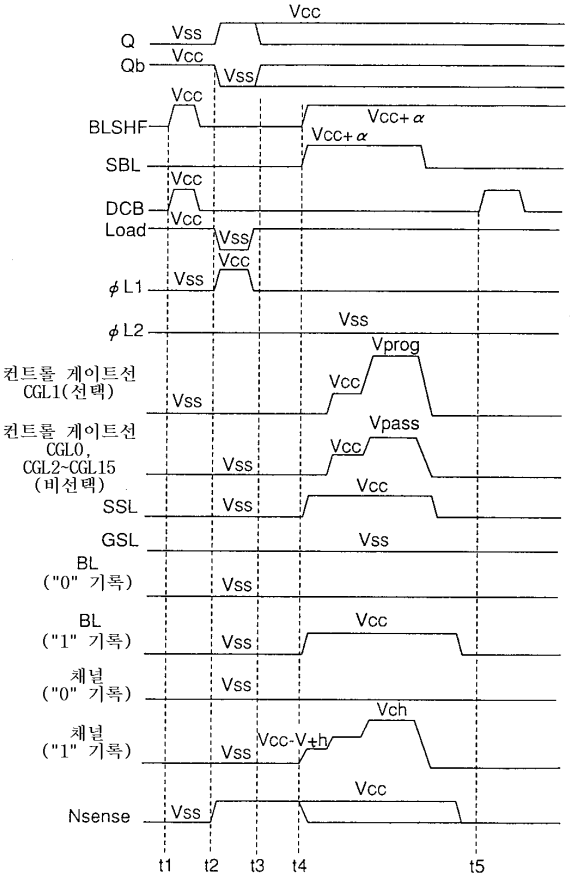
도면 47


42a
42b
메모리 회로
메모리 회로
41
데이타
데이타

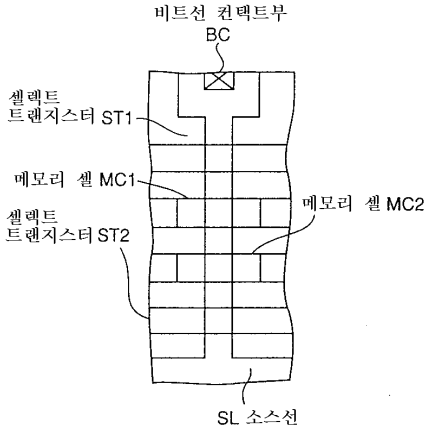
도면 48


SSL
CGLO
M1
M2
CGL1
(선택)
M3
CGL2
CGL3
CGL15
GSL
SL
블록
BL
"0" 기록
BL
"0" 기록

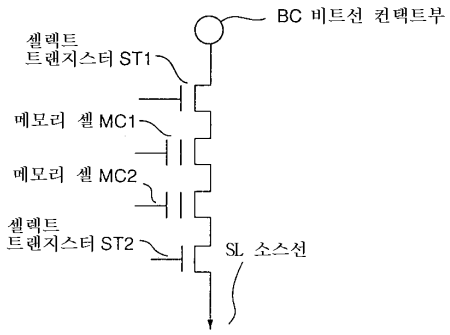
도면 49


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선 CGL1(선택)
컨트롤 게이트선 CGL0, CGL2~CGL15 (비선택)
SSL
GSL
BL ("0" 기록)
BL ("1" 기록)
채널 ("0" 기록)
채널 ("1" 기록)
Nsense
Vcc
Vss
Vcc+α
Vprog
Vpass
Vch
Vcc-Vth
t1
t2
t3
t4
t5

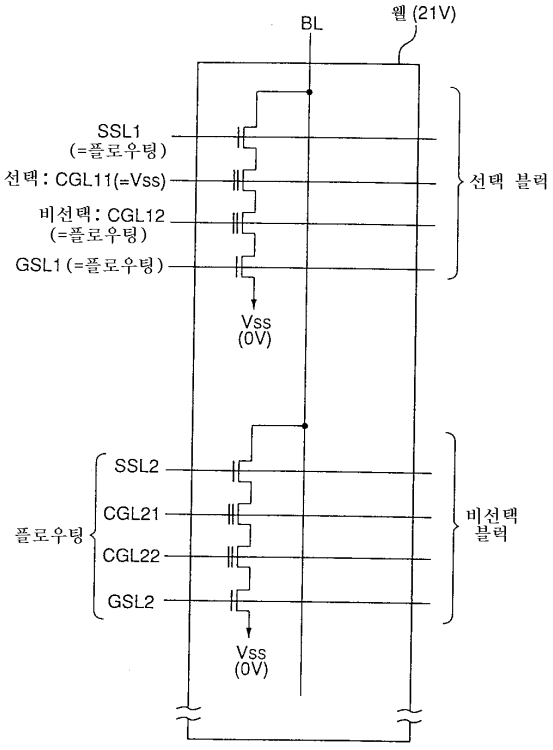
도면 50


비트선 컨택트부
BC
셀렉트 트랜지스터 ST1
메모리 셀 MC1
메모리 셀 MC2
셀렉트 트랜지스터 ST2
SL 소스선

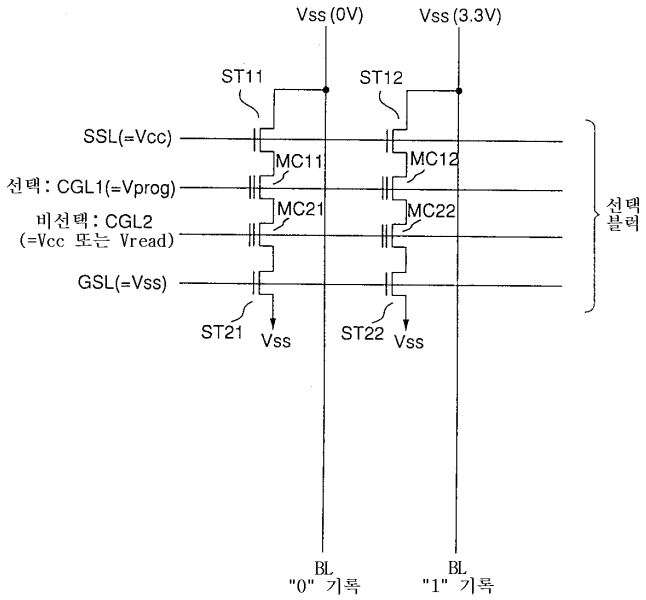
도면 51


BC 비트선 컨택트부
셀렉트
트랜지스터 ST1
메모리 셀 MC1
메모리 셀 MC2
셀렉트
트랜지스터 ST2
SL 소스선

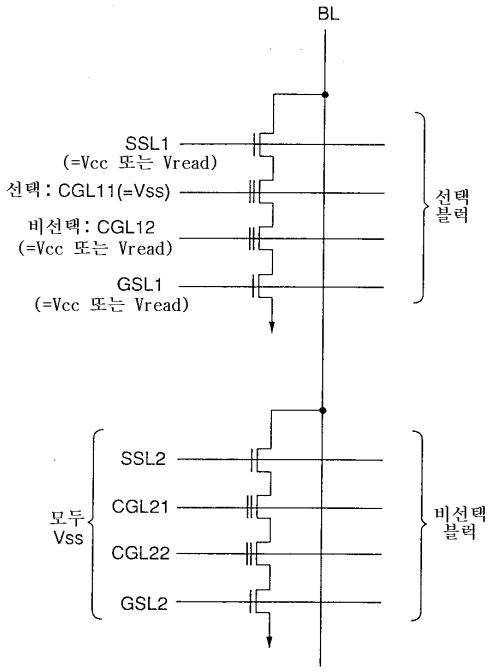
도면 52


BL
웰 (21V)
SSL1
(=플로우팅)
선택 : CGL11(=Vss)
비선택 : CGL12
(=플로우팅)
GSL1 (=플로우팅)
선택 블럭
Vss
(0V)
SSL2
CGL21
CGL22
GSL2
플로우팅
비선택
블럭
Vss
(0V)

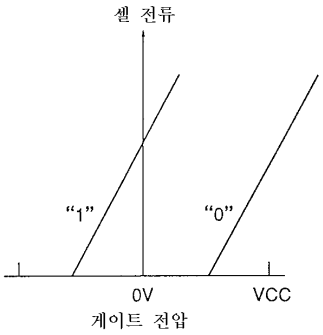
도면 53


Vss (0V)
Vss (3.3V)
ST11
ST12
SSL(=Vcc)
MC11
MC12
선택 : CGL1(=Vprog)
MC21
MC22
비선택 : CGL2
(=Vcc 또는 Vread)
GSL(=Vss)
선택
블럭
ST21
Vss
ST22
Vss
BL
"0" 기록
BL
"1" 기록

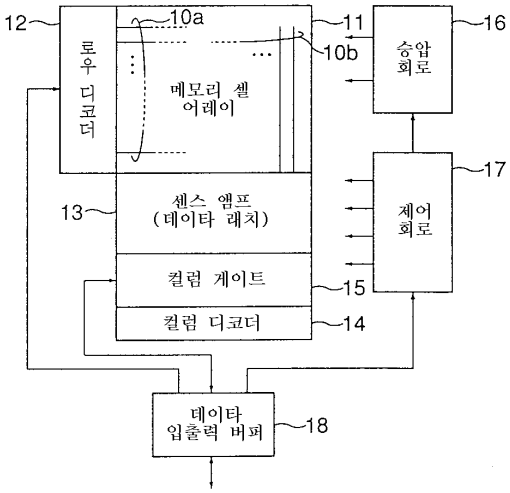
도면 54


BL
SSL1
(=Vcc 또는 Vread)
선택 : CGL11(=Vss)
비선택 : CGL12
(=Vcc 또는 Vread)
GSL1
(=Vcc 또는 Vread)
선택
블럭
모두
Vss
SSL2
CGL21
CGL22
GSL2
비선택
블럭

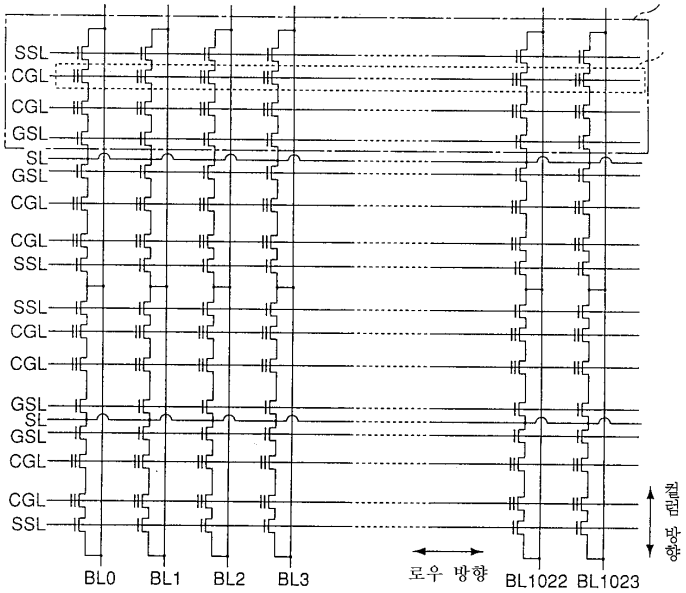
도면 55


셀 전류
"1"
"0"
0V
VCC
게이트 전압

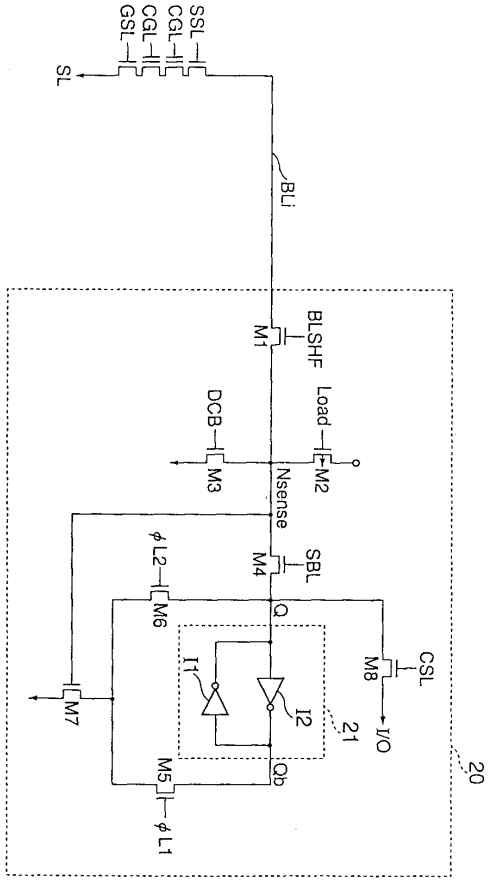
도면 56


12
로우 디코더
10a
10b
11
메모리 셀 어레이
승압 회로
16
17
13
센스 앰프 (데이타 래치)
제어 회로
컬럼 게이트
15
컬럼 디코더
14
데이타 입출력 버퍼
18

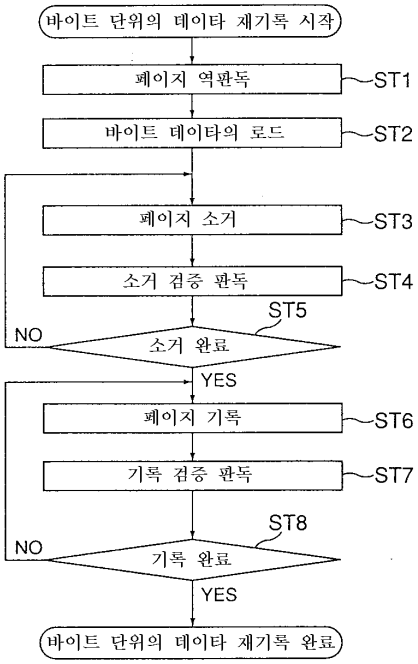
도면 57


SSL
CGL
CGL
GSL
SL
GSL
CGL
CGL
SSL
SSL
CGL
CGL
GSL
SL
GSL
CGL
CGL
SSL
BL0
BL1
BL2
BL3
로우 방향
BL1022
BL1023
컬럼 방향

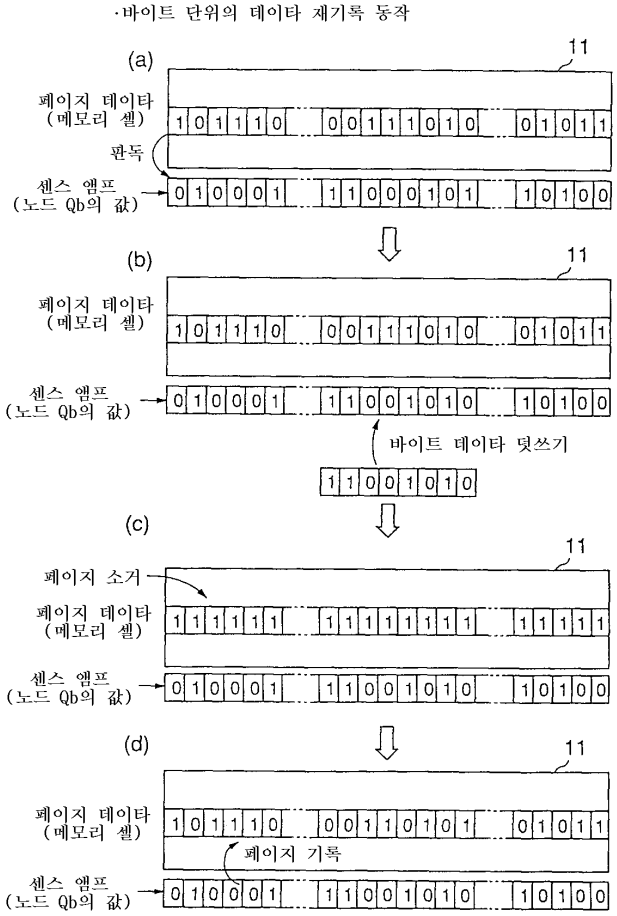
도면 58


GSL
CGL
CGL
SSL
SL
BLi
M1
BLSHF
Load
M2
DCB
M3
Nsense
SBL
M4
φL2
M6
Q
M8
CSL
I1
I2
21
I/O
M7
M5
Qb
φL1
20

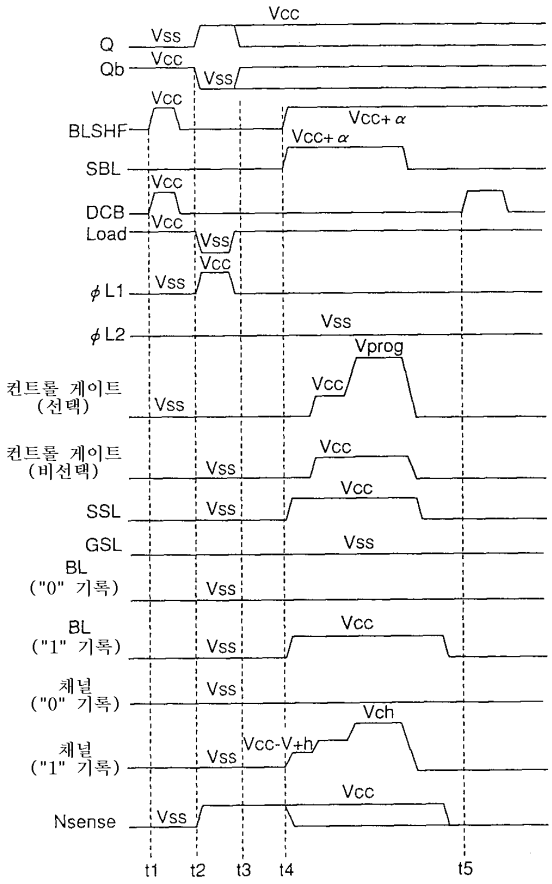
도면 59


바이트 단위의 데이타 재기록 시작
페이지 역판독
ST1
바이트 데이타의 로드
ST2
페이지 소거
ST3
소거 검증 판독
ST4
ST5
NO
소거 완료
YES
페이지 기록
ST6
기록 검증 판독
ST7
ST8
NO
기록 완료
YES
바이트 단위의 데이타 재기록 완료

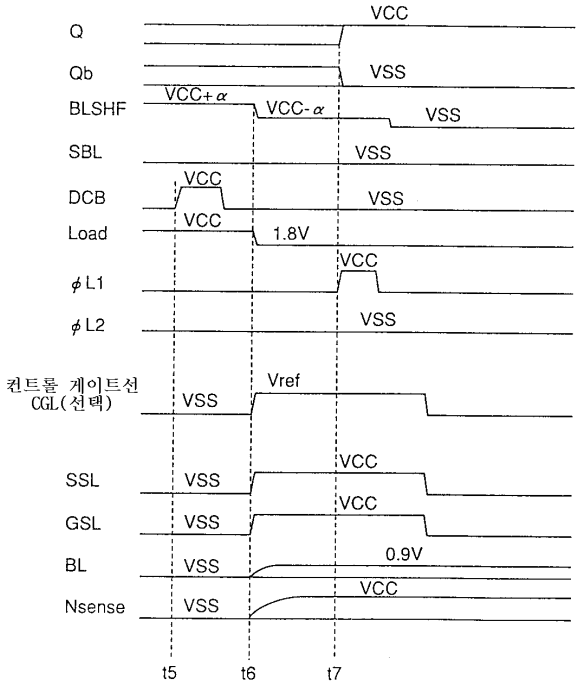
도면 60


·바이트 단위의 데이타 재기록 동작
(a)
11
페이지 데이타
(메모리 셀)
판독
센스 앰프
(노드 Qb의 값)
(b)
11
페이지 데이타
(메모리 셀)
센스 앰프
(노드 Qb의 값)
바이트 데이타 덧쓰기
(c)
11
페이지 소거
페이지 데이타
(메모리 셀)
센스 앰프
(노드 Qb의 값)
(d)
11
페이지 데이타
(메모리 셀)
페이지 기록
센스 앰프
(노드 Qb의 값)

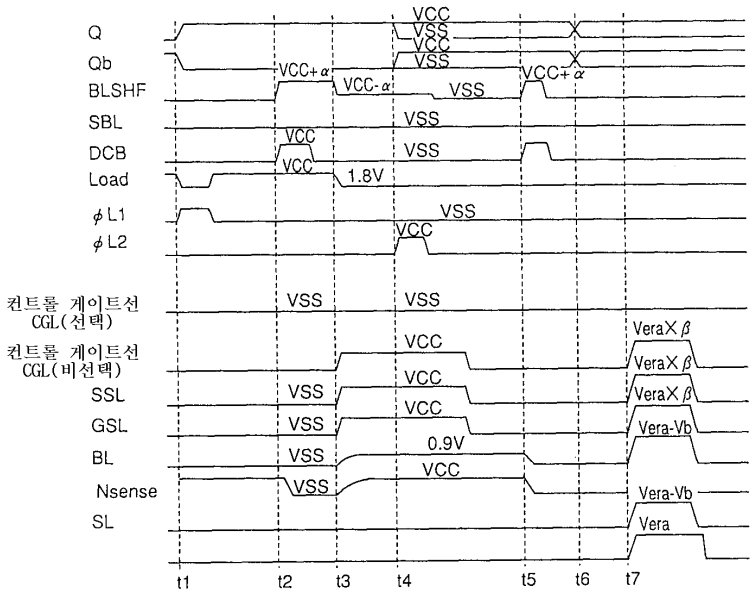
도면 61


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트 (선택)
컨트롤 게이트 (비선택)
SSL
GSL
BL ("0" 기록)
BL ("1" 기록)
채널 ("0" 기록)
채널 ("1" 기록)
Nsense
Vcc
Vss
Vcc+α
Vprog
Vch
Vcc-V+h
t1
t2
t3
t4
t5

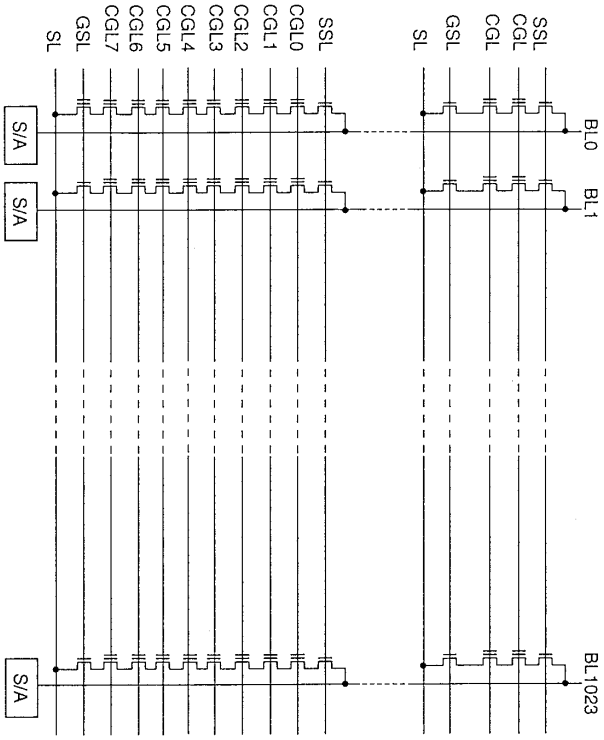
도면 62


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선 CGL(선택)
SSL
GSL
BL
Nsense
VCC
VSS
VCC+α
VCC-α
1.8V
Vref
0.9V
t5
t6
t7

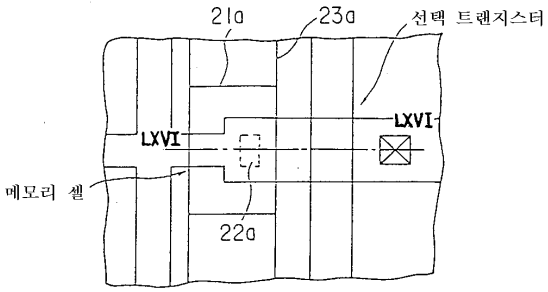
도면 63


Q
Qb
BLSHF
SBL
DCB
Load
φL1
φL2
컨트롤 게이트선 CGL(선택)
컨트롤 게이트선 CGL(비선택)
SSL
GSL
BL
Nsense
SL
VCC
VSS
VCC+α
VCC-α
1.8V
0.9V
VeraXβ
Vera-Vb
Vera
t1
t2
t3
t4
t5
t6
t7

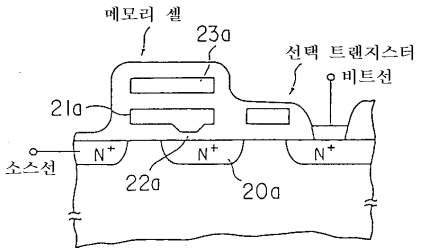
도면 64


SL
GSL
CGL7
CGL6
CGL5
CGL4
CGL3
CGL2
CGL1
CGL0
SSL
SL
GSL
CGL
CGL
SSL
CGL
S/A
S/A
S/A
BL0
BL1
BL1023

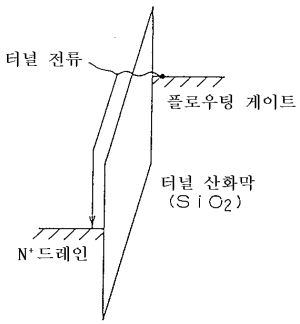
도면 65


21a
23a
선택 트랜지스터
LXVI
LXVI
메모리 셀
22a

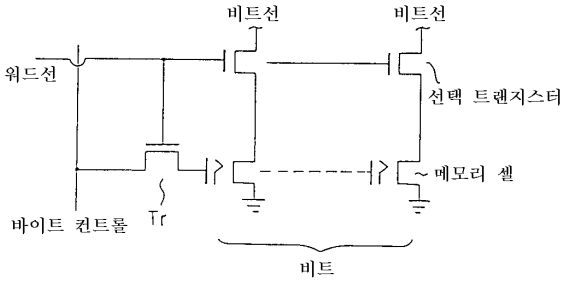
도면 66



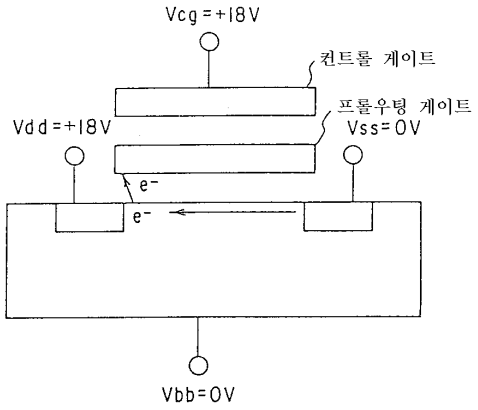
도면 67



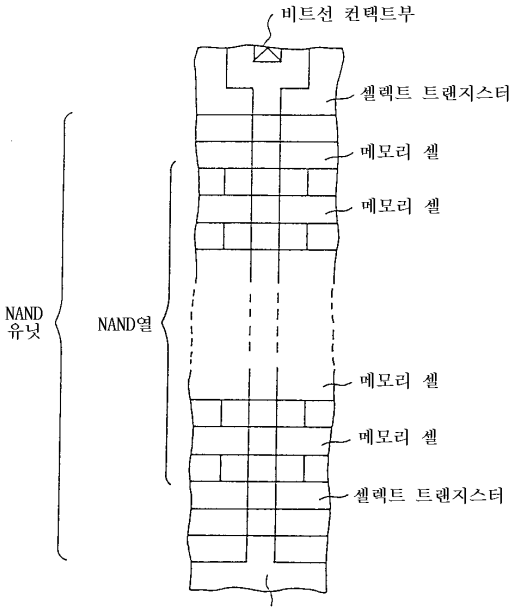
도면 68



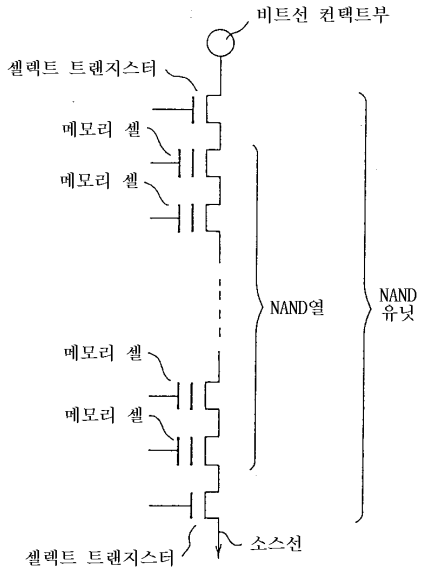
도면 69


Vcg=+18V
컨트롤 게이트
프롤우팅 게이트
Vdd=+18V
Vss=0V
e⁻
e⁻
Vbb=0V

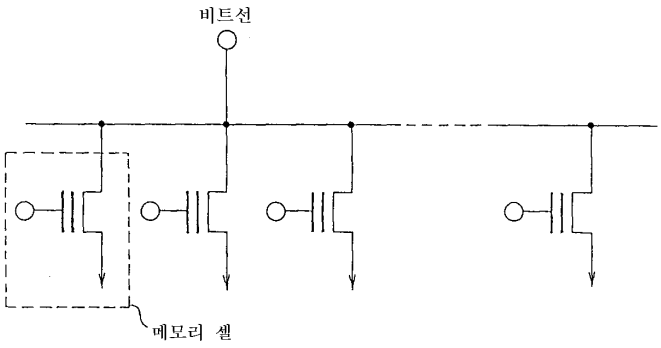
도면 70


비트선 컨택트부
셀렉트 트랜지스터
메모리 셀
메모리 셀
메모리 셀
메모리 셀
셀렉트 트랜지스터
NAND 유닛
NAND열

도면 71


비트선 컨택트부
셀렉트 트랜지스터
메모리 셀
메모리 셀
NAND열
NAND
유닛
메모리 셀
메모리 셀
셀렉트 트랜지스터
소스선

도면 72


비트선
메모리 셀