

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3612913号

(P3612913)

(45) 発行日 平成17年1月26日(2005.1.26)

(24) 登録日 平成16年11月5日(2004.11.5)

(51) Int. Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 2 1 C

H O 1 L 21/768

H O 1 L 21/90 D

H O 1 L 27/108

H O 1 L 27/10 6 8 1 F

請求項の数 3 (全 20 頁)

(21) 出願番号	特願平8-358126	(73) 特許権者	000002185
(22) 出願日	平成8年12月29日(1996.12.29)		ソニー株式会社
(65) 公開番号	特開平10-200065		東京都品川区北品川6丁目7番35号
(43) 公開日	平成10年7月31日(1998.7.31)	(74) 代理人	100094053
審査請求日	平成15年2月21日(2003.2.21)		弁理士 佐藤 隆久
		(72) 発明者	黒田 英明
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	安田 雅彦
		(56) 参考文献	特開平08-031950 (JP, A)
			特開平08-203997 (JP, A)
			特開平10-178160 (JP, A)
			特開平09-135005 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

層間絶縁膜に配線用溝を形成する工程と、
 該配線用溝を導電性材料で埋める工程と、
 前記導電性材料が埋められた前記配線溝中に第1の開口部を形成する工程と、
 該第1の開口部の内周壁に導電性材料で構成されるサイドウォールを形成する工程と、
 該サイドウォールをマスクとして第2の開口部を前記層間絶縁膜に形成する工程と、
 該第2の開口部を導電性材料で埋め込む工程と、
 該層間絶縁膜と該配線用溝を埋める導電性材料を平坦化して埋込配線層を形成する工程と、
 該埋込配線層を被覆する層間絶縁膜を形成する工程と
 を有することを特徴とする半導体装置の製造方法。

【請求項2】

上記配線用溝が形成される層間絶縁膜がトランジスタ上に形成されている
 請求項1記載の半導体装置の製造方法。

【請求項3】

上記埋込配線層がダイナミックランダムアクセスメモリのビット線を構成する
 請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

10

20

【発明の属する技術分野】

本発明は、D R A M (Dynamic Random Access Memory) 等の半導体装置の製造方法に関する。

【0002】**【従来の技術】**

図23にC O B (Capacitor Over Bitline) 型のD R A Mセルの平面図を示す。選択トランジスタS T rのゲート電極W Lが平行に配線され、これらの選択トランジスタS T rの拡散層とビットコンタクトB Cで接続されたビット線B Lがゲート電極W Lと直交して配線されている。各選択トランジスタS T rの拡散層には図示しないキャパシタと接続されたノードコンタクトN Cが設けられている。図のA - A'線に沿った断面図を図24に、
図のB - B'線に沿った断面図を図38に示す。これらの断面図からわかるようにノード
コンタクトN Cは、いわゆる座布団付プラグで途中取り出しコンタクトを採用していると
共に、このD R A Mは、選択トランジスタS T rとキャパシタC A Pとの間の層間絶縁膜
にビット線が埋め込まれたC O B型である。また、図38の断面図は、D R A Mセル部と
一部周辺回路も示している。

10

【0003】

次に、従来の図38に示したC O B型のD R A Mセルの製造方法について、図25～図38を参照して簡単に説明する。まず、図25に示すように、P型シリコン基板にNウエルとPウエルが形成された基板に素子分離酸化膜201を形成して素子分離を行い、その後、
図示しないゲート絶縁膜を熱酸化法で形成した後、ポリシリコン301a、タングステン
シリサイド301bを積層した後パターニングしてゲート電極301を形成する。この
ゲート電極301をマスクとしてイオン注入を行い、L D D (Lightly Doped Drain) 1
01を形成する。

20

【0004】

次に、図26に示すように、全面にエッチングストッパー用の薄いシリコン酸化膜202を形成する。次いで、ポリシリコンを堆積した後エッチバックすることにより、ゲート電極側壁にポリシリコンで構成されるサイドウォール302を形成する。そして、このサイドウォール302をマスクとしてイオン注入を行い、ソース・ドレイン102を形成する。

【0005】

サイドウォール302を取り除いた後、図27に示すように、エッチングストッパー用のシリコン窒化膜203を低圧C V Dにより全面に形成する。その後、N S G (Natural Silicate Glass) 膜204をO₃ - T E O S (テトラエトキシシラン) で形成した後、B P S G (Boro-Phospho-Silicate-Glass) 膜205をO₃ - T E O Sで形成する。

30

【0006】

次に、図28に示すように、B P S G 205をフローして平坦化する。その後、ポリシリコン303を堆積した後、ビットコンタクト及びノードコンタクトの開口を行うためのレジストパターニングR11を行う。

【0007】

次に、図29に示すように、ポリシリコン膜303、B P S G膜205、N S G膜204をエッチングし、途中でエッチングを停止して開口部(あるいは、予備コンタクト孔と記載する)を形成し、更にポリシリコンを堆積した後エッチバックすることにより、この予備コンタクト孔の側壁にポリシリコンで構成されるサイドウォール304を形成する。次に、このサイドウォール304とポリシリコン膜303をマスクとしてエッチングすることにより、基板に達するコンタクトホールを開口し、シュリンクされたビット線コンタクトホールB C H及びノードコンタクトホールN C Hを開口する。

40

【0008】

コンタクトホール開口後、図30に示すように、ポリシリコン膜305を堆積してコンタクトホールB C H、N C Hを埋める。

【0009】

50

次に、図31に示すように、ポリシリコン膜305、303、サイドウォール304をエッチバックして予備コンタクト孔よりポリシリコン膜305（サイドウォール304も含まれる）の表面が低くなるようにする。これにより、各コンタクトには途中取り出し用のいわゆる座布団付ポリプラグ306が形成される。

【0010】

次に、図32に示すように、BPSG膜205をエッチングしてポリプラグ306と面一化した後、LP-TEOSにより酸化シリコン膜207、次いで低圧CVD法により窒化シリコン膜208を全面に形成する。その上にビット線形成用のコンタクト開口用のレジストR12をパターンニングする。

【0011】

次に、図33に示すように、レジスト膜R12をマスクとして窒化シリコン膜208、酸化シリコン膜209をエッチングしてビット線コンタクトのプラグ表面を露出させる。レジスト膜R12を除去した後、ビット線形成用のポリシリコン膜308、タングステンリサイド309を堆積し、ビット線用のレジストパターンを形成し、これをマスクとしてエッチングしてビット線BLをパターンニングする。その後、LP-TEOSで酸化シリコン膜210、低圧CVD法により窒化シリコン膜211をそれぞれ薄く形成した後、NSG膜212、BPSG213を堆積して、BPSG213をフローして平坦化する。

【0012】

次に、図34に示すように、エッチング等により表面を削って平坦化した後、キャパシタ形成時のエッチングストッパーとなる窒化シリコン膜214を堆積する。その上にポリシリコン膜310を堆積した後、ノードコンタクトプラグに対するコンタクトを開口するレジストパターンニングR13を行う。

【0013】

そして、図35に示すように、レジストR13をマスクとしてエッチングし、ポリシリコン膜310に予備コンタクト孔を形成する。次に、ポリシリコンを堆積した後エッチバックすることにより、予備コンタクト孔の側壁にポリシリコンで構成されるサイドウォール311を形成し、サイドウォール311とポリシリコン膜310をマスクとして窒化シリコン膜214、BPSG膜213、NSG膜212、窒化シリコン膜208、酸化シリコン膜207を順次エッチングして、いわゆる座布団に達するシュリンクされたノードコンタクト孔を開口し、次にポリシリコン312を堆積してコンタクト孔を埋める。

【0014】

次に、図36に示すように、ポリシリコン膜312、ポリシリコン膜310、サイドウォール311をエッチバックすることにより、ポリプラグ314を残してポリシリコン膜を除去し、更に、ノード電極のためのポリシリコン膜315を堆積する。その上に、シリンダー型キャパシタを形成するための酸化シリコン膜215を厚く堆積し、キャパシタの底壁電極用のパターンでレジスト膜R14を形成する。

【0015】

次に、図37に示すように、レジスト膜R14をマスクとして異方性エッチングを行い、酸化シリコン膜215とポリシリコン膜315をパターンニングした後、レジスト膜R14を除去する。その後、ポリシリコン膜を堆積した後、エッチバックすることにより酸化シリコン膜の側部にポリシリコンで構成されるサイドウォール316を形成する。酸化シリコン215をウエットエッチングにより除去してシリンダー型のノード電極を形成する。その後、ONO膜（酸化シリコンを窒化シリコン膜で挟んだ構造）216をノード電極上に形成した後、プレート電極となるポリシリコン膜317を堆積し、次にプレート電極317及び窒化シリコン膜214をパターンニングしてプレート電極を形成してキャパシタCAPが形成される。これにより、DRAMが完成する。

【0016】

その後、図38に示したように、層間絶縁膜217を堆積してキャパシタを埋め込み、平坦化した後、プレート電極、周辺回路と配線層を接続するためのコンタクト孔を開口する。次いで、コンタクト孔内壁を覆って密着層としてのTi/TiN膜318を形成した後

10

20

30

40

50

、タングステンを堆積した後エッチバックすることにより、ブランケットタングステン 319を形成する。その後配線層 310をパターンニングして図 38に示した断面構造のCOB型のDRAMを得る。

【0017】

【発明が解決しようとする課題】

この従来の工程で製造されるCOB型DRAMセルでは、配線層がゲート電極、ビット線及びキャパシタの3層、層間絶縁膜が3層あることから、メモリセル部の高さは1 μ m程度になり、周辺回路の層間絶縁膜が厚くなって周辺回路のコンタクトのアスペクト比が大きくなるため、周辺回路のコンタクト径を小さくできず、集積度を上げることができないという問題がある。

10

【0018】

本発明は、上記事情に鑑みなされたもので、周辺回路部における層間絶縁膜を薄くし、コンタクト径を小さくできるCOB型DRAM等の半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、層間絶縁膜に配線用溝を形成する工程と、該配線用溝を導電性材料で埋める工程と、前記導電性材料が埋められた前記配線溝中に第1の開口部を形成する工程と、該第1の開口部内壁に導電性材料で構成されるサイドウォールを形成する工程と、該サイドウォールをマスクとして第2の開口部を前記層間絶縁膜に形成する工程と、該第2の開口部を導電性材料で埋め込む工程と、該層間絶縁膜と該配線用溝を埋める導電性材料を平坦化して埋込配線層を形成する工程と、該埋込配線層を被覆する層間絶縁膜を形成する工程とを有することを特徴とする。

20

【0020】

本発明の半導体装置の製造方法は、上記埋込配線層とその下方の接続領域とを接続するプラグとを形成する方法であり、層間絶縁膜に配線用溝を形成してこれを導電材料で埋め込み、導電性材料中に第1の開口部を形成し、その第1の開口部に導電性サイドウォールを形成してそのサイドウォールをマスクとしてシュリンクされた第2の開口部を形成する。従って、確実に開口部を形成できると共に、埋込配線層により半導体の高さを減少させることができ、開口部(コンタクト)径を小さくできる。

30

【発明の実施の形態】

以下、本発明の実施の形態について具体的に説明するが、本発明は、下記の実施の形態に限定されるものではない。

【0021】

本発明の半導体装置の製造方法によって形成した半導体装置は、層間絶縁膜に掘られた配線用溝を埋める埋込配線層と、その層間絶縁膜を貫通しその埋込配線層とその下方の接続領域とを接続する導電性プラグとを有し、その埋込配線層が層間絶縁膜で被覆された構造を有し、好適には上記COB型DRAMのビット線に適用することができる。

【0022】

本発明の半導体装置の製造方法によって形成した半導体装置をCOB型DRAMに適用した形態の平面的な構成は、従来と同様であり、図23に示した平面図がそのまま適用される。即ち、選択トランジスタSTrのゲート電極WLが平行に配線され、これらの選択トランジスタSTrの拡散層とビットコンタクトBCで接続されたビット線BLがゲート電極WLと直交して配線されている。各選択トランジスタSTrの拡散層には図示しないキャパシタと接続されたノードコンタクトNCが設けられている。

40

【0023】

図23のB-B'線に沿った本発明にかかるCOB型DRAMの断面図の一形態を図15に示した。なお、この断面図は、周辺回路の一部を含んでいる。このDRAMは、シリコン基板SUB面に選択トランジスタSTr及び周辺回路のトランジスタTrが形成されている。ビット線BLは基板SUBとキャパシタCAPとの間の層間絶縁膜中に配線され、

50

ビット線コンタクトBCで選択トランジスタSTrの拡散層と接続されている。また、キャパシタCAPはノードコンタクトNCで選択トランジスタSTrの拡散層に接続されている。

【0024】

ビット線BLは、トランジスタSTrを覆っている層間絶縁膜23に掘られたビット線用溝BLCを埋める例えばタングステンシリサイドとポリシリコンの2層の導電性材料で構成されている。ビット線コンタクトBCはビット線BLを貫通して基板SUBと接続されている。また、ビット線BLの上面は平坦化されて、絶縁膜26で被覆され、キャパシタCAPと分離されている。

【0025】

次に、このような断面構造の半導体装置の製造工程を説明する。

【0026】

[第1実施形態]

まず、図1に示すように、例えば、基板としてP型基板にNウエルを形成した後、そのNウエル内にPウエルを形成したシリコン基板を用いる。そのシリコン基板に例えばパッド酸化膜と窒化シリコン膜を堆積した後、レジスト膜を形成し、レジスト膜に素子分離形成領域の開口部のパターニングを露光、現像により形成し、レジスト膜の開口部の窒化シリコン膜をエッチングで除去する。レジスト膜を除去後、基板を酸化してLOCOS20を形成し、素子分離を行う。窒化珪素膜とパッド酸化膜を除去した後、シリコン基板表面を酸化して活性領域に図示しないゲート酸化膜を形成する。その後、例えば不純物導入ポリシリコン膜31aをCVD法により、更に、タングステンシリサイドWSix31bをCVD法により数百nm程度の膜厚でそれぞれ堆積する。次に、ゲート電極パターンにレジストパターニングを行い、タングステンシリサイド31b、ポリシリコン膜31aをエッチングによりパターニングしてゲート電極31を形成する。次に、ゲート電極31とLOCOS20をマスクとして、砒素又はリンを例えばエネルギー数十keV、ドーズ量 $1 \times 10^{12} \sim 1 \times 10^{14}$ 程度の条件でイオン注入して、LDD11を形成する。

【0027】

次に、図2に示すように、エッチングマスクとしての酸化シリコン膜21を、少なくとも基板とゲート電極31を覆うように低圧CVD法又は熱酸化法で数十nm程度の膜厚で形成する。その後、ポリシリコン膜を百数十nmの膜厚でCVD法により堆積した後、これを異方性エッチングすることによりゲート電極31側壁にサイドウォール41を形成する。次に、Nチャネル領域、Pチャネル領域それぞれ窓開けされるようにレジストパターニングを行って、Nチャネル領域には砒素をエネルギー数十keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16}$ 程度の条件で、Pチャネル領域には BF_2^+ をエネルギー数十keV、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16}$ 程度の条件でそれぞれイオン注入し、ソース・ドレイン12を形成する。

【0028】

その後、図3に示すように、ポリシリコンで構成されるサイドウォール41を除去した後、低圧CVD法により、窒化シリコン膜22を例えば数十nm程度の膜厚で堆積し、 O_3 -TEOS法CVDにより、NSG膜23を数百nmの膜厚で堆積し、次に、 O_3 -TEOS法CVDにより、BPSG膜24を数百nm程度の膜厚で堆積する。

【0029】

その後、図4に示すように、BPSG膜24をリフローして平坦化した後、通常のビット線パターンの反転パターンでレジストパターニングR1を行い、これをマスクとしてBPSG膜24、NSG膜23を順次エッチングし、NSG膜23のゲート電極31の上でエッチングを停止する。この場合、ゲート電極31を被覆してシリコン窒化膜22を形成しているため、ゲート電極31がエッチングにより露出することはない。これにより、ビット線のパターンでビット線用溝BLCが選択トランジスタSTr上に形成されて直接覆う層間絶縁膜23中に形成される。

【0030】

10

20

30

40

50

次に、図 5 に示すように、レジスト膜 R 1 を除去した後、例えば窒化シリコン膜（酸化シリコンでもよい）2 5 を低圧 C V D 法により数十 n m の膜厚で堆積し、次に、例えば W F₆ / S i H₂ C l₂ = 3 . 6 s c c m / 1 0 0 s c c m、温度 5 9 5 、 1 3 3 P a の条件でタングステンシリサイド W S i x 膜 3 2 を数十 n m の膜厚で C V D 法により堆積し、更に不純物導入ポリシリコン膜 3 3 を数十 n m ~ 百数十 n m 程度の膜厚で C V D 法により堆積し、ビット線用溝 B L C を埋める。なお、タングステンシリサイド膜形成前に、下地の酸化シリコンとの密着性を確保するため、薄いポリシリコン膜を数十 n m 程度の膜厚で形成してもよい。その後、ビット線用溝 B L C 中の導電材料中に開口部（あるいは、予備コンタクト孔と記載する）を形成するためのパターンでレジストパターニング R 2 を行う。

10

【 0 0 3 1 】

次に、図 6 に示すように、レジスト R 2 をマスクとしてポリシリコン膜 3 3 とタングステンシリサイド膜 3 4 を順次異方性エッチングすることにより、ビット線用溝 B L C 中の導電材料中に開口部（予備コンタクト孔） P B C H を形成する。

【 0 0 3 2 】

次に、図 7 に示すように、レジスト R 2 を除去した後、数百 n m の厚さで不純物導入ポリシリコン膜を堆積した後、エッチバックすることにより、予備孔 P B C H の側壁にポリシリコンで構成されるサイドウォール 3 3 a を形成する。その後、ポリシリコン膜 3 3 とサイドウォール 3 3 a をマスクとして窒化シリコン膜 2 5、酸化シリコン膜 2 3、窒化シリコン膜 2 2 を順次エッチングして基板に達するビットコンタクトホールを形成する。このビットコンタクトホールはサイドウォール 3 3 a をマスクとしているためシュリンクされている。不純物導入ポリシリコン膜 3 4 を C V D 法により堆積し、ビットコンタクトホールをポリシリコン 3 4 で埋める。

20

【 0 0 3 3 】

次に、図 8 に示すように、ポリシリコン膜 3 4、3 3、サイドウォール 3 3 a、タングステンシリサイド層 3 2 を順次エッチングにより除去又は C M P（Chemical Mechanical Polishing）法により研磨し、続いて層間絶縁膜 2 5、2 4 を順次 C M P 法により研磨して平坦化する。これにより、ビット線用溝 B L C を埋め込んだビット線 B L が形成される。このように、本実施形態では、ビット線 B L の形成と平坦化を併用しているプロセスを採用しているため、従来より工程が短縮化されている。このとき同時に、ビット線 B L を貫通するビット線コンタクト B C のポリプラグ 3 4 が形成される。次に、ノード電極形成時のエッチングストッパー及びビット線を埋め込むための窒化シリコン膜 2 6 を数十 n m の膜厚で C V D 法により堆積する。

30

【 0 0 3 4 】

次に、キャパシタと基板を接続するノードコンタクトの形成工程に入り、図 9 に示すように、不純物導入ポリシリコン膜を数百 n m の膜厚で C V D 法により堆積し、ノードコンタクトのレジストパターニング R 3 を行う。

【 0 0 3 5 】

次に、図 1 0 に示すように、レジスト R 3 をマスクとして異方性エッチングによりポリシリコン膜に予備コンタクト孔を形成し、レジスト R 3 を除去した後、不純物導入ポリシリコン膜を C V D 法により形成し、これをエッチバックすることによりポリシリコン膜 3 5 の予備コンタクト孔の側壁にサイドウォール 3 5 a を形成する。そして、サイドウォール 3 5 a とポリシリコン膜 3 5 とをマスクとして窒化シリコン膜 2 6、N S G 膜 2 3、窒化シリコン膜 2 2 を順次エッチングし、基板に達するシュリンクされたノードコンタクトホールを形成する。次に、不純物導入ポリシリコン膜 3 6 を C V D で堆積し、ノードコンタクトホールを埋め込む。

40

【 0 0 3 6 】

次に、図 1 1 に示すように、ポリシリコン膜 3 6、3 5、サイドウォールをエッチングで除去して、ノードコンタクト N C のポリプラグを形成する。その後は、キャパシタ形成工程に入り、ノード電極のための不純物導入ポリシリコン膜 3 7 を C V D 法により数百 n m

50

の膜厚で堆積する。その上に、シリンダー型キャパシタを形成するための酸化シリコン膜 27 を厚く CVD 法により堆積し、キャパシタの底壁電極用のパターンでレジストパターンニング R4 を形成する。

【0037】

次に、図 12 に示すように、レジスト膜 R4 をマスクとして異方性エッチングを行い、酸化シリコン膜 27 とポリシリコン膜 37 をパターンニングした後、レジスト膜 R4 を除去する。その後、ポリシリコン膜 38 を堆積する。

【0038】

次に、図 13 に示すように、ポリシリコン膜 38 をエッチバックすることにより酸化シリコン膜 27 の側部にポリシリコンで構成されるサイドウォール 38 を形成し、シリンダー型記憶ノードの立設する側壁を形成する。酸化シリコン 27 をウエットエッチングにより除去してシリンダー型のノード電極を形成する。その後、記憶ノード 37、38 表面の RTA (Rapid Thermal Anneal) をアンモニア雰囲気下で行い、次に窒化ケイ素膜を CVD で形成し、続いて窒化ケイ素膜を例えば熱酸化して誘電体膜 (ONO 膜) 28 を形成し、誘電体膜 28 で記憶ノード 37、38 を被覆する。その後、プレート電極となるポリシリコン膜 39 を CVD 法により数百 nm 程度の膜厚で堆積した後、プレート電極のパターンでレジストパターンニングし、レジストをマスクとして異方性エッチングを行い、プレート電極 39 を形成する。その後、プレート電極保護のための酸化シリコン膜 29 を CVD 法により堆積する。この後、周辺回路部のコンタクト開口パターン (溝状の場合もある) でレジスト R5 をパターンニングし、これをマスクとして異方性エッチングを行い、コンタクト孔を開口する。

【0039】

次に、図 14 に示すように、レジストを除去した後、コンタクト孔内壁を覆って密着層としての Ti/TiN 膜を形成する。その後、タングステン を数百 nm の膜厚で堆積した後エッチバックすることにより、ブランケットタングステン BT を形成し、途中取り出し用のタングステンプラグを形成する。その後、酸化シリコン膜 30a を数百 nm 程度の膜厚で堆積する。

【0040】

次に、図 15 に示すように、BPSG 膜 30b を CVD 法により堆積した後平坦化する。次に、周辺回路部のコンタクト、プレート電極の取り出し用コンタクト等を開口するパターンでレジストパターンニングを行い、レジストをマスクとして異方性エッチングにより層間絶縁膜 30a、30b にコンタクト孔を開口した後、レジスト膜を除去する。タングステンを数百 nm 程度の膜厚で CVD 法により堆積してコンタクト孔を埋め、その後、エッチバックすることによりタングステンプラグ BT を形成する。次に、アルミニウムなどの金属をスパッタリング等により成膜し、配線パターンでレジストパターンニングし、レジストをマスクとして異方性エッチングすることにより金属配線層 ML を形成して COB 型の DRAM が完成する。

【0041】

以上の工程で得られた COB 型 DRAM セルは、従来のビット線が層間絶縁膜上に乗った構造と異なり、ビット線 BL が層間絶縁膜 23 に掘られた溝の底部を埋める構造となっている。そのため、ビット線の厚さ及びビット線を埋める層間絶縁膜の厚さの分、基板表面上の層間絶縁膜の高さが従来の COB 型の DRAM より減少する。具体的には、シリンダー型のキャパシタを有する COB 型の DRAM では、キャパシタ上端までの高さは約 1 μ m (1000 nm) 程度あるが、本実施形態によれば 300 ~ 400 nm 程度の高さの減少が可能であり、3 ~ 4 割程度 DRAM の高さを減らすことができる。その結果、周辺回路部における層間絶縁膜の膜厚も 300 ~ 400 nm 程度減少する。それによって周辺回路部のコンタクト孔形成時のアスペクト比が低下し、コンタクト径の縮小化が可能であり、集積度を向上させることが可能である。

【0042】

また、ビット線上の平坦化プロセスとビット線形成プロセスを併用しているため、工程の

10

20

30

40

50

短縮が可能であり、コスト低下が可能である。

【0043】

[第2実施形態]

第1実施形態では、ビット線用溝をタングステンシリサイド膜とポリシリコン膜で埋めて、ビット線を2層構成としているが、第2実施形態ではタングステンシリサイドを後工程でポリシリコンとタングステンを反応させることによって形成する。以下の図面では、第1実施形態と同じ部材には同じ符号を付す。

【0044】

図16は、第1実施形態の図4と同じであり、ビット線用溝BLCを形成する工程までは同じでよい。

10

【0045】

次に、図17に示すように、レジスト膜R1を除去した後、例えば窒化シリコン膜(酸化シリコンでもよい)25をCVD法により数十nmの膜厚で堆積し、次に、不純物導入ポリシリコン膜33を数百nm程度の膜厚でCVD法により堆積し、ビット線用溝BLCを埋める。なお、ポリシリコン膜33形成前に、下地の酸化シリコンとの密着性を確保するため、薄いポリシリコン膜を数十nm程度の膜厚で形成してもよい。その後、ビット線用溝BLC中のポリシリコン33中に予備コンタクト孔を形成するためのパターンでレジストパターンングR2を行う。

【0046】

次に、図18に示すように、レジストR2をマスクとしてポリシリコン膜33に予備コンタクト孔を開口し、その後レジストR2を除去する。その後、ポリシリコン膜を厚く堆積した後エッチバックし、予備コンタクト孔の側壁にポリシリコンで構成されるサイドウォール33aを形成する。その後、ポリシリコン膜33とサイドウォール33aをマスクとして窒化シリコン膜25、酸化シリコン膜23、窒化シリコン膜22を順次エッチングして基板に達するビットコンタクトホールを形成する。このビットコンタクトホールはサイドウォール33aをマスクとしているためシュリンクされている。不純物導入ポリシリコン膜34をCVD法により堆積し、ビットコンタクトホールをポリシリコン34で埋める。

20

【0047】

次に、図19に示すように、ポリシリコン膜34、33、サイドウォール33a、タングステンシリサイド層32を順次エッチングにより除去又はCMP法により研磨し、続いて層間絶縁膜25、24を順次CMP法により研磨して平坦化する。これにより、ビット線用溝BLCを埋め込んだポリシリコンで構成されるビット線BLが形成される。同時に、ビット線BLを貫通するビット線コンタクトBCのポリプラグが形成される。次に、例えばTi、Co等の高融点金属42を数十nmの膜厚でスパッタリングにより堆積する。

30

【0048】

そして、図20に示すように、例えばランプアニール法で、650～700の熱処理を加え、高融点金属42とポリシリコン33、33aとを反応させ、高融点金属シリサイド膜を形成する。その後、未反応高融点金属膜を硫酸過水等でエッチオフして高融点金属シリサイド膜33bをビット線BL表面に残す。

40

【0049】

その後は、図21、図22に示すように、第1実施形態と同様の工程でノードコンタクト形成、キャパシタ形成後COB型DRAMを製造することができる。

【0050】

上記態様では、本発明をCOB型DRAMに適用した形態を説明しているが、本発明は、例えばSRAM等にも適用でき、DRAMに限定されるものではない。また、埋込配線層は基板と接続された例を示したが、中間配線層との接続でもよい。更に、ノードコンタクトとビット線コンタクトは共に、ポリシリコンで埋めてポリプラグとしているが、キャパシタのONO膜形成時の熱に耐えるものであれば、高融点金属で構成してもよい。その他、例えばキャパシタは、何れの形態でもよく、その他本発明の要旨を逸脱しない範囲で種

50

々変更することができる。

【0051】

【発明の効果】

本発明の半導体装置は、層間絶縁膜の厚さを減らし、コンタクトホールのアスペクト比を小さくすることができる。

【0052】

また、本発明の半導体装置の製造方法によれば、コンタクトホールの開口径を小さくして集積度の向上した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明にかかる第1実施形態のCOB型DRAMを製造する最初の工程を説明する断面図である。 10

【図2】本発明にかかる第1実施形態のCOB型DRAMを製造する図1に続く工程を説明する断面図である。

【図3】本発明にかかる第1実施形態のCOB型DRAMを製造する図2に続く工程を説明する断面図である。

【図4】本発明にかかる第1実施形態のCOB型DRAMを製造する図3に続く工程を説明する断面図である。

【図5】本発明にかかる第1実施形態のCOB型DRAMを製造する図4に続く工程を説明する断面図である。

【図6】本発明にかかる第1実施形態のCOB型DRAMを製造する図5に続く工程を説明する断面図である。 20

【図7】本発明にかかる第1実施形態のCOB型DRAMを製造する図6に続く工程を説明する断面図である。

【図8】本発明にかかる第1実施形態のCOB型DRAMを製造する図7に続く工程を説明する断面図である。

【図9】本発明にかかる第1実施形態のCOB型DRAMを製造する図8に続く工程を説明する断面図である。

【図10】本発明にかかる第1実施形態のCOB型DRAMを製造する図9に続く工程を説明する断面図である。

【図11】本発明にかかる第1実施形態のCOB型DRAMを製造する図10に続く工程を説明する断面図である。 30

【図12】本発明にかかる第1実施形態のCOB型DRAMを製造する図11に続く工程を説明する断面図である。

【図13】本発明にかかる第1実施形態のCOB型DRAMを製造する図12に続く工程を説明する断面図である。

【図14】本発明にかかる第1実施形態のCOB型DRAMを製造する図13に続く工程を説明する断面図である。

【図15】本発明にかかる第1実施形態のCOB型DRAMを製造する最終工程を説明する断面図であり、図23のB-B'線に沿った断面図である。

【図16】本発明にかかる第2実施形態のCOB型DRAMを製造する工程を説明する断面図であり、第1実施形態の図4に相当する。 40

【図17】本発明にかかる第2実施形態の図16に続くCOB型DRAMを製造する工程を説明する断面図である。

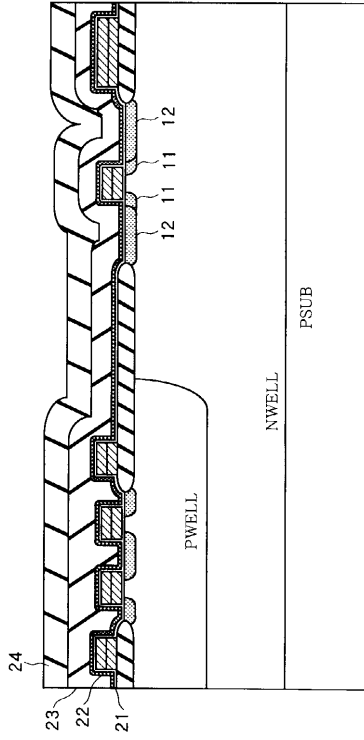
【図18】本発明にかかる第2実施形態の図17に続くCOB型DRAMを製造する工程を説明する断面図である。

【図19】本発明にかかる第2実施形態の図18に続くCOB型DRAMを製造する工程を説明する断面図である。

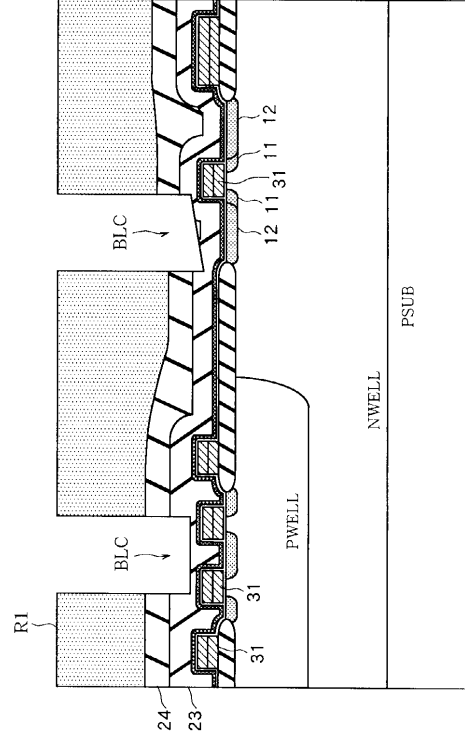
【図20】本発明にかかる第2実施形態の図19に続くCOB型DRAMを製造する工程を説明する断面図である。

【図21】本発明にかかる第2実施形態の図20に続くCOB型DRAMを製造する工程 50

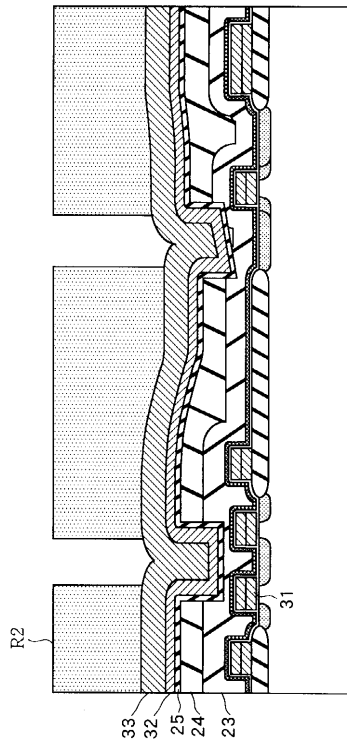
【 図 3 】



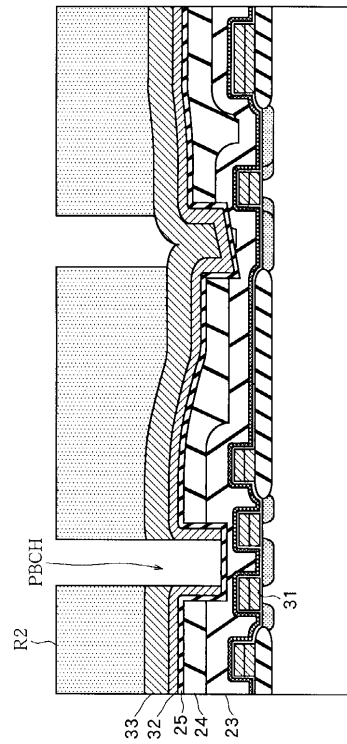
【 図 4 】



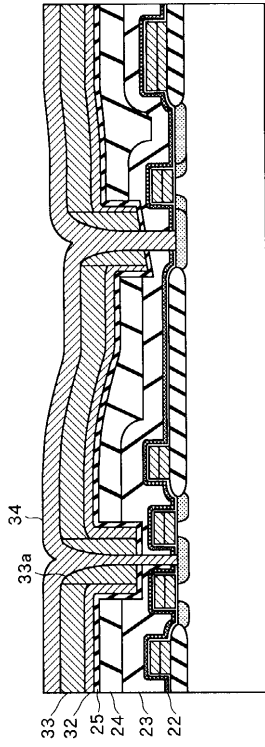
【 図 5 】



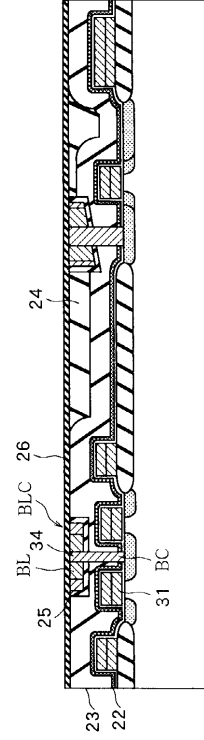
【 図 6 】



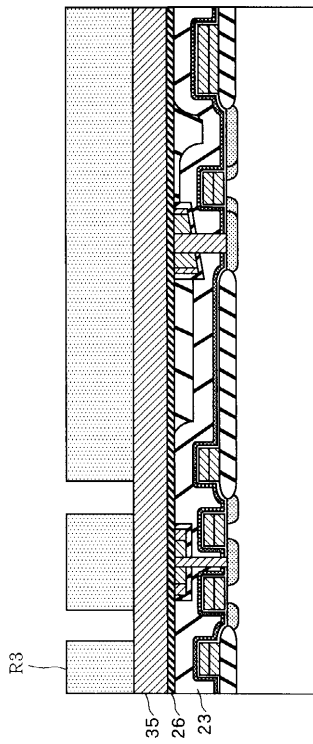
【 図 7 】



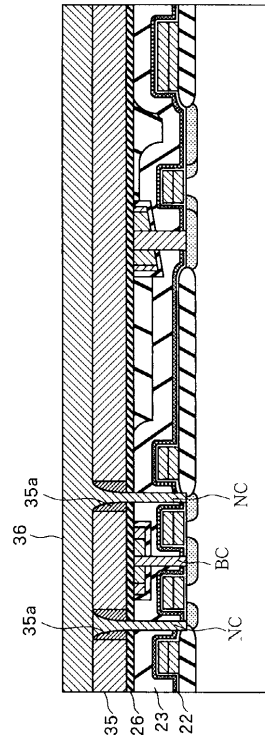
【 図 8 】



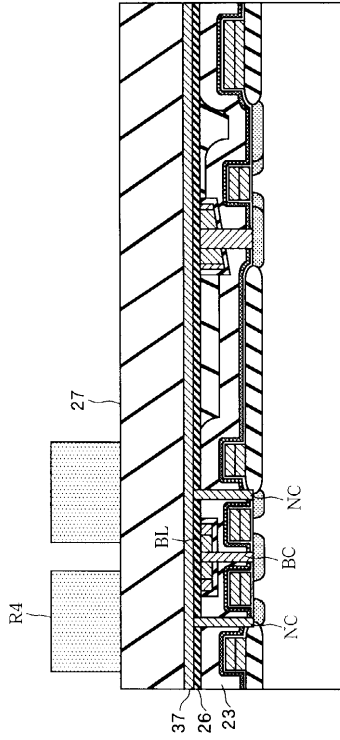
【 図 9 】



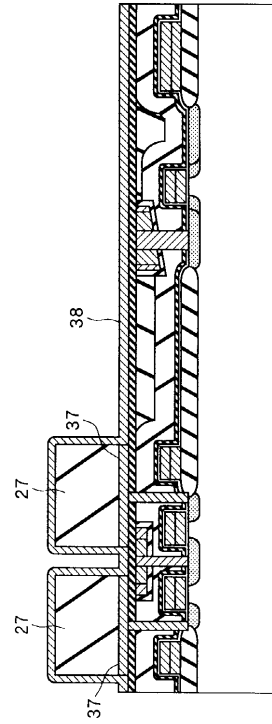
【 図 10 】



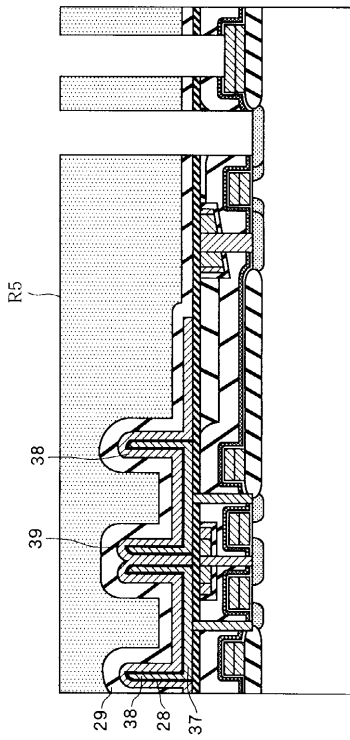
【 図 1 1 】



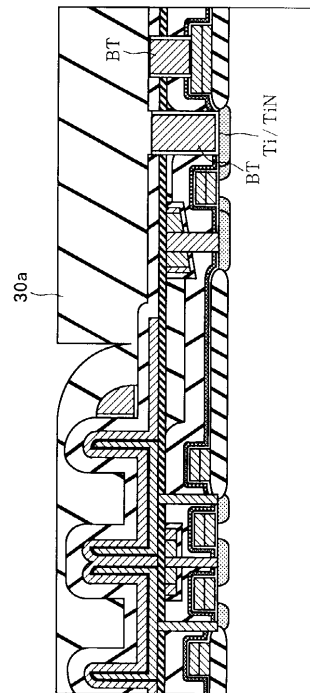
【 図 1 2 】



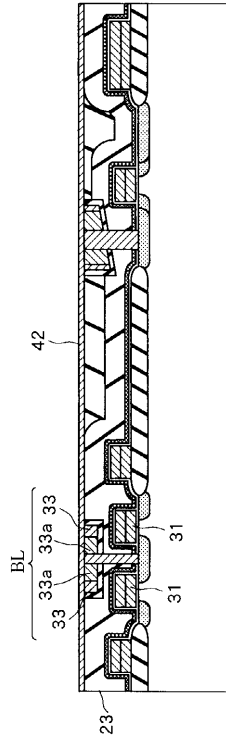
【 図 1 3 】



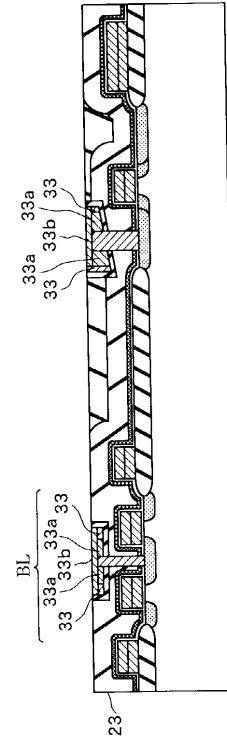
【 図 1 4 】



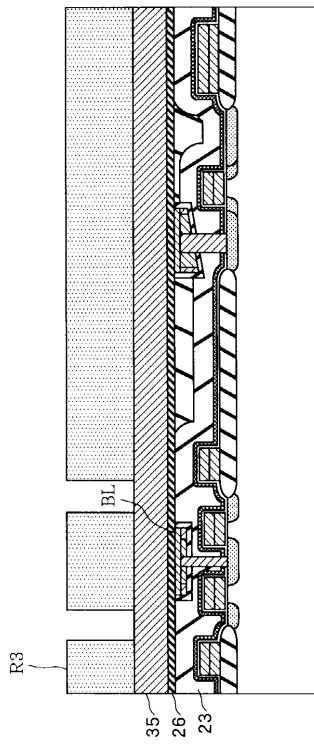
【 図 19 】



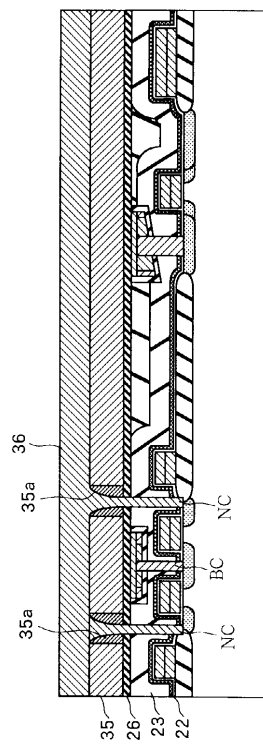
【 図 20 】



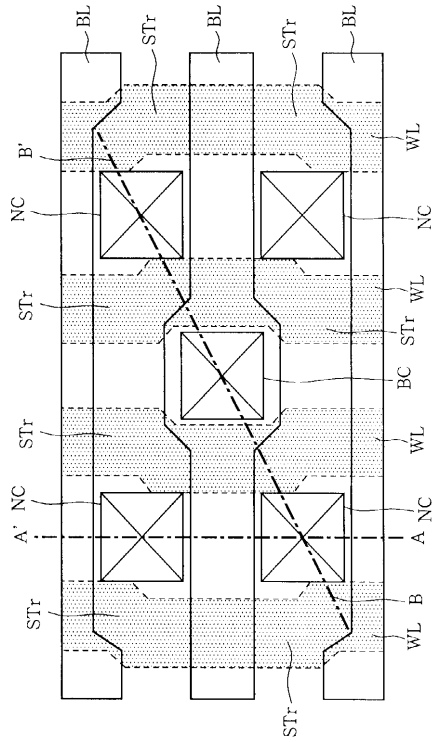
【 図 21 】



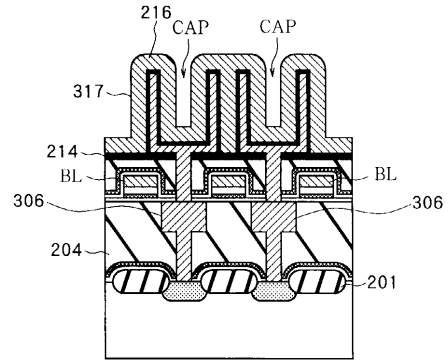
【 図 22 】



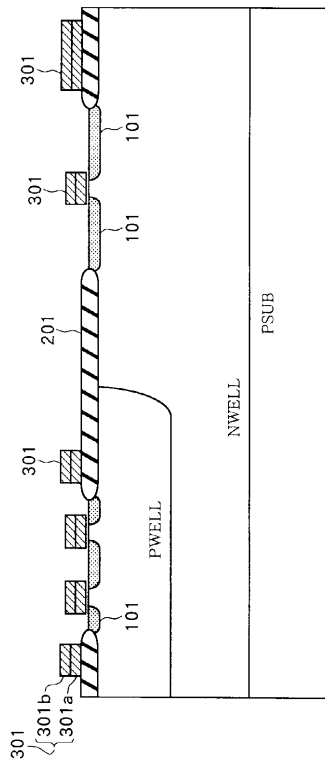
【 図 2 3 】



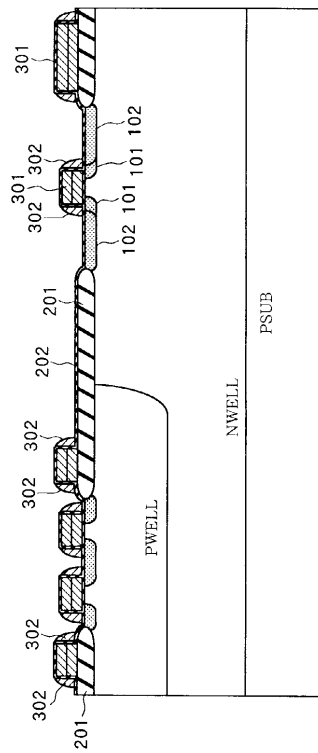
【 図 2 4 】



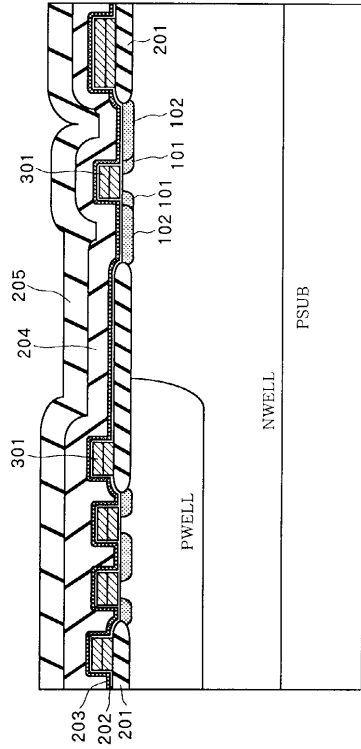
【 図 2 5 】



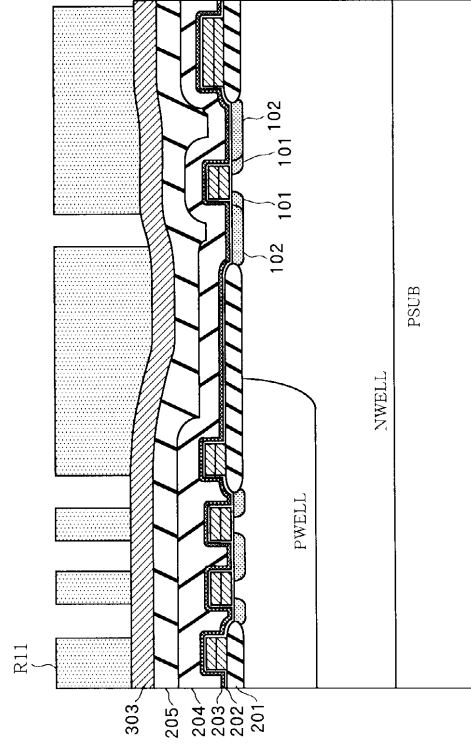
【 図 2 6 】



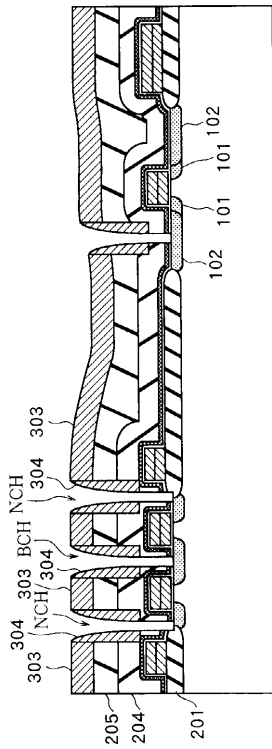
【 27 】



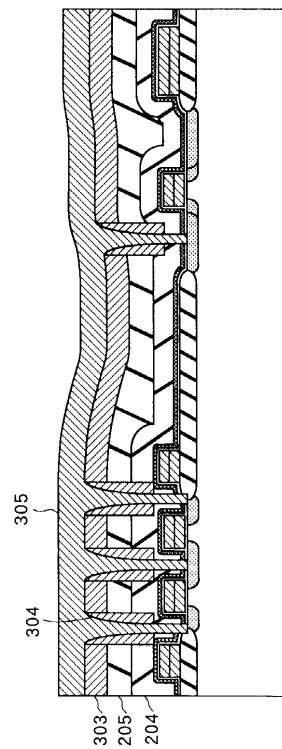
【 28 】



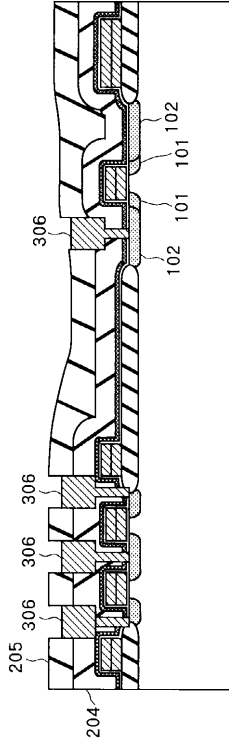
【 29 】



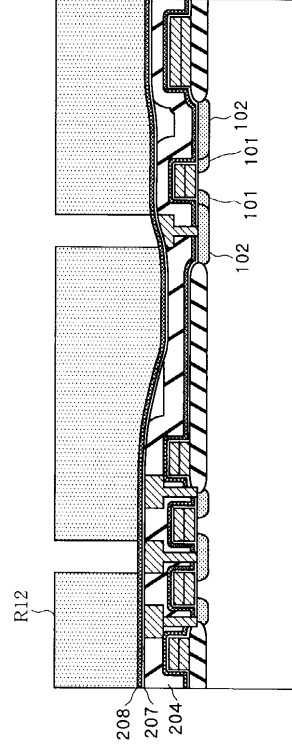
【 30 】



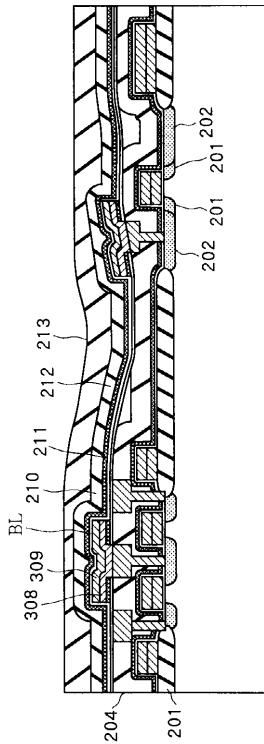
【 図 3 1 】



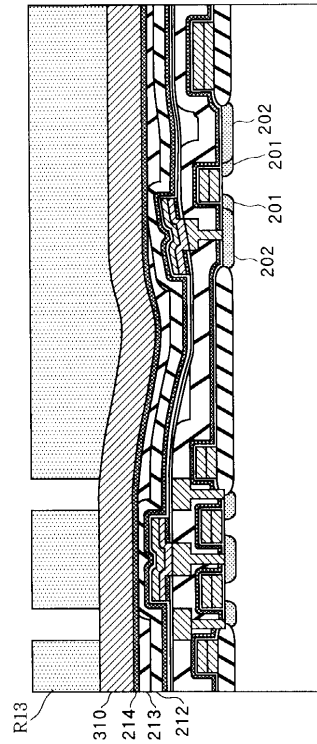
【 図 3 2 】



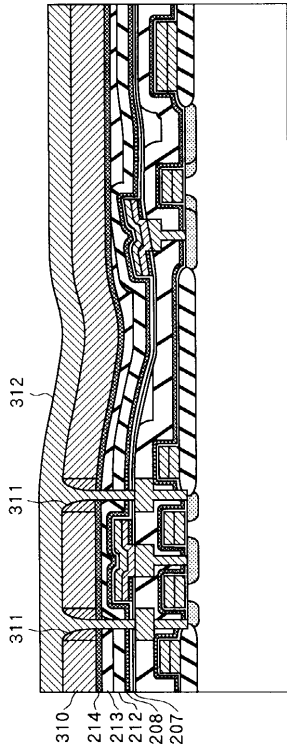
【 図 3 3 】



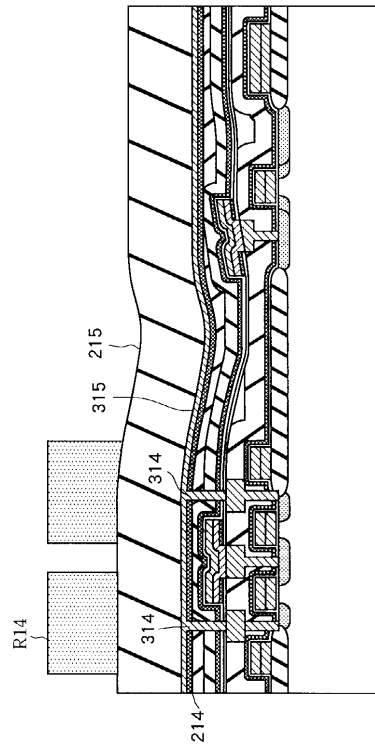
【 図 3 4 】



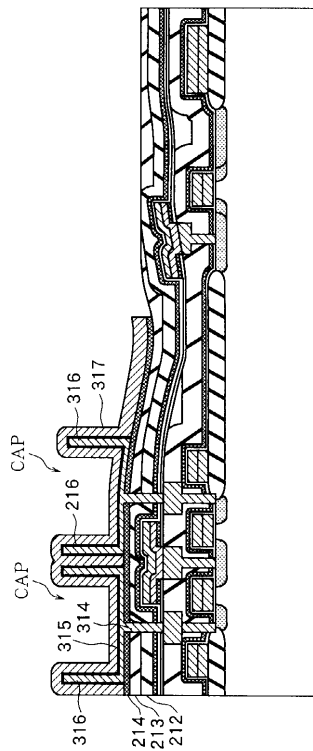
【 図 3 5 】



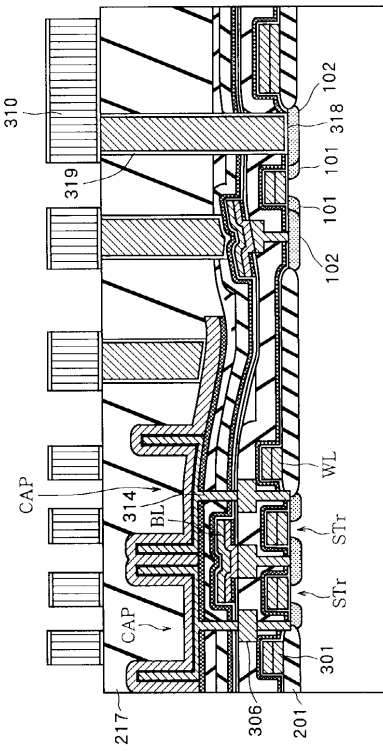
【 図 3 6 】



【 図 3 7 】



【 図 3 8 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/108

H01L 21/8242

H01L 21/768