

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月30日(30.06.2016)



(10) 国際公開番号
WO 2016/104206 A1

- (51) 国際特許分類:
H01L 21/265 (2006.01) H01L 21/336 (2006.01)
H01L 21/22 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/084883
- (22) 国際出願日: 2015年12月14日(14.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-260604 2014年12月24日(24.12.2014) JP
- (71) 出願人: 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 Tokyo (JP).
- (72) 発明者: 上田 博一(UEDA, Hirokazu); 〒4070192 山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 岡 正浩(OKA, Masahiro); 〒4070192 山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP). 小林 勇気(KOBAYASHI, Yuuki); 〒

9813629 宮城県黒川郡大和町テクノヒルズ1番 東京エレクトロン宮城株式会社内 Miyagi (JP). 杉本 靖広(SUGIMOTO, Yasuhiro); 〒4070192 山梨県韮崎市穂坂町三ツ沢650 東京エレクトロン株式会社内 Yamanashi (JP).

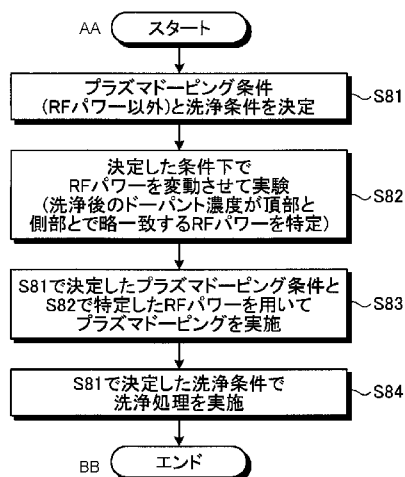
(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: DOPING METHOD, DOPING DEVICE, AND SEMICONDUCTOR ELEMENT MANUFACTURING METHOD

(54) 発明の名称: ドーピング方法、ドーピング装置および半導体素子の製造方法



- S81 Set plasma doping conditions (other than RF power) and washing conditions
S82 Experiment by varying RF power under set conditions (to identify RF power such that dopant concentration after washing is substantially consistent between top portion and side portion)
S83 Implement plasma doping using plasma doping conditions set in S81 and RF power identified in S82
S84 Implement washing process under washing conditions set in S81
AA Start
BB End

(57) Abstract: The invention relates to a doping method for doping by injecting a dopant into a substrate to be processed. According to this doping method, the value of bias electric power supplied during a plasma doping process is set to a predetermined value predicated on a washing process to be implemented after the plasma doping, and plasma is generated in a processing vessel using microwaves so as to subject the substrate to be processed, being held on a holding base in the processing vessel, to the plasma doping process.

(57) 要約: 被処理基板にドーパントを注入してドーピングを行うドーピング方法である。当該ドーピング方法によれば、プラズマドーピング処理時に供給するバイアス電力の値を、プラズマドーピング後に実施する洗浄処理を前提とした所定値に設定して、マイクロ波を用いて処理容器内にプラズマを発生させることで処理容器内の保持台に保持された被処理基板に対してプラズマドーピング処理を行う。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

ドーピング方法、ドーピング装置および半導体素子の製造方法

技術分野

[0001] 開示の実施形態は、ドーピング方法、ドーピング装置および半導体素子の製造方法に関する。

背景技術

[0002] LSI (Large Scale Integrated circuit) やMOS (Metal Oxide Semiconductor) トランジスタ等の半導体素子は、被処理基板となる半導体基板（ウエハ）に対して、ドーピング、エッチング、CVD (Chemical Vapor Deposition)、スパッタリング等の処理を施して製造される。

[0003] ここで、ドーピングを行う手法として、イオン注入装置を用いたドーピングであるイオンドーピングがあり、直接プラズマを利用してドーパントのラジカルやイオンを被処理対象物の表面に注入する事を特徴としたプラズマドーピング手法がある。また、近年、3次元構造を有するFinFET (Fin Field Effect Transistor) 型半導体素子のようなドーピング被対象物に対して、立体的な構造物の凹凸部位に関わらず均一にドーパント不純物を注入する方法（コンフォーマルドーピング）の要求が非常に強くなった事から、プラズマを用いたドーピング手法が多数試みられ、報告されている。

[0004] 例えば、ドーピング処理装置を用いたドーピング手法（プラズマドーピング）において、主にイオン性のプラズマを生成した上で、生成したイオン性のプラズマを錯乱することで3次元構造の全体にドーピングを行う技術がある。

[0005] また、最近の試みとして、FinFETの側壁部へのドーパントを均一に注入させる方法として、IADD (Ion Assisted Depos

ition and Doping) と称される方法でドーパントを Fin FET の側壁部へコンフォーマルに注入させる方法が紹介されている。なお、IADD とは、プラズマを利用して成膜した As (ヒ素) 膜に対して、追加のイオン斜め照射を実施する手法である。

[0006] ここで、3次元構造を有する Fin FET 型半導体素子のようなドーピング被対象物に対してドーピングを行う場合には、ドーピング被対象物の各箇所において、各箇所の表面からのドーピングの深さやドーパントの濃度を等しくする高い被覆性、すなわち、ドーピングにおける高いコンフォーマリティ (均一性) が要求される事が背景となっている。

先行技術文献

非特許文献

[0007] 非特許文献1: Hirokazu Ueda, Peter L. G. Ventzek, Masahiro Oka, Masahiro Horigome, Yuuki Kobayashi, Yasuhiro Sugimoto, Toshihisa Nozawa, and Satoru Kawakami, "Conformal doping of topographic silicon structures using a radial line slot antenna plasma source", Journal of Applied Physics 115, 214904 (2014)

発明の概要

発明が解決しようとする課題

[0008] しかしながら、従来の技術では、3次元構造を有する Fin FET 型半導体素子のようなドーピング被対象物に対して、コンフォーマルにドーピングできないという問題がある。

[0009] 例えば、従来の IADD のイオンドーピングでは、Fin FET 型半導体素子の3次元構造物が立体障壁となって隠れてしまう箇所に対してのイオン照射量が Fin の頂部より少なくなってしまうために、完全にはコンフォーマル (均一) にドーピングできない。より詳細な一例をあげて説明すると、イオンビームを用いてドーピングを行う場合、Fin FET 型半導体素子のフィンの頂部、側部、底部のすべてをドーピングすることを目的として、F

i n F E T型半導体素子の基板面に対して45度の角度でイオンビームを照射する。その後、135度の角度で、言い換えると、反対側から45度の角度でイオンビームを照射する。この結果、フィンにある程度の高さがある場合、側部のうちのフィンの高さ方向における底部に近い領域、及び、底部については、照射したイオンが届かない。

[0010] また、このイオンドーピングの欠点を克服するために、従来のI A D Dでは、プラズマを用いて低温成膜させたA sを含む薄膜を予めF i n表面に形成させておいてから、イオン成分をバイアス電界を印加して照射しA s原子をS i中(F i n B o d y)にK n o c k - i n (ノックイン)させる方法が報告されているが、F i n B o d yの頂部と側部とを共にコンフォーマルにドーピングさせる目的を完全に達成しているわけではない。

[0011] また、生成したイオン性のプラズマを錯乱することで3次元構造の全体にドーピングを行う技術では、プラズマにより生成されたドーパント(イオン)をE x t e n s i o n P l a t eなるイオン引出し機構により、イオン種をランダムに3次元構造物表面に照射させる事を特徴としたプラズマドーピング手法が示されている。しかしながら、この方法により示された実験データは、いずれも3次元構造物の表面に形成されたアモルファス層(ドーパントを含んだS i結晶の乱れ層)の厚さこそ、コンフォーマルである事を示唆しているが、F i n B o d yの頂部と側部とを共にドーパントの濃度を均一にコンフォーマルドーピング出来る事を示したものではない。

[0012] 言い換えれば、上述のドーピング処理装置を用いるドーピング手法では、ドーピングの結果生成されるプリアモルファス層の層厚が均一になっているに過ぎず、ドーピング処理だけではコンフォーマルになっていない。また、例えば、上述の従来技術では、3次元構造を有するF i n F E T型半導体素子において、頂部(トップ)の位置において注入されるドーパントの濃度及びドーピングの深さと、側部(サイド)の位置において注入されるドーパントの濃度及びドーピングの深さ、底部(ボトム)の位置において注入されるドーパントの濃度及びドーピングの深さとが均一ではなく、ドーピングはコ

ンフォーマルになっていない。

[0013] これに対して、本発明者らは、ドーピング直後にアニーリング処理を行うことでコンフォーマリティを達成できることを発見している。しかし、ドーピング直後にアニーリング処理を行うことができない場合に、コンフォーマリティを達成する手法はこれまで確立されていなかった。たとえば、ドーピング後の素子の上に耐熱性がないレジスト等のマスクが存在する場合や、ドーピング直後に熱処理を実施すると、ドーピングで生じた残留膜から汚染元素が拡散する恐れがある場合等は、アニーリング処理によってコンフォーマリティを達成することができない。

[0014] 本発明は、上記に鑑みてなされたものであって、ドーピング直後に被処理基板の熱処理ができない場合であっても、コンフォーマルドーピングを実現することができるドーピング方法、ドーピング装置および半導体素子の製造方法を提供することを目的とする。

課題を解決するための手段

[0015] 実施形態の一態様に係るドーピング方法、ドーピング装置および半導体素子の製造方法は、プラズマドーピング処理時に供給するバイアス電力の値を、当該プラズマドーピング処理後に所定条件で被処理基板の洗浄処理を実施した場合に当該被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなる値に設定して、マイクロ波を用いて処理容器内にプラズマを発生させることで処理容器内の保持台に保持された被処理基板に対してプラズマドーピング処理を行う。

発明の効果

[0016] 実施形態の一態様によれば、ドーピング直後に被処理基板の熱処理ができない場合であっても、コンフォーマルドーピングを実現することができる。

図面の簡単な説明

[0017] [図1]図1は、第1の実施形態に係るドーピング方法及びドーピング装置によって製造される半導体素子であるF i n F E T型半導体素子の一部を示す概略斜視図である。

[図2]図2は、第1の実施形態に係るドーピング装置の要部を示す概略断面図である。

[図3]図3は、第1の実施形態に係るドーピング方法の概略的な工程を示すフローチャートである。

[図4]図4は、プラズマドーピング処理を用いてドーピングを行う場合におけるFinFET型半導体素子に対するドーピング量について示す図である。

[図5]図5は、FinFET型半導体素子におけるFinFETのアスペクト比と、注入されるドーパントの濃度の相対的な比を示す図である。

[図6A]図6Aは、プラズマドーピング処理において供給するバイアス電力の値と、プラズマドーピング処理後の被処理基板のドーパント濃度およびプラズマドーピング処理後にSPM (Sulfuric - Acid and Hydrogen - Peroxide Mixture) 洗浄を実施した後の被処理基板のドーパント濃度と、の関係を示すグラフである。

[図6B]図6Bは、図6Aに記載するFinFET型半導体素子の頂部および側部の概略位置を示す図である。

[図7]図7は、図6Aに示すグラフ中、SPM洗浄後のドーパント濃度を示す部分を拡大して示すグラフである。

[図8]図8は、保持台に加える温度と、SPM洗浄後のドーパント濃度との関係を説明するための図である。

[図9]図9は、第1の実施形態に係る半導体素子の製造方法の流れを示すフローチャートである。

発明を実施するための形態

[0018] 以下に、添付図面を参照して、開示のドーピング方法、ドーピング装置および半導体素子の製造方法の実施形態を図面に基づいて詳細に説明する。なお、この実施形態によりこの発明が限定されるものではない。また、実施形態は、処理内容を矛盾させない範囲で適宜組み合わせることができる。

[0019] 実施形態に係るドーピング方法は、被処理基板にドーパントを注入してドーピングを行うドーピング方法であって、プラズマドーピング処理時に供給

するバイアス電力の値を、プラズマドーピング後に実施する洗浄処理を前提とした所定値に設定して、マイクロ波を用いて処理容器内にプラズマを発生させることで処理容器内の保持台に保持された被処理基板に対してプラズマドーピング処理を行うプラズマドーピング処理工程を含む。

[0020] また、実施形態に係るドーピング方法は、プラズマドーピング処理工程において、バイアス電力の値は、プラズマドーピング処理後に洗浄処理を実施した場合に当該被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなる値に設定されてもよい。

[0021] また、実施形態に係るドーピング装置は、処理容器と、処理容器内にドーピングガス及びプラズマ励起用の不活性ガスを供給するガス供給部と、処理容器内に配置され、3次元構造を有する被処理基板を保持する保持台と、マイクロ波を用いて処理容器内にプラズマを発生させるプラズマ発生機構と、プラズマドーピング処理後に実施する洗浄処理を前提とした所定値にバイアス電力の値を設定して、プラズマ発生機構に処理容器内にプラズマを発生させるように制御することで、保持台に保持される被処理基板に対してプラズマドーピング処理を行う制御部と、を備える。

[0022] また、実施形態に係るドーピング装置は、プラズマドーピング後に洗浄処理を実施した場合に当該被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなるバイアス電力の値を、プラズマドーピング処理の条件として記憶する記憶部をさらに備え、制御部は、記憶部に記憶される条件に基づき、プラズマ発生機構に処理容器内にプラズマを発生させるように制御することで、保持台に保持される被処理基板に対してプラズマドーピング処理を行ってもよい。

[0023] また、実施形態に係る半導体素子の製造方法は、プラズマドーピング処理後に実施する洗浄処理を前提としたバイアス電力の所定値をプラズマドーピング処理の条件として取得する取得工程と、取得工程において取得した所定値のバイアス電力を供給しつつ被処理基板に対してプラズマドーピング処理を行うプラズマドーピング処理工程と、プラズマドーピング処理が行われた

被処理基板に対して洗浄処理を行う洗浄処理工程と、を含む。

[0024] また、実施形態に係る半導体素子の製造方法において、取得工程は、洗浄処理を実施した場合に被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなるバイアス電力の値を所定値として取得してもよい。

[0025] また、実施形態に係る半導体素子の製造方法において、取得工程は、洗浄処理の所定条件と相関づけて決定されるバイアス電力の所定値を取得し、プラズマドーピング処理工程は、所定値として100Wから400Wの範囲内のバイアス電力を供給しつつ実行してもよい。

[0026] (第1の実施形態)

第1の実施形態では、3次元構造を有する被処理基板に対してドーピング処理を実施した後に洗浄処理を実施することを前提として、洗浄処理後の被処理基板の頂部と側部のドーパント濃度が等しくなるように、ドーピング条件を調整する。特に、プラズマドーピング処理時に被処理基板を保持する保持台に供給するバイアス電力の値を調整することによって、洗浄処理の影響を加味したコンフォーマルドーピングを実現する。

[0027] このように洗浄処理によるドーパント濃度への影響を加味してプラズマドーピング処理の条件を調整することでコンフォーマルドーピングを実現できるのは、プラズマドーピング処理を用いて製造した半導体素子においてはフィン側部の耐薬品性が高いことによる。以下に、第1の実施形態に係るドーピング装置の構造の一例、ドーピング方法の一例、第1の実施形態におけるプラズマドーピング処理条件の調整の詳細、第1の実施形態に係る半導体素子の製造方法の一例につき順次説明する。

[0028] (FinFET型半導体素子の一例)

図1は、第1の実施形態に係るドーピング方法及びドーピング装置によって製造される半導体素子であるFinFET型半導体素子の一部を示す概略斜視図である。図1を参照して、この発明の1実施形態に係るドーピング方法及びドーピング装置によって製造されるFinFET型半導体素子11には、シリコン基板12の主表面13から上方向に長く突出したフィン14が

形成されている。フィン１４の延びる方向は、図１中の矢印１で示す方向である。フィン１４の部分は、FinFET型半導体素子１１の横方向である矢印１の方向から見ると、略矩形状である。フィン１４の一部を覆うようにして、フィン１４の延びる方向と直交する方向に延びるゲート１５が形成されている。フィン１４のうち、形成されたゲート１５の手前側にソース１６が形成されることになり、奥側にドレイン１７が形成されることになる。このようなフィン１４の形状、すなわち、シリコン基板１２の主表面１３から上方向に突出した部分の表面に対して、マイクロ波を用いて発生させたプラズマによるドーピングが行われる。

[0029] なお、図１において図示はしないが、半導体素子の製造工程によっては、ドーピングが行われる前の段階で、フォトリソ層が形成される場合もある。フォトリソ層は、所定の間隔を開けてフィン１４の側方側、例えば、図１中の紙面左右方向に位置する部分に形成される。フォトリソ層は、フィン１４と同じ方向に延び、シリコン基板１２の主表面１３から上方向に長く突出するようにして形成される。

[0030] （第１の実施形態に係るドーピング装置の一例）

図２は、第１の実施形態に係るドーピング装置の要部を示す概略断面図である。なお、図２において、理解の容易の観点から、部材の一部のハッチングを省略している。また、この実施形態においては、図２における紙面上下方向を、ドーピング装置における上下方向としている。

[0031] 図２を参照して、ドーピング装置３１は、その内部で被処理基板Ｗにドーピングを行う処理容器３２と、処理容器３２内にプラズマ励起用のガスや、ドーピングガスを供給するガス供給部３３と、その上で被処理基板Ｗを保持する円板状の保持台３４と、マイクロ波を用いて処理容器３２内にプラズマを発生させるプラズマ発生機構３９と、処理容器３２内の圧力を調整する圧力調整機構と、保持台３４に交流のバイアス電力を供給するバイアス電力供給機構と、ドーピング装置３１全体の動作を制御する制御部２８とを備える。制御部２８は、ガス供給部３３におけるガス流量、処理容器３２内の圧力

、保持台 3 4 に供給されるバイアス電力等、ドーピング装置 3 1 全体の制御を行う。制御部 2 8 は、バイアス電力等のドーピング処理の条件を記憶する記憶部 2 8 a と接続される。

[0032] 処理容器 3 2 は、保持台 3 4 の下方側に位置する底部 4 1 と、底部 4 1 の外周から上方向に延びる側壁 4 2 とを含む。側壁 4 2 は、略円筒状である。処理容器 3 2 の底部 4 1 には、その一部を貫通するように排気用の排気孔 4 3 が設けられている。処理容器 3 2 の上部側は開口しており、処理容器 3 2 の上部側に配置される蓋部 4 4、後述する誘電体窓 3 6、及び誘電体窓 3 6 と蓋部 4 4 との間に介在するシール部材としてのＯリング 4 5 によって、処理容器 3 2 は密封可能に構成されている。

[0033] ガス供給部 3 3 は、被処理基板 W の中央に向かってガスを吹付ける第 1 のガス供給部 4 6 と、被処理基板 W の外側からガスを吹付ける第 2 のガス供給部 4 7 とを含む。第 1 のガス供給部 4 6 においてガスを供給するガス供給孔 3 0 は、誘電体窓 3 6 の径方向中央であって、保持台 3 4 と対向する対向面となる誘電体窓 3 6 の下面 4 8 よりも誘電体窓 3 6 の内方側に後退した位置に設けられている。第 1 のガス供給部 4 6 は、第 1 のガス供給部 4 6 に接続されたガス供給系 4 9 により流量等を調整しながらプラズマ励起用の不活性ガスやドーピングガスを供給する。第 2 のガス供給部 4 7 は、側壁 4 2 の上部側の一部において、処理容器 3 2 内にプラズマ励起用の不活性ガスやドーピングガスを供給する複数のガス供給孔 5 0 を設けることにより形成されている。複数のガス供給孔 5 0 は、周方向に等しい間隔を開けて設けられている。第 1 のガス供給部 4 6 及び第 2 のガス供給部 4 7 には、同じガス供給源から同じ種類のプラズマ励起用の不活性ガスやドーピングガスが供給される。なお、要求や制御内容等に応じて、第 1 のガス供給部 4 6 及び第 2 のガス供給部 4 7 から別のガスを供給することもでき、それらの流量比等を調整することもできる。

[0034] 保持台 3 4 には、RF (Radio Frequency) バイアス用の高周波電源 5 8 がマッチングユニット 5 9 を介して保持台 3 4 内の電極に電

氣的に接続されている。この高周波電源 58 は、例えば、13.56 MHz の高周波を所定の電力（バイアスパワー）で出力可能である。マッチングユニット 59 は、高周波電源 58 側のインピーダンスと、主に電極、プラズマ、処理容器 32 といった負荷側のインピーダンスとの間で整合をとるための整合器を収容しており、この整合器の中に自己バイアス生成用のブロッキングコンデンサが含まれている。なお、ドーピング時において、この保持台 34 へのバイアス電圧の供給は、必要に応じて適宜変更される。制御部 28 は、バイアス電力供給機構として、保持台 34 に供給される交流のバイアス電力を制御する。

[0035] 保持台 34 は、静電チャック（図示せず）によりその上に被処理基板 W を保持可能である。保持台 34 は、底部 41 の下方側から垂直上方に延びる絶縁性の筒状支持部 51 に支持されている。上記した排気孔 43 は、筒状支持部 51 の外周に沿って処理容器 32 の底部 41 の一部を貫通するように設けられている。環状の排気孔 43 の下方側には排気管（図示せず）を介して排気装置（図示せず）が接続されている。排気装置は、ターボ分子ポンプなどの真空ポンプを有している。排気装置により、処理容器 32 内を所定の圧力まで減圧することができる。制御部 28 は、圧力調整機構として、排気装置による排気の制御等により、処理容器 32 内の圧力を調整する。

[0036] プラズマ発生機構 39 は処理容器 32 外に設けられており、プラズマ励起用のマイクロ波を発生させるマイクロ波発生器 35 を含む。また、プラズマ発生機構 39 は、保持台 34 と対向する位置に配置され、マイクロ波発生器 35 により発生させたマイクロ波を処理容器 32 内に導入する誘電体窓 36 を含む。また、プラズマ発生機構 39 は、複数のスロット孔 40 が設けられており、誘電体窓 36 の上方側に配置され、マイクロ波を誘電体窓 36 に放射するスロットアンテナ板 37 を含む。また、プラズマ発生機構 39 は、スロットアンテナ板 37 の上方側に配置され、後述する同軸導波管 56 から導入されたマイクロ波を径方向に伝播する誘電体部材 38 を含む。

[0037] マッチング 53 を有するマイクロ波発生器 35 は、モード変換器 54 及び

導波管 55 を介して、マイクロ波を導入する同軸導波管 56 の上部に接続されている。例えば、マイクロ波発生器 35 で発生させた TE モードのマイクロ波は、導波管 55 を通り、モード変換器 54 により TEM モードへ変換され、同軸導波管 56 を伝播する。マイクロ波発生器 35 において発生させるマイクロ波の周波数としては、例えば、2.45 GHz が選択される。

[0038] 誘電体窓 36 は、略円板状であって、誘電体で構成されている。誘電体窓 36 の具体的な材質としては、石英やアルミナ等があげられる。

[0039] スロットアンテナ板 37 は、薄板状であって、円板状である。ここで、スロットアンテナ板 37 は、好ましくは、ラジアルラインスロットアンテナである。

[0040] マイクロ波発生器 35 により発生させたマイクロ波は、同軸導波管 56 を通って伝播される。マイクロ波は、内部に冷媒を循環させる循環路 60 を有し誘電体部材 38 等の温度調整を行う冷却ジャケット 52 とスロットアンテナ板 37 との間に挟まれた領域を径方向外側に向かって放射状に広がり、スロットアンテナ板 37 に設けられた複数のスロット孔 40 から誘電体窓 36 に放射される。誘電体窓 36 を透過したマイクロ波は、誘電体窓 36 の直下に電界を生じさせ、処理容器 32 内にプラズマを生成させる。

[0041] このように、プラズマ発生機構は、処理容器 32 内に露出していて保持台 34 と対向する位置に設けられる誘電体窓 36 を有する。ここで、誘電体窓 36 と保持台 34 に保持される被処理基板 W との間の最短距離は、5.5 cm 以上 15 cm 以下とする。

[0042] ドーピング装置 31 においてマイクロ波プラズマを発生させた場合、誘電体窓 36 の下面 48 の直下、具体的には、誘電体窓 36 の下面 48 の数 cm 程度下に位置する領域においては、プラズマの電子温度が比較的高いいわゆるプラズマ生成領域が形成される。そして、その鉛直方向下側に位置する領域には、プラズマ生成領域で生成されたプラズマが拡散するいわゆるプラズマ拡散領域が形成される。このプラズマ拡散領域は、プラズマの電子温度が比較的低い領域であり、この領域でプラズマドーピング処理、すなわち、ド

ーピングを行う。なお、ドーピング装置 31 においてマイクロ波プラズマを発生させた場合、相対的にプラズマの電子密度が高くなる。そうすると、ドーピング時における被処理基板 W に対するいわゆるプラズマダメージを与えず、かつ、プラズマの電子密度が高いので、効率的なドーピング、具体的には例えば、ドーピング時間の短縮を図ることができる。

[0043] ここで、一般的なプラズマ源の誘導結合プラズマ（ICP 等）では、プラズマ中のラジカルおよび低エネルギーイオン成分に比べて、高エネルギーイオンの生成量が非常に多くなる為、被処理基板へのプラズマ照射ダメージも同時に増えてしまう。これに対して、マイクロ波プラズマを用いることで、コンフォーマルドーピング形成に有利な圧力が 100 mTorr 以上の高圧帯において、効率よくラジカルおよび低エネルギーイオン成分を生成可能となる。また、マイクロ波プラズマを用いることで、ラジカル（活性種）はプラズマ電界に影響されない。つまり電氣的に中性であるために、イオンに比べて、被処理基板へのプラズマ照射ダメージを圧倒的に軽減可能となる。

[0044] （第 1 の実施形態に係るドーピング方法の一例）

次に、このようなドーピング装置を用いて、被処理基板 W に対してドーピングを行う方法について説明する。図 3 は、第 1 の実施形態に係るドーピング方法の概略的な工程を示すフローチャートである。

[0045] まず、図 3 に示すように、プラズマドーピング処理を施す被処理基板 W をドーピング装置 31 内に搬入し、保持台 34 に載置する（ステップ S31）。そして、予め設定したドーピング条件に基づきプラズマドーピング処理を行う（ステップ S32）。プラズマドーピング処理が完了すると、被処理基板 W をドーピング装置 31 から搬出する（ステップ S33）。そして、被処理基板 W を洗浄装置内に入れて、SPM 洗浄処理を実行する（ステップ S34）。

[0046] 第 1 の実施形態に係るドーピング方法では、ステップ S32 のプラズマドーピング処理において用いるバイアス電力の値を、プラズマドーピング処理後に実施する SPM 洗浄処理がコンフォーマミティに与える影響を考慮して設

定する。

[0047] ドーピング後の被処理基板に対してS P M洗浄処理を行う場合、被処理基板の各部におけるドーパント濃度はS P M洗浄処理によって等しい影響を受けるわけではない。前提としてまず、プラズマドーピング処理によって製造した半導体素子のフィンの各部のドーパント濃度について説明する。

[0048] (プラズマドーピングを施した半導体素子のフィン各部のドーパント濃度)

一例として、図1に示すようなF i n F E T型半導体素子をプラズマドーピング処理を用いて製造する場合のフィンの頂部および側部におけるドーパント濃度について説明する。図4は、プラズマドーピング処理を用いてドーピングを行う場合におけるF i n F E T型半導体素子に対するドーピング量について示す図である。図4に示す例では、被処理基板Wは、F i n F E T型半導体素子である。ここで、反射などを考慮しない場合、図4に示すように、被処理基板Wにフィンが設けられる結果、立体形状によって、各部に到達するラジカルおよび低エネルギーイオン成分の量が異なる。例えば、ラジアルスロットアンテナによって生成されたラジカルおよび低エネルギーイオン成分は、被処理基板Wのうち、F i n F E Tの頂部W aと接触すると頂部W aにドーパントを注入し、F i n F E Tの頂部W aに接触しなかったラジカルおよび低エネルギーイオン成分のうち側部W bと接触したラジカルおよび低エネルギーイオン成分が側部W bにドーパントを注入し、F i n F E Tの頂部W aにも側部W bにも接触しなかったラジカルおよび低エネルギーイオン成分のうち底部W cと接触したラジカルおよび低エネルギーイオン成分が底部W cにドーパントを注入することになる。言い換えると、F i n F E Tによる立体障壁が発生する分、被処理基板Wのうち、頂部W a、側部W b、底部W cの順に、ラジカルおよび低エネルギーイオン成分と接触する確率は低くなり、その分、注入されるドーパントの濃度も低くなる。

[0049] 図5は、F i n F E T型半導体素子におけるF i n F E Tのアスペクト比と、注入されるドーパントの濃度の相対的な比を示す図である。図5に示す例では、反射などを考慮しない場合を示す。図5に示すドーパントの濃度に

ついては、As（ヒ素）をシリコン基板に注入した場合を示している。図5に示すように、アスペクト比が「1」、すなわち、頂部の長さで側面の長さとの比率が「1：1」とすると、頂部に注入されるドーパントの濃度を「1」とした場合における底部に注入されるドーパントの濃度は、約「0.35」となる。また、アスペクト比が「5」、すなわち、頂部の長さで側面の長さとの比率が「1：5」とすると、頂部に注入されるドーパントの濃度を「1」とした場合における底部に注入されるドーパントの濃度は、約「0.1」となる。このように、FinFET型半導体素子に対してプラズマドーピング処理を用いてドーピングをする場合、プラズマドーピング処理のみを実行した場合には、コンフォーマルなドーピングを行うことは困難なことがわかる。

[0050] ところで、プラズマドーピング処理後の被処理基板Wに対してSPM洗浄処理を実施した場合、フィンの頂部および側部におけるドーパント濃度が変化する。図6Aは、プラズマドーピング処理において供給するバイアス電力（RFパワー、バイアスパワーとも呼ぶ。）の値と、プラズマドーピング処理後の被処理基板のドーパント濃度およびプラズマドーピング処理後にSPM洗浄を実施した後の被処理基板Wのドーパント濃度と、の関係を示すグラフである。また、図6Bは、図6Aに記載するFinFET型半導体素子の頂部と側部の概略位置を示す図である。

[0051] 図6Aの例で用いるプラズマドーピング処理は、ラジアルラインスロットを用いたプラズマドーピングである。また、プラズマドーピング条件として、マイクロ波パワーは5kWとし、処理容器内の圧力は230mTorrとした。また、処理ガスのトータル流量を1000sccmとした上で、AsH₃（0.7%）／He希釈ガス流量を440sccmに設定した。残りのガスはHeガスである。プラズマドーピング処理を行う時間は、100秒とした。

[0052] 上記プラズマドーピング条件下において、被処理基板Wを載置した保持台に印加するバイアス電力すなわちRFパワーの値を変化させてプラズマドー

ピング処理を行った。そしてプラズマドーピング処理直後の、被処理基板の頂部および側部におけるドーパント濃度（ヒ素濃度）をSEM EDX（Scanning Electron Microscope / Energy Dispersive X-ray Spectroscopy）により測定した。

[0053] さらに、プラズマドーピング処理後の被処理基板に対してSPM洗浄処理を実行した。SPM洗浄処理の条件としては、洗浄液として H_2SO_4 （硫酸）と H_2O_2 （過酸化水素水）との割合を4対1とした110℃の混合液を用い、洗浄処理の時間を10分とした。そして、SPM洗浄処理後の被処理基板の頂部および側部におけるドーパント濃度（ヒ素濃度）をSEM EDXにより測定した。

[0054] 上記の条件下で測定したドーパント濃度を図6Aに示す。図6Aに示すように、ドーピング直後のフィン頂部のドーパント濃度はRFパワーの値に関わらず、フィン側部のドーパント濃度よりも高くなっている。また、プラズマドーピング処理時に印加したRFパワーが大きくなるにつれて、フィン頂部、フィン側部ともドーパント濃度が低下している。ただし、低下率はフィン側部の方がフィン頂部に比して小さい。

[0055] SPM洗浄処理を10分間実施した後のドーパント濃度を見ると、RFパワーが約400W以下では、フィン頂部のドーパント濃度の方がフィン側部のドーパント濃度より低くなっている。他方、RFパワーが約400Wを超えると、フィン頂部のドーパント濃度の方がフィン側部のドーパント濃度より高くなっている。これを見ると、SPM洗浄によって失われるドーパントの量が、フィン側部よりもフィン頂部において大きいことがわかる。

[0056] このように、SPM洗浄によるドーパントの損失が頂部よりも側部において少ないのは、プラズマドーピング処理を施したフィンにおいては特に側部の耐薬品性が高いことに起因すると考えられる。そこで、かかるプラズマドーピング処理によって製造されたFinFET型半導体素子の側部の高い耐薬品性を利用して、SPM洗浄後の半導体素子の頂部と側部のドーパント濃

度が等しくなるようRFパワーを設定すれば、コンフォーマルドーピングを達成できる。

[0057] 図7は、図6Aに示すグラフ中、SPM洗浄後のドーパント濃度を示す部分を拡大して示すグラフである。図7に示すように、SPM洗浄後の頂部のドーパント濃度と側部のドーパント濃度とは、RFパワーが約400Wのときに一致する。SPM洗浄後に半導体素子の頂部と側部とにおいてドーパント濃度が略一致するよう、プラズマドーピング時に印加するRFパワーの値を設定すれば、プラズマドーピング後にSPM洗浄を実施することでコンフォーマルドーピングを実現できる。

[0058] そこで、図3に示すドーピング方法の例においては、SPM洗浄処理を実施することを前提条件として、予めRFパワー条件を変えて実験を行い、SPM洗浄後の頂部と側部とのドーパント濃度が略一致するRFパワーの値を特定しておく。そして、特定されたRFパワーの値を条件としてプラズマドーピング処理（ステップS32）を実施する。

[0059] また、SPM洗浄処理を実施する場合、プラズマドーピング処理時に保持台34に加える温度を調整することによっても、ドーパント濃度を調整することができる。図8は、保持台34（ステージ）に加える温度と、SPM洗浄後のドーパント濃度との関係を説明するための図である。図8のデータは、保持台34に加える温度を変化させて、プラズマドーピング処理およびSPM洗浄処理を実施することで得た。図8の左側は、それぞれ300度、200度、60度に保持台34の温度を調整した場合の、プラズマドーピング処理後とSPM洗浄処理後とのドーパントプロファイルを示す。ドーパント濃度は、フィンの頂部、側部3か所および底部のそれぞれの位置で測定した。図8の右側は、左側の図中の各棒グラフに対応する、フィンの位置を示す。なお、ドーパントはヒ素を用い、測定にはSEM EDXを用いた。SPM洗浄処理は約15分間実施した。なお、保持台34に加える温度は、温度調整機構29等を用いて調整すればよい。

[0060] 図8の左側の図から、プラズマドーピング直後のドーパントプロファイル

は、保持台 3 4 に加えた温度によってほとんど影響を受けていないことが分かる。これに対して、S P M 洗浄処理後には、保持台 3 4 に加える温度が高いほど、各位置におけるドーパント濃度が概ね高くなっていることが確認できる。

[0061] このように、保持台 3 4 に温度を加えてプラズマドーピング処理を実施することで、ドーパントの耐薬品残存特性を向上させることができる。保持台 3 4 に加える温度としては、約 1 5 0 度から 6 0 0 度が好ましい。

[0062] (第 1 の実施形態に係る半導体素子の製造方法)

図 9 は、第 1 の実施形態に係る半導体素子の製造方法の処理の流れを示すフローチャートである。図 9 に示す半導体素子の製造方法は、図 2 に示すドーピング装置や図 3 に示すドーピング方法を用いて実現することができる。

[0063] 第 1 の実施形態に係る半導体素子の製造方法においては、プラズマドーピング処理を実行する前に、コンフォーマルドーピングを達成するためのプラズマドーピング条件、具体的には R F パワーを特定する。そのために、まず、半導体素子を製造するために用いる R F パワー以外のプラズマドーピング条件と洗浄条件とを決定する (ステップ S 8 1)。使用するドーピング装置や洗浄装置の条件が予め決定されている場合はその条件を用いればよい。

[0064] 次に、決定した条件下でプラズマドーピング処理において印加する R F パワーの値のみを変化させつつ実験を行う。そして、洗浄処理を実施した後のドーパント濃度が半導体素子の頂部と側部とにおいて略一致する R F パワーを特定する (ステップ S 8 2)。

[0065] R F パワーが特定されたら、特定された R F パワーをプラズマドーピング条件として設定し、他のプラズマドーピング条件はステップ S 8 1 で決定したものをを用いて、プラズマドーピング処理を実施する (ステップ S 8 3)。次に、ステップ S 8 1 で決定した洗浄条件を用いてプラズマドーピング処理を施された半導体素子を洗浄する (ステップ S 8 4)。これによって、頂部のドーパント濃度と側部のドーパント濃度とが略等しいコンフォーマルな半導体素子を製造することができる。

[0066] (第1の実施形態の効果)

このように、第1の実施形態に係るドーピング方法およびドーピング装置では、プラズマドーピング処理時に供給するバイアス電力の値を、プラズマドーピング後に実施する洗浄処理を前提とした所定値に設定して、マイクロ波を用いて処理容器内にプラズマを発生させることで処理容器内の保持台に保持された被処理基板に対してプラズマドーピング処理を行う。

[0067] かかるドーピング方法によれば、プラズマドーピング処理の条件をその後に実行する洗浄処理の影響を加味して設定する。具体的には、RFパワーの値を、洗浄処理の影響を加味して、洗浄処理後にコンフォーマルドーピングが達成されるように設定する。このため、プラズマドーピング後に洗浄処理を実行することで、容易にコンフォーマルドーピングを実現することができる。

[0068] また、第1の実施形態に係る半導体素子の製造方法は、プラズマドーピング処理後に実施する洗浄処理を前提としたバイアス電力の所定値を、プラズマドーピング処理の条件として取得する取得工程と、取得工程において取得した所定値のバイアス電力を供給しつつ被処理基板に対してプラズマドーピング処理を行うプラズマドーピング処理工程と、プラズマドーピング処理が行われた被処理基板に対して洗浄処理を行う洗浄処理工程と、を含む。このため、プラズマドーピング直後にコンフォーマルドーピングが達成されない場合であっても、その後の洗浄処理によって容易にコンフォーミティを達成することができる。

[0069] このように、第1の実施形態によれば、プラズマドーピング処理後に洗浄処理を実行することでコンフォーマルドーピングを実現できる。このため、ドーピング直後に500℃を超えるアニール処理を実行することが困難な場合であっても、コンフォーマルドーピングを達成することができる。たとえば、ドーピングした素子の上に耐熱性がないレジスト等のマスクが存在する場合であっても、所望のコンフォーマリティを達成することができる。また、ドーピング直後に熱処理を実施すると、ドーピングで生じた残留膜から汚

染元素が拡散する恐れがある場合にも、かかる懸念なくコンフォーマリティを実現することができる。

[0070] さらに効果や変形例は、当業者によって容易に導き出すことができる。このため、本発明のより広範な態様は、以上のように表しかつ記述した特定の詳細および代表的な実施形態に限定されるものではない。したがって、添付の特許請求の範囲およびその均等物によって定義される総括的な発明の概念の精神または範囲から逸脱することなく、様々な変更が可能である。

符号の説明

[0071]	1 1	F i n F E T型半導体素子
	1 2	シリコン基板
	1 3	主表面
	1 4	フィン
	1 5	ゲート
	1 6	ソース
	1 7	ドレイン
	2 8	制御部
	2 9	温度調整機構
	3 0	ガス供給孔
	3 1	ドーピング装置
	3 2	処理容器
	3 3	ガス供給部
	3 4	保持台
	3 5	マイクロ波発生器
	3 6	誘電体窓
	3 7	スロットアンテナ板
	3 8	誘電体部材
	3 9	プラズマ発生機構
	4 0	スロット孔

請求の範囲

- [請求項1] 被処理基板にドーパントを注入してドーピングを行うドーピング方法であって、
- プラズマドーピング処理時に供給するバイアス電力の値を、プラズマドーピング後に実施する洗浄処理を前提とした所定値に設定して、マイクロ波を用いて処理容器内にプラズマを発生させることで処理容器内の保持台に保持された被処理基板に対してプラズマドーピング処理を行うプラズマドーピング処理工程、
- を含むドーピング方法。
- [請求項2] 前記プラズマドーピング処理工程において、前記バイアス電力の値は、前記プラズマドーピング処理後に前記洗浄処理を実施した場合に当該被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなる値に設定される請求項1に記載のドーピング方法。
- [請求項3] 処理容器と、
- 前記処理容器内にドーピングガス及びプラズマ励起用の不活性ガスを供給するガス供給部と、
- 前記処理容器内に配置され、被処理基板を保持する保持台と、
- マイクロ波を用いて処理容器内にプラズマを発生させるプラズマ発生機構と、
- プラズマドーピング処理後に実施する洗浄処理を前提とした所定値にバイアス電力の値を設定して、前記プラズマ発生機構に前記処理容器内にプラズマを発生させるように制御することで、前記保持台に保持される被処理基板に対してプラズマドーピング処理を行う制御部と、
- を備えるドーピング装置。
- [請求項4] プラズマドーピング後に前記洗浄処理を実施した場合に当該被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなるバイアス電力の値を、プラズマドーピング処理の条件として記憶す

る記憶部をさらに備え、

前記制御部は、前記記憶部に記憶される条件に基づき、前記プラズマ発生機構に前記処理容器内にプラズマを発生させるように制御することで、前記保持台に保持される被処理基板に対してプラズマドーピング処理を行う請求項3に記載のドーピング装置。

[請求項5] プラズマドーピング処理後に実施する洗浄処理を前提としたバイアス電力の所定値を、プラズマドーピング処理の条件として取得する取得工程と、

前記取得工程において取得した所定値のバイアス電力を供給しつつ被処理基板に対してプラズマドーピング処理を行うプラズマドーピング処理工程と、

前記プラズマドーピング処理が行われた被処理基板に対して前記洗浄処理を行う洗浄処理工程と、

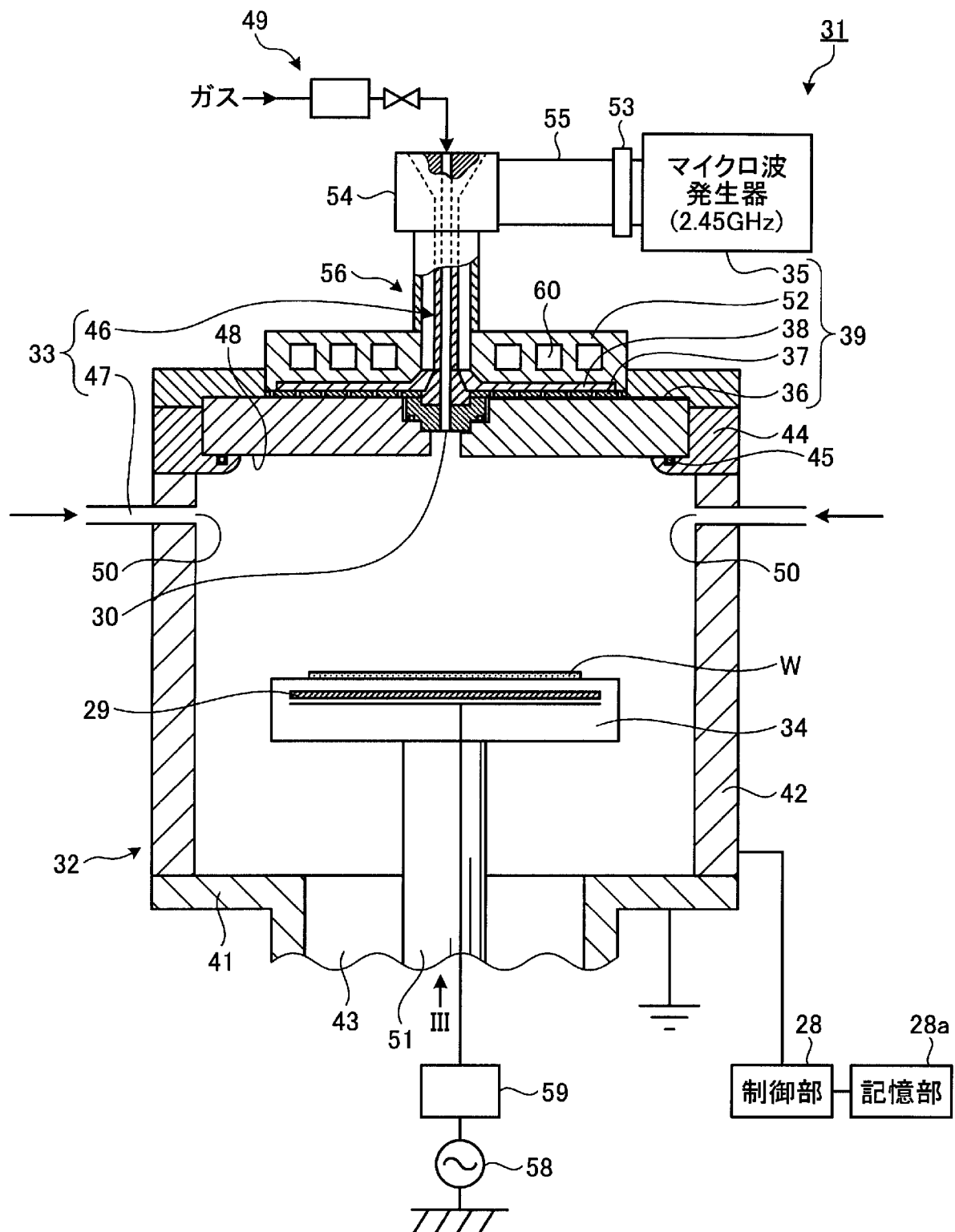
を含む半導体素子の製造方法。

[請求項6] 前記取得工程は、前記洗浄処理を実施した場合に前記被処理基板の頂部のドーパント濃度と側部のドーパント濃度とが略等しくなるバイアス電力の値を前記所定値として取得する請求項5に記載の半導体素子の製造方法。

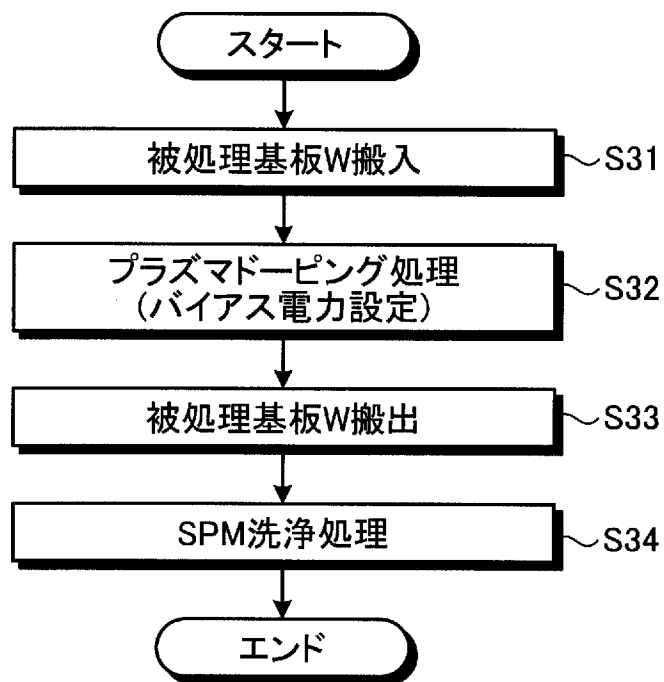
[請求項7] 前記取得工程は、前記洗浄処理の所定条件と相関づけて決定される前記バイアス電力の前記所定値を取得し、

前記プラズマドーピング処理工程は、前記所定値として100Wから400Wの範囲内のバイアス電力を供給しつつ実行する、請求項5または6に記載の半導体素子の製造方法。

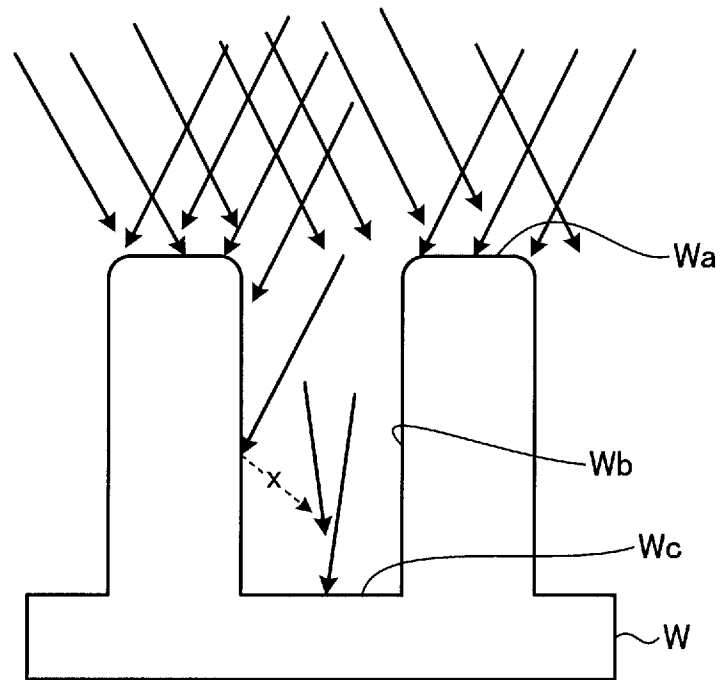
[図2]



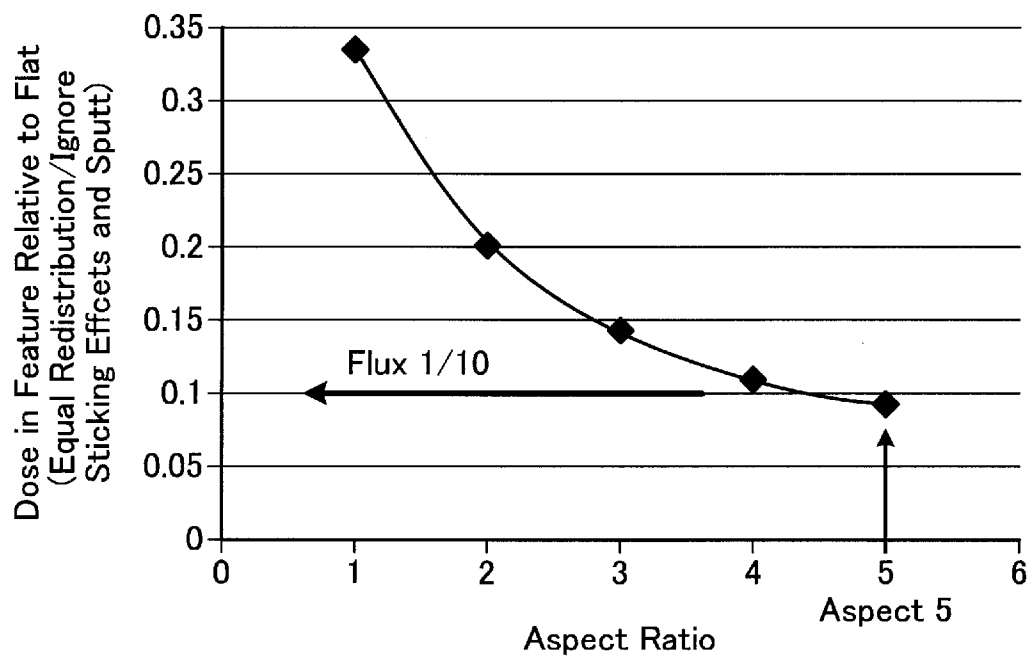
[図3]



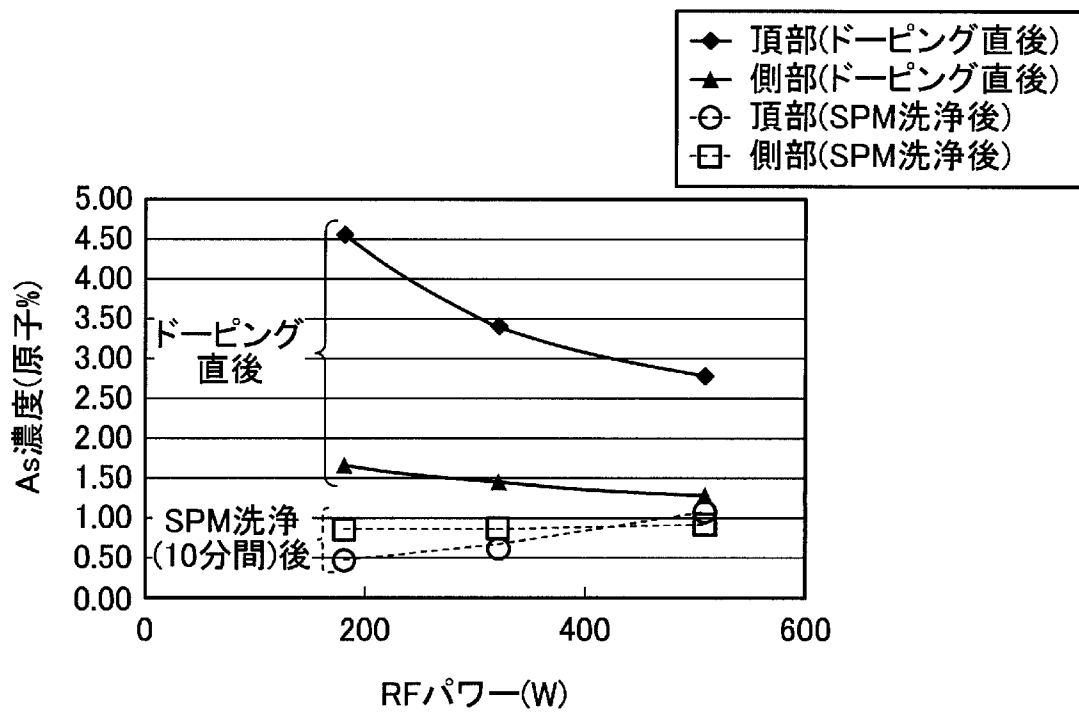
[図4]



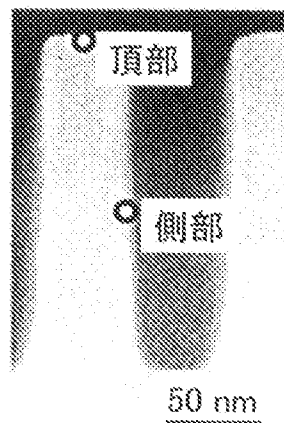
[図5]



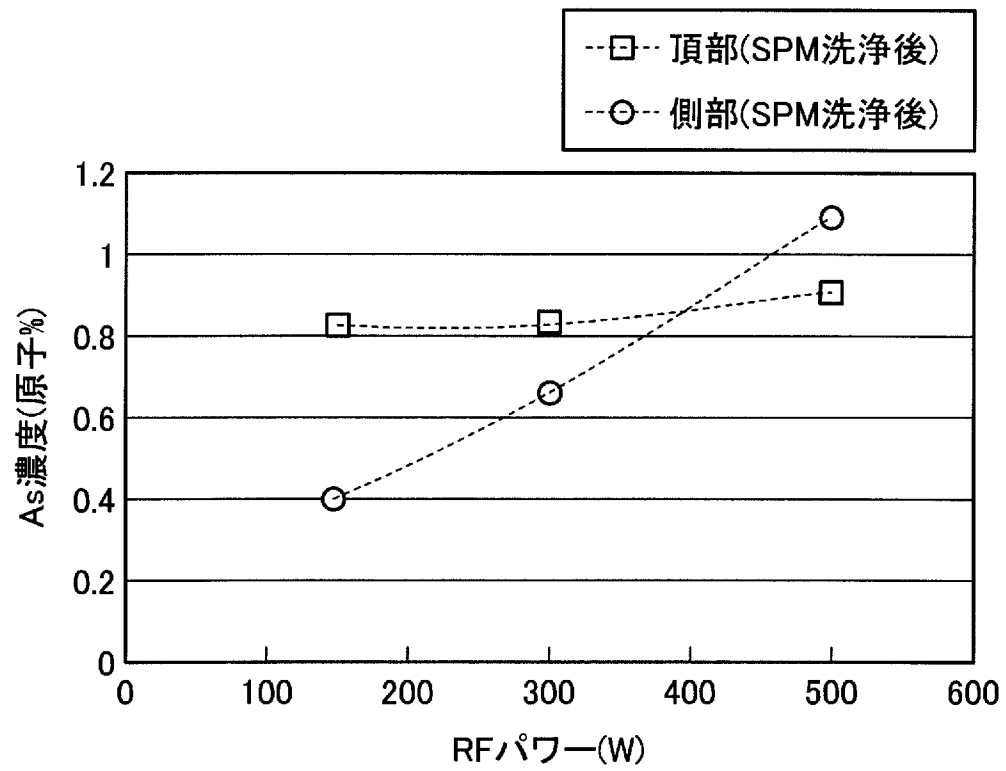
[図6A]



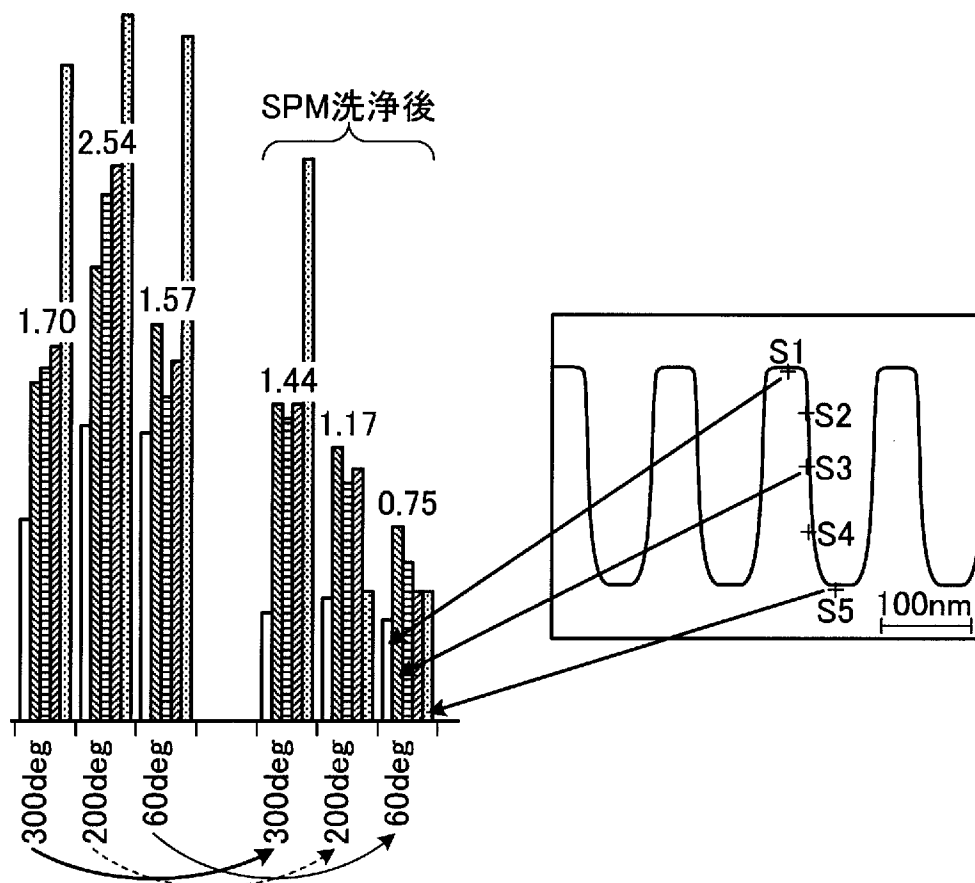
[図6B]



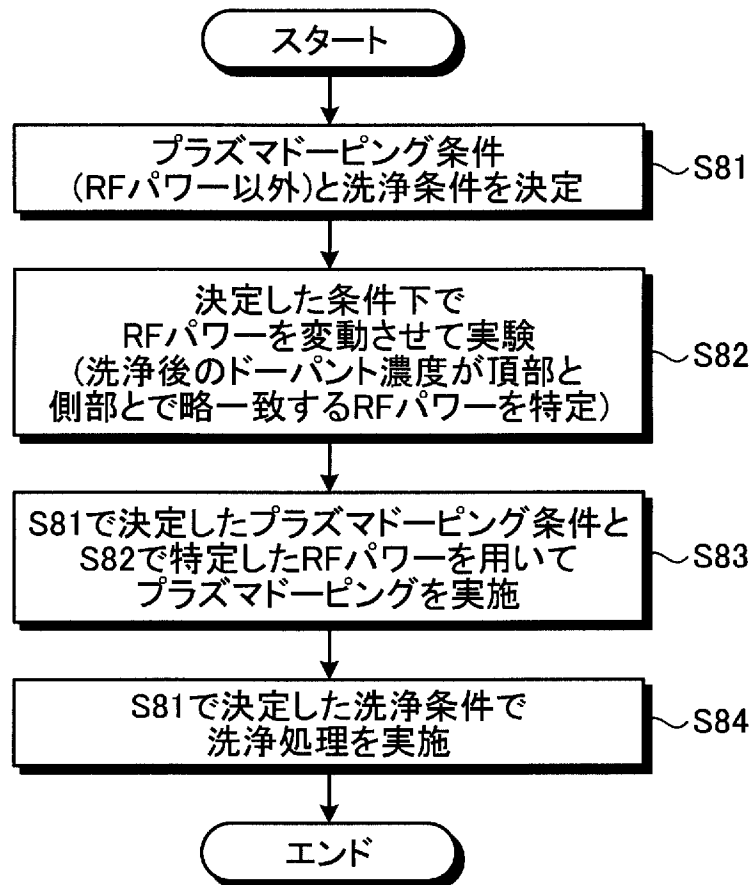
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084883

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/265(2006.01)i, H01L21/22(2006.01)i, H01L21/336(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/265, H01L21/22, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-072504 A (Tokyo Electron Ltd.), 21 April 2014 (21.04.2014), paragraphs [0044] to [0083]; fig. 1 to 12 & US 2014/0094024 A1 paragraphs [0045] to [0099]; fig. 1 to 15 & KR 10-2014-0043677 A & TW 201419386 A	1-7
A	WO 2013/105324 A1 (Tokyo Electron Ltd.), 18 July 2013 (18.07.2013), entire text; all drawings & JP 2013-165254 A & US 2014/0357068 A1 & KR 10-2014-0113663 A & TW 201349335 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
04 March 2016 (04.03.16)

Date of mailing of the international search report
15 March 2016 (15.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084883

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-300687 A (Tokyo Electron Ltd.), 11 December 2008 (11.12.2008), entire text; all drawings & US 2010/0167507 A1 & WO 2008/149643 A1 & DE 112008001446 T5 & TW 200913019 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/265(2006.01)i, H01L21/22(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/265, H01L21/22, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-072504 A (東京エレクトロン株式会社) 2014.04.21, [0044]-[0083], 第1図-第12図 & US 2014/0094024 A1, [0045]-[0099], Figs1-15 & KR 10-2014-0043677 A & TW 201419386 A	1-7
A	W0 2013/105324 A1 (東京エレクトロン株式会社) 2013.07.18, 全文、 全図 & JP 2013-165254 A & US 2014/0357068 A1 & KR 10-2014-0113663 A & TW 201349335 A	1-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.03.2016

国際調査報告の発送日

15.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

右田 勝則

50

9173

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-300687 A (東京エレクトロン株式会社) 2008. 12. 11, 全文、 全図 & US 2010/0167507 A1 & WO 2008/149643 A1 & DE 112008001446 T5 & TW 200913019 A	1 - 7