

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6012763号  
(P6012763)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl. F I  
 H O 1 L 21/3205 (2006. 01) H O 1 L 21/88 J  
 H O 1 L 21/768 (2006. 01)  
 H O 1 L 23/522 (2006. 01)

請求項の数 12 (全 21 頁)

(21) 出願番号	特願2014-552358 (P2014-552358)	(73) 特許権者	507364838
(86) (22) 出願日	平成25年1月12日 (2013. 1. 12)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2015-505171 (P2015-505171A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成27年2月16日 (2015. 2. 16)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2013/021342		イブ 5775
(87) 国際公開番号	W02013/106796	(74) 代理人	100108453
(87) 国際公開日	平成25年7月18日 (2013. 7. 18)		弁理士 村山 靖彦
審査請求日	平成27年4月22日 (2015. 4. 22)	(74) 代理人	100163522
(31) 優先権主張番号	61/586, 463		弁理士 黒田 晋平
(32) 優先日	平成24年1月13日 (2012. 1. 13)	(72) 発明者	ヴィディヤ・ラマチャンドラ
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	61/671, 607		21・サン・ディエゴ・モアハウス・ドラ
(32) 優先日	平成24年7月13日 (2012. 7. 13)		イブ・5775
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 基板貫通ビアを集積回路の中間工程層に組み込むこと

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板の第 1 の側に形成された誘電体層と、

前記誘電体層および前記基板を貫通して延びる基板貫通ビアであって、前記基板貫通ビアが導電材料および絶縁層を含み、前記絶縁層が前記導電材料を少なくとも部分的に囲み、前記絶縁層がテーパ部分を備える、基板貫通ビアと

を備え、

前記基板貫通ビアが、前記導電材料の一部を前記絶縁層から分離するフォトリソスト層の残部をさらに備える半導体ウェハ。

【請求項 2】

前記絶縁層が、実質的に一定の直径を有する一定部分を備え、前記テーパ部分が変動直径を有し、前記変動直径が前記実質的に一定の直径より大きい、請求項 1 に記載の半導体ウェハ。

【請求項 3】

前記導電材料が、実質的に一定の直径を有する第 1 の部分と、前記テーパ部分の前記変動直径に対応して変動する直径を有する第 2 の部分とを備える、請求項 2 に記載の半導体ウェハ。

【請求項 4】

前記絶縁層の前記テーパ部分が、能動デバイスおよび/または受動デバイスを有する前

記基板の前記第 1 の側に近接して配設される、請求項 1 に記載の半導体ウェハ。

【請求項 5】

前記絶縁層の前記テーパ部分が、前記基板の前記第 1 の側、および前記誘電体層に近接して配設される、請求項 1 に記載の半導体ウェハ。

【請求項 6】

前記基板貫通ビアが、前記導電材料を前記絶縁層から分離する多層キャップ層をさらに備える、請求項 1 に記載の半導体ウェハ。

【請求項 7】

前記半導体ウェハの一部が、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定位置のデータユニット、およびコンピュータの内の少なくとも 1 つに組み込まれる、請求項 1 に記載の半導体ウェハ。

10

【請求項 8】

半導体基板と、  
前記基板の第 1 の側に形成された誘電体層と、  
前記誘電体層および前記基板を通して伝導するための手段と、  
前記伝導手段を絶縁するための手段であって、前記伝導手段を囲み、テーパ部分を備える絶縁手段と

を備え、

前記基板貫通ビアが、前記導電材料の一部を前記絶縁層から分離するフォトレジスト層の残部をさらに備える半導体ウェハ。

20

【請求項 9】

前記伝導手段の一部が、  
前記絶縁手段の前記テーパ部分に少なくとも部分的に基づいて直径が変動する、請求項 8 に記載の半導体ウェハ。

【請求項 10】

前記絶縁手段の前記テーパ部分が、能動デバイスおよび/または受動デバイスを有する前記基板の前記第 1 の側に近接して配設される、請求項 8 に記載の半導体ウェハ。

【請求項 11】

前記絶縁手段の前記テーパ部分が、前記基板の前記第 1 の側、および前記誘電体層に近接して配設される、請求項 8 に記載の半導体ウェハ。

30

【請求項 12】

前記半導体ウェハの一部が、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定位置のデータユニット、およびコンピュータの内の少なくとも 1 つに組み込まれる、請求項 8 に記載の半導体ウェハ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願

40

本出願は、V. Ramachandranらの名義の2012年1月13日に出願された米国仮特許出願第61/586,463号および2012年7月13日に出願された米国仮特許出願第61/671,607号の利益を主張し、上記の仮出願の開示は、参照により全体が本明細書に明示的に組み込まれる。

【0002】

本開示は一般に、集積回路（IC）に関する。より詳細には、本開示は、基板貫通ビア（TSV）を先端CMOS（相補型金属酸化膜半導体）ノードにおける中間工程層に組み込むことに関する。

【背景技術】

【0003】

50

集積回路（ＩＣ）の半導体製造のプロセスフローは、基板工程（ＦＥＯＬ： front - end - of - line）、中間工程（ＭＯＬ： middle - of - line）、および配線工程（ＢＥＯＬ： back - end - of - line）を含み得る。ＦＥＯＬプロセスは、ウェハ作製、分離、ウェル形成、ゲートパターンニング、スペーサ、エクステンションおよびソース／ドレインインプラント、シリサイド形成、ならびにデュアルストレスライナー形成を含み得る。ＭＯＬプロセスは、ゲートコンタクト形成を含み得る。ＢＥＯＬプロセスは、ＦＥＯＬおよびＭＯＬプロセス中に作成された半導体デバイスを相互接続するための一連のウェハ加工ステップを含み得る。成功を収めている現代の半導体チップ製品の製造および認定には、採用される材料とプロセスの間の相互作用が伴う。とりわけ、ＭＯＬプロセスにおけるゲートコンタクト形成は、特にリソグラフィパターンニングに関して、プロセスフローのますます困難な部分となっている。

10

#### 【０００４】

半導体ノードが進歩する（すなわち、ノードがより小さくなり、製造方法が高度化する）につれて、ＴＳＶ（基板貫通ビア）をＭＯＬ層に組み込むことがより難しくなる。中間工程層は、半導体デバイストランジスタまたは他の同様の能動デバイスに近接したＭＯＬコンタクトまたは他の層を含むことができるが、これに限定されない。一般にＭＯＬ層は厚さが薄いので、デバイストランジスタに対しＭＯＬ層が近接することで、ＴＳＶを首尾よく組み込むための狭いプロセスウィンドウがもたらされる。その結果、ＴＳＶ組み込みプロセスによって生じるダイ／ウェハの厚さのばらつきは、ＴＳＶプロセスが半導体デバイスの本体を貫通する縦接続を生成するので、ＭＯＬ層に、より重大な問題となる。その上、ＴＳＶのサイズスケール能力が限られているため、さらにＭＯＬ層に対するばらつきの影響が増大する。

20

#### 【０００５】

ダイおよびウェハの厚さのばらつきに寄与するＴＳＶプロセスの１つは、ＴＳＶ化学機械研磨（ＣＭＰ）のオーバー研磨である。オーバー研磨は、ＴＳＶ充填プロセスによってウェハ上に配置された（膜を含む）すべての層を完全に除去するために行われる。特に、ＴＳＶ充填プロセスによってウェハ上に配置される層は、ウェハのＭＯＬ層上に形成され得る。不都合なことに、オーバー研磨によるウェハからの層除去により、特に２０ナノメートル（２０ｎｍ）以下のプロセスについて、ＭＯＬ層の厚さがさらに薄くなるおそれがある。

30

#### 【発明の概要】

#### 【課題を解決するための手段】

#### 【０００６】

本開示の一態様では、組み込まれた基板貫通ビア（ＴＳＶ）を有する半導体ウェハが説明される。半導体ウェハは基板を備える。誘電体層は、基板の第１の側に形成され得る。基板貫通ビアは、誘電体層および基板を貫通して延びることができる。基板貫通ビアは、導電材料および絶縁層を含むことができる。絶縁層は、導電材料を少なくとも部分的に囲むことができる。絶縁層は、テーパ部分を備えることができる。

#### 【０００７】

本開示の一態様では、基板貫通ビア（ＴＳＶ）を先端ＣＭＯＳ（相補型金属酸化膜半導体）ノードに組み込むための方法が説明される。この方法は、基板の第１の側に形成された誘電体層を含む基板において基板貫通ビアキャビティを画成するステップを含む。この方法はまた、基板貫通ビアキャビティ内に絶縁層を堆積させるステップを含む。この方法は、絶縁層の一部分をエッチングするステップをさらに含む。エッチングするステップは、誘電体層に実質的に近接した絶縁層のテーパ部分を生成することができる。この方法はまた、基板貫通ビアキャビティ内に導電材料を堆積させるステップを含む。

40

#### 【０００８】

本開示の一態様では、組み込まれた基板貫通ビア（ＴＳＶ）を有する半導体ウェハが説明される。半導体ウェハは基板を備える。誘電体層は、基板の第１の側に形成され得る。半導体ウェハは、誘電体層および半導体基板を通して伝導するための手段を備える。半導

50

体ウェハはまた、伝導手段を絶縁するための手段を備える。絶縁手段は、伝導手段を囲むことができる。絶縁手段はまた、テーパ部分を備えることができる。

【0009】

本開示の別の態様では、基板貫通ビア(TSV)を先端CMOS(相補型金属酸化膜半導体)ノードに組み込むための方法が説明される。この方法は、半導体基板において基板貫通ビアキャビティを画成するステップを含む。この方法はまた、基板貫通ビアキャビティ内および基板貫通ビアキャビティの外側に、絶縁層を堆積させるステップを含む。この方法は、基板貫通ビアキャビティにフォトレジストを堆積させるステップをさらに含む。この方法はまた、基板貫通ビアキャビティの外側の絶縁層をエッチングするステップを含む。この方法は、基板貫通ビアキャビティを覆うフォトレジストを除去するステップをさらに含む。この方法はまた、基板貫通ビアキャビティを導電材料で充填するステップを含む。この方法は、基板貫通ビアキャビティの外側の絶縁層の化学機械オーバー研磨で中間工程層を露出させるステップをさらに含む。

10

【0010】

本開示の一態様では、組み込まれた基板貫通ビア(TSV)を有する半導体ウェハが説明される。半導体ウェハは半導体基板を備える。誘電体層は、半導体基板の表面に形成され得る。研磨停止層は、誘電体層の表面に形成され得る。基板貫通ビアは、研磨停止層、誘電体層、および半導体基板を貫通して延びることができる。基板貫通ビアは、導電材料および絶縁層を含むことができる。絶縁層は、導電材料を少なくとも部分的に囲むことができる。絶縁層はまた、研磨停止層の一部を部分的に覆うこともできる。

20

【0011】

本開示の別の態様では、組み込まれた基板貫通ビア(TSV)を有する半導体ウェハが説明される。半導体ウェハは半導体基板を備える。誘電体層は、半導体基板の表面に形成され得る。研磨停止層は、誘電体層の表面に形成され得る。半導体ウェハは、研磨停止層、誘電体層、および半導体基板を通して伝導するための手段を備える。半導体ウェハは、伝導手段を絶縁するための手段を備える。絶縁手段は、導電材料を少なくとも部分的に囲むことができる。絶縁層はまた、研磨停止層の一部を部分的に覆うこともできる。

【0012】

上記は、以下の詳細な説明がより良く理解され得るように、本開示の特徴および技術的な利点を、かなり大まかに概説したものである。本開示のさらなる特徴および利点は、以下で説明される。本開示と同じ目的を実行するための他の構造を修正または設計するための基礎として、本開示が容易に利用され得ることを当業者は諒解されたい。そのような等価な構成は、添付の特許請求の範囲に記載される本開示の教示から逸脱しないことも当業者は認識されたい。機構と動作方法の両方に関して本開示の特性であると考えられる新規の特徴は、添付の図面と併せて考慮されれば、さらなる目的および利点とともに、以下の説明からより良く理解されよう。しかしながら、図面の各々は例示および説明のみを目的として提供され、本開示の範囲を規定するものとして意図されないことを明確に理解されたい。

30

【0013】

本開示のより完全な理解のために、ここで、添付の図面と併せて以下の説明を参照する。

40

【図面の簡単な説明】

【0014】

【図1A】本開示の一態様による、能動デバイスおよび絶縁層を含む集積回路(IC)デバイスを示す断面図である。

【図1B】本開示の一態様による絶縁層上に配設されたフォトレジストを含む、図1AのICデバイスを示す断面図である。

【図1C】本開示の一態様による絶縁層上に配設されたフォトレジストを含む、図1AのICデバイスを示す断面図である。

【図2A】本開示の一態様による絶縁層のテーパ部分を形成するための絶縁層のエッチン

50

グを示す、図 1 C の I C デバイスの断面図である。

【図 2 B】本開示の一態様による絶縁層のテーパ部分を形成するための絶縁層のエッチングを示す、図 1 A の I C デバイスの断面図である。

【図 2 C】本開示の一態様による絶縁層上の多層キャップ層の形成を示す、図 2 B の I C デバイスの断面図である。

【図 3 A】本開示の一態様による T S V バリアシードおよび銅充填プロセスの後の図 2 B の I C デバイスを示す断面図である。

【図 3 B】本開示の一態様による T S V バリアシードおよび銅充填プロセスの後の図 2 C の I C デバイスを示す断面図である。

【図 4 A】本開示の一態様による銅化学機械研磨 ( C M P ) プロセスの後の図 3 A の I C デバイスを示す断面図である。

【図 4 B】本開示の一態様による銅化学機械研磨 ( C M P ) プロセスの後の図 3 B の I C デバイスを示す断面図である。

【図 5 A】本開示の一態様による I C デバイスの能動面近くでテーパ部分を有する絶縁層によって囲まれた T S V を有する、図 4 A の I C デバイスを示す断面図である。

【図 5 B】本開示の一態様による I C デバイスの能動面近くでテーパ部分を有する絶縁層上の多層キャップ層によって囲まれた T S V を有する、図 4 C の I C デバイスを示す断面図である。

【図 6 A】本開示の一態様による配線工程 ( B E O L ) スタックの作製の後の図 5 A の I C デバイスを示す断面図である。

【図 6 B】本開示の一態様による配線工程 ( B E O L ) スタック作製の後の図 5 B の I C デバイスを示す断面図である。

【図 7】本開示の一態様による、基板貫通ビア ( T S V ) を先端 C M O S ( 相補型金属酸化膜半導体 ) ノードに組み込むための方法を示すブロック図である。

【図 8】本開示の一態様による T S V キャビティ上および T S V キャビティ内に形成されたストリップレジストを示す、図 1 A の I C デバイスの断面図である。

【図 9】本発明の一態様による削減された絶縁層を形成するためのフィールド酸化物層およびストリップレジストのエッチングの後の図 8 の I C デバイスを示す断面図である。

【図 10】本開示の一態様による T S V バリアシードおよび銅充填プロセスの後の図 9 の I C デバイスを示す断面図である。

【図 11】本開示の一態様による銅化学機械研磨 ( C M P ) プロセスの後の図 10 の I C デバイスを示す断面図である。

【図 12】本開示の一態様による化学機械研磨 ( C M P ) オーバー研磨プロセスの後の図 11 の I C デバイスを示す断面図である。

【図 13】本開示の一態様による、基板貫通ビア ( T S V ) を先端 C M O S ( 相補型金属酸化膜半導体 ) ノードに組み込むための方法を示すブロック図である。

【図 14】本開示の構成が有利に採用され得るワイヤレス通信システムを示すブロック図である。

【発明を実施するための形態】

【 0 0 1 5 】

添付の図面に関する下記の詳細な説明は、様々な構成の説明として意図されており、本明細書で説明される概念が実施され得る唯一の構成を表すように意図されているわけではない。詳細な説明は、様々な概念の完全な理解をもたらす目的で、具体的な詳細を含んでいる。しかしながら、これらの概念はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。場合によっては、そのような概念を曖昧にするのを回避する目的で、周知の構造および構成要素がブロック図の形式で示されている。本明細書の説明では、「および/または」という用語の使用は、「包含的論理和」を表すことを意図し、「または」という用語の使用は、「排他的論理和」を表すことを意図する。

【 0 0 1 6 】

本開示の様々な態様は、基板貫通ビア ( T S V ) を集積回路 ( I C ) における中間工程

10

20

30

40

50

層に組み込むための技法を実現する。集積回路（ＩＣ）の半導体製造のプロセスフローは、基板工程（ＦＥＯＬ： front - end - of - line）プロセス、中間工程（ＭＯＬ： middle - of - line）プロセス、および配線工程（ＢＥＯＬ： back - end - of - line）プロセスを含み得る。「層」という用語は、膜を含み、特に指定のない限り、縦または横の厚さを示すものと解釈されるべきではない。本開示の一態様によれば、絶縁層は、基板貫通ビア（ＴＳＶ）の導電性部分を、ウェハの基板（たとえば、シリコン）から、またウェハの層間誘電体層から分離する。一構成では、絶縁層は、ウェハの誘電体層に実質的に近接したテーパ部分を備える。絶縁層はまた、ウェハの基板の水平長に沿って配設された実質的に一定の部分を備える。別の構成では、基板貫通ビアの絶縁層は、第１の実質的に一定の直径を有する第１の部分と、より大きな実質的に一定の直径を有する第２の部分とを有する。さらなる構成では、多層キャップが、基板貫通ビアを充填する導電材料から絶縁層を分離する。

10

#### 【００１７】

本開示の一態様では、方向性反応性イオン（ＤＲＩ： directional reactive ion）エッチングにより、テーパ付けされた絶縁層の部分が得られる。本開示のこの態様では、ＤＲＩエッチングにより、ＣＭＰ（化学機械研磨）の前にウェハの水平面から層の一部分を実質的に除去し、したがって、ＣＭＰオーバー研磨により除去する絶縁層の量が少なくなる。本開示のこの態様では、ＤＲＩエッチングが、ＴＳＶ形成プロセスの前にウェハの水平面上に形成される絶縁層の厚さを実質的に減らす。本開示の別の態様では、ＴＳＶ形成プロセスに続いて、ＩＣデバイスを完成するために配線工程（

20

#### 【００１８】

有利なことに、ＴＳＶ充填プロセス中にウェハ上に配置されたすべての層を除去するＣＭＰオーバー研磨は、ＤＲＩエッチングを使用することによって削減される。すなわち、ＤＲＩエッチングがウェハの水平面から層のほとんどを除去するので、（ＴＳＶ充填プロセス中に配置された）ウェハ上の残りの層を除去するために必要なＣＭＰオーバー研磨プロセスが低減する。また、ＤＲＩエッチングは、ＴＳＶの側壁内に堆積された層のいくつかを除去して、テーパが付いた絶縁層をもたらす。除去の大部分はＴＳＶの最上部付近である。ＣＭＰオーバー研磨を削減することによって、ウェハの中間工程（ＭＯＬ）層がＣＭＰオーバー研磨中により良く保存／保護される。ＴＳＶは、導電材料（たとえば金属）レベル（たとえばＢＥＯＬ相互接続層）のようにＭＯＬ層より上に挿入することも可能である。

30

#### 【００１９】

図１Ａは、本開示の一態様による、能動デバイス１１２～１２６を含む集積回路（ＩＣ）デバイス１００を示す断面図を示す。典型的には、ＩＣパッケージ１００は、シャロートレンチアイソレーション（ＳＴＩ）領域１０４を有する基板（たとえば、シリコンウェハ）１０２を含む。ＳＴＩ領域１０４および基板１０２の上に、層間誘電体（ＩＤＬ）層１０６がある。また、（ＦＥＯＬ）相互接続層１１０も設けられる。また、中間工程（ＭＯＬ）層１２０も設けられる。ＩＤＬ層１０６は、ＦＥＯＬ相互接続層１１０の能動デバイス１１２～１１６、およびＭＯＬ層１２０の導電素子（たとえば、ビア）１２１～１２

40

８を、後の処理による損傷から保護する。この構成では、ＩＤＬ層１０６は、ＭＯＬ層１２０の導電素子１２１～１２８間の短絡を防止するために酸化ケイ素または他の同様の材料で形成される。代替構成では、ＩＤＬ層１０６は低誘電率誘電体または他の同様の材料である。

#### 【００２０】

図１Ａに示すように、ＴＳＶキャビティ１３４は、本開示の一態様による１つまたは複数の絶縁層およびＴＳＶ（基板貫通ビア）導電材料を収容するために拡大された寸法（たとえば、１０～１００ミクロンの深さ）を有する。図１Ａに示すように、研磨ストップ層１３０を、ＩＤＬ層１０６の表面上、および導電素子１２１～１２８を含むＭＯＬ層１２０の表面上に堆積した後、リソグラフィが、最終的なＴＳＶの実際の導電性部分より若干

50

大きいTSVキャビティ134を画成する(図4および図5参照)。この構成では、TSVのサイズは1マイクロメートル( $\mu\text{m}$ )~20マイクロメートル程度である。さらに、研磨停止層130は、炭化ケイ素、窒化ケイ素、SiCON、または他の同様の保護材料で形成されてよい。

#### 【0021】

図1Aは、本開示の一態様による絶縁層140を示す。この構成では、エッチングおよび/またはリソグラフィプロセスが、ILD層106、および基板102のSTI領域104をエッチングする。このプロセスがTSVキャビティ134を形成する。エッチングの完了後、絶縁堆積により、研磨停止層130、側壁、およびTSVキャビティ134の底部上に絶縁層140が形成される。保護誘電体層140は、非フッ素化石英ガラス(USG)、オルトケイ酸テトラエチル(TEOS)、酸化ケイ素、窒化ケイ素、または酸化物層もしくは電氣的絶縁膜を形成するための他の同様の前駆体の層として形成されてよい。絶縁層140は、20~1000ナノメートル(nm)の範囲の厚さを有することができる。

10

#### 【0022】

図1Bおよび図1Cは、本開示の一態様による絶縁層140上に配設されたフォトレジスト180を含む、図1AのICデバイスを示す断面図を示す。典型的には、フォトレジスト180は、研磨停止層130上に形成される絶縁層140の上面に堆積される。この構成では、フォトレジスト180は、TSVキャビティ134内の絶縁層140上にも堆積される。フォトレジスト180の薄層が、この構成ではTSV134の側壁の上部に堆積される。

20

#### 【0023】

図1Cは、研磨停止層130上に形成された絶縁層140の上部水平面に堆積されたフォトレジスト180の部分除去するためのエッチバックプロセス(たとえば、O2プラズマプロセス)を示す。この構成では、TSVキャビティ134の底部の絶縁層140上に形成されたフォトレジスト180の部分が完全には除去されない。この構成では、TSVキャビティ134の側壁の上部のフォトレジスト180は完全に除去される。本開示のこの態様では、フォトレジスト180が、TSVキャビティ134の底部分上に堆積された絶縁層140の部分を保護する。この構成では、TSVキャビティ134の底部分上に堆積された完全な絶縁層140が、TSV134内の導電性充填材料(図3A~図6B)と基板102との間の接触を防止する。

30

#### 【0024】

図2Aは、本開示の一態様によるTSVキャビティ134内に形成された絶縁層140のテーパ部分142を含む、ICデバイス200を示す断面図を示す。図2Aに示すように、絶縁層140の方向性反応性イオン(DRI)エッチング136が行われる。DRIエッチング136は、研磨停止層130上に形成された絶縁層140の部分を削減して、削減された絶縁層146をもたらす。その上、この構成では、DRIエッチング136は、図2Aに示すようにテーパ付けされている、側壁上に形成された絶縁層140の部分をもち、言い換えれば、TSVの側壁上に形成された絶縁層140の最上部分(すなわち、DRIエッチングプロセスに最も近接したTSVの側壁上の絶縁層140の部分)が、TSVの側壁上に形成された絶縁層140の下方部分と比べて減少した水平幅を有する。絶縁層140の一部分の水平幅の減少は、段階的または漸減的である。

40

#### 【0025】

TSVキャビティ134の上部の絶縁層140のテーパ部分142のテーパ形状は、TSVの上部の鋭角隅部の高電界を低減し得る。絶縁層140の(たとえば、垂直軸に沿った)テーパ部分142の長さは、トランジスタ技術に応じて決定され得る基板102内へ延びるデバイス(たとえば、能動デバイス112~116)の深さに基づく。DRIエッチング136が、絶縁層140の(たとえば、テーパ付けされない、減少しない)一定部分144に大きく影響しないことは理解されよう。その上、フォトレジスト180は、DRIエッチング236中にTSVキャビティ134の底部上の絶縁層140の部分を保護

50

する。

【 0 0 2 6 】

図 2 B は、テーパ付けされている絶縁層 1 4 0 の部分をもたらず絶縁層の D R I エッチングを示す、I C デバイス 2 0 0 の断面図を示す。この例示的な構成では、図 1 B、図 1 C、および図 2 A に示した例示的な構成で設けられたフォトレジスト 1 8 0 が設けられない。言い換えれば、図 2 B の例示的な構成は、図 2 A の例示的な構成が得られたプロセスに類似するプロセスによって得られるが、フォトレジスト層 1 8 0 を追加するプロセスが省かれている。T S V キャビティ 1 3 4 の底部に位置する絶縁層 1 4 0 を保護するためのフォトレジスト層がないので、絶縁層 1 4 0 のその部分は、D R I エッチング 1 3 6 によって削減される。いくつかの構成では、D R I エッチング 1 3 6 のプロセスパラメータが、D R I エッチング 1 3 6 が T S V キャビティ 1 3 4 の底部に到達するのを防止するように調整される。これらの構成では、T S V キャビティ 1 3 6 の底部の絶縁層 1 4 0 は、フォトレジスト 1 8 0 の堆積なしに保護される。

10

【 0 0 2 7 】

図 2 A および図 2 B に示すように、D R I エッチング 1 3 6 プロセスは、T S V キャビティ 1 3 4 の外側の基板 1 0 2 上の水平領域から絶縁層の一部を除去する。図 2 B では、T S V キャビティ 1 3 4 の内側の絶縁層 1 4 0 の一部も除去される。図 2 A および図 2 B に示すように、削減された絶縁層 1 4 6 は、C M P オーバー研磨の削減を可能にする。その後、C M P オーバー研磨が行われて、残りの削減された絶縁層 1 4 6 および研磨停止層 1 3 0 を除去し、中間工程プロセスによって形成された M O L 層 1 2 0 の導電素子 1 2 1 ~ 1 2 8 を露出する。本開示のこの態様では、削減された絶縁層 1 4 6 をエッチングすることで生じる誤り（すなわち、M O L 層の潜在的除去）が、より厚い層をエッチングすることで生じる潜在的誤りより小さいので、C M P オーバー研磨の削減によって、基板 1 0 2 の M O L 層 1 2 0 に対する影響が減少する。

20

【 0 0 2 8 】

図 2 C は、本開示の一態様による絶縁層 1 4 0 上の多層キャップ層 2 5 0 の形成を示す、図 2 B の I C デバイス 2 0 0 の断面図を示す。典型的には、キャップ堆積が、絶縁層 1 4 0 上に多層キャップ層 2 5 0 を形成する。多層キャップ層 2 5 0 は、D R I エッチング 1 3 6 が後続する第 1 のキャップ層 2 5 2 の堆積によって形成され得る。D R I エッチング 1 3 6 は、削減された絶縁層 1 4 6 上に形成された第 1 のキャップ層 2 5 2 の部分を削減する。この構成では、D R I エッチング 1 3 6 は、テーパ付けされている（側壁上に形成された）第 1 のキャップ層 2 5 2 の部分がもたらず。すなわち、T S V の側壁上に形成された第 1 のキャップ層 2 5 2 の最上部分（すなわち、D R I エッチングプロセスに最も近接した T S V の側壁上の第 1 のキャップ層 2 5 2 の部分）が、T S V の側壁上に形成された第 1 のキャップ層 2 5 2 の底部分と比べて減少した水平幅を有する。第 1 のキャップ層 2 5 2 の一部分の水平幅の減少は、段階的または漸減的である。

30

【 0 0 2 9 】

図 2 C にさらに示されるように、キャップ堆積および D R I エッチングが第 2 のキャップ層 2 5 4 を形成するように繰り返される。この構成では、T S V の側壁上に形成された第 2 のキャップ層 2 5 4 の最上部分が、T S V の側壁上に形成された第 1 のキャップ層 2 5 2 の底部分と比べて減少した水平幅を有する。多層キャップ層 2 5 0 は、2 つの層を有するように示されているが、単一膜を含む任意の数の層を備えることができる。さらに、多層キャップ層 2 5 0 は、テーパ部分を含むように示されているが、D R I エッチング 1 3 6 を省略して一定の水平幅で形成されてもよい。多層キャップ層 2 5 0 は、酸化ケイ素、窒化ケイ素、炭化ケイ素、酸窒化ケイ素、ポリイミド、もしくは同様の他の絶縁膜、または窒化チタン、窒化タンタル、タングステン、タンタル、もしくは他の同様の導電性膜を含むがこれらに限定されない、誘電体膜または導電性膜の複数の層を使用して形成され得る。多層キャップ層 2 5 0 は、2 ~ 1 0 0 0 ナノメートル（nm）の範囲の厚さを有することができる。

40

【 0 0 3 0 】

50

図3Aは、本開示の一態様によるTSVバリアシードおよび導電材料充填プロセスの後の図2BのICデバイス200を示す断面図を示す。図3Aに示すように、ICデバイス300は、ICデバイス200上に導電材料338を堆積するためのTSVバリアシードおよび導電材料充填プロセスを受ける。図3Aに示す導電材料338は、削減された絶縁層146を覆い、またTSVキャビティ134を充填する。絶縁層140のテーパ部分142および一定部分144は、TSVキャビティ134内の充填材料が基板102に接触するのを防止する。導電材料338は、銅、タングステン、または他の同様の導電材料を含み得るが、これらに限定されない。図示されていないが、フォトレジストは、TSVキャビティ134の底部分に位置する絶縁層140の部分上に残る場合、あるいはTSVキャビティ134を導電材料で充填する前に除去される場合がある。

10

#### 【0031】

図3Bは、本開示の一態様によるTSVバリアシードおよび銅充填プロセスの後の図2CのICデバイス200を示す断面図を示す。図3Bに示すように、ICデバイス300は、ICデバイス200上に導電材料338を堆積するためのTSVバリアシードおよび導電材料充填プロセスを受ける。図3Aに示す導電材料338は、削減された絶縁層146上の多層キャップ層250を覆い、また、絶縁層140上の第1のキャップ層252および第2のキャップ層254を含むTSVキャビティ134を充填する。

#### 【0032】

図4Aは、本開示の一態様による図3AのICデバイス300に化学機械研磨(CMP)プロセス470が適用された後のICデバイス400を示す断面図を示す。図4Aに示すように、CMPプロセス470は、基板102の表面から導電材料338を除去する。たとえば、CMPプロセス470は、図3Aに示した研磨停止層130上に位置する導電材料338を除去する。図4Aに示すように、削減された絶縁層146および研磨停止層130は、CMPプロセス470後に基板102の表面上に残る。これらの層は、たとえば、図5Aに示すように、CMPオーバー研磨プロセスによって除去される。

20

#### 【0033】

図4Bは、本開示の一態様による図3BのICデバイス300に化学機械研磨(CMP)プロセス470が適用された後のICデバイス400を示す断面図を示す。図4Bに示すように、CMPプロセス470は、基板102の表面から導電材料338を除去する。たとえば、CMPプロセス470は、図3Bに示したような削減された絶縁層146上の多層キャップ層250上に位置する導電材料338を除去する。図4Bに示すように、多層キャップ層250の削減された部分、削減された絶縁層146、および研磨停止層130は、CMPプロセス470後に基板102の表面上に残る。これらの層は、たとえば、図5Bに示すように、CMPオーバー研磨プロセスによって除去される。

30

#### 【0034】

図5Aは、本開示の一態様による絶縁層140によって囲まれたTSV560を含む、ICデバイス500を示す断面図を示す。図5Aに示すように、CMPオーバー研磨プロセス580は、基板102の表面504上の層の残りの部分を除去して、MOL層120の導電素子121~128を露出する。たとえば、CMPオーバー研磨プロセス580は、基板102のMOL層120の導電素子121~128に損傷を与えずに、削減された絶縁層146および研磨停止層130(図4A参照)を除去する。すなわち、CMPオーバー研磨プロセス580の期間がより短く、したがって、図2A~図4Bに示すような削減された絶縁層146による基板102の下層のMOL層120に対する影響がより小さい。

40

#### 【0035】

図5Aに示すように、CMPオーバー研磨プロセス580がTSV560の形成を完了すると、TSV560では、その導電材料の直径が、TSVキャビティ134内の絶縁層140のテーパ部分142および一定部分144に応じて異なっている。典型的には、CMPオーバー研磨プロセス580は、図6Aに示すように、配線工程相互接続層の形成に備えて、削減された絶縁層146および研磨停止層130(図4A参照)を除去するため

50

に行われる。本開示のこの態様では、基板 102 は、ILD 層 106 から TSV 560 を露出するためのプロセス（たとえば、研削）を受ける。

【0036】

図 5B は、本開示の一態様による IC デバイス 500 の能動面近くでテーパ部分を有する絶縁層 140 上の多層キャップ層 250 によって囲まれた TSV 560 を有する、図 4C の IC デバイス 400 を示す断面図を示す。典型的には、CMP オーバー研磨プロセス 580 は、図 6B に示すように、配線工程相互接続層の形成に備えて、多層キャップ層 250、削減された絶縁層 146 および研磨停止層 130（図 4B 参照）を除去するために行われる。

【0037】

図 6A は、本開示の一態様による相互接続層を作製するために使用される配線工程（BEOL）プロセスの後の IC デバイス 600 を示す断面図を示す。典型的には、TSV 処理が完了した後、相互接続層 690 が BEOL プロセスによって基板 102 上に作製され、IC デバイス 600 の形成が完了する。この構成では、相互接続層 690 は、コンタクトレベルを含むように形成される。追加または代替の相互接続層が BEOL プロセスによって形成されてもよい。相互接続層 690 は、IC デバイス 600 を別の IC デバイス（図示せず）に電気的および／または熱的に結合する機構を提供する。

【0038】

図 6B は、IC デバイス 600 を形成するための配線工程（BEOL）スタック作製の後の図 5B の IC デバイス 500 を示す断面図を示す。この構成では、IC デバイス 600 は、本開示の一態様による IC デバイス 500 の能動面近くでテーパ部分を有する絶縁層 140 上の多層キャップ層 250 によって囲まれた TSV 560 を備える。相互接続層 690 は、IC デバイス 600 を別の IC デバイス（図示せず）に電気的および／または熱的に結合する機構を提供する。

【0039】

図 7 は、本開示の一態様による、基板貫通ビア（TSV）を介して先端 CMOS（相補型金属酸化膜半導体）ノードに組み込むための方法 700 を示すブロック図である。ブロック 710 で、TSV キャパシティ 134 が、たとえば、図 1A～図 5B に示すように、基板、および基板上の誘電体層（たとえば、層間誘電体層（ILD））を介して画成される。本明細書ではシリコン基板について述べているが、ガラス、サファイア、または任意の他の適切な材料を含む他の基板材料も企図される。ブロック 712 では、絶縁層が、たとえば、図 1A～図 1C に示すように、TSV キャパシティ内および研磨停止層上に堆積される。

【0040】

図 7 を再び参照すると、ブロック 714 では、絶縁層が、能動デバイスの上方に位置する絶縁層の部分（たとえば、停止研磨層上に位置する絶縁層の部分が除去される）を除去するためにエッチングされる。エッチングにより、テーパされている絶縁層の部分がもたらされる。たとえば、図 2A および図 2B に示すように、絶縁層 140 の方向性反応性イオン（DRI）エッチングが、TSV キャパシティ 134 の側壁上の絶縁層 140 のテーパ部分 142 を生成する。ブロック 716 では、たとえば、図 2A～図 5B に示すように、TSV キャパシティ 134 が導電材料によって充填される。本明細書では銅充填材について述べているが、他の導電材料も企図される。

【0041】

一構成では、IC デバイス 600 が、誘電体層および基板を通して伝導するための手段を備える。伝導手段は、導電性充填材料を有する。本開示の一態様では、伝導手段は、伝導手段によって列挙される機能を実行するように構成された図 5A～図 6B の TSV 560 である。一構成では、IC デバイス 600 はまた、基板から伝導手段を絶縁するための手段を備える。絶縁するための手段は、導電材料を囲むことができ、ILD 層に実質的に近接したテーパ部分を備える。本開示の一態様では、絶縁手段は、絶縁手段によって列挙される機能を実行するように構成された図 4A～図 6B のテーパ部分 142 および一部

10

20

30

40

50

分 1 4 4 を含む絶縁層 1 4 0 である。別の態様では、上記の手段は、上記の手段によって  
列挙される機能を実行するように構成されたデバイスまたは任意の層であってよい。

【 0 0 4 2 】

図 8 は、別のプロセスが採用される I C デバイス 8 0 0 を示す断面図を示す。本開示の  
一態様によれば、絶縁層の堆積の後、フォトレジスト 8 7 0 が、T S V キャビティ 8 3 4  
内に、また T S V キャビティ 8 3 4 を覆って形成される。別の構成では、フォトレジスト  
は、T S V キャビティ 8 3 4 を部分的に充填することができる。図 8 に示すように、絶縁  
層 8 4 0 と T S V キャビティ 8 3 4 上のフォトレジスト 8 7 0 とのエッチング 8 3 6 が行  
われる。エッチング 8 3 6 プロセスは、フォトレジスト 8 7 0 下ではない絶縁層 8 4 0 の  
一部（たとえば、図 9 に示すような T S V キャビティ 8 3 4 の外側の絶縁層）を除去する  
。T S V キャビティ 8 3 4 の側壁上の絶縁層 8 4 0 は、フォトレジスト 8 7 0 によって保  
護される。

10

【 0 0 4 3 】

図 9 は、本開示の一態様による削減された絶縁層 9 4 6 を形成する、図 8 に示したよう  
な絶縁層 8 4 0 の部分的エッチングおよびフォトレジスト 8 7 0 の除去の後の I C デバイ  
ス 9 0 0 を示す断面図を示す。図 9 に示すように、T S V キャビティ 8 3 4 内ではない絶  
縁層が基板 1 0 2 の表面上で削減されて、削減された絶縁層 9 4 6 を形成する。本開示の  
一態様では、削減された絶縁層 9 4 6 により、削減された絶縁層 9 4 6 および研磨停止層  
1 3 0 を基板 1 0 2 の表面から除去するときに C M P オーバー研磨の削減が可能になる。  
本開示のこの態様では、C M P オーバー研磨の削減により、基板 1 0 2 の中間工程（M O  
L）層 1 2 0 の導電素子 1 2 1 ~ 1 2 8 に対する影響が限定される。

20

【 0 0 4 4 】

図 1 0 は、本開示の一態様による T S V バリアシードおよび導電材料充填プロセスの後  
の I C デバイス 1 0 0 0 を示す断面図を示す。図 1 0 に示すように、T S V バリアシード  
および導電材料充填プロセスは、T S V キャビティ 8 3 4 を導電材料 3 3 8 で充填する。  
図示の例では、導電材料 3 3 8 は、削減された絶縁層 9 4 6 上にも形成される銅である。  
絶縁層 8 4 0 は、T S V キャビティ 8 3 4 内の導電材料 3 3 8 が基板 1 0 2 に接触するの  
を防止する。充填材料は、銅、タングステン、または他の同様の導電材料を含み得るが、  
これらに限定されない。

【 0 0 4 5 】

30

図 1 1 は、本開示の一態様による化学機械研磨（C M P）プロセス 1 1 6 0 の後の I C  
デバイス 1 1 0 0 を示す断面図を示す。図 1 1 に示すように、C M P プロセス 1 1 6 0 は  
、基板 1 0 2 の表面から導電材料 3 3 8 を除去する。図 1 1 に示すように、削減された絶  
縁層 9 4 6 および研磨停止層 1 3 0 は、基板 1 0 2 の表面上に残る。これらの層は、たと  
えば、図 1 2 に示すように、C M P オーバー研磨プロセスによって除去される。

【 0 0 4 6 】

図 1 2 は、本開示の一態様による絶縁層 8 4 0 によって囲まれた T S V 1 2 5 0 を含む  
、図 1 1 の I C デバイス 1 2 0 0 を示す断面図を示す。図 1 2 に示すように、C M P オー  
バー研磨プロセス 1 2 7 0 は、基板 1 0 2 の表面 1 2 0 4 上の絶縁層の残りの部分を除去  
する。典型的には、C M P オーバー研磨プロセス 1 2 7 0 は、基板 1 0 2 の M O L 部分に  
損傷を与えずに、削減された絶縁層 9 4 6 および研磨停止層 1 3 0（図 1 1 参照）を除去  
する。すなわち、C M P オーバー研磨プロセス 1 2 7 0 はより短く、したがって、図 9 ~  
図 1 1 に示すような削減された絶縁層 9 4 6 による基板 1 0 2 の M O L 層 1 2 0 の導電素  
子 1 2 1 ~ 1 2 8 に対する影響がより小さい。

40

【 0 0 4 7 】

図 1 2 に示すように、C M P オーバー研磨プロセス 1 2 7 0 は T S V 1 2 5 0 の形成を  
完了し、T S V 1 2 5 0 は、T S V キャビティ 8 3 4 の上へまた I L D 層 1 0 6 上に延び  
る T S V 部分 1 2 5 2 を含む。典型的には、研磨停止部分 1 2 3 2、および T S V 1 2 5  
0 の絶縁層部分 1 2 4 8 は、T S V キャビティ 8 3 4 の外へ延びる。C M P オーバー研磨  
プロセス 1 2 7 0 は、たとえば、図 6 A に示したような B E O L プロセスを通して形成さ

50

れる相互接続層の形成に備えて、削減された絶縁層 9 4 6 および研磨停止層 1 3 0 (図 1 1 参照)を、基板 1 0 2 の表面 1 2 0 4 から除去する。

【 0 0 4 8 】

図 1 3 は、本開示の一態様による、基板貫通ビア ( T S V ) を介して先端 C M O S ( 相補型金属酸化膜半導体 ) ノードに組み込むための方法 1 3 0 0 を示すブロック図である。ブロック 1 3 1 0 で、 T S V キャビティ 8 3 4 が、たとえば、図 8 ~ 図 1 2 に示すように、基板および I L D を介して画成される。本明細書ではシリコン基板について述べているが、他の適切な材料も企図される。ブロック 1 3 1 2 では、絶縁層が、たとえば、図 8 に示すように、 T S V キャビティ内および研磨停止層上に堆積される。

【 0 0 4 9 】

図 1 3 を再び参照すると、ブロック 1 3 1 4 では、半導体基板がパターニングされて、基板貫通ビアキャビティだけを覆うフォトレジストを堆積させる。たとえば、図 8 に示すように、フォトレジスト 8 7 0 は、 T S V キャビティ 8 3 4 の上へ、および T S V キャビティ 3 8 4 の側壁上に位置する絶縁層 8 4 0 を覆って形成される。ブロック 1 3 1 6 では、 T S V キャビティの外側の絶縁層の部分がエッチングされて、削減された絶縁層部分を形成する。たとえば、図 9 に示すように、エッチングが絶縁層 8 4 0 の一部分を除去して、削減された絶縁層 9 4 6 を形成する。ブロック 1 3 1 8 では、 T S V キャビティを覆うフォトレジストが除去される。ブロック 1 3 2 0 では、たとえば、図 1 0 に示すように、 T S V キャビティ 8 3 4 が導電材料 8 3 8 によって充填される。

【 0 0 5 0 】

図 1 3 を再び参照すると、ブロック 1 3 2 2 では、化学機械オーバー研磨がウェハの表面に対して行われて、 M O L プロセスによって生成された層を露出する。化学機械オーバー研磨は、図 1 1 および 1 2 に示すように、ウェハの基板の表面から、導電材料、絶縁層、および研磨停止層を除去する。たとえば、図 1 1 に示すように、導電材料、バリアシード、および C M P プロセス 1 1 6 0 のエッチング停止が行われる。図 1 2 に見られるように、 C M P オーバー研磨プロセス 1 2 7 0 が行われ、絶縁層部分 1 2 4 8、研磨停止部分 1 2 3 2、および T S V 1 2 5 0 の T S V 部分 1 2 5 2 が残り、 T S V キャビティ 8 3 4 の外側に突き出る。

【 0 0 5 1 】

一構成では、 I C デバイス 1 2 0 0 が、研磨停止層、層間誘電体 ( I D L ) 層、および基板を通して伝導するための手段を備える。伝導手段は導電材料を有する。本開示の一態様では、伝導手段は、伝導手段によって列挙される機能を実行するように構成された図 1 2 の基板貫通ビア 1 2 5 0 である。一構成では、 I C デバイス 1 2 0 0 はまた、半導体基板から伝導手段を絶縁するための手段を備える。この絶縁するための手段は、導電材料を囲み、研磨停止層の一部分を部分的に覆うことができる。本開示の一態様では、絶縁手段は、絶縁手段によって列挙される機能を実行するように構成された図 1 2 の研磨停止部分 1 2 3 2 および絶縁層部分 1 2 4 8 を含む絶縁層 8 4 0 である。別の態様では、上記の手段は、上記の手段によって列挙される機能を実行するように構成されたデバイスまたは任意の層であってよい。

【 0 0 5 2 】

図 1 4 は、本開示の構成が有利に採用され得る例示的なワイヤレス通信システム 1 4 0 0 を示すブロック図である。例示のために、図 1 4 は、3つの遠隔ユニット 1 4 2 0、1 4 3 0 および 1 4 5 0、ならびに2つの基地局 1 4 4 0 を示す。ワイヤレス通信システムがこれよりも多くの遠隔ユニットおよび基地局を有してもよいことが認識されよう。遠隔ユニット 1 4 2 0、1 4 3 0、および 1 4 5 0 は、 I C デバイス 1 4 2 5 A、1 4 2 5 B、および 1 4 2 5 C を備え、これらの I C デバイスは、テーパ付けされた絶縁層 / 付加的研磨停止部分 / 絶縁層部分を有する本開示の基板貫通ビア ( T S V ) を備える。基地局、スイッチングデバイス、およびネットワーク機器を含む、 I C を含む任意のデバイスは、本明細書で開示するテーパ付けされた絶縁層 / 追加的研磨停止部分 / 絶縁層部分によって囲まれた T S V も含み得ることが認識されよう。図 1 4 は、基地局 1 4 4 0 から遠隔ユニ

10

20

30

40

50

ット1420、1430および1450への順方向リンク信号1480、ならびに遠隔ユニット1420、1430および1450から基地局1440への逆方向リンク信号1490を示す。

【0053】

図14では、遠隔ユニット1420は携帯電話として示され、遠隔ユニット1430はポータブルコンピュータとして示され、遠隔ユニット1450はワイヤレスローカルループシステム内の固定ロケーション遠隔ユニットとして示される。たとえば、遠隔ユニットは、携帯電話、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、メータ読取り機器などの固定ロケーションデータユニット、またはデータもしくはコンピュータ命令の記憶もしくは取り出しを行う任意の他のデバイス、またはそれらの任意の組合せであり得る。図14は、本開示の教示によるリモートユニットを示すが、本開示は、これらの例示的に示されたユニットには限定されない。本開示の態様は、テーパ付けされた絶縁層/追加的研磨停止部分/絶縁層部分によって囲まれたTSVを含む任意のデバイスにおいて好適に採用され得る。

【0054】

ファームウェアおよび/またはソフトウェアの実装形態の場合、これらの方法を、本明細書に記載された機能を実行するモジュール（たとえば、プロシージャ、関数など）で実装することができる。本明細書に記載された方法を実装する際に、命令を有形に具現化する任意の機械可読媒体を使用することができる。たとえば、ソフトウェアコードはメモリに記憶され、プロセッサユニットにより実行され得る。メモリは、プロセッサユニット内に実装されてよく、またはプロセッサユニットの外部に実装されてよい。本明細書で 사용되는場合、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのいずれかの種類を指し、メモリのいかなる特定の種類またはいかなる特定の数にも、あるいはメモリが記憶される媒体のいかなる特定の種類にも限定されない。

【0055】

本開示およびその利点が詳細に記載されたが、添付の特許請求の範囲によって規定される本開示の技術から逸脱することなく、本明細書において様々な変更、代用および改変が行われ得ることを理解されたい。たとえば、「上」および「下」などの関係用語が、基板または電子デバイスに関して使用される。もちろん、基板または電子デバイスが反転した場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指す場合がある。さらに、本出願の範囲は、本明細書に記載されたプロセス、機械、製造、物質組成、手段、方法、およびステップの特定の実施形態に限定されるものではない。当業者が本開示から容易に諒解するように、本明細書に記載された対応する実施形態と実質的に同じ機能を実行するか、または実質的に同じ結果を実現する、既存または今後開発されるプロセス、機械、製造、物質組成、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、物質組成、手段、方法、またはステップをそれらの範囲内に含むものとする。

【符号の説明】

【0056】

- 100 ICデバイス
- 102 基板
- 104 STI領域
- 106 IDL層
- 110 FEOL相互接続層
- 120 MOL層
- 130 研磨ストップ層

10

20

30

40

50

1 1 2	能動デバイス	
1 1 4	能動デバイス	
1 1 6	能動デバイス	
1 2 1	導電素子	
1 2 2	導電素子	
1 2 4	導電素子	
1 2 6	導電素子	
1 2 8	導電素子	
1 3 4	T S V キャピティ	
1 3 6	D R I エッチング	10
1 4 0	絶縁層	
1 4 2	テーパ部分	
1 4 4	一定部分	
1 4 6	削減された絶縁層	
1 5 2	テーパ部分	
1 5 4	一定部分	
2 0 0	I C デバイス	
2 5 0	多層キャップ層	
2 5 2	第 1 のキャップ部分	
2 5 4	第 2 のキャップ部分	20
3 0 0	I C デバイス	
3 3 8	導電材料	
4 0 0	I C デバイス	
4 5 0	T S V	
4 7 0	C M P プロセス	
5 0 0	I C デバイス	
5 0 4	表面	
5 6 0	T S V	
5 8 0	C M P オーバー研磨プロセス	
6 0 0	I C デバイス	30
6 9 0	相互接続層	
8 0 0	I C デバイス	
8 3 4	T S V キャピティ	
8 3 6	エッチング	
8 4 0	絶縁層	
8 7 0	フォトレジスト	
9 0 0	I C デバイス	
9 4 6	削減された絶縁層	
1 0 0 0	I C デバイス	
1 1 0 0	I C デバイス	40
1 1 6 0	C M P プロセス	
1 2 0 0	I C デバイス	
1 2 3 2	研磨停止部分	
1 2 4 8	絶縁層部分	
1 2 5 2	T S V 部分	
1 2 7 0	C M P オーバー研磨プロセス	
1 4 0 0	ワイヤレス通信システム	
1 4 2 0	遠隔ユニット	
1 4 4 0	基地局	
1 4 2 5 A	I C デバイス	50

1 4 2 5 B    I C デバイス  
 1 4 2 5 C    I C デバイス  
 1 4 3 0    遠隔ユニット  
 1 4 5 0    遠隔ユニット  
 1 4 8 0    順方向リンク信号  
 1 4 9 0    逆方向リンク信号

【図 1 4】

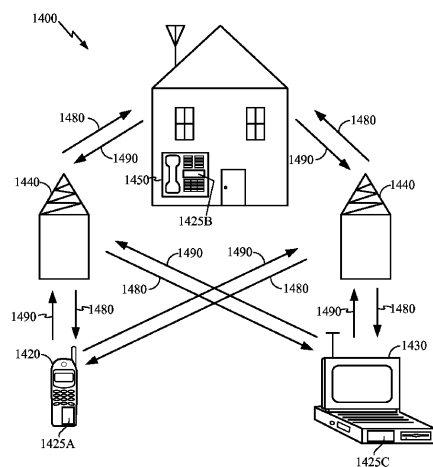


FIG. 14

【図 1 A】

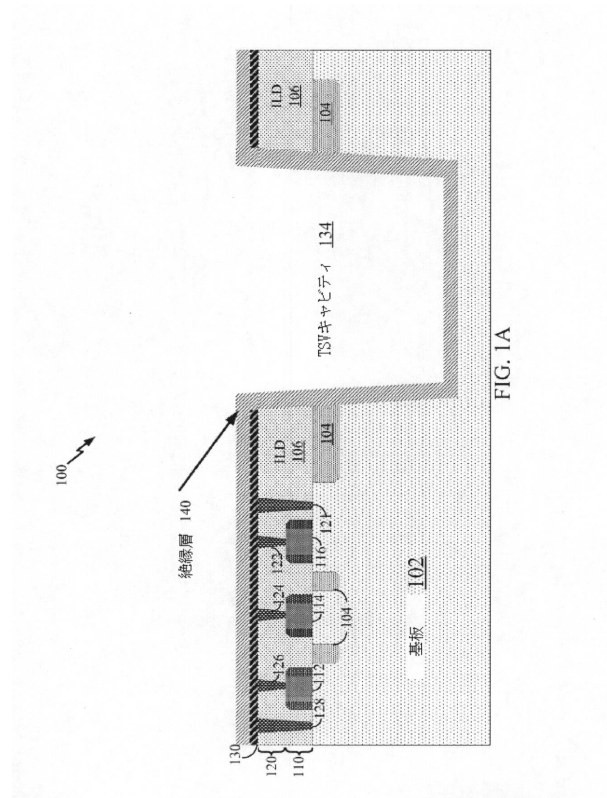


FIG. 1A

【図 1 B】

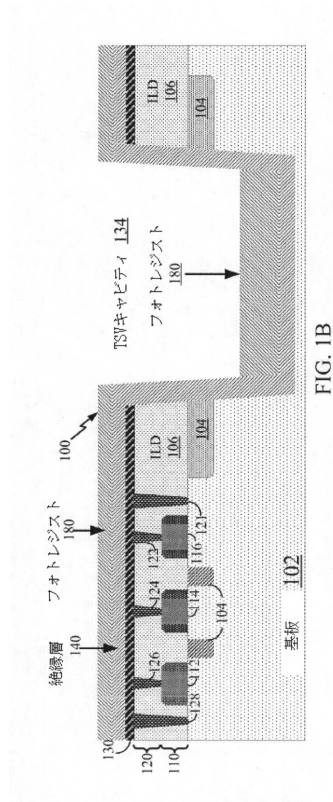


FIG. 1B

【図 1 C】

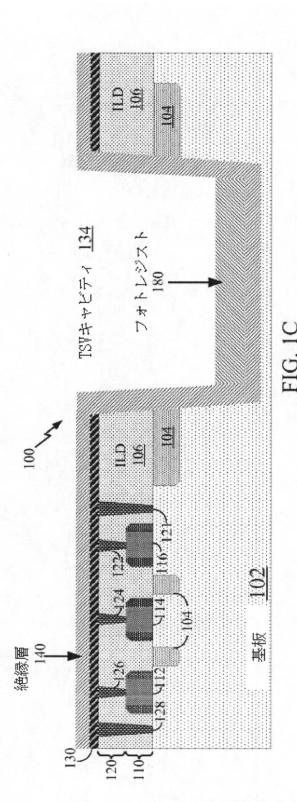


FIG. 1C

【図 2 A】

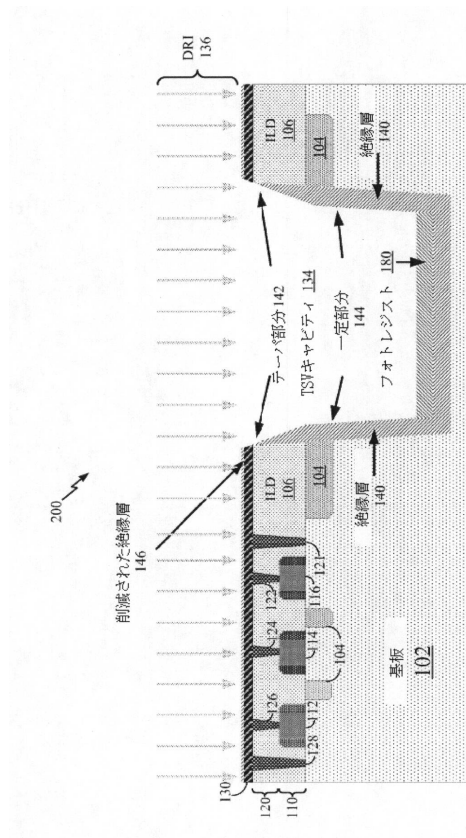


FIG. 2A

【図 2 B】

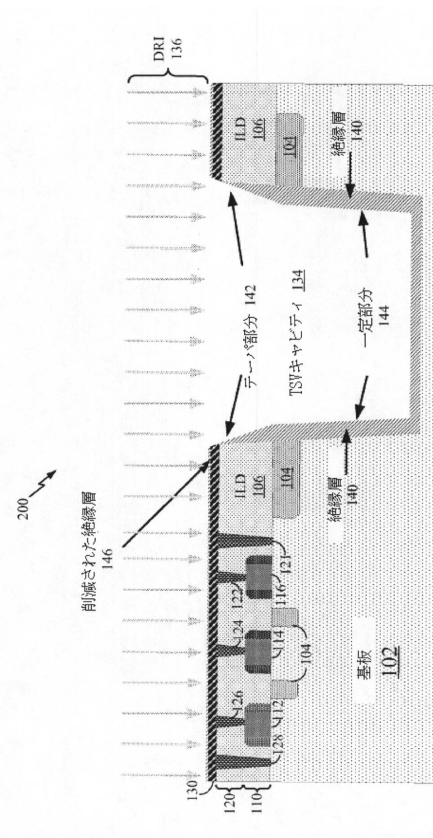
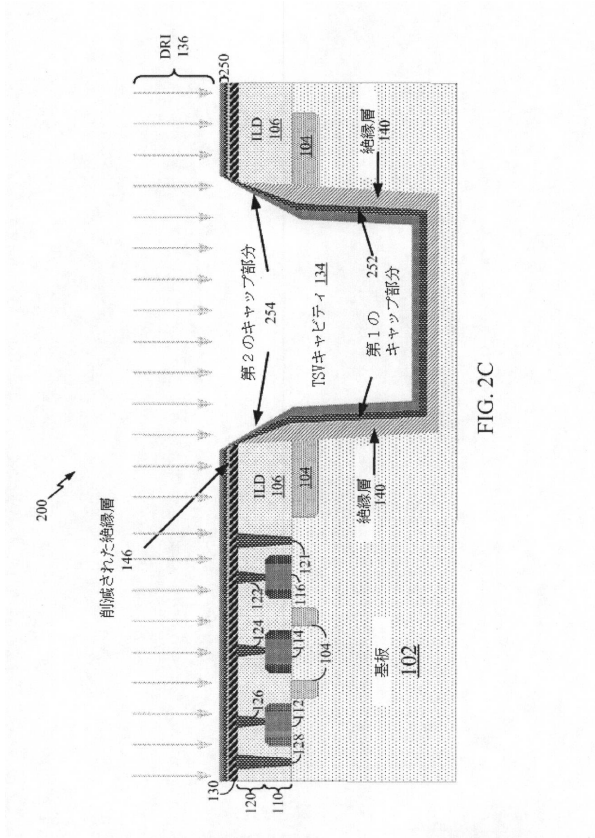
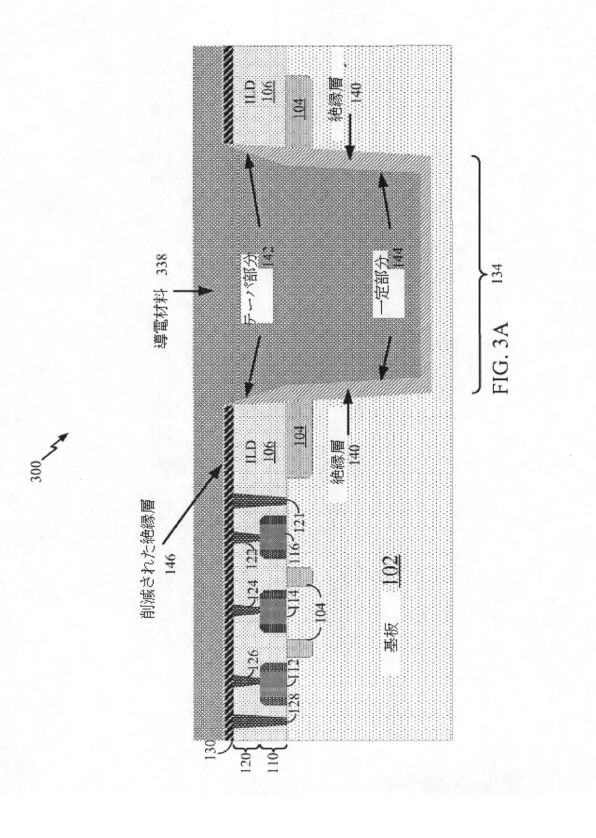


FIG. 2B

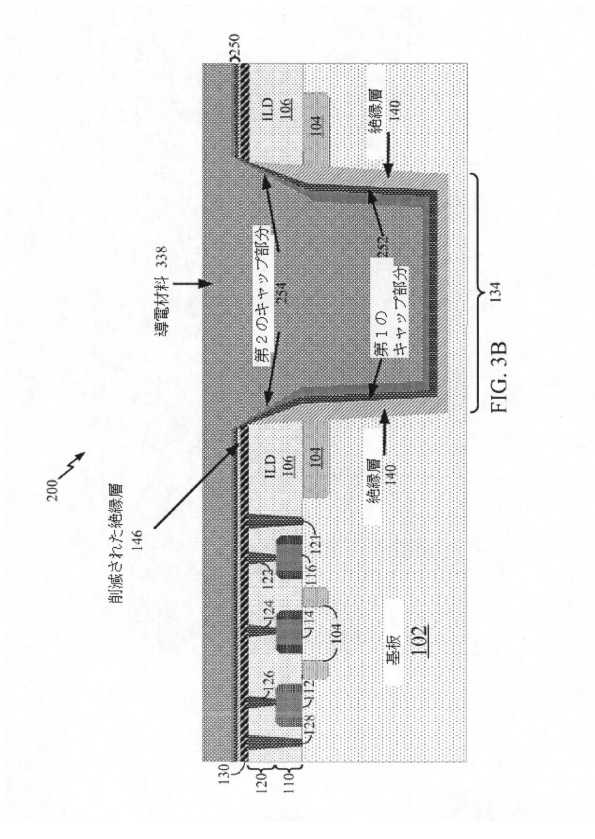
【図 2 C】



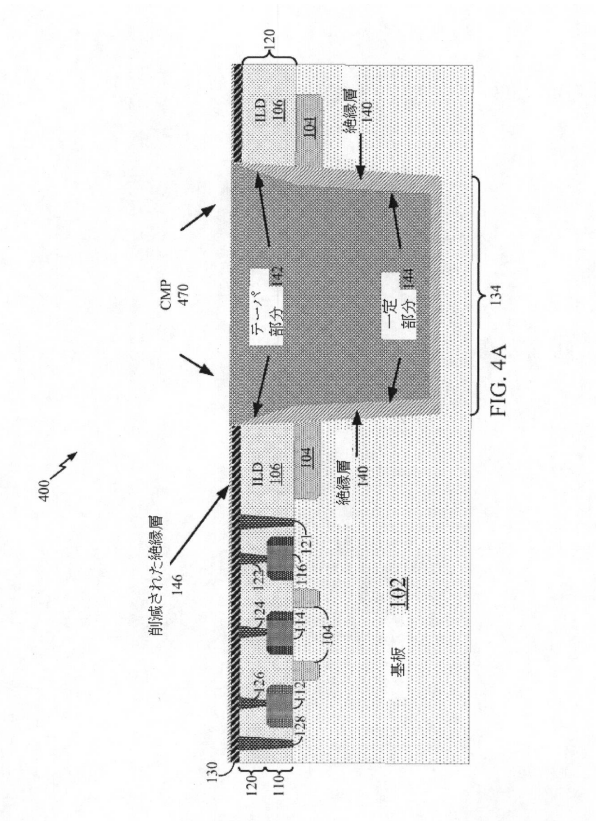
【図 3 A】



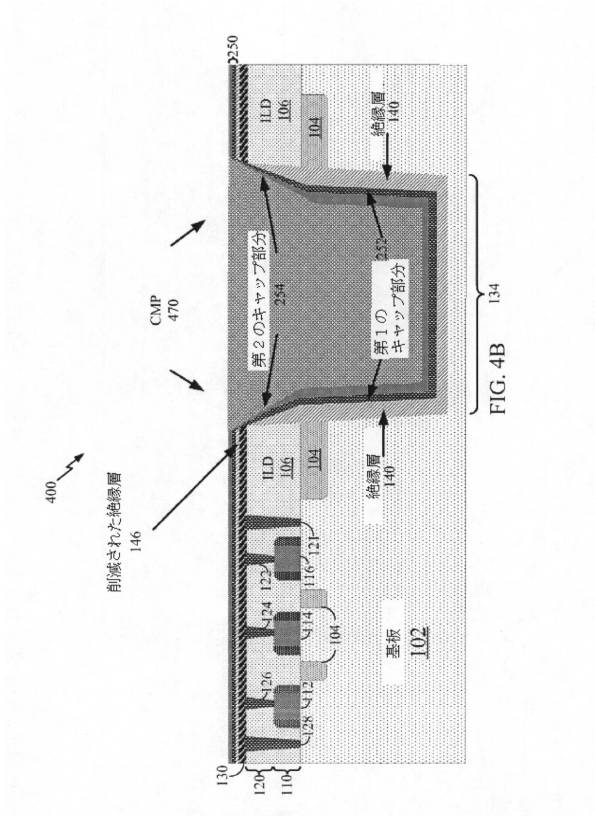
【図 3 B】



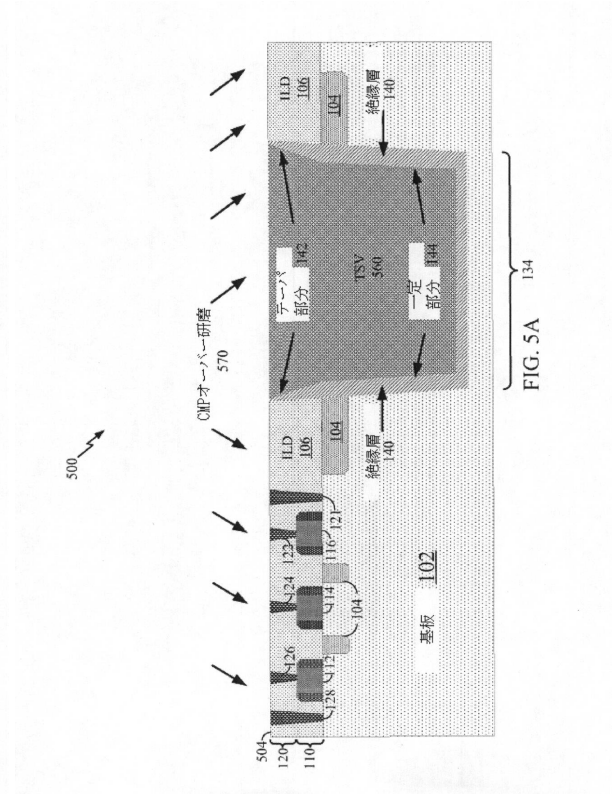
【図 4 A】



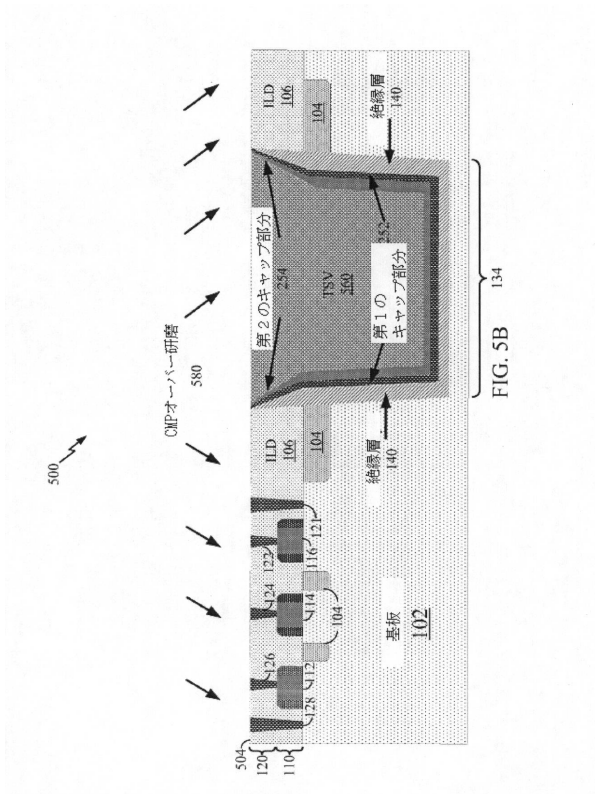
【 図 4 B 】



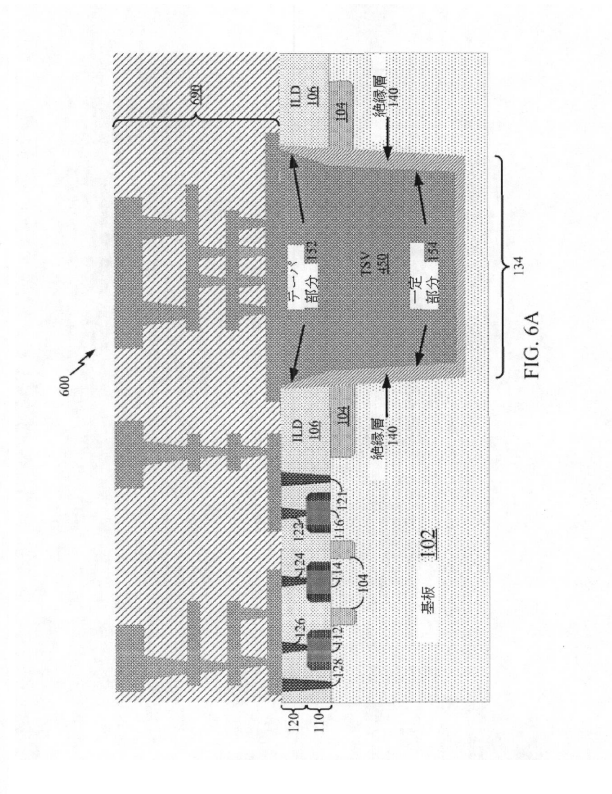
【 図 5 A 】



【 ㊦ 5 B 】



【 図 6 A 】





【図 10】

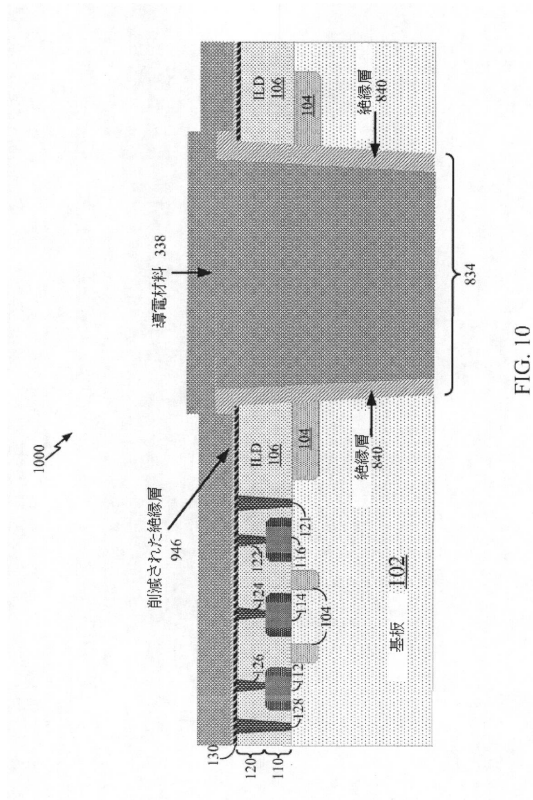


FIG. 10

【図 11】

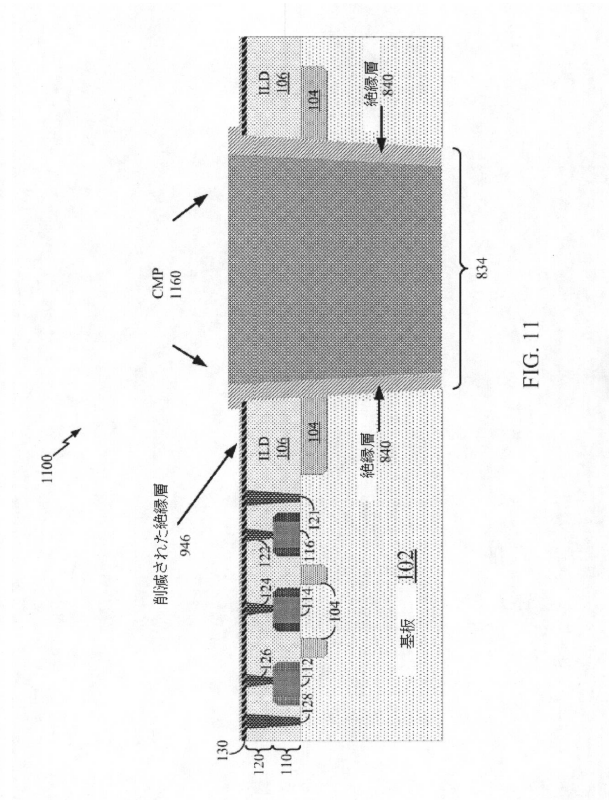


FIG. 11

【図 12】

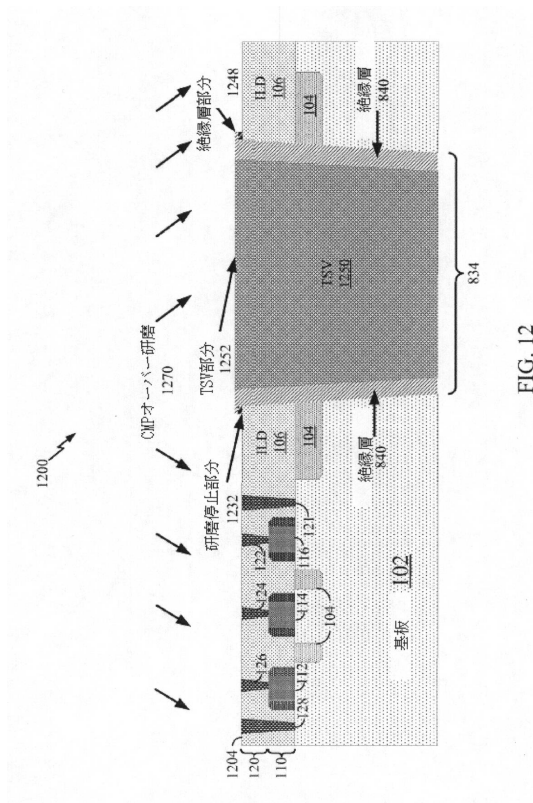


FIG. 12

【図 13】

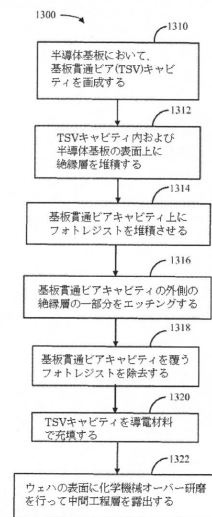


FIG. 13

---

フロントページの続き

(31)優先権主張番号 13/724,038

(32)優先日 平成24年12月21日(2012.12.21)

(33)優先権主張国 米国(US)

## 早期審査対象出願

(72)発明者 シーチュン・グ

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・5775

審査官 佐藤 靖史

(56)参考文献 欧州特許出願公開第00926726(E P, A1)

米国特許出願公開第2007/0184654(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205 - 21/3213

21/768

23/52 - 23/522