



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201314568 A1

(43)公開日：中華民國 102 (2013) 年 04 月 01 日

(21)申請案號：100134278

(22)申請日：中華民國 100 (2011) 年 09 月 23 日

(51)Int. Cl.：

G06F9/22 (2006.01)

G09G3/00 (2006.01)

(71)申請人：鴻海精密工業股份有限公司 (中華民國) HON HAI PRECISION INDUSTRY CO., LTD. (TW)

新北市土城區自由街 2 號

(72)發明人：余銘哲 YU, MENG CHE (TW)；蕭政弘 HSIAO, CHENG HUNG (TW)

申請實體審查：無 申請專利範圍項數：4 項 圖式數：1 共 12 頁

(54)名稱

上電控制電路

POWER-ON CONTROL CIRCUIT

(57)摘要

一種上電控制電路包括若干電源晶片及一時序控制晶片，每個電源晶片包括一電源正常端及一電源使能端，該時序控制晶片包括若干輸入端及若干輸出端，該每個輸入端對應於一輸出端並與一電源正常端連接，對應的輸出端與同一電源晶片的電源使能端連接，該時序控制晶片用於在輸出端輸出一 Enable 信號使得對應的電源晶片啟動後，輸入端接收到 Power Good 信號後控制下一輸出端輸出 Enable 信號至對應的電源晶片，使得該對應的電源晶片啟動，控制該些電源晶片依序啟動。

1：上電控制電路

10：電源晶片

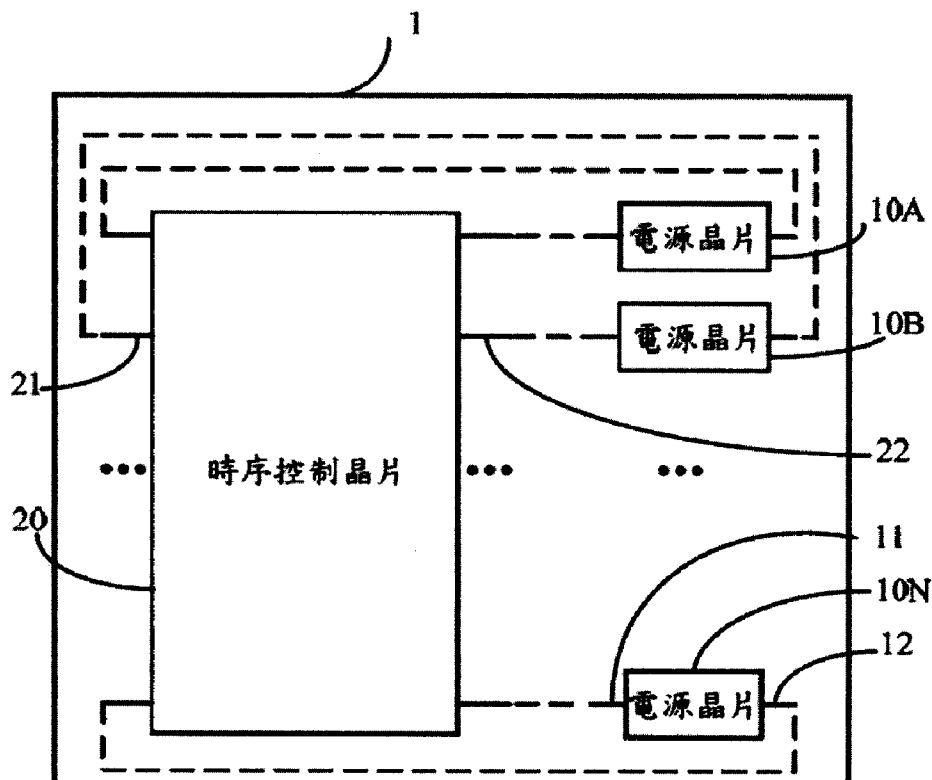
11：電源正常端

12：電源使能端

20：時序控制晶片

21：輸入端

22：輸出端



專利案號：100134278



日期：100年09月23日

發明專利說明書

※申請案號：100134278

※IPC分類：G06F 9/22 (2006.01)

※申請日：

100. 9. 23

G09G 3/00 (2006.01)

一、發明名稱：

上電控制電路

POWER-ON CONTROL CIRCUIT

二、中文發明摘要：

一種上電控制電路包括若干電源晶片及一時序控制晶片，每個電源晶片包括一電源正常端及一電源使能端，該時序控制晶片包括若干輸入端及若干輸出端，該每個輸入端對應於一輸出端並與一電源正常端連接，對應的輸出端與同一電源晶片的電源使能端連接，該時序控制晶片用於在輸出端輸出一Enable信號使得對應的電源晶片啟動後，輸入端接收到Power Good信號後控制下一輸出端輸出Enable信號至對應的電源晶片，使得該對應的電源晶片啟動，控制該些電源晶片依序啟動。

三、英文發明摘要：

A power-on control circuit is provided. The circuit includes a number of power chips and a sequence control chip. Each power chip includes a PG port and an enabled port. The sequence control chip includes a number of input ports and a number of output ports. Each output port corresponds to one input port. Each input port is electrically connected to the PG port of one power chip. The corresponding output port is electrically connected to the enabled port of the power chip. The input port and the corresponding output port are both electrically connected to the same power chip. Each output port is to output an enable signal to one

201314568

enabled port of the power chip, and each input port is to receive a PG signal from one PG port of the power chip. The sequence control chip is to output an enable signal from the output port to the enabled port of the power chip to trigger the power chip, and receive a PG signal through the input port to control the latter output port to output an enable signal, and sequently control the power chip to power on.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖

(二)本代表圖之元件符號簡單說明：

上電控制電路：1

電源晶片：10

時序控制晶片：20

電源正常端：11

電源使能端：12

輸入端：21

輸出端：22

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明涉及上電控制電路，特別涉及一種方便硬體工程師操作的上電控制電路。

【先前技術】

[0002] 隨著晶片的集成度越來越高，晶片的功能越來越複雜，功耗也越來越大，很多的晶片使用多電源供電的方案，因此對晶片的不同電源的上電的順序控制越來越重要。但是，現有的一般需要多個時序控制晶片控制多個電源晶片依序上電方式，成本較高。此外，目前的電源的上電順序是藉由CPLD (Complex Programmable Logic Device，複雜可編程邏輯器件) 軟體程式來控制時序，但是採用CPLD軟體程式需要工程師熟悉相關代碼，給硬體工程師帶來很大的麻煩。

【發明內容】

[0003] 鑒於以上內容，有必要提供一種上電控制電路，可方便硬體工程師操作並減少成本。

[0004] 一種上電控制電路，該上電控制電路包括若干個電源晶片，該每個電源晶片至少包括一電源正常端及一電源使能端，該上電控制電路還包括一時序控制晶片，該時序控制晶片包括若干個輸入端及若干個輸出端，該每個輸入端對應於一輸出端，該每個輸入端與一電源晶片的電源正常端連接，對應的輸出端與同一電源晶片的電源使能端連接，其中，每一輸出端用於輸出一Enable信號至相連接的電源晶片的電源使能端使得該連接的電源晶片

啟動，對應的輸入端用於接收該相連接的電源晶片的Power Good信號，該時序控制晶片用於在輸出一Enable信號至一電源晶片的電源使能端使得對應的電源晶片啟動，並在每接收到電源晶片的Power Good信號後控制下一輸出端輸出Enable信號至對應的電源晶片，使得該對應的電源晶片啟動，從而控制該若干電源晶片依序啟動。

- [0005] 該時序控制晶片在輸出一Enable信號至一電源晶片的電源使能端使得對應的電源晶片啟動後，在接收到該電源晶片的Power Good信號後控制下一輸出端輸出Enable信號至對應的電源晶片，使得對應的電源晶片啟動，從而控制該若干電源晶片依序啟動，從而方便硬體工程師操作並減少成本。

【實施方式】

- [0006] 請參閱圖1，為本發明一實施方式的上電控制電路1的示意圖。該上電控制電路1包括若干個電源晶片10A~10N和一時序控制晶片20。該若干個電源晶片10A~10N的上電時序不同。該時序控制晶片20用於控制該若干個電源晶片10在不同時序進行上電。
- [0007] 該若干個電源晶片10A~10N中的每一個均包括一電源正常端(Power Good Pin, P.G. pin)11及一電源使能端(Enable Pin)12。該電源正常端11用於輸出一Power Good信號。該電源使能端12用於接收時序控制晶片20傳送的Enable信號。該時序控制晶片20包括若干個輸入端21及若干個輸出端22，該每個輸入端21對應於一輸出端

22，該每個輸入端21與每一電源晶片10的電源正常端11分別連接，對應的輸出端22與同一電源晶片10的電源使能端12連接，其中，該時序控制晶片20的每一輸出端22用於輸出一Enable信號至電源晶片10的電源使能端12使得對應的電源晶片10啟動，對應的輸入端21用於接收對應電源晶片10的Power Good信號，該時序控制晶片20用於在輸出一Enable信號至電源晶片10的電源使能端12使得對應的電源晶片10啟動，並在每接收到電源晶片10的Power Good信號後控制下一輸出端22輸出Enable信號至對應的電源晶片10，使得該對應的電源晶片10啟動，從而控制該些電源晶片10依次啟動。

[0008] 該電源晶片10用於在該電源使能端12接收Enable信號時啟動，並在開啟正常時藉由該電源正常端11輸出一Power Good 信號。其中，電源晶片10A為第一級電源晶片，電源晶片10B相對於電源晶片10A為下一級電源晶片，電源晶片10N為最後一級電源晶片。

[0009] 在本實施方式中，該時序控制晶片20中存儲有一如下所示的表格。該表格依照電源晶片10啟動的次序記錄有各電源晶片10A-10N對應的時間差 Δt 。其中，該電源晶片10A的時間差 Δt 代表該電源晶片10A與時序控制晶片20被開啟的時間之差，而其他電源晶片10的時間差 Δt 代表對應的電源晶片10與上一級電源晶片10被開啟的時間之差。其中，該表格為用戶可操作的表格，即，用戶可根據需要調整表格中各電源晶片10的次序以及時間差 Δt 。在其他實施方式中，該表格的行和列可以進行互換。

[0011]

	電源晶片 10A	電源晶片 10B	。 。 。 。 。 。	電源晶片 10N
時間 Δt	1ms	2ms	。 。 。 。 。 。	5ms

在該時序控制晶片20被啟動後，該時序控制晶片20根據該表格在時序控制晶片20被啟動後1ms藉由該輸出端22輸出一Enable信號至該電源晶片10A的電源使能端12。該電源晶片10A根據該Enable信號啟動，並在正常啟動時藉由該電源正常端11輸出一Power Good信號至該時序控制晶片20的輸入端21。其中，當電源正常啟動時，各電源晶片10A-10N從接收到Enable信號到發出Power Good信號的時間相對上電時序很短，可以忽略不計。該時序控制晶片20接收該Power Good信號2ms後藉由該輸出端22輸出一Enable信號至該電源晶片10B的電源使能端12，使得該電源晶片10B回應該Enable信號啟動，並在正常啟動時藉由該電源正常端11輸出一Power Good信號至該時序控制晶片20的輸入端21，依序，該時序控制晶片20依照該表格控制各電源晶片10啟動。

[0012] 本發明僅需要一個時序控制晶片20就可以達到控制多個電源晶片10的目的，節約資源。此外，該表格為用戶可編輯的表格，工程師可對該表格進行編輯，即可調整各電源晶片10的開啟次序以及時間差 Δt ，從而不需要工程師具備軟體方面的知識。

[0013] 對本領域的普通技術人員來說，可以根據本發明的發明

方案和發明構思結合生產的實際需要做出其他相應的改變或調整，而這些改變和調整都應屬於本發明權利要求的保護範圍。

【圖式簡單說明】

[0014] 圖1為本發明一實施方式的上電控制電路之示意圖。

【主要元件符號說明】

[0015] 上電控制電路：1

[0016] 電源晶片：10

[0017] 時序控制晶片：20

[0018] 電源正常端：11

[0019] 電源使能端：12

[0020] 輸入端：21

[0021] 輸出端：22

七、申請專利範圍：

- 1 . 一種上電控制電路，該上電控制電路包括若干個電源晶片，該每個電源晶片至少包括一電源正常端及一電源使能端，其改良在於，該上電控制電路還包括一時序控制晶片，該時序控制晶片包括若干個輸入端及若干個輸出端，該每個輸入端對應於一輸出端，該每個輸入端與一電源晶片的電源正常端連接，對應的輸出端與同一電源晶片的電源使能端連接，其中，每一輸出端用於輸出一Enable信號至相連接的電源晶片的電源使能端使得該連接的電源晶片啟動，對應的輸入端用於接收該相連接的電源晶片的Power Good信號，該時序控制晶片用於在輸出一Enable信號至一電源晶片的電源使能端使得對應的電源晶片啟動，並在每接收到電源晶片的Power Good信號後控制下一輸出端輸出Enable信號至對應的電源晶片，使得該對應的電源晶片啟動，從而控制該若干電源晶片依序啟動。
- 2 . 如申請專利範圍第1項所述之上電控制電路，其中，當該時序控制晶片被啟動後，經過一第一預定時間後，該時序控制晶片的輸出端輸出該Enable信號至該第一級電源晶片的電源使能端，該第一級電源晶片的電源正常端輸出該Power Good信號至時序控制晶片的輸入端，該時序控制晶片接收該Power Good信號經過一第二預定時間後，控制輸出端輸出一Enable信號至該下一級電源晶片的電源使能端，該下一級電源晶片的電源正常端輸出一Power Good信號至時序控制晶片的輸入端，依次，該時序控制晶片控制該各電源晶片啟動。

- 3 . 如申請專利範圍第1項所述之上電控制電路，其中，該時序控制晶片中存儲有一表格，該表格依照電源晶片的啟動次序記錄有各電源晶片對應的啟動時間差，該第一級電源晶片的時間差代表該對應的第一級電源晶片與該時序控制晶片的啟動時間之差，其他電源晶片的時間差代表該對應的電源晶片與前一級電源晶片的啟動時間之差。
- 4 . 如申請專利範圍第3項所述之上電控制電路，其中，該表格為用戶可編輯的表格。

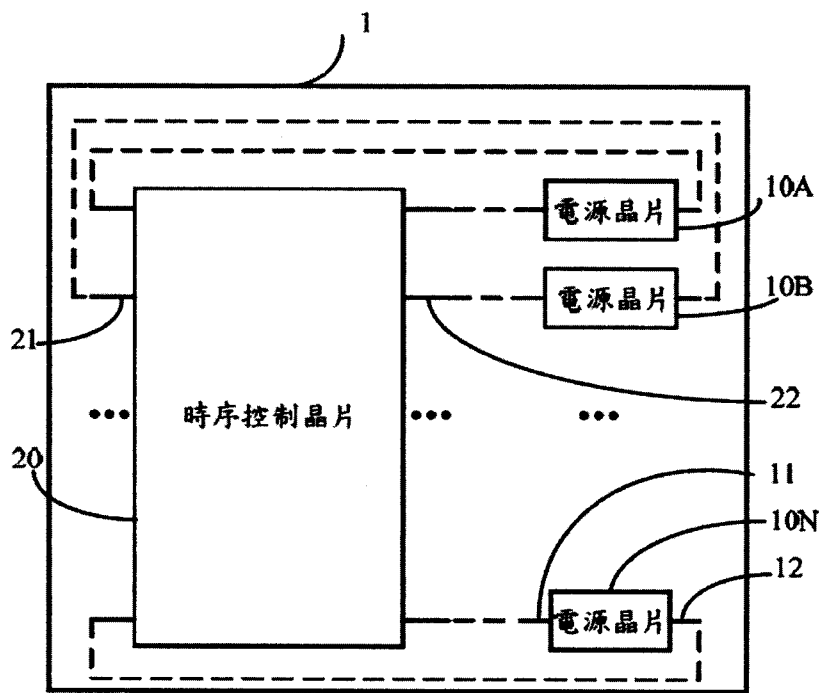


圖 1