



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I570733 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：101123815

(22)申請日：中華民國 101 (2012) 年 07 月 03 日

(51)Int. Cl. : G11C16/18 (2006.01)

(30)優先權：2011/07/12 南韓

10-2011-0068825

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：南尚完 NAM, SANG-WAN (KR)

(74)代理人：詹銘文

(56)參考文獻：

US 7558122B2

US 2005/0268203A1

US 2006/0013043A1

US 2009/0027967A1

US 2010/0322000A1

審查人員：賴炳成

申請專利範圍項數：40 項 圖式數：67 共 178 頁

(54)名稱

非揮發性記憶元件的抹除系統與方法

ERASE SYSTEM AND METHOD OF NONVOLATILE MEMORY DEVICE

(57)摘要

一種非揮發性記憶元件的抹除系統及方法，包括：供應抹除電壓給非揮發性記憶體的多個記憶胞；對多個記憶胞的字元線以讀取電壓執行讀取操作；以及對多個記憶胞的至少一條字元線以抹除確認電壓執行抹除確認操作，抹除確認電壓低於讀取電壓。

An erase system and method of a nonvolatile memory device includes supplying an erase voltage to a plurality of memory cells of a nonvolatile memory, performing a read operation with a read voltage to word lines of the plurality of memory cells, and performing an erase verification operation with an erase verification voltage to at least one of the word lines of the plurality of memory cells, the erase verification voltage lower than the read voltage.

指定代表圖：

符號簡單說明：

S111、S112、S113、
S114、S115、S116、
S117、S118、
S119 . . . 步驟

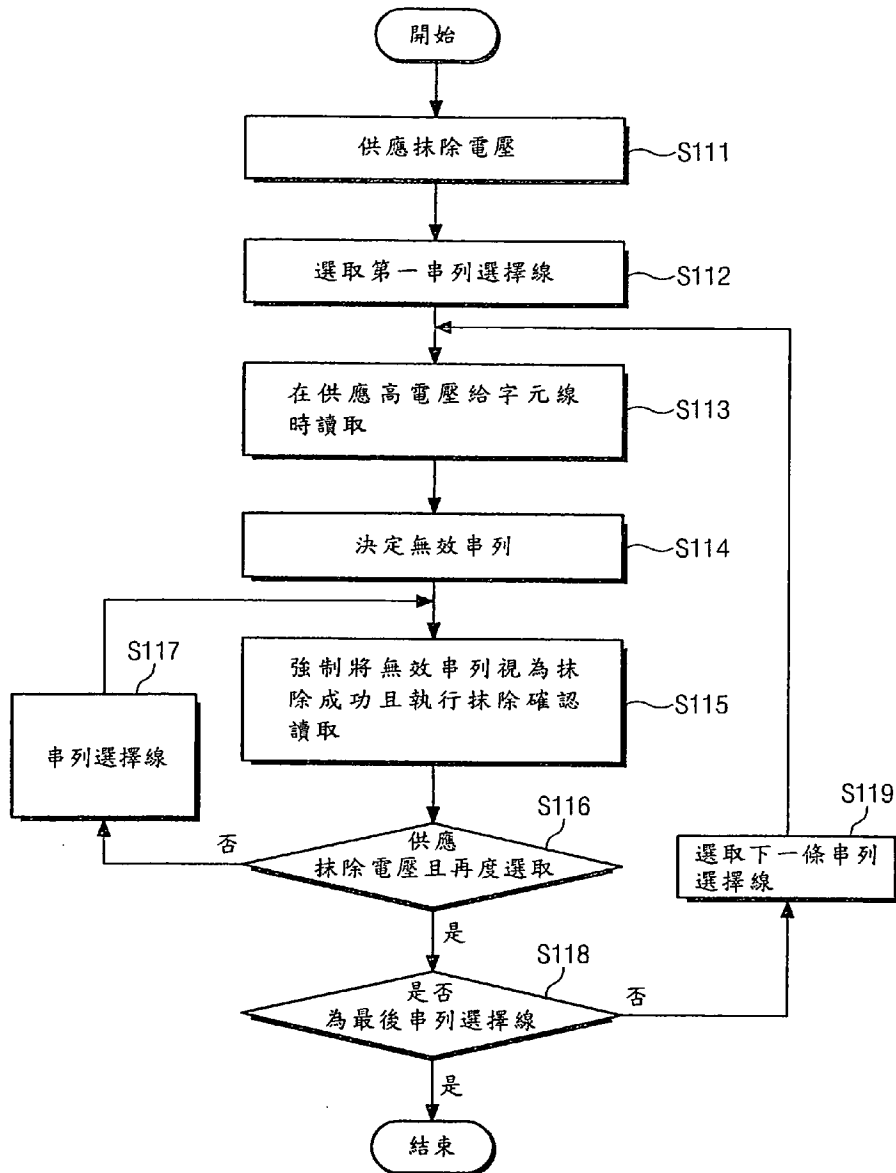


圖 8

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101123815

※申請日：101.7.3

※IPC 分類：G11C 16/18 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶元件的抹除系統與方法

ERASE SYSTEM AND METHOD OF
NONVOLATILE MEMORY DEVICE

二、中文發明摘要：

一種非揮發性記憶元件的抹除系統及方法，包括：供應抹除電壓給非揮發性記憶體的多個記憶胞；對多個記憶胞的字元線以讀取電壓執行讀取操作；以及對多個記憶胞的至少一條字元線以抹除確認電壓執行抹除確認操作，抹除確認電壓低於讀取電壓。

三、英文發明摘要：

An erase system and method of a nonvolatile memory device includes supplying an erase voltage to a plurality of memory cells of a nonvolatile memory, performing a read operation with a read voltage to word lines of the plurality of memory cells, and performing an erase verification operation with an erase verification voltage to at least one of the word lines of the plurality of memory cells, the erase verification voltage lower than the read voltage.

四、指定代表圖：

(一)本案之指定代表圖：圖 8

(二)本代表圖之元件符號簡單說明：

S111、S112、S113、S114、S115、S116、S117、S118、
S119：步驟

五、本案若有化學式時，請揭示最能顯示發明特徵
的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體記憶元件，且特別是有關於一種非揮發性記憶元件(nonvolatile memory device)、其抹除方法、其操作方法、一種包括非揮發性記憶元件的記憶體系統、以及一種記憶體系統的操作方法。

【先前技術】

半導體記憶元件是一種使用例如矽(Si)、鍺(Ge)、砷化鎵(GaAs)、磷化銦(InP)等等之半導體製造的記憶元件。半導體記憶元件區分為揮發性記憶元件及非揮發性記憶元件。

揮發性記憶元件可能在關閉電源時遺失所儲存的內容。揮發性記憶元件包括靜態隨機存取記憶體(SRAM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)等等。非揮發性記憶元件即使在關閉電源時也可保留所儲存的內容。非揮發性記憶元件包括唯讀記憶體(ROM)、可程式唯讀記憶體(PROM)、電性可程式唯讀記憶體(EPROM)、電性可抹除及可程式唯讀記憶體(EEPROM)、快閃記憶元件(flash memory device)、相變隨機存取記憶體(PRAM)、磁性隨機存取記憶體(MRAM)、電阻式隨機存取記憶體(RRAM)、鐵電隨機存取記憶體(FRAM)等等。快閃記憶元件粗分為反或閘(NOR)型和反及

105-09-26

閘(NAND)型。

最近，已經開發出具有三維陣列(array)結構之半導體記憶元件來改善半導體記憶元件的整合性。

【發明內容】

本發明提供一種非揮發性記憶元件、其抹除方法、一種包括非揮發性記憶元件之記憶體系統、一種具有非揮發性記憶元件之電子裝置、以及上述記憶體系統及上述具有非揮發性記憶元件之電子裝置的一種操作方法。

本發明的其他方面及優點部分將在下列說明中提出，部分可由此說明顯而易見，或可藉由實施本發明而得知。

本發明的上述及／或其他特徵及用途可藉由提供一種非揮發性記憶元件的抹除方法予以達成，此抹除方法包括：供應抹除電壓(erase voltage)給多個記憶胞(memory cells)；對多個記憶胞的字元線(word lines)以讀取電壓執行讀取操作；以及對多個記憶胞的至少一條字元線以抹除確認電壓(verification voltage)執行抹除確認操作，此抹除確認電壓低於讀取電壓。

上述讀取電壓可包括要分別施加至字元線之一個或多個準位的電壓。

上述讀取電壓可包括要施加至字元線之單一準位的

電壓。

上述抹除確認電壓可因多個記憶胞的字元線的相對應字元線而變化，且可變化的抹除確認電壓可低於讀取電壓。

上述讀取電壓可高於多個記憶胞的程式狀態(program state)的臨界電壓(threshold voltage)。

上述多個記憶胞可包括至少一個虛擬記憶胞(dummy cell)及一個或多個正常記憶胞。在讀取操作及抹除確認操作中，供應給至少一個虛擬記憶胞之電壓可不同於供應給正常記憶胞之操作電壓。

本發明的上述及／或其他特徵及用途也可藉由提供一種非揮發性記憶元件的抹除方法予以達成，此抹除方法包括：供應抹除電壓多個串列(strings)，每一個串列具有多個記憶胞；對多個記憶胞的字元線以讀取電壓執行讀取操作；根據所執行的讀取操作測定一個或多個串列作為無效串列(off string)；進行抹除確認但忽略無效串列；以及對多個串列的字元線以抹除確認電壓執行抹除確認操作。

上述抹除方法更可包括根據所執行的抹除確認操作供應修改過的抹除電壓給多個串列。

上述多個記憶胞可根據讀取操作測定為無效串列及非無效串列，且抹除確認操作可包括避免對無效串列執行位元線預先充電操作。

上述抹除方法更可包括：供應不同的電壓給無效串列及非無效串列的位元線(bit lines)作為預先充電電壓；以及

在抹除確認操作中分別供應抹除確認電壓給多個記憶胞的字元線。

上述多個記憶胞可包括至少一個虛擬記憶胞及一個或多個正常記憶胞，且在讀取操作及抹除確認操作中供應給至少一個虛擬記憶胞之電壓可不同於供應給正常記憶胞之操作電壓。

本發明的上述及／或其他特徵及用途也可藉由提供一種非揮發性記憶元件予以達成，包括：記憶胞陣列(memory cell array)，具有基底(substrate)及多個方塊，每一個方塊具有多個串列，每一個串列具有多個記憶胞，多個串列以垂直於基底之方向形成於基底上；控制單元，對多個串列的字元線以一電壓執行讀取操作；以及頁緩衝器單元(page buffer unit)，用以儲存資訊於藉由讀取操作在多個串列當中測定之一個或多個無效串列。控制單元可對多個記憶胞的至少一條字元線以抹除確認電壓執行抹除確認操作，此抹除確認電壓可低於讀取電壓。

上述多個串列之每一個具有多個尺寸不同的記憶胞，且相鄰的串列可藉由缺口互相隔開。

上述控制單元可根據讀取操作在串列當中測定第一無效串列及根據抹除確認操作測定第二無效串列，並且控制單元對第一及第二無效串列以修改過的抹除電壓執行抹除操作。

上述控制單元可在對包含無效串列及非無效串列之串列以第一抹除電壓執行抹除操作之後，對非無效串列執

行抹除確認操作。

上述控制單元可根據抹除確認操作對無效串列以修改過的抹除電壓執行另一個抹除操作。

上述控制單元可在選取的串列被測定為表示抹除失敗串列之無效串列時根據所執行的抹除確認對選取的串列執行另一個抹除操作。

本發明的上述及／或其他特徵及用途也可藉由提供一種記憶體系統的操作方法予以達成，此方法包括：從控制器(controller)產生命令以便對具有記憶胞陣列之非揮發性記憶元件執行抹除操作，此記憶胞陣列具有基底及多個串列，每一個串列具有多個記憶胞，多個串列以垂直於基底之方向形成於基底上；以及根據所產生的命令在非揮發性記憶元件中執行抹除操作，此抹除操作包括：對多個串列執行抹除操作；對多個記憶胞的字元線以讀取電壓執行讀取操作；根據所執行的讀取操作測定一個或多個串列作為無效串列；進行抹除確認但忽略無效串列；以及對多個串列的字元線以抹除確認電壓執行抹除確認操作，此抹除確認電壓低於讀取電壓。

進行抹除確認操作可包括避免對第一測定的無效串列執行抹除確認操作。

上述操作方法更可包括對第一測定及第二測定的無效串列以第二抹除電壓執行第二抹除操作。

不可在抹除操作與抹除確認操作之間執行讀取操作。

不可對所測定的無效串列執行抹除確認操作。

上述操作方法更可包括：將抹除操作之第一響應訊號從非揮發性記憶元件傳送到控制器；從控制器產生第二命令以便控制非揮發性記憶元件執行第二抹除操作；以及從非揮發性記憶元件傳送第二抹除操作之第二響應訊號，使控制器根據第一響應訊號及第二響應訊號來執行錯誤處理以測定壞區塊。

上述操作方法更可包括在完成抹除操作後立即傳送有關無效串列之資訊到控制器，使控制器利用所傳送的資訊更新先前的資訊。

上述操作方法更可包括：傳送有關無效串列之資訊到控制器；傳送讀取命令到非揮發性記憶元件以便執行從串列讀取資料之第二讀取操作；以及根據讀取資料及無效串列資訊來更正錯誤。

上述操作方法更可包括：對非揮發性記憶元件產生命令以便執行預讀操作；根據預讀操作從非揮發性記憶元件接收有關第二無效串列之資訊；以及控制非揮發性記憶元件以儲存有關第二無效串列之資訊於非揮發性記憶元件的緩衝區。

上述操作方法更可包括：對非揮發性記憶元件產生第二命令以便輸出所儲存的無效串列資訊到控制器；根據抹除操作來接收無效串列的第二資訊；以及根據第二無效串列資訊及無效串列資訊來更新資訊。

上述操作方法更可包括：選擇已連接預定數目的串列之串列選擇線(string selection line)，以便對所選取的串列

選擇線之預定數目的串列執行讀取操作直到所選取的串列選擇線被測定為串列的最後串列選擇線為止。

上述多個串列可分成多群以便連接到多條串列選擇線，上述抹除操作可包括選擇多條串列選擇線的第一條，以及對連接所選取的串列選擇線之串列執行讀取操作及抹除確認操作。

上述操作方法更可包括重複執行讀取操作及偵測無效串列直到選取多條串列選擇線的最後串列選擇線為止，多條串列選擇線之每一條連接到相對應的串列且循序被選取。

上述重複步驟可包括：選擇多條串列選擇線的第二串列選擇線；藉由施加高電壓至連接第二選擇線之串列的字元線來執行讀取操作；以及根據所執行的讀取操作來測定一個或多個第二串列作為無效串列。

本發明的上述及／或其他特徵及用途也可藉由提供一種記憶體系統予以達成，包括：非揮發性記憶元件，包括具有基底及多個串列之記憶胞陣列，每一個串列具有多個記憶胞，多個串列以垂直於基底之方向形成於基底上；以及控制器，產生命令以便對非揮發性記憶元件執行抹除操作，使得非揮發性記憶元件：抹除多個串列；對多個記憶胞的字元線以讀取電壓執行讀取操作；根據所執行的讀取操作來測定一個或多個串列作為無效串列；進行抹除確認但忽略無效串列；以及對多個串列的字元線以抹除確認電壓執行抹除確認操作，此抹除確認電壓低於讀取電壓。

上述串列可藉由缺口互相隔開，此缺口形成通道薄膜單元(channel film unit)以連接串列的記憶胞，且通道薄膜單元具有故障導致無效串列。

上述非揮發性記憶元件可包括連接到相鄰的串列之通道薄膜單元，並且無效串列由未電性接觸基底之通道薄膜單元組成。

上述非揮發性記憶元件可包括連接到串列之汲極(drain)及通道薄膜單元，並且無效串列由未電性接觸基底之通道薄膜單元組成。

上述非揮發性記憶元件可避免對第一測定的無效串列執行抹除確認操作。

本發明的上述及／或其他特徵及用途也可藉由提供一種記憶體系統予以達成，包括：非揮發性記憶元件；以及控制器，用以控制非揮發性記憶元件。此非揮發性記憶元件可包括：記憶胞陣列，包括多個串列，每一個串列具有多個記憶胞；讀取/寫入單元，用以執行讀取操作及輸出讀取結果以響應於控制器所傳送的命令，且藉由施加高電壓至連接多個串列之字元線來執行讀取操作；計數單元(counting unit)，用以接收所輸出的讀取結果，及計算在讀取操作時被讀取為無效之無效串列的數目；以及資料輸入/輸出電路，用以輸出讀取結果或計算結果作為與無效串列有關的資訊。控制器可用以根據與無效串列有關的資訊來控制非揮發性記憶元件。

上述非揮發性記憶元件可包括基底，多個串列能以垂

直於基底之方向佈置於基底上且分成多群串列，串列群連接到多條串列選擇線，控制器控制非揮發性記憶元件以便對多條串列選擇線的串列群執行抹除操作。控制器可控制非揮發性記憶元件將一個或多個無效串列視為抹除成功且對每一群單元的其他串列執行抹除確認操作。

上述相鄰的串列可藉由具有通道薄膜之柱狀物互相隔開，此通道薄膜電性連接到每一個串列的記憶胞。

距離基底越遠上述柱狀物的寬度越寬。

距離基底越遠每一個串列的記憶胞的長度越短。

本發明的上述及／或其他特徵及用途也可藉由提供一種記憶體系統的操作方法予以達成，此記憶體系統包括具有多個串列之非揮發性記憶元件及用以控制非揮發性記憶元件之控制器，每一個串列包括多個記憶胞，此操作方法包括：從控制器傳送命令到非揮發性記憶元件；執行非揮發性記憶元件的讀取操作以響應於此命令，藉由施加高電壓至連接多個串列之所有字元線來執行讀取操作；從非揮發性記憶元件傳送與無效串列有關的資訊到控制器，無效串列在讀取操作時被讀取為無效；以及將所傳送的資訊儲存於控制器。

上述操作方法更可包括：從控制器傳送所儲存之與無效串列有關的資訊及抹除命令到非揮發性記憶元件；以及執行非揮發性記憶元件的抹除操作以響應於所儲存之與無效串列有關的資訊及抹除命令。

當上述抹除操作的結果表示抹除失敗時，將再度進

行傳送命令、執行讀取操作、傳送資訊、及儲存所傳送的資訊。

上述操作方法更可包括：從控制器傳送讀取命令到非揮發性記憶元件；從非揮發性記憶元件傳送根據讀取命令之讀取結果到控制器；以及利用所儲存之與無效串列有關的資訊來更正所傳送之讀取結果的錯誤，且藉由控制器來執行此更正步驟。

上述操作方法更可包括：利用寫入資料及所儲存之與無效串列有關的資訊來產生碼字(code word)，且藉由控制器來執行此產生步驟；從控制器傳送所產生的碼字及寫入命令到非揮發性記憶元件；以及將所傳送之碼字寫入非揮發性記憶元件以響應於寫入命令。

上述操作方法更可包括：從控制器傳送所儲存之與無效串列有關的資訊及第二命令到非揮發性記憶元件；以及將所傳送之與無效串列有關的資訊寫入非揮發性記憶元件以響應於第二命令。

為讓本發明的這些及/或其他特徵和優點能更明顯易懂，下文特舉其實施例，並配合所附圖式作詳細說明如下。

【實施方式】

現在將更詳細參考本發明的實施例，其例子繪示於附圖中，其中相同的參考數字表示相同的元件。以下將參照附圖說明實施例以便解釋本發明。然而，本發明可能以許多不同的形式來實施，因此不應視為侷限於在此所述之實施例。更確切地說，提供這些實施例將使本發明的揭露更

齊全，且將更完整地傳達本發明的觀念給任何所屬技術領域中具有通常知識者。在圖中，為了清楚起見可能誇大分層及區域的大小及相對大小。圖中相同的數字表示相同的元件。

須知雖然術語第一、第二、第三等等在此可用以說明各種元件、組件、區域、分層及／或區段，但是這些元件、組件、區域、分層及／或區段不應侷限於這些術語。這些術語僅用以區分某一元件、組件、區域、分層或區段與另一區域、分層或區段。因此，在不脫離本發明的原理的情況下，以下所述之第一元件、組件、區域、分層或區段應當可稱為第二元件、組件、區域、分層或區段。

在此可能使用例如「底下」、「低於」，「下」、「下面」、「高於」、「上」等等之空間關係術語，以便說明圖中所示之某一元件或特徵與另一元件或特徵之間的關係。須知除了圖中所指的方位以外，這些空間關係術語想要包含使用中或操作中的裝置的不同方位。例如，若翻轉圖中的裝置，則原本描述為「低於」其他的元件或特徵之元件將變成「高於」其他的元件或特徵。因此，所述之術語「低於」可包含高於及低於兩種方位。另一方面，上述裝置也可指向不同的方位(旋轉 90 度或其他方位)，因而在此所使用的空間關係描述語將據以解釋。此外，也須知當某一層稱為「介於」兩層之間時，其可能是兩層之間的唯一一層，或者也可能出現一層或多層中介層。

在此所使用的術語只是為了說明特定的實施例，而非

用以限制本發明。當在此使用時，除非上下文清楚地指出，否則單數形式的「一」及「所述」也會包含複數形式。並且須知術語「包括」及／或「包含」在此說明書中使用時，將指示存在所述之特徵、整數、步驟、操作、元件及／或組件，但不排除存在或附加一個或多個其他的特徵、整數、步驟、操作、元件、組件及／或其組合。當在此使用時，術語「及／或」包括相關列舉項目當中一個或多個之任何及所有的組合。

須知當一元件或分層稱為「位於」、「連接」、「耦合」或「鄰接」另一元件或分層時，其可能直接位於、連接、耦合或鄰接另一元件或分層，或可能存在中介的元件或分層。相反地，當一元件稱為「直接位於」、「直接連接」、「直接耦合」或「直接鄰接」另一元件或分層時，不存在中介的元件或分層。

除非另有定義，否則在此所使用的所有術語(包含技術及科學術語)都具有如同本發明所屬技術領域中任何具有通常知識者所了解的一般意義。並且須知術語(例如通用字典所定義的術語)的意義解釋應該符合其依據相關技術領域及／或本說明書的意義，而不應該以理想化或過度形式化的意義來解釋，除非在此特別如此定義。

術語「選取的位元線」可用以表示多條位元線當中與要程式化或讀取的記憶胞電晶體(cell transistor)連接之位元線。術語「未選取的位元線」可用以表示多條位元線當中與禁止程式化或禁止讀取的記憶胞電晶體連接之位元

線。

術語「選取的串列選擇線」可用以表示多條串列選擇線當中與包含要程式化或讀取的記憶胞電晶體之記憶胞串列(cell string)連接之串列選擇線。術語「未選取的串列選擇線」可用以表示多條串列選擇線當中除了選取的串列選擇線以外的其餘串列選擇線。術語「選取的串列選擇電晶體(string selection transistors)」可用以表示與選取的串列選擇線連接之串列選擇電晶體。術語「未選取的串列選擇電晶體」可用以表示與未選取的串列選擇線連接之串列選擇電晶體。

術語「選取的接地選擇線(ground selection line)」可用以表示多條接地選擇線當中與包含要程式化或讀取的記憶胞電晶體之記憶胞串列連接之接地選擇線。術語「未選取的接地選擇線」可用以表示多條接地選擇線當中除了選取的接地選擇線以外的其餘接地選擇線。術語「選取的接地選擇電晶體(ground selection transistors)」可用以表示與選取的接地選擇線連接之接地選擇電晶體。術語「未選取的接地選擇電晶體」可用以表示與未選取的接地選擇線連接之接地選擇電晶體。

術語「選取的字元線」可用以表示多條字元線當中與要程式化或讀取的記憶胞電晶體連接之字元線。術語「未選取的字元線」可用以表示多條字元線當中除了選取的字元線以外的其餘字元線。

術語「選取的記憶胞」可用以表示多個記憶胞當中要

程式化或讀取的記憶胞。術語「未選取的記憶胞」可用以表示多個記憶胞當中除了選取的記憶胞以外的其餘記憶胞。

本發明的實施例將參考反及閘(NAND)快閃記憶體予以說明。然而，本發明並未侷限於此。本發明可應用於例如電性可抹除及可程式唯讀記憶體(EEPROM)、反或閘(NOR)快閃記憶體、相變隨機存取記憶體(PRAM)、磁性隨機存取記憶體(MRAM)、電阻式隨機存取記憶體(RRAM)、鐵電隨機存取記憶體(FRAM)等等之非揮發性記憶元件。

圖 1 是依照本發明之一實施例之非揮發性記憶元件 100 的方塊圖。參照圖 1，非揮發性記憶元件 100 可包括記憶胞陣列 110、位址解碼單元(address decoding unit)120、頁緩衝器單元 130、資料輸入/輸出(I/O)單元 140、計數單元 150、成功/失敗(P/F)檢查單元 160 及控制邏輯(control logic)170。位址解碼單元 120、頁緩衝器單元 130、資料輸入/輸出單元 140、計數單元 150、成功/失敗檢查單元 160 及控制邏輯 170 可稱為控制記憶胞陣列 110 之控制單元。

記憶胞陣列 110 可包括多個記憶體單元，其具有多個記憶胞。多個記憶體單元可以是以列方向及行方向排列於基底上之多個記憶胞串列。每一個記憶胞串列可包括沿著垂直於基底的方向堆疊之多個記憶胞。亦即，記憶胞可沿著列及行配置於基底上，並且能以垂直於基底的方向堆疊以便形成三維結構。記憶胞陣列 110 可包括多個分別儲存一個或多個位元資料之記憶胞。

位址解碼單元 120 可經由字元線 WL、串列選擇線 SSL 及接地選擇線 GSL 與記憶胞陣列 110 耦合。位址解碼單元 120 的操作可響應於控制邏輯 170 的控制。位址解碼單元 120 可從外部裝置接收輸入位址(address)ADDR。

位址解碼單元 120 可用以解碼輸入位址 ADDR 的列位址。位址解碼單元 120 可用以在字元線 WL 當中選擇對應於已解碼的列位址之字元線。位址解碼單元 120 可用以在串列選擇線 SSL 及接地選擇線 GSL 當中選擇對應於已解碼的列位址之串列選擇線及接地選擇線。

位址解碼單元 120 可用以解碼輸入位址 ADDR 當中的行位址。位址解碼單元 120 可轉移已解碼行位址(decoded column address)DCA 到頁緩衝器單元 130。

位址解碼單元 120 可用以從控制邏輯 170 接收預讀訊號(pre-read signal)PRS。當激勵預讀訊號 PRS 時，位址解碼單元 120 可供應預讀之電壓給串列選擇線 SSL、字元線 WL 及接地選擇線 GSL。

位址解碼單元 120 可根據控制邏輯 170 的控制來供應抹除、寫入及讀取之電壓給串列選擇線 SSL、字元線 WL 及接地選擇線 GSL。

在這實施例中，雖然未繪示於圖 1，但是位址解碼單元 120 可包括：用以解碼列位址之列解碼器(row decoder)；用以解碼行位址之行解碼器(column decoder)；用以儲存輸入位址 ADDR 之位址緩衝器(address buffer)等等。

頁緩衝器單元 130 可經由位元線 BL 與記憶胞陣列 110

耦合。頁緩衝器單元 130 的操作可響應於控制邏輯 170 的控制。頁緩衝器單元 130 可從位址解碼單元 120 接收已解碼的行位址 DCA。頁緩衝器單元 130 可選擇位元線 BL 以響應於已解碼的行位址 DCA。

頁緩衝器單元 130 可與位址解碼單元 120 執行讀取及寫入操作。可藉由控制經過位址解碼單元 120 的串列選擇線 SSL、字元線 WL 及接地選擇線 GSL 以及控制經過頁緩衝器單元 130 的位元線 BL 對記憶胞陣列 110 執行讀取及寫入。

頁緩衝器單元 130 可包括分別對應於位元線 BL 之門鎖(未繪示)。要寫入記憶胞陣列 110 的資料可載入頁緩衝器單元 130 的門鎖。從記憶胞陣列 110 讀取之資料可儲存於頁緩衝器單元 130 的門鎖。

頁緩衝器單元 130 可經由資料線 DL 接收資料。頁緩衝器單元 130 之輸入資料可寫入記憶胞陣列 110。頁緩衝器單元 130 可從記憶胞陣列 110 讀取資料以便經由資料線 DL 輸出所讀取的資料到資料輸入/輸出單元 140。頁緩衝器單元 130 可儲存從記憶胞陣列 110 的第一儲存區讀取之資料。頁緩衝器單元 130 所儲存的資料可寫入其第二儲存區。亦即，可執行複製回存(copy-back)操作。

頁緩衝器單元 130 可輸出所讀取的資料作為讀取結果 RR。例如，頁緩衝器單元 130 可輸出在抹除確認操作時讀取的資料或在寫入確認操作時讀取的資料作為讀取結果 RR。

頁緩衝器單元 130 可用以從控制邏輯 170 接收預讀訊號 PRS。當激勵預讀訊號 PRS 時，頁緩衝器單元 130 可與位址解碼單元 120 執行預讀。在預讀時讀取的資料可輸出作為讀取結果 RR。

資料輸入/輸出單元 140 可經由資料線 DL 與頁緩衝器單元 130 連接。資料輸入/輸出單元 140 可用以與外部裝置交換資料。資料輸入/輸出單元 140 可將從頁緩衝器單元 130 經由資料線 DL 轉移之資料輸出到外部裝置。資料輸入/輸出單元 140 可將從外部裝置輸入之資料經由資料線 DL 轉移到頁緩衝器單元 130。

計數單元 150 可用以從頁緩衝器單元 130 接收讀取結果 RR 且從控制邏輯 170 接收預讀訊號 PRS。當激勵預讀訊號 PRS 時，計數單元 150 可用以根據讀取結果 RR 來計算，以便產生要傳送到控制邏輯 170 之計數值 CV。

成功/失敗檢查單元 160 可用以從頁緩衝器單元 130 接收讀取結果 RR。在抹除確認操作或寫入確認操作時，成功/失敗檢查單元 160 可用以根據讀取結果 RR 來輸出成功訊號 PASS 或失敗訊號 FAIL。

控制邏輯 170 可用以控制非揮發性記憶元件 100 的整體操作。控制邏輯 170 可用以產生預讀訊號 PRS。控制邏輯 170 可從計數單元 150 接收計數值 CV 且從成功/失敗檢查單元 160 接收成功訊號 PASS 或失敗訊號 FAIL。控制邏輯 170 可比較計數值 CV 與暫存器(register)REG1 所儲存的數值，以便根據計數值 CV 與暫存器 REG1 所儲存的數值

之間的比較結果來控制抹除操作。控制邏輯 170 可控制抹除操作以響應於從成功/失敗檢查單元 160 輸入之成功訊號 PASS 或失敗訊號 FAIL。

控制邏輯 170 可根據控制訊號 CTRL 及從外部裝置輸入之命令 CMD 來操作。

圖 2 是依照本發明之一實施例之圖 1 之記憶胞陣列 110 的示意圖。參照圖 1 及圖 2，記憶胞陣列 110 可包括多個記憶方塊 BLK1 至 BLKz，其中每一個具有三維結構(或垂直結構)。例如，每一個記憶方塊 BLK1 至 BLKz 可包括沿著第一方向至第三方向延伸之結構。雖然未繪示於圖 2，每一個記憶方塊 BLK1 至 BLKz 可包括沿著第二方向延伸之多個記憶胞串列。雖然未繪示於圖 2，多個記憶胞串列可沿著第一及第三方向互相隔開。

一個記憶方塊中的記憶胞串列可與多條位元線 BL、多條串列選擇線 SSL、多條字元線 WL、一條或多條接地選擇線 GSL 及共源極線(common source line)(未繪示)耦合。多個記憶方塊 BLK1 至 BLKz 之記憶胞串列可分享多條位元線。例如，多條位元線可沿著第二方向延伸以便供多個記憶方塊 BLK1 至 BLKz 分享。

可藉由圖 1 之位址解碼單元 120 選取多個記憶方塊 BLK1 至 BLKz。例如，位址解碼單元 120 可用以在多個記憶方塊 BLK1 至 BLKz 當中選擇對應於輸入位址 ADDR 之記憶方塊。可在選取的記憶方塊執行抹除、程式化及讀取。多個記憶方塊 BLK1 至 BLKz 將參考圖 3 至圖 6 更完整予

以說明。

圖 3 是依照本發明之一實施例之圖 1 之記憶方塊當中一個記憶方塊 BLKa 的平面圖。圖 4 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之透視圖。圖 5 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之剖面圖。

參照圖 3 至圖 5，可提供沿著第一方向至第三方向延伸之三維結構。

將提供基底 111。基底 111 可以是例如具有第一導電類型之井(well)。基底 111 可以是注入例如硼之 III 族元素之 p 型井(p-well)。基底 111 可以是配置在 n 型井內的袋狀 p 型井。以下，將假設基底 111 是 p 型井(或袋狀 p 型井)。然而，基底 111 並未侷限於此。基底 111 可能是非 p 型基底的其他類型基底。

沿著第一方向延伸之多個共源極區域(common source regions)CSR 可配置於基底 111 中。共源極區域 CSR 可沿著第二方向互相隔開。共源極區域 CSR 可共同連接以形成共源極線。

共源極區域 CSR 可具有不同於基底 111 之第二導電類型。例如，共源極區域 CSR 可以是 n 型。以下，將假設共源極區域 CSR 是 n 型。然而，共源極區域 CSR 並未侷限於此。共源極區域 CSR 可能是非 n 型的另一類型。

在共源極區域 CSR 的兩個相鄰區域之間，多個絕緣材料 112 及 112a 可沿著第三方向(亦即垂直於基底 111 的方向)循序地配置於基底 111 上。絕緣材料 112 及 112a 可沿

著第三方向隔開。絕緣材料 112 及 112a 可沿著第一方向延伸。例如，絕緣材料 112 及 112a 可包括例如半導體氧化物薄膜之絕緣材料。與基底 111 接觸之絕緣材料 112a 的厚度可比其他絕緣材料 112 的厚度薄。

在共源極區域 CSR 的兩個相鄰區域之間，多個柱狀物 PL 可沿著第一方向循序地排列以便沿著第二方向穿過多個絕緣材料 112 及 112a。例如，柱狀物 PL 可穿過絕緣材料 112 及 112a 與基底 111 接觸。

在一實施例中，兩個相鄰共源極區域之間的柱狀物 PL 可沿著第一方向隔開。柱狀物 PL 可沿著第一方向依線狀佈置。

在一實施例中，柱狀物 PL 可分別由多種材料組成。每一個柱狀物 PL 可包括通道薄膜 114 及位於通道薄膜 114 內的內部材料 115。

通道薄膜 114 可包括具有第一導電類型之半導體材料(例如矽)。例如，通道薄膜 114 可包括具有與基底 111 相同類型之半導體材料(例如矽)。通道薄膜 114 可包括本身為非導體之本質半導體(intrinsic semiconductor)。

內部材料 115 可包括絕緣材料。例如，內部材料 115 可包括例如氧化矽之絕緣材料。另一方面，內部材料 115 可包括空氣缺口。

在共源極區域 CSR 的兩個相鄰區域之間，資訊儲存薄膜(information storage films)116 可配置於絕緣材料 112 及 112a 和柱狀物 PL 的暴露表面上。資訊儲存薄膜 116 可藉

由捕捉或釋放電荷來儲存資訊。

在兩個相鄰共源極區域之間與在絕緣材料 112 及 112a 之間，導電材料 CM1 至 CM8 可配置於資訊儲存薄膜 116 的暴露表面上。導電材料 CM1 至 CM8 可沿著第一方向延伸。共源極區域 CSR 上的導電材料 CM1 至 CM8 可藉由字元線切口予以分開。共源極區域 CSR 可藉由字元線切口予以暴露。字元線切口可沿著第一方向延伸。

在一實施例中，導電材料 CM1 至 CM8 可包括金屬的導電材料。導電材料 CM1 至 CM8 可包括例如多晶矽 (polysilicon) 之非金屬的導電材料。

在一實施例中，配置在絕緣材料 112 及 112a 當中最上層的絕緣材料上表面之資訊儲存薄膜 116 可予以移除。舉例來說，配置在絕緣材料 112 及 112a 側邊當中的柱狀物 PL 對面側邊之資訊儲存薄膜可予以移除。

多個汲極 320 可分別配置於多個柱狀物 PL 上。汲極 320 可包括具有例如第二導電類型之半導體材料(例如矽)。汲極 320 可包括 n 型半導體材料(例如矽)。以下，將假設汲極 320 包括 n 型矽。然而，本發明並未侷限於此。汲極 320 可延伸至柱狀物 PL 的通道薄膜 114 上面。

依第二方向延伸之位元線 BL 可配置於汲極 320 上，以便沿著第一方向互相隔開。位元線 BL 可與汲極 320 耦合。在這實施例中，汲極 320 與位元線 BL 可經由接觸插塞(未繪示)連接。位元線 BL 可包括金屬的導電材料。另一方面，位元線 BL 可包括例如多晶矽之非金屬的導電材料。

以下，導電材料 CM1 至 CM8 可根據與基底 111 的距離具有第一高度至第八高度。

多個柱狀物 PL 可連同資訊儲存薄膜 116 及多個導電材料 CM1 至 CM8 形成多個記憶胞串列。每一個柱狀物 PL 可與資訊儲存薄膜 116 及相鄰的導電材料 CMi(i 是 1 至 8 之一)形成記憶胞串列。

柱狀物 PL 可沿著列方向及行方向配置於基底 111 上。第八導電材料 CM8 可構成列。與第八導電材料 CM8 當中的相同導電材料連接之柱狀物可構成一行。位元線 BL 可構成行。與位元線 BL 當中的相同位元線連接之柱狀物可構成行。柱狀物 PL 可連同資訊儲存薄膜 116 及多個導電材料 CM1 至 CM8 構成沿著列方向及行方向排列之多個串列。每一個記憶胞串列可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。

圖 6 是圖 5 之記憶胞電晶體 CT 之一的示意圖。參照圖 3 至圖 6，記憶胞電晶體 CT 可由導電材料 CM1 至 CM8、柱狀物 PL、以及配置於導電材料 CM1 至 CM8 與柱狀物 PL 之間的資訊儲存薄膜 116 組成。

資訊儲存薄膜 116 可從導電材料 CM1 至 CM8 與柱狀物 PL 之間的區域延伸至導電材料 CM1 至 CM8 的上表面及下表面。每一個資訊儲存薄膜 116 可包括第一至第三子絕緣薄膜(sub insulation films)117、118 及 119。

在記憶胞電晶體 CT 中，柱狀物 PL 的通道薄膜 114 可包括與基底 111 相同的 p 型矽。通道薄膜 114 可當作記

憶胞電晶體 CT 的本體。通道薄膜 114 可依垂直於基底 111 的方向形成。柱狀物 PL 的通道薄膜 114 可當作垂直本體。垂直通道可形成於通道薄膜 114。

與柱狀物 PL 相鄰的第一子絕緣薄膜 117 可當作記憶胞電晶體 CT 的穿隧絕緣薄膜(tunneling insulation films)。例如，第一子絕緣薄膜 117 可分別包括熱氧化物薄膜。第一子絕緣薄膜 117 可分別包括氧化矽薄膜。

第二子絕緣薄膜 118 可當作記憶胞電晶體 CT 的電荷儲存薄膜。例如，第二子絕緣薄膜 118 可分別當作電荷捕捉薄膜。例如，第二子絕緣薄膜 118 可分別包括氮化物薄膜或金屬氧化物薄膜。

與導電材料 CM1 至 CM8 相鄰的第三子絕緣薄膜 119 可當作記憶胞電晶體 CT 的阻隔絕緣薄膜。在這實施例中，第三子絕緣薄膜 119 可形成單層或多層。第三子絕緣薄膜 119 可以是其介電常數(dielectric constant)大於第一子絕緣薄膜 117 及第二子絕緣薄膜 118 的介電常數之高介電薄膜(例如氧化鋁薄膜、氧化鉛薄膜等等)。第三子絕緣薄膜 119 可分別包括氧化矽薄膜。

在這實施例中，第一子絕緣薄膜 117 至第三子絕緣薄膜 119 可構成氧化物-氮化物-鋁-氧化物(oxide-nitride-aluminum-oxide, ONA)或氧化物-氮化物-氧化物(oxide-nitride-oxide, ONO)。

多個導電材料 CM1 至 CM8 可分別當作閘極(gate)(或控制閘)。

亦即，當作閘極(或控制閘)之多個導電材料 CM1 至 CM8、當作方塊絕緣薄膜之第三子絕緣薄膜 119、當作電荷儲存薄膜之第二子絕緣薄膜 118、當作穿隧絕緣薄膜之第一子絕緣薄膜 117、以及當作垂直本體之通道薄膜 114 可構成依垂直於基底 111 的方向堆疊之記憶胞電晶體 CT。舉例來說，記憶胞電晶體 CT 可以是電荷捕捉型記憶胞電晶體。

記憶胞電晶體 CT 可根據其高度用於不同的用途。例如，在記憶胞電晶體 CT 當中，具有至少一高度且位於上部之記憶胞電晶體可當作串列選擇電晶體。串列選擇電晶體可用以執行記憶胞串列與位元線之間的切換操作。在記憶胞電晶體 CT 當中，具有至少一高度且位於下部之記憶胞電晶體可當作接地選擇電晶體。接地選擇電晶體可用以執行記憶胞串列與共源極區域 CSR 所形成的共源極線之間的切換操作。當作串列選擇電晶體之記憶胞電晶體與當作接地選擇電晶體之記憶胞電晶體之間的記憶胞電晶體可當作記憶胞及虛擬記憶胞(dummy memory cells)。

導電材料 CM1 至 CM8 可沿著第一方向延伸以便與多個柱狀物 PL 連接。導電材料 CM1 至 CM8 可構成互連柱狀物 PL 的記憶胞電晶體 CT 之導線。在這實施例中，導電材料 CM1 至 CM8 可根據其高度當作串列選擇線、接地選擇線、字元線、或虛擬字元線(dummy word line)。

互連當作串列選擇電晶體的記憶胞電晶體之導線可當作串列選擇線。互連當作接地選擇電晶體的記憶胞電晶

體之導線可當作接地選擇線。互連當作記憶胞的記憶胞電晶體之導線可當作字元線。互連當作虛擬記憶胞的記憶胞電晶體之導線可當作虛擬字元線。

圖 7 是依照本發明之實施例之圖 3 之平面圖的 EC 部分的等效電路的電路圖。參照圖 3 至圖 7，記憶胞串列 CS11、CS12、CS21 及 CS22 可配置於位元線 BL1 及 BL2 與共源極線 CSL 之間。記憶胞串列 CS11 及 CS21 可連接在第一位元線 BL1 與共源極線 CSL 之間，並且記憶胞串列 CS12 及 CS22 可連接在第二位元線 BL2 與共源極線 CSL 之間。

共源極區域 CSR 可共同連接以形成共源極線 CSL。

記憶胞串列 CS11、CS12、CS21 及 CS22 可對應於圖 3 之平面圖的 EC 部分的四個柱狀物。此四個柱狀物可連同導電材料 CM1 至 CM8 及資訊儲存薄膜 116 構成四個記憶胞串列 CS11、CS12、CS21 及 CS22。

在這實施例中，第一導電材料 CM1 可與資訊儲存薄膜 116 及柱狀物 PL 構成接地選擇電晶體 GST。第一導電材料 CM1 可形成接地選擇線 GSL。第一導電材料 CM1 可互連以形成接地選擇線 GSL。

第二至第七導電材料 CM2 至 CM7 可與資訊儲存薄膜 116 及柱狀物 PL 構成第一至第六記憶胞 MC1 至 MC6。第二至第七導電材料 CM2 至 CM7 可當作第一至第六字元線 WL1 至 WL6。

第二導電材料 CM2 可互連以形成第一字元線 WL1。

第三導電材料 CM3 可互連以形成第二字元線 WL2。第四導電材料 CM4 可互連以形成第三字元線 WL3。第五導電材料 CM5 可互連以形成第四字元線 WL4。第六導電材料 CM6 可互連以形成第五字元線 WL5。第七導電材料 CM7 可互連以形成第六字元線 WL6。

第八導電材料 CM8 可與資訊儲存薄膜 116 及柱狀物 PL 構成串列選擇電晶體(string selection transistors)SST。第八導電材料 CM8 可形成串列選擇線 SSL1 及 SSL2。

相同高度的記憶胞可共同連接到一條字元線。因此，當施加電壓至特定高度的字元線時，電壓可施加至所有的記憶胞串列 CS11、CS12、CS21 及 CS22。

不同列的記憶胞串列可與不同的串列選擇線 SSL1 及 SSL2 連接。記憶胞串列 CS11、CS12、CS21 及 CS22 可藉由選擇或不選擇串列選擇線 SSL1 及 SSL2 而成為選取的或未選取的列。例如，與未選取的串列選擇線 SSL1 或 SSL2 連接之記憶胞串列(CS11 及 CS12)或(CS21 及 CS22)可與位元線 BL1 及 BL2 電性隔離。與選取的串列選擇線 SSL2 或 SSL1 連接之記憶胞串列(CS21 及 CS22)或(CS11 及 CS12)可與位元線 BL1 及 BL2 電性連接。

記憶胞串列 CS11、CS12、CS21 及 CS22 可形成要與位元線 BL1 及 BL2 連接之行。記憶胞串列 CS11 及 CS21 可與位元線 BL1 連接，而記憶胞串列 CS12 及 CS22 可與位元線 BL2 連接。記憶胞串列 CS11、CS12、CS21 及 CS22 可藉由選擇或不選擇位元線 BL1 及 BL2 而成為選取的或

未選取的行。

當柱狀物 PL 形成時柱狀物 PL 的洞可能由於製程錯誤而不接觸基底 111。亦即，所形成之柱狀物 PL 的洞可能不夠深。此時，通道薄膜 114 可能不與基底 111 接觸。亦即，記憶胞串列 CS 可能包括無效串列。

當汲極 320 形成時汲極 320 可能由於製程錯誤而不與柱狀物 PL 的通道薄膜 114 接觸。亦即，記憶胞串列 CS 可能包括無效串列。

若存在無效記憶胞串列(以下稱為無效串列)，則記憶方塊 BLKa1 的抹除、讀取及寫入可能發生錯誤。在本發明的實施例中，能夠利用錯誤更正碼(error correcting code, ECC)所支援的錯誤更正能力來避免無效串列所造成的異常操作。

圖 8 是依照本發明之一實施例之一種抹除方法的流程圖。圖 9 是根據圖 8 之抹除方法之偏壓條件的示意圖。以下，依照本發明之一實施例之一種抹除方法將參考圖 1 及圖 7 至圖 9 更完整予以說明。

在步驟 S111 中，可供應抹除電壓。

位元線 BL1 及 BL2 可浮接且串列選擇線 SSL1 及 SSL2 可浮接或予以供應第一串列選擇線電壓 VSSL1。第一字元線抹除電壓(word line erase voltage)Vwe1 可分別施加至字元線 WL1 至 WL6。第一字元線抹除電壓 Vwe1 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(例如低正電壓或低負電壓)。接地選擇線 GSL 可浮接或予以供

應第一接地選擇線電壓 VGSL1。共源極線 CSL 可浮接。第一抹除電壓 Vers1 可施加至基底 111。第一抹除電壓 Vers1 可以是高電壓。第一串列選擇線電壓 VSSL1 及第一接地選擇線電壓 VGSL1 可具有介於第一抹除電壓 Vers1 與接地電壓 VSS 之間的準位。基底 111、通道薄膜(或通道層)114、及字元線 WL1 至 WL6 的電壓變化可繪示於圖 10。

在圖 10 的時間 T1，供應給基底 111 之第一抹除電壓 Vers1 可施加至通道薄膜 114。通道薄膜 114 可充電達到第一抹除電壓 Vers1。記憶胞 MC1 至 MC6 所捕捉的電荷可由於供應給字元線 WL1 至 WL6 之第一字元線抹除電壓 Vwe1 與供應給通道薄膜 114 之第一抹除電壓 Vers1 之間的電壓差異而予以放電。亦即，可降低記憶胞 MC1 至 MC6 的臨界電壓。

在步驟 S112 中，可選取第一串列選擇線 SSL1。可施加導通電壓至選取的線，亦即第一串列選擇線 SSL1，並且可施加斷開電壓至未選取的串列選擇線 SSL2。

在步驟 S113，可藉由施加第一高電壓 VH1 至字元線 WL1 至 WL6 來執行讀取操作。

可提供第一位元線電壓 VBL1 給位元線 BL1 及 BL2。

可提供第二串列選擇線電壓 VSSL2 給選取的串列選擇線(例如 SSL1)。第二串列選擇線電壓 VSSL2 可以是足以導通第一串列選擇電晶體 SST1(與第一串列選擇線 SSL1 連接之串列選擇電晶體)之電壓。第二串列選擇線電壓 VSSL2 可以是電源電壓 VCC 或非選擇讀取電壓

(non-selection read voltage)Vread。非選擇讀取電壓 Vread 可以是在讀取操作時供應給未選取的字元線之電壓。

可提供第三串列選擇線電壓 VSSL3 給未選取的串列選擇線(例如 SSL2)。第三串列選擇線電壓 VSSL3 可以是足以導通第二串列選擇電晶體 SST2(與第二串列選擇線 SSL2 連接之串列選擇電晶體)之電壓。第三串列選擇線電壓 VSSL3 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

可提供第一高電壓 VH1 給字元線 WL1 至 WL6。第一高電壓 VH1 可以是不論記憶胞 MC1 至 MC6 的邏輯狀態為何都足以導通記憶胞 MC1 至 MC6 之電壓。第一高電壓 VH1 可以是非選擇讀取電壓 Vread。

可提供第二接地選擇線電壓 VGSL2 給接地選擇線 GSL。第二接地選擇線電壓 VGSL2 可以是足以導通接地選擇電晶體 GST 之電壓。第二接地選擇線電壓 VGSL2 可以是電源電壓 VCC 或非選擇讀取電壓 Vread。

可供應第一共源極線電壓 VCSL1 給共源極線 CSL。第一共源極線電壓 VCSL1 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

可供應第一基底電壓 VSUB1 給基底 111。第一基底電壓 VSUB1 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

步驟 S113 之記憶胞陣列 110 的電壓變化繪示於圖 11。在時間 T1, 能以第一位元線電壓 VBL1 預先充電位元

線 BL。在時間 T2，可施加電壓至串列選擇線 SSL1 及 SSL2、字元線 WL1 至 WL6、接地選擇線 GSL、及共源極線 CSL。

選取的串列選擇電晶體 SST1 可在施加第二串列選擇線電壓 VSSL2 至選取的串列選擇線 SSL1 時導通。記憶胞 MC1 至 MC6 可在施加第一高電壓 VH1 至字元線 WL1 至 WL6 時導通。接地選擇電晶體 GST 可在施加第二接地選擇線電壓 VGSL2 至接地選擇線 GSL 時導通。

若記憶胞串列不是無效串列而是與選取的串列選擇線 SSL1 連接之記憶胞串列 CS11 及 CS12 當中的正常串列，則位元線的電壓可變得較低，這是因為位元線所充電的第一位元線電壓 VBL1 將放電至共源極線 CSL。若記憶胞串列是與選取的串列選擇線 SSL1 連接之記憶胞串列 CS11 及 CS12 當中的無效串列，則位元線可維持第一位元線電壓 VBL1，這是因為位元線與共源極線 CSL 互相電性隔離。

當特定位元線的電壓高於參考電壓 Vref 時，頁緩衝器單元 130 可儲存第一邏輯值(例如邏輯高準位)於對應於特定位元線之閃鎖(未繪示)。當特定位元線的電壓低於參考電壓 Vref 時，頁緩衝器單元 130 可儲存第二邏輯值(例如邏輯低準位)於對應特定位元線於之閃鎖(未繪示)。

可儲存第二邏輯值於對應於正常串列之閃鎖(未繪示)。可儲存第一邏輯值於對應於無效串列之閃鎖(未繪示)。亦即，能夠藉由使用第一高電壓 VH1 執行讀取操作

來偵測無效串列。偵測無效串列的操作可稱為預讀操作。

可執行預讀操作以響應於預讀訊號 PRS。位址解碼單元 120 及頁緩衝器單元 130 可供應電壓給記憶胞陣列 110 以響應於預讀訊號 PRS。頁緩衝器單元 130 可儲存預讀結果於閃鎖(未繪示)以響應於預讀訊號 PRS。

在步驟 S114 中，可測定一個或多個無效串列。例如，對應於儲存第一邏輯值的閃鎖(未繪示)之串列可測定為無效串列。

在步驟 S115 中，一個或多個無效串列可測定為抹除成功，亦即，一個或多個無效串列將測定為已經忽略抹除操作而當作暫時抹除成功的串列之串列，然後可執行抹除確認操作。

可施加第二位元線電壓 VBL2 至在預讀操作時偵測為正常串列之記憶胞串列。第二位元線電壓 VBL2 可以是電源電壓 VCC 或其準位類似於電源電壓 VCC 之電壓。可供應第三位元線電壓 VBL3 給在預讀操作時偵測為無效串列之記憶胞串列。第三位元線電壓 VBL3 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之電壓(包括正電壓及負電壓)。

在一實施例中，在預讀操作時，頁緩衝器單元 130 可根據頁緩衝器單元 130 的閃鎖(未繪示)所儲存的預讀結果來供應第三位元線電壓 VBL3 給與無效串列連接之位元線。在一實施例中，可提供預讀結果 RR 給控制邏輯 170。控制邏輯 170 可控制頁緩衝器單元 130 以便根據預讀結果

RR 來供應第三位元線電壓 VBL3 給與無效串列連接之位元線。可在頁緩衝器單元 130 與控制邏輯 170 之間提供用以轉移預讀結果 RR 到控制邏輯 170 之訊號線。

可提供第四串列選擇線電壓 VSSL4 給選取的串列選擇線 SSL1。第四串列選擇線電壓 VSSL4 可以是足以導通選取的串列選擇電晶體 SST1 之電壓。第四串列選擇線電壓 VSSL4 可以是非選擇讀取電壓 Vread 或電源電壓 VCC。

可提供第五串列選擇線電壓 VSSL5 給未選取的串列選擇線 SSL2。第五串列選擇線電壓 VSSL5 可以是足以導通未選取的串列選擇電晶體 SST2 之電壓。第五串列選擇線電壓 VSSL5 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

可提供第一確認電壓 VFY1 給字元線 WL1 至 WL6。第一確認電壓 VFY1 可以是已抹除的記憶胞的臨界電壓的上限。第一確認電壓 VFY1 可以是接地電壓 VSS 或負電壓。

可提供第三接地選擇線電壓 VGSL3 給接地選擇線 GSL。第三接地選擇線電壓 VGSL3 可以是足以導通接地選擇電晶體 GST 之電壓。第三接地選擇線電壓 VGSL3 可以是非選擇讀取電壓 Vread 或電源電壓 VCC。

可提供第二共源極線電壓 VCSL2 給共源極線 CSL。第二共源極線電壓 VCSL2 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

可供應第二基底電壓 VSUB2 給基底 111。第二基底電壓 VSUB2 可以是接地電壓 VSS 或其準位類似於接地電壓

VSS 之低電壓(包括正電壓及負電壓)。

步驟 S115 之記憶胞陣列 110 的電壓變化繪示於圖 12。

在時間 T1，與正常串列連接之正常位元線可預先充電達到第二位元線電壓 VBL2。可供應第三位元線電壓 VBL3 給與無效串列連接之位元線。

在時間 T2，可供應電壓給串列選擇線 SSL1 及 SSL2、字元線 WL1 至 WL6、接地選擇線 GSL、及共源極線 CSL。

可導通選取的串列選擇電晶體 SST1，並且可斷開未選取的串列選擇電晶體 SST2。可導通接地選擇電晶體 GST。

在記憶胞 MC1 至 MC6 當中其臨界電壓高於確認電壓 VFY1 之記憶胞可予以斷開，並且其臨界電壓低於確認電壓 VFY1 之記憶胞可予以導通。若導通特定記憶胞串列的記憶胞 MC1 至 MC6，則位元線與共源極線 CSL 可互相電性隔離。與特定記憶胞串列連接之位元線的電壓可變成低於第二位元線電壓 VBL2。

若斷開特定記憶胞串列的記憶胞 MC1 至 MC6 當中至少一個，則位元線與共源極線 CSL 可互相電性隔離。這表示與特定記憶胞串列連接之位元線維持在第二位元線電壓 VBL2。

當特定位元線的電壓高於參考電壓 Vref 時，頁緩衝器單元 130 可儲存第一邏輯值於對應於特定位元線之閘鎖(未繪示)。當特定位元線的電壓低於參考電壓 Vref 時，頁緩衝器單元 130 可儲存第二邏輯值於對應於特定位元線之

門鎖(未繪示)。

亦即，可儲存第二邏輯值於對應於正常串列當中抹除成功的記憶胞串列之門鎖(未繪示)。可儲存第一邏輯值於對應於正常串列當中抹除失敗的記憶胞串列之門鎖(未繪示)。因為施加第三位元線電壓 VBL3 至無效串列，所以可儲存第二邏輯值於對應於無效串列之門鎖(未繪示)。

頁緩衝器單元 130 的門鎖(未繪示)所儲存的資料可以是抹除確認讀取結果 RR。抹除確認讀取結果 RR 可轉移到成功/失敗檢查單元 160。

成功/失敗檢查單元 160 可從頁緩衝器單元 130 接收抹除確認讀取結果 RR。成功/失敗檢查單元 160 可測定表示抹除成功的第二邏輯值之讀取結果與表示抹除失敗的第一邏輯值之讀取結果。因為無效串列的抹除確認讀取結果 RR 具有第二邏輯值，所以無效串列可測定為抹除成功的串列或當作抹除成功的串列。亦即，若正常串列是抹除成功的，則第一邏輯值不可包含於抹除確認讀取結果 RR。若第一邏輯值不包含於抹除確認讀取結果 RR，則成功/失敗檢查單元 160 可產生成功訊號 PASS。若第一邏輯值包含於抹除確認讀取結果 RR，則成功/失敗檢查單元 160 可產生失敗訊號 FAIL。

在步驟 S116 中，可測定是否激勵成功訊號 PASS。若未激勵成功訊號 PASS，亦即若激勵失敗訊號 FAIL，則在步驟 S117 中可供應抹除電壓且可再度選取先前選取的串列選擇線 SSL1。步驟 S117 之抹除電壓可不同於先前所施

加的電壓。步驟 S117 之抹除電壓可由先前所施加的電壓予以增加。然後，此方法進行到步驟 S115。若激勵成功訊號 PASS，則此方法進行到步驟 S118。

在步驟 S118 中，可測定是否選取的串列選擇線 SSL1 是最後的串列選擇線。若選取的串列選擇線 SSL1 不是最後的串列選擇線，則在步驟 S119 中可選取下一條串列選擇線(例如 SSL2)。然後，此方法進行到步驟 S113。若選取的串列選擇線 SSL1 是最後的串列選擇線，則此方法可結束。

已經測定為暫時抹除成功的記憶胞或串列且具有先前的第一邏輯值之記憶胞或無效串列能夠經由步驟 S117、S115 及 S116 測定為「抹除成功」而具有第二邏輯值。步驟 S117、S115 及 S116 能夠予以執行或予以重複執行一次或多次直到具有先前的第一邏輯值之無效串列被測定為「抹除成功」而具有第二邏輯值為止。

具有先前的第一邏輯值之記憶胞或無效串列可包括無效串列測定步驟 S114 所測定之記憶胞或無效串列及／或在正常串列當中抹除確認步驟 S115 所測定之記憶胞或無效串列。具有先前的第一邏輯值之上述記憶胞或無效串列可隸屬於步驟 S117、S115 及 S116 直到進行到步驟 S118 為止。

如上所述，可執行抹除步驟直到記憶胞串列 CS11、CS12、CS21 及 CS22 的記憶胞 MC1 至 MC6 抹除成功為止。在抹除確認操作時，無效串列可測定為抹除成功。因

此，能夠避免在抹除確認操作時無效串列所導致的「抹除失敗」。

無效串列所導致的資料錯誤可藉由配置於非揮發性記憶元件 100 的內部或外部之錯誤更正單元(error correcting unit)(未繪示)予以更正。因此，雖然記憶胞陣列 110 包括無效串列，但是非揮發性記憶元件 100 可正常操作而不需要例如修理之單獨製程。

舉例來說，若在步驟 S116 中一個或多個記憶胞或一個或多個串列被測定為「抹除成功」，則在步驟 S117 中供應抹除電壓且在步驟 S115 中執行抹除確認操作。然而，若在步驟 S116 中上述記憶胞或串列被測定為「抹除成功」，則在步驟 S112(取代步驟 S117)中可供應抹除電壓，在步驟 S113 中可對所選取者執行預讀操作，在步驟 S114 中可根據預讀操作來偵測無效串列，以及在步驟 S115 中可測定無效串列為抹除成功且可執行抹除確認操作。

圖 13A 是圖 8 之抹除方法所執行的無效串列處理步驟的流程圖。參照圖 1、圖 8 及圖 13A，在步驟 S121 中，可計算無效串列的數目。例如，計數單元 150 可計算頁緩衝器單元 130 所提供的預讀結果 RR。計數單元 150 可計算預讀結果 RR 的第一邏輯值的數目，亦即無效串列的數目。所計算之數值 CV 可提供給控制邏輯 170。

在步驟 S122 中，將測定無效串列的數目是否低於第一參考數值 V1。若無效串列的數目低於第一數值 V1，則在步驟 S123 中可連續執行抹除操作。若無效串列的數目

高於第一參考數值 V1，則在步驟 S124 中可產生錯誤訊息且可停止抹除操作。

例如，控制邏輯 170 可比較所計算之數值 CV 與第一暫存器 REG1 所儲存的第一參考數值 V1。根據此比較結果，控制邏輯 170 可控制非揮發性記憶元件 100 以便連續執行抹除操作或停止抹除操作。

在一實施例中，第一參考數值 V1 可表示錯誤更正單元(未繪示)能夠更正的位元的數目，錯誤更正單元用以更正從非揮發性記憶元件 100 讀取的資料的錯誤。第一參考數值 V1 的值可小於錯誤更正單元(未繪示)的可更正錯誤位元數目且可根據可更正錯誤位元數目予以測定。例如，可根據可更正錯誤位元數目之特定比例來測定第一參考數值 V1。

若無效串列的數目高於可更正錯誤位元數目，則從相對應記憶方塊讀取之資料可以是不可更正資料。因此，可經由步驟 S121 至 S124 偵測到導致不可更正錯誤之記憶方塊。在一實施例中，對應於錯誤訊息之記憶方塊可判斷為壞區塊。

在執行步驟 S113 之預讀操作之後可執行步驟 S121 至 S124。若特定記憶方塊已抹除，則可在第一預讀操作後的時間執行步驟 S121 至 S124。

圖 13B 是依照本發明之一實施例之一種抹除方法的流程圖。參照圖 1、圖 8 及圖 13B，在步驟 S113a 中，可選取第一串列選擇線。在步驟 S113b 中，可藉由供應高電

壓給字元線來執行讀取操作，亦即預讀操作。在步驟 S113c 中，可測定無效串列，且可儲存無效串列資訊。例如，可根據預讀結果測定無效串列，且可儲存預讀結果。例如，可儲存預讀結果於頁緩衝器單元 130。

在步驟 S113d 中，將測定是否選取的串列選擇線是最後的串列選擇線。若選取的串列選擇線不是最後的串列選擇線，則在步驟 S113e 中，可選取下一條串列選擇線。若選取的串列選擇線是最後的串列選擇線，則此方法將進行到步驟 S114a。

在步驟 S114a 中，可藉由施加抹除電壓來執行抹除操作。在步驟 S114b 中，可選取第一串列選擇線。在步驟 S114c 中，無效串列可視為抹除成功，且可執行抹除確認操作。例如，步驟 S114c 可等同於圖 8 之步驟 S115。在步驟 S114c 中，無效串列可根據頁緩衝器單元 130 所儲存的預讀結果視為抹除成功。

在步驟 S114d 中，將測定與選取的串列選擇線連接之串列是否抹除成功。若與選取的串列選擇線連接之串列被測定為未抹除成功，則在步驟 S114e 中可施加抹除電壓，並且可再度選取先前選取的串列選擇線。然後，此方法可從步驟 S114c 執行。若與選取的串列選擇線連接之串列被測定為抹除成功，則此方法將進行到步驟 S114f。

在步驟 S114f 中，將測定是否選取的串列選擇線是最後的串列選擇線。若選取的串列選擇線不是最後的串列選擇線，則在步驟 S114g 中，可選取下一條串列選擇線。然

後，此方法將進行到步驟 S114c。若選取的串列選擇線是最後的串列選擇線，則此方法可結束。

亦即，在步驟 S113a 至 S113e 中，可循序地選取串列選擇線 SSL1 及 SSL2，且可偵測無效串列。偵測結果可儲存於頁緩衝器單元 130。在步驟 S114a 至 S114g 中，可循序地選取串列選擇線 SSL1 及 SSL2，且可執行抹除操作及抹除確認操作。無效串列可根據頁緩衝器單元 130 所儲存的偵測結果測定為「抹除成功」。

圖 14 是依照本發明之一實施例之圖 1 之頁緩衝器單元 130 的方塊圖。參照圖 1 及圖 14，頁緩衝器單元 130 可包括多個頁緩衝器 PB1 至 PBn。多個頁緩衝器 PB1 至 PBn 的組態可具有多個多級結構(multi-stage structures)HA1 至 HAm。

第一頁緩衝器 PB1 可構成第一級 Stage1。第二頁緩衝器 PB2 可構成第二級 Stage2。第 n 頁緩衝器 PBn 可構成第 n 級 Stagen。

在每一個多級結構 HA 中，頁緩衝器可互連。例如，在第一多級結構 HA1 中，頁緩衝器 PB1 至 PBn 能以有線或閘(wired-OR)方式與第一頁緩衝器訊號線 PBS1 連接。在第二多級結構 HA2 中，頁緩衝器 PB1 至 PBn 能以有線或閘方式與第二頁緩衝器訊號線 PBS2 連接。在第 m 多級結構 HAm 中，頁緩衝器 PB1 至 PBn 能以有線或閘方式與第 m 頁緩衝器訊號線 PBSm 連接。

頁緩衝器 PB1 至 PBn 之每一個可包括多個閘鎖。每

一個頁緩衝器的門鎖之一可用以儲存預讀結果。

每一級之頁緩衝器可共同連接到轉移訊號線 PF。當激勵第一轉移訊號線 PF1 時，第一級 Stage1 之頁緩衝器可輸出所儲存的資料到頁緩衝器訊號線 PBS1 至 PBSm。當激勵第二轉移訊號線 PF2 時，第二級 Stage2 之頁緩衝器可輸出所儲存的資料到頁緩衝器訊號線 PBS1 至 PBSm。當激勵第 n 轉移訊號線 PFn 時，第 n 級 Stagen 之頁緩衝器可輸出所儲存的資料到頁緩衝器訊號線 PBS1 至 PBSm。

可循序地激勵轉移訊號 PF1 至 PFn。當循序地激勵轉移訊號 PF1 至 PFn 時，可循序地輸出讀取結果(包括預讀結果及抹除確認結果)。在一實施例中，讀取結果(包括預讀結果及抹除確認結果)可對應於 Stage1 級至 Stagen 級來分群，並且所區分之群可循序地輸出讀取結果。

當循序地輸出讀取結果(包括預讀結果及抹除確認結果)時，計數單元 150 可循序地計算讀取結果。計數單元 150 可循序地執行成功/失敗測定。

圖 15 是依照本發明之一實施例之非揮發性記憶元件 200 的方塊圖。參照圖 15，非揮發性記憶元件 200 可包括記憶胞陣列 210、位址解碼單元 220、頁緩衝器單元 230、資料輸入/輸出單元 240、計數單元 250、成功/失敗檢查單元 260 及控制邏輯 270。

除了提供計數值 CV 給資料輸入/輸出單元 240 及從控制邏輯 270 移除暫存器 REG1 之外，圖 15 之非揮發性記憶元件 200 可等同於圖 1 之非揮發性記憶元件。

圖 16 是依照本發明之一實施例之一種預讀方法的流程圖。參照圖 7、圖 15 及圖 16，在步驟 S211 中可接收命令。例如，可接收對應於預讀操作之命令。可接收要求非揮發性記憶元件 200 的狀態資訊之命令。所輸入之命令可以是不同於典型的寫入、讀取及抹除命令之命令。用以指定或表示特定記憶方塊及特定串列選擇線之位址可連同命令一起接收。可根據所輸入之位址選取特定記憶方塊及特定串列選擇線。

在步驟 S212 中，可藉由分別施加第一高電壓 VH1 至字元線 WL1 至 WL6 來執行讀取操作(預讀操作)。圖 16 之步驟 S212 可等同於圖 8 之步驟 S113。在步驟 S212 之後，可儲存預讀結果 RR 於頁緩衝器單元 230 所包含的閃鎖。

在步驟 S213 中，可測定無效串列。例如，如同參考圖 8 之步驟 S114 所述，可根據預讀結果 RR 來測定無效串列。

在步驟 S214 中，可輸出無效串列資訊。無效串列資訊可包括與無效串列有關的資訊。

無效串列資訊可包括無效串列的數目。可提供預讀結果 RR 給計數單元 250。可經由資料輸入/輸出單元 240 輸出計數單元 250 的計數值 CV 到外部裝置。

無效串列資訊可包括預讀結果 RR。可經由資料輸入/輸出單元 240 從非揮發性記憶元件 200 的外部提供預讀結果 RR。

無效串列資訊可包括計數值 CV 及預讀結果兩者。

在一實施例中，可根據步驟 S211 所輸入之命令來測定是否輸出任何類型的無效串列資訊。

在步驟 S211 至 S214 之後，可輸出與在特定記憶方塊中對應於特定串列選擇線之記憶胞串列的無效串列有關的資訊。

圖 17 是依照本發明之一實施例之一種預讀方法的流程圖。參照圖 7、圖 15 及圖 17，在步驟 S221 中可接收命令。例如，可接收對應於預讀操作之命令。可接收要求非揮發性記憶元件 200 的狀態資訊之命令。所輸入之命令可以是不同於典型的寫入、讀取及抹除命令之命令。用以指定或表示特定記憶方塊及特定串列選擇線之位址可連同命令一起接收。可根據所輸入之位址選取特定記憶方塊及特定串列選擇線。

在步驟 S222 中，可選取第一串列選擇線 SSL1。

在步驟 S223 中，可藉由分別施加第一高電壓 VH1 至字元線 WL1 至 WL6 來執行讀取操作(預讀操作)。圖 16 之步驟 S223 可等同於圖 8 之步驟 S113。

在步驟 S224 中，可測定無效串列。圖 16 之步驟 S224 可等同於圖 8 之步驟 S114。

在步驟 S225 中，可輸出無效串列資訊。無效串列資訊可包括選取的記憶方塊之選取的串列選擇線的無效串列的數目、預讀結果、或無效串列的數目及預讀結果兩者。

在步驟 S226 中，可判斷是否選取的串列選擇線是最後的串列選擇線。若選取的串列選擇線不是最後的串列選

擇線，則此方法進行到步驟 S227，在此步驟中選取下一條串列選擇線 SSL2。然後，此方法進行到步驟 S223。若選取的串列選擇線是最後的串列選擇線，則此方法可結束。

在步驟 S221 至 S227 之後，可輸出與特定記憶方塊的記憶胞串列的無效串列有關的資訊。可根據所輸入之命令來測定一種無效串列資訊。

圖 18 是依照本發明之一實施例之非揮發性記憶元件 300 的方塊圖。參照圖 18，非揮發性記憶元件 300 可包括記憶胞陣列 310、位址解碼單元 320、頁緩衝器單元 330、資料輸入/輸出單元 340、計數單元 350、成功/失敗檢查單元 360 及控制邏輯 370。

除了也提供計數值 CV 給資料輸入/輸出單元 340 之外，非揮發性記憶元件 300 可等同於圖 1 之非揮發性記憶元件。

非揮發性記憶元件 300 可根據參考圖 8 至圖 13 所述之抹除方法來執行抹除操作。非揮發性記憶元件 300 可根據參考圖 16 及圖 17 所述之預讀方法來執行預讀操作。

圖 19 是依照本發明之一實施例之非揮發性記憶元件 400 的方塊圖。參照圖 19，非揮發性記憶元件 400 可包括記憶胞陣列 410、位址解碼單元 420、頁緩衝器單元 430、資料輸入/輸出單元 440、計數單元 450、成功/失敗檢查單元 460 及控制邏輯 470。

記憶胞陣列 410 可具有如同圖 1 所示之結構。

位址解碼單元 420 可經由串列選擇線 SSL、字元線

WL 及接地選擇線 GSL 與記憶胞陣列 410 連接。位址解碼單元 420 可提供已解碼行位址 DCA 給頁緩衝器單元 430。

頁緩衝器單元 430 可經由位元線與記憶胞陣列 410 連接且經由資料線 DL 與資料輸入/輸出單元 440 連接。頁緩衝器單元 430 可輸出讀取結果(包括抹除確認讀取結果)。

計數單元 450 可計算輸入讀取結果 RR 以輸出計數值 CV。

成功/失敗檢查單元 460 可比較所輸入之計數值 CV 與暫存器 REG2 所儲存的數值以便根據比較結果來輸出成功訊號 PASS 或失敗訊號 FAIL。

控制邏輯 470 可控制非揮發性記憶元件 400 的整體操作。

圖 20 是依照本發明之一實施例之一種抹除方法的流程圖。圖 21 是圖 20 之抹除方法所產生及可使用之電壓條件的示意圖。參照圖 7、圖 19 及圖 20，在步驟 S411 中可供應抹除電壓。

在步驟 S412 中，可選取第一串列選擇線 SSL1。

位元線 BL1 及 BL2 可浮接，且串列選擇線 SSL1 及 SSL2 可浮接或予以供應第六串列選擇線電壓 VSSL6。第二字元線抹除電壓 Vwe2 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。接地選擇線 GSL 可浮接或予以供應第四接地選擇線 VGSL4。共源極線 CSL 可浮接。可供應第二抹除電壓 Vers2 給基底 111。第二抹除電壓 Vers2 可以是高電壓。第六串列選擇線

電壓 VSSL6 及第四接地選擇線電壓 VGSL4 可具有介於第二抹除電壓 Vers2 與接地電壓 VSS 之間的準位。

當供應第二抹除電壓 Vers2 時，記憶胞陣列 410 的電壓變化可如圖 10 所示。

在步驟 S413 中，可藉由供應抹除確認電壓來執行抹除確認操作。

可供應第四位元線電壓 VBL4 給位元線 BL1 及 BL2。第四位元線電壓 VBL4 可以是電源電壓 VCC 或其準位類似於電源電壓 VCC 之電壓。

可供應第七串列選擇線電壓 VSSL7 給選取的串列選擇線 SSL1。第七串列選擇線電壓 VSSL7 可以是足以導通選取的串列選擇電晶體 SST1 之電壓。第七串列選擇線電壓 VSSL7 可以是非選擇讀取電壓 Vread 或電源電壓 VCC。

可提供第八串列選擇線電壓 VSSL8 給未選取的串列選擇線 SSL2。第八串列選擇線電壓 VSSL8 可以是足以導通未選取的串列選擇線電晶體 SST2 之電壓。第八串列選擇線電壓 VSSL8 可以是接地電壓 VSS 或其準位類似於接地電壓 VSS 之低電壓(包括正電壓及負電壓)。

可供應第二確認電壓 VFY2 給字元線 WL1 至 WL6。第二確認電壓 VFY2 可以是已抹除的記憶胞的臨界電壓的上限。第二確認電壓 VFY2 可以是接地電壓 VSS 或負電壓。

可施加第五接地選擇線電壓 VGSL5 至接地選擇線 GSL。第五接地選擇線電壓 VGSL5 可以是足以導通接地選擇電晶體 GST 之電壓。第五接地選擇線電壓 VGSL5 可以

是非選擇讀取電壓 V_{read} 或電源電壓 V_{CC} 。

可提供第三共源極線電壓 V_{CSL3} 給共源極線 CSL 。第三共源極線電壓 V_{CSL3} 可以是接地電壓 V_{SS} 或其準位類似於接地電壓 V_{SS} 之低電壓(包括正電壓及負電壓)。

可供應第三基底電壓 V_{SUB3} 給基底 111。第三基底電壓 V_{SUB3} 可以是接地電壓 V_{SS} 或其準位類似於接地電壓 V_{SS} 之低電壓(包括正電壓及負電壓)。

當供應抹除確認電壓時，記憶胞陣列 410 的電壓變化可如圖 12 所示。

當根據第二確認電壓 V_{FY2} 導通特定串列的記憶胞 $MC1$ 至 $MC6$ 時，與特定串列連接之位元線的電壓可低於第四位元線電壓 V_{BL4} 。當根據第二確認電壓 V_{FY2} 斷開特定串列的至少一個記憶胞時，與特定串列連接之位元線可維持在第四位元線電壓 V_{BL4} 。無效串列可以是抹除失敗的串列。

當特定位元線的電壓低於參考電壓 V_{ref} 時，頁緩衝器單元 430 可儲存第二邏輯值於對應於特定位元線之閃鎖(未繪示)。當特定位元線的電壓高於參考電壓 V_{ref} 時，頁緩衝器單元 430 可儲存第一邏輯值於對應於特定位元線之閃鎖(未繪示)。與無效串列連接之位元線可維持在第四位元線電壓 V_{BL4} 。亦即，頁緩衝器單元 430 可儲存第一邏輯值於對應於無效串列之閃鎖。頁緩衝器單元 430 所儲存的資料可以是抹除確認讀取結果 RR ，其將提供給計數單元 450。

在步驟 S414 中，可計算失敗串列的數目。失敗串列可表示抹除失敗的記憶胞串列。計數單元 450 可計算抹除確認讀取結果 RR 的第一邏輯值，亦即抹除失敗的串列的數目。可提供計數值 CV 給成功/失敗檢查單元 460。

在步驟 S415 中，可比較失敗串列的數目與第二參考數值 V2。成功/失敗檢查單元 460 可比較計數值 CV 與暫存器 REG2 所儲存的第二參考數值 V2。若計數值 CV 大於第二參考數值 V2，則成功/失敗檢查單元 460 可輸出失敗訊號 FAIL。根據失敗訊號 FAIL，可在控制邏輯 470 的控制下執行步驟 S416。在步驟 S416 中，可供應抹除電壓且可再度選取先前選取的串列選擇線。然後，此方法進行到步驟 S413。

若計數值 CV 低於第二參考數值 V2，亦即若失敗串列的數目低於第二參考數值 V2，則成功/失敗檢查單元 460 可輸出成功訊號 PASS。根據成功訊號 PASS，可在控制邏輯 470 的控制下執行步驟 S417。

在步驟 S417 中，可測定是否選取的串列選擇線 SSL1 是最後的串列選擇線。若選取的串列選擇線 SSL1 不是最後的串列選擇線，則在步驟 S418 中可選取下一條串列選擇線 SSL2。然後，此方法進行到步驟 S413。若選取的串列選擇線 SSL1 是最後的串列選擇線，則此方法可結束。

在一實施例中，第二參考數值 V2 可表示錯誤更正單元(未繪示)能夠更正的位元的數目，錯誤更正單元用以更正從非揮發性記憶元件 400 讀取的資料的錯誤。第二參考

數值 V2 的值可小於錯誤更正單元(未繪示)的可更正錯誤位元數目且可根據可更正錯誤位元數目予以測定。例如，可根據可更正錯誤位元數目之特定比例來測定第二參考數值 V2。

如上所述，若失敗串列的數目低於第二參考數值 V2，則此方法可結束。無效串列可測定為失敗串列。亦即，雖然存在無效串列，但是可正常操作非揮發性記憶元件 400。

在一實施例中，如參考圖 16 及圖 17 所述，非揮發性記憶元件 400 可用以執行預讀操作。

圖 22 是依照本發明之一實施例之非揮發性記憶元件 500 的方塊圖。參照圖 22，非揮發性記憶元件 500 可包括記憶胞陣列 510、位址解碼單元 520、頁緩衝器單元 530、資料輸入/輸出單元 540、計數單元 550、成功/失敗檢查單元 560 及控制邏輯 570。

元件 510、520、540、550 及 570 可等同於圖 19 所繪示之那些元件。

頁緩衝器 530 可包括漣波進位計算器(ripple and carry calculator)531。漣波進位計算器 531 可根據抹除確認讀取結果來輸出加總訊號 SUM 及進位訊號 (carry signal)CARRY。

計數單元 550 可用以從頁緩衝器單元 530 接收加總訊號 SUM。計數單元 550 可用以計算加總訊號 SUM 的激勵數目。計數單元 550 可輸出計數值 CV。

成功/失敗檢查單元 560 可從頁緩衝器單元 530 接收進

位訊號 CARRY 且從計數單元 550 接收計數值 CV。當激勵進位訊號 CARRY 時，成功/失敗檢查單元 560 可激勵失敗訊號 FAIL。當進位訊號處於無作用狀態時，成功/失敗檢查單元 560 可比較計數值 CV 與暫存器 REG3 所儲存的參考數值以便根據比較結果來輸出成功訊號 PASS 或失敗訊號 FAIL。

圖 23 是依照本發明之一實施例之一種抹除方法的流程圖。參照圖 7、圖 22 及圖 23，在步驟 S511 中可供應抹除電壓。

在步驟 S512 中，可選取第一串列選擇線 SSL1。在步驟 S513 中，可藉由供應抹除確認電壓來執行抹除確認操作。在步驟 S512 及 S513 中供應給記憶胞陣列 510 的電壓可等同於圖 21 所繪示之那些電壓。若執行步驟 S512 及 S513，則抹除確認讀取結果可儲存於頁緩衝器單元 530 所包含的閘鎖(未繪示)。例如，第二邏輯值可儲存於對應於抹除成功的串列之閘鎖(未繪示)，並且第一邏輯值可儲存於對應於抹除失敗的串列之閘鎖(未繪示)。

在步驟 S514 中，可產生加總訊號 SUM 及進位訊號 CARRY。頁緩衝器單元 530 的漣波進位計算器 531 可根據抹除確認讀取結果來產生加總訊號 SUM 及進位訊號 CARRY。這將參考圖 24 更完整予以說明。

在步驟 S515 中，將測定進位訊號 CARRY 是否處於無作用狀態。若進位訊號 CARRY 處於有作用狀態，則成功/失敗檢查單元 560 可產生失敗訊號 FAIL。根據失敗訊

號 FAIL，可在控制邏輯 570 的控制下執行步驟 S516。在步驟 S516 中，可執行抹除操作，且可再度選取先前選取的串列選擇線。然後，此方法進行到步驟 S513。

若進位訊號 CARRY 處於無作用狀態，則此方法進行到步驟 S517，在此步驟將比較加總訊號 SUM 的激勵數目與第三參考數值 V3。計數單元 550 可提供表示加總訊號 SUM 的激勵數目之計數值 CV 給成功/失敗檢查單元 560。當計數值 CV 大於第三參考數值 V3 時成功/失敗檢查單元 560 可產生失敗訊號 FAIL。根據失敗訊號 FAIL，可在控制邏輯 570 的控制下執行步驟 S516。若計數值 CV 低於第三參考數值 V3，則失敗檢查單元 560 可產生成功訊號 PASS。根據成功訊號 PASS，可在控制邏輯 570 的控制下執行步驟 S518。

在步驟 S518 中，可測定是否選取的串列選擇線 SSL1 是最後的串列選擇線。若選取的串列選擇線 SSL1 不是最後的串列選擇線，則在步驟 S519 中可選取下一條串列選擇線 SSL2。然後，此方法進行到步驟 S513。若選取的串列選擇線 SSL1 是最後的串列選擇線，則此方法可結束。

圖 24 是一種產生加總訊號及進位訊號的方法的流程圖。參照圖 7、圖 22 及圖 24，在步驟 S521 中可選取第一群抹除確認讀取結果。例如，可將抹除確認讀取結果分成多群，且可選取所區分之群的第一群。

在步驟 S522 中，可測定選取群的抹除確認讀取結果所表示之敗串列數目是否為一。在一實施例中，選取群的

確認結果的第一邏輯值可表示失敗串列。可測定選取群的確認結果的第一邏輯值的數目是否為 1。若是，則此方法將進行到步驟 S523。若否，則此方法將進行到步驟 S524。在步驟 S523 中，將激勵加總訊號 SUM。漣波進位計算器 531 可激勵加總訊號 SUM。然後，此方法進行到步驟 S526。

在步驟 S524 中，可測定失敗串列的數目是否高於 2。在一實施例中，可測定選取群的確認結果的第一邏輯值的數目是否高於 2。若是，則此方法進行到步驟 S525。若否，則此方法進行到步驟 S526。在步驟 S525 中，可激勵進位訊號 CARRY。然後，此方法進行到步驟 S526。

若執行步驟 S522 至 S525，則頁緩衝器單元 530 可激勵加總訊號 SUM 或進位訊號 CARRY，或者可以不激勵加總訊號 SUM 及進位訊號 CARRY。若偵測到一個失敗串列，則可激勵加總訊號 SUM。若偵測到兩個或更多個失敗串列，則可激勵進位訊號 CARRY。

在步驟 S526 中，可測定選取群是否為最後一群。若選取群不是最後一群，則可以不激勵加總訊號 SUM 及進位訊號 CARRY，且可在步驟 S527 的操作中選取下一群。然後，此方法進行到步驟 S521。若選取群是最後一群，則可結束加總訊號 SUM 及進位訊號 CARRY 的產生。

如參考圖 24 所述，若激勵進位訊號 CARRY，則可激勵失敗訊號 FAIL。亦即，若從選取群的抹除確認讀取結果偵測到兩個或更多個失敗串列，則可測定為抹除失敗。

當進位訊號 CARRY 處於非激勵狀態時，可比較加總

訊號 SUM 的激勵數目與第三參考數值 V3，且可根據比較結果來測定為抹除失敗或抹除成功。亦即，當每一群不包括兩個或更多個失敗串列且總計抹除確認讀取結果的失敗串列的數目低於第三參考數值 V3 時可測定為抹除成功。

第三參考數值 V3 可表示錯誤更正單元(未繪示)能夠更正的位元的數目，錯誤更正單元用以更正從非揮發性記憶元件 500 讀取的資料的錯誤。第三參考數值 V3 的數值可小於錯誤更正單元(未繪示)的可更正錯誤位元數目且可根據可更正錯誤位元數目予以測定。例如，可根據可更正錯誤位元數目之特定比例來測定第三參考數值 V3。

圖 25 是依照本發明之一實施例之非揮發性記憶元件 500 的漣波進位計算器 531 的方塊圖。在一實施例中，頁緩衝器單元 530 可具有圖 14 所示之結構。頁緩衝器訊號線 PBS1 至 PBSm 可與漣波進位計算器 531 連接。

參照圖 7、圖 14、圖 22 及圖 25，漣波進位計算器 531 可包括多個計算器 C1 至 Ck。相鄰的頁緩衝器訊號線 PBS1 至 PBSm 可與一個計算器連接。例如，第一頁緩衝器訊號線 PBS1 及第二頁緩衝器訊號線 PBS2 可與第一計算器 C1 連接，第三頁緩衝器訊號線 PBS3 及第四頁緩衝器訊號線 PBS4 可與第二計算器 C2 連接，並且頁緩衝器訊號線 PBSm-1 及 PBSm 可與計算器 Ck 連接。

當循序地激勵轉移訊號 PF1 至 PFn 時，頁緩衝器 PB1 至 PBn 可循序地輸出抹除確認讀取結果到頁緩衝器訊號線 PBS1 至 PBSm。亦即，可藉由頁緩衝器 PB1 至 PBn 的 stage1

級至 stagen 級將抹除確認讀取結果分成多群。

第一計算器 C1 可加總第一頁緩衝器訊號線 PBS1 及第二頁緩衝器訊號線 PBS2 的邏輯值以便輸出第一加總訊號 SUM1。例如，第一計算器 C1 可藉由對第一頁緩衝器訊號線 PBS1 及第二頁緩衝器訊號線 PBS2 的邏輯值執行互斥或(XOR)操作來輸出第一加總訊號 SUM1。當第一頁緩衝器訊號線 PBS1 及第二頁緩衝器訊號線 PBS2 具有第一邏輯值(例如邏輯高準位)時，第一計算器 C1 可輸出第一進位訊號 CARRY1 作為第一邏輯值。

第二計算器 C2 可藉由對第三頁緩衝器訊號線 PBS3 及第四頁緩衝器訊號線 PBS4 的邏輯值執行互斥或(XOR)操作來輸出第二加總訊號 SUM2。當第三頁緩衝器訊號線 PBS3 及第四頁緩衝器訊號線 PBS4 具有第一邏輯值時，或當第三頁緩衝器訊號線 PBS3 及第四頁緩衝器訊號線 PBS4 的邏輯值的互斥或(XOR)值與第一加總訊號 SUM1 具有第一邏輯值時，第二計算器 C2 可輸出第二進位訊號 CARRY2 作為第一邏輯值。當第一進位訊號 CARRY1 具有第一邏輯值時，第二計算器 C2 可輸出第二進位訊號 CARRY2 作為第一邏輯值。

計算器 Ck 的操作可與第二計算器 C2 的操作相同。計算器 Ck 可根據頁緩衝器單元 530 的輸出訊號及前一級的輸出訊號來輸出加總訊號 SUM 及進位訊號 CARRY。當加總訊號 SUM 或進位訊號 CARRY 具有第一邏輯值時，可激勵加總訊號 SUM 或進位訊號 CARRY。可提供加總訊號

給計數單元 550，且可提供進位訊號 CARRY 給成功/失敗檢查單元 560。

如上所述，當失敗串列的數目在可更正的範圍內時，可測定為抹除成功。無效串列在抹除確認操作時可測定為失敗串列。因此，雖然存在無效串列，非揮發性記憶元件 500 可正常操作。

圖 26 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路 BLKa2 的電路圖。圖 26 之等效電路 BLKa2 不同於圖 7 所示之等效電路，在圖 26 中將橫向電晶體 LTR 加入每一個記憶胞串列。

參照圖 3 至圖 6 及圖 26，每一個記憶胞串列之橫向電晶體 LTR 可連接在接地選擇電晶體 GST 與共源極線 CSL 之間。每一個記憶胞串列之橫向電晶體 LTR 的閘極可連同其中接地選擇電晶體 GST 的閘極(或控制閘)連接到接地選擇線 GSL。

通道薄膜 114 的操作可如同第一導電材料 CM1 的垂直本體。亦即，第一導電材料 CM1 可連同通道薄膜 114 構成垂直電晶體。第一導電材料 CM1 可連同通道薄膜 114 構成垂直於基底 111 之接地選擇電晶體 GST。

資訊儲存薄膜 116 可配置於基底 111 與第一導電材料 CM1 之間。基底 111 可當作第一導電材料 CM1 的水平本體。亦即，第一導電材料 CM1 可連同基底 111 形成垂直電晶體 LTR。

當施加電壓至第一導電材料 CM1 時，可施加電場於

第一導電材料 CM1 與通道薄膜 114 之間。此電場可使通道薄膜 114 能夠形成通道。當施加電壓至第一導電材料 CM1 時，可施加電場於第一導電材料 CM1 與基底 111 之間。此電場可使基底 111 能夠形成通道。基底 111 所形成的通道可與共源極區域 CSR 及通道薄膜 114 耦合。當施加電壓至接地選擇線 GSL 時，可導通接地選擇電晶體 GST 及橫向電晶體 LTR。這可使記憶胞串列 CS11、CS12、CS21 及 CS22 能夠與共源極線 CSL 連接。

圖 27 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路 BLKa3 的電路圖。圖 27 之等效電路 BLKa3 不同於圖 7 所示之等效電路，在圖 27 中接地選擇電晶體 GST 與第一接地選擇線 GSL1 及第二接地選擇線 GSL2 連接。參照圖 3、圖 6 及圖 27，第一導電材料 CM1 可構成第一接地選擇線 GSL1 及第二接地選擇線 GSL2。

記憶胞能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方式抹除。可施加導通電壓至選取的接地選擇線，且可施加斷開電壓至未選取的接地選擇線。可加偏壓於選取的接地選擇線使其電壓與選取的串列選擇線相同，並且可加偏壓於未選取的接地選擇線使其電壓與未選取的串列選擇線相同。

能以如同參考圖 16 及圖 17 所述之方式對記憶胞 MC1 至 MC6 執行預讀操作。可施加導通電壓至選取的接地選擇線，且可施加斷開電壓至未選取的接地選擇線。可加偏壓於選取的接地選擇線使其電壓與選取的串列選擇線相

同，並且可加偏壓於未選取的接地選擇線使其電壓與未選取的串列選擇線相同。

如參考圖 26 所述，橫向電晶體 LTR 可配置於等效電路 BLKa3。

圖 28 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路 BLKa4 的電路圖。參照圖 3 至圖 6 及圖 28，可提供多個子方塊。在這實施例中，第二導電材料 CM2 及第三導電材料 CM3 可構成第一記憶胞 MC1 及第二記憶胞 MC2，其將當作第一子方塊。第六導電材料 CM6 及第七導電材料 CM7 可構成第三記憶胞 MC3 及第四記憶胞 MC4，其將當作第二子方塊。第四導電材料 CM4 及第五導電材料 CM5 可構成位於第一子方塊與第二子方塊之間的第一虛擬記憶胞 DMC1 及第二虛擬記憶胞 DMC2。第一及第二子方塊可彼此獨立地予以程式化、讀取及抹除。

能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除記憶胞 MC1 至 MC4。當根據參考圖 8 至圖 13 所述之方法來抹除記憶胞 MC1 至 MC4 時，供應給記憶方塊 BLKa4 之電壓繪示於圖 29。相較於圖 9 之電壓，當供應抹除電壓 Vers1 時，可供應第一字元線抹除電壓 Vers1 給選取的子方塊的字元線，並且未選取的子方塊的字元線可浮接或予以供應第一字元線電壓(word line voltage)VWL1。第一字元線電壓 VWL1 可具有介於抹除電壓 Vwe1 與接地電壓 VSS 之間的準位。

虛擬字元線 DWL1 及 DWL2 可浮接或予以供應第一

虛擬字元線電壓 VDWL1。第一虛擬字元線電壓 VDWL1 可具有介於抹除電壓 Vwe1 與接地電壓 VSS 之間的準位。

當供應第一抹除電壓 Vers1 時，可抹除選取的子方塊的記憶胞，並且無法抹除未選取的子方塊的記憶胞及虛擬記憶胞。

當預讀操作完成時，可施加第一高電壓 VH1 至字元線 WL1 至 WL4。第一高電壓 VH1 可以是非選擇讀取電壓 Vread。第二虛擬字元線電壓 VDWL2 可具有足以導通虛擬記憶胞 DMC1 及 DMC2 之準位。第二虛擬字元線電壓 VDWL2 的準位可等於或低於非選擇讀取電壓 Vread 的準位。

當執行抹除確認操作時，可施加確認電壓 VFY1 至選取的子方塊的字元線，並且可供應第二高電壓 VH2 給未選取的子方塊的字元線。第二高電壓 HV2 可以是非選擇讀取電壓 Vread。可施加第三虛擬字元線電壓 VDWL3 至虛擬字元線 DWL1 及 DWL2。第三虛擬字元線電壓 VDWL3 可具有足以導通虛擬記憶胞 DMC1 及 DMC2 之準位。第三虛擬字元線電壓 VDWL3 的準位可等於或低於非選擇讀取電壓 Vread 的準位。

當根據參考圖 20 及圖 21 所述之方法來抹除記憶胞時，供應給記憶方塊 BLKa4 之電壓繪示於圖 30。相較於圖 21 之電壓，當供應抹除電壓 Vers2 時，可施加字元線抹除電壓 Vwe2 至選取的子方塊的字元線，並且未選取的子方塊的字元線可浮接或予以供應第二字元線電壓 VWL2。

第二字元線電壓 VWL2 可具有介於抹除電壓 Vwe2 與接地電壓 VSS 之間的準位。

虛擬字元線 DWL1 及 DWL2 可浮接或予以供應第四虛擬字元線電壓 VDWL4。第四虛擬字元線電壓 DVWL4 可具有介於抹除電壓 Vwe2 與接地電壓 VSS 之間的準位。

當執行抹除確認操作時，可提供確認電壓 VFY2 給選取的子方塊的字元線，並且可施加第三字元線電壓 VWL3 至未選取的子方塊的字元線。第三字元線電壓 VWL3 可以是足以導通記憶胞之電壓。第三字元線電壓 VWL3 的準位可等於或類似於非選擇讀取電壓 Vread 的準位。

可施加第五虛擬字元線電壓 VDWL5 至虛擬字元線 DWL1 及 DWL2。第五虛擬字元線電壓 VDWL5 可以是足以導通虛擬記憶胞 DMC1 及 DMC2 之電壓。第五虛擬字元線電壓 DVWL5 的準位可等於或類似於非選擇讀取電壓 Vread 的準位。

當根據參考圖 20 及圖 21 所述之方法來抹除記憶胞 MC1 至 MC4 時，供應給記憶方塊 BLKa4 之電壓可等於圖 29 所示之電壓。

當根據參考圖 16 及圖 17 所述之方法對記憶胞 MC1 至 MC4 執行預讀操作時，供應給記憶方塊 BLKa4 之電壓可等於圖 29 之步驟 S113 及 S114 所供應之電壓。

如參考圖 26 所述，橫向電晶體 LTR 可配置於等效電路 BLKa4。

圖 31 是依照本發明之一實施例之圖 3 之 EC 部分的等

效電路 BLKa5 的電路圖。參照圖 3 至圖 6 及圖 31，第一導電材料 CM1 及第二導電材料 CM2 可構成接地選擇電晶體 GSTa 及 GSTb，其中每一個具有第一及第二高度。第七導電材料 CM7 及第八導電材料 CM8 可構成串列選擇電晶體 SSTa 及 SSTb，其中每一個具有第七及第八高度。第三導電材料 CM3 至第六導電材料 CM6 可構成第一記憶胞 MC1 至第四記憶胞 MC4。

第一導電材料 CM1 及第二導電材料 CM2 可共同連接以形成接地選擇線 GSL。第一導電材料 CM1 可共同連接以形成具有第一高度之接地選擇線(未繪示)。第二導電材料 CM2 可共同連接以形成具有第二高度之接地選擇線(未繪示)。

記憶胞串列 CS11 及 CS12 可與分別具有第一及第二高度之兩條接地選擇線(未繪示)連接，並且藉由第一導電材料 CM1 及第二導電材料 CM2 予以形成。記憶胞串列 CS21 and CS22 可與分別具有第一及第二高度之兩條接地選擇線(未繪示)連接，並且藉由第一導電材料 CM1 及第二導電材料 CM2 予以形成。對應於至少三種高度之導電材料可形成接地選擇電晶體。

記憶胞串列 CS11 及 CS12 可與分別具有第七及第八高度之兩條串列選擇線 SSL1a 及 SSL1b 連接，並且藉由第七導電材料 CM7 及第八導電材料 CM8 予以形成。記憶胞串列 CS21 及 CS22 可與分別具有第七及第八高度之兩條串列選擇線 SSL2a 及 SSL2b 連接，並且藉由第七導電材料

CM7 及第八導電材料 CM8 予以形成。每一個對應於至少三種高度之導電材料可形成串列選擇電晶體。

能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除記憶胞 MC1 至 MC4。能以如同圖 16 及圖 17 所述之方法對記憶胞 MC1 至 MC4 執行預讀操作。

如同參考圖 26 所述之等效電路 BLKa2，橫向電晶體 LTR 可配置於圖 31 之等效電路 BLKa5。如同參考圖 27 所述之等效電路 BLKa3，記憶胞串列 CS11 及 CS12 可與一條接地選擇線(未繪示)連接，並且記憶胞串列 CS21 及 CS22 可與另一條接地選擇線(未繪示)連接。如同參考圖 28 所述之等效電路 BLKa4，記憶胞 MC 可構成多個子方塊。

圖 32 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路 BLKa6 的電路圖。圖 32 之等效電路 BLKa6 不同於圖 31 所示之等效電路，在圖 32 中串列選擇電晶體 SSTa 及 SSTb 分享串列選擇線。記憶胞串列 CS11 及 CS12 之串列選擇電晶體 SSTa 及 SSTb 可共同連接到第一串列選擇線 SSL1，並且記憶胞串列 CS21 及 CS22 之串列選擇電晶體 SSTa 及 SSTb 可共同連接到第二串列選擇線 SSL2。

能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除記憶胞 MC1 至 MC4。能以如同圖 16 及圖 17 所述之方法對記憶胞 MC1 至 MC4 執行預讀操作。

如同參考圖 26 所述之等效電路 BLKa2，橫向電晶體 LTR 可配置於等效電路 BLKa6。如同參考圖 27 所述之等效電路 BLKa3，記憶胞串列 CS11 及 CS12 可與一條接地

選擇線(未繪示)連接，並且記憶胞串列 CS21 及 CS22 可與另一條接地選擇線(未繪示)連接。如同參考圖 28 所述之等效電路 BLKa4，記憶胞 MC 可構成多個子方塊。

圖 33 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路 BLKa7 的電路圖。參照圖 3 至圖 6 及圖 33，第二導電材料 CM2 可構成第一虛擬記憶胞 DMC1，並且第七導電材料 CM7 可構成第二虛擬記憶胞 DMC2。

在一實施例中，對應於兩種或更多種高度之導電材料可構成佈置在記憶胞與接地選擇電晶體 GST 之間的虛擬記憶胞(未繪示)。對應於兩種或更多種高度之導電材料可構成佈置在記憶胞與串列選擇電晶體 SST 之間的虛擬記憶胞(未繪示)。虛擬記憶胞(未繪示)可佈置成鄰接接地選擇電晶體 GST 及串列選擇電晶體 SST 之任一個。

能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除記憶胞 MC1 至 MC4。能以如同圖 16 及圖 17 所述之方法對記憶胞 MC1 至 MC4 執行預讀操作。

施加至虛擬字元線 DWL1 及 DWL2 之電壓可以是參考圖 29 及圖 30 所述之虛擬字元線電壓 VDWL1 至 VDWL5。

如同參考圖 26 所述之等效電路 BLKa2，橫向電晶體 LTR 可配置於等效電路 BLKa6。如同參考圖 27 所述之等效電路 BLKa3，記憶胞串列 CS11 及 CS12 可與一條接地選擇線(未繪示)連接，並且記憶胞串列 CS21 及 CS22 可與另一條接地選擇線(未繪示)連接。如同參考圖 28 所述之等

效電路 BLKa4，記憶胞 MC 可構成多個子方塊。如參考圖 31 所述，具有兩種或更多種高度之導電材料可構成串列選擇電晶體 SSTa 及 SSTb。具有兩種或更多種高度之導電材料可構成接地選擇電晶體 GSTa 及 GSTb。如參考圖 32 所述，相同列的串列選擇電晶體 SSTa 及 SSTb 可與一條串列選擇線 SSL1 或 SSL2 連接。

圖 34 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之透視圖。圖 35 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之剖面圖。參照圖 3、圖 34 及圖 35，下柱狀物 PLa 及上柱狀物 PLb 可配置成以垂直於基底 111 的方向堆疊。

下柱狀物 PLa 可沿著第三方向穿過絕緣薄膜 112 及 112a 以便接觸基底 111。每一個下柱狀物 PLa 可包括下通道薄膜 114a 及下內部材料 115a。下通道薄膜 114a 可包括其導電類型與基底 111 或本質半導體相同之半導體材料。下通道薄膜 114a 可分別當作第一導電材料 CM1 至第四導電材料 CM4 的垂直本體。下內部材料 115a 可包括絕緣材料。

上柱狀物 PLb 可配置於相對應的下柱狀物 PLa 上。上柱狀物 PLb 可沿著第三方向穿過絕緣薄膜 112 以便接觸下柱狀物 PLa 的上表面。每一個上柱狀物 PLb 可包括上通道薄膜 114b 及上內部材料 115b。上通道薄膜 114b 可包括其導電類型與下通道薄膜 114a 或本質半導體相同之半導體材料。上通道薄膜 114b 可分別當作第五導電材料 CM5 至

第八導電材料 CM8 的垂直本體。上內部材料 115b 可包括絕緣材料。

可連接下通道薄膜 114a 與上通道薄膜 114b 以便當作垂直本體。例如，半導體墊(semiconductor pads)SP 可配置於相對應的下柱狀物 PLa 上。半導體墊 SP 可包括其導電類型與下通道薄膜 114a 或本質半導體相同之半導體材料。下通道薄膜 114a 及上通道薄膜 114b 可經由半導體墊 SP 互連。

在這實施例中，在第一導電材料 CM1 至第八導電材料 CM8 當中，與半導體墊 SP 相鄰的導電材料可構成虛擬字元線及虛擬記憶胞。例如，第四導電材料 CM4、第五導電材料 CM5、或第四導電材料 CM4 及第五導電材料 CM5 可構成虛擬字元線及虛擬記憶胞。

參考圖 3、圖 34 及圖 35 所述之記憶方塊的等效電路可等同於分別繪示於圖 7、圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa1 至 BLKa7 之一。

在參考圖 3、圖 34 及圖 35 所述之記憶方塊中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在參考圖 3、圖 34 及圖 35 所述之記憶方塊中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 36 是依照本發明之一實施例之圖 2 之記憶胞陣列 110 的記憶方塊當中的一記憶方塊 BLKb 的平面圖。圖 37 是沿著圖 36 之線 X X X VII-X X X VII'截取之透視圖。圖 38

是沿著圖 36 之線 X X X VII-X X X VII'截取之剖面圖。

相較於參考圖 3 至圖 6 所述之記憶方塊 BLKa，記憶方塊 BLKb 可具有依第二方向配置之串列選擇線切口 (string selection line cut) SSL Cut 及字元線切口 WL Cut 以便沿著第一方向延伸。共源極區域 CSR 可配置於字元線切口 WL Cut 所暴露之基底 111。

柱狀物 PL 可在兩個相鄰的共源極區域 CSR(亦即兩個相鄰的字元線切口 WL Cut)之間依沿著第一方向的兩條線形成。串列選擇線切口 SSL Cut 可形成於柱狀物 PL 的兩條線之間。串列選擇線切口 SSL Cut 可將構成串列選擇電晶體 SST 之第八導線 CM8 分開。當具有兩種或更多種高度之導線構成串列選擇電晶體 SST 時，串列選擇線切口 SSL Cut 可將具有兩種或更多種高度之導電材料分開。

在這實施例中，柱狀物 PL 可由如圖 34 及圖 35 所述之下柱狀物及上柱狀物組成。

圖 36 之 EC 部分可對應於分別繪示於圖 7、圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa1 至 BLKa7 之一。

在記憶方塊 BLKb 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKb 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 39 是依照本發明之一實施例之圖 2 之記憶方塊當中的一記憶方塊 BLKc 的平面圖。圖 40 是沿著圖 39 之線

X X X X-X X X X'截取之透視圖。圖 41 是沿著圖 39 之線 X X X X-X X X X'截取之剖面圖。

相較於圖 3 至圖 6 所述之記憶方塊 BLKa，記憶方塊 BLKc 可具有位於相鄰的共源極區域之間沿著第一方向以鋸齒狀佈置之柱狀物。

如圖 34 及圖 35 所述，柱狀物 PL 可由下柱狀物及上柱狀物組成。如圖 36 至圖 38 所述，可提供串列選擇線切口 SSL Cut。沿著第一方向以鋸齒狀佈置之一列柱狀物可配置於相鄰的字元線切口 WL Cut 與串列選擇線切口 SSL Cut 之間。

圖 39 之 EC 部分可對應於分別繪示於圖 7、圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa1 至 BLKa7 之一。

在記憶方塊 BLKc 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKc 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 42 是依照本發明之一實施例之圖 2 之記憶方塊當中的一記憶方塊 BLKd 的平面圖。圖 43 是沿著圖 42 之線 X X X X III-X X X X III'截取之透視圖。沿著圖 42 之線 X X X X III-X X X X III'截取之剖面圖可等同於圖 5 之繪圖，因此將省略其說明。

相較於圖 3 至圖 6 所述之記憶方塊 BLKa，記憶方塊 BLKd 可具有記憶方塊 BLKd 以包括正方形柱狀物 PL。絕

緣材料 IM 可配置於柱狀物 PL 之間。柱狀物 PL 可在相鄰的共源極區域 CSR 之間沿著第一方向以線狀佈置。絕緣材料 IM 可沿著第三方向延伸以便接觸基底 111。

每一個柱狀物 PL 可包括通道薄膜 114 及內部材料 115。舉例來說，通道薄膜 114 可配置於相對應柱狀物的四個側邊當中與導電材料 CM1 至 CM8 相鄰的兩個側邊上，而不圍繞相對應柱狀物。

每一個柱狀物的一側邊上的通道薄膜可連同導電材料 CM1 至 CM8 及資訊儲存薄膜 116 構成一記憶胞串列。每一個柱狀物的其他側邊上的通道薄膜可連同導電材料 CM1 至 CM8 及資訊儲存薄膜 116 構成另一個記憶胞串列。亦即，一個柱狀物可用以形成兩個記憶胞串列。

在一實施例中，如圖 34 及圖 35 所述，柱狀物 PL 可由下柱狀物及上柱狀物組成。如圖 36 至圖 38 所述，可提供串列選擇線切口 SSL Cut。如圖 39 至圖 41 所述，柱狀物 PL 可沿著第一方向以鋸齒狀佈置。

圖 42 之 EC 部分可對應於分別繪示於圖 7、圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa1 至 BLKa7 之一。

在記憶方塊 BLKd 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKd 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 44 是依照本發明之一實施例之圖 2 之記憶方塊當

中的一記憶方塊 BLKe 的平面圖。圖 45 是沿著圖 44 之線 X X X X V-X X X X V'截取之透視圖。圖 46 是沿著圖 44 之線 X X X X V-X X X X V'截取之剖面圖。

參照圖 44 至圖 46，沿著第一方向延伸之第一上導電材料 CMU1 至第八上導電材料 CMU8 可配置於基底 111 上。第一上導電材料 CMU1 至第四上導電材料 CMU4 可依垂直於基底 111 的方向堆疊且依垂直於基底 111 的方向互相隔開。第五上導電材料 CMU5 至第八上導電材料 CMU8 可依垂直於基底 111 的方向堆疊且依垂直於基底 111 的方向互相隔開。一群第一上導電材料 CMU1 至第四上導電材料 CMU4 可與一群第五上導電材料 CMU5 至第八上導電材料 CMU8 沿著第二方向隔開。

沿著第一方向延伸之下導電材料 CMD1a、CMD1b、及 CMD2 至 CMD4 可配置於第一上導電材料 CMU1 至第四上導電材料 CMU4 與第五上導電材料 CMU5 至第八上導電材料 CMU8 之間。下導電材料 CMD2 至 CMD4 可依垂直於基底 111 的方向堆疊且依垂直於基底 111 的方向互相隔開。下導電材料 CMD1a 及 CMD1b 可配置於下導電材料 CMD2 上。下導電材料 CMD1a 及 CMD1b 可沿著第二方向隔開。

多個上柱狀物 PLU 可用以依垂直於基底 111 的方向穿過第一上導電材料 CMU1 至第四上導電材料 CMU4 或第五上導電材料 CMU5 至第八上導電材料 CMU8。上柱狀物 PLU 可接觸基底 111。在第一上導電材料 CMU1 中，上柱

狀物可沿著第一方向以線狀佈置且沿著第一方向隔開。在第八上導電材料 CMU8 中，上柱狀物可沿著第一方向以線狀佈置且沿著第一方向隔開。

每一個上柱狀物 PLU 可包括資訊儲存薄膜 116 及通道薄膜 114。資訊儲存薄膜 116 可藉由捕捉或釋放電荷來儲存資訊。資訊儲存薄膜 116 可包括穿隧絕緣薄膜、電荷捕捉薄膜及阻隔絕緣薄膜。

通道薄膜 114 可當作上柱狀物 PLU 的垂直本體。通道薄膜 114 可分別包括本質半導體。通道薄膜 114 可包括其導電類型(例如 p 型)如同基底 111 之半導體。

可形成多個下柱狀物 PLD。多個下柱狀物 PLD 能以垂直於基底 111 的方向穿過下導電材料 CMD2 至 CMD4 及下導電材料 CMD1a 或 CMD1b 以便接觸基底 111。在下導電材料 CMD1a 中，下柱狀物可沿著第一方向以線狀佈置且沿著第一方向隔開。在下導電材料 CMD1b 中，下柱狀物可沿著第一方向以線狀佈置且沿著第一方向隔開。

每一個下柱狀物 PLD 可包括資訊儲存薄膜 116 及通道薄膜 114。資訊儲存薄膜 116 可藉由捕捉或釋放電荷來儲存資訊。資訊儲存薄膜 116 可包括穿隧絕緣薄膜、電荷捕捉薄膜及阻隔絕緣薄膜。

通道薄膜 114 可當作下柱狀物 PLD 的垂直本體。通道薄膜 114 可分別包括本質半導體。通道薄膜 114 可包括其導電類型(例如 p 型)如同基底 111 之半導體。

多個管線觸點(pipeline contacts)PC 可配置於基底

111。管線觸點 PC 可依位元線方向延伸以便連接形成於第一上導電材料 CMU1 之上柱狀物 PLU 的下表面與形成於下導電材料 CMD1a 之下柱狀物 PLD 的下表面。管線觸點 PC 可依位元線方向延伸以便連接形成於第八上導電材料 CMU8 之上柱狀物 PLU 的下表面與形成於下導電材料 CMD1b 之下柱狀物 PLD 的下表面。

在這實施例中，每一個管線觸點 PC 可包括通道薄膜 114 及資訊儲存薄膜 116。管線觸點 PC 的通道薄膜 114 可互連上柱狀物 PLU 的通道薄膜 114 與下柱狀物 PLD 的通道薄膜。管線觸點 PC 的資訊儲存薄膜 116 可互連上柱狀物 PLU 的資訊儲存薄膜 116 與下柱狀物 PLD 的資訊儲存薄膜 116。

沿著第一方向延伸之共源極區域 CSR 可配置於下柱狀物 PLD 上。共源極區域 CSR 可沿著第一方向延伸以便與多個下柱狀物 PLD 連接。共源極區域 CSR 可形成共源極線 CSL。共源極區域 CSR 可包括金屬的材料。共源極區域 CSR 可具有不同於基底 111 之導電類型。

汲極 320 可配置於上柱狀物 PLU 上。汲極 320 可包括其導電類型(例如 n 型)不同於基底 111 之半導體材料。位元線 BL 可形成於汲極 320 上。位元線 BL 可沿著第一方向隔開。位元線 BL 可沿著第二方向延伸以便與汲極 320 連接。

在這實施例中，可經由接觸插塞連接位元線 BL 與汲極 320，並且可經由接觸插塞連接共源極區域 CSR 與下柱

狀物 PLD。

一個記憶胞串列可由下柱狀物及上柱狀物組成，其經由一管線觸點互相連接。

在一實施例中，如圖 39 至圖 41 所述，上柱狀物 PLU 及下柱狀物 PLD 可沿著第一方向以鋸齒狀佈置。

圖 44 之 EC 部分可對應於分別繪示於圖 7、圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa1 至 BLKa7 之一。

在記憶方塊 BLKe 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKe 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 47 是依照本發明之又另一實施例之圖 2 之記憶方塊當中的一記憶方塊 BLKf 的平面圖。圖 48 是沿著圖 47 之線 X X X X VIII-X X X X VIII' 截取之透視圖。圖 49 是沿著圖 47 之線 X X X X VIII-X X X X VIII' 截取之剖面圖。

參照圖 47 至圖 49，共源極區域 CSR 可形成於基底 111。例如，共源極區域 CSR 可由一摻雜區域組成。共源極區域 CSR 可構成共源極線 CSL。

第一導電材料 CM1 至第八導電材料 CM8 可形成於共源極區域 CSR 上。第一導電材料 CM1 至第八導電材料 CM8 可依垂直於基底 111 的方向堆疊且依垂直於基底 111 的方向隔開。在第一導電材料 CM1 至第八導電材料 CM8 當中，可藉由串列選擇線切口 SSL Cut 來分開構成串列選

擇電晶體 SST 之導電材料。串列選擇線切口 SSL Cut 可沿著第一方向延伸且沿著第二方向隔開。其餘的導電材料(非用於串列選擇電晶體)可形成於共源極區域 CSR 上以便具有沿著第一及第二方向延伸之平板狀。

例如，第一導線 CM1 至第七導線 CM7 可具有平板狀，並且可藉由串列選擇線切口 SSL Cut 來分開第八導電材料 CM8。第八導電材料 CM8 可沿著第一方向延伸且沿著第二方向隔開。

可提供多個柱狀物 PL 以便依垂直於基底 111 的方向穿過第一導電材料 CM1 至第八導電材料 CM8 而與基底 111 接觸。在第八導電材料 CM8 之一中，柱狀物 PL 可沿著第一方向以線狀配置。每一個柱狀物 PL 可包括資訊儲存薄膜 116、通道薄膜 114 及內部材料 115。

資訊儲存薄膜 116 可藉由捕捉或釋放電荷來儲存資訊。資訊儲存薄膜 116 可包括穿隧絕緣薄膜、電荷捕捉薄膜及阻隔絕緣薄膜。通道薄膜 114 可當作柱狀物 PL 的垂直本體。通道薄膜 114 可包括本質半導體。通道薄膜 114 可包括其導電類型(例如 p 型)如同基底 111 之半導體材料。內部材料 115 可包括絕緣材料或空氣缺口。

在一實施例中，如圖 34 及圖 35 所述，柱狀物 PL 可由上柱狀物及下柱狀物組成。如圖 39 至圖 41 所述，柱狀物 PL 可沿著第一方向以鋸齒狀佈置。

圖 50 是依照本發明之一實施例之圖 47 之 EC 部分的等效電路 BLKf1 的電路圖。參照圖 47 至圖 50，共源極區

域 CSR 可形成於柱狀物 PL 與基底 111 之間。

通道薄膜 114 可以是 p 型，並且共源極區域 CSR 可以是 n 型。在通道薄膜 114 當中對應於接地選擇電晶體 GST 之部分可以是 p 型，並且共源極區域 CSR 可以是 n 型。亦即，通道薄膜 114 及共源極區域 CSR 可形成 PN 接面。因此，二極體(diodes)D 可形成於柱狀物 PL 所形成的記憶胞串列 CS11、CS12、CS21 及 CS22 與共源極區域 CSR 所形成的共源極線之間。除了其中配置二極體 D 之外，圖 50 之等效電路 BLKf1 可等同於圖 7 所示之等效電路。

等效電路 BLKf1 的應用有如分別繪示於圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa2 至 BLKa7。

在記憶方塊 BLKf1 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKf1 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 51 是沿著圖 47 之線 X X X X VIII-X X X X VIII'截取之透視圖。圖 52 是沿著圖 47 之線 X X X X VIII-X X X X VIII'截取之剖面圖。

參照圖 47、圖 51 及圖 52，在第一導電材料 CM1 至第八導電材料 CM8 當中，構成接地選擇電晶體 GST 之導電材料可沿著第一方向延伸且沿著第二方向隔開。構成接地選擇電晶體 GST 之導電材料的結構可如同構成串列選擇電晶體 SST 之導電材料的結構。例如，第一導電材料

CM1 的結構可如同第八導電材料 CM8 的結構。

在一實施例中，如圖 34 及圖 35 所述，柱狀物 PL 可由上柱狀物及下柱狀物組成。如圖 39 至圖 41 所述，柱狀物 PL 可沿著第一方向以鋸齒狀佈置。

圖 53 是依照本發明之一實施例之圖 47 之 EC 部分的等效電路 BLKf2 的電路圖。

參照圖 47 及圖 50 至圖 53，二極體 D 可形成於記憶胞串列 CS11、CS12、CS21 及 CS22 與共源極線 CSL 之間。接地選擇電晶體 GST 可與多條接地選擇線 GSL1 及 GSL2 連接。例如，記憶胞串列 CS11 及 CS12 的接地選擇電晶體可與第一接地選擇線 GSL1 連接，並且記憶胞串列 CS21 及 CS22 的接地選擇電晶體可與第二接地選擇線 GSL2 連接。

等效電路 BLKf2 的應用可有如分別繪示於圖 26、圖 27、圖 28、圖 31、圖 32 及圖 33 之上述等效電路 BLKa2 至 BLKa7。

在記憶方塊 BLKf2 中，抹除操作能以如同參考圖 8 至圖 13、圖 20、圖 21、圖 23 及圖 24 所述之方法來抹除。在記憶方塊 BLKf2 中，能以如同圖 16 及圖 17 所述之方法來執行預讀操作。

圖 54 是依照本發明之一實施例之記憶體系統 1000 的方塊圖。在此，記憶體系統 1000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 54，記憶體系統 1000 可包括非揮發性記憶元件 1100 及控制器 1200。

依照本發明之一實施例，非揮發性記憶元件 1100 可實質等同於分別繪示於圖 1、圖 15、圖 18、圖 19 及圖 22 之非揮發性記憶元件 100 至 500 之一。亦即，非揮發性記憶元件 1100 可包括配置於基底 111 上的多個記憶胞串列 CS11、CS12、CS21 及 CS22，並且每一個記憶胞串列 CS11、CS12、CS21 及 CS22 可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。非揮發性記憶元件 1100 可根據上述抹除方法來執行抹除操作。非揮發性記憶元件 1100 可根據上述預讀方法來執行預讀操作。

控制器 1200 可與主機(或外部主機裝置)及非揮發性記憶元件 1100 連接。控制器 1200 可用以存取非揮發性記憶元件 1100，以響應於主機之要求。例如，控制器 1200 可用以控制非揮發性記憶元件 1100 的讀取、寫入、抹除、預讀、及背景操作。控制器 1200 可用以提供非揮發性記憶元件 1100 與主機之間的介面(interface)。控制器 1200 可用以驅動韌體(firmware)以便控制非揮發性記憶元件 1100。

控制器 1200 可用以提供控制訊號 CTRL、命令 CMD 及位址 ADDR 給非揮發性記憶元件 1100。非揮發性記憶元件可執行讀取、寫入、預讀及抹除操作，以響應於控制器 1200 所提供的控制訊號 CTRL、命令 CMD 及位址 ADDR。

控制器 1200 可包括內部記憶體 1210 及錯誤更正單元 1220。內部記憶體 1210 可以是控制器 1200 的工作記憶體。錯誤更正單元 1220 可編碼要寫入非揮發性記憶元件 1100

之資料。錯誤更正單元 1220 可藉由解碼從非揮發性記憶元件 1100 讀取的資料來更正錯誤。錯誤更正單元 1220 可利用低密度同位元檢查(Low Density Parity Check, LDPC)碼來更正錯誤。錯誤更正單元 1220 可利用 BCH(Bose Chaudhuri Hocquenghem)碼或 RS(Reed Solomon)碼來執行錯誤更正。非揮發性記憶元件 1100 的第一數值 V1 至第三數值 V3 可根據錯誤更正單元 1220 能夠更正的位元數目予以測定。

在一實施例中，控制器 1200 更可包括例如處理單元、主機介面及記憶體介面之構成元件。處理單元可控制控制器 1200 的整體操作。

主機介面可包括用以執行主機與控制器 1200 之間的資料交換之通訊協定(protocol)。主機介面可經由各種通訊協定當中至少一種與外部裝置(例如主機)通訊，例如通用序列匯流排(Universal Serial Bus, USB)通訊協定、多媒體卡(multimedia card, MMC)通訊協定、週邊元件互連(peripheral component interconnection, PCI)通訊協定、快速週邊元件互連(PCI-express, PCI-E)通訊協定、進階技術附加裝置(Advanced Technology Attachment, ATA)通訊協定、序列進階技術附加裝置(Serial-ATA)通訊協定、平行進階技術附加裝置(Parallel-ATA)通訊協定、小型電腦系統介面(SCSI)通訊協定、增強型小型磁碟介面(enhanced small disk interface, ESDI)通訊協定、及整合式磁碟機電子裝置(Integrated Drive Electronics, IDE)通訊協定。記憶體介面可

連繫非揮發性記憶元件 1100。記憶體介面可包括反及閘(NAND)介面或反或閘(NOR)介面。

記憶體系統 1000 可當作電腦、可攜式電腦、超級行動個人電腦(Ultra Mobile PC, UMPC)、工作站、小筆電、個人數位助理(PDA)、網路平板、無線電話、行動電話、智慧型手機、非接觸式智慧卡、電子書、可攜式多媒體播放機(portable multimedia player, PMP)、數位相機、數位錄/播音機、數位錄/放影機、可攜式遊戲機、導航系統、黑盒子、立體電視、能夠以無線方式傳送及接收資訊之裝置、構成家庭網路的各種電子裝置之一、構成電腦網路的各種電子裝置之一、構成車用資通訊網路的各種電子裝置之一、無線射頻識別系統(RFID)、或構成計算系統的各種電子裝置之一。

非揮發性記憶元件 1100 或記憶體系統 1000 可藉由各種封裝技術予以封裝，例如層疊封裝(Package on Package, PoP)、球柵陣列(Ball grid arrays, BGAs)、晶片尺寸封裝(Chip scale packages, CSPs)、塑膠引線晶片載體(Plastic Leaded Chip Carrier, PLCC)、塑膠雙列直插式封裝(Plastic Dual In-Line Package, PDI2P)、疊片包裝的晶粒(Die in Waffle Pack)、晶圓形式的晶粒(Die in Wafer Form)、晶片直接封裝(Chip On Board, COB)、陶瓷雙列直插式封裝(Ceramic Dual In-Line Package, CERDIP)、塑膠公制四方扁平封裝(Plastic Metric Quad Flat Pack, MQFP)、薄型四方扁平封裝(Thin Quad Flatpack, TQFP)、小型積體電路封裝

(Small Outline, SOIC)、超小型封裝(Shrink Small Outline Package, SSOP)、薄小型封裝(Thin Small Outline, TSOP)、薄型四方扁平封裝(Thin Quad Flatpack, TQFP)、系統級封裝(System In Package, SIP)、多晶片封裝(Multi Chip Package, MCP)、晶圓級封裝(Wafer-level Fabricated Package, WFP)、晶圓級堆疊封裝(Wafer-Level Processed Stack Package, WSP)等等。

圖 55 是依照本發明之一實施例之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 55，在步驟 S1110 中，控制器 1200 可傳送抹除命令到非揮發性記憶元件 1100。要抹除的區域的位址可連同抹除命令一起傳送。

在步驟 S1120 中，非揮發性記憶元件 1100 可根據本發明之一實施例之一抹除方法來執行抹除操作。例如，如參考圖 8 及圖 13B 所述，可藉由執行預讀操作及將一個或多個無效串列設定為「抹除成功」來執行非揮發性記憶元件 1100 的抹除操作。另一方面，如參考圖 20 及圖 23 所述，可藉由比較失敗串列的數目與參考數值來執行非揮發性記憶元件 1100 的抹除操作。

若抹除操作結束，則在步驟 S1130 中，非揮發性記憶元件 1100 可提供表示抹除操作已完成之響應給控制器 1200。

在步驟 S1140 中，控制器 1200 可傳送抹除命令到非揮發性記憶元件 1100。

在步驟 S1150 中，非揮發性記憶元件 1100 可根據圖

8、圖 13B 及圖 20 所述之抹除方法之一來執行抹除操作。抹除操作所產生的錯誤可在預讀操作所偵測的無效串列數目高於第一參考數值 V1 時及／或在失敗串列數目高於第二參考數值 V2 或第三參考數值 V3 的條件下結束抹除操作時予以測定。

如果在抹除操作時產生錯誤，則在步驟 S1160 中，非揮發性記憶元件 1100 可提供表示抹除錯誤之響應訊號給控制器 1200。

若接收到表示抹除錯誤之響應訊號，則控制器 1200 可執行錯誤處理操作。例如，控制器 1200 可將包含抹除錯誤的記憶方塊測定為壞區塊。

如上所述，雖然一個或多個無效串列存在於非揮發性記憶元件 1100 之中，但是控制器 1200 可控制非揮發性記憶元件 1100 以便正常操作。

圖 56 是依照本發明之一實施例之記憶體系統 1000 的操作方法的流程圖。在圖 54 及圖 56 中，在步驟 S1210 中，控制器 1200 可傳送命令到非揮發性記憶元件 1100。此命令可以是不同於讀取、寫入或抹除命令之命令。

在步驟 S1220 中，非揮發性記憶元件 1100 可根據本發明之一實施例之一預讀方法來執行預讀操作。藉由預讀操作，非揮發性記憶元件 1100 可偵測無效串列資訊。無效串列資訊可包括無效串列的數目、預讀結果、或無效串列的數目及預讀結果兩者。可根據步驟 S1210 所轉移的命令來測定一種無效串列資訊。

在步驟 S1230 中，非揮發性記憶元件 1100 可輸出無效串列資訊到控制器 1200。

在步驟 S1240 中，控制器 1200 可儲存所輸入之無效串列資訊於內部記憶體 1210。控制器 1200 可利用內部記憶體 1210 所儲存的無效串列資訊來控制非揮發性記憶元件 1100。

在一實施例中，無效串列資訊可暫時儲存於內部記憶體 1210。無效串列資訊可利用對應表(mapping table)儲存於內部記憶體 1210，對應表用以從主機所提供的邏輯位址對應到非揮發性記憶元件 1100 的實體位址。

圖 57 是圖 54 之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 57，在步驟 S1310 中，控制器 1200 可傳送抹除命令及無效串列資訊到非揮發性記憶元件 1100。可同時傳送表示要抹除的區域之位址。

在步驟 S1320 中，可測定一個或多個無效串列為抹除成功，並且可抹除記憶胞。例如，非揮發性記憶元件 1100 可測定無效串列為「抹除成功」，如參考圖 8 之步驟 S115 所述，並且可抹除記憶胞。在一實施例中，可在從圖 8 之抹除方法移除步驟 S113 及 S114 的預讀操作之條件下執行步驟 S1320。

若抹除操作完成，則非揮發性記憶元件 1100 可提供表示抹除完成之響應訊號給控制器 1200。

在步驟 S1340 中，控制器 1200 可提供抹除命令及無效串列資訊給非揮發性記憶元件 1100。可同時傳送表示要

抹除的區域之位址。

在步驟 S1350 中，非揮發性記憶元件 1100 可測定無效串列為抹除成功，並且可抹除記憶胞。

若在抹除操作時產生錯誤，則在步驟 S1360 中可傳送表示抹除錯誤之響應到控制器 1200。

若接收到表示抹除錯誤之響應訊號，則在步驟 S1370 中控制器 1200 可提供命令給非揮發性記憶元件 1100。可同時傳送表示產生抹除錯誤之區域之位址。

在步驟 S1380 中，非揮發性記憶元件 110 可執行預讀操作以響應於輸入命令。非揮發性記憶元件 1100 可經由預讀操作偵測無效串列資訊。

在步驟 S1390 中，非揮發性記憶元件 1100 可傳送無效串列資訊到控制器 1200。

在步驟 S1395 中，控制器 1200 可利用所輸入之無效串列資訊來更新內部記憶體所儲存的資料或執行錯誤處理。

在一實施例中，可能因記憶胞變差而額外產生無效串列。在此情況下，可能在抹除操作時產生錯誤。若經由在產生抹除錯誤時執行的預讀操作來更新無效串列資訊，則不論是否額外產生無效串列非揮發性記憶元件 1100 仍可正常操作。

在一實施例中，如果無效串列的數目超過可更正的錯誤位元數目或因無效串列以外的原因而產生抹除錯誤，則控制器 1200 可執行錯誤處理。例如，控制器 1200 可將錯

誤記憶方塊測定為壞區塊。

圖 58 是圖 54 之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 58，在步驟 S1410 中控制器 1200 可傳送讀取命令到非揮發性記憶元件 1100。可同時傳送要讀取的區域的位址。

在步驟 S1420 中，非揮發性記憶元件 1100 可傳送讀取資料到控制器 1200。

在步驟 S1430 中，控制器 1200 可利用無效串列資訊來更正讀取資料的錯誤。例如，控制器 1200 可利用無效串列資訊來偵測讀取資料當中對應於無效串列之資料的位置。對應於無效串列之資料可以是可能錯誤的資料。藉由取得可能錯誤的資料的位置，能夠改善控制器 1200 的錯誤更正單元 1220 的錯誤更正效率或錯誤更正能力。尤其，如果錯誤更正單元 1220 使用低密度同位元檢查(LDPC)，錯誤更正效率或錯誤更正能力可變得更好。

圖 59 是圖 54 之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 59，在步驟 S1510 中控制器 1200 可利用寫入資料及無效串列資訊來產生碼字。在一實施例中，對應於無效串列之資料可能在讀取操作時造成錯誤。控制器 1200 可產生碼字使得在讀取資料時錯誤更正變得更容易。控制器 1200 可將與無效串列相對應的資料對應到與高臨界電壓相對應的資料。

在步驟 S1520 中，控制器 1200 可利用寫入命令傳送碼字到非揮發性記憶元件 1100。

在步驟 S1530 中，非揮發性記憶元件 1530 可寫入所輸入之碼字。

在步驟 S1540 中，非揮發性記憶元件 1100 可提供表示寫入完成之響應給控制器 1200。

若根據無效串列的位置來產生碼字，則在讀取碼字時錯誤更正效率或錯誤更正能力可變得更好。

圖 60 是圖 54 之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 60，在步驟 S1610 中控制器 1200 可傳送命令到非揮發性記憶元件 1100。可同時傳送表示特定區域之位址。當要求無效串列資訊時，控制器 1200 可傳送命令。

在步驟 S1620 中，非揮發性記憶元件 1100 可執行預讀操作。可經由預讀操作來偵測無效串列資訊。

在步驟 S1630 中，非揮發性記憶元件 1100 可提供無效串列資訊給控制器 1200。

在步驟 S1640 中，控制器 1200 可將所輸入之無效串列資訊寫入非揮發性記憶元件 1100。例如，非揮發性記憶元件 1100 的記憶方塊 BLK1 至 BLKz(參照圖 2)可區分成資料區及緩衝區。使用者資料可儲存於資料區。緩衝區可用以儲存與資料區有關的資訊或與寫入資料區的資料有關的資訊。控制器 1200 可控制非揮發性記憶元件 1100 以便儲存無效串列資訊於非揮發性記憶元件 1100 的緩衝區。

控制器 1200 可利用無效串列資訊來執行額外操作。例如，控制器 1200 可利用無效串列資訊來執行讀取、寫入

或抹除。

然後，可刪除控制器 1200 的內部記憶體 1210 所儲存的無效串列資訊。當不要求無效串列資訊時，控制器 1200 可刪除無效串列資訊。

在步驟 S1650 中，控制器 1200 可傳送命令到非揮發性記憶元件 1100。例如，控制器 1200 可在要求特定區域的無效串列資訊時傳送命令。控制器 1200 可傳送要求特定區域的無效串列資訊以便對特定區域執行讀取、寫入或抹除之命令。

在步驟 S1660 中，非揮發性記憶元件 1100 可輸出緩衝區所儲存的無效串列資訊。控制器 1200 可利用無效串列資訊來執行例如讀取、寫入、抹除等等操作。

在步驟 S1670 中，如參考圖 57 之步驟 S1340 至 S1360 所述，可能產生抹除錯誤。

若產生抹除錯誤，則在步驟 S1680 中可更新無效串列資訊，如參考圖 57 之步驟 S1370 至 S1395 所述。

若更新無效串列資訊，則控制器 1200 可將所更新之無效串列資訊寫入非揮發性記憶元件 1100 的緩衝區。

圖 61 是圖 54 之記憶體系統 1000 的操作方法的流程圖。參照圖 54 及圖 61，在步驟 S1710 中控制器 1200 可傳送命令到非揮發性記憶元件 1100。可同時傳送表示特定區域之位址。當要求無效串列資訊時，控制器 1200 可傳送命令。

在步驟 S1720 中，非揮發性記憶元件 1100 可傳送先

前所儲存的無效串列資訊到控制器 1200。在一實施例中，無效串列資訊可偵測到處於非揮發性記憶元件 1100 的測試準位且可儲存於非揮發性記憶元件。無效串列資訊可儲存於非揮發性記憶元件 1100 的記憶方塊 BLK1 至 BLKz 的緩衝區。

控制器 1200 可利用無效串列資訊來執行額外操作。例如，控制器 1200 可利用無效串列資訊來執行讀取、寫入或抹除。

然後，可刪除控制器 1200 的內部記憶體 1210 所儲存的無效串列資訊。當不要求無效串列資訊時，控制器 1200 可刪除無效串列資訊。

在步驟 S1730 至 S1770 中，若產生抹除錯誤，則可更新無效串列資訊，並且可將所更新之無效串列資訊寫入非揮發性記憶元件 1100。能以如同圖 60 之步驟 S1650 至 S1690 之方式來執行步驟 S1770。

上述實施例的說明是基於下列條件：非揮發性記憶元件所產生的無效串列資訊將輸出到控制器且控制器所轉移的無效串列資訊將寫入非揮發性記憶元件。然而，可在控制器的控制下將非揮發性記憶元件所產生的無效串列資訊直接寫入非揮發性記憶元件。

圖 62 是依照本發明之一實施例之記憶體系統 2000 的方塊圖。在此，記憶體系統 2000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 62，記憶體系統 2000 可包括非揮發性記憶元件 2100 及控制器 2200。非揮發性

記憶元件 2100 可包括形成多群之多個非揮發性記憶晶片。每一群非揮發性記憶晶片可用以經由一個共同通道與控制器 2200 通訊。在一實施例中，多個非揮發性記憶晶片可經由多個通道 CH1 至 CHk 與控制器 2200 通訊。

每一個非揮發性記憶晶片可實質等同於根據本發明的實施例之非揮發性記憶元件 100 至 500 之一。亦即，非揮發性記憶元件 2100 可包括配置於其基底 111 上之多個記憶胞串列 CS11、CS12、CS21 及 CS22，並且每一個記憶胞串列 CS11、CS12、CS21 及 CS22 可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。非揮發性記憶元件 2100 可根據上述抹除方法來執行抹除操作。非揮發性記憶元件 2100 可根據上述預讀方法來執行預讀操作。

如參考圖 54 至圖 61 所述，控制器 2200 可執行各種操作以響應於非揮發性記憶元件 2100 之無效串列資訊。

在圖 62 中，舉例說明一個通道與多個非揮發性記憶晶片連接。然而，可修改記憶體系統 2000 使得一個通道與一個非揮發性記憶晶片連接。

圖 63 是依照本發明之一實施例之的示意圖。在此，記憶卡 3000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 63，記憶卡 3000 可包括非揮發性記憶元件 3100、控制器 3200 及連接器(connector)3300。

依照本發明之一實施例，非揮發性記憶元件 3100 可實質等同於分別繪示於圖 1、圖 15、圖 18、圖 19 及圖 22 之非揮發性記憶元件 100 至 500 之一。亦即，非揮發性記

憶元件 3100 可包括配置於其基底 111 上之多個記憶胞串列 CS11、CS12、CS21 及 CS22，並且每一個記憶胞串列 CS11、CS12、CS21 及 CS22 可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。非揮發性記憶元件 3100 可根據上述抹除方法來執行抹除操作。非揮發性記憶元件 3100 可根據上述預讀方法來執行預讀操作。

如參考圖 54 至圖 61 所述，控制器 3200 可利用非揮發性記憶元件 3100 所提供的無效串列資訊來執行各種操作。

連接器 3300 可電性連接記憶卡 3000 到主機以便傳送或接收對應於資料、命令、功率等等之訊號。

記憶卡 3000 可由各種記憶卡組成，例如個人電腦卡(PC card, PCMCIA)、快閃記憶卡(CF card)、智慧型媒體卡(SM card, SMC)、隨身碟(memory stick)、多媒體卡(MMC, RS-MMC, MMCmicro)、數位安全卡(SD, miniSD, microSD, SDHC)、通用快閃記憶體儲存(UFS)裝置等等。

圖 64 是依照本發明之一實施例之固態硬碟 4000 的示意圖。在此，固態硬碟 (SSD)4000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 64，固態硬碟 4000 可包括多個非揮發性記憶元件 4100、控制器 4200 及連接器 4300。

依照本發明之一實施例，每一個非揮發性記憶元件 4100 可實質等同於分別繪示於圖 1、圖 15、圖 18、圖 19 及圖 22 之非揮發性記憶元件 100 至 500 之一。亦即，每一

個非揮發性記憶元件 4100 可包括配置於基底 111 上之多個記憶胞串列 CS11、CS12、CS21 及 CS22，並且每一個記憶胞串列 CS11、CS12、CS21 及 CS22 可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。每一個非揮發性記憶元件 4100 可根據上述抹除方法來執行抹除操作。每一個非揮發性記憶元件 4100 可根據上述預讀方法來執行預讀操作。

如參考圖 54 至圖 61 所述，控制器 4200 可利用非揮發性記憶元件 4100 所提供的無效串列資訊來執行各種操作。

連接器 4300 可電性連接固態硬碟 4000 到主機以便傳送或接收對應於資料、命令、功率等等之訊號。

圖 65 是依照本發明之一實施例之計算系統 5000 的方塊圖。在此，計算系統 5000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 65，計算系統 5000 可包括中央處理器(central processing unit)5100、隨機存取記憶體(RAM)5200、使用者介面(user interface)5300、數據機(modem)5400 及記憶體系統 5600。

記憶體系統 5600 可經由系統匯流排(system bus)5500 電性連接到元件 5100 至 5400。經由使用者介面 5300 提供的資料或藉由中央處理器 5100 處理的資料可儲存於記憶體系統 5600。

記憶體系統 5600 可包括非揮發性記憶元件 5610 及控制器 5620。依照本發明之一實施例，記憶體系統 5600 可

由記憶體系統 1000 及 2000、記憶卡 3000、及固態硬碟 4000 之一組成。

圖 66 是依照本發明之一實施例之測試系統 6000 的方塊圖。在此，測試系統 6000 繪示成具有至少一個非揮發性記憶元件之電子裝置。參照圖 66，測試系統 6000 可包括非揮發性記憶元件 6100 及測試裝置 6200。

依照本發明之一實施例，非揮發性記憶元件 6100 可實質等同於分別繪示於圖 1、圖 15、圖 18、圖 19 及圖 22 之非揮發性記憶元件 100 至 500 之一。亦即，非揮發性記憶元件 6100 可包括配置於其基底 111 上之多個記憶胞串列 CS11、CS12、CS21 及 CS22，並且每一個記憶胞串列 CS11、CS12、CS21 及 CS22 可包括依垂直於基底 111 的方向堆疊之多個記憶胞電晶體 CT。非揮發性記憶元件 6100 可根據上述抹除方法來執行抹除操作。非揮發性記憶元件 6100 可根據上述預讀方法來執行預讀操作。

圖 67 是依照本發明之一實施例之測試系統 6000 的流程圖。參照圖 66 及圖 67，在步驟 S6100 中測試裝置 6200 可傳送命令到非揮發性記憶元件 6100。

在步驟 S6210 中，非揮發性記憶元件 6100 可執行預讀操作以響應於命令。可經由預讀操作來偵測無效串列資訊。

在步驟 S6130 中，非揮發性記憶元件 6100 可輸出無效串列資訊到測試裝置 6200。

在步驟 S6140 中，測試裝置 6200 可執行修理操作。

例如，測試裝置 6200 可根據無效串列資訊或其他測試資料來執行修理操作。例如，當特定記憶方塊之無效串列的數目高於預定參考數值時，測試裝置 6200 可修理特定記憶方塊。此修理可包括控制非揮發性記憶元件 6100 的保險絲(雷射保險絲或電性保險絲)，此控制藉由測試裝置 6200 予以執行。

在步驟 S6150 中，測試裝置 6200 可將無效串列資訊寫入非揮發性記憶元件 6100。例如，測試裝置 6200 可將無效串列資訊寫入非揮發性記憶元件 6100 的記憶方塊 BLK1 至 BLKz (參照圖 2) 的緩衝記憶方塊。

寫入非揮發性記憶元件 6100 之資料可用以控制非揮發性記憶元件 6100。

當作電子裝置之上述記憶體系統或裝置可具有用以執行此系統或裝置的功能之功能單元。功能單元可以是視訊影像單元(video image unit)，用以處理對應於要顯示的影像之資料；音訊單元(audio unit)，用以處理對應於聲音之資料；訊號處理單元(signal processing unit)，用以處理要傳送或儲存的資料等等。

本發明也可實施為電腦可讀取媒體上的電腦可讀取程式碼。電腦可讀取媒體可包括電腦可讀取記錄媒體及電腦可讀取傳輸媒體。電腦可讀取記錄媒體是可儲存資料作為日後電腦系統可讀取的程式之任何資料儲存裝置。電腦可讀取記錄媒體的例子包括唯讀記憶體(ROM)、隨機存取記憶體(RAM)、唯讀記憶光碟(CD-ROMs)、磁帶、軟碟、

及光學資料儲存裝置。電腦可讀取記錄媒體也可在與網路耦合的電腦系統上散佈，使電腦可讀取程式碼能以分散方式儲存及執行。電腦可讀取傳輸媒體可傳送載波(carrier waves)或訊號(例如經由網際網路的有線或無線資料傳輸)。並且，熟習本發明所屬技術領域之程式設計師可輕易理解用以實現本發明之功能性程式、程式碼、及程式片碼。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是依照本發明之一實施例之一種非揮發性記憶元件的方塊圖。

圖 2 是依照本發明之一實施例之圖 1 之非揮發性記憶元件的記憶胞陣列的示意圖。

圖 3 是依照本發明之一實施例之圖 1 之非揮發性記憶元件的記憶方塊之一的平面圖。

圖 4 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之透視圖。

圖 5 是依照本發明之一實施例之沿著圖 4 之線 IV-IV' 截取之剖面圖。

圖 6 是圖 5 之記憶胞電晶體之一的示意圖。

圖 7 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 8 是依照本發明之一實施例之一種抹除方法的流程圖。

圖 9 是一種可使用於圖 8 之抹除方法之偏壓條件的示意圖。

圖 10 是基底、通道薄膜、及字元線的電壓變化的時序圖。

圖 11 是圖 8 之步驟 S113 及 S114 之記憶胞陣列的電壓變化的時序圖。

圖 12 是圖 8 之步驟 S115 及 S116 之記憶胞陣列的電壓變化的時序圖。

圖 13A 是圖 8 之抹除方法所進行的無效串列處理步驟的流程圖。

圖 13B 是依照本發明之一實施例之一種抹除方法的流程圖。

圖 14 是依照本發明之一實施例之圖 1 之頁緩衝器單元的方塊圖。

圖 15 是依照本發明之一實施例之一種非揮發性記憶元件的方塊圖。

圖 16 是依照本發明之一實施例之一種預讀方法的流程圖。

圖 17 是依照本發明之一實施例之一種預讀方法的流程圖。

圖 18 是依照本發明之一實施例之一種非揮發性記憶元件的方塊圖。

圖 19 是依照本發明之一實施例之一種非揮發性記憶元件的方塊圖。

圖 20 是依照本發明之一實施例之一種抹除方法的流程圖。

圖 21 是一種可使用於圖 20 之抹除方法之電壓條件的示意圖。

圖 22 是依照本發明之一實施例之一種非揮發性記憶元件的方塊圖。

圖 23 是依照本發明之一實施例之一種抹除方法的流程圖。

圖 24 是一種產生加總訊號及進位訊號的方法的流程圖。

圖 25 是依照本發明之一實施例之一種漣波進位計算器的方塊圖。

圖 26 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 27 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 28 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 29 是根據參考圖 8 至圖 13 所說明之方法在抹除記憶胞時供應給記憶方塊的電壓的示意圖。

圖 30 是根據參考圖 20 及圖 21 所說明之方法在抹除記憶胞時供應給記憶方塊的電壓的示意圖。

圖 31 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 32 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 33 是依照本發明之一實施例之圖 3 之 EC 部分的等效電路的電路圖。

圖 34 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之透視圖。

圖 35 是依照本發明之一實施例之沿著圖 3 之線 IV-IV' 截取之剖面圖。

圖 36 是依照本發明之一實施例之圖 2 之記憶方塊之一的平面圖。

圖 37 是沿著圖 36 之線 XXXVII-XXXVII' 截取之透視圖。

圖 38 是沿著圖 36 之線 XXXVII-XXXVII' 截取之剖面圖。

圖 39 是依照本發明之一實施例之圖 2 之記憶方塊之一的平面圖。

圖 40 是沿著圖 39 之線 XXXX-XXXX' 截取之透視圖。

圖 41 是沿著圖 39 之線 XXXX-XXXX' 截取之剖面圖。

圖 42 是依照本發明之一實施例之圖 2 之記憶方塊之一的平面圖

圖 43 是沿著圖 42 之線 XXXXIII-XXXXIII'截取之透視圖。

圖 44 是依照本發明之一實施例之圖 2 之記憶方塊之一的平面圖。

圖 45 是沿著圖 44 之線 XXXXV-XXXXV'截取之透視圖。

圖 46 是沿著圖 44 之線 XXXXV-XXXXV'截取之剖面圖

圖 47 是依照本發明之一實施例之圖 2 之記憶方塊之一的平面圖。

圖 48 是沿著圖 47 之線 XXXXVIII-XXXXVIII'截取之透視圖。

圖 49 是沿著圖 47 之線 XXXXVIII-XXXXVIII'截取之剖面圖。

圖 50 是依照本發明之一實施例之圖 47 之 EC 部分的等效電路的電路圖。

圖 51 是沿著圖 47 之線 XXXXVIII-XXXXVIII'截取之透視圖。

圖 52 是沿著圖 47 之線 XXXXVIII-XXXXVIII'截取之剖面圖。

圖 53 是依照本發明之一實施例之圖 47 之 EC 部分的等效電路的電路圖。

圖 54 是依照本發明之一實施例之一種記憶體系統的方塊圖。

圖 55 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 56 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 57 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 58 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 59 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 60 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 61 是依照本發明之一實施例之一種記憶體系統的操作方法的流程圖。

圖 62 是依照本發明之一實施例之一種記憶體系統的方塊圖。

圖 63 是依照本發明之一實施例之一種記憶卡(memory card)的示意圖，此記憶卡是一種具有非揮發性記憶元件及記憶體系統之一之電子裝置。

圖 64 是依照本發明之一實施例之一種固態硬碟(solid state drive)的示意圖，此固態硬碟是一種具有非揮發性記憶元件及記憶體系統之一之電子裝置。

圖 65 是依照本發明之一實施例之一種計算系統(computing system)的方塊圖，此計算系統是一種具有非揮

發性記憶元件及記憶體系統之一之電子裝置。

圖 66 是依照本發明之一實施例之一種測試系統的方塊圖，此測試系統是一種具有非揮發性記憶元件及記憶體系統之一之電子裝置。

圖 67 是依照本發明之一實施例之一種測試系統的測試方法的流程圖。

【主要元件符號說明】

100、200、300、400、500、1100、2100、3100、4100、5610、6100：非揮發性記憶元件

110、210、310、410、510：記憶胞陣列

111：基底

112、112a、IM：絕緣材料

114：通道薄膜

114a：下通道薄膜

114b：上通道薄膜

115：內部材料

115a：下內部材料

115b：上內部材料

116：資訊儲存薄膜

117、118、119：子絕緣薄膜

120、220、320、420、520：位址解碼單元

130、230、330、430、530：頁緩衝器單元

140、240、340、440、540：資料輸入/輸出單元

150、250、350、450、550：計數單元

160、260、360、460、560：成功/失敗檢查單元

170、270、370、470、570：控制邏輯

531：漣波進位計算器

1000、2000、5600：記憶體系統

1200、2200、3200、4200、5620：控制器

1210、2210：內部記憶體

1220、2220：錯誤更正單元

3000：記憶卡

3300、4300：連接器

4000：固態硬碟

5000：計算系統

5100：中央處理器

5200：隨機存取記憶體

5300：使用者介面

5400：數據機

5500：系統匯流排

6000：測試系統

6200：測試裝置

ADDR：位址

BL、BL1、BL2：位元線

BLK1、BLK2、BLKz、BLKa、BLKa1、BLKa2、BLKa3、
BLKa4、BLKa5、BLKa6、BLKa7、BLKb、BLKc、BLKd、
BLKe、BLKf、BLKf1、BLKf2、BLKz：記憶方塊

C1、C2、Ck：計算器

CARRY、CARRY1、CARRY2：進位訊號

CH1、CH2、CHk：通道

CM1、CM2、CM3、CM4、CM5、CM6、CM7、CM8：

導電材料

CMD：命令

CMD1a、CMD1b、CMD2、CMD3、CMD4：下導電

材料

CMU1、CMU2、CMU3、CMU4、CMU5、CMU6、
CMU7、CMU8：上導電材料

CS11、CS12、CS21、CS22：記憶胞串列

CSL：共源極線

CSR：共源極區域

CT：記憶胞電晶體

CTRL：控制訊號

CV：計數值

D：二極體

DATA：資料訊號

DCA：已解碼行位址

DL：資料線

DMC1、DMC2：虛擬記憶胞

DWL、DWL1、DWL2：虛擬字元線

EC：記憶方塊的等效電路部分

FAIL：失敗訊號

GSL、GSL1、GSL2：接地選擇線

GST、GSTa、GSTb：接地選擇電晶體

HA1、HA2、HAm：多級結構

LTR：橫向電晶體

MC1、MC2、MC3、MC4、MC5、MC6：記憶胞

PASS：成功訊號

PB1、PB2、PBn：頁緩衝器

PBS1、PBS2、PBS3、PBS4、PBSm-1、PBSm：頁緩

衝器訊號線

PC：管線觸點

PF1、PF2、PFn：轉移訊號線

PL：柱狀物

PLa、PLD：下柱狀物

PLb、PLU：上柱狀物

PRS：預讀訊號

REG1、REG2、REG3：暫存器

RR：讀取結果

S111、S112、S113、S113a、S113b、S113c、S113d、
S113e、S114、S114a、S114b、S114c、S114d、S114e、S114f、
S114g、S115、S116、S117、S118、S119、S121、S122、
S123、S124、S211、S212、S213、S214、S221、S222、S223、
S224、S225、S226、S227、S411、S412、S413、S414、S415、
S416、S417、S418、S511、S512、S513、S514、S515、S516、
S517、S518、S519、S521、S522、S523、S524、S525、S526、
S527、S1110、S1120、S1130、S1140、S1150、S1160、S1170、

S1210、S1220、S1230、S1240、S1310、S1320、S1330、
S1340、S1350、S1360、S1370、S1380、S1390、S1395、
S1410、S1420、S1430、S1510、S1520、S1530、S1540、
S1610、S1620、S1630、S1640、S1650、S1660、S1670、
S1680、S1690、S1710、S1720、S1730、S1740、S1750、
S1760、S1770、S6110、S6120、S6130、S6140、S6150：
步驟

SP：半導體墊

SSL、SSL1、SSL1a、SSL1b、SSL2、SSL2a、SSL2b：

串列選擇線

SSL Cut：串列選擇線切口

SST、SSTa、SSTb：串列選擇電晶體

SUM、SUM1、SUM2：加總訊號

T1、T2：時間

VBL1、VBL2、VBL3、VBL4：位元線電壓

VCSL1、VCSL2、VCSL3：共源極線電壓

VDWL1、VDWL2、VDWL3、VDWL4、VDWL5：虛

擬字元線電壓

Vers1、Vers2：抹除電壓

VFY1、VFY2：確認電壓

VGSL1、VGSL2、VGSL3、VGSL4、VGSL5：接地選

擇線電壓

VH1、VH2：高電壓

Vref：參考電壓

105-09-26

VSSL1、VSSL2、VSSL3、VSSL4、VSSL5、VSSL6、
VSSL7、VSSL8：串列選擇線電壓

VSUB1、VSUB2、VSUB3：基底電壓

Vwe1、Vwe2：字元線抹除電壓

VWL1、VWL2、VWL3：字元線電壓

WL、WL1、WL2、WL3、WL4、WL5、WL6：字元
線

WL Cut：字元線切口

七、申請專利範圍：

1.一種非揮發性記憶元件的抹除方法，所述抹除方法包括：

供應抹除電壓給多個記憶胞，其中所述多個記憶胞包括至少一個虛擬記憶胞及一個或多個正常記憶胞；

對所述多個記憶胞的字元線以讀取電壓執行讀取操作；以及

對所述多個記憶胞的至少一條所述字元線以抹除確認電壓執行抹除確認操作，所述抹除確認電壓低於所述讀取電壓，在所述讀取操作及所述抹除確認操作中，供應給所述至少一個虛擬記憶胞之電壓不同於供應給所述正常記憶胞之操作電壓。

2.如申請專利範圍第 1 項所述之非揮發性記憶元件的抹除方法，其中所述讀取電壓包括要分別施加至所述字元線之一個或多個準位的電壓。

3.如申請專利範圍第 1 項所述之非揮發性記憶元件的抹除方法，其中所述讀取電壓包括要施加至所述字元線之單一準位的電壓。

4.如申請專利範圍第 1 項所述之非揮發性記憶元件的抹除方法，其中：

所述抹除確認電壓可因所述多個記憶胞的所述字元線的相對應字元線而變化；以及

所述可變化的抹除確認電壓低於所述讀取電壓。

5.如申請專利範圍第 1 項所述之非揮發性記憶元件的

抹除方法，其中所述讀取電壓高於所述多個記憶胞的程式狀態的臨界電壓。

6.一種非揮發性記憶元件的抹除方法，所述抹除方法包括：

供應抹除電壓給多個串列，每一個串列具有多個記憶胞；

對所述多個記憶胞的字元線以讀取電壓執行讀取操作；

根據所執行的讀取操作測定一個或多個串列作為無效串列；

進行抹除確認但忽略所述無效串列；以及

對所述多個串列的字元線以抹除確認電壓執行抹除確認操作。

7.如申請專利範圍第 6 項所述之非揮發性記憶元件的抹除方法，更包括：

根據所執行的抹除確認操作供應修改過的抹除電壓給所述多個串列。

8.如申請專利範圍第 7 項所述之非揮發性記憶元件的抹除方法，其中：

根據所述讀取操作將所述多個記憶胞測定為無效串列與非無效串列；以及

所述抹除確認操作包括避免對所述無效串列執行位元線預先充電操作。

9.如申請專利範圍第 6 項所述之非揮發性記憶元件的

105-09-26

抹除方法，更包括：

供應不同的電壓給所述無效串列及所述非無效串列的位元線作為預先充電電壓；以及

在所述抹除確認操作中分別供應所述抹除確認電壓給所述多個記憶胞的所述字元線。

10.如申請專利範圍第 6 項所述之非揮發性記憶元件的抹除方法，其中：

所述多個記憶胞包括至少一個虛擬記憶胞及一個或多個正常記憶胞；以及

在所述讀取操作及所述抹除確認操作中，供應給所述至少一個虛擬記憶胞之電壓不同於供應給所述正常記憶胞之操作電壓。

11.一種非揮發性記憶元件，包括：

記憶胞陣列，具有基底及多個方塊，每一個方塊具有多個串列，每一個串列具有多個記憶胞，所述多個串列以垂直於所述基底的方向形成於所述基底上，所述多個串列之所述多個記憶胞之每一個具有不同的尺寸，相鄰的所述串列藉由缺口互相隔開；

控制單元，對所述多個串列的字元線以一電壓執行讀取操作；以及

頁緩衝器單元，用以儲存資訊於藉由所述讀取操作在所述多個串列當中測定之一個或多個無效串列，

其中所述控制單元對所述多個記憶胞的至少一條所述字元線以抹除確認電壓執行抹除確認操作，所述抹除

確認電壓低於所述讀取電壓。

12.如申請專利範圍第 11 項所述之非揮發性記憶元件，其中：

所述控制單元根據所述讀取操作在所述串列當中測定第一無效串列，且根據所述抹除確認操作在所述串列當中測定第二無效串列；以及

所述控制單元對第一及第二所述無效串列以修改過的抹除電壓執行抹除操作。

13.如申請專利範圍第 11 項所述之非揮發性記憶元件，其中所述控制單元在對包含所述無效串列及所述非無效串列之所述串列以第一抹除電壓執行抹除操作之後將對非無效串列執行所述抹除確認操作。

14.如申請專利範圍第 13 項所述之非揮發性記憶元件，其中所述控制單元根據所述抹除確認操作對所述無效串列以修改過的抹除電壓執行另一個抹除操作。

15.如申請專利範圍第 11 項所述之非揮發性記憶元件，其中當所選取的串列被測定為表示抹除失敗的串列之無效串列時，所述控制單元將根據所執行的抹除確認對所選取的串列執行另一個抹除操作。

16.一種記憶體系統的操作方法，所述方法包括：

從控制器產生命令對非揮發性記憶元件執行抹除操作，所述非揮發性記憶元件包括具有基底及多個串列之記憶胞陣列，每一個串列具有多個記憶胞，所述多個串列以垂直於所述基底之方向形成於所述基底上；以及

105-09-26

根據所產生的命令在所述非揮發性記憶元件中執行所述抹除操作，所述抹除操作包括：

對所述多個串列執行抹除操作；

對所述多個記憶胞的字元線以讀取電壓執行讀取操作；

根據所執行的讀取操作將一個或多個串列測定為無效串列；

進行抹除確認但忽略所述無效串列；以及

對所述多個串列的所述字元線以抹除確認電壓執行抹除確認操作，所述抹除確認電壓低於所述讀取電壓。

17.如申請專利範圍第 16 項所述之記憶體系統的操作方法，其中進行所述抹除確認操作包括避免對第一測定的所述無效串列執行所述抹除確認操作。

18.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

對所述第一測定及所述第二測定的無效串列以第二抹除電壓執行第二抹除操作。

19.如申請專利範圍第 16 項所述之記憶體系統的操作方法，其中不在所述抹除操作與所述抹除確認操作之間執行所述讀取操作。

20.如申請專利範圍第 16 項所述之記憶體系統的操作方法，其中不對所測定的無效串列執行所述抹除確認操作。

21.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

將所述抹除操作之第一響應訊號從所述非揮發性記憶元件傳送到所述控制器；

從所述控制器產生第二命令以便控制所述非揮發性記憶元件執行第二抹除操作；以及

從所述非揮發性記憶元件傳送所述第二抹除操作之第二響應訊號，使所述控制器根據所述第一響應訊號及所述第二響應訊號來執行錯誤處理以測定壞區塊。

22.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

在完成所述抹除操作後立即傳送有關所述無效串列之資訊到所述控制器，使所述控制器利用所傳送的資訊更新先前的資訊。

23.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

傳送有關所述無效串列之資訊到所述控制器；

傳送讀取命令到所述非揮發性記憶元件以便執行從所述串列讀取資料之第二讀取操作；以及

根據所述讀取資料及所述無效串列資訊來更正錯誤。

24.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

對所述非揮發性記憶元件產生命令以便執行預讀操作；以及

根據所述預讀操作從所述非揮發性記憶元件接收有關第二無效串列之資訊，且控制所述非揮發性記憶元件以

儲存有關所述第二無效串列之所述資訊於所述非揮發性記憶元件的緩衝區。

25.如申請專利範圍第 24 項所述之記憶體系統的操作方法，更包括：

對所述非揮發性記憶元件產生第二命令以便輸出所儲存的所述無效串列資訊到所述控制器；

根據所述抹除操作來接收所述無效串列的第二資訊；以及

根據所述第二無效串列資訊及所述無效串列資訊來更新資訊。

26.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

選擇已連接預定數目的所述串列之串列選擇線，以便對所選取的串列選擇線之預定數目的所述串列執行所述讀取操作直到所選取的串列選擇線被測定為所述串列的最後串列選擇線為止。

27.如申請專利範圍第 16 項所述之記憶體系統的操作方法，其中：

將所述多個串列分成多群以便連接到多條串列選擇線；

所述抹除操作包括選擇所述多條串列選擇線的第一條；以及

對連接所選取的串列選擇線之所述串列執行所述讀取操作及所述抹除確認操作。

28.如申請專利範圍第 16 項所述之記憶體系統的操作方法，更包括：

重複執行所述讀取操作及偵測所述無效串列直到選取多條串列選擇線的最後串列選擇線為止，所述多條串列選擇線之每一條連接到相對應的所述串列且循序被選取。

29.如申請專利範圍第 28 項所述之記憶體系統的操作方法，其中所述重複步驟包括：

選擇多條串列選擇線的第二串列選擇線；

藉由施加高電壓至連接所述第二選擇線之所述串列的字元線來執行所述讀取操作；以及

根據所執行的讀取操作來測定一個或多個第二串列作為所述無效串列。

30.一種記憶體系統，包括：

非揮發性記憶元件，包括具有基底及多個串列之記憶胞陣列，每一個串列具有多個記憶胞，所述多個串列以垂直於所述基底之方向形成於所述基底上；以及

控制器，產生命令以便對所述非揮發性記憶元件執行抹除操作，使得所述非揮發性記憶元件：

抹除所述多個串列；

對所述多個記憶胞的字元線以讀取電壓執行讀取操作；

根據所執行的讀取操作來測定一個或多個串列作為無效串列；

進行抹除確認但忽略所述無效串列；以及

對所述多個串列的字元線以抹除確認電壓執行抹除確認操作，所述抹除確認電壓低於所述讀取電壓。

31.如申請專利範圍第 30 項所述之記憶體系統，其中所述串列藉由缺口互相隔開，所述缺口中形成通道薄膜單元以連接所述串列的所述記憶胞，且所述通道薄膜單元具有故障導致所述無效串列。

32.如申請專利範圍第 31 項所述之記憶體系統，其中所述非揮發性記憶元件包括連接到相鄰的所述串列之通道薄膜單元，並且所述無效串列由未電性接觸所述基底之所述通道薄膜單元組成。

33.如申請專利範圍第 31 項所述之記憶體系統，其中所述非揮發性記憶元件包括連接到所述串列之汲極及通道薄膜單元，並且所述無效串列由未電性接觸所述基底之所述通道薄膜單元組成。

34.如申請專利範圍第 30 項所述之記憶體系統，其中所述非揮發性記憶元件避免對第一測定的所述無效串列執行所述抹除確認操作。

35.一種記憶體系統的操作方法，所述記憶體系統包括具有多個串列之非揮發性記憶元件及用以控制所述非揮發性記憶元件之控制器，每一個串列包括多個記憶胞，所述操作方法包括：

從所述控制器傳送命令到所述非揮發性記憶元件；

執行所述非揮發性記憶元件的讀取操作以響應於所述命令，且藉由施加高電壓至連接所述多個串列之所有字

105-09-26

元線來執行所述讀取操作；

從所述非揮發性記憶元件傳送與無效串列有關的資訊到所述控制器，所述無效串列在所述讀取操作時被讀取為無效；以及

將所傳送的資訊儲存於所述控制器。

36.如申請專利範圍第 35 項所述之記憶體系統的操作方法，更包括：

從所述控制器傳送所儲存之與所述無效串列有關的資訊及抹除命令到所述非揮發性記憶元件；以及

執行所述非揮發性記憶元件的抹除操作以響應於所儲存之與所述無效串列有關的資訊及所述抹除命令。

37.如申請專利範圍第 36 項所述之記憶體系統的操作方法，其中若所述抹除操作的結果表示抹除失敗，則將再度進行傳送所述命令、執行所述讀取操作、傳送所述資訊、及儲存所述傳送資訊。

38.如申請專利範圍第 35 項所述之記憶體系統的操作方法，更包括：

從所述控制器傳送讀取命令到所述非揮發性記憶元件；

從所述非揮發性記憶元件傳送根據所述讀取命令之讀取結果到所述控制器；以及

利用所儲存之與所述無效串列有關的資訊來更正所傳送之所述讀取結果的錯誤，且藉由所述控制器來執行所述更正步驟。

39.如申請專利範圍第 35 項所述之記憶體系統的操作方法，更包括：

利用寫入資料及所儲存之與所述無效串列有關的資訊來產生碼字，且藉由所述控制器來執行所述產生步驟；

從所述控制器傳送所產生的所述碼字及寫入命令到所述非揮發性記憶元件；以及

將所傳送之所述碼字寫入所述非揮發性記憶元件以響應於所述寫入命令。

40.如申請專利範圍第 35 項所述之記憶體系統的操作方法，更包括：

從所述控制器傳送所儲存之與所述無效串列有關的資訊及第二命令到所述非揮發性記憶元件；以及

將所傳送之與所述無效串列有關的資訊寫入所述非揮發性記憶元件以響應於所述第二命令。

八、圖式：(請見下一頁)

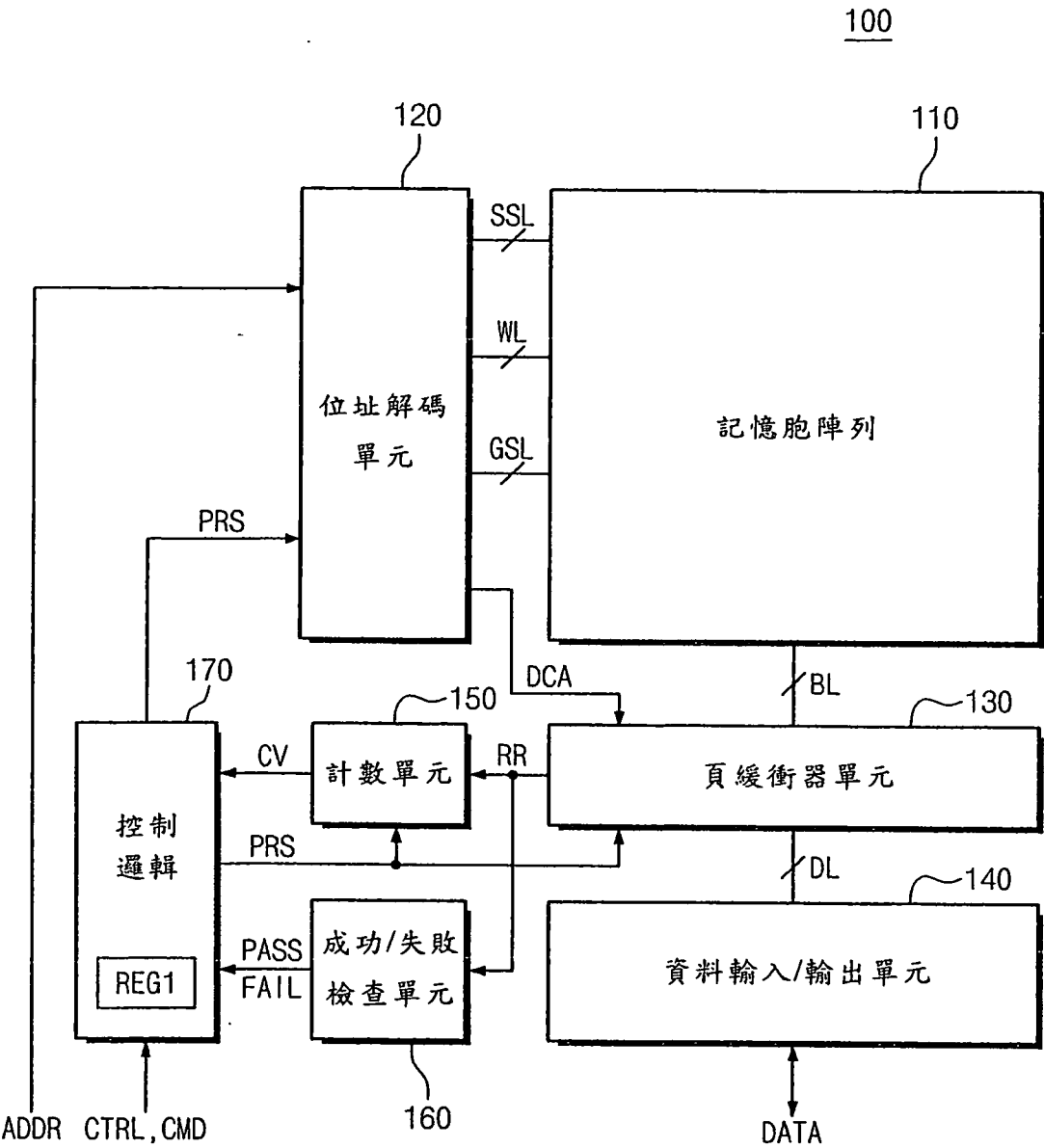


圖 1

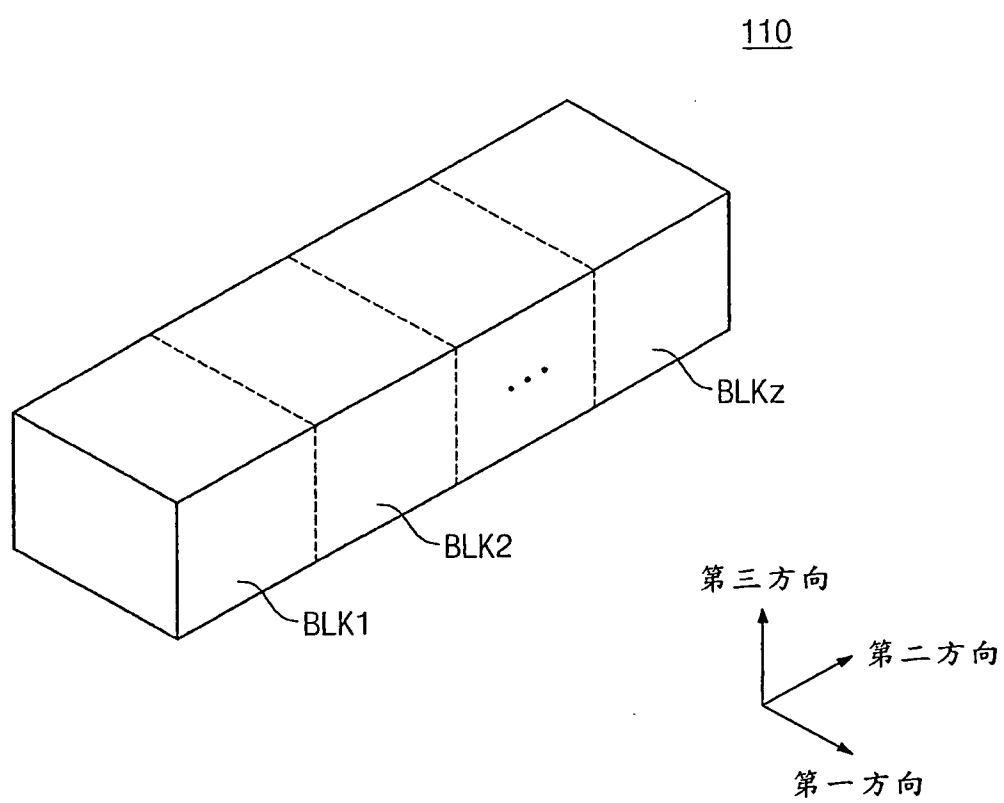


圖 2

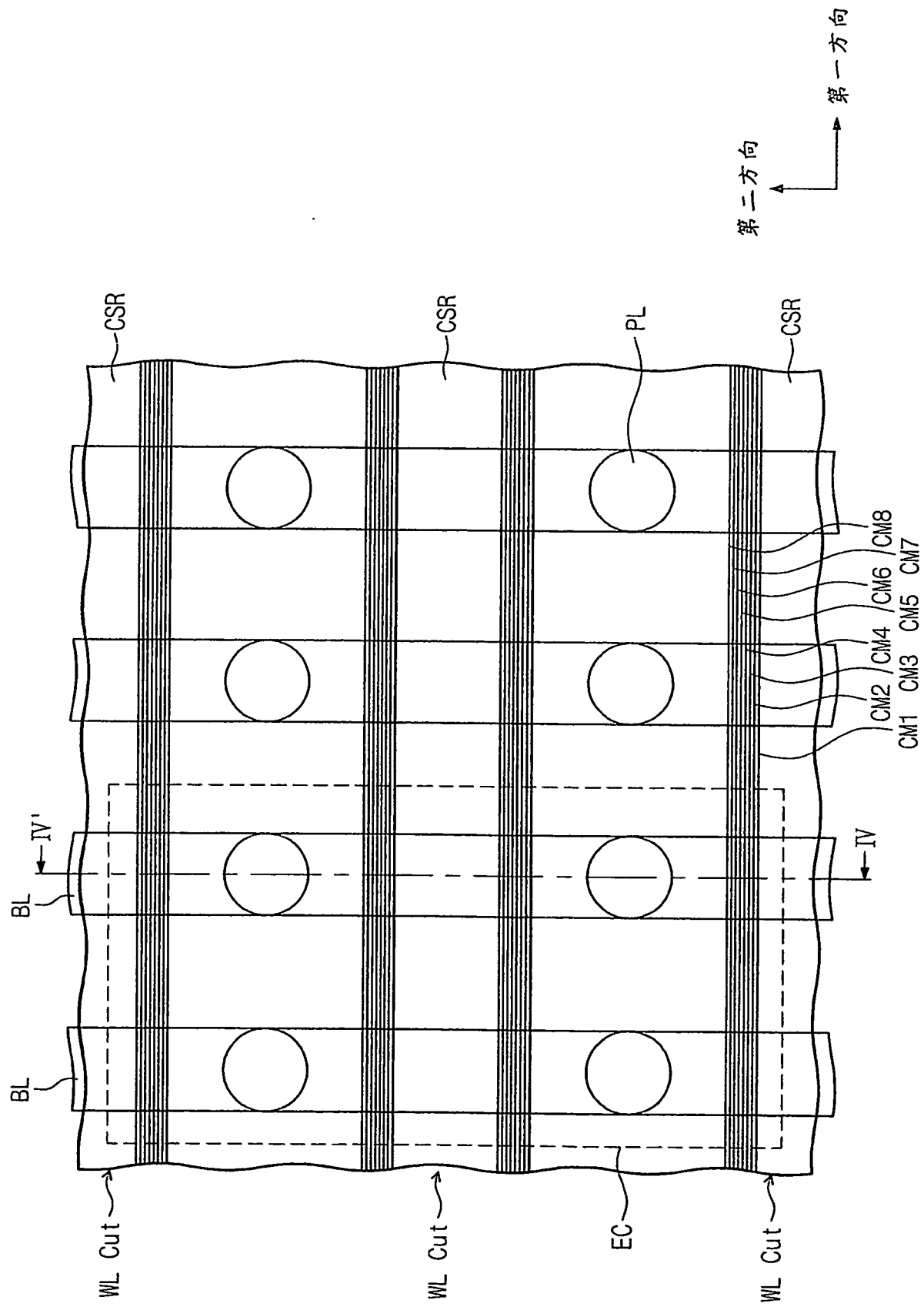


圖 3

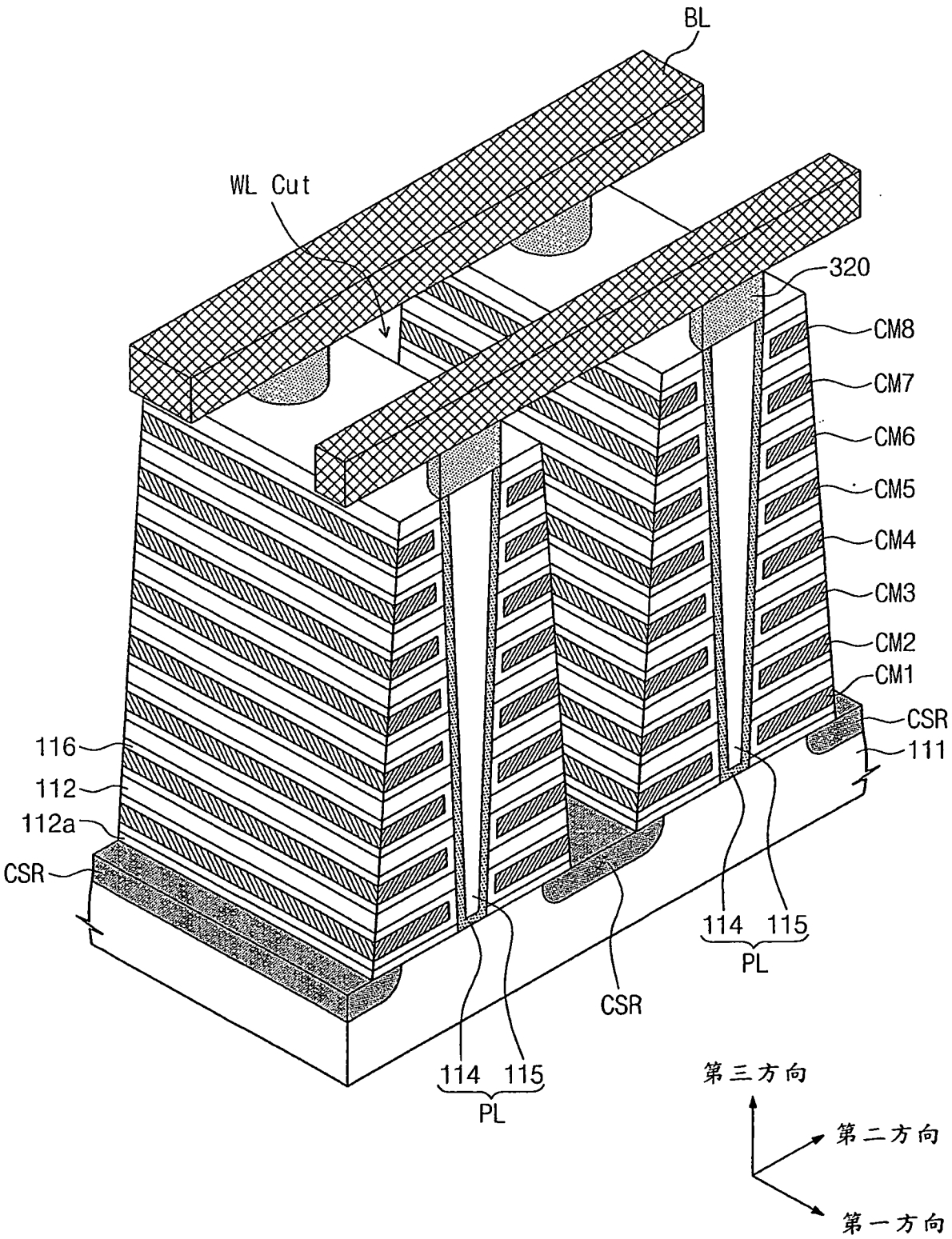


圖 4



圖 5

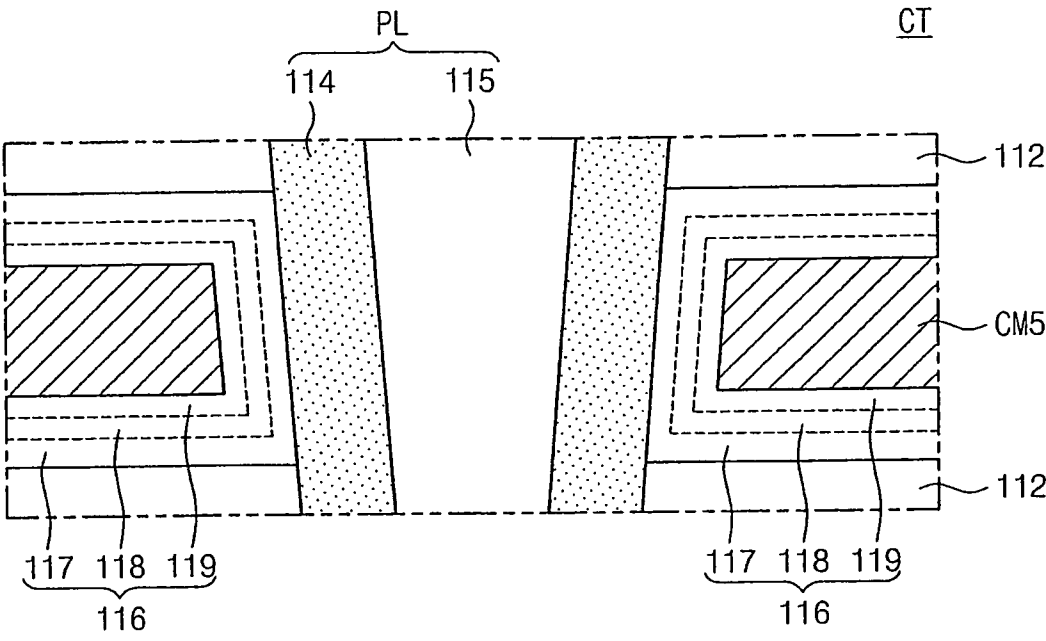


圖 6

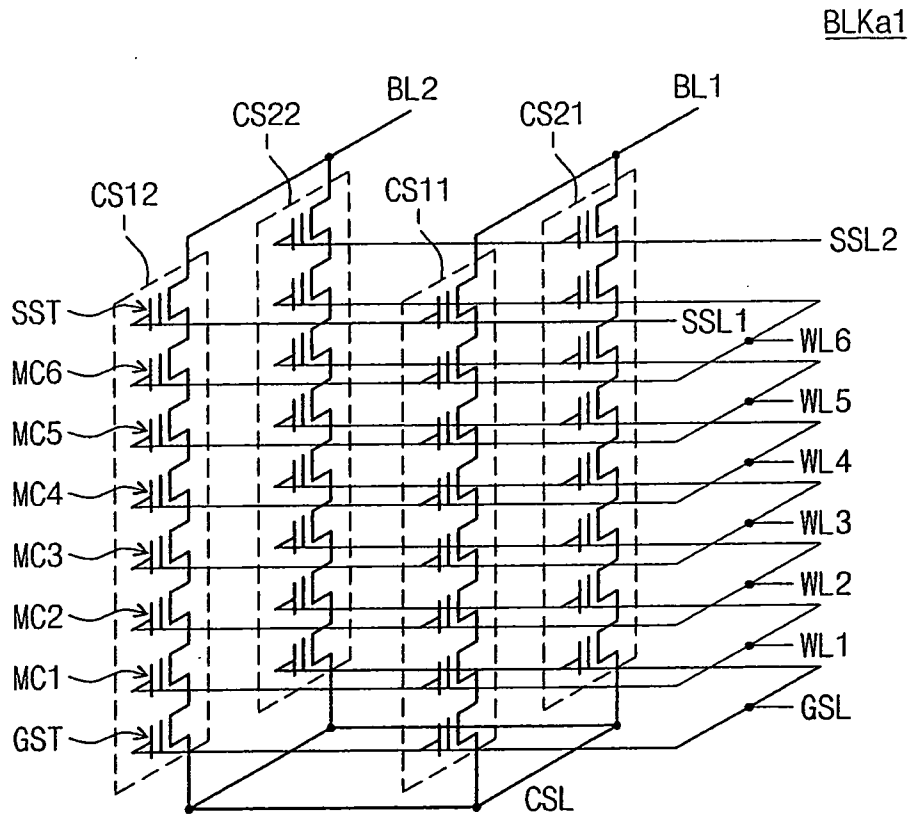


圖 7

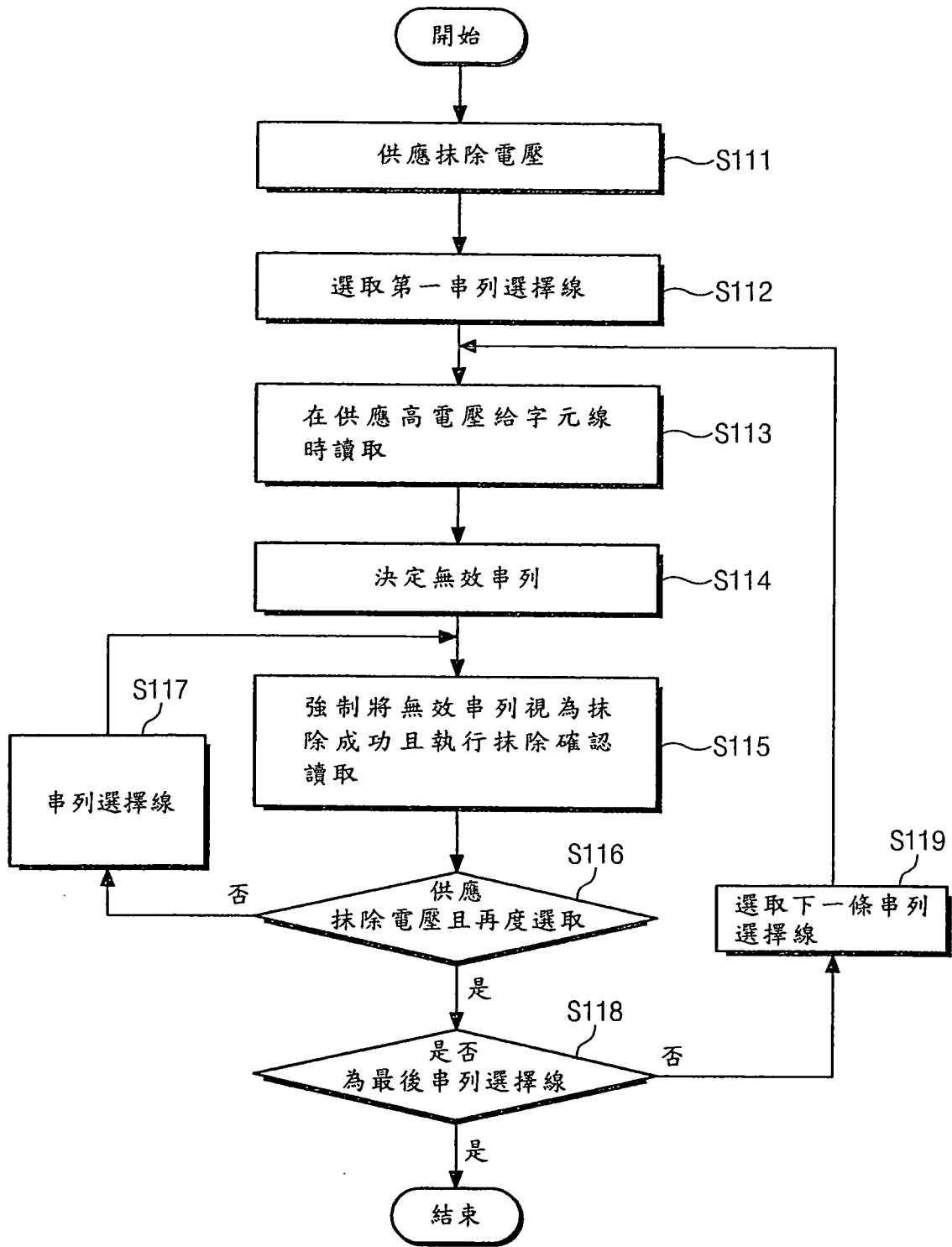


圖 8

	S111	S113	S115
位元線	浮接	VBL1(電源電壓)	正常; VBL2 (電源電壓)
			無效; VBL3 (接地電壓)
選取串列選擇線	浮接或 VSSL1	VSSL2(導通電壓)	VSSL4(導通電壓)
未選取串列選擇線		VSSL3(斷開電壓)	VSSL5(斷開電壓)
字元線	Vwe1 (接地電壓)	VH1 (未選擇讀取電壓)	VFY1
接地選擇線	浮接或 VGSL1	VGSL2(導通電壓)	VGSL3(導通電壓)
共源極線	浮接	VCSL1 (接地電壓)	VCSL2 (接地電壓)
S 基底	Vers1	VSUB1 (接地電壓)	VSUB2 (接地電壓)

圖 9

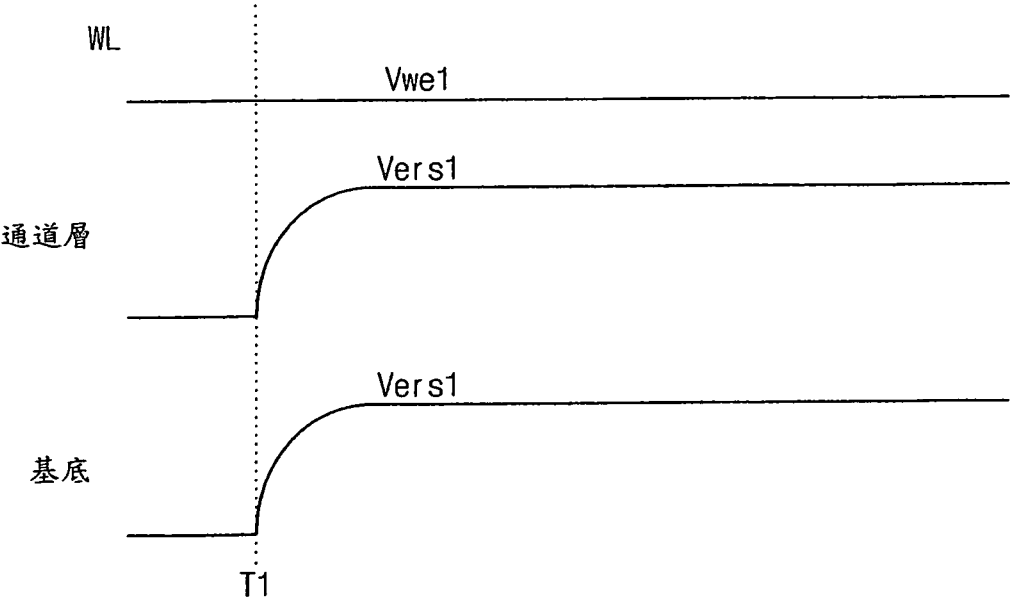


圖 10

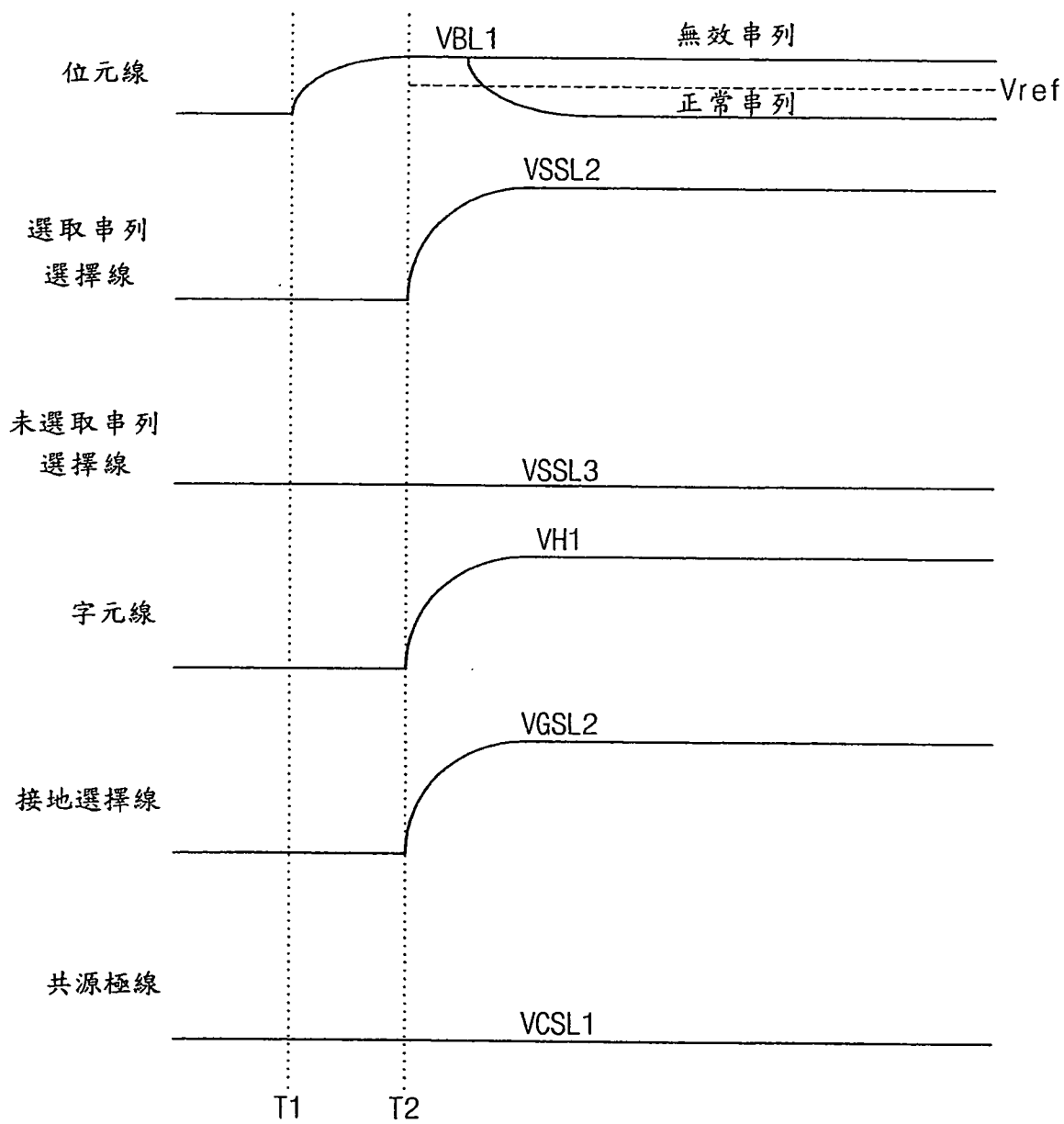


圖 11

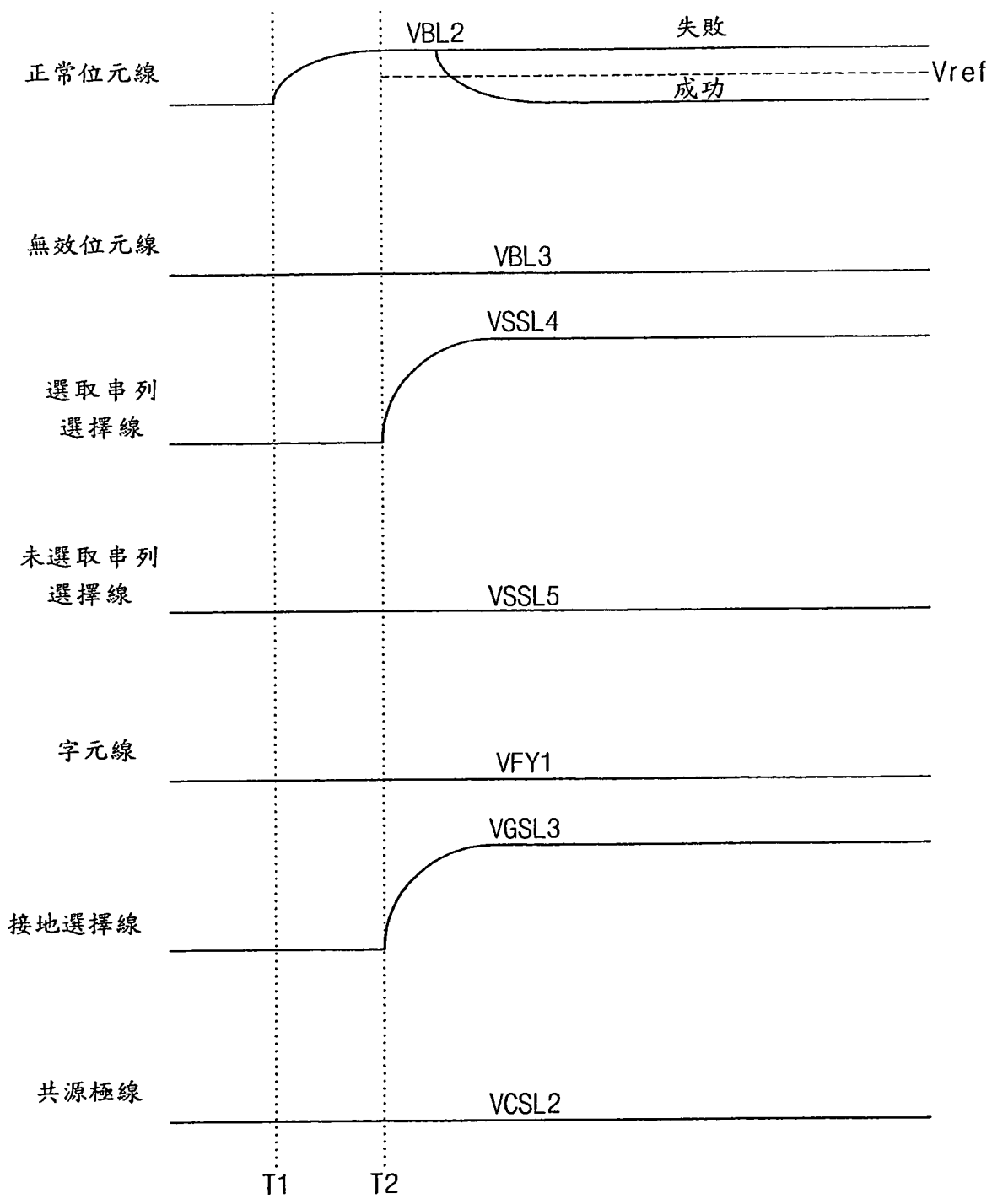


圖 12

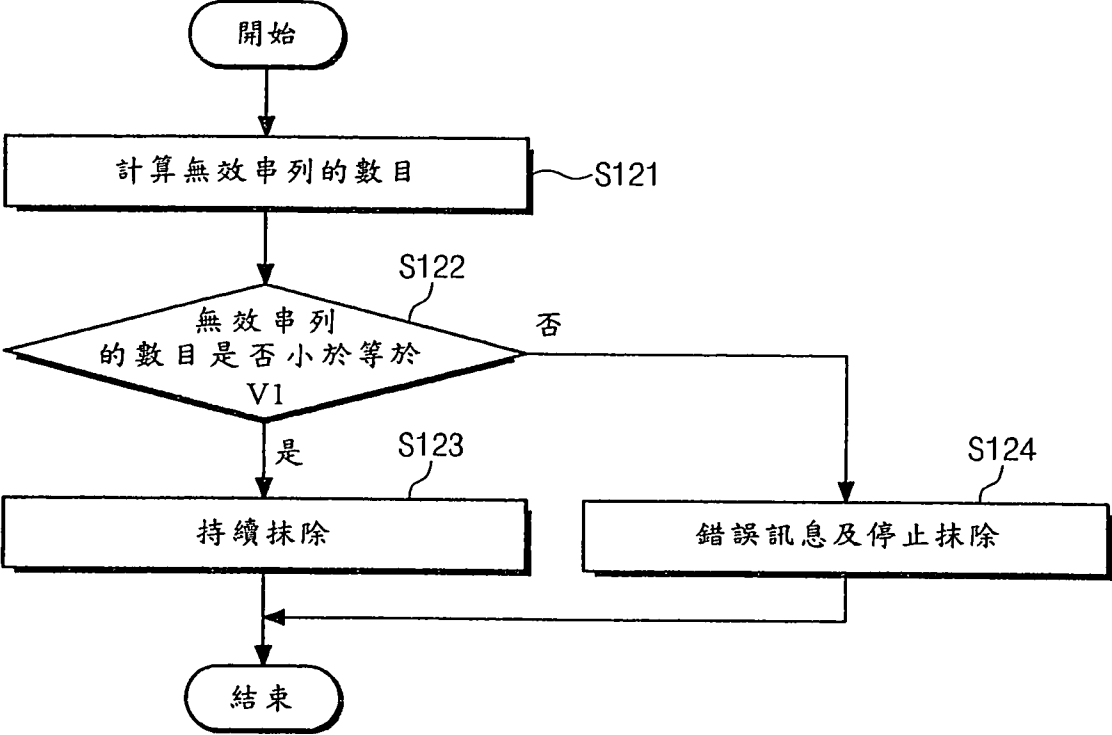


圖 13A

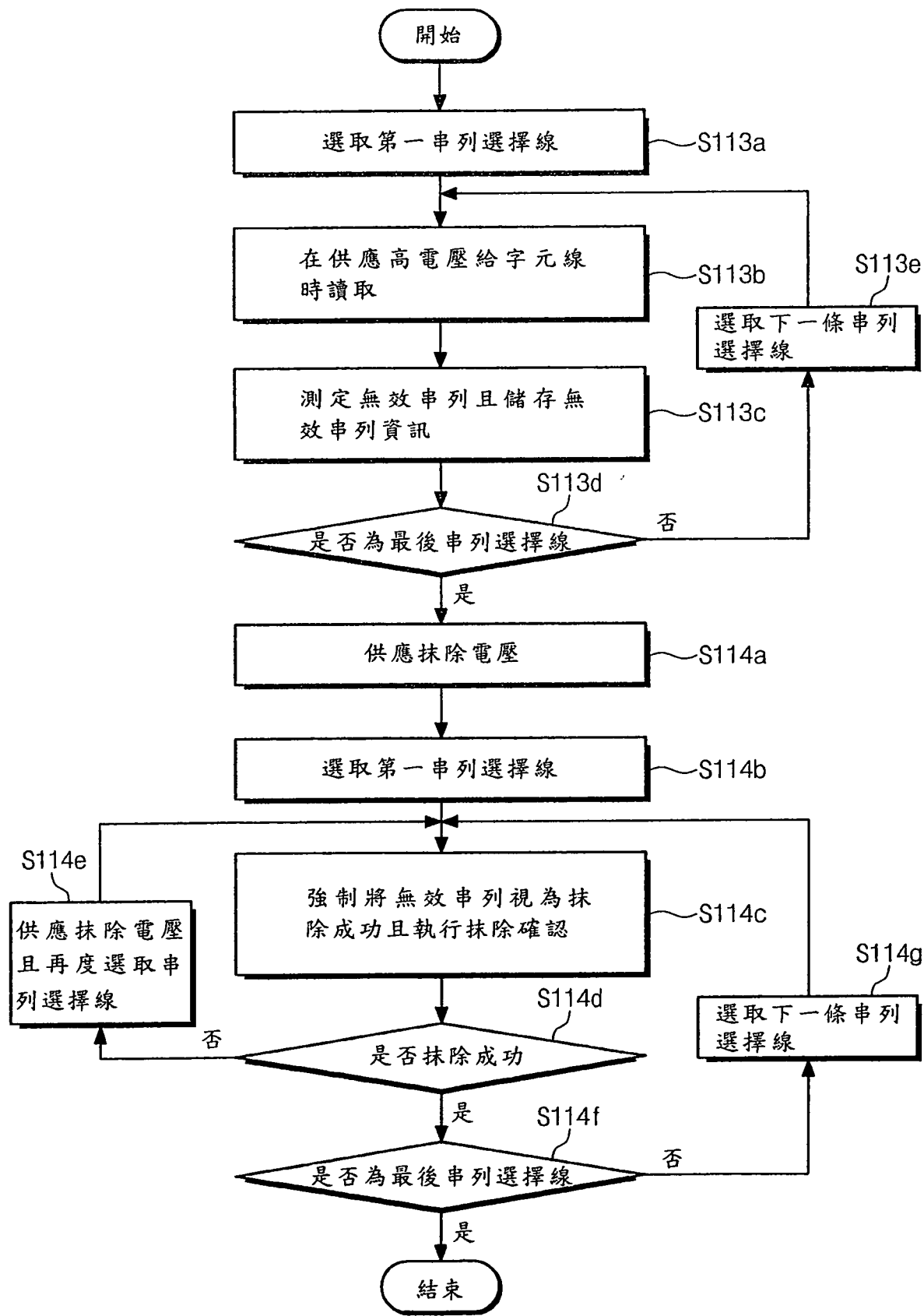


圖 13B

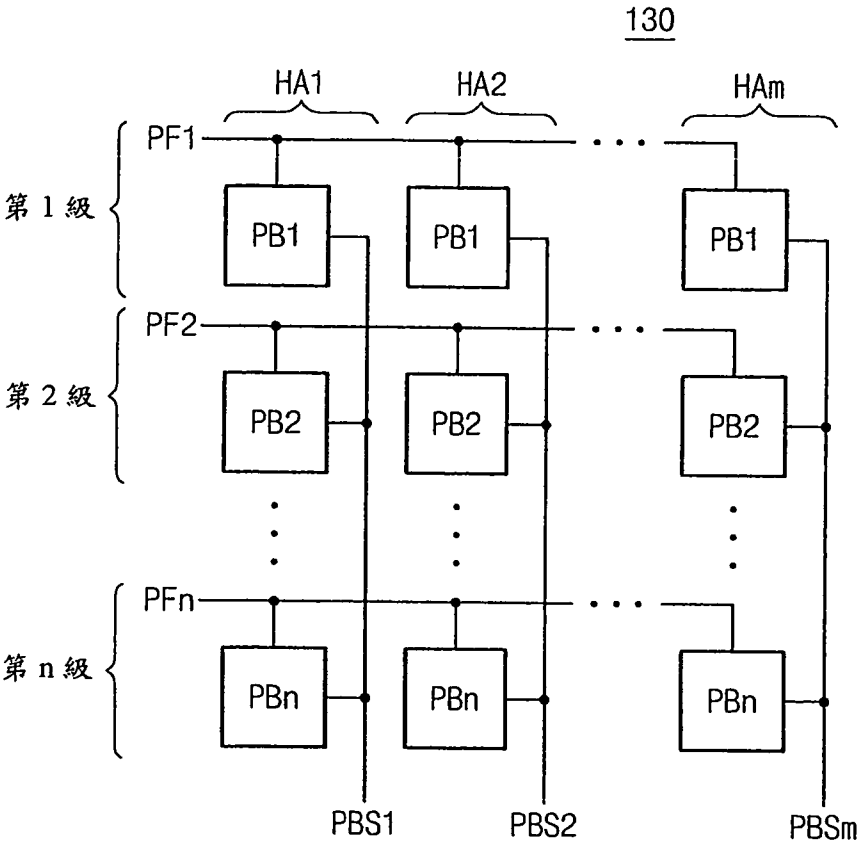


圖 14

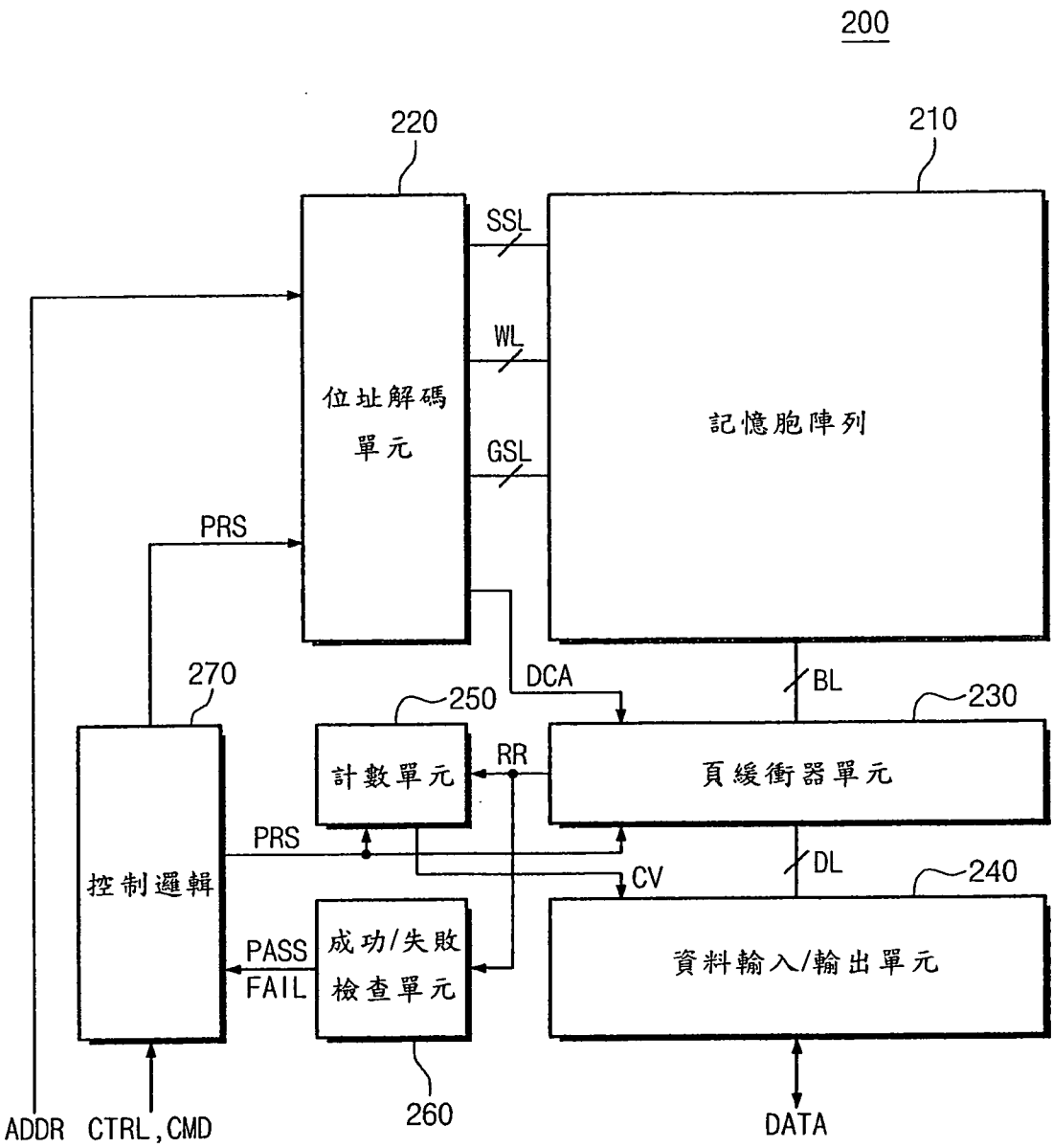


圖 15

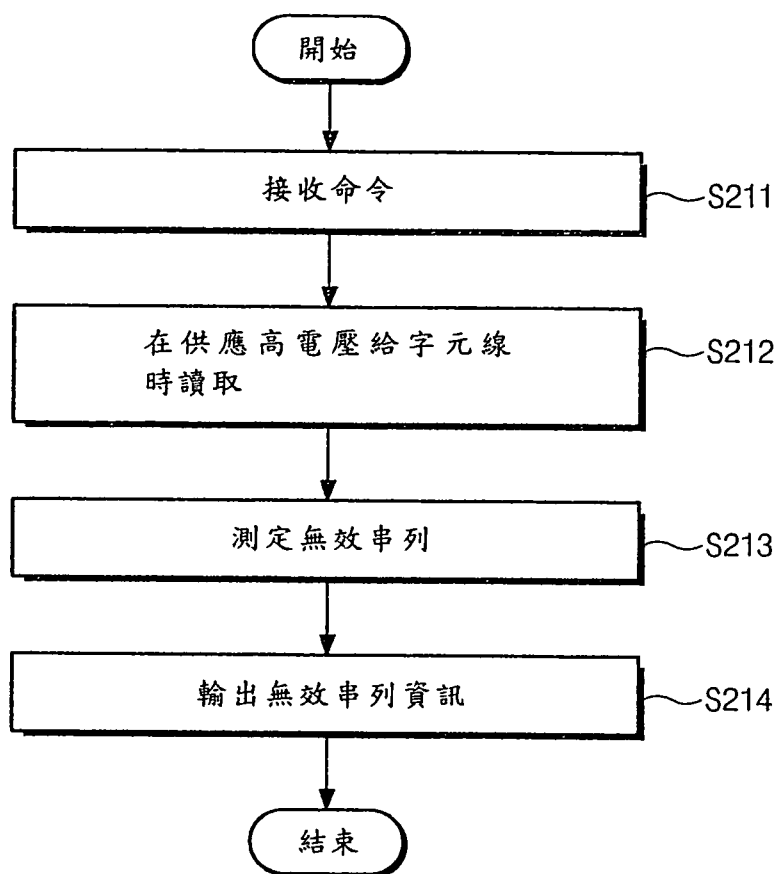


圖 16

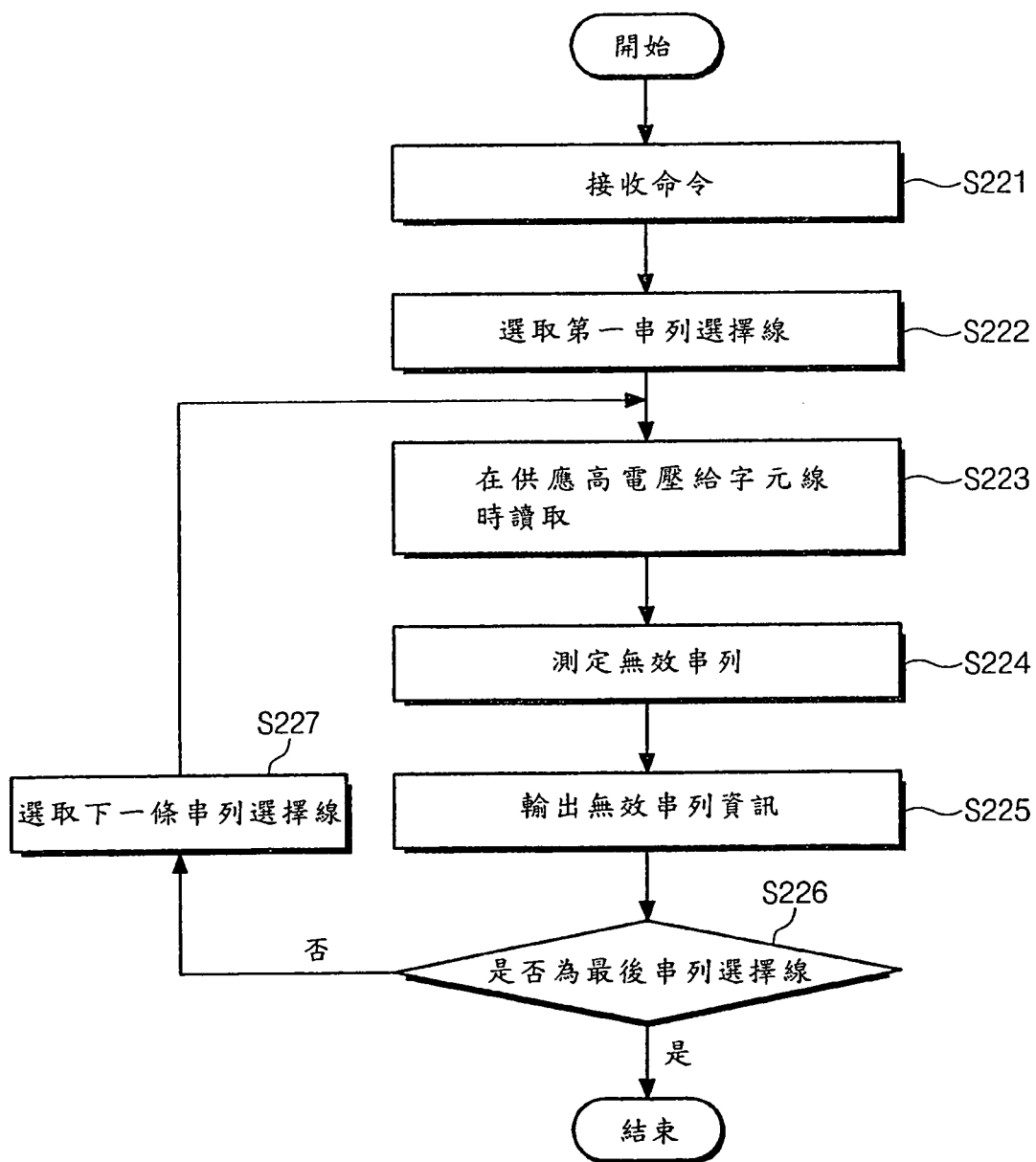


圖 17

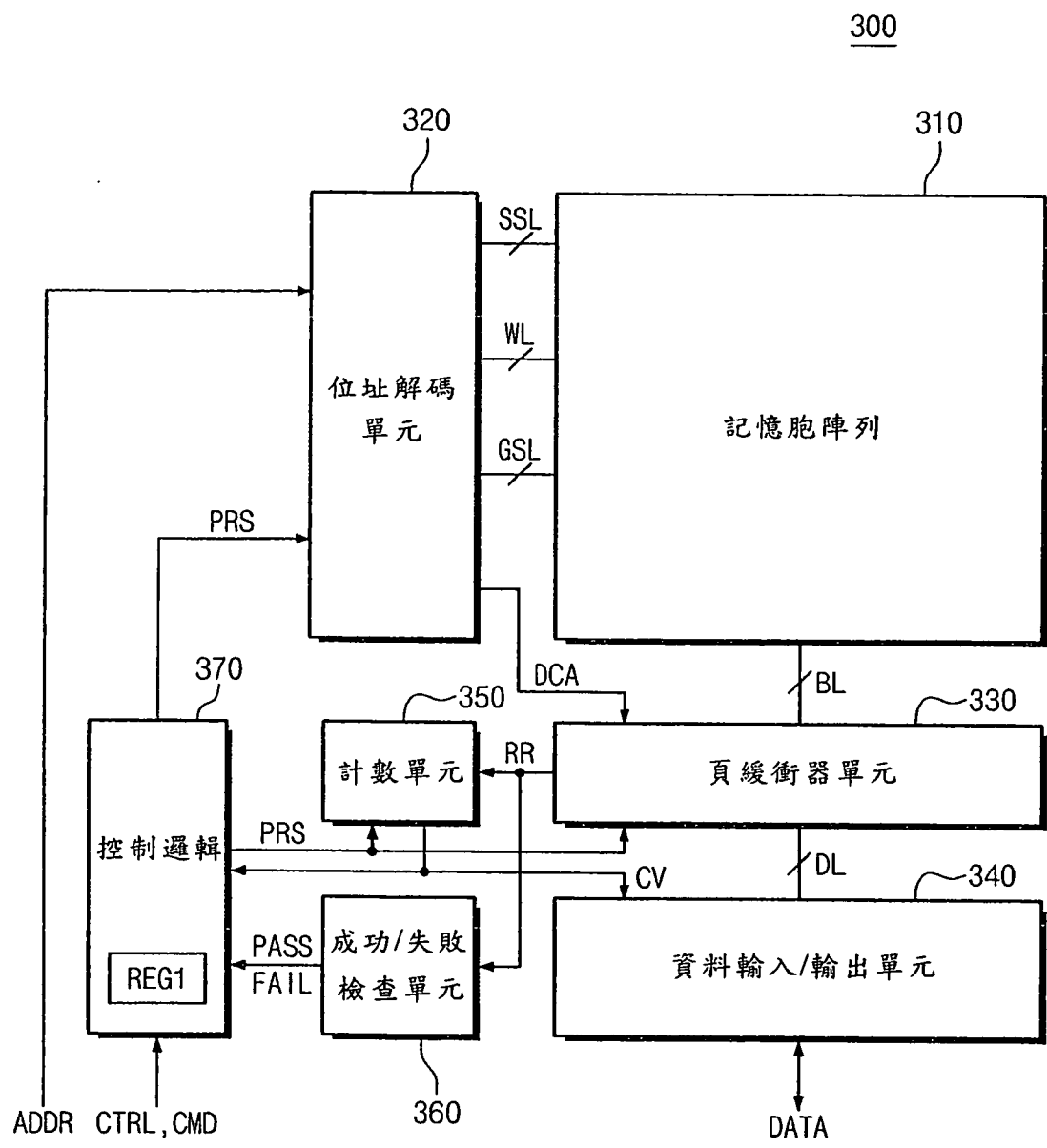


圖 18

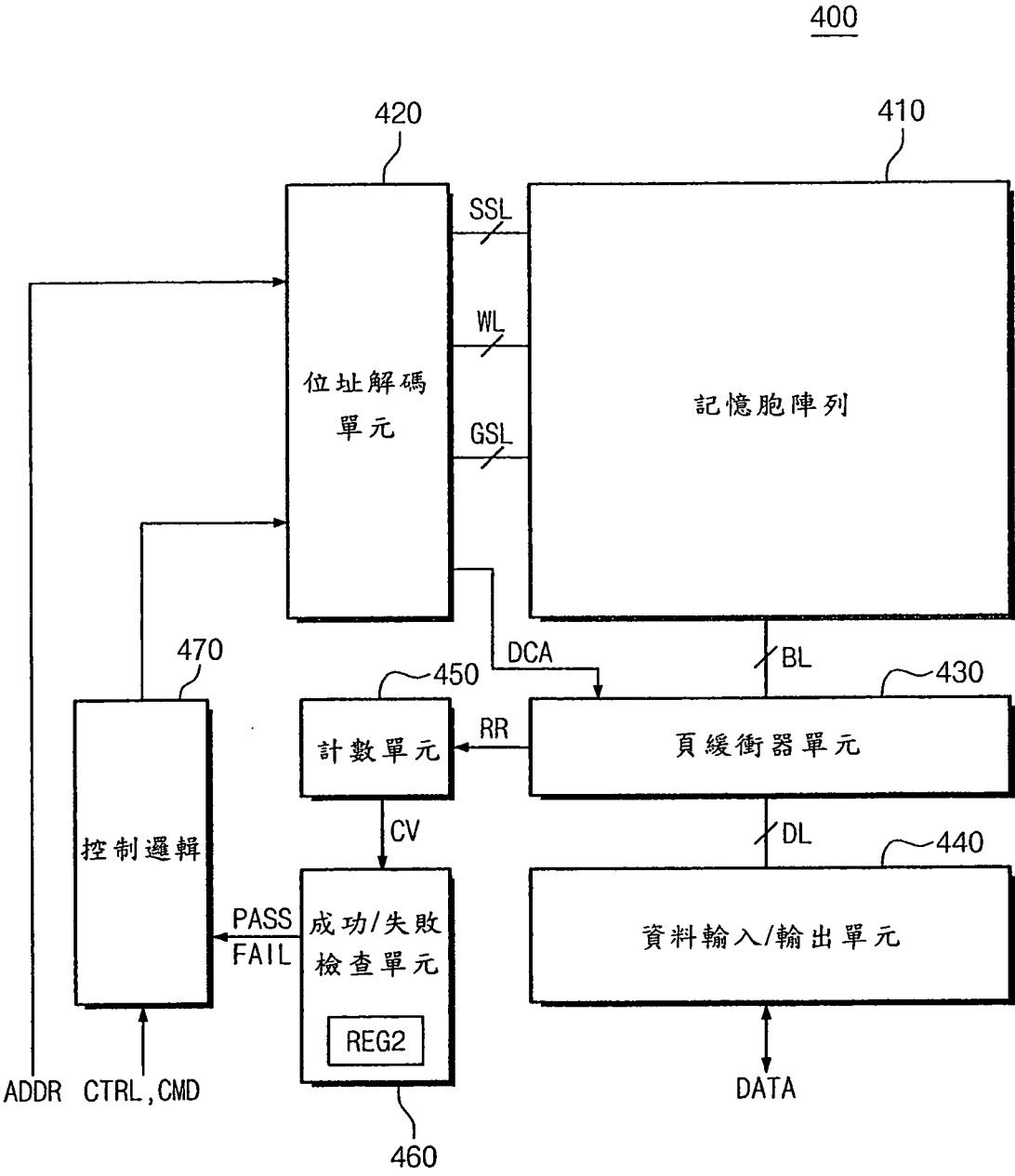


圖 19

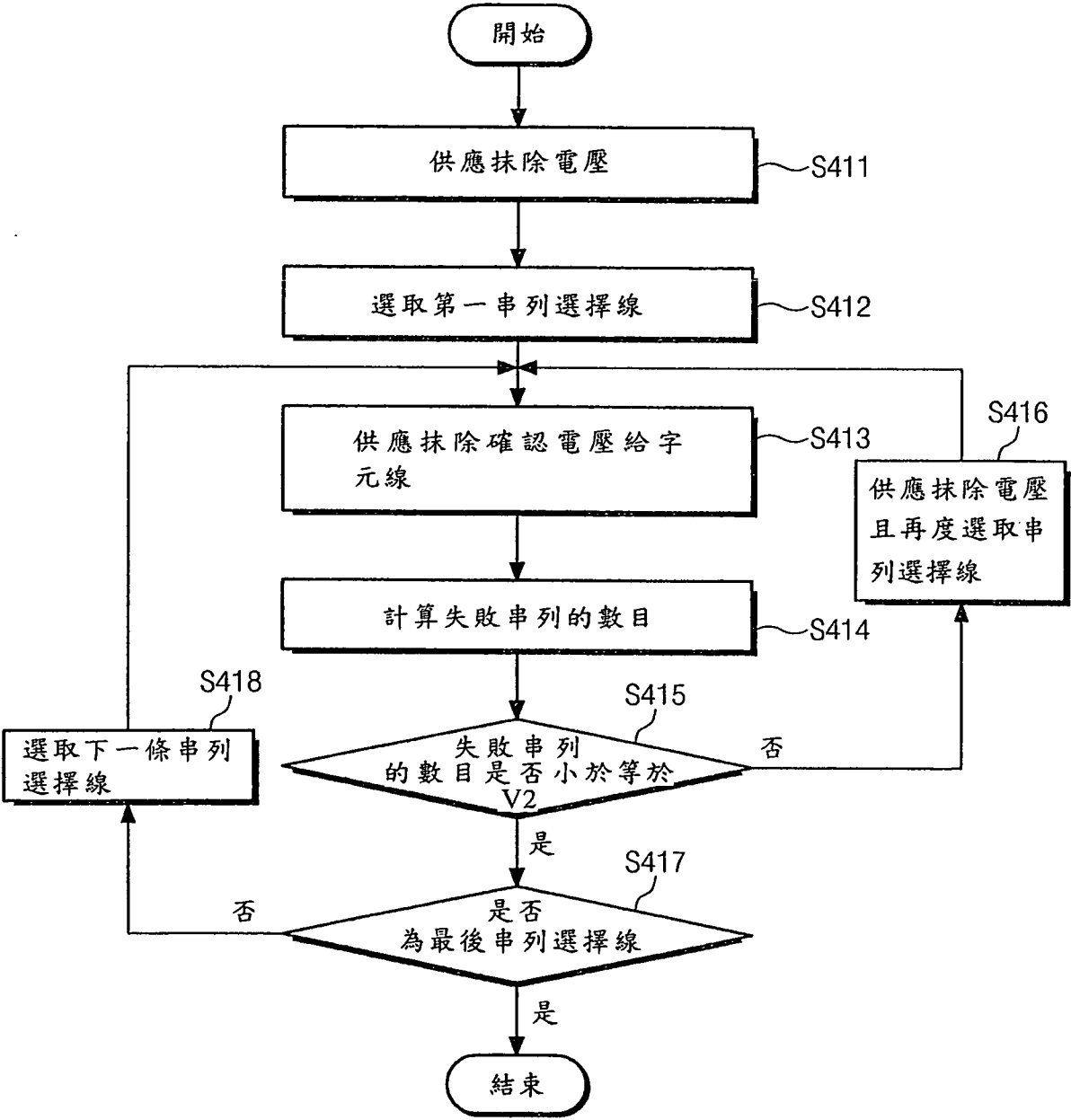


圖 20

	S411	S413
位元線	浮接	VBL4(電源電壓)
選取串列選擇線	浮接或 VSSL6	VSSL7(導通電壓)
未選取串列選擇線		VSSL8(斷開電壓)
字元線	Vwe2 (接地電壓)	VFY2
接地選擇線	浮接或 VGSL4	VGSL5(導通電壓)
共源極線	浮接	VCSL3(接地電壓)
基底	Vers2	VSUB3(接地電壓)

圖 21

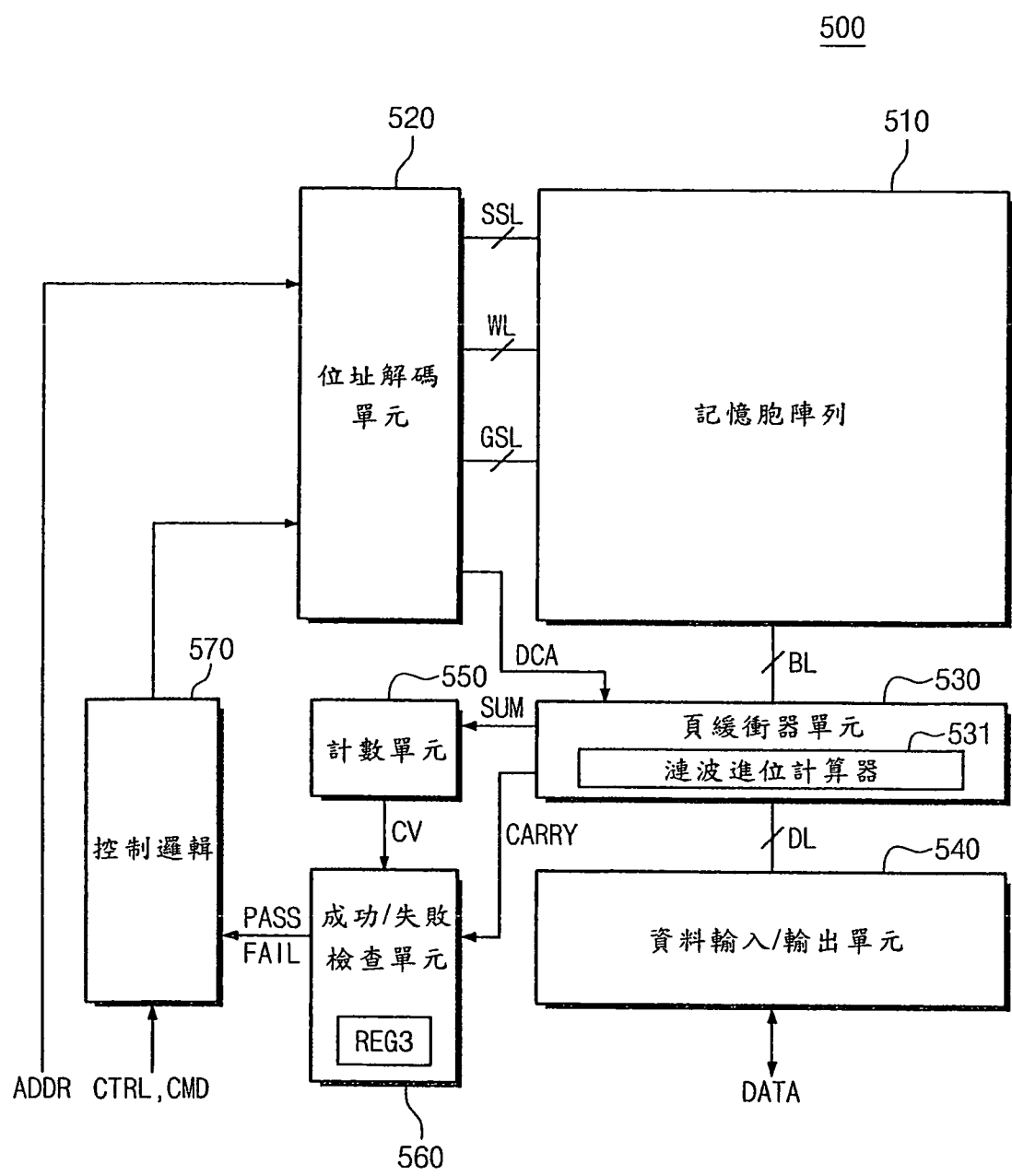


圖 22

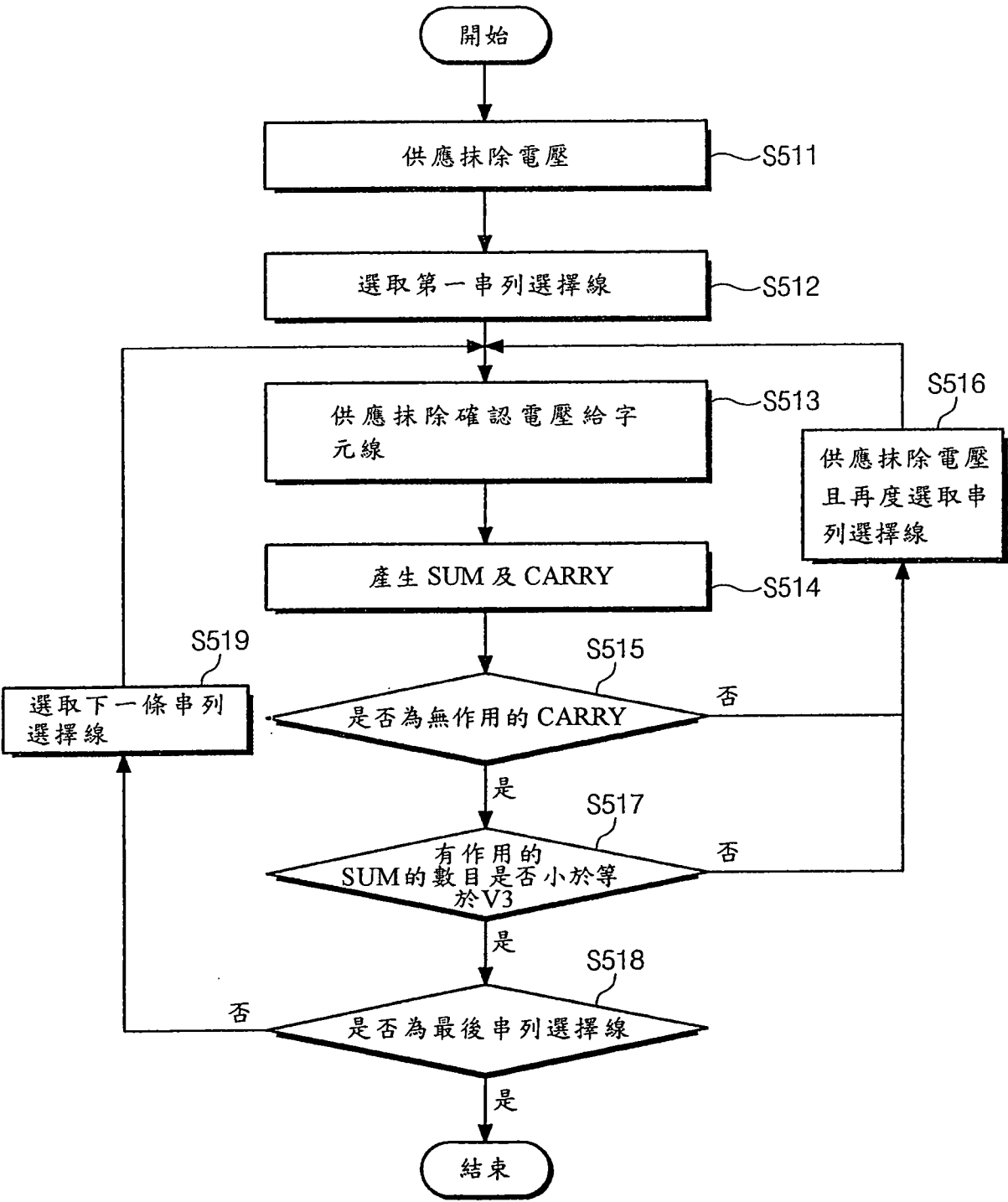


圖 23

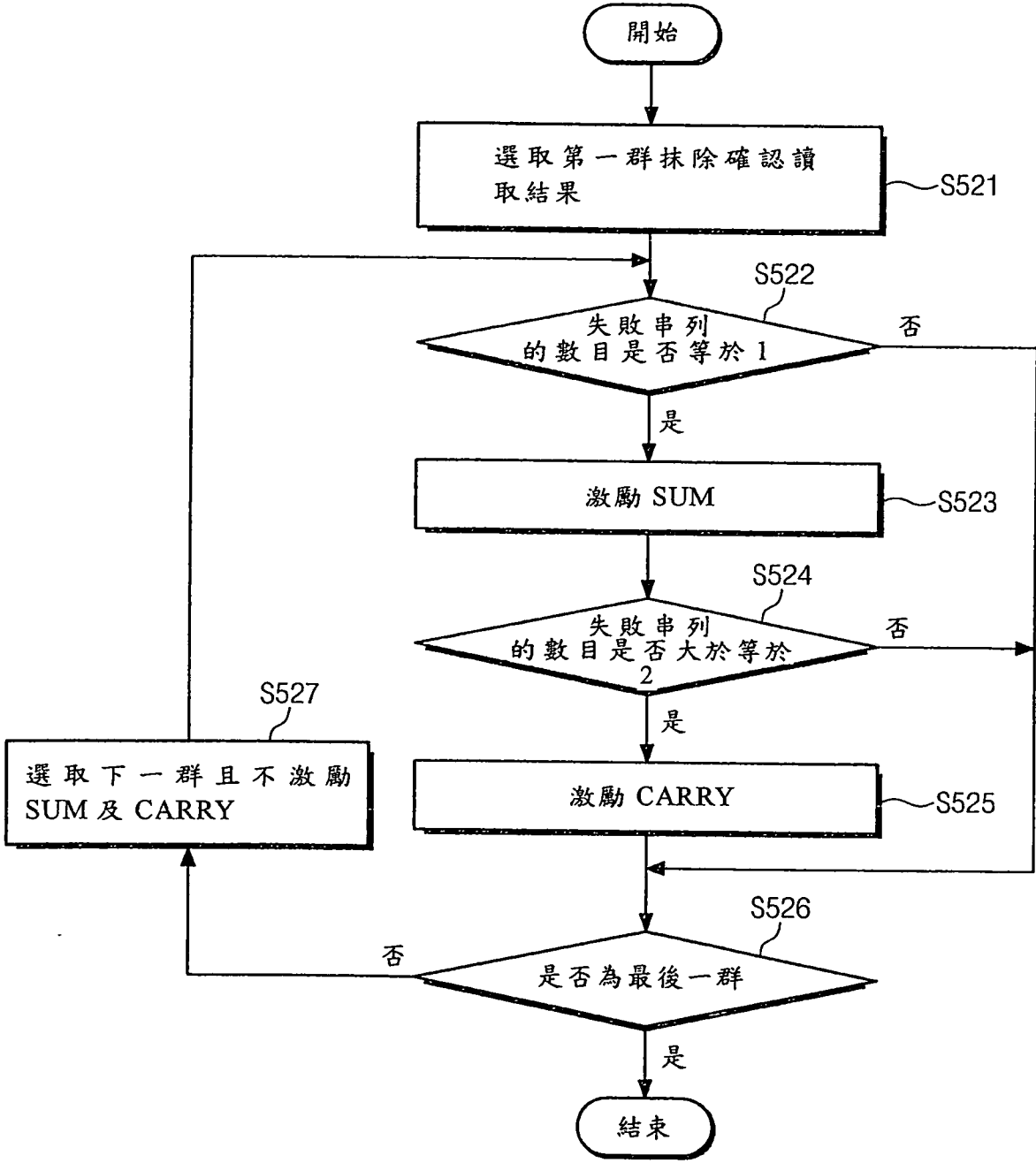


圖 24

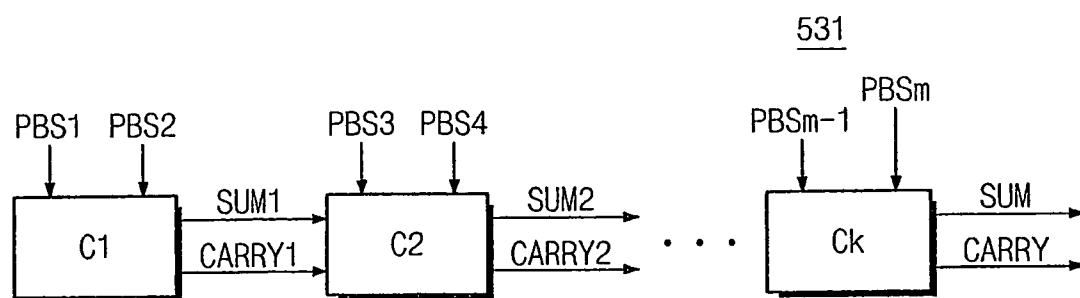


圖 25

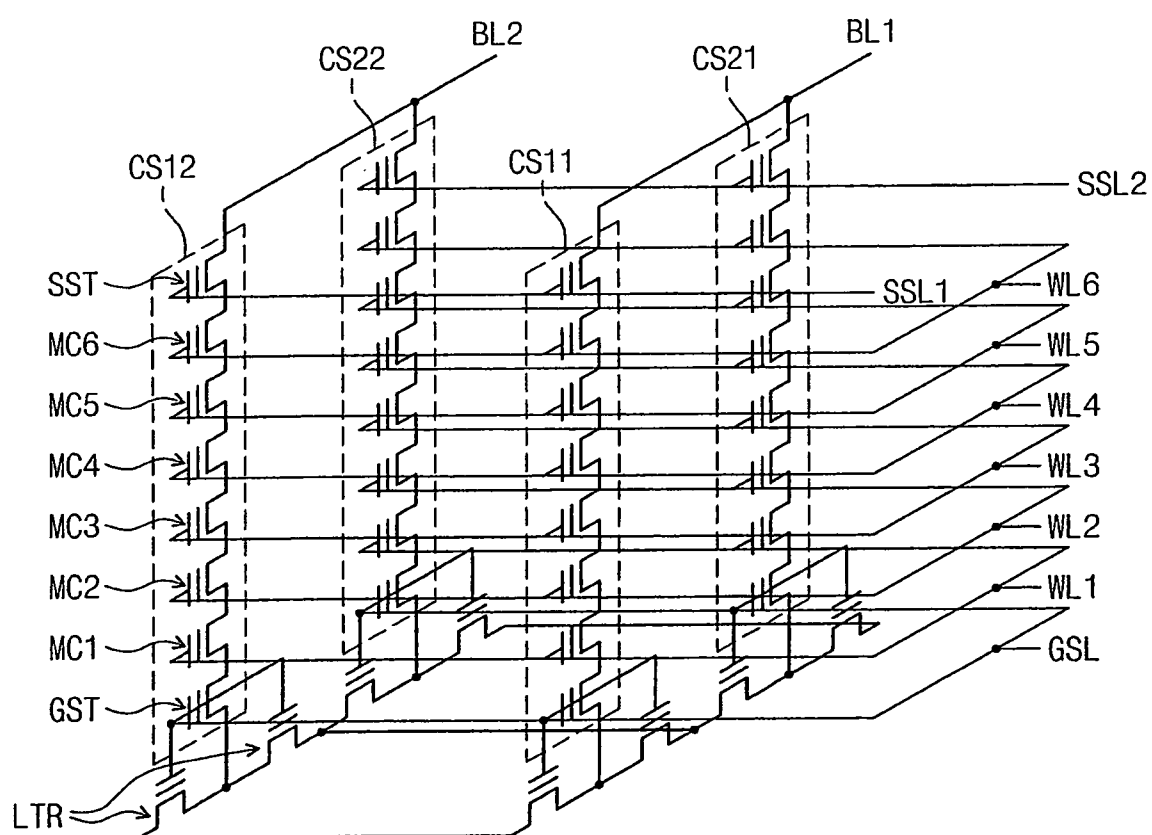
BLKa2

圖 26

BLKa3

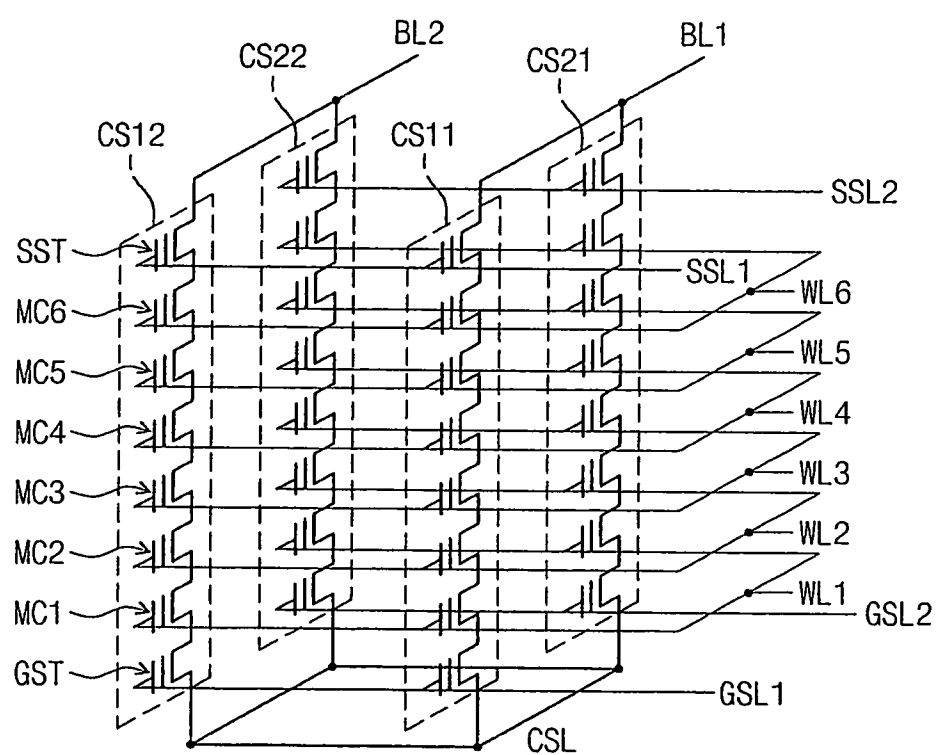


圖 27

BLKa4

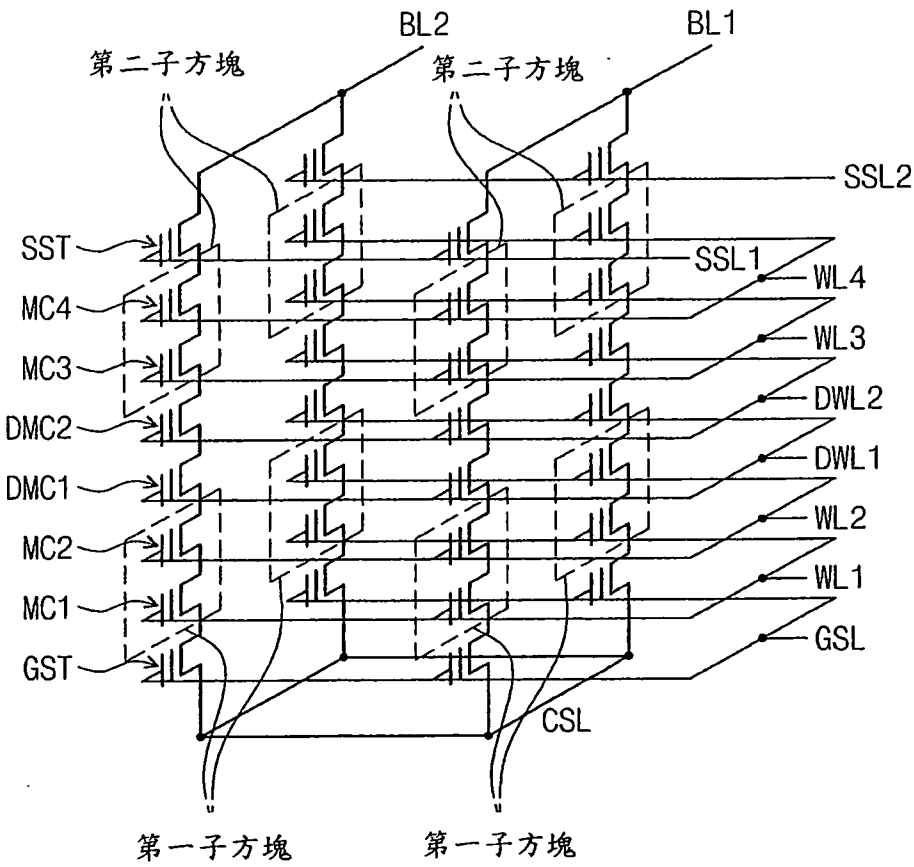


圖 28

	S111	S113	S115
位元線	浮接	VBL1(電源電壓)	正常; VBL2 (電源電壓)
			無效; VBL3 (接地電壓)
選取串列選擇線	浮接或 VSSL1	VSSL2(導通電壓)	VSSL4(導通電壓)
未選取串列選擇線		VSSL3(斷開電壓)	VSSL5(斷開電壓)
選取字元線	Vwel (接地電壓)	VH1(未選擇讀取電壓)	VFY1
虛擬字元線	浮接或 VDWL1	VDWL2	VDWL3
未選取字元線	浮接或 VWL1	VH1(未選擇讀取電壓)	VH2(未選擇讀取電壓)
接地選擇線	浮接或 VGSL1	VGSL2(導通電壓)	VGSL3(導通電壓)
共源極線	浮接	VCSL1 (接地電壓)	VCSL2 (接地電壓)
基底	Vers1	VSUB1 (接地電壓)	VSUB2 (接地電壓)

圖 29

	S411	S413
位元線	浮接	VBL4(電源電壓)
選取串列選擇線	浮接或 VSSL6	VSSL7(導通電壓)
未選取串列選擇線		VSSL8(斷開電壓)
選取字元線	Vwe2 (接地電壓)	VFY2
虛擬字元線	浮接或 VDWL4	VDWL5
未選取字元線	浮接或 VWL2	VWL3(未選擇讀取電壓)
接地選擇線	浮接或 VGSL4	VGSL5(導通電壓)
共源極線	浮接	VCSL3 (接地電壓)
基底	Vers2	VSUB3 (接地電壓)

圖 30

BLKa5

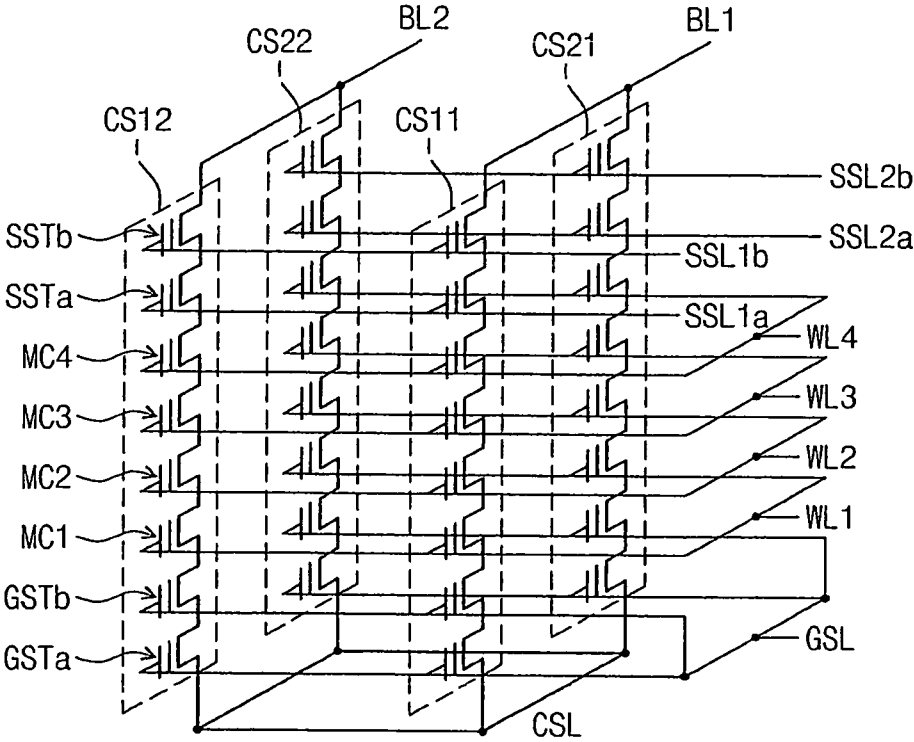


圖 31

BLKa6

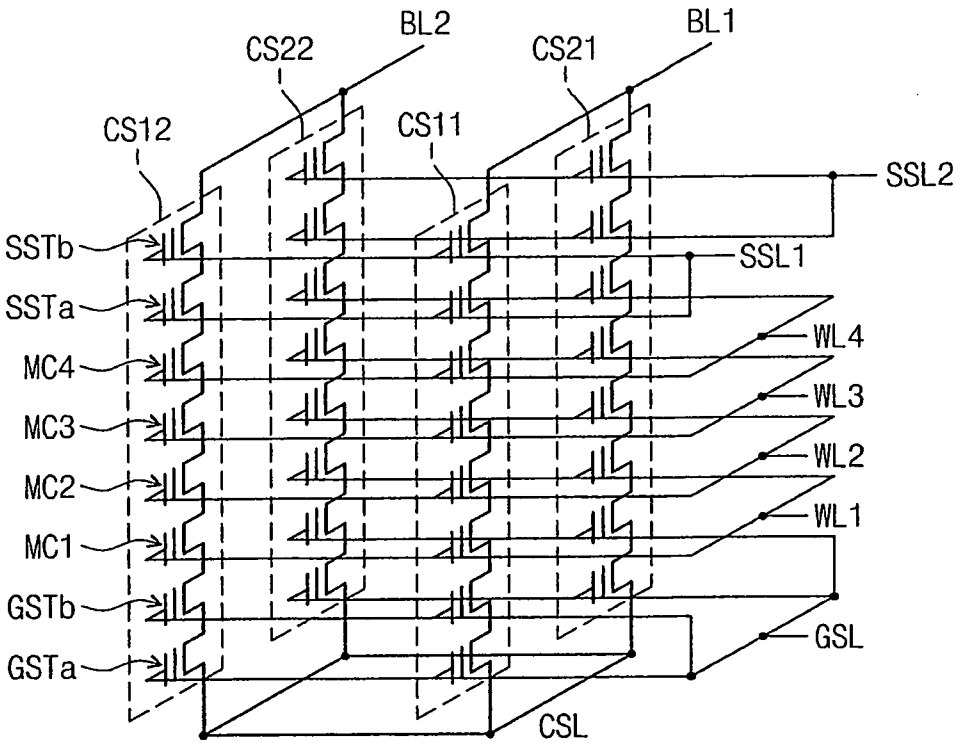


圖 32

BLKa7

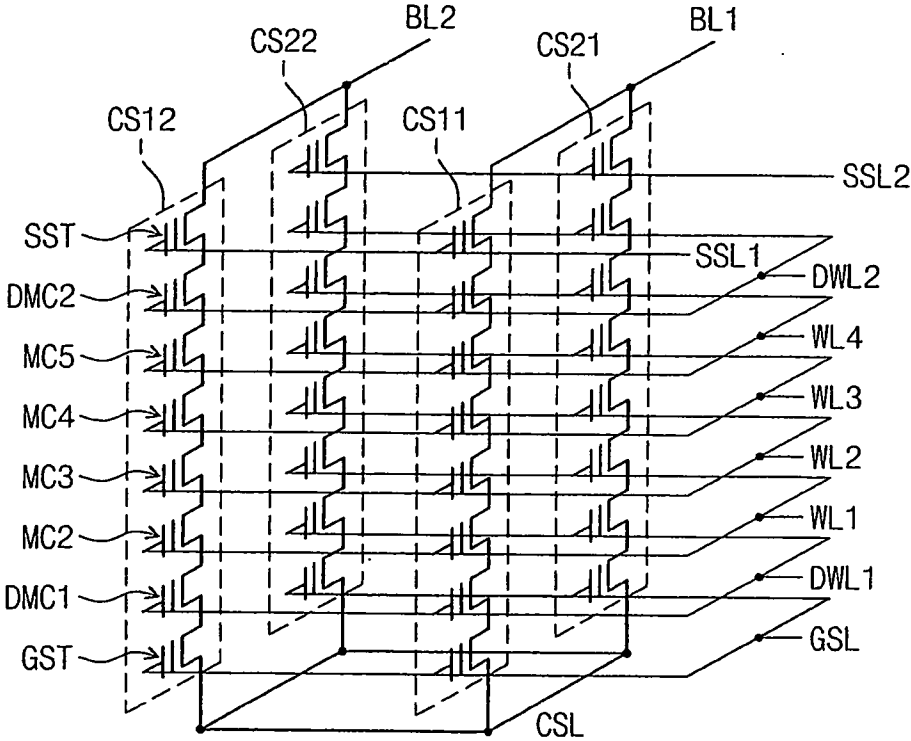


圖 33

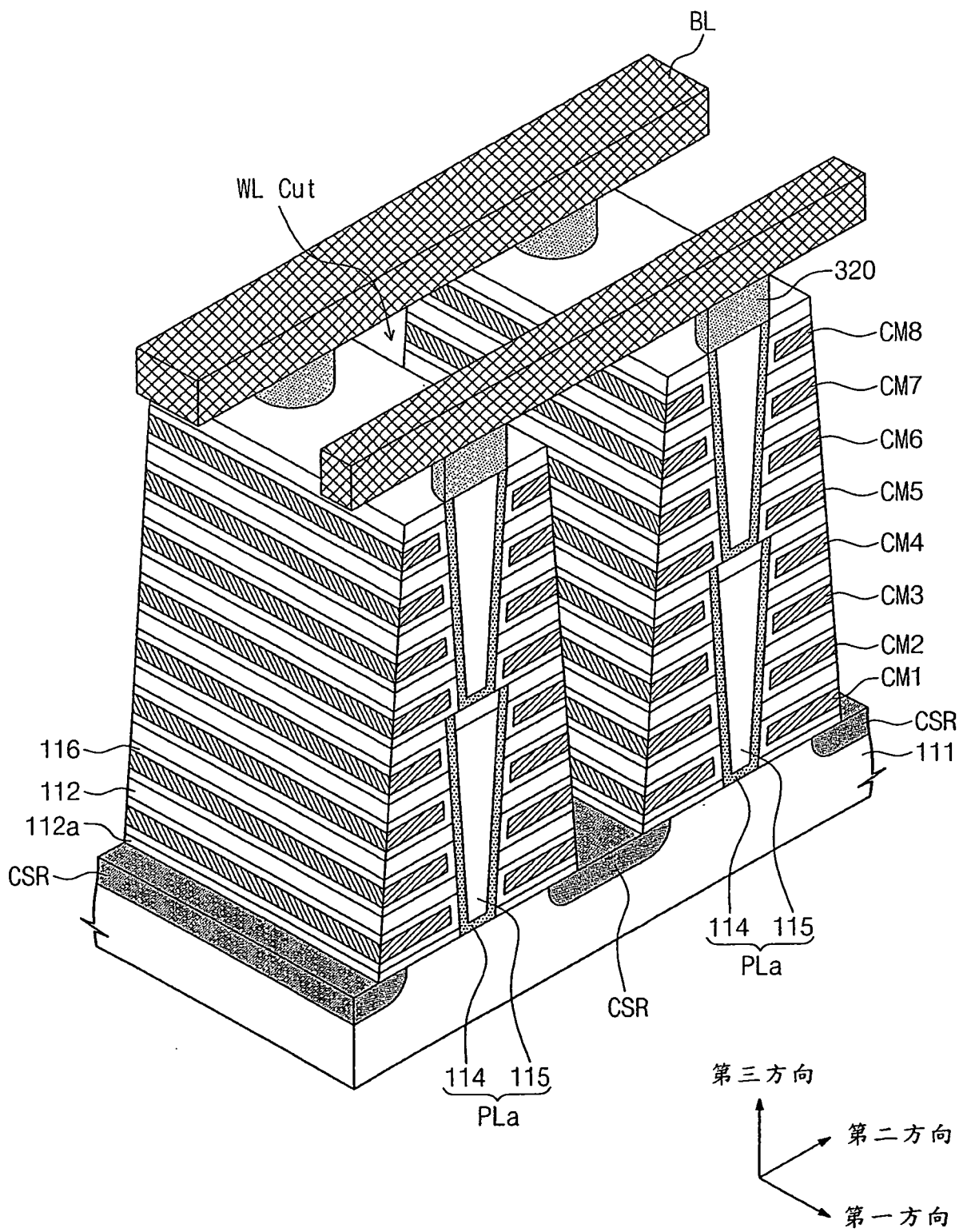


圖 34

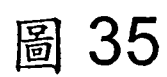


圖 35

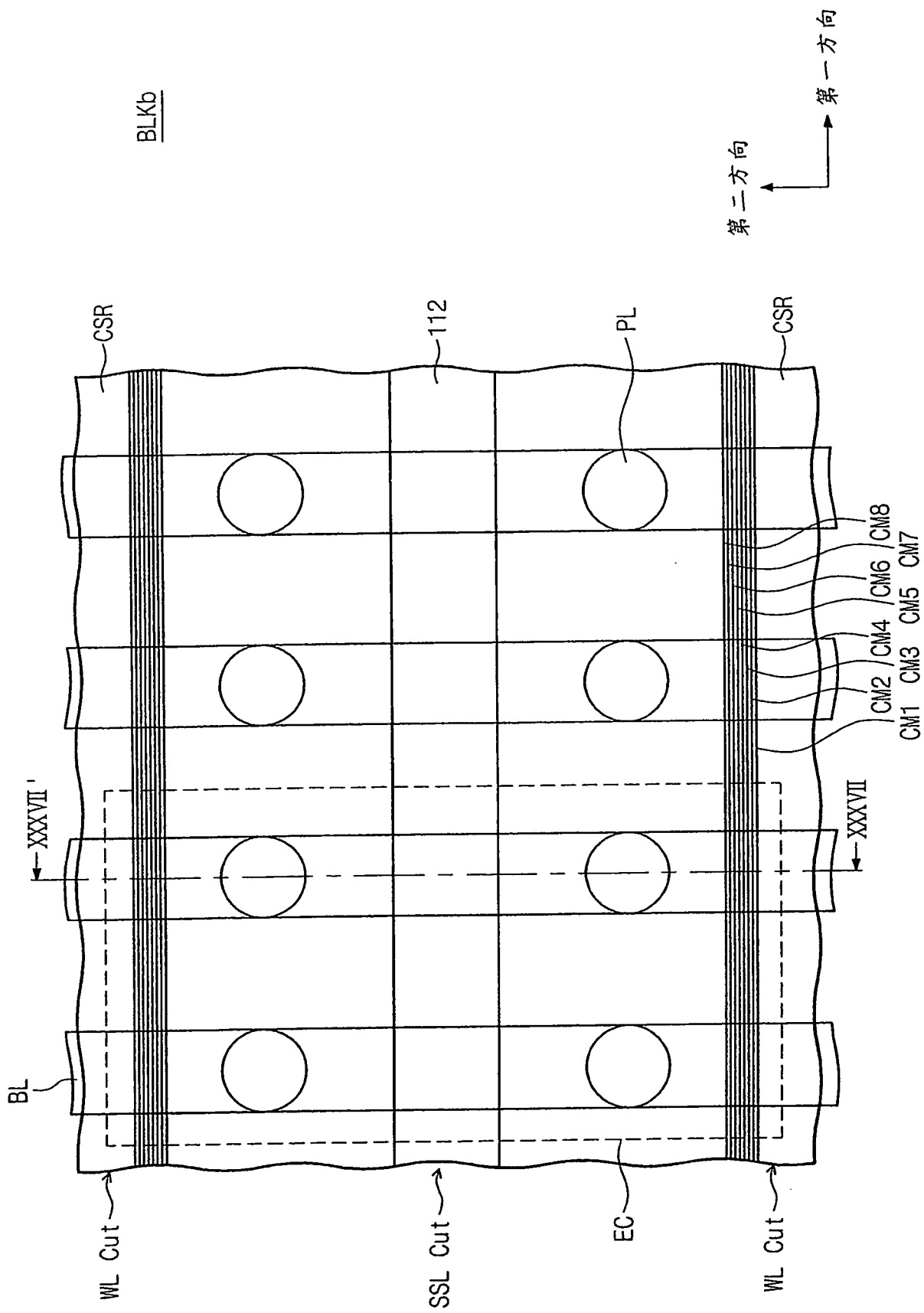


圖 36

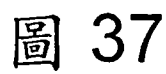
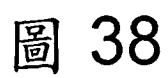


圖 37



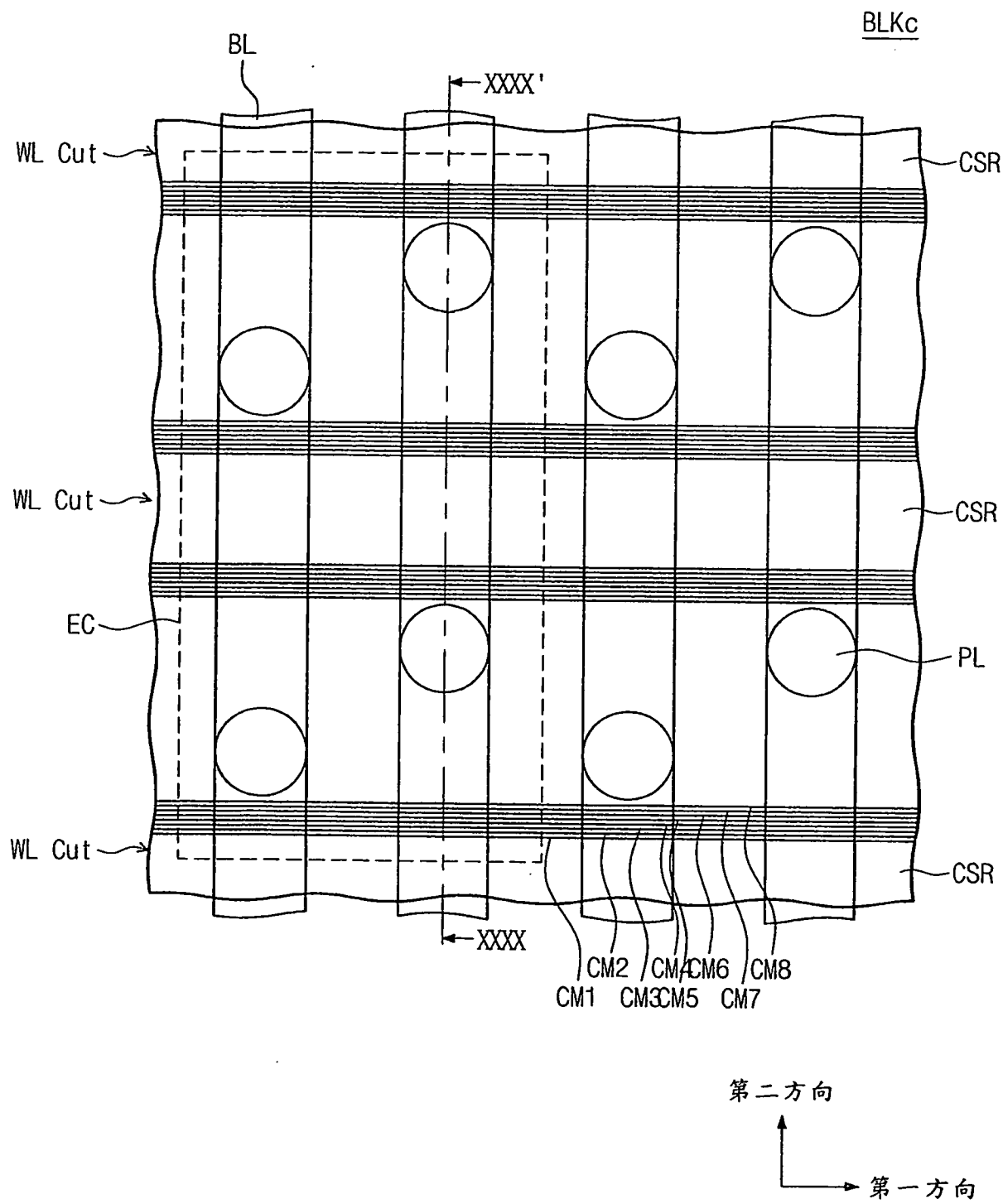


圖 39

圖 40

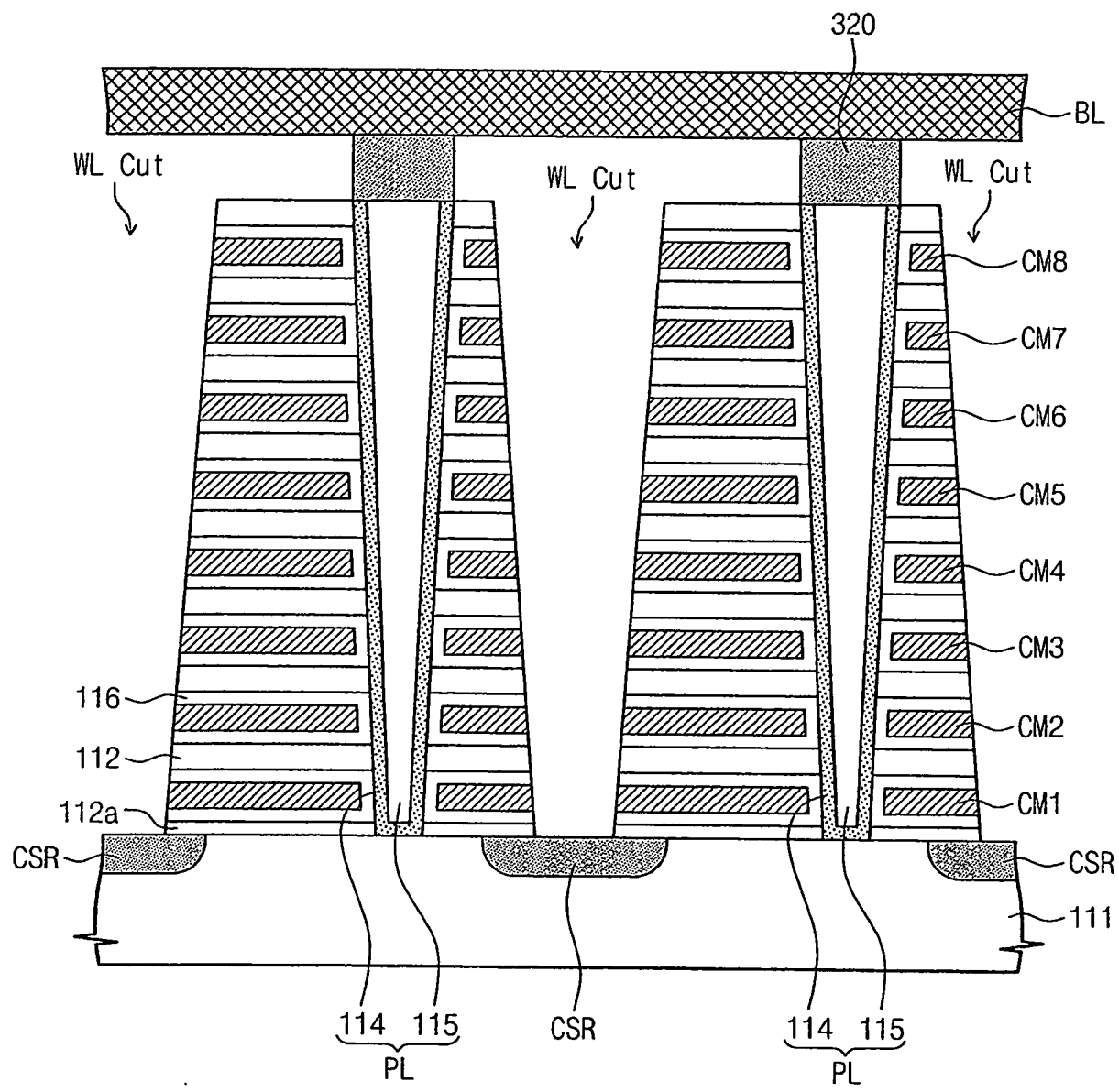


圖 41

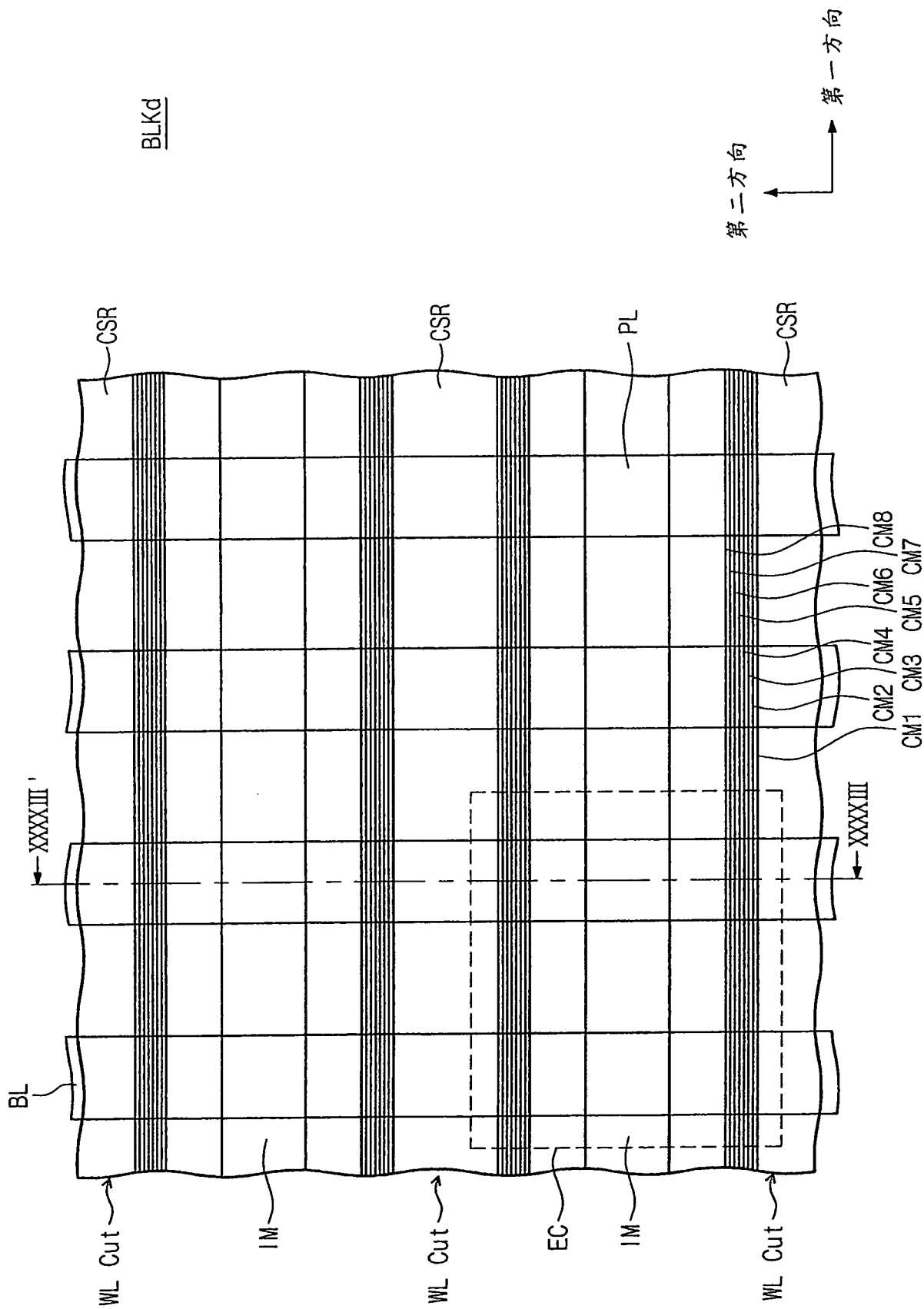


圖 42



圖 43

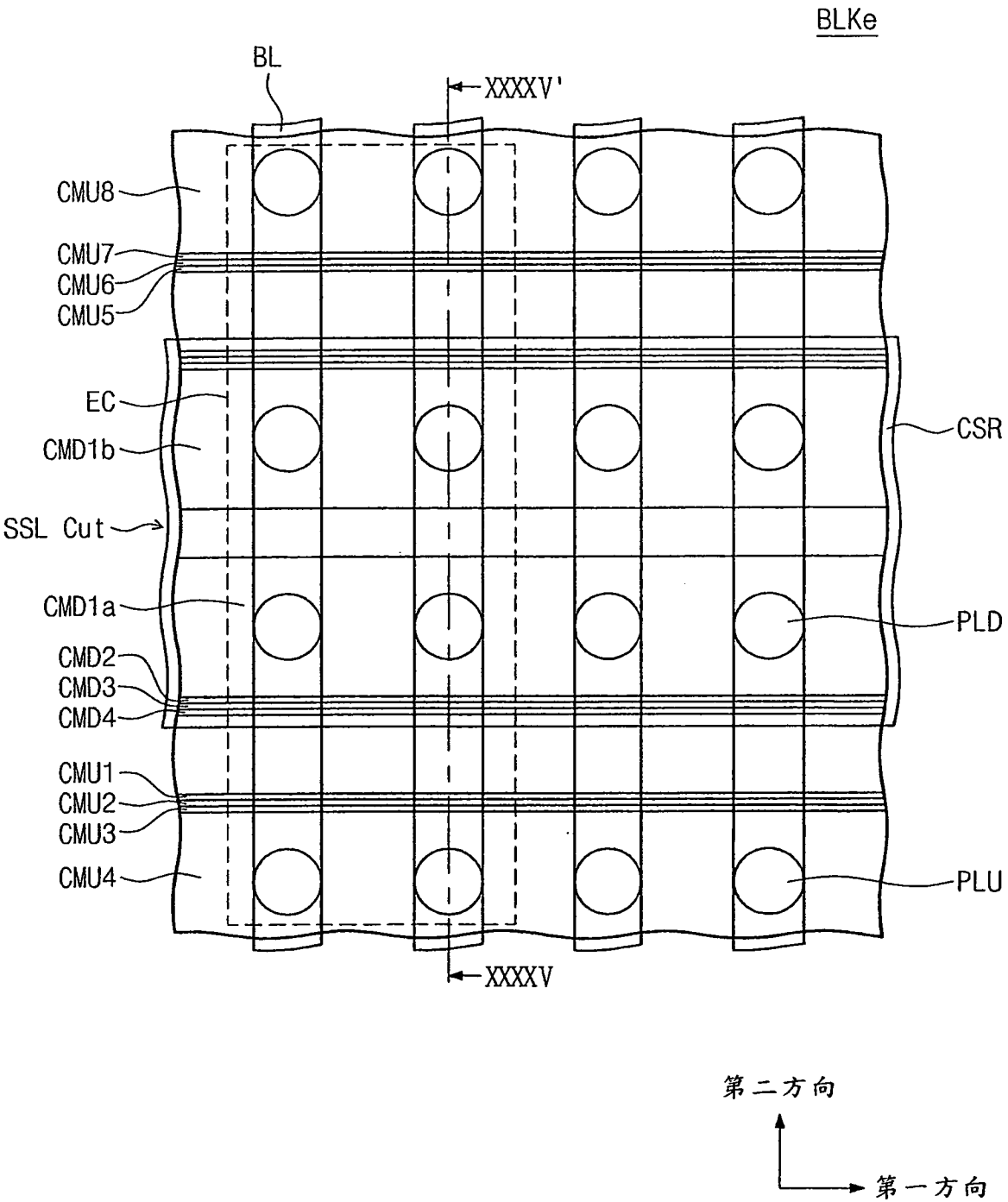


圖 44

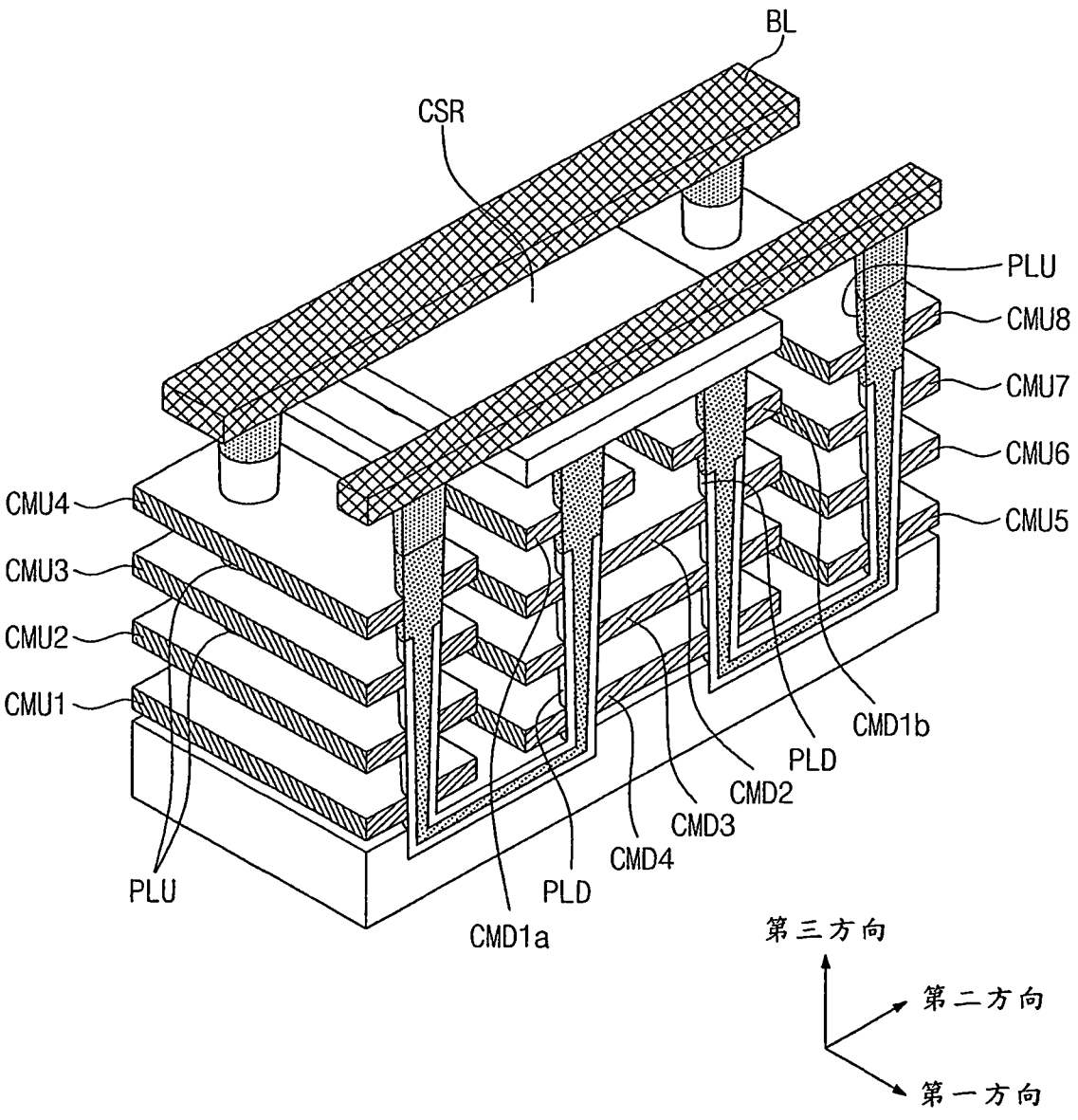


圖 45

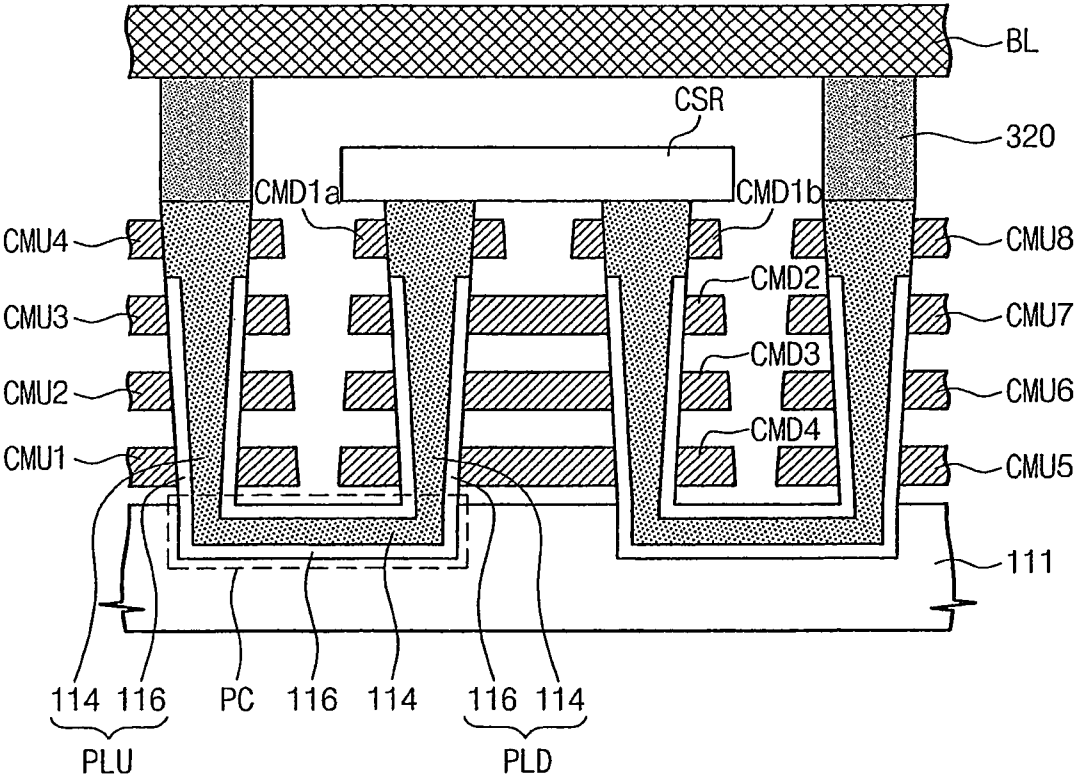


圖 46

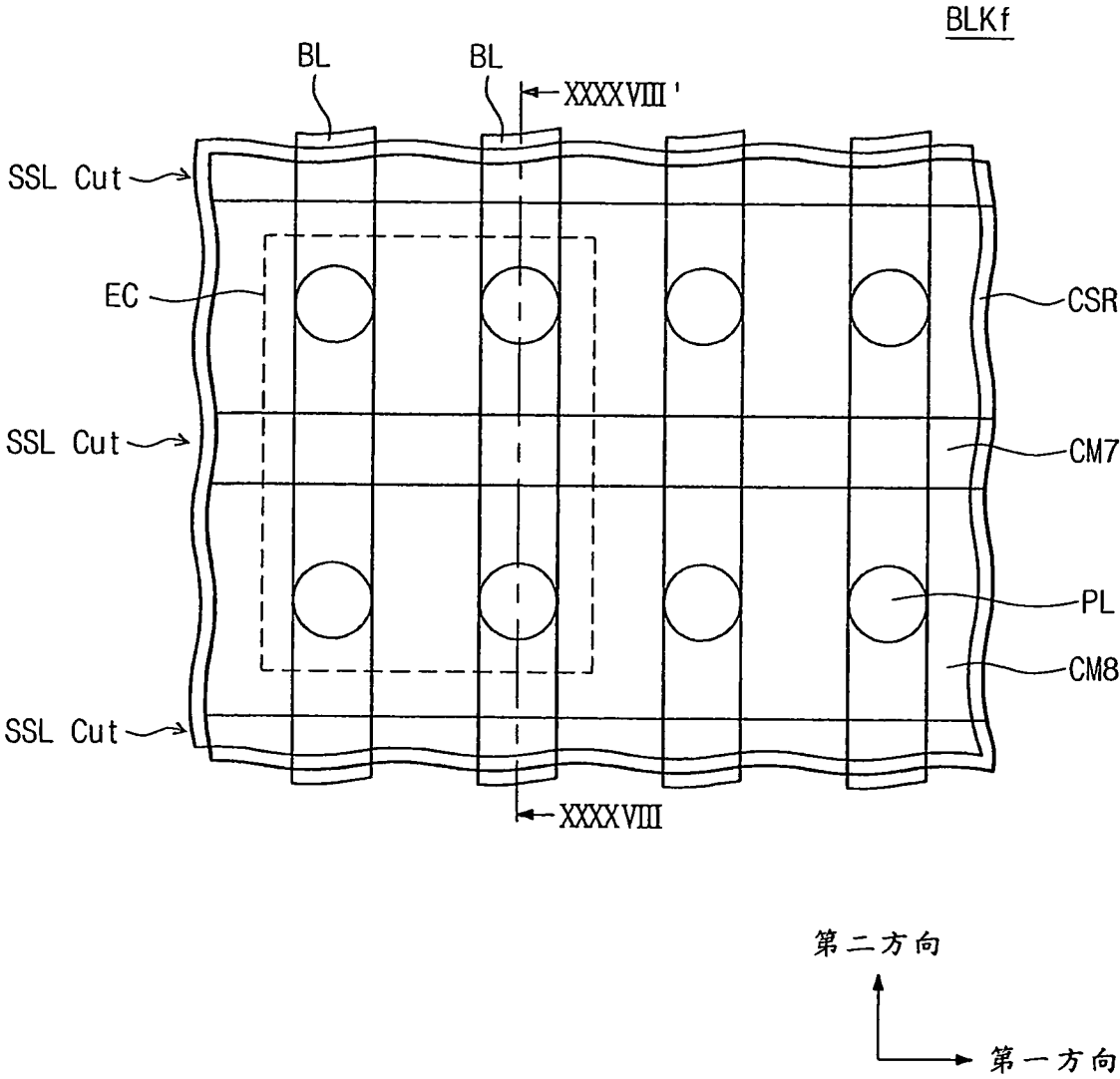


圖 47

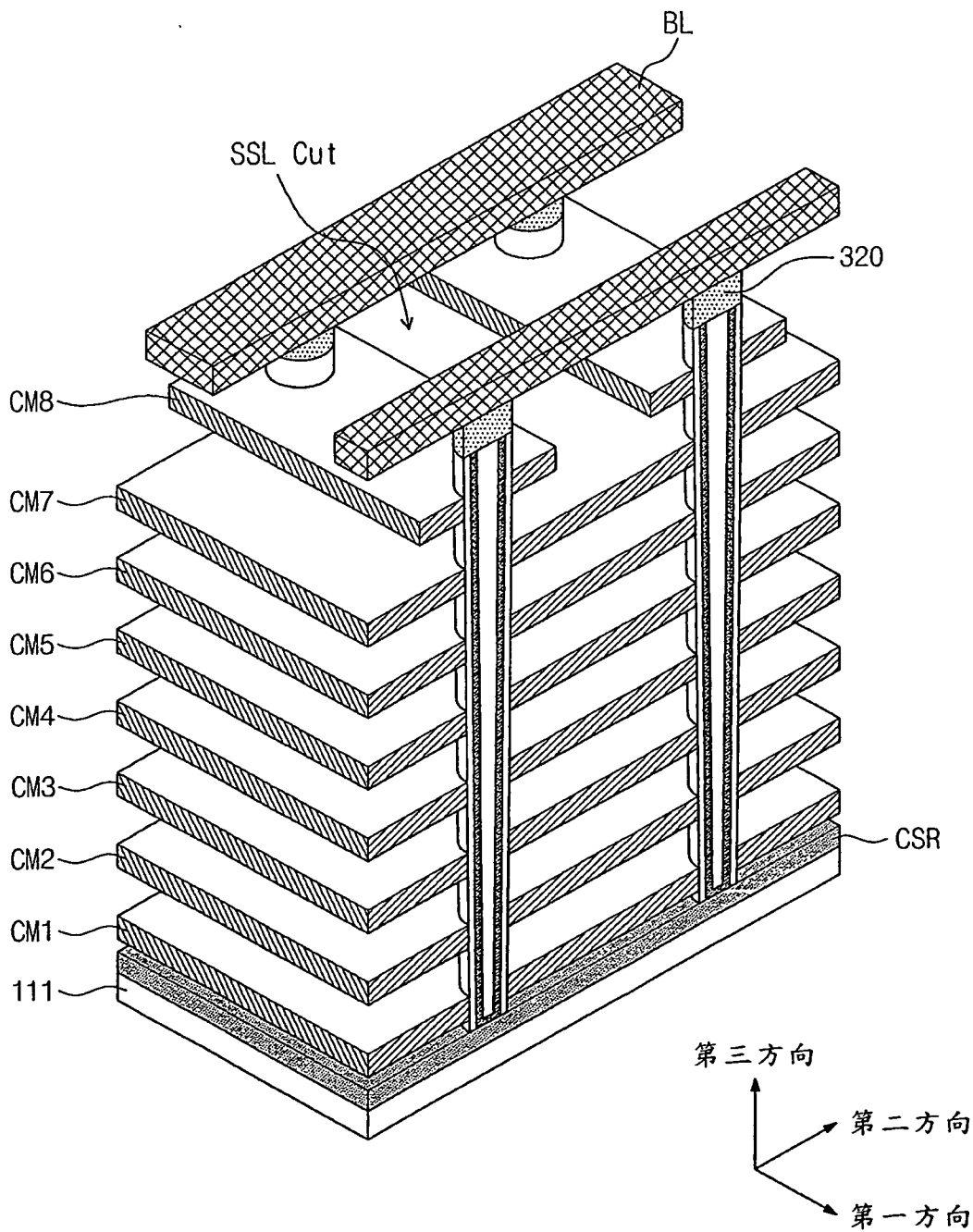


圖 48

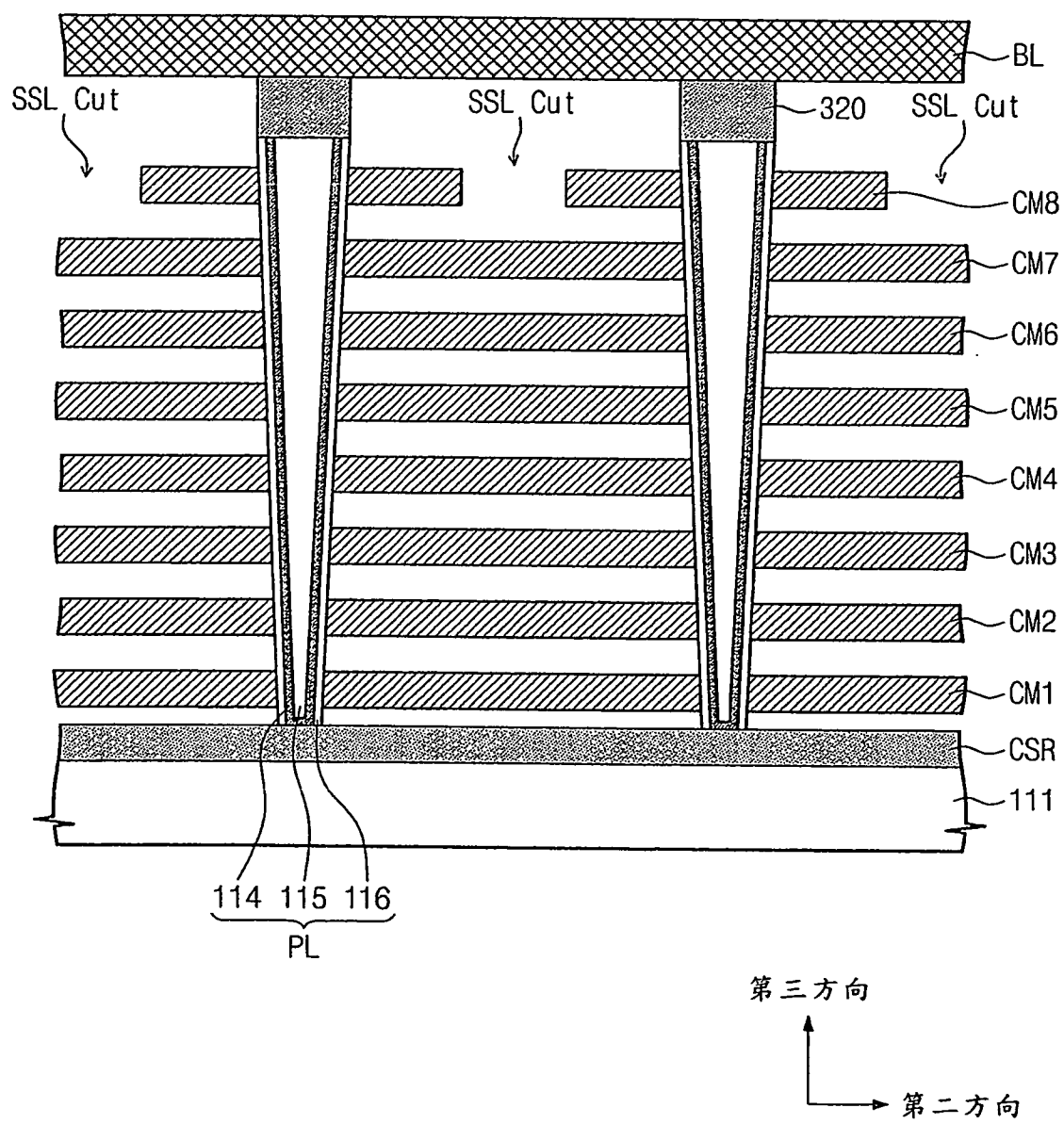


圖 49

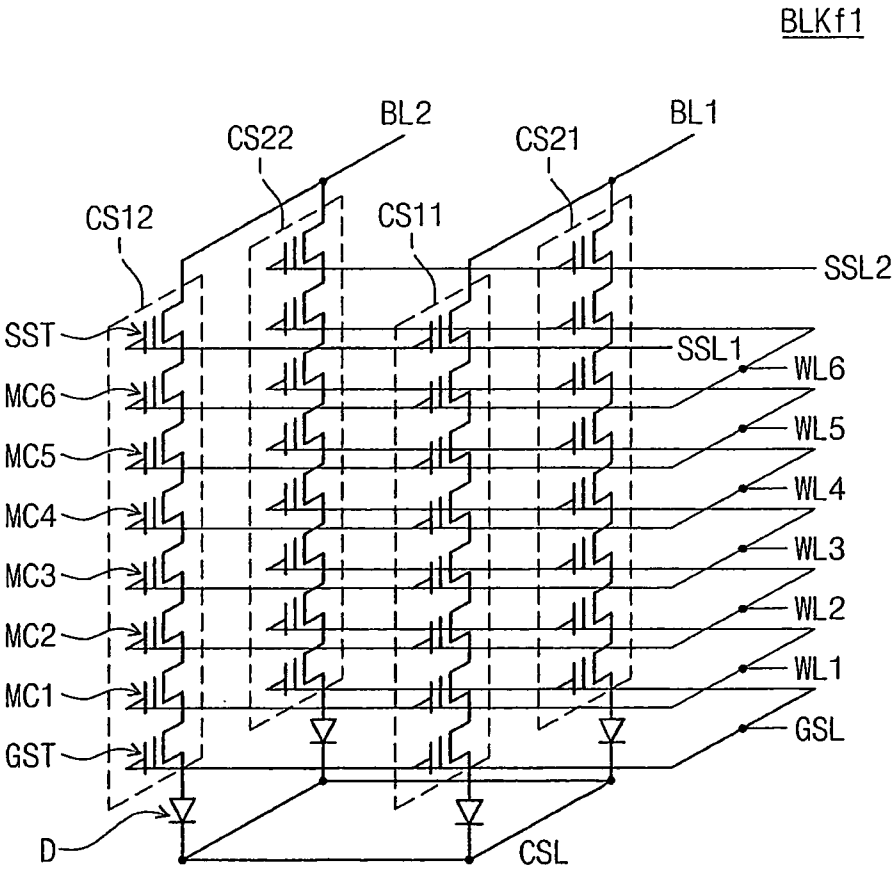


圖 50

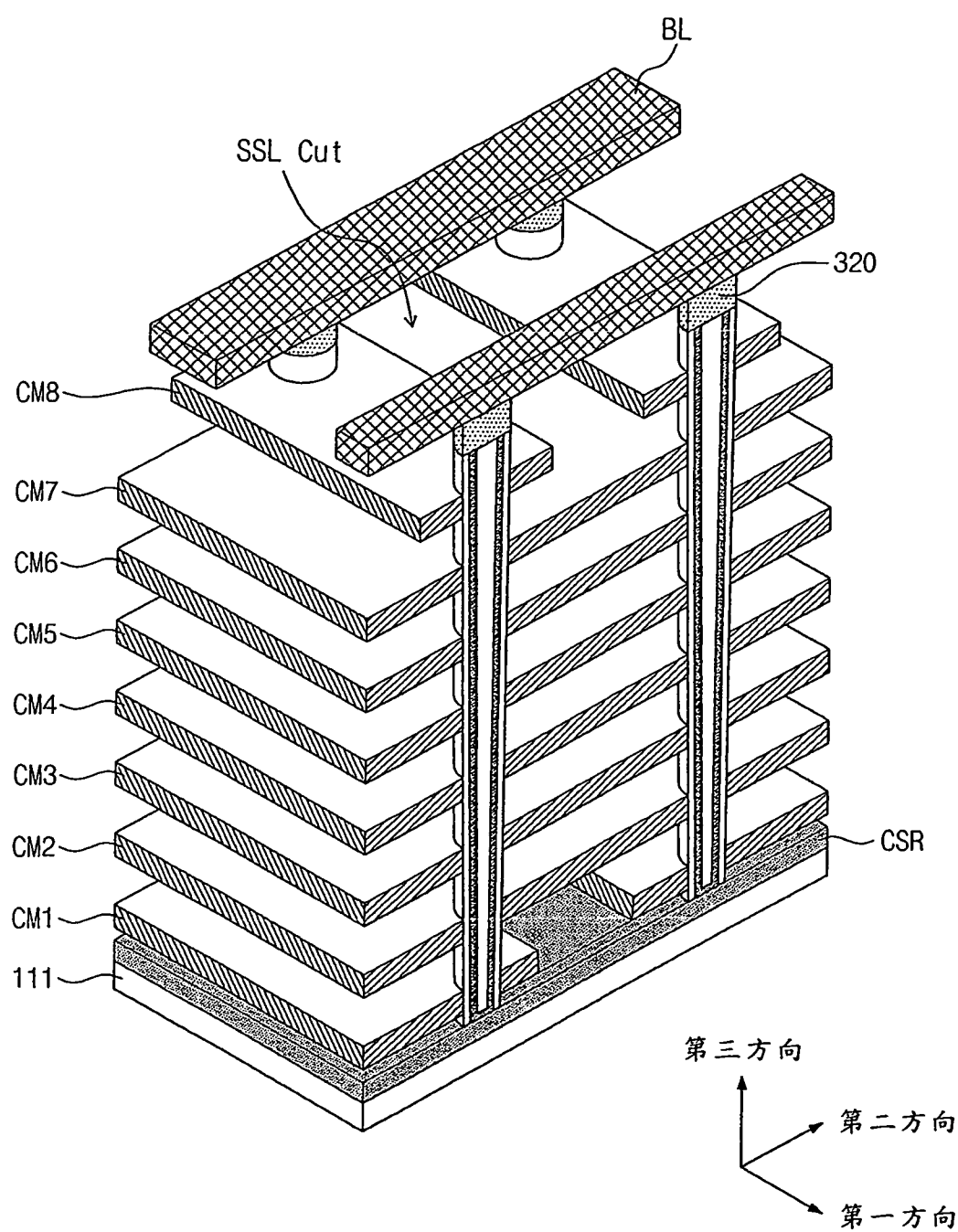


圖 51

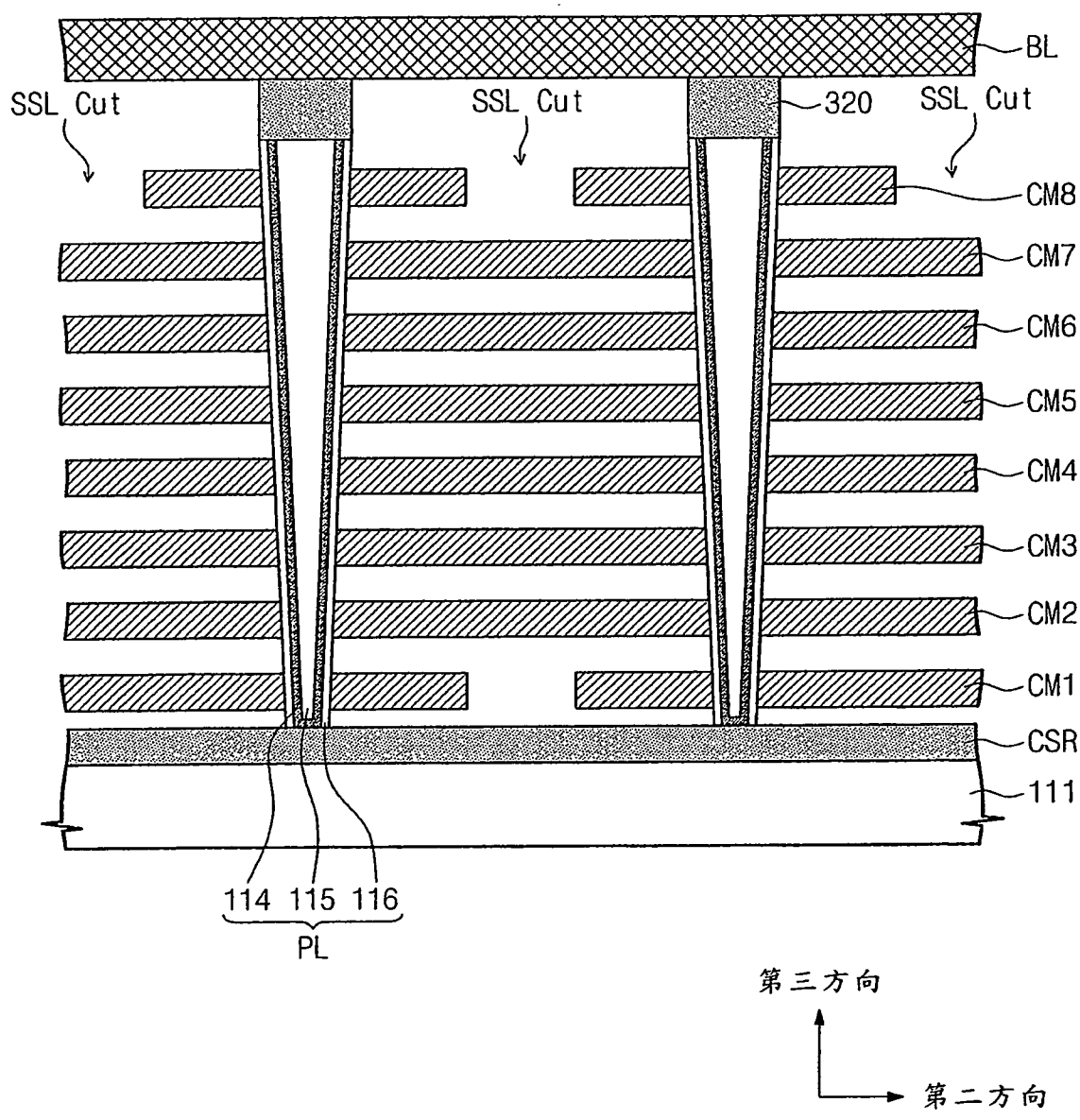


圖 52

BLKf2

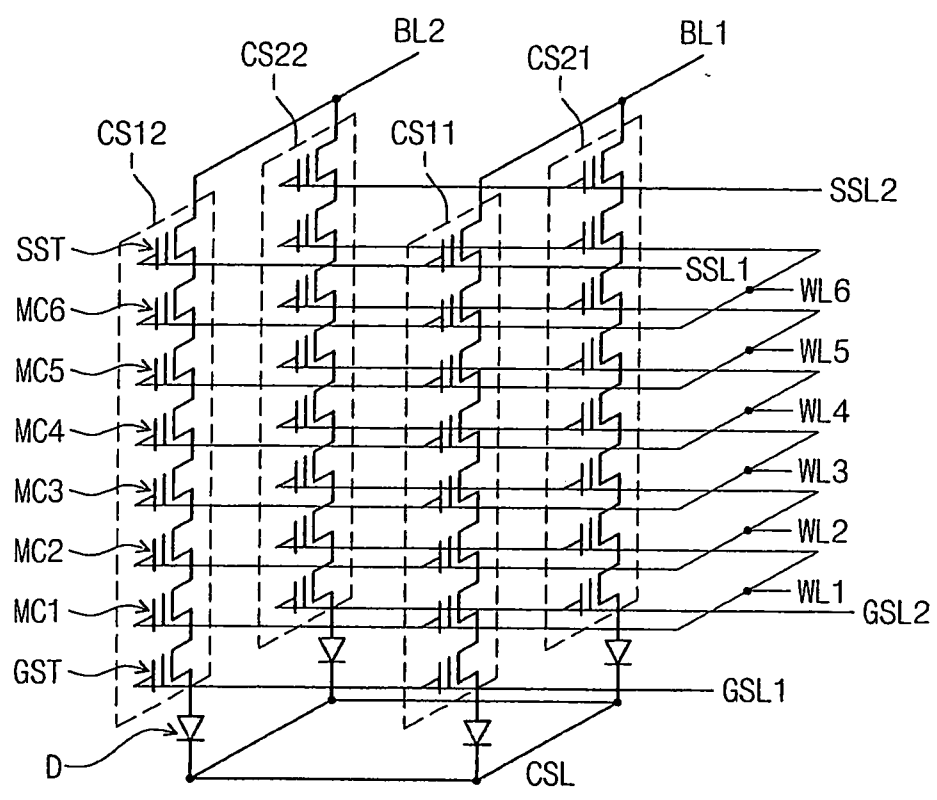


圖 53

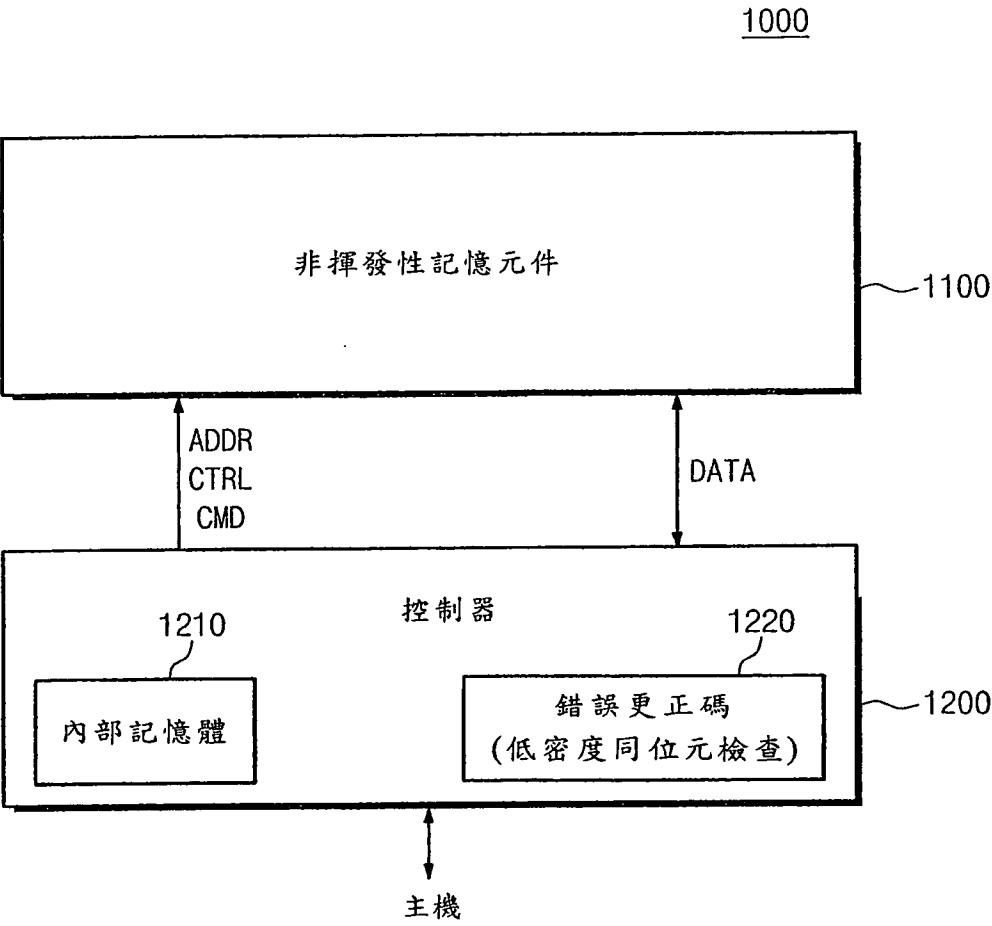


圖 54

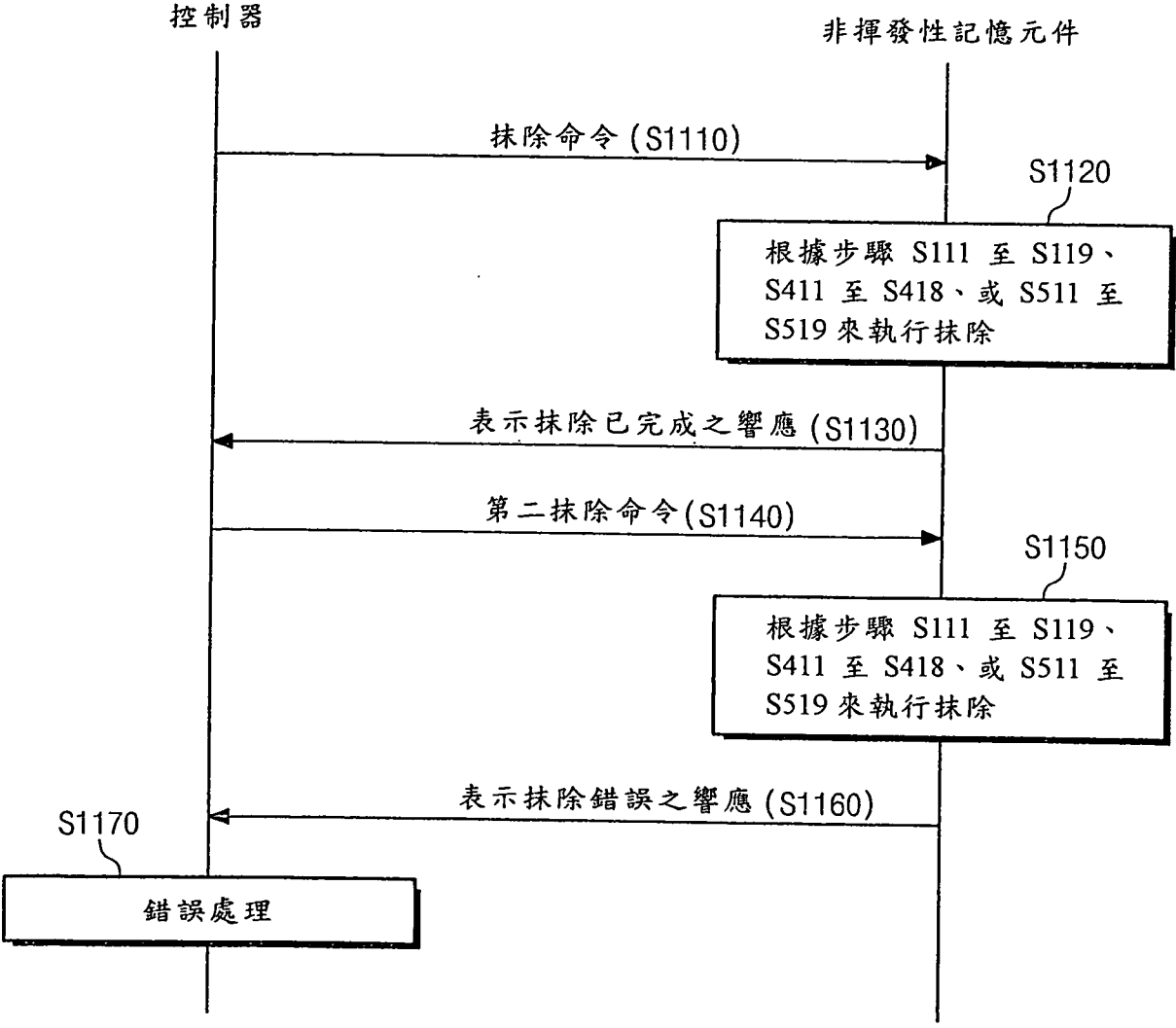


圖 55

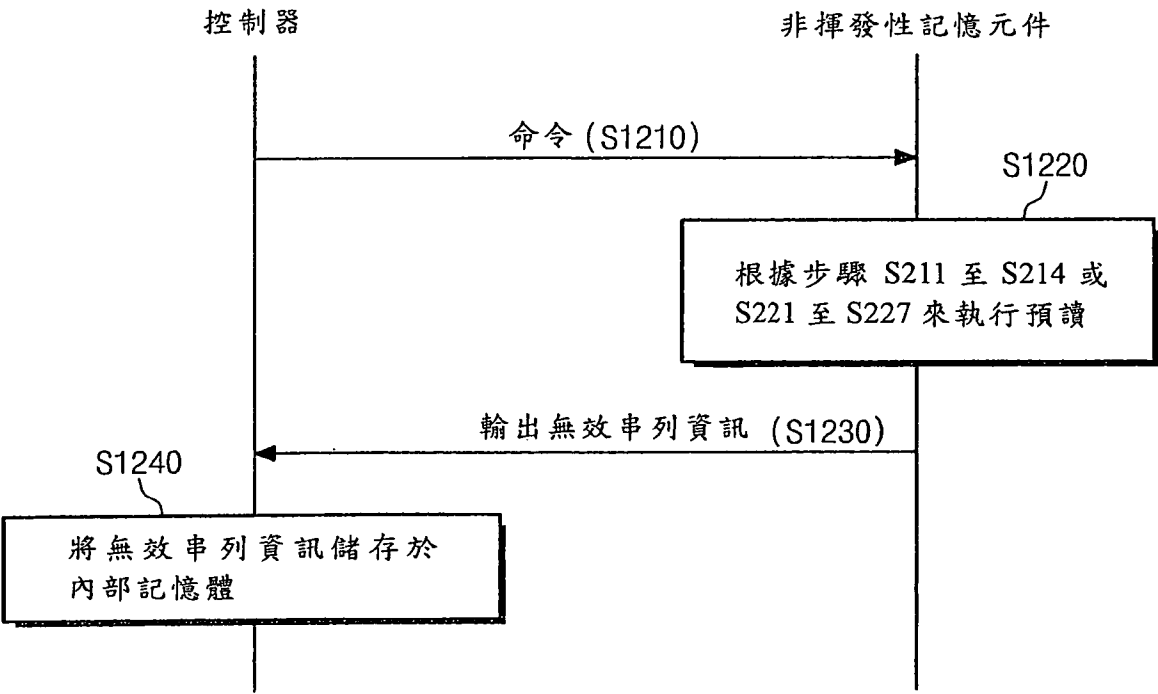


圖 56

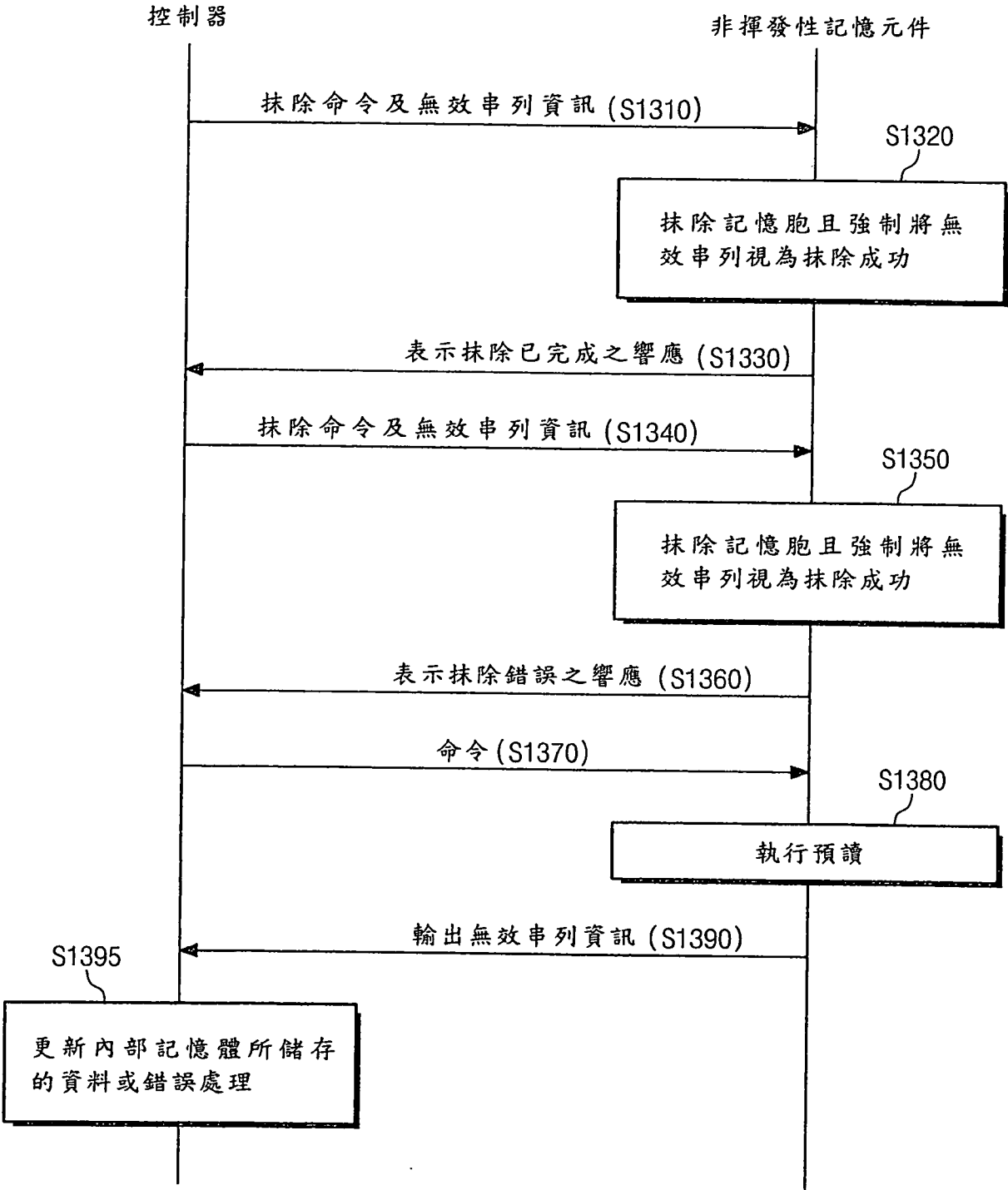


圖 57

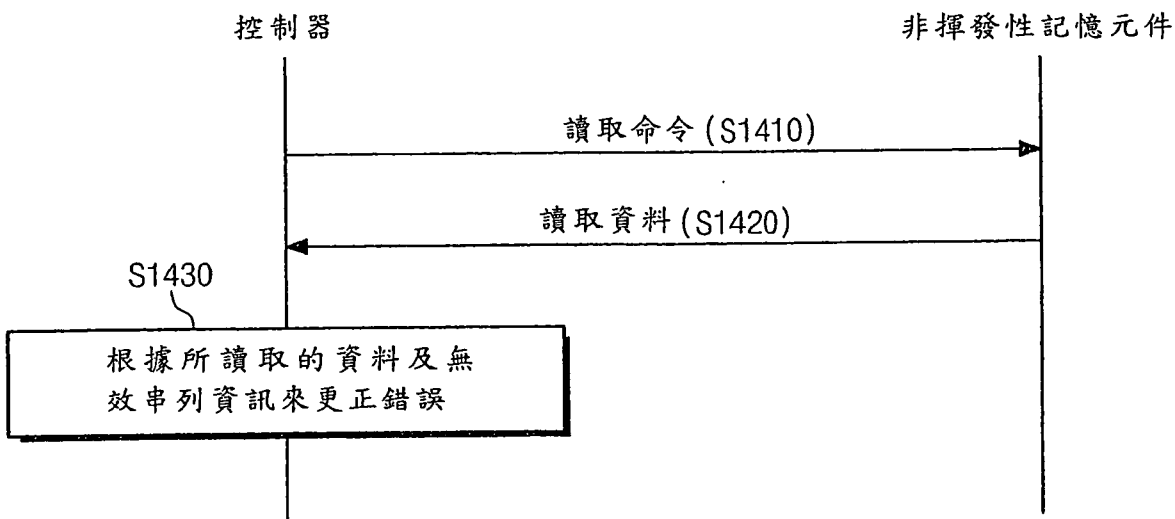


圖 58

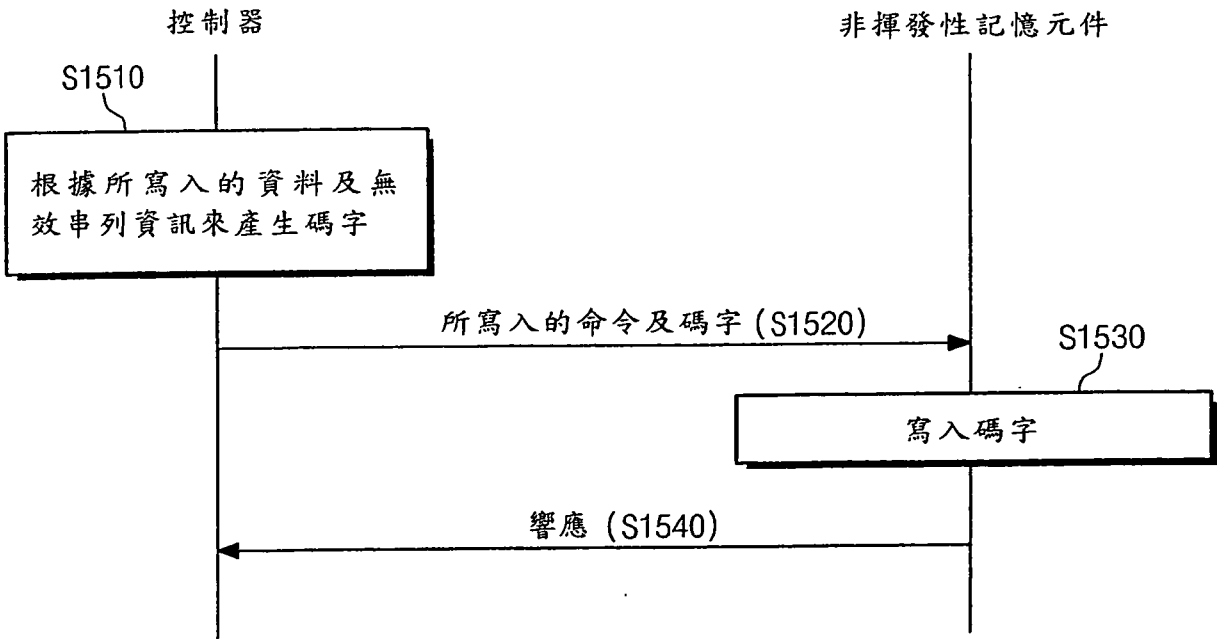


圖 59

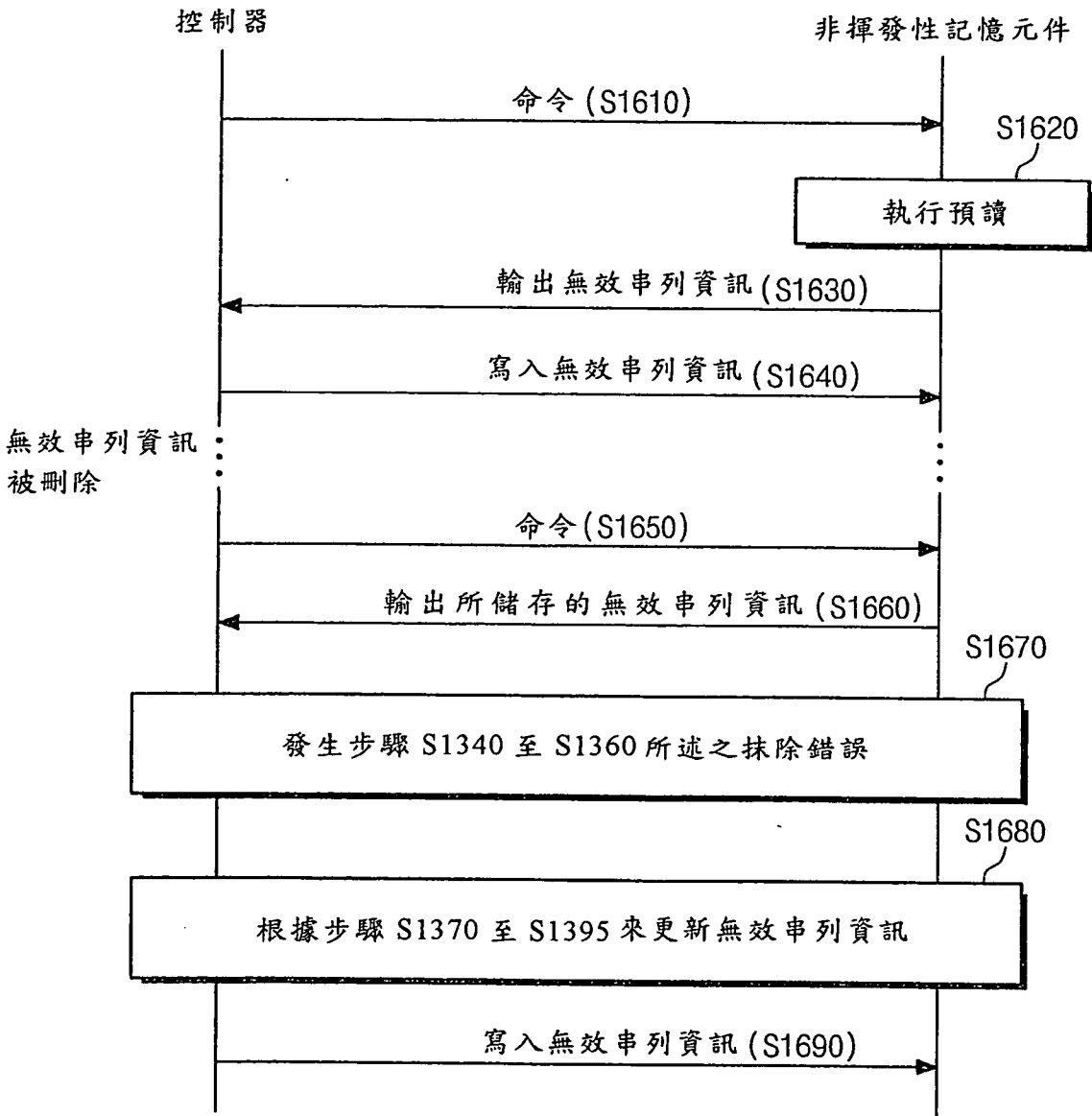


圖 60

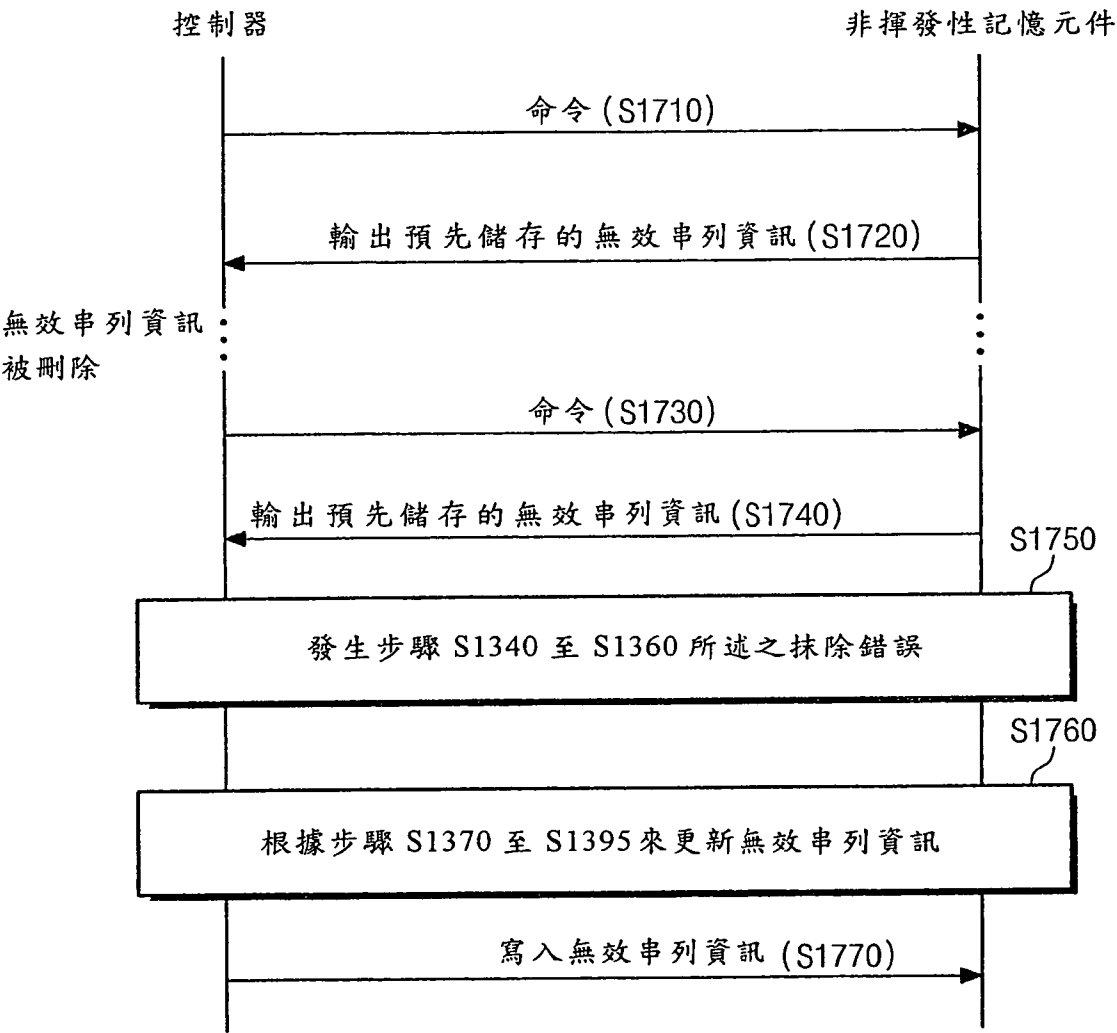


圖 61

2000

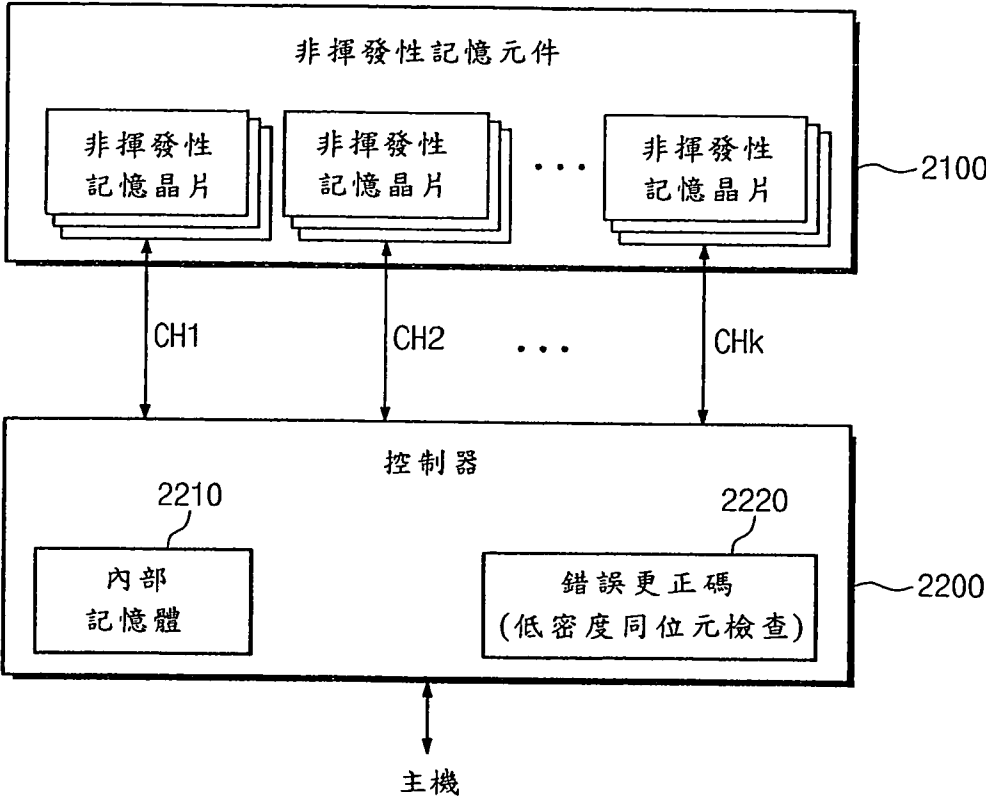


圖 62

3000

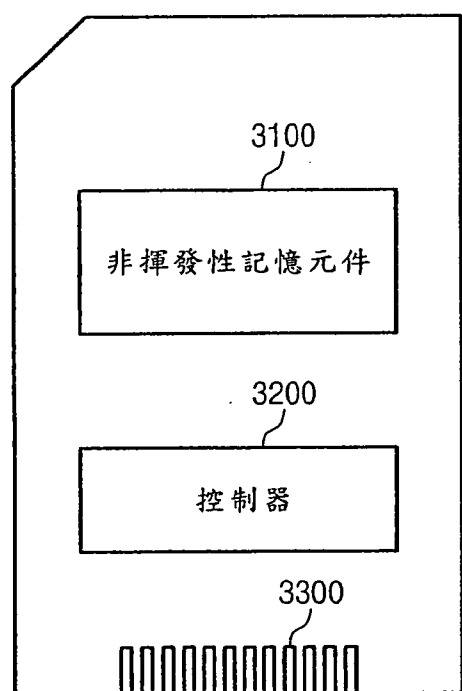


圖 63

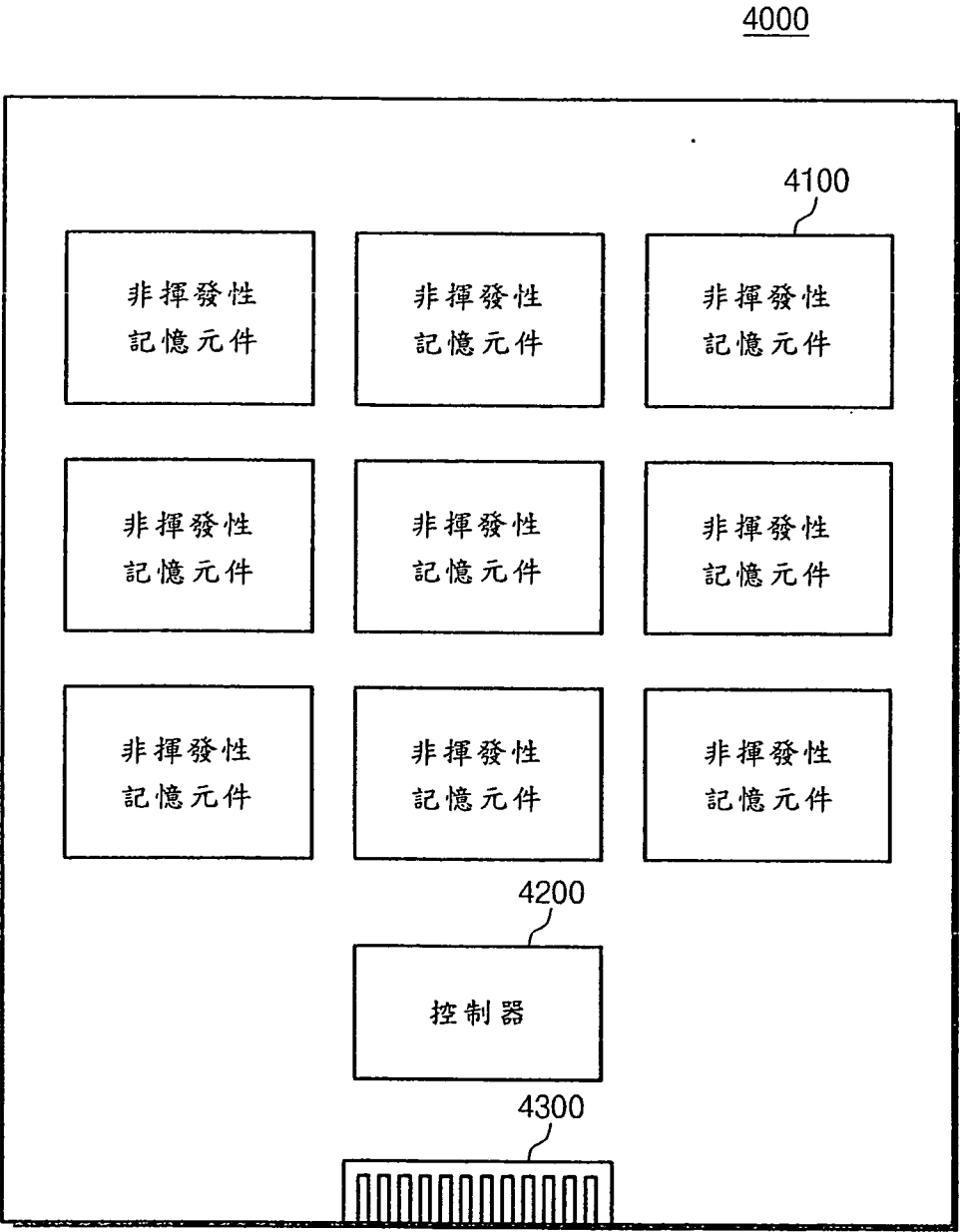


圖 64

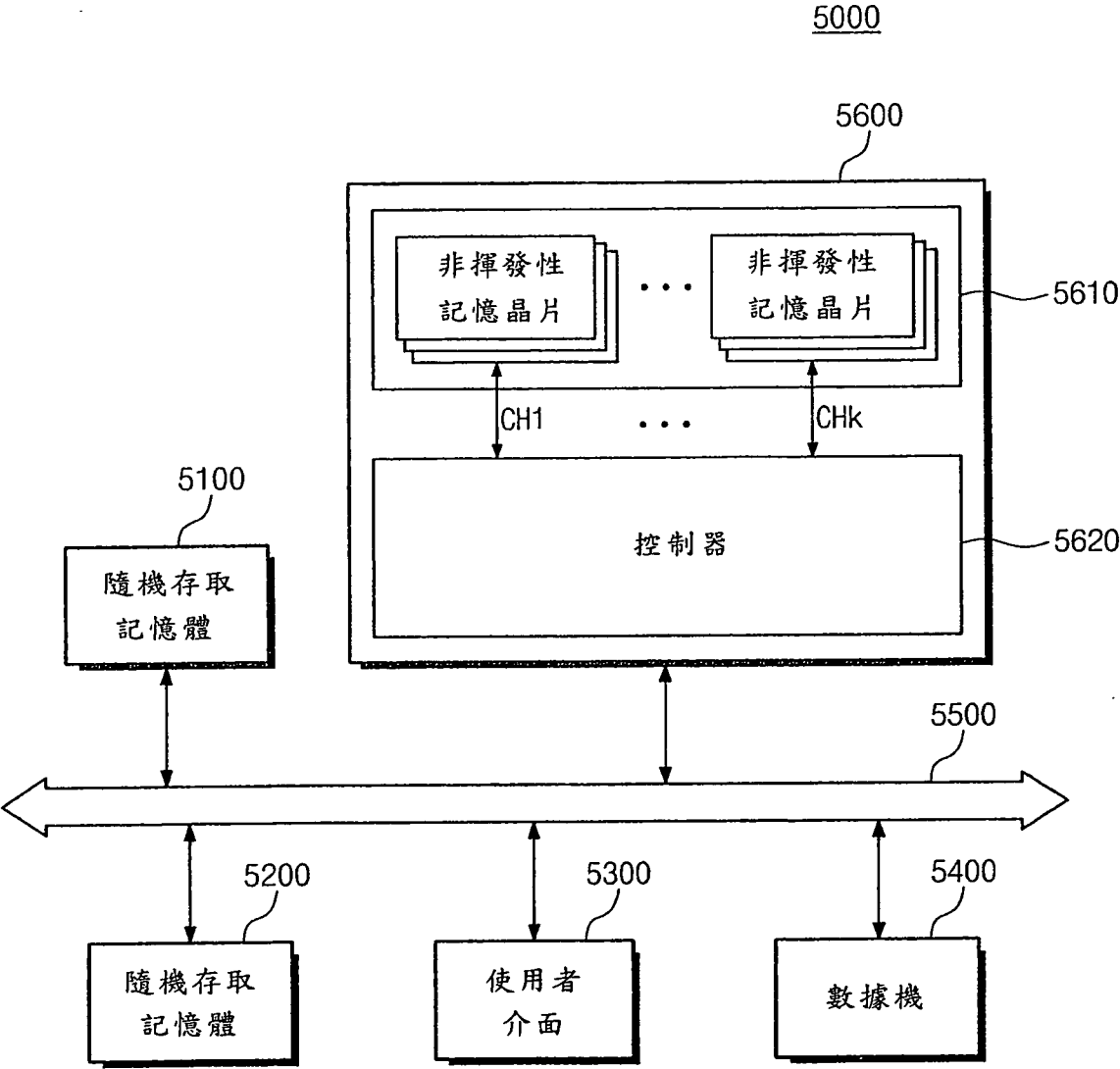


圖 65

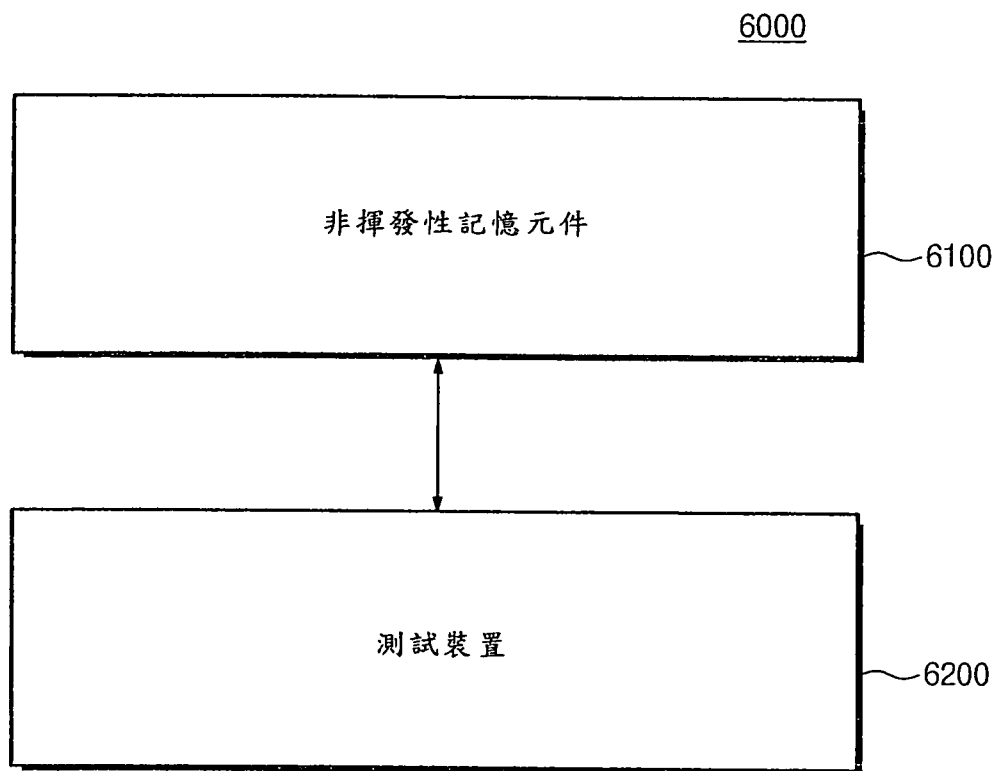


圖 66

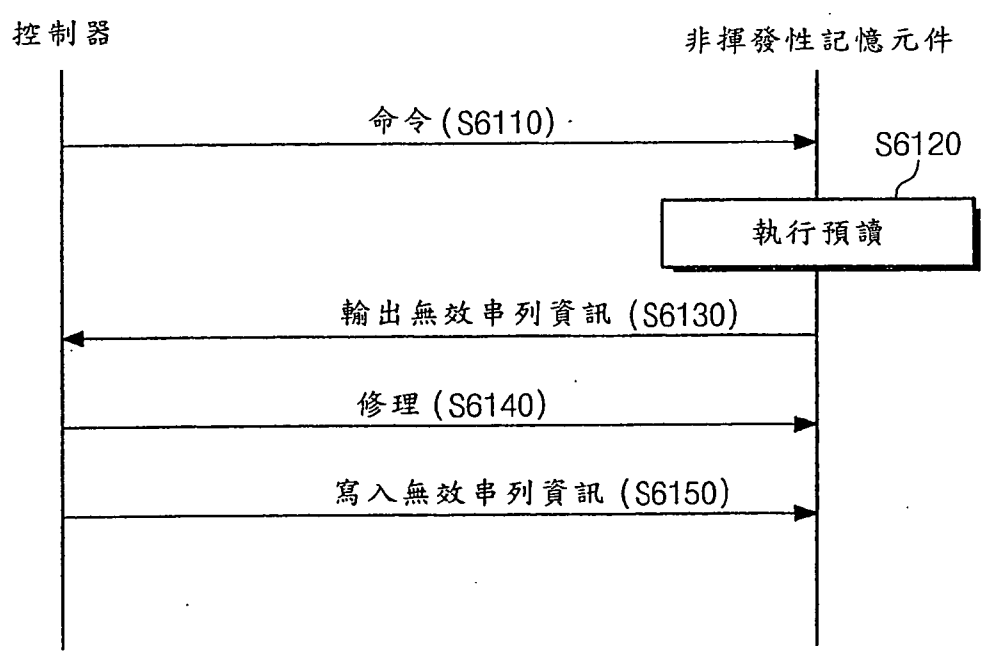


圖 67