

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4174860号
(P4174860)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int.Cl.	F I
HO4N 5/335 (2006.01)	HO4N 5/335 P
HO4N 5/235 (2006.01)	HO4N 5/335 Z
HO1L 27/148 (2006.01)	HO4N 5/235
	HO1L 27/14 B

請求項の数 2 (全 11 頁)

(21) 出願番号	特願平10-202079	(73) 特許権者	000002185
(22) 出願日	平成10年7月16日(1998.7.16)		ソニー株式会社
(65) 公開番号	特開2000-32356(P2000-32356A)		東京都港区港南1丁目7番1号
(43) 公開日	平成12年1月28日(2000.1.28)	(74) 代理人	100122884
審査請求日	平成17年3月8日(2005.3.8)		弁理士 角田 芳末
		(74) 代理人	100113516
			弁理士 磯山 弘信
		(74) 代理人	100080883
			弁理士 松隈 秀盛
		(72) 発明者	田中 弘明
			東京都品川区北品川6丁目7番35号 ソニー株式会社 社内
		審査官	内田 勝久

最終頁に続く

(54) 【発明の名称】 CCD撮像装置

(57) 【特許請求の範囲】

【請求項1】

複数の列を構成するように配された複数の光電変換部と、該複数の光電変換部の複数の列にそれぞれ対応して設けられ、各列の光電変換部から読出された画素信号を転送する複数の垂直レジスタと、該複数の垂直レジスタからの画素信号を転送する水平レジスタとを備えるインターライン転送方式のCCD撮像素子と、

該CCD撮像素子を駆動するCCD駆動回路と、

上記CCD撮像素子に対する光の入射を制御する遮光手段と、

を有するCCD撮像装置において、

露光期間の終了後の画素読出し期間の始めに、1垂直周期期間以上かつ垂直周期期間の倍数の間、上記垂直レジスタ及び上記水平レジスタの空転送を行った後、上記複数の光電変換部からの画素信号の読出し並びに上記垂直レジスタ及び上記水平レジスタによる上記読み出された画素信号の転送を行うように、上記CCD駆動回路によって、上記CCD撮像素子を制御するようにした

ことを特徴とするCCD撮像装置。

【請求項2】

前記1垂直周期期間の空転送は、1フィールドの画素信号の出力期間と同一の垂直転送速度、及び垂直転送間隔で行われる

ことを特徴とする請求項1に記載のCCD撮像装置。

【発明の詳細な説明】

10

20

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明はインターライン転送方式のCCD撮像素子及びメカニカルシャッタ、液晶シャッタ等の遮光手段を有するCCD撮像装置に関する。

【 0 0 0 2 】

【 従来技術 】

先ず、図3を参照して、IT方式（インターライン転送方式）のCCD（電荷結合デバイス）撮像素子を用いたCCD撮像装置について説明する。1はIT方式のCCD撮像素子、2はCCD撮像素子1を駆動するCCD駆動回路である。CCD撮像素子1は、イメージ部を構成する被写体像が投影されるマトリックス状に配された多数の光電変換部（フォトダイオードから構成される）PEC及び各列の光電変換部PECより1フィールド期間の受光によって得られた画素信号が、垂直ブランキング期間毎にそれぞれ一斉に転送されて読み出されるそれぞれアルミニウム薄膜で遮光された各列の垂直レジスタVR（それぞれ多段のCCDから構成されている）と、各列の垂直レジスタVRからのライン毎の画素信号が水平ブランキング期間毎に転送される1個の水平レジスタHR（多段のCCDから構成されている）から構成され、水平レジスタHRからフィールド毎の映像信号が出力される。

10

【 0 0 0 3 】

この図1のCCD撮像装置では、図示を省略するも、被写体よりの光が、対物レンズ、アイリス及びメカニカルシャッタ（液晶シャッタ等の他の遮光手段も可能である）を通じて、CCD撮像素子1の受光面に照射されるようになっている。メカニカルシャッタはシステム制御装置（CPUが内蔵されている）によって制御される。上述のCCD駆動回路2も、このシステム制御装置によって制御される。

20

【 0 0 0 4 】

尚、このCCD撮像素子では、フィールド読み出しが採用されており、各列の光電変換部PECの連続する2つの画素信号が、垂直レジスタVRの1段のCCDに転送される。従って、各列の光電変換部PECがR個あれば、垂直レジスタVRのCCDの段数は $R/2$ となる。この場合、各列の光電変換部PECの連続する2つの画素信号は、奇数フィールド及び偶数フィールドで、その組み合わせが変更される。勿論、フレーム読み出しも可能である。

30

【 0 0 0 5 】

次に、図4を参照して、IT方式のCCD撮像素子における暗信号について説明する。図4AのVは、垂直レジスタVRに関するクロックを示し、このクロックVは、各列の光電変換部PECから各列の垂直レジスタVRへの画素信号の読み出しクロックCLKと、各列の垂直レジスタVRに蓄積された画素信号を、水平ブランキング期間毎に水平レジスタHRに向かってラインシフトする垂直転送クロックVTCKからなる。

【 0 0 0 6 】

図4Bは、読み出しクロックCLKの発生直前にCCD撮像装置の電源が投入され（電源がONとされ）、その後読み出しクロックCLKの発生により、未受光の各列の光電変換部PECからの画素信号が、各列の垂直レジスタVRによって読み出された直後の垂直レジスタVRに蓄積されている画素信号の状態を示す。尚、各列の光電変換部PECの連続する2個の画素信号が、垂直レジスタVRの1段のCCDに転送されるものとする。CR2、CR1はそれぞれ上下の垂直方向の画素数がb個、a個の遮光領域の画素信号を示す。PRは垂直方向の画素数がn個の有効画素領域の画素信号を示す。この場合の各列の垂直レジスタの段数は、 $(n + a + b) / 2$ となる。

40

【 0 0 0 7 】

図4Cは、各列の垂直レジスタVRに蓄積された画素信号が、水平ブランキング期間毎に水平レジスタHRに向かって転送（ラインシフト）されたときの、1f（フィールド）期間における水平レジスタHRの暗信号出力波形（ダークシェーディング）1を示し、時間の経過に従って、画素信号の垂直レジスタVR内における蓄積時間に比例してレベル

50

が大きくなる特性を有する。

【 0 0 0 8 】

図 4 D は、電源 ON の後の 2 つ目の読み出しクロック R C K が発生した直後の、未受光の各列の光電変換部 P E C からの画素信号が、各列の垂直レジスタ V R によって読出された直後の垂直レジスタ V R に蓄積されている画素信号の状態を示す。この各列の垂直レジスタ V R に蓄積されている画素信号には、前の 1 フィールド期間のラインシフト時に形成された垂直レジスタ V R の上端から下端に行くに従って、レベルがリニアに増大する特性 S にて示す暗信号が含まれている。

【 0 0 0 9 】

図 4 E は、2 つ目の読み出しクロック R C K の直後に各列の垂直レジスタ V R に蓄積された画素信号が、水平ブランキング期間毎に水平レジスタ H R に向かって転送（ラインシフト）されたときの、1 f（フィールド）期間における水平レジスタの暗信号出力波形（ダークシェーディング） 2 を示し、この波形 2 は、時間の経過に従って、画素信号の垂直レジスタ内における蓄積時間に比例してレベルが大きくなる特性 1 に、図 4 D に示した特性 S に示すように垂直レジスタの上端から下端に行くに従って、レベルがリニアに増大する暗信号が加算された信号であって、時間の経過に従って、レベルの一定な特性を有する。電源 ON の後の 3 つ目以降の読み出しクロック R C K が発生した後の水平レジスタの暗信号出力波形は、図 4 E の 2 と同様になる。

【 0 0 1 0 】

メカニカルシャッタを使用する電子スチルカメラでは、C C D 撮像素子のフレーム読出し方式、又は、垂直レジスタ中で信号を混合しない全画素読出し方式が採用されている。フレーム読出し方式では、1 フレーム分の映像信号を得るためには、2 フィールド分の映像信号が必要であり、電子スチルカメラのように、1 回の露光で 1 枚の画像の映像信号を得る場合は、第 1 及び第 2 フィールドの画像の映像信号を変化させないために、露光完了後メカニカルシャッタ等で遮光する必要がある。

【 0 0 1 1 】

次に、図 5 を参照して、従来のメカニカルシャッタを使用するインターライン方式の C C D 撮像素子の暗信号について説明する。図 5 A はメカニカルシャッタの開閉状態を示す。図 5 B の S U B は基板クロックを示し、電子シャッタを動作させるためのクロックである。この基板クロック S U B により、電子シャッタによる信号電荷の排出を行っており、この基板クロック S U B の終わりが露光期間の開始点となる。図 5 C の V は、垂直レジスタ V R に関するクロックを示し、このクロック V は、各列の光電変換部 P E C から各列の垂直レジスタ V R の画素信号の読み出しクロック R C K と、各列の垂直レジスタ V R に蓄積された画素信号を、水平ブランキング期間毎に水平レジスタ H R に向かって転送する垂直転送クロック V T C K からなる。S O T は、各列の垂直レジスタの掃き出し転送を示し、ここでは読み出しクロック R C K の直前にその掃き出し転送が行われている。

【 0 0 1 2 】

次に、図 5 D ~ G を参照して、I T 方式の C C D 撮像素子における暗信号がどのように変化するかを説明する。図 5 C に示す如く、C C D 撮像装置の電源が投入されると同時に、露光期間の終了後、メカニカルシャッタが開状態から閉状態に移行すると共に、スミア信号等の除去のために、掃き出し転送 S O T が開始される。尚、全画素読出し方式の場合には、メカニカルシャッタを使用しなくても、1 回の露光で 1 枚の画像分の映像信号を得ることが可能であるが、スミア成分等の除去を行うために、同様の掃き出し転送を行う場合がある。

【 0 0 1 3 】

図 5 D は、電源投入後の 1 回目の掃き出し転送 S O T の終了後、垂直レジスタ V R に蓄積されている画素信号の状態を示し、掃き出し転送 S O T は垂直クロックによるラインシフトに較べて、頗る高速に行われるので、ラインシフト時とは異なり、各列の垂直レジスタにおける画素信号の滞留によって発生する特性 S にて示す暗信号のレベルは無視できる程

10

20

30

40

50

度に低い。即ち、垂直レジスタVRに蓄積されている信号が殆ど無いことを示す。

【0014】

図5Eは、第1のフィールド期間における水平レジスタの暗信号出力波形 1 を示し、暗信号の有効画素信号の垂直レジスタ内における滞留時間に比例してレベルが高くなり、即ち、暗信号が画面の位置により異なってしまうので、黒いもの又は暗い所を撮像したときに画面位置により、若干異なった見え方をしてしまう。このため、より高画質が要求される電子スチルカメラでは問題がある場合がある。

【0015】

図5Cに示す如く、電源投入後の2回目の掃き出し転送が行われ、スミア信号と共に、暗信号が除去され、その2回目の掃き出し転送SOTの終了後、直ちに2回目の読み出しク

10

ロックRCKが発生する。

【0016】

図5Fは、図5Dと同様であり、垂直レジスタVRに蓄積されている信号が殆ど無いことを示す。

【0017】

図5Gは、第2のフィールド期間における水平レジスタの暗信号出力波形 2 を示し、暗信号の有効画素信号の垂直レジスタ内における滞留時間に比例してレベルが高くなり、即ち、暗信号が画面の位置により異なってしまうので、黒いもの又は暗い所を撮像したときに画面位置により、若干異なった見え方をしてしまう。このため、より高画質が要求される電子スチルカメラでは問題がある場合がある。

20

【0018】

又、掃き出し転送は、露光期間中のスミア成分を除去できれば良いので、必ずしも図5Cに示す如く、第2フィールドの読み出し直前に行う必要はない。

【0019】

図6に、第2フィールドの読み出し直前に掃き出し転送を行わない場合の例を示す。尚、図6A~Gは、それぞれ図5A~Gに対応する図である。図6Fは、電源ONの後の2回目の読み出しクロックRCKが発生した直後の、未受光の各列の光電変換部PECからの画素信号が、各列の垂直レジスタVRによって読出された直後の垂直レジスタVRに蓄積されている画素信号の状態を示す。この各列の垂直レジスタVRに蓄積されている画素信号には、図4Dと同様に、前の1フィールド期間のラインシフト時に形成された、特性S

30

に示すように垂直レジスタVRの上端から下端に行くに従って、レベルがリニアに増大する暗信号が含まれている。

【0020】

図6Gは、図4Eと同様に、時間の経過に従って、画素信号の垂直レジスタVR内における蓄積時間に比例してレベルが大きくなる特性 1 に、図6Fに示した特性Sに示すように垂直レジスタVRの上端から下端に行くに従って、レベルがリニアに増大する暗信号が加算された信号であって、時間の経過に従ってレベルの一定な特性を有する。尚、その他は、図5同様なので、説明を省略する。

【0021】

【発明が解決しようとする課題】

40

上述の点に鑑み、本発明は、インターライン方式のCCD撮像素子及びメカニカルシャッタを有するCCD撮像装置において、掃き出し転送を行った場合の信号シェーディングを補正して、一定値にすることのできるものを提案しようとするものである。

【0022】

【課題を解決するための手段】

本発明は、複数の列を構成するように配された複数の光電変換部と、その複数の光電変換部の複数の列にそれぞれ対応して設けられ、各列の光電変換部から読出された画素信号を転送する複数の垂直レジスタと、その複数の垂直レジスタからの画素信号を転送する水平レジスタとを備えるインターライン転送方式のCCD撮像素子と、そのCCD撮像素子を駆動するCCD駆動回路と、CCD撮像素子に対する光の入射を制御する遮光手段とを

50

有するCCD撮像装置において、露光期間の終了後の画素読出し期間の始めに、1垂直周期期間以上かつ垂直周期期間の倍数の間、垂直レジスタ及び水平レジスタの空転送を行った後、複数の光電変換部からの画素信号の読出し並びに垂直レジスタ及び水平レジスタによる読み出された画素信号の転送を行うように、CCD駆動回路によって、CCD撮像素子を制御するようにしたものである。

【0023】

かかる本発明によれば、メカニカルシャッタが開状態にある露光期間の終了後の、メカニカルシャッタが閉状態にある画素読出し期間の始めに、1垂直周期期間以上かつ垂直周期期間の倍数の間、垂直レジスタ及び水平レジスタの空転送を行った後、複数の光電変換部からの画素信号の読出し並びに垂直レジスタ及び水平レジスタによる読み出された画素信号の転送を行うように、CCD駆動回路によって、CCD撮像素子を制御するようにする。

10

【0024】

【発明の実施の形態】

本発明は、複数の列を構成するように配された複数の光電変換部と、その複数の光電変換部の複数の列にそれぞれ対応して設けられ、各列の光電変換部から読出された画素信号を転送する複数の垂直レジスタと、その複数の垂直レジスタからの画素信号を転送する水平レジスタとを備えるインターライン転送方式のCCD撮像素子と、そのCCD撮像素子を駆動するCCD駆動回路と、CCD撮像素子に対する光の入射を制御する遮光手段とを有するCCD撮像装置において、露光期間の終了後の画素読出し期間の始めに、1垂直周期期間以上かつ垂直周期期間の倍数の間、垂直レジスタ及び水平レジスタの空転送を行った後、複数の光電変換部からの画素信号の読出し並びに垂直レジスタ及び水平レジスタによる読み出された画素信号の転送を行うように、CCD駆動回路によって、CCD撮像素子を制御するようにしたCCD撮像装置である。

20

【0025】

〔発明の実施の形態の具体例〕

本発明の実施の形態の具体例のCCD撮像装置は、図3について説明したような、複数の列を構成するように配された複数の光電変換部PECと、その複数の光電変換部PECの複数の列にそれぞれ対応して設けられ、各列の光電変換部から読出された画素信号を転送する複数の垂直レジスタVRと、その複数の垂直レジスタVRからの画素信号を転送する水平レジスタHRとを備えるインターライン転送方式のCCD撮像素子1と、そのCCD撮像素子1を駆動するCCD駆動回路2と、CCD撮像素子1に対する光の入射を制御する遮光手段としてのメカニカルシャッタ（液晶シャッタ等の他の遮光手段も可能である）とを有するCCD撮像装置において、メカニカルシャッタが開状態にある露光期間の終了後の、メカニカルシャッタが閉状態にある画素読出し期間の始めに、1垂直周期期間以上（垂直周期期間の1、2、3、...倍の間）の間、垂直レジスタVR及び水平レジスタHRの空転送を行った後、複数の光電変換部PECからの画素信号の読出し並びに垂直レジスタVR及び水平レジスタHRによる読み出された画素信号の転送を行うように、CCD駆動回路2によって、CCD撮像素子1を制御するようにする。

30

【0026】

次に、図1を参照して、具体例のメカニカルシャッタを使用するインターライン方式のCCD撮像素子の暗信号について説明する。図1Aはメカニカルシャッタの開閉状態を示す。図1BのSUBは基板クロックを示し、電子シャッタを動作させるためのクロックである。この基板クロックSUBにより、電子シャッタによる信号電荷の排出を行っており、この基板クロックSUBの終わりが露光期間の開始点となる。図1CのVは、垂直レジスタVRに関するクロックを示し、このクロックVは、各列の光電変換部PECから各列の垂直レジスタへVRの画素信号の読み出しクロックRCKと、各列の垂直レジスタVRに蓄積された画素信号を、水平ブランキング期間毎に水平レジスタHRに向かって転送する垂直転送クロックVTCKからなる。SOTは、各列の垂直レジスタの掃き出し転送を示し、ここでは読み出しクロックRCKの直前にその掃き出し転送が行われてい

40

50

る。

【 0 0 2 7 】

次に、図 1 D ~ G を参照して、IT 方式の CCD 撮像素子における暗信号がどのように変化するかを説明する。図 1 C に示す如く、CCD 撮像装置の電源が投入されると同時に、露光期間の終了後、メカニカルシャッタが開状態から閉状態に移行すると共に、スミア信号等の除去のために、掃き出し転送 SOT が開始される。尚、全画素読出し方式の場合には、メカニカルシャッタを使用しなくても、1 回の露光で 1 枚の画像分の映像信号を得ることが可能であるが、スミア成分等の除去を行うために、同様の掃き出し転送を行う場合がある。

【 0 0 2 8 】

図 1 D は、電源投入後の 1 回目の掃き出し転送 SOT の終了後、垂直レジスタ VR に蓄積されている画素信号の状態を示し、掃き出し転送 SOT は、垂直クロックによるラインシフトに較べて頗る高速に行われるので、ラインシフト時とは異なり、各列の垂直レジスタにおける画素信号の滞留によって発生する特性 S にて示す暗信号のレベルは無視できる程度に低い。即ち、垂直レジスタ VR に蓄積されている信号が殆ど無いことを示す。

【 0 0 2 9 】

図 1 E は、空転送によるラインシフトが行なわれるときの、暗信号出力波形 1 を示し、暗信号の垂直レジスタ内における滞留時間に比例してレベルが高くなり、即ち、暗信号が画面の位置により異なってしまう。

【 0 0 3 0 】

図 1 C に示す如く、電源投入後の 1 回目の読出しクロック RCK によって、複数の光電変換部 PEC から画素信号が読み出される。

【 0 0 3 1 】

図 1 F は、電源 ON の後の 1 つ目の読出しクロック RCK が発生した直後の、未受光の各列の光電変換部 PEC からの画素信号が、各列の垂直レジスタ VR によって読出された直後の垂直レジスタ VR に蓄積されている画素信号の状態を示す。この各列の垂直レジスタ VR に蓄積されている画素信号には、前の 1 フィールド期間の空転送時に形成された、特性 S に示すように垂直レジスタ VR の上端から下端に行くに従って、レベルがリニアに増大する暗信号が含まれている。

【 0 0 3 2 】

図 1 G は、1 つ目の読出しクロック RCK の直後に各列の垂直レジスタ VR に蓄積された画素信号が、水平ブランキング期間毎に水平レジスタ HR に向かって転送（ラインシフト）されたときの、1 f（フィールド）期間における水平レジスタの暗信号出力波形（ダークシェーディング） 2 を示し、この波形 2 は、時間の経過に従って、画素信号の垂直レジスタ内における蓄積時間に比例してレベルが大きくなる特性 1 に、特性 S に示すように垂直レジスタの上端から下端に行くに従って、レベルがリニアに増大する暗信号が加算された、時間の経過に従って、レベルの一定な特性を呈する。

【 0 0 3 3 】

図 1 C に示す如く、電源投入後の 2 回目の読出しクロック RCK によって、複数の光電変換部 PEC から画素信号が読み出される。

【 0 0 3 4 】

電源 ON の後の 2 つ目の読出しクロック RCK が発生した直後の、未受光の各列の光電変換部 PEC からの画素信号が、各列の垂直レジスタ VR によって読出された直後の垂直レジスタ VR に蓄積されている画素信号の状態は、図 1 F と同様である。この各列の垂直レジスタ VR に蓄積されている画素信号には、前の 1 フィールド期間のラインシフト時に形成された、特性 S に示すように垂直レジスタ VR の上端から下端に行くに従って、レベルがリニアに増大する暗信号が含まれている。

【 0 0 3 5 】

図 1 H は、2 つ目の読出しクロック RCK の直後に各列の垂直レジスタ VR に蓄積された画素信号が、水平ブランキング期間毎に水平レジスタ HR に向かって転送（ラインシフ

10

20

30

40

50

ト)されたときの、1 f (フィールド) 期間における水平レジスタの暗信号出力波形 (ダークシェーディング) 3 を示し、この波形 3 は、時間の経過に従って、画素信号の垂直レジスタ内における蓄積時間に比例してレベルが大きくなる特性 2 に、特性 S に示すように垂直レジスタの上端から下端に行くに従って、レベルがリニアに増大する暗信号が加算された、時間の経過に従って、レベルの一定な特性を呈する。

【0036】

ところで、図1の具体例では、電源投入後の1垂直周期期間は、光電変換部 P E C からの画素信号の読出しを行わず、垂直レジスタ V R 及び水平レジスタ H R の空転送を行うので、この間にスミア信号の除去が可能であるので、図1の具体例における図1Cの掃き出し転送 S O T を省略することができ、その場合の具体例を図2に示す。尚、図2において、図1の A、B、C はそれぞれ図2の A、B、C に対応し、図1の E、F、G、H はそれぞれ図2の D、E、F、G に対応する。

10

【0037】

図2Dは、空転送によるラインシフトが行なわれるときの、暗信号出力波形 1 を示し、暗信号の垂直レジスタ内における滞留時間に比例してレベルが高くなり、即ち、暗信号が画面の位置により異なってしまう。

【0038】

図2Cに示す如く、電源投入後の1回目の読出しクロック R C K によって、複数の光電変換部 P E C から画素信号が読み出される。

【0039】

図2Eは、電源 O N の後の1つ目の読み出しクロック R C K が発生した直後の、未受光の各列の光電変換部 P E C からの画素信号が、各列の垂直レジスタ V R によって読出された直後の垂直レジスタ V R に蓄積されている画素信号の状態を示す。この各列の垂直レジスタ V R に蓄積されている画素信号には、前の1フィールド期間の空転送時に形成された、特性 S に示すように垂直レジスタ V R の上端から下端に行くに従って、レベルがリニアに増大する暗信号が含まれている。

20

【0040】

図2Fは、1つ目の読み出しクロック R C K の直後に各列の垂直レジスタ V R に蓄積された画素信号が、水平ブランキング期間毎に水平レジスタ H R に向かって転送 (ラインシフト) されたときの、1 f (フィールド) 期間における水平レジスタの暗信号出力波形 (ダークシェーディング) 2 を示し、この波形 2 は、時間の経過に従って、画素信号の垂直レジスタ内における蓄積時間に比例してレベルが大きくなる特性 1 に、特性 S に示すように垂直レジスタの上端から下端に行くに従って、レベルがリニアに増大する暗信号が加算された、時間の経過に従って、レベルの一定な特性を呈する。

30

【0041】

図2Cに示す如く、電源投入後の2回目の読出しクロック R C K によって、複数の光電変換部 P E C から画素信号が読み出される。

【0042】

電源 O N の後の2つ目の読み出しクロック R C K が発生した直後の、未受光の各列の光電変換部 P E C からの画素信号が、各列の垂直レジスタ V R によって読出された直後の垂直レジスタ V R に蓄積されている画素信号の状態は、図2Eと同様である。この各列の垂直レジスタ V R に蓄積されている画素信号には、前の1フィールド期間のラインシフト時に形成された、特性 S に示すように垂直レジスタ V R の上端から下端に行くに従って、レベルがリニアに増大する暗信号が含まれている。

40

【0043】

図2Gは、2つ目の読み出しクロック R C K の直後に各列の垂直レジスタ V R に蓄積された画素信号が、水平ブランキング期間毎に水平レジスタ H R に向かって転送 (ラインシフト) されたときの、1 f (フィールド) 期間における水平レジスタの暗信号出力波形 (ダークシェーディング) 3 を示し、この波形 3 は、時間の経過に従って、画素信号の垂直レジスタ内における蓄積時間に比例してレベルが大きくなる特性 2 に、特性 S

50

に示すように垂直レジスタの上端からから下端に行くに従って、レベルがリニアに増大する暗信号が加算された、時間の経過に従って、レベルの一定な特性を呈する。

【 0 0 4 4 】

【 発明の 効果 】

本発明によれば、複数の列を構成するように配された複数の光電変換部と、その複数の光電変換部の複数の列にそれぞれ対応して設けられ、各列の光電変換部から読出された画素信号を転送する複数の垂直レジスタと、その複数の垂直レジスタからの画素信号を転送する水平レジスタとを備えるインターライン転送方式のCCD撮像素子と、そのCCD撮像素子を駆動するCCD駆動回路と、CCD撮像素子に対する光の入射を制御する遮光手段とを有するCCD撮像装置において、露光期間の終了後の画素読出し期間の始めに、1垂直周期期間以上かつ垂直周期期間の倍数の期間の間、垂直レジスタ及び水平レジスタの空転送を行った後、複数の光電変換部からの画素信号の読出し並びに垂直レジスタ及び水平レジスタによる読み出された画素信号の転送を行うように、CCD駆動回路によって、CCD撮像素子を制御するようにしたので、メカニカルシャッタ及びインターライン方式のCCD撮像素子を有するCCD撮像装置において、掃き出し転送を行った場合の信号シェーディングを補正して、一定値にすることのできるCCD撮像装置を得ることができるものである。

10

【 図面の 簡単な 説明 】

【 図 1 】 本発明の実施の形態の具体例のIT方式のCCD撮像素子及びメカニカルシャッタを有するCCD撮像装置におけるそのCCD撮像素子のシェーディング補正の説明図である。

20

【 図 2 】 本発明の実施の形態の他の具体例のIT方式のCCD撮像素子及びメカニカルシャッタを有するCCD撮像装置におけるそのCCD撮像素子のシェーディング補正の説明図である。

【 図 3 】 IT方式のCCD撮像素子を有するCCD撮像装置を示すブロック線図である。

【 図 4 】 IT方式のCCD撮像素子における暗信号の説明図である。

【 図 5 】 従来例のIT方式のCCD撮像素子及びメカニカルシャッタを有するCCD撮像装置におけるそのCCD撮像素子のシェーディング補正の説明図である。

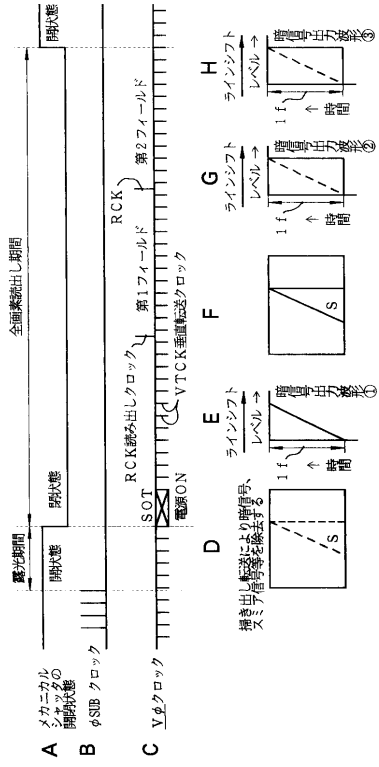
【 図 6 】 他の従来例のIT方式のCCD撮像素子及びメカニカルシャッタを有するCCD撮像装置におけるそのCCD撮像素子のシェーディング補正の説明図である。

30

【 符号の 説明 】

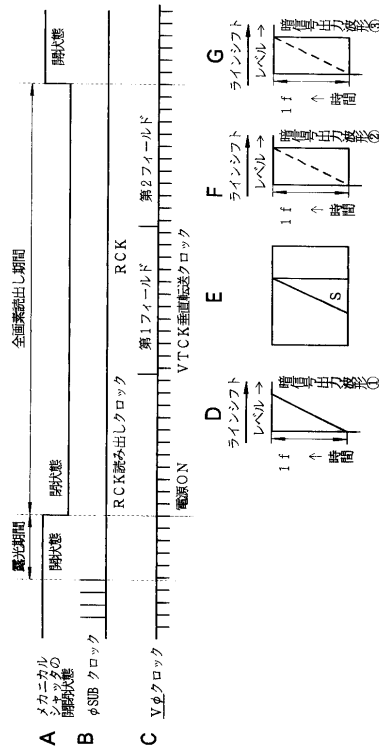
1 IT方式のCCD撮像素子、 2 CCD駆動回路、 P E C 光電変換部、 V R 垂直レジスタ、 H R 水平レジスタ。

【図 1】



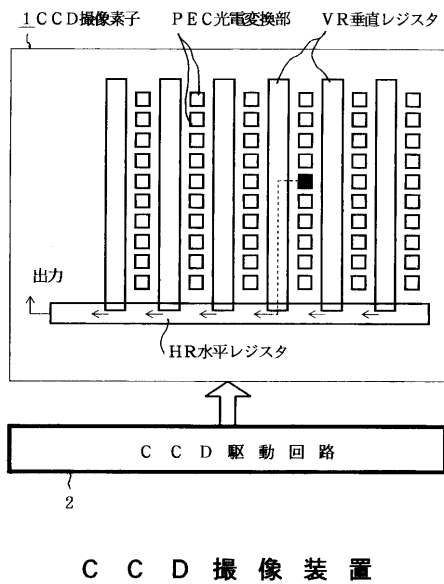
具体例 1

【図 2】

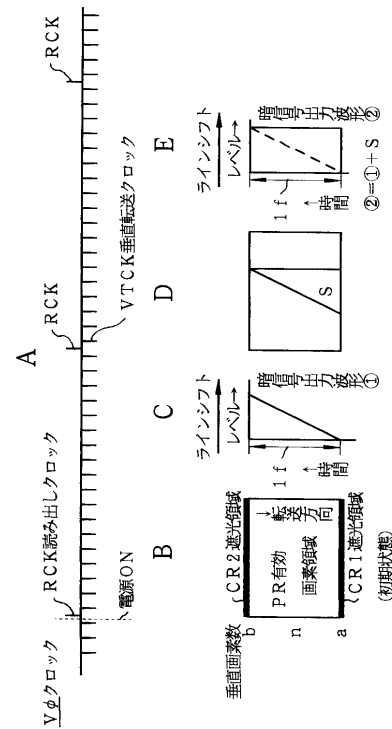


具体例 2

【図 3】

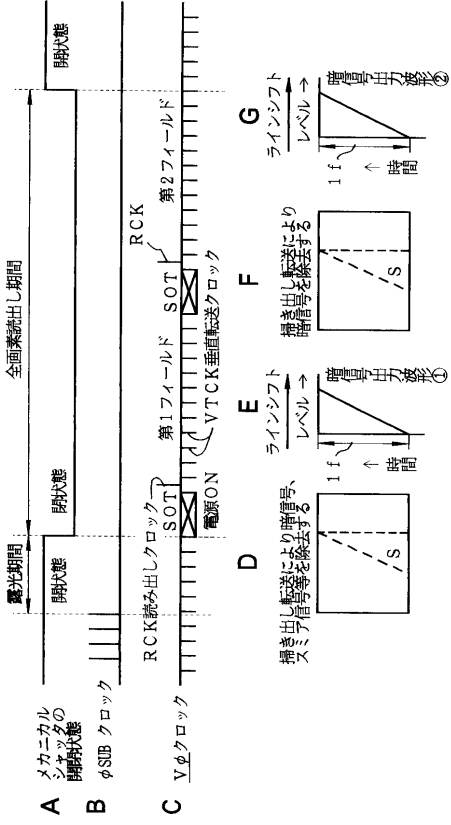


【図 4】



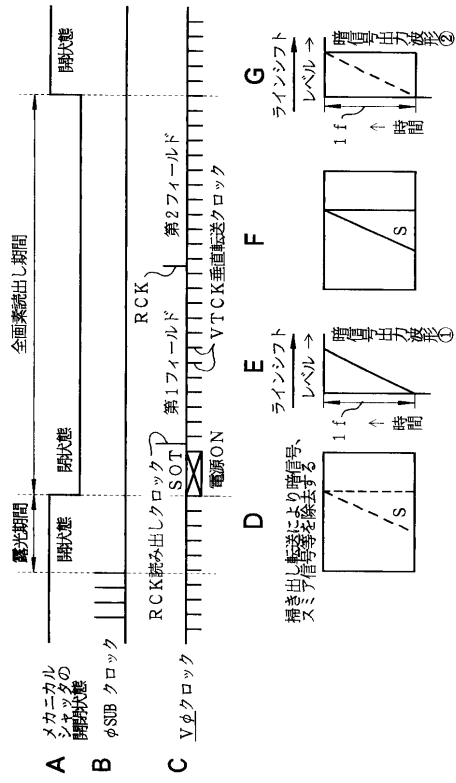
I T方式における暗信号

【図 5】



従来例 1

【図 6】



従来例 2

フロントページの続き

- (56)参考文献 特開平06-133321(JP,A)
特開平06-339077(JP,A)
特開昭62-137979(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/30 ~ 5/335
H04N 5/222 ~ 5/257