

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月28日(28.09.2017)



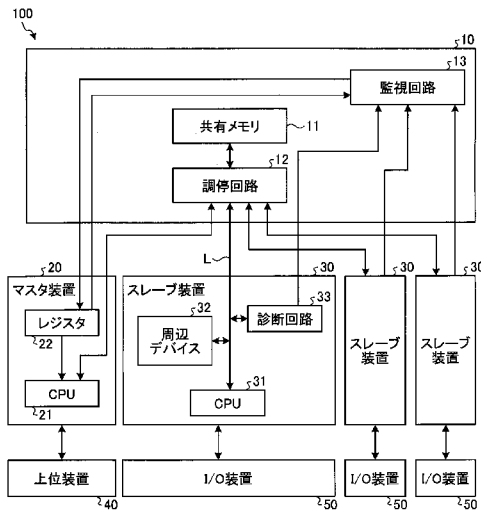
(10) 国際公開番号
WO 2017/163302 A1

- (51) 国際特許分類:
G06F 15/167 (2006.01) G06F 11/07 (2006.01)
G06F 9/54 (2006.01)
- (21) 国際出願番号: PCT/JP2016/058928
- (22) 国際出願日: 2016年3月22日(22.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (72) 発明者: 百武 博幸 (MOMOTAKE, Hiroyuki); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP). 弘田 達夫 (HIROTA, Tatsuo); 〒1058001 東京都港区芝浦一丁目1番1号 株式会社東芝 知的財産室内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: CONTROL APPARATUS

(54) 発明の名称: 制御装置



- 11 Shared memory
- 12 Arbitration circuit
- 13 Monitoring circuit
- 20 Master apparatus
- 22 Register
- 30 Slave apparatus
- 32 Peripheral device
- 33 Diagnosis circuit
- 40 Upper layer apparatus
- 50 I/O apparatus

(57) Abstract: A control apparatus according to an embodiment is provided with: a first apparatus including a first control unit; a second apparatus including a second control unit; a shared memory; and a first circuit. The shared memory is configured to be shared by the first and second apparatuses. The first circuit is configured to acquire, when the second control unit accesses the shared memory, information about the access, from the second apparatus, and to output, to the first apparatus, the acquired information about the access.

(57) 要約: 実施形態による制御装置は、第1制御部を備えた第1装置と、第2制御部を備えた第2装置と、共有メモリと、第1回路とを備える。共有メモリは、第1装置および第2装置によって共有されるように構成されている。第1回路は、第2制御部が共有メモリへのアクセスを行った場合に、アクセスに関する情報を第2装置から取得し、取得したアクセスに関する情報を第1装置に出力するように構成されている。

WO 2017/163302 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, — 國際調查報告 (條約第 21 條(3))
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称： 制御装置

技術分野

[0001] 本発明の実施形態は、制御装置に関する。

背景技術

[0002] 従来、所定のタスクを実行するプロセッサを備えた制御装置が知られている。このような制御装置では、プロセッサが複数設けられる場合がある。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-150661号公報

発明の概要

発明が解決しようとする課題

[0004] プロセッサが複数設けられた上記従来の制御装置では、各プロセッサが1つの共有メモリを介してデータを送受信するように構成されている場合がある。この場合、各プロセッサは、他のプロセッサからのデータを取得するために、予め設定されたタスクの他に、共有メモリに定期的に繰り返しアクセスし、他のプロセッサからのデータが共有メモリに書き込まれたか否かをチェックする処理などを行う必要がある。このため、従来では、共有メモリを介してデータを送受信の際の処理負担が増大することがあった。

課題を解決するための手段

[0005] 実施形態による制御装置は、第1制御部を備えた第1装置と、第2制御部を備えた第2装置と、共有メモリと、第1回路とを備える。共有メモリは、第1装置および第2装置によって共有されるように構成されている。第1回路は、第2制御部が共有メモリへのアクセスを行った場合に、アクセスに関する情報を第2装置から取得し、取得したアクセスに関する情報を第1装置に出力するように構成されている。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態による制御装置の構成を示した例示ブロック図である。

[図2]図2は、第1実施形態による診断回路が実行する処理を示した例示フローチャートである。

[図3]図3は、第1実施形態による監視回路が実行する処理を示した例示フローチャートである。

[図4]図4は、第1実施形態によるマスタ装置のCPUが実行する処理を示した例示フローチャートである。

[図5]図5は、第2実施形態による制御装置の構成を示した例示ブロック図である。

[図6]図6は、第2実施形態による診断回路が実行する処理を示した例示フローチャートである。

[図7]図7は、第2実施形態による監視回路が実行する処理を示した例示フローチャートである。

[図8]図8は、第2実施形態によるマスタ装置のCPUが実行する処理を示した例示フローチャートである。

発明を実施するための形態

[0007] 以下、実施形態を図面に基づいて説明する。

[0008] (第1実施形態)

まず、図1を参照して、第1実施形態による制御装置100の構成について説明する。制御装置100とは、計装分野や電気制御分野や電力分野などで用いられるコントローラである。

[0009] 図1に示すように、制御装置100は、マザーボード10と、マスタ装置20と、複数のスレーブ装置30とを備える。マスタ装置20およびスレーブ装置30は、マザーボード10に接続されている。マスタ装置20は、「第1装置」の一例であり、スレーブ装置30は、「第2装置」の一例である。図1には、スレーブ装置30が3つ設けられた例を示したが、スレーブ装

置30の数は、4つ以上であってもよいし、2つ以下であってもよい。

[0010] マザーボード10は、共有メモリ11と、調停回路12とを備える。共有メモリ11は、マスタ装置20およびスレーブ装置30によって共有されるように構成されている。つまり、マスタ装置20とスレーブ装置30とは、共有メモリ11を介してデータを送受信するように構成されている。また、調停回路12は、共有メモリ11へのアクセスの競合を調停するように構成されている。つまり、調停回路12は、マスタ装置20による共有メモリ11へのアクセスと、スレーブ装置30による共有メモリ11へのアクセスとが競合するのを回避するように構成されている。

[0011] マスタ装置20は、共有メモリ11を介してスレーブ装置30から取得されたデータに基づいて各種処理を行うことが可能なように構成されたCPU (Central Processing Unit) 21を備える。また、マスタ装置20は、上位装置40に接続されており、CPU 21による処理の結果を上位装置40に出力することが可能なように構成されている。CPU 21は、「第1制御部」の一例である。

[0012] スレーブ装置30は、入出力装置(I/O装置)50に接続されている。スレーブ装置30は、I/O装置50を介して入力されるデータに基づいて各種処理を行い、処理の結果を共有メモリ11に出力することが可能なように構成されたCPU 31を備える。CPU 31は、「第2制御部」の一例である。また、スレーブ装置30は、メモリなどの周辺デバイス32も備える。

[0013] ここで、第1実施形態では、マザーボード10は、CPU 31が共有メモリ11へのアクセスを行った場合に、当該アクセスに関する情報をスレーブ装置30から取得し、取得したアクセスに関する情報をマスタ装置20に送信するように構成された監視回路13を備える。監視回路13は、FPGA (フィールドプログラマブルゲートアレイ) などのハードウェアによって構成されている。監視回路13は、「第1回路」の一例である。

[0014] アクセスに関する情報とは、CPU 31がアクセスした共有メモリ11の

アドレスを示す情報や、CPU 31が行ったアクセスがデータの書き込みであるかデータの読み出しであるかを示す情報などを含む。このようなアクセスに関する情報は、たとえば、CPU 31と共有メモリ 11との間のバス（図1の矢印付きの直線L参照）を監視して、CPU 31から共有メモリ 11に出力される信号を傍受することにより取得することができる。

[0015] つまり、第1実施形態では、スレーブ装置 30は、CPU 31と共有メモリ 11との間のバス（図1の矢印付きの直線L参照）を監視することにより上記アクセスに関する情報を取得し、取得したアクセスに関する情報を監視回路 13に送信するように構成された診断回路 33を備える。診断回路 33は、FPGA（フィールドプログラマブルゲートアレイ）などのハードウェアによって構成されている。診断回路 33は、「第2回路」の一例である。

[0016] また、第1実施形態では、マスタ装置 20は、監視回路 13から取得されたアクセスに関する情報を記憶するように構成されたレジスタ 22を備える。そして、マスタ装置 20のCPU 21は、レジスタ 22に基づいて、共有メモリ 11にアクセスするように構成されている。

[0017] たとえば、CPU 31がマスタ装置 20にデータを渡すために共有メモリ 11にデータを書き込んだ場合、診断回路 33は、アクセスに関する情報として、CPU 31がデータを書き込んだ共有メモリ 11のアドレスを示す情報などを監視回路 13に出力するように構成されている。そして、監視回路 13は、診断回路 33から取得した情報に基づいて、どのCPU 31が共有メモリ 11のどのアドレスにデータを書き込んだかを特定することが可能な情報をマスタ装置 20のレジスタ 22に書き込むように構成されている。

[0018] レジスタ 22は、上記のような情報が診断回路 33により書き込まれた場合に、CPU 21に割り込み信号を出力するように構成されている。そして、CPU 21は、レジスタ 22から割り込み信号が入力された場合に、現在行っている処理を一旦停止してレジスタ 22から情報を読み出し、読み出した情報に基づいて共有メモリ 11にアクセスすることにより、CPU 31が共有メモリ 11に書き込んだデータを共有メモリ 11から取得するように構

成されている。

[0019] 次に、図2を参照して、第1実施形態による制御装置100のスレーブ装置30の診断回路33が実行する処理フローについて説明する。

[0020] この処理フローでは、図2に示すように、診断回路33は、まず、ステップS1において、スレーブ装置30のCPU31によって共有メモリ11へのアクセスが行われたか否かを判断する。より具体的には、診断回路33は、CPU31と共有メモリ11との間のバス（図1の矢印付きの直線L参照）を監視し、CPU31が共有メモリ11にアクセスしたことを示す信号がバス上に出力されたか否かを判断する。このステップS1の処理は、CPU31によって共有メモリ11へのアクセスが行われたと判断されるまで繰り返される。ステップS1において、CPU31によって共有メモリ11へのアクセスが行われたと判断された場合には、ステップS2に処理が進む。

[0021] ステップS2において、診断回路33は、CPU31が行った共有メモリ11へのアクセスに関する情報をマザーボード10の監視回路13に出力する。ここで、アクセスに関する情報とは、CPU31がアクセスした共有メモリ11のアドレスを示す情報や、CPU31が行ったアクセスがデータの書き込みであるかデータの読み出しであるかを示す情報などを含む。アクセスに関する情報は、CPU31と共有メモリ11との間のバス（図1の矢印付きの直線L参照）から傍受される信号に基づいて生成される。そして、処理が戻る。

[0022] 次に、図3を参照して、第1実施形態による制御装置100のマザーボード10の監視回路13が実行する処理フローについて説明する。

[0023] この処理フローでは、図3に示すように、監視回路13は、まず、ステップS11において、スレーブ装置30のCPU31が行った共有メモリ11へのアクセスに関する情報が診断回路33から入力されたか否かを判断する。このステップS11の処理は、アクセスに関する情報が診断回路33から入力されたと判断されるまで繰り返される。ステップS11において、アクセスに関する情報が診断回路33から入力されたと判断された場合には、ス

テップS 1 2に処理が進む。

[0024] ステップS 1 2において、監視回路1 3は、診断回路3 3から入力されたアクセスに関する情報を、マスタ装置2 0のレジスタ2 2に出力する。たとえばスレーブ装置3 0のCPU 3 1が共有メモリ1 1にデータを書き込んだ場合、監視回路1 3は、CPU 3 1が共有メモリ1 1のどのアドレスにデータを書き込んだかを特定することが可能な情報などをレジスタ2 2に書き込む。そして、処理が戻る。

[0025] 次に、図4を参照して、第1実施形態による制御装置1 0 0のマスタ装置2 0のCPU 2 1が実行する処理フローについて説明する。

[0026] この処理フローでは、図4に示すように、CPU 2 1は、まず、ステップS 2 1において、CPU 3 1が行った共有メモリ1 1へのアクセスに関する情報がレジスタ2 2に記憶されたか否かを判断する。たとえば、レジスタ2 2が、アクセスに関する情報が記憶された場合にCPU 2 1に割り込み信号を出力するように構成されているものとする、CPU 2 1は、ステップS 2 1において、レジスタ2 2からの割り込み信号が自身に入力されたか否かを判断する。このステップS 2 1の処理は、アクセスに関する情報がレジスタ2 2に記憶されたと判断されるまで繰り返される。ステップS 2 1において、アクセスに関する情報がレジスタ2 2に記憶されたと判断された場合には、ステップS 2 2に処理が進む。

[0027] ステップS 2 2において、CPU 2 1は、レジスタ2 2に記憶された情報に基づいて、共有メモリ1 1にアクセスする。たとえば、CPU 3 1がマスタ装置2 0にデータを渡すために共有メモリ1 1にデータを書き込んだ場合、レジスタ2 2には、CPU 3 1がデータを書き込んだ共有メモリ1 1のアドレスを特定することが可能な情報などが監視回路1 3によって書き込まれるので、CPU 2 1は、ステップS 2 2において、監視回路1 3によってレジスタ2 2に書き込まれた情報をレジスタ2 2から読み出し、読み出した情報に基づいて共有メモリ1 1にアクセスすることにより、CPU 3 1が共有メモリ1 1に書き込んだデータを共有メモリ1 1から取得する。そして、処

理が戻る。

[0028] 以上説明したように、第1実施形態による制御装置100は、スレーブ装置30のCPU31が共有メモリ11へのアクセスを行った場合に、当該アクセスに関する情報をスレーブ装置30から取得し、取得したアクセスに関する情報をマスタ装置20に出力する監視回路13を備えている。これにより、共有メモリ11からデータを取得するために、共有メモリ11に定期的に繰り返しアクセスする処理などを行う必要がないため、共有メモリ11を介してデータを送受信する際の処理負担を軽減することができる。この結果、マザーボード10上のデータ負担を軽減することができ、制御装置100全体の性能を向上させることができる。

[0029] また、第1実施形態によるスレーブ装置30は、CPU31と共有メモリ11との間のバス（図1の矢印付きの直線L参照）を監視することによりアクセスに関する情報を取得し、取得したアクセスに関する情報を監視回路13に出力する診断回路33を備えている。これにより、CPU31と共有メモリ11との間のバスに出力される信号を診断回路33によって傍受するだけで、アクセスに関する情報を容易に取得することができる。つまり、アクセスに関する情報を監視回路13に出力する処理をCPU31に行わせる必要がないので、CPU31の処理負担を軽減することができる。

[0030] また、第1実施形態によるマスタ装置20は、監視回路13から取得されたアクセスに関する情報を記憶するレジスタ22を備えており、マスタ装置20のCPU21は、レジスタ22に基づいて共有メモリ11にアクセスするように構成されている。これにより、レジスタ22を監視するだけで、スレーブ装置30のCPU31が共有メモリ11に行ったアクセスに関する情報を容易に取得することができる。これにより、共有メモリ11へのアクセスを効率的に行うことができる。

[0031] （第2実施形態）

次に、図5を参照して、第2実施形態による制御装置100aの構成について説明する。なお、第1実施形態と同様の構成要素については、同一の符

号を割り当てて説明を省略する。

[0032] 図5に示すように、第2実施形態による制御装置100aは、第1実施形態による制御装置100と同様に、マザーボード10aと、マスタ装置20aと、複数のスレーブ装置30aとを備える。マスタ装置20aは、「第1装置」の一例であり、スレーブ装置30aは、「第2装置」の一例である。図5には、スレーブ装置30aが3つ設けられた例を示したが、スレーブ装置30aの数は、4つ以上であってもよいし、2つ以下であってもよい。

[0033] 第2実施形態によるマザーボード10aは、共有メモリ11と、調停回路12と、監視回路13aとを備える。監視回路13aは、「第1回路」の一例である。また、第2実施形態によるマスタ装置20aは、CPU21aと、レジスタ22とを備える。CPU21aは、「第1制御部」の一例である。また、第2実施形態によるスレーブ装置30aは、CPU31aと、周辺デバイス32と、診断回路33aとを備える。CPU31aは、「第2制御部」の一例であるとともに、診断回路33aは、「第2回路」の一例である。

[0034] ここで、第2実施形態による診断回路33aは、CPU31aと共有メモリ11との間のバス（図5の矢印付きの直線L参照）を監視することにより、CPU31aに発生し得るエラーに関する情報を取得するように構成されている。

[0035] たとえば、CPU31aが複数のタスクA、B、CおよびDをこの順番で繰り返し実行する動作を行うように設定されている場合、診断回路33aは、CPU31aからの出力信号を上記のバス（図5の矢印付きの直線L参照）を介して傍受することにより、CPU31aが上記の設定から外れた動作を行っているか否かを判定するように構成されている。そして、診断回路33aは、CPU31aが上記の設定から外れた動作を行っているか否かと判定した場合、すなわちCPU31aに何らかのエラーが発生したと判断した場合に、そのエラーの詳細をエラーログ34として記録するとともに、そのエラーに関する情報をマザーボード10aの監視回路13aに出力するように構成

されている。

[0036] 第2実施形態による監視回路13aは、上記エラーに関する情報をスレーブ装置30aから取得した場合に、取得したエラーに関する情報をマスタ装置20aに出力するように構成されている。より具体的には、監視回路13aは、上記エラーに関する情報をスレーブ装置30aから取得した場合に、どのスレーブ装置30aのCPU31aにエラーが発生したかを特定することが可能な情報をマスタ装置20aのレジスタ22に書き込むように構成されている。

[0037] 第2実施形態によるCPU21aは、レジスタ22に基づいて例外処理をおこなうように構成されている。より具体的には、レジスタ22は、上記のような情報が診断回路33aにより書き込まれた場合に、CPU21aに割り込み信号を出力するように構成されている。そして、CPU21aは、レジスタ22から割り込み信号が入力された場合に、現在行っている処理を一旦停止して例外処理を行うように構成されている。なお、例外処理の例としては、エラーが発生したCPU31aを備えたスレーブ装置30aを初期化する処理や、エラーが発生したCPU31aを備えたスレーブ装置30aをシステムから切り離す処理などが考えられる。

[0038] 次に、図6を参照して、第2実施形態による制御装置100aのスレーブ装置30aの診断回路33aが実行する処理フローについて説明する。

[0039] この処理フローでは、図6に示すように、診断回路33aは、まず、ステップS31において、スレーブ装置30aのCPU31aにエラーが発生したか否かを判断する。より具体的には、診断回路33aは、CPU31aと共有メモリ11との間のバス（図5の矢印付きの直線L参照）を監視し、CPU31aからの出力信号をバスから傍受することにより、CPU31aが設定から外れた動作を行っているか否かを判定する。このステップS31の処理は、CPU31aにエラーが発生したと判断されるまで繰り返される。ステップS31において、CPU31aにエラーが発生したと判断された場合には、ステップS32に処理が進む。

- [0040] ステップS 3 2において、診断回路3 3 aは、CPU 3 1 aに発生したエラーの詳細を示すエラーログ3 4を記録する。そして、ステップS 3 3に処理が進む。
- [0041] ステップS 3 3において、診断回路3 3 aは、CPU 3 1 aに発生したエラーに関する情報をマザーボード1 0 aの監視回路1 3 aに出力する。エラーに関する情報は、CPU 3 1 aと共有メモリ1 1との間のバス（図5の矢印付きの直線L参照）から傍受された信号に基づいて生成される。そして、処理が戻る。
- [0042] 次に、図7を参照して、第2実施形態による制御装置1 0 0 aのマザーボード1 0 aの監視回路1 3 aが実行する処理フローについて説明する。
- [0043] この処理フローでは、図7に示すように、監視回路1 3 aは、まず、ステップS 4 1において、スレーブ装置3 0 aのCPU 3 1 aに発生したエラーに関する情報が診断回路3 3 aから入力されたか否かを判断する。このステップS 4 1の処理は、エラーに関する情報が診断回路3 3 aから入力されたと判断されるまで繰り返される。ステップS 4 1において、エラーに関する情報が診断回路3 3 aから入力されたと判断された場合には、ステップS 4 2に処理が進む。
- [0044] ステップS 4 2において、監視回路1 3 aは、診断回路3 3 aから入力されたエラーに関する情報を、マスタ装置2 0 aのレジスタ2 2に出力する。より具体的には、監視回路1 3 aは、どのスレーブ装置3 0 aのCPU 3 1 aにエラーが発生したかを特定することが可能な情報をレジスタ2 2に書き込む。そして、処理が戻る。
- [0045] 次に、図8を参照して、第2実施形態による制御装置1 0 0 aのマスタ装置2 0 aのCPU 2 1 aが実行する処理フローについて説明する。
- [0046] この処理フローでは、図8に示すように、CPU 2 1 aは、まず、ステップS 5 1において、CPU 3 1 aに発生したエラーに関する情報がレジスタ2 2に記憶されたか否かを判断する。たとえば、レジスタ2 2が、エラーに関する情報が記憶された場合にCPU 2 1 aに割り込み信号を出力するよう

に構成されているものとする、CPU 21 aは、ステップS 5 1において、レジスタ2 2からの割り込み信号が自身に入力されたか否かを判断する。このステップS 5 1の処理は、エラーに関する情報がレジスタ2 2に記憶されたと判断されるまで繰り返される。ステップS 5 1において、エラーに関する情報がレジスタ2 2に記憶されたと判断された場合には、ステップS 5 2に処理が進む。

[0047] ステップS 5 2において、CPU 21 aは、レジスタ2 2に記憶されたエラーに関する情報に基づいて、例外処理を実行する。つまり、CPU 3 1 aにエラーが発生した場合、レジスタ2 2には、どのスレーブ装置3 0 aのCPU 3 1 aにエラーが発生したかを特定することが可能な情報が監視回路1 3 aによって書き込まれるので、CPU 21 aは、ステップS 5 2において、監視回路1 3 aによってレジスタ2 2に書き込まれた情報をレジスタ2 2から読み出し、読み出した情報に基づいて特定したCPU 3 1 aを有するスレーブ装置3 0 aに対して例外処理を行う。なお、例外処理の例としては、上記のように、エラーが発生したCPU 3 1 aを備えたスレーブ装置3 0 aを初期化する処理や、エラーが発生したCPU 3 1 aを備えたスレーブ装置3 0 aをシステムから切り離す処理などが考えられる。そして、処理が戻る。

[0048] 以上説明したように、第2実施形態による制御装置1 0 0 aは、スレーブ装置3 0 aのCPU 3 1 aにエラーが発生した場合に、当該エラーに関する情報をスレーブ装置3 0 aから取得し、取得したエラーに関する情報をマスタ装置2 0 aに出力する監視回路1 3 aを備えている。これにより、互いにエラーが発生しているか否かを検知する際の処理負担を軽減することができる。

[0049] つまり、プロセッサが複数設けられた従来の制御装置では、各プロセッサは、ある共通の記憶媒体（共有メモリ）を用いたいわゆるヘルシーカウンタなどを用いて互いにエラーが発生しているか否かを検知していた。たとえば、各プロセッサは、予め設定されたタスクが正常に終了する毎に、自身にエ

ラーが発生していない旨を示すデータを共有メモリに記憶し、このように記憶したデータを互いに監視することにより、互いにエラーが発生しているか否かを検知していた。このように、従来では、各プロセッサは、互いにエラーが発生しているか否かを検知するために、予め設定されたタスクの他にも種々の処理を行う必要があったため、処理負担が増大することがあった。

[0050] これに対して、第2実施形態による制御装置100aは、上記のような監視回路13aを備えているので、CPU31aにエラーが発生した旨がCPU31aとは独立したハードウェアである監視回路13aによってマスタ装置20aに通知される。したがって、第2実施形態によれば、互いにエラーが発生しているか否かを検知するために、共有メモリ11に定期的に繰り返しアクセスする処理などを行う必要がないので、処理負担を軽減することができる。

[0051] また、第2実施形態によるスレーブ装置30aは、CPU31aと共有メモリ11との間のバス（図5の矢印付きの直線L参照）を監視することによりエラーに関する情報を取得し、取得したエラーに関する情報を監視回路13aに出力する診断回路33aを備えている。これにより、CPU31aと共有メモリ11との間のバスに出力される信号を診断回路33aによって傍受するだけで、エラーに関する情報を容易に取得することができる。つまり、エラーに関する情報を監視回路13aに出力する処理をCPU31aに行わせる必要がないので、CPU31aの処理負担を軽減することができる。また、CPU31aと共有メモリ11との間のバスに出力される信号を診断回路33aによって傍受することにより、CPU31aがどのような動作を行った際にエラーが発生したかをエラーログ34として詳細に記録することができる。

[0052] また、第2実施形態によるマスタ装置20aは、監視回路13aから取得されたエラーに関する情報を記憶するレジスタ22を備えており、CPU21aは、レジスタ22に基づいて例外処理を実行するように構成されている。これにより、レジスタ22を監視するだけで、エラーに関する情報を容易

に取得することができる。

[0053] 以上、本発明の実施形態を説明したが、上記実施形態はあくまで一例であって、発明の範囲を限定することは意図していない。上記実施形態は、様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。上記実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

- [請求項1] 第1制御部を備えた第1装置と、
第2制御部を備えた第2装置と、
前記第1装置および前記第2装置によって共有される共有メモリと、
、
前記第2制御部が前記共有メモリへのアクセスを行った場合に、前記アクセスに関する情報を前記第2装置から取得し、取得した前記アクセスに関する情報を前記第1装置に出力する第1回路とを備える、
制御装置。
- [請求項2] 前記第2装置は、前記第2制御部と前記共有メモリとの間のバスを監視することにより前記アクセスに関する情報を取得し、取得した前記アクセスに関する情報を前記第1回路に出力する第2回路をさらに備える、請求項1に記載の制御装置。
- [請求項3] 前記第1装置は、前記第1回路から取得された前記アクセスに関する情報を記憶するレジスタをさらに備え、
前記第1制御部は、前記レジスタに記憶された前記アクセスに関する情報に基づいて前記共有メモリにアクセスするように構成されている、請求項1に記載の制御装置。
- [請求項4] 第1制御部を備えた第1装置と、
第2制御部を備えた第2装置と、
前記第1制御部と前記第2制御部とによって共有される共有メモリと、
と、
前記第2制御部にエラーが発生した場合に、前記エラーに関する情報を前記第2装置から取得し、取得した前記エラーに関する情報を前記第1装置に出力する第1回路とを備える、
制御装置。
- [請求項5] 前記第2装置は、前記第2制御部と前記共有メモリとの間のバスを監視することにより前記エラーに関する情報を取得し、取得した前記エラーに関する情報を前記第1回路に出力する第2回路をさらに備え

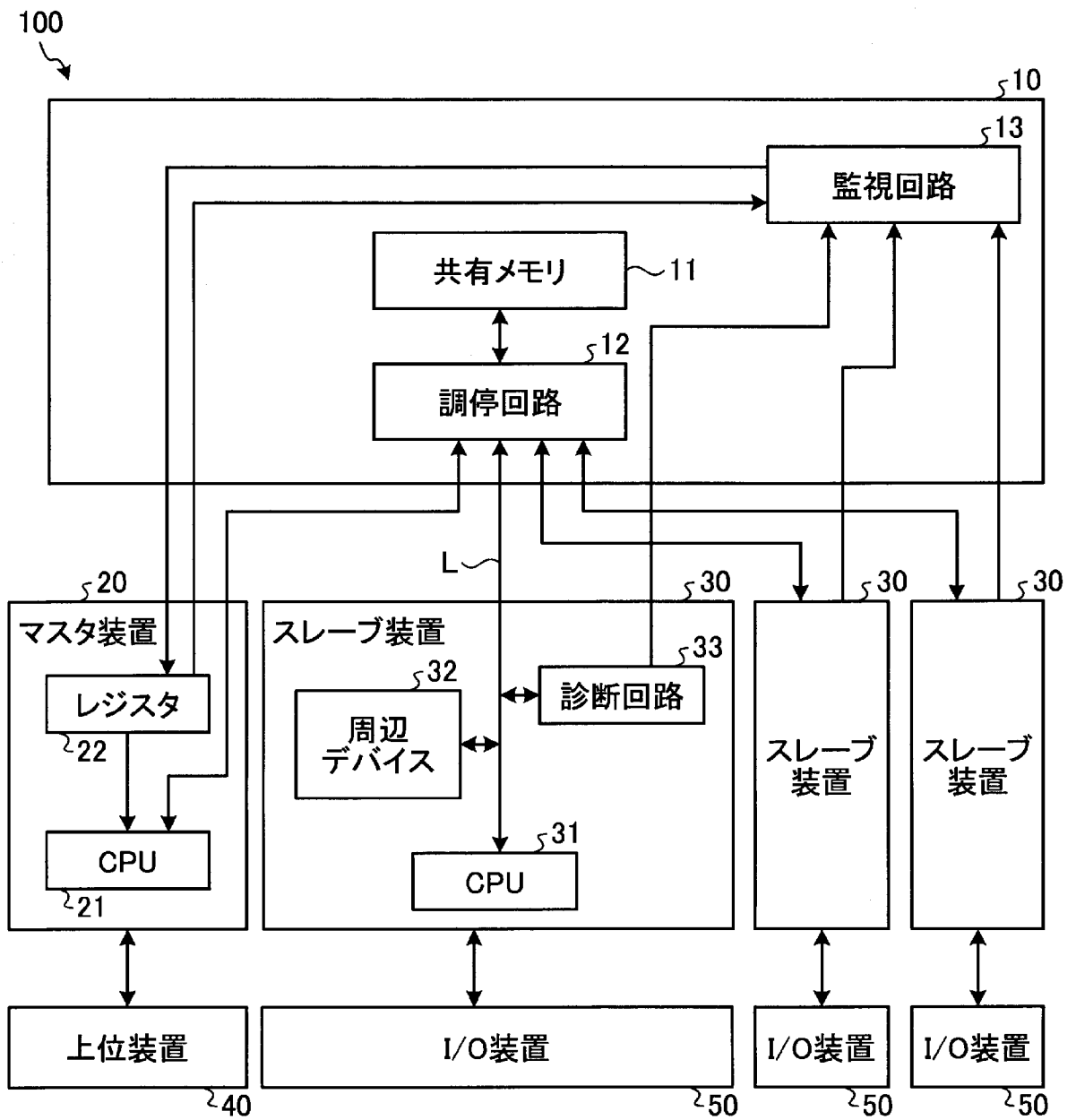
る、請求項4に記載の制御装置。

[請求項6]

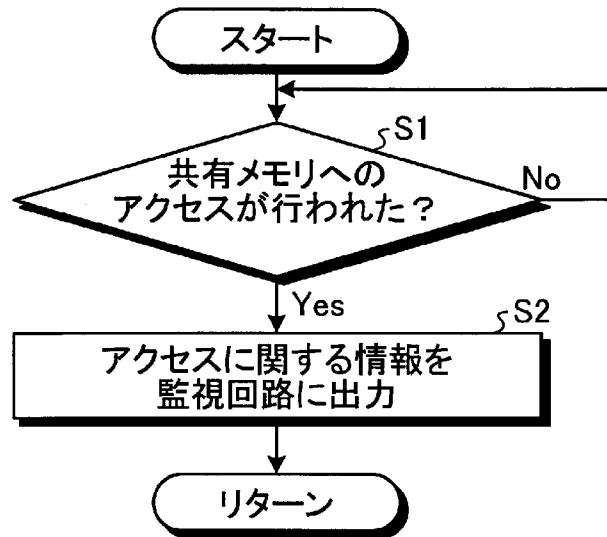
前記第1装置は、前記第1回路から取得された前記エラーに関する情報を記憶するレジスタをさらに備え、

前記第1制御部は、前記レジスタに記憶された前記エラーに関する情報に基づいて例外処理を実行するように構成されている、請求項4に記載の制御装置。

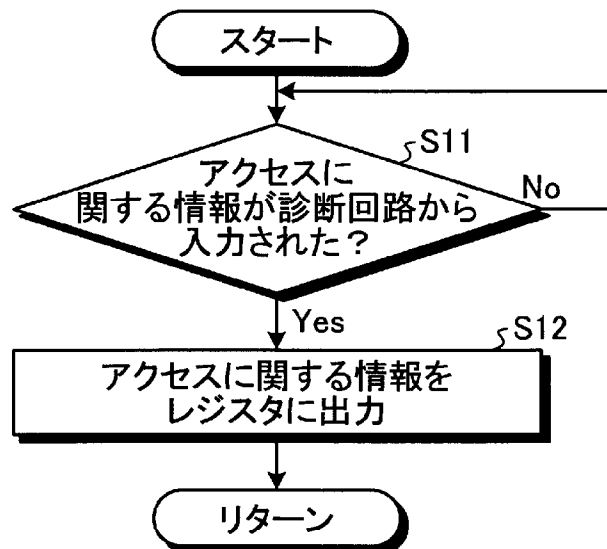
[図1]



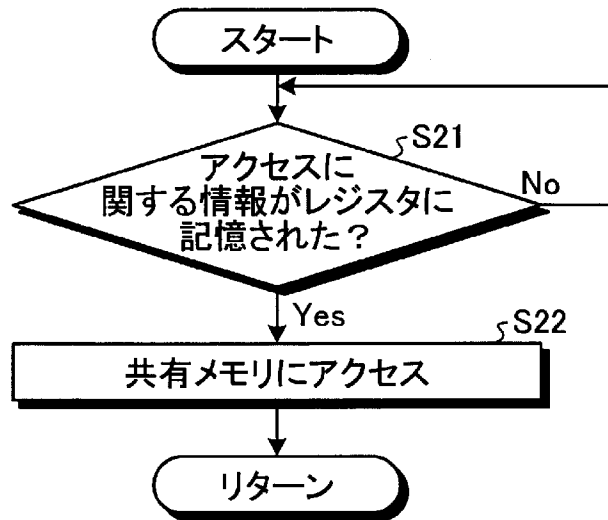
[図2]



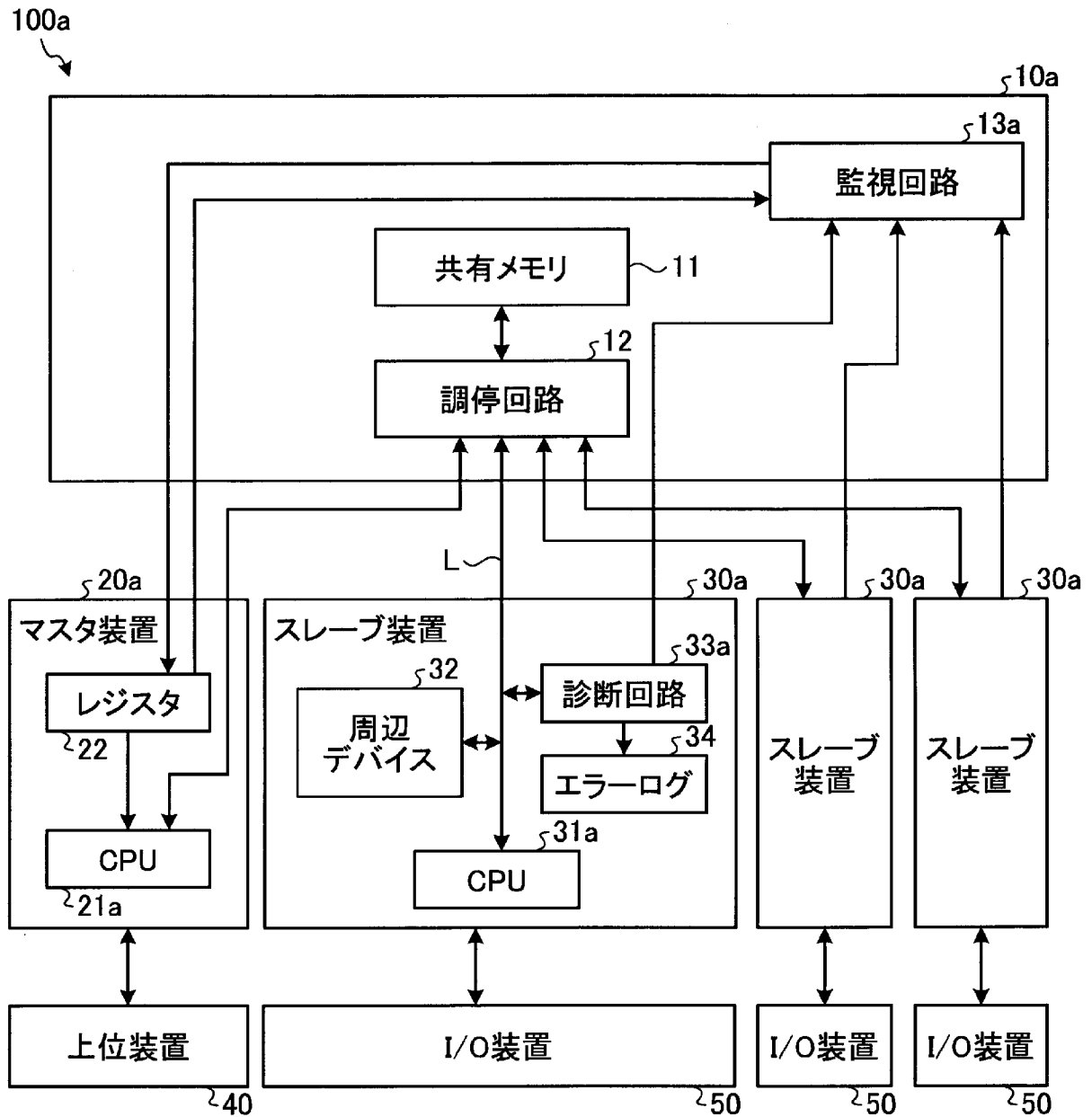
[図3]



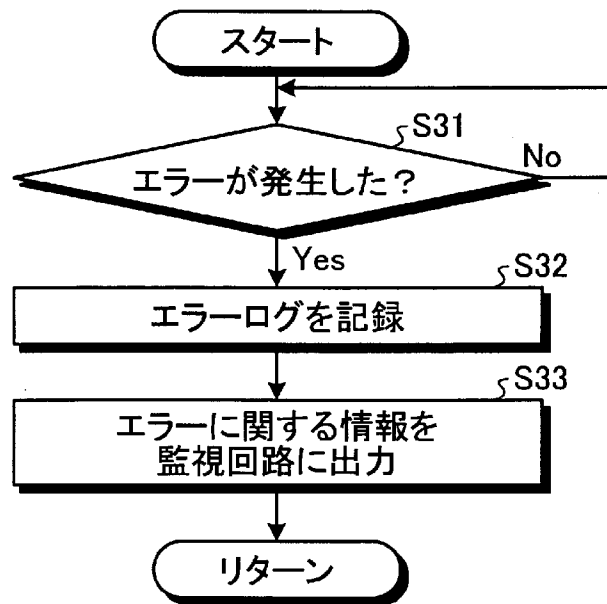
[図4]



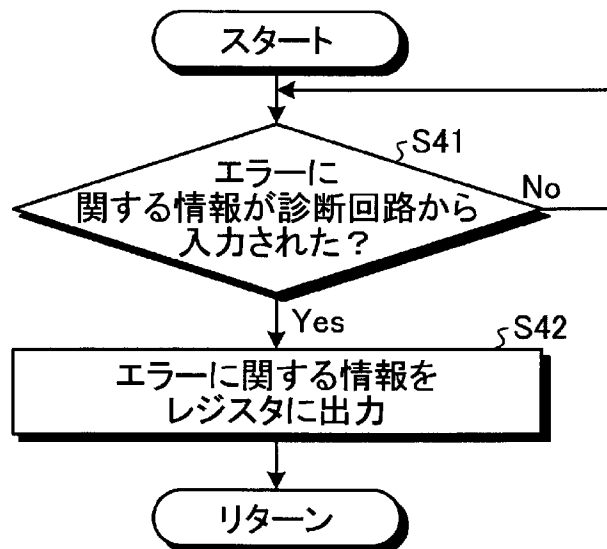
[図5]



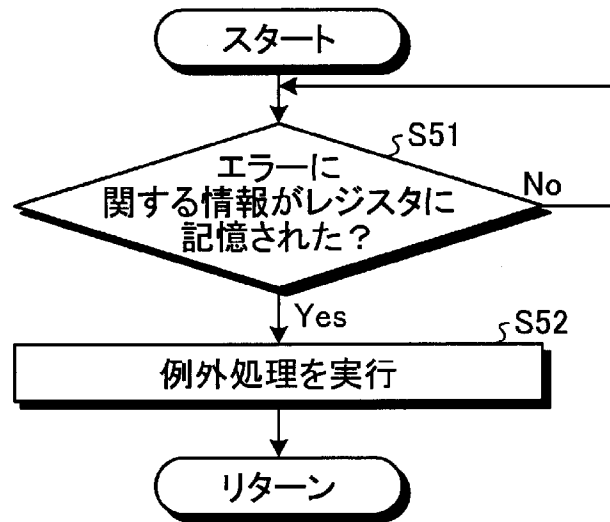
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058928

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>G06F15/167(2006.01)i, G06F9/54(2006.01)i, G06F11/07(2006.01)i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>												
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>G06F15/16-15/177, G06F9/46-9/54, G06F11/07, G06F11/28-11/36</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016</i> <i>Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016</i></p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>												
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2004-78683 A (Toshiba Corp.), 11 March 2004 (11.03.2004), paragraphs [0035], [0037], [0039], [0041] to [0042]; fig. 5, 6, 7 & US 2004/0107264 A1 paragraphs [0049], [0051], [0053], [0055] to [0056]; fig. 5, 6, 7</td> <td>1, 2, 3</td> </tr> <tr> <td>X</td> <td>JP 55-37643 A (Fujitsu Ltd.), 15 March 1980 (15.03.1980), page 3, lower left column, line 4 to page 4, upper right column, line 10; fig. 1, 2, 3, 4, 5 & JP 59-2943 B2</td> <td>4, 5, 6</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP 2004-78683 A (Toshiba Corp.), 11 March 2004 (11.03.2004), paragraphs [0035], [0037], [0039], [0041] to [0042]; fig. 5, 6, 7 & US 2004/0107264 A1 paragraphs [0049], [0051], [0053], [0055] to [0056]; fig. 5, 6, 7	1, 2, 3	X	JP 55-37643 A (Fujitsu Ltd.), 15 March 1980 (15.03.1980), page 3, lower left column, line 4 to page 4, upper right column, line 10; fig. 1, 2, 3, 4, 5 & JP 59-2943 B2	4, 5, 6	
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
X	JP 2004-78683 A (Toshiba Corp.), 11 March 2004 (11.03.2004), paragraphs [0035], [0037], [0039], [0041] to [0042]; fig. 5, 6, 7 & US 2004/0107264 A1 paragraphs [0049], [0051], [0053], [0055] to [0056]; fig. 5, 6, 7	1, 2, 3										
X	JP 55-37643 A (Fujitsu Ltd.), 15 March 1980 (15.03.1980), page 3, lower left column, line 4 to page 4, upper right column, line 10; fig. 1, 2, 3, 4, 5 & JP 59-2943 B2	4, 5, 6										
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>												
<p>* Special categories of cited documents:</p> <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier application or patent but published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention											
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family											
"P" document published prior to the international filing date but later than the priority date claimed												
<p>Date of the actual completion of the international search 16 June 2016 (16.06.16)</p>		<p>Date of mailing of the international search report 28 June 2016 (28.06.16)</p>										
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>										

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058928

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-84640 A (Fujitsu Ltd.), 10 April 1991 (10.04.1991), page 2, upper right column, line 18 to page 2, lower right column, line 10; fig. 11 & JP 3025504 B2	5
A	JP 2014-26347 A (Autonetworks Technologies, Ltd., Sumitomo Wiring Systems, Ltd., Sumitomo Electric Industries, Ltd.), 06 February 2014 (06.02.2014), paragraphs [0039] to [0055], [0058] to [0060], [0063], [0101] to [0102], [0105] to [0115]; fig. 6, 7, 8, 9, 10, 20, 21 (Family: none)	5
E,X	JP 2016-66273 A (Toshiba Corp.), 28 April 2016 (28.04.2016), claims 1 to 6 (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G06F15/167(2006.01)i, G06F9/54(2006.01)i, G06F11/07(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G06F15/16-15/177, G06F9/46-9/54, G06F11/07, G06F11/28-11/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年		
国際調査で使用了電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-78683 A(株式会社東芝) 2004.03.11, 段落[0035], [0037], [0039], [0041]-[0042], [図 5], [図 6], [図 7] & US 2004/0107264 A1, 段落[0049], [0051], [0053], [0055]-[0056], 図 5, 図 6, 図 7	1, 2, 3
X	JP 55-37643 A(富士通株式会社) 1980.03.15, 第 3 頁左下欄第 4 行・第 4 頁右上欄第 10 行, 第 1 図, 第 2 図, 第 3 図, 第 4 図, 第 5 図 & JP 59-2943 B2	4, 5, 6
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 16.06.2016	国際調査報告の発送日 28.06.2016	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 清木 泰 電話番号 03-3581-1101 内線 3545	5 B 9643

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 3-84640 A (富士通株式会社) 1991.04.10, 第 2 頁右上欄第 18 行-第 2 頁右下欄第 10 行, 第 11 図 & JP 3025504 B2	5
A	JP 2014-26347 A (株式会社オートネットワーク技術研究所, 住友電装株式会社, 住友電気工業株式会社) 2014.02.06, 段落[0039]-[0055], [0058]-[0060], [0063], [0101]-[0102], [0105]-[0115], [図 6], [図 7], [図 8], [図 9], [図 10], [図 20], [図 21] (ファミリーなし)	5
E, X	JP 2016-66273 A (株式会社東芝) 2016.04.28, [請求項 1]-[請求項 6] (ファミリーなし)	1-6