

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)



(10) 国際公開番号

WO 2018/173789 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)
H04N 5/225 (2006.01)
- (21) 国際出願番号: PCT/JP2018/009145
- (22) 国際出願日: 2018年3月9日(09.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-055310 2017年3月22日(22.03.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

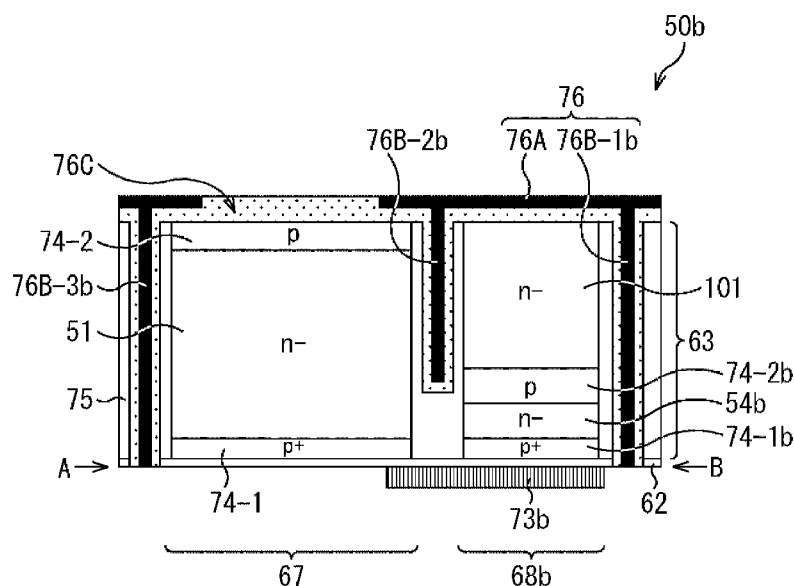
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 熊谷 至通 (KUMAGAI Yoshimichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 阿部 高志 (ABE Takashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 吉田 遼人 (YOSHITA Ryoto); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山村 育弘 (YAMAMURA Ikuhiro); 〒2430014 神奈川県厚木市旭町四丁

(54) Title: IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像素子、電子機器

[図4]
FIG. 4



(57) **Abstract:** The present invention pertains to an imaging element and an electronic device, whereby a better pixel signal can be obtained. The present invention comprises: a photoelectric conversion unit that converts received light into an electric charge; and a holding unit that holds electric charge transferred from the photoelectric conversion unit. The photoelectric conversion unit and the holding unit are formed inside a semiconductor substrate having a prescribed thickness. The holding unit is formed having a thickness of no more than half the prescribed thickness. An electric charge



目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿プライムスクエア 9 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

capturing area that captures electric charge is also provided, further on the light incident side than the area where the holding unit is formed. A light-blocking unit that blocks light is also formed between the photoelectric conversion unit and the electric charge capturing area. This technology can be applied to an imaging element.

(57) 要約: 本開示は、より良好な画素信号を得ることができるようにする撮像素子、電子機器に関する。受光した光を電荷に変換する光電変換部と、光電変換部から転送されてきた電荷を保持する保持部とを備え、光電変換部と保持部は、所定の厚さを有する半導体基板内に形成され、保持部は、所定の厚さの半分の厚さ以下で形成されている。保持部が形成されている領域より光入射側に、電荷を捕獲する電荷捕獲領域をさらに備える。光電変換部と電荷捕獲領域との間に、光を遮光する遮光部がさらに形成されている。本技術は、撮像素子に適用できる。

明 細 書

発明の名称：撮像素子、電子機器

技術分野

[0001] 本開示は、撮像素子、電子機器に関し、例えば、より良好な画素信号を得ることができるようにした撮像素子、電子機器に関する。

背景技術

[0002] CMOS (Complementary Metal Oxide Semiconductor) イメージセンサやCCD (Charge Coupled Device) などの撮像素子は、デジタルスチルカメラやデジタルビデオカメラなどに広く用いられている。

[0003] 例えば、CMOSイメージセンサに入射した光は、画素が有するPD (Photodiode : フォトダイオード) において光電変換される。そして、PDで発生した電荷が、転送トランジスタを介してFD (Floating Diffusion : フローティングディフュージョン) に転送され、受光量に応じたレベルの画素信号に変換される。

[0004] ところで、従来のCMOSイメージセンサでは、一般的に各画素から画素信号を行ごとに順次読み出す方式、いわゆるローリングシャッタ方式が採用されているため、露光タイミングの違いによって画像に歪みが発生することがあった。

[0005] そこで、例えば、特許文献1には、画素内に電荷保持部を設けることによって、全ての画素から画素信号を同時に読み出す方式、いわゆるグローバルシャッタ方式を採用し、全画素同時電子シャッタ機能を備えたCMOSイメージセンサが開示されている。グローバルシャッタ方式を採用することにより、露光タイミングが全ての画素で同一になり、画像に歪みが発生することを回避することができる。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-103647号公報

発明の概要

発明が解決しようとする課題

[0007] 画素内に電荷保持部を設けた構成を採用した場合には、画素レイアウトが制限されてしまうため、開口率が小さくなり、PDの感度が低下したり、PDおよび電荷保持部の容量が低下したりすることが懸念される。さらに、電荷保持中の電荷保持部に光が入射することにより、光学的なノイズが発生することも懸念される。

[0008] 本技術は、このような状況に鑑みてなされたものであり、より良好な画素信号を得ることができるようにするものである。

課題を解決するための手段

[0009] 本技術の一側面の撮像素子は、受光した光を電荷に変換する光電変換部と、前記光電変換部から転送されてきた電荷を保持する保持部とを備え、前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内に形成され、前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている。

[0010] 本技術の一側面の電子機器は、受光した光を電荷に変換する光電変換部と、前記光電変換部から転送されてきた電荷を保持する保持部とを備え、前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内に形成され、前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている撮像素子を含み、前記撮像素子からの信号を処理する処理部を備える。

[0011] 本技術の一側面の撮像素子においては、受光した光を電荷に変換する光電変換部と、光電変換部から転送されてきた電荷を保持する保持部とが備えられている。光電変換部と保持部は、所定の厚さを有する半導体基板内に形成され、保持部は、所定の厚さの半分の厚さ以下で形成されている。

[0012] 本技術の一側面の電子機器は、前記撮像素子を備える構成とされている。

発明の効果

[0013] 本技術の一側面によれば、より良好な画素信号を得ることができる。

[0014] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示

中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0015] [図1]イメージセンサの構成を示す図である。

[図2]画素の構成を示す図である。

[図3]反射光による影響について説明するための図である。

[図4]本技術を適用した画素の一実施の形態の構成を示す図である。

[図5]画素の構成を示す平面図である。

[図6]電荷保持領域の厚さについて説明するための図である。

[図7]画素の他の構成を示す平面図である。

[図8]画素の他の構成を示す断面図である。

[図9]画素の他の構成を示す平面図である。

[図10]画素の他の構成を示す断面図である。

[図11]画素の他の構成を示す平面図である。

[図12]画素の他の構成を示す断面図である。

[図13]画素の他の構成を示す平面図である。

[図14]画素の他の構成を示す断面図である。

[図15]画素の他の構成を示す平面図である。

[図16]画素の他の構成を示す断面図である。

[図17]画素の他の構成を示す平面図である。

[図18]画素の他の構成を示す平面図である。

[図19]画素の他の構成を示す断面図である。

[図20]画素の製造について説明するための図である。

[図21]画素の製造について説明するための図である。

[図22]画素の他の構成を示す断面図である。

[図23]画素の他の構成を示す断面図である。

[図24]電子機器の構成例を示す図である。

発明を実施するための形態

[0016] 以下に、本技術を実施するための形態（以下、実施の形態という）につい

て説明する。

[0017] <撮像素子の構成>

図1は、本発明が適用される撮像素子としてのCMOS (Complementary Metal Oxide Semiconductor) イメージセンサの構成例を示すブロック図である。

[0018] CMOSイメージセンサ30は、画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45を含んで構成される。画素アレイ部41、垂直駆動部42、カラム処理部43、水平駆動部44、およびシステム制御部45は、図示しない半導体基板（チップ）上に形成されている。

[0019] 画素アレイ部41には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素（図2の画素50）が行列状に2次元配置されている。なお、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合もある。

[0020] 画素アレイ部41にはさらに、行列状の画素配列に対して行ごとに画素駆動線46が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直信号線47が図の上下方向（画素列の画素の配列方向）に沿って形成されている。画素駆動線46の一端は、垂直駆動部42の各行に対応した出力端に接続されている。

[0021] CMOSイメージセンサ30はさらに、信号処理部48およびデータ格納部49を備えている。信号処理部48およびデータ格納部49については、CMOSイメージセンサ30とは別の基板に設けられる外部信号処理部、例えばDSP (Digital Signal Processor) やソフトウェアによる処理でも良いし、CMOSイメージセンサ30と同じ基板上に搭載しても良い。

[0022] 垂直駆動部42は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部41の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部42は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き

出し、一括転送を有する構成となっている。

[0023] 読み出し走査系は、単位画素から信号を読み出すために、画素アレイ部41の単位画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。

[0024] この掃き出しにより、読み出し行の単位画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

[0025] 読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読み出し動作による読み出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、単位画素における光電荷の蓄積期間（露光期間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの期間が蓄積期間（露光期間）となる。

[0026] 垂直駆動部42によって選択走査された画素行の各単位画素から出力される画素信号は、垂直信号線47の各々を通してカラム処理部43に供給される。カラム処理部43は、画素アレイ部41の画素列ごとに、選択行の各単位画素から垂直信号線47を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0027] 具体的には、カラム処理部43は、信号処理として少なくとも、ノイズ除去処理、例えばCDS(Correlated Double Sampling; 相関二重サンプリング) 処理を行う。このカラム処理部43による相関二重サンプリングにより、リセ

ットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム処理部43にノイズ除去処理以外に、例えば、AD（アナログーデジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

[0028] 水平駆動部44は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部43の画素列に対応する単位回路を順番に選択する。この水平駆動部44による選択走査により、カラム処理部43で信号処理された画素信号が順番に信号処理部48に出力される。

[0029] システム制御部45は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部42、カラム処理部43、および水平駆動部44などの駆動制御を行う。

[0030] 信号処理部48は、少なくとも加算処理機能を有し、カラム処理部43から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部49は、信号処理部48での信号処理に当たって、その処理に必要なデータを一時的に格納する。

[0031] <単位画素の構造>

次に、図1の画素アレイ部41に行列状に配置されている単位画素50の具体的な構造について説明する。図2は、画素50の断面的な構成例を示す図である。

[0032] 図2を示した画素50aによると、電荷保持領域68に光が漏れ込むことを防止することができ、光学的なノイズの発生を防止することができる。さらに、図4に示す画素50bによると、電荷保持領域68への光入射（PLS=Parasitic Light Sensitivity：スミアと類似の現象）をより抑制（光入射による影響を低減）することができる。

[0033] まずは、図2を参照し、電荷保持領域68に光が漏れ込むことを防止する構造を有する画素50aの構造について説明を加える。

[0034] 図2に示すように、画素50aは、図2の下側から順に、配線層61、酸

化膜 6 2、半導体基板 6 3、遮光層 6 4、カラーフィルタ層 6 5、およびオンチップレンズ 6 6 が積層されて構成されている。また、画素 5 0 a において、半導体基板 6 3 に P D 5 1 が形成されている領域が P D 領域 6 7 とされ、半導体基板 6 3 に電荷保持部 5 4 が形成されている領域が電荷保持領域 6 8 とされる。

[0035] なお、イメージセンサ 3 0 は、半導体基板 6 3 に対して配線層 6 1 が設けられる半導体基板 6 3 の表面に対して反対側となる裏面（図 2 の上側を向く面）に対して入射光が照射される、いわゆる裏面照射型 CMOS イメージセンサである。

[0036] 配線層 6 1 は、例えば、その下側に配置されている基板支持材（図示せず）により支持されており、半導体基板 6 3 に形成されている P D 5 1 の電荷の読み出しなどを行う複数の配線 7 1 が層間絶縁膜 7 2 に埋め込まれて構成されている。

[0037] また、配線層 6 1 には、P D 5 1 および電荷保持部 5 4 の間の領域に、半導体基板 6 3 に対して酸化膜 6 2 を介して、転送トランジスタを構成する T R X ゲート 7 3 が配置されている。T R X ゲート 7 3 に所定の電圧が印加されることにより、P D 5 1 に蓄積されている電荷が電荷保持部 5 4 に転送される。

[0038] 酸化膜 6 2 は、絶縁性を備えており、半導体基板 6 3 の表面側を絶縁する。半導体基板 6 3 には、P D 5 1 を構成する N 型領域と、電荷保持部 5 4 を構成する N 型領域とが形成されている。

[0039] また、P D 5 1 および電荷保持部 5 4 の裏面側には表面ピニング層 7 4 - 1 が形成され、P D 5 1 および電荷保持部 5 4 の表面側には表面ピニング層 7 4 - 2 が形成されている。さらに、半導体基板 6 3 には、画素 5 0 a と、隣接する他の画素 5 0 a とを分離するための画素間分離領域 7 5 が、画素 5 0 a の外周を囲うように形成されている。

[0040] 遮光層 6 4 は、遮光性を有する材料により形成される遮光部 7 6 が、高誘電率材料膜 7 7 に埋め込まれて形成されている。例えば、遮光部 7 6 は、タ

ングステン (W) や、アルミ (Al)、銅 (Cu) などの材料により形成され、図示しない GND に接続されている。高誘電率材料膜 77 は、二酸化ケイ素 (SiO₂) や、酸化ハフニウム (HfO₂)、五酸化タンタル (Ta₂O₅)、二酸化ジルコニウム (ZrO₂) などの材料により形成される。

[0041] また、遮光部 76 は、半導体基板 63 を覆うように配置される蓋部 76A と、PD51 および電荷保持部 54 の周囲を囲うように半導体基板 63 に形成される縦溝に埋め込まれるように配置される埋め込み部 76B とを有して形成される。即ち、蓋部 76A は、画素 50a を構成する各層に対して略平行に形成され、埋め込み部 76B は、蓋部 76A に対して略直交する方向に延在するように所定の深さまで形成されている。

[0042] ここで、遮光部 76 の埋め込み部 76B は、PD51 および電荷保持部 54 の周囲を囲うように画素間分離領域 75 に形成されるような構成とする他、例えば、電荷保持部 54 の周囲を形成するような構成や、PD51 および電荷保持部 54 の間に形成するような構成としてもよい。即ち、少なくとも PD51 および電荷保持部 54 の間に埋め込み部 76B が形成され、PD51 および電荷保持部 54 が埋め込み部 76B により分離されていればよい。

[0043] また、遮光部 76 には、PD51 に光を入射するための開口部 76C が形成されている。すなわち開口部 76C は、PD51 に対応した領域に形成されており、それ以外の領域は、例えば、電荷保持部 54 や FD55 などが形成されている領域は、遮光部 76 により遮光されている。

[0044] また、図 2 に示した例では、埋め込み部 76B の一部が半導体基板 63 を貫通するように遮光部 76 が形成されている。すなわち、遮光部 76 は、PD51 および電荷保持部 54 の間の領域以外、即ち、PD51 から電荷保持部 54 へ電荷を転送する転送経路となる領域以外における埋め込み部 76B が、半導体基板 63 を貫通するように形成されている。

[0045] すなわち、PD51 および電荷保持部 54 の間の領域は、電荷の転送に使用されるために遮光部を形成することはできないが、その領域以外において埋め込み部 76B を形成することにより、同一の画素 50a の PD51 以外

から電荷保持部 5 4 に光が漏れ込むことを効果的に抑制することができる。

[0046] 以下の説明においては、半導体基板 6 3 を貫通するように遮光部 7 6 を、貫通遮光部 7 6 と記載し、半導体基板 6 3 を貫通しない遮光部 7 6 を非貫通遮光部 7 6 と記述する。図 2 においては、画素 5 0 a の周りを囲む遮光部 7 6 は、貫通遮光部 7 6 とされ、P D 5 1 と、電荷保持部 5 4 の間に形成されている遮光部 7 6 は、非貫通遮光部 7 6 とされている。また、貫通遮光部 7 6 も、トランジスタが配置される箇所などでは、非貫通とされている。

[0047] カラーフィルタ層 6 5 では、画素 5 0 a ごとに、それぞれ対応する色の光を透過するフィルタが配置されており、例えば、緑色、青色、および赤色の光を透過するフィルタが、いわゆるベイヤー配列で画素 5 0 a ごと配置される。

[0048] オンチップレンズ 6 6 は、画素 5 0 a に入射する入射光を P D 5 1 に集光するための小型のレンズである。

[0049] 以上のように、画素 5 0 a は、少なくとも P D 5 1 および電荷保持部 5 4 の間に埋め込み部 7 6 B が形成された遮光部 7 6 を有して構成されている。これにより、図 2 において白抜きの矢印で示されるように、斜め方向から光が入射して P D 5 1 を通過したとしても、埋め込み部 7 6 B により遮光することができるので、電荷保持領域 6 8 に光が漏れ込むことを防止することができる。従って、電荷保持領域 6 8 に光が漏れ込むような場合に発生することが想定される光学的なノイズの発生を防止することができる。

[0050] <電荷保持領域への光入射について>

図 2 に示した画素 5 0 a によれば、斜め方向から光が入射し、P D 5 1 を通過して、電荷保持部 5 4 に入射されるような光は、遮光部 7 6 により遮光されるため、上記したように、電荷保持領域 6 8 に光が漏れ込むような場合に発生することが想定される光学的なノイズの発生を防止することができる。さらに、配線層 6 1 で反射された光による影響も低減させることについて説明する。

[0051] 図 3 に、図 2 に示した画素 5 0 a を再度示す。図 3 に白抜きの矢印で示し

たように、PD 51に入射した光のうち、PD 51を透過し、配線層61まで到達する光がある。配線層61に到達した光の一部は、配線71で反射され、電荷保持部54に入射する光がある。このように、電荷保持部54には、PD 51側からだけではなく、配線層61側からも光が入射してしまう可能性がある。

[0052] 電荷保持領域68に光が漏れ込むような場合に発生することが想定される光学的なノイズの発生を、さらに抑制するために、配線層61側からの光成分による影響も低減させる画素50の構成について説明する。

[0053] <電荷保持部の構成>

図4は、画素50の他の構成を示す図である。図4以降の画素50に関する図に関しては、配線層61、遮光層64、カラーフィルタ層65、およびオンチップレンズ66は、図示を省略する。

[0054] 図4に示した画素50bと、図2に示した画素50aを比較するに、電荷保持領域68の構成が異なる。画素50bの電荷保持領域68bは、表面ピニング層74-1b、電荷保持部54b、および表面ピニング層74-2bから構成されている点は、図2に示した画素50aと同様であるが、各層の厚み、特に、電荷保持部54bは薄く形成されている。

[0055] また、電荷保持領域68bの上部（入射側、表面ピニング層74-2bの上部）には、電荷捕獲領域101が形成されている点も、図2に示した画素50aと異なる。この電荷捕獲領域101は、n型で形成されている。

[0056] 再度図3を参照するに、配線層61で反射された光は、電荷保持領域68の上部（図中上側）、換言すれば、電荷保持部54の上部（配線層61側ではない側）に到達し、光電変換されてしまう可能性が高い。そこで、図4に示したように、電荷保持領域68の上部に、電荷捕獲領域101を、電荷保持部54bとは別に設け、この電荷捕獲領域101で、配線層61で反射された光を捕らえる構造とする。

[0057] このような構造とすることで、配線層61で反射された光を電荷捕獲領域101で捕獲することができるようになり、電荷保持領域68に光が漏れ込

むような場合に発生することが想定される光学的なノイズの発生を防止することができる。

[0058] 図5は、図4に示した画素50bを下部（図4中での下側）から見たときの平面図である。図4に示した画素50bは、図5に示した矢印A-B断面における画素50bの断面的な構成例となる。

[0059] OFD121は、図中右下に位置している。OFD121は、PD51のリセットゲートに接続しているドレインを表す。OFD121は、OFGゲート122を介して、PD51と接続されている。

[0060] PD51の上側には、電荷保持領域68bが配置されている。画素50bを下部から見たとき、電荷保持領域68b（電荷保持部54b）が配置されている領域内には、TRXゲート73bが配置されている。TRXゲート73bは、PD51から電荷保持部54bに電荷を転送させるために設けられている。

[0061] 電荷保持領域68bの図中左側には、TRXゲート73bを介して、浮遊拡散領域125（FD125）が配置されている。TRGゲート124は、電荷保持部54bから浮遊拡散領域125に電荷を転送させるために設けられている。

[0062] 電荷保持領域68bの上部には、貫通遮光部76（貫通遮光部76B-1bとする）が形成されている。この貫通遮光部76B-1bの両端は、トランジスタなどを配置する関係で、一部非貫通に形成されている。

[0063] PD領域67は、非貫通遮光部76B-2bと貫通遮光部76B-3bで囲まれている。貫通遮光部76B-3bは、画素50b間に設けられる遮光部であり、説明の都合上、異なる符号を付しているが、貫通遮光部76B-1bと同じである。

[0064] 画素50b間は、貫通遮光部76B-1b、76B-3bにより、画素間で漏れる光が遮光される構成とされている。

[0065] PD領域67（PD51）と電荷保持領域68b（電荷保持部54b）との間は、非貫通遮光部76B-2bにより、PD51側から、電荷保持部5

4 b に漏れる光が遮光される構成とされている。

[0066] さらに画素 5 0 b は、図 4 を参照して説明したように、配線層 6 1 側からの反射光は、電荷捕獲領域 1 0 1 で捕獲される構成とされている。このような構成により、画素 5 0 b は、光学的なノイズの発生を抑制することができる。

[0067] 上記したように、電荷保持領域 6 8 b に、電荷捕獲領域 1 0 1 を設けた場合、電荷捕獲領域 1 0 1 は、例えば、図 6 を参照して説明する条件を満たすように構成することで、P L S をより抑制することができる。

[0068] 図 6 を参照するに、半導体基板 6 3 の厚さを厚さ T_1 とし、その半分の厚さを、厚さ T_2 とする。電荷保持部 5 4 b とピニング層 7 4 - 1 b の厚さを、厚さ T_3 とする。電荷保持部 5 4 b とピニング層 7 4 - 1 b は、電荷を保持する保持領域（メモリ）として機能するが、このメモリの厚さ T_3 は、半導体基板 6 3 の半分の厚さ T_2 以下に形成される。

[0069] このように、電荷保持部 5 4 b とピニング層 7 4 - 1 b の厚さ T_3 を、半導体基板 6 3 の半分の厚さ T_2 以下に形成するだけでも、P L S を抑制することができる。

[0070] すなわち、半導体基板 6 3 に、受光した光を電荷に変換する光電変換部（P D 5 1）と、光電変換部から転送されてきた電荷を保持する保持部（電荷保持部 5 4）とを形成し、その保持部の厚さを、半導体基板 6 3 の厚さの半分以下とする構成とすることで、P L S を抑制する撮像素子とすることができる。

[0071] さらに、電荷保持部 5 4 b とピニング層 7 4 - 1 b の厚さ T_3 とすることで、半導体基板 6 3 の（厚さ T_1 - 厚さ T_3 ）の領域（光入射側の領域）に、電荷捕獲領域 1 0 1（図 4）を形成することができる。上記したように、電荷捕獲領域 1 0 1 を形成することで、反射成分が電荷保持部 5 4 b には入り込まないようにすることができ、P L S をより抑制することが可能となる。

[0072] <画素のさらに他の構成>

電荷捕獲領域 101 を有する画素 50 のさらに他の構成について説明する。なお、図 4、図 5 に示した画素 50 b と同一の部分については、同一の符号を付し、その説明は省略する。

[0073] 図 7 は、画素 50 c の平面図であり、図 8 は、図 7 に示した矢印 A-B 断面における画素 50 c の断面図である。

[0074] 図 7、図 8 に示した画素 50 c と、図 4、図 5 に示した画素 50 b を比較するに、画素 50 c は、画素 50 間の遮光部 76 が、非貫通遮光部 76 で形成されている点が異なり、他の部分は同一とされている。

[0075] すなわち、図 7、図 8 を参照するに、隣接する画素 50 c 間に形成される遮光部 76 は、非貫通遮光部 76 B-1 c、非貫通遮光部 76 B-3 c とされている。PD 領域 67 c と電荷保持領域 68 c の間の遮光部 76 も、非貫通遮光部 76 B-2 c とされている。

[0076] このように、遮光部 76 を、非貫通の遮光部とすることで、遮光部を形成するための工程数を削減することができる。また、遮光部 76 を形成する掘り込み部の P 型を保障しなくてもよくなり、飽和電子量を増やすことも可能となる。

[0077] 画素 50 のさらに他の構成について説明する。図 9 は、画素 50 d の平面図であり、図 10 は、図 9 に示した矢印 A-B 断面における画素 50 d の断面図である。

[0078] 図 9、図 10 に示した画素 50 d と、図 4、図 5 に示した画素 50 b を比較するに、画素 50 d は、画素 50 間の遮光部 76 と、PD 領域 67 c と電荷保持領域 68 c の間の遮光部 76 が形成されていない点と異なり、他の部分は同一とされている。

[0079] すなわち、図 9、図 10 を参照するに、隣接する画素 50 d 間には遮光部 76 は形成されていない。また PD 領域 67 c と電荷保持領域 68 c の間にも、遮光部 76 は形成されていない。

[0080] このような構成としても、図 6 を参照して説明したように、電荷保持部 54 d の厚さ（メモリの厚さ）を、半導体基板 63 の半分の厚さ以下に形成す

ることで、PLSを抑制することができ、さらに電荷捕獲領域101により、反射成分だけでなく、PD51を通過した光成分も捕らえることができるため、PLSを抑制することができる。

[0081] このように、縦方向の遮光部76を形成しない構成とすることで、遮光部を形成するための工程数を削減することができる。また、遮光部76を形成する掘り込み部のP型を保障しなくてもよくなり、飽和電子量を増やすことも可能となる。

[0082] <排出ドレインを有する構成>

上記したように、電荷保持部54上に電荷捕獲領域101を形成することで、PD51を通過してきた光や、配線層61で反射された光による電荷を捕らえることができるが、そのような不要な電子が電荷捕獲領域101に蓄積されるため、排出するような仕組みを設けた方が良い。

[0083] 以下に、電荷捕獲領域101に蓄積された電荷を排出する排出ドレインを備える画素50について説明を加える。

[0084] 以下の説明においては、図4、図5に示した画素50bを例に挙げて説明を行うが、他の画素においても、同様に排出ドレインを形成することはできる。なお、図4、図5に示した画素50bと同一の部分については、同一の符号を付し、その説明は省略する。

[0085] 図11は、縦方向に配置された2つの画素50eの平面図であり、図12は、図11に示した矢印A-B断面における画素50eの断面図である。

[0086] 図11を参照するに、画素50e-1のPD領域67e-1の図中右下であり、OFD121-1の近傍に、排出ドレイン201-1が配置されている。OFD121-1と排出ドレイン201-1を分離するために、OFD121-1と排出ドレイン201-1の間に、p+領域202-1が形成されている。

[0087] 同様に、画素50e-2のPD領域67の図中右下であり、OFD121-2の近傍に、排出ドレイン201-2が配置されている。OFD121-2と排出ドレイン201-2を分離するために、OFD121-2と排出ド

レイン 201-2 の間に、p+領域 202-2 が形成されている。

[0088] このように、画素 50e 毎に排出ドレイン 201 が設けられた構成とされる。

[0089] 図 12 に示したように、排出ドレイン 201-2 は、電荷捕獲領域 101-1 と繋がっている。このように、排出ドレイン 201 を設け、その排出ドレイン 201 に、電荷捕獲領域 101 を繋げることで、電荷捕獲領域 101 に蓄積された電荷が、オーバーフローし、排出ドレイン 201 から排出される構成とすることができる。

[0090] また、電荷捕獲領域 101 から、排出ドレイン 201 までのオーバーフローパスは、非貫通遮光部の下側に形成することができる。

[0091] 電荷捕獲領域 101-1 は、画素 50e-1 に形成され、その電荷捕獲領域 101-1 が接続されている排出ドレイン 201-2 は、画素 50e-1 に隣接している画素 50e-2 に形成されている。

[0092] この例のように、電荷捕獲領域 101 は、隣接する画素 50e に形成されている排出ドレイン 201 と接続される構成とすることができる。また、図示はしないが、電荷捕獲領域 101 は、その電荷捕獲領域 101 が形成されている画素 50e に形成されている排出ドレイン 201 と接続される構成としても良い。

[0093] ところで、図 5 を参照して遮光部 76 について説明しときに、貫通遮光部 76 の一部は、トランジスタなどを配置するために一部非貫通とされていると説明した。

[0094] 図 12 に示した画素 50e 間に配置されている遮光部 76 は、図 5 を参照して説明した、例えば、貫通遮光部 76B-1 に該当する。貫通遮光部 76B-1 であるため、半導体基板 63 を貫通しているが、図 12 に示した断面図においては、OFD121-1 が配置されている部分の断面を示しているため、非貫通とされている。

[0095] また、図 12 に示した排出ドレイン 201-2 上の遮光部 76 は、図 5 を参照して説明した、例えば、PD51 を囲む非貫通遮光部 76B-2 に該当

する。非貫通遮光部 76B-2 の下側には、図 12 に示した例では、排出ドレイン 201-2、p+領域 202-2、OFD121-1 などが配置されているため、非貫通の遮光部 76 とされている。

[0096] 図 13、図 14 を参照し、排出ドレインを有する画素 50 の他の構成について説明する。

[0097] 図 13、図 14 に示した画素 50f は、排出ドレインを OFD121 と共有した構成とされている。排出ドレインと OFD121 と共有した構成としたため、図 13、図 14 に示した画素 50f は、図 11、図 12 に示した画素 50e から、排出ドレイン 201 を削除した構成とされている。

[0098] 図 13、図 14 に示した画素 50f は、画素 50f-1 の電荷捕獲領域 101-1 (TRXゲート 73b-1 下に形成されている) と、画素 50f-2 に形成されている OFD121 が繋がれた構成とされている。

[0099] このように、電荷捕獲領域 101 は、隣接する画素 50f に形成されている OFD121 と接続される構成とすることができる。また、図示はしないが、電荷捕獲領域 101 は、その電荷捕獲領域 101 が形成されている画素 50f に形成されている OFD121 と接続される構成としても良い。

[0100] このように、OFD121 を、電荷捕獲領域 101 に蓄積された電荷を排出する排出ドレインとしても用いる構成とすることで、図 11、図 12 を参照して説明したように、排出ドレイン 201 を OFD121 と別に設ける構成と比較して、排出ドレイン 201 という新たな素子を追加することなく、電荷捕獲領域 101 に蓄積された電荷を排出する構成とすることができる。

[0101] よって、PD51 や OFGゲート 122 のサイズを小さくする必要もなく、電荷捕獲領域 101 に蓄積された電荷を排出する構成とすることができ、面積効率を向上させることができる。

[0102] 図 15、図 16 を参照し、排出ドレインを有する画素 50 の他の構成について説明する。

[0103] 図 15、図 16 に示した画素 50g は、排出ドレイン 201 をトランジスタ 123 の電源 VDD と共有した構成とされている。また、1 画素 50g 内

で完結する構成とされている。すなわち、電荷捕獲領域 101 と排出ドレイン 201 は、同一画素 50g 内に、それぞれ形成されている。

[0104] 図 15、図 16 に示した画素 50g においては、トランジスタ 123 の電源 VDD を排出ドレイン 201 とし、その排出ドレイン 201 に、電荷捕獲領域 101 が接続されている。

[0105] このように、電荷捕獲領域 101 は、同一画素 50g に形成されているトランジスタ 123（内の電源 VDD）と接続される構成とすることができる。また、上記した例と同じく、図 17 に示すように、電荷捕獲領域 101-1 は、その電荷捕獲領域 101-1 が形成されている画素 50b-1 に隣接する画素 50b-2 に形成されているトランジスタ 123-2（内の電源 VDD）と接続される構成としても良い。

[0106] このように、トランジスタ 123 の電源 VDD を排出ドレイン 201 とし、電荷捕獲領域 101 に蓄積された電荷を排出する排出ドレインとしても用いる構成とすることで、図 13、図 14 を参照して説明した場合と同じく、排出ドレイン 201 という新たな素子を配置するための領域を確保することなく、電荷捕獲領域 101 に蓄積された電荷を排出することができる構成とすることができる。

[0107] よって、PD51 や OFG ゲート 122 のサイズを小さくする必要もなく、電荷捕獲領域 101 に蓄積された電荷を排出する構成とすることができ、面積効率を向上させることができる。

[0108] 図 18、図 19 を参照し、排出ドレインを有する画素 50 の他の構成について説明する。

[0109] 図 18、図 19 に示した画素 50h は、排出ドレイン 201 と、その排出ドレイン 201 用の OFG ゲート 231 を備えた構成とされている。図 18、図 19 に示した画素 50h は、図 11、図 12 に示した画素 50h に OFG ゲート 231 を追加した構成とされている。

[0110] このように、排出ドレイン 201 専用の OFG ゲート 231 を備えた構成の画素 50h の場合、OFG ゲート 231 のゲート (Gate) 制御により、電

荷捕獲領域 101 で捕獲された電荷が排出される。

[0111] OFGゲート 231 のゲート制御は、PLS 信号を読み出していることになる。換言すれば、OFGゲート 231 のゲート制御は、電荷捕獲領域 101 からの信号を読み出していることになる。

[0112] 電荷捕獲領域 101 から読み出された PLS 信号を、後段の信号処理に利用するようにしても良い。電荷捕獲領域 101 に蓄積される電荷は、PD51 に蓄積される電荷と同じく、入射される光の強度に依存すると考えられるため、例えば、電荷捕獲領域 101 からの信号で光の強度を測定し、その測定結果に応じた処理を、PD51 から読み出される信号の処理に用いるといった処理を行うようにすることもできる。

[0113] 電荷捕獲領域 101-1 は、画素 50h-1 に形成され、その電荷捕獲領域 101-1 が接続されている排出ドレイン 201-2 と OFGゲート 231-2 は、画素 50h-1 に隣接している画素 50h-2 に形成されている。

[0114] この例のように、電荷捕獲領域 101 は、隣接する画素 50h に形成されている排出ドレイン 201 や OFGゲート 231 と接続される構成とすることができる。また、図示はしないが、電荷捕獲領域 101 は、その電荷捕獲領域 101 が形成されている画素 50h に形成されている排出ドレイン 201 や OFGゲート 231 と接続される構成としても良い。

[0115] 本技術によれば、不要な光成分による影響を低減させることが可能となる。

[0116] <製造について>

上述した画素 50 の製造について図 20、図 21 を参照して説明する。ここでは、画素 50b を製造する場合を例に挙げて説明を続ける。

[0117] 工程 S11 において、SOI 基板がセッティングされる。ここでは、SOI 基板を用い、電荷蓄積層を n 型として構成する場合を例に挙げて説明するが、Bulk 基板を用いて、電荷蓄積層を p 型に構成する場合などにおいても本技術は適用できる。

- [0118] また工程 S 1 1 においては、イオン・インプランテーションにて、トランジスタのwellも形成され、素子分離も形成される。また、エッチングストップ層 3 0 1 も形成されている。
- [0119] 工程 S 1 2 において、n型領域となる P D 5 1、電荷保持部 5 4 b、および電荷捕獲領域 1 0 1 が、イオン・インプランテーションにより形成される。電荷捕獲領域 1 0 1 として、排出ドレイン 2 0 1 と接続される n 型領域も形成される。電荷保持領域 6 8 b に p 型領域が作成される場合、工程 S 1 2 において作成される。
- [0120] 工程 S 1 3 において、O F G ゲート 1 2 2、T R X ゲート 7 3 が形成される。これらのトランジスタのゲート部分は、例えば、CVD によるポリシリコン成膜およびリソグラフィのパターニングにて形成される。
- [0121] 工程 S 1 4 において、イオン・インプランテーションにより、H A D (Hole-Accumulation Diode) が形成される。H A D の形成は、P D 5 1 に p 型のピニング層 7 4 - 1 を生成することで形成される。H A D を形成することで、暗電流を大幅に抑えることができる。
- [0122] 工程 S 1 5 において、n型領域となる O F D 1 2 1 が、イオン・インプランテーションにて形成される。
- [0123] さらに、工程 S 1 6 において、配線層 6 1 が積層される。
- [0124] 工程 S 1 7 (図 2 1) において、配線層 6 1 の表面側に接着層が形成され、支持基板 3 0 2 が貼り合わされた後に、工程 S 1 8 に示すように、全体が反転され、半導体基板 6 3 の裏面側の面が、物理的研磨法により研磨される。
- [0125] 工程 S 1 9 において、半導体基板 6 3 のエッチングストップ層 3 0 1 よりも裏面側の層が、ウエットエッチングによりエッチングされる。この際、高濃度の p 型不純物からなるエッチングストップ層 3 0 1 によりエッチングをストップさせることで、エッチングストップ層 3 0 1 が露出される。
- [0126] さらに、エッチングストップ層 3 0 1 が除去された後、半導体基板 6 3 の裏面が C M P (Chemical Mechanical Polishing) 法により研磨されることに

より、半導体基板 6 3 の裏面側が薄肉化される。

[0127] 工程 S 2 0 において、半導体基板 6 3 の裏面にレジストが形成された後に、遮光部 7 6 の埋め込み部 7 6 B を形成する領域に開口部が形成されるようにレジスト層の露光および現像が行われる。そして、そのレジスト層をマスクとしたドライエッチングが行われることにより、トレンチ部が形成される。

[0128] さらに、トレンチ部の側面および底面と、半導体基板 6 3 の裏面とに、高誘電率材料膜 7 7 が成膜される。続いて、高誘電率材料膜 7 7 の裏面側から、その裏面側の面とトレンチ部 8 4 の内部とに遮光部 7 6 が成膜される。

[0129] これにより、高誘電率材料膜 7 7 の裏面側に蓋部 7 6 A が形成され、トレンチ部 8 4 の内部に埋め込み部 7 6 B が形成された遮光部 7 6 が形成される。

[0130] 遮光部 7 6 は、例えば、タングステンを材料として C V D (Chemical Vapor Deposition) を行うことにより成膜される。そして、遮光部 7 6 がドライエッチングで加工されることにより、開口部 7 6 C が開口される。その後、例えば、ALD (Atomic Layer Deposition) 法が用いられて、遮光部 7 6 に対して高誘電率材料膜 7 7 が積層されて平坦化される。

[0131] その後、通常の方法が用いられて、カラーフィルタ層 6 5 およびオンチップレンズ 6 6 が形成される。このようにして画素 5 0 b が製造される。

[0132] <排出ドレインを有する他の構成>

上記した実施の形態、例えば図 1 2 を参照して説明した実施の形態のように、電荷捕獲領域 1 0 1 に蓄積された電荷を排出する排出ドレイン 2 0 1 を、配線層 6 1 側（表面側）に形成する場合を例に挙げて説明したが、カラーフィルタ層 6 5 などが形成される側（裏面側）に形成することも可能である。

[0133] 図 2 2 は、裏面側に排出ドレインとしても機能する遮光部を形成した場合の画素 5 0 j の構成を示す図である。図 2 2 に示した画素 5 0 j において、図 4 に示した画素 5 0 b と同一の部分には、同一の符号を付し、その説明は

適宜省略する。

[0134] 図4を参照して説明したように、画素50bの電荷保持領域68bの裏面側（図4中の上側）は、遮光部76（蓋部76A）が形成されている。この遮光部76を、電荷捕獲領域101と接続する。電荷捕獲領域101と接続された遮光部76を、上記した遮光部76と区別するために遮光部401と記述する。

[0135] すなわち、図22に示した画素50jは、上記した蓋部76Aに該当する部分が、遮光部401とされる。遮光部401は、電荷捕獲領域101と遮光部76との間に形成されていた高誘電率材料膜77が除去され、その除去された部分にも遮光部401を形成する、例えば、タングステンなどが充填されることで電荷捕獲領域101と接続された構造とされている。

[0136] このように形成されている遮光部401により、電荷捕獲領域101に蓄積された電荷が取り出される。また、遮光部401の電位は、画素領域のpウェル領域の電位よりも高い電位が与えられる構成とすることにより、電荷捕獲領域101に蓄積された電荷が取り出される。

[0137] 図23は、画素50のさらに他の構成を示す図である。図23に示した画素50kは、図22に示した画素50jと同様に、裏面側に排出ドレインとしても機能する遮光部が形成されている構成であるが、遮光部76と別に形成されている（独立してそれぞれが形成されている）点異なる。

[0138] 図23を参照するに、電荷捕獲領域101上の部分は、高誘電率材料膜77が除去され、その部分には、遮光部402を構成する金属が充填され、電荷捕獲領域101と接続するように形成されている。また、遮光部402と遮光部76は、絶縁膜403を間に挟む構成とされている。

[0139] すなわち、図23に示した画素50kは、遮光部76が形成されたあと、絶縁膜403が形成され、その後、電荷捕獲領域101上の高誘電率材料膜77と絶縁膜403が除去される。その除去された部分に、遮光部402が形成されることで、図23に示したような構成を有する画素50kが形成される。

- [0140] 遮光部401と遮光部76により、上記した蓋部76Aの機能を実現する。遮光部401と遮光部76は、オーバーラップして形成される部分を設けることで、入射される光が、直接電荷捕獲領域101に入射されることがないような構成とされている。
- [0141] 絶縁膜403は、高誘電率材料膜77と同一の材質で形成されても良いし、異なる材質で形成されても良い。また、遮光部402は、遮光部76と同一の材質（金属）で形成されても良いし、異なる材質で形成されても良い。
- [0142] この場合も、遮光部402の電位は、画素領域のpウェル領域の電位よりも高い電位が与えられる構成とされることにより、電荷捕獲領域101に蓄積された電荷が取り出される。
- [0143] 画素50kにおいては、遮光部402と遮光部76が独立した構成とされているため、遮光部402に電位をかけても、遮光部76に、その電位がかかることがない。よって遮光部402の電位と、遮光部76の電位は、独立して制御することができる。
- [0144] 図22に示した画素50jは、遮光部401と、遮光部76（例えば、遮光部76B）が繋がった構成とされているため、遮光部401に、画素領域のpウェル領域の電位よりも高い電位を与えると、遮光部76Bにも、画素領域のpウェル領域の電位よりも高い電位が与えられることになる。
- [0145] このように遮光部76に電位をかけた場合、暗電流や白点が発生する可能性がある。図23に示した画素50kにおいては、遮光部402と遮光部76が独立した構成とされているため、遮光部402に所定の電位を与えても、遮光部76には、その所定の電位は与えられない。
- [0146] よって、図23に示した画素50kは、図22に示した画素50jよりも、暗電流や白点の発生を抑制できる。
- [0147] 図22、図23に示したように、裏面側（光が入射する側）に、電荷捕獲領域101に蓄積された電荷を排出するための構成を有するようにすることもできる。また、このような構成とすることで、PD領域67や、表面側（配線層61側）に、例えば排出ドレインを配置する領域を確保するといった

ことも必要なくなるため、飽和電子数の向上や感度を向上させることも可能となる。

[0148] このように、本技術によれば、不要な光成分による影響を低減させることが可能となる。

[0149] <電子機器>

本技術は、撮像装置への適用に限られるものではなく、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機など、画像取込部（光電変換部）に撮像装置を用いる電子機器全般に対して適用可能である。なお、電子機器に搭載されるモジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

[0150] 図24は、本開示の電子機器の一例である撮像装置の構成例を示すブロック図である。図24に示すように、本開示の撮像装置600は、レンズ群601等を含む光学系、撮像素子602、カメラ信号処理部であるDSP回路603、フレームメモリ604、表示装置605、記録装置606、操作系607、及び、電源系608等を有している。

[0151] そして、DSP回路603、フレームメモリ604、表示装置605、記録装置606、操作系607、及び、電源系608がバスライン609を介して相互に接続された構成となっている。CPU610は、撮像装置600内の各部を制御する。

[0152] レンズ群601は、被写体からの入射光（像光）を取り込んで撮像素子602の撮像面上に結像する。撮像素子602は、レンズ群601によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子602として、先述した実施の形態に係る撮像素子（イメージセンサ）を用いることができる。

[0153] 表示装置605は、液晶表示装置や有機EL(electro luminescence)表示装置等のパネル型表示装置からなり、撮像素子602で撮像された動画または静止画を表示する。記録装置606は、撮像素子602で撮像された動画

または静止画を、ビデオテープやDVD(Digital Versatile Disk)等の記録媒体に記録する。

[0154] 操作系607は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系608は、DSP回路603、フレームメモリ604、表示装置605、記録装置606、及び、操作系607の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0155] このような撮像装置600は、ビデオカメラやデジタルスチルカメラ、さらには、携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置600において、撮像素子602として先述した実施形態に係る撮像素子を用いることができる。

[0156] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0157] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0158] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0159] なお、本技術は以下のような構成も取ることができる。

(1)

受光した光を電荷に変換する光電変換部と、
前記光電変換部から転送されてきた電荷を保持する保持部と
を備え、
前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内に形成され、
前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている
撮像素子。

(2)

前記保持部が形成されている領域より光入射側に、電荷を捕獲する電荷捕獲領域をさらに備える

前記（１）に記載の撮像素子。

（３）

前記光電変換部と前記電荷捕獲領域との間に、光を遮光する遮光部がさらに形成されている

前記（２）に記載の撮像素子。

（４）

画素間に形成されている前記遮光部は、前記半導体基板を貫通している

前記（３）に記載の撮像素子。

（５）

前記電荷捕獲領域の光入射側は、光を遮光する遮光部で覆われている

前記（２）乃至（４）のいずれかに記載の撮像素子。

（６）

前記電荷捕獲領域から電荷を排出する排出ドレインをさらに備える

前記（２）乃至（５）のいずれかに記載の撮像素子。

（７）

前記電荷捕獲領域から、前記排出ドレインまでのオーバーフローパスは、前記半導体基板を非貫通に形成されている遮光部の領域に形成されている

前記（６）に記載の撮像素子。

（８）

前記排出ドレインは、ＯＦＤと共有とされている

前記（６）または（７）に記載の撮像素子。

（９）

前記排出ドレインは、トランジスタの電源と共有とされている

前記（６）または（７）に記載の撮像素子。

（１０）

前記排出ドレイン専用のＯＦＧを備える

前記（６）または（７）に記載の撮像素子。

（１１）

前記排出ドレインは、前記電荷捕獲領域が形成されている画素に隣接する画素に形成されている

前記（６）乃至（１０）のいずれかに記載の撮像素子。

（１２）

前記排出ドレインは、前記電荷捕獲領域の光入射側に形成され、光の入射を遮光する遮光部と共有とされている

前記（６）に記載の撮像素子。

（１３）

前記排出ドレインは、前記電荷捕獲領域の光入射側に形成されている

前記（６）に記載の撮像素子。

（１４）

受光した光を電荷に変換する光電変換部と、

前記光電変換部から転送されてきた電荷を保持する保持部と

を備え、

前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内に形成され、

前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている

撮像素子を含み、

前記撮像素子からの信号を処理する処理部を備える

電子機器。

符号の説明

[0160] ３０ 撮像素子， ５０ 画素， ５１ ＰＤ， ５４ 電荷保持部，
６１ 配線層， ６２ 酸化膜， ６３ 半導体基板， ６４ 遮光層，
６５ カラーフィルタ層， ６６ オンチップレンズ， ７１ 配線， ７
２ 層間絶縁膜， ７３ ＴＲＸゲート， ７４ 表面ピニング層， ７５
画素間分離領域， ７６ 遮光部， ７７ 高誘電率材料膜， １０１
電荷捕獲領域， １２１ ＯＦＤ， １２２ ＯＦＧゲート， １２３ ト
ランジスタ， １２４ ＴＲＧゲート， １２５ ＦＤ， ２０１ 排出ド

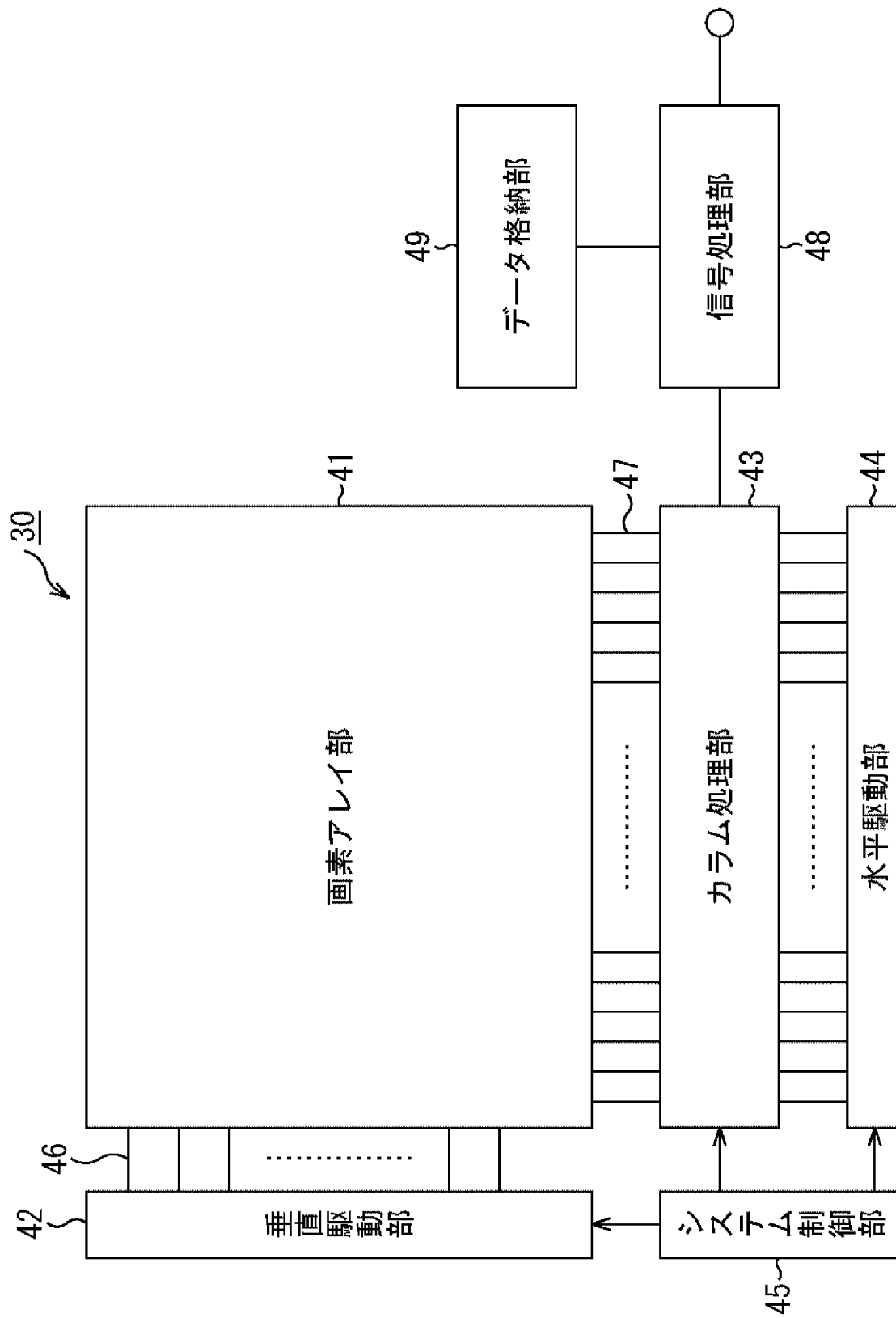
レイン, 401, 402 遮光部

請求の範囲

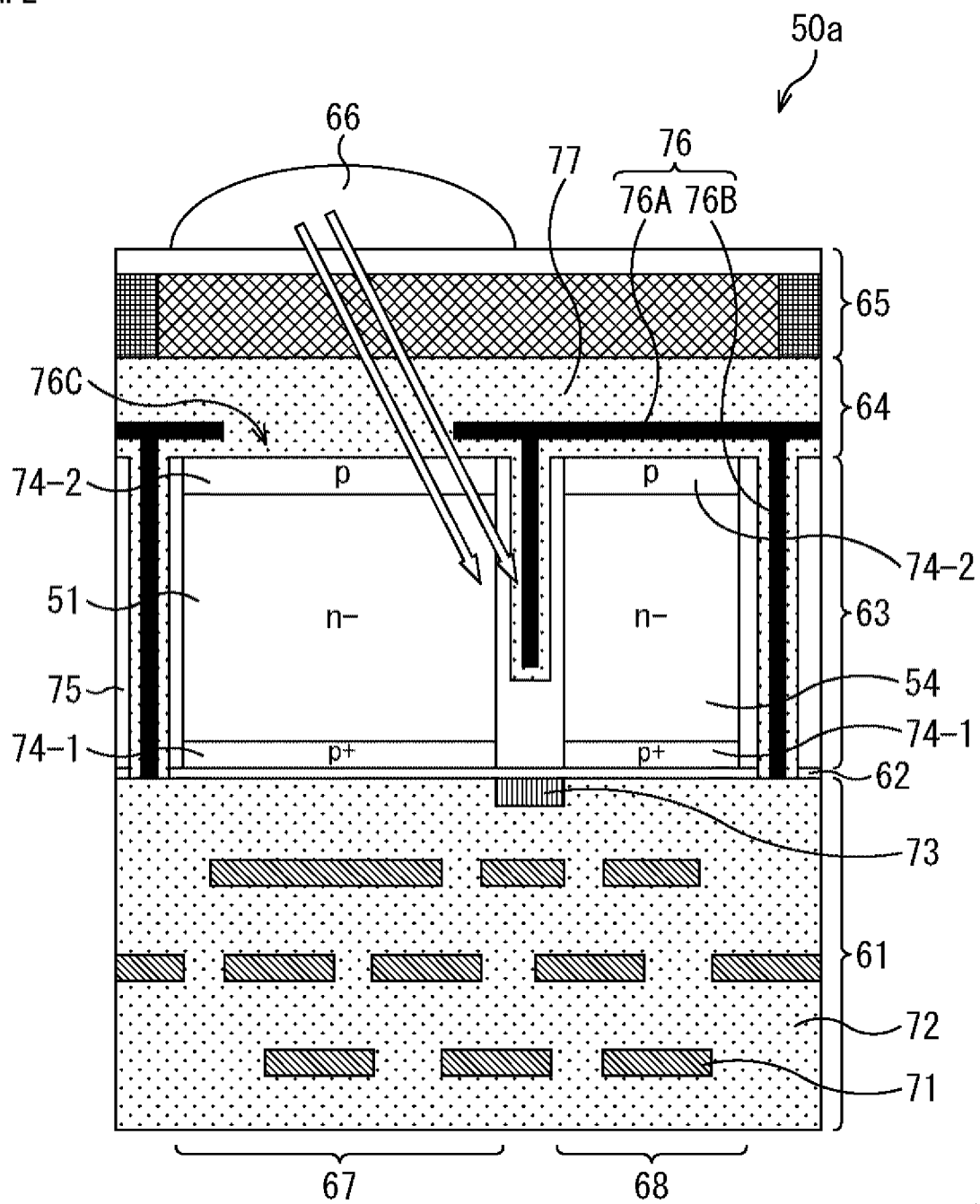
- [請求項1] 受光した光を電荷に変換する光電変換部と、
前記光電変換部から転送されてきた電荷を保持する保持部と
を備え、
前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内に形成され、
前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている撮像素子。
- [請求項2] 前記保持部が形成されている領域より光入射側に、電荷を捕獲する電荷捕獲領域をさらに備える
請求項1に記載の撮像素子。
- [請求項3] 前記光電変換部と前記電荷捕獲領域との間に、光を遮光する遮光部がさらに形成されている
請求項2に記載の撮像素子。
- [請求項4] 画素間に形成されている前記遮光部は、前記半導体基板を貫通している
請求項3に記載の撮像素子。
- [請求項5] 前記電荷捕獲領域の光入射側は、光を遮光する遮光部で覆われている
請求項2に記載の撮像素子。
- [請求項6] 前記電荷捕獲領域から電荷を排出する排出ドレインをさらに備える
請求項2に記載の撮像素子。
- [請求項7] 前記電荷捕獲領域から、前記排出ドレインまでのオーバーフローパスは、前記半導体基板を非貫通に形成されている遮光部の領域に形成されている
請求項6に記載の撮像素子。
- [請求項8] 前記排出ドレインは、OFDと共有とされている
請求項6に記載の撮像素子。

- [請求項9] 前記排出ドレインは、トランジスタの電源と共有とされている
請求項6に記載の撮像素子。
- [請求項10] 前記排出ドレイン専用のOFGを備える
請求項6に記載の撮像素子。
- [請求項11] 前記排出ドレインは、前記電荷捕獲領域が形成されている画素に隣
接する画素に形成されている
請求項6に記載の撮像素子。
- [請求項12] 前記排出ドレインは、前記電荷捕獲領域の光入射側に形成され、光
の入射を遮光する遮光部と共通とされている
請求項6に記載の撮像素子。
- [請求項13] 前記排出ドレインは、前記電荷捕獲領域の光入射側に形成されてい
る
請求項6に記載の撮像素子。
- [請求項14] 受光した光を電荷に変換する光電変換部と、
前記光電変換部から転送されてきた電荷を保持する保持部と
を備え、
前記光電変換部と前記保持部は、所定の厚さを有する半導体基板内
に形成され、
前記保持部は、前記所定の厚さの半分の厚さ以下で形成されている
撮像素子を含み、
前記撮像素子からの信号を処理する処理部を備える
電子機器。

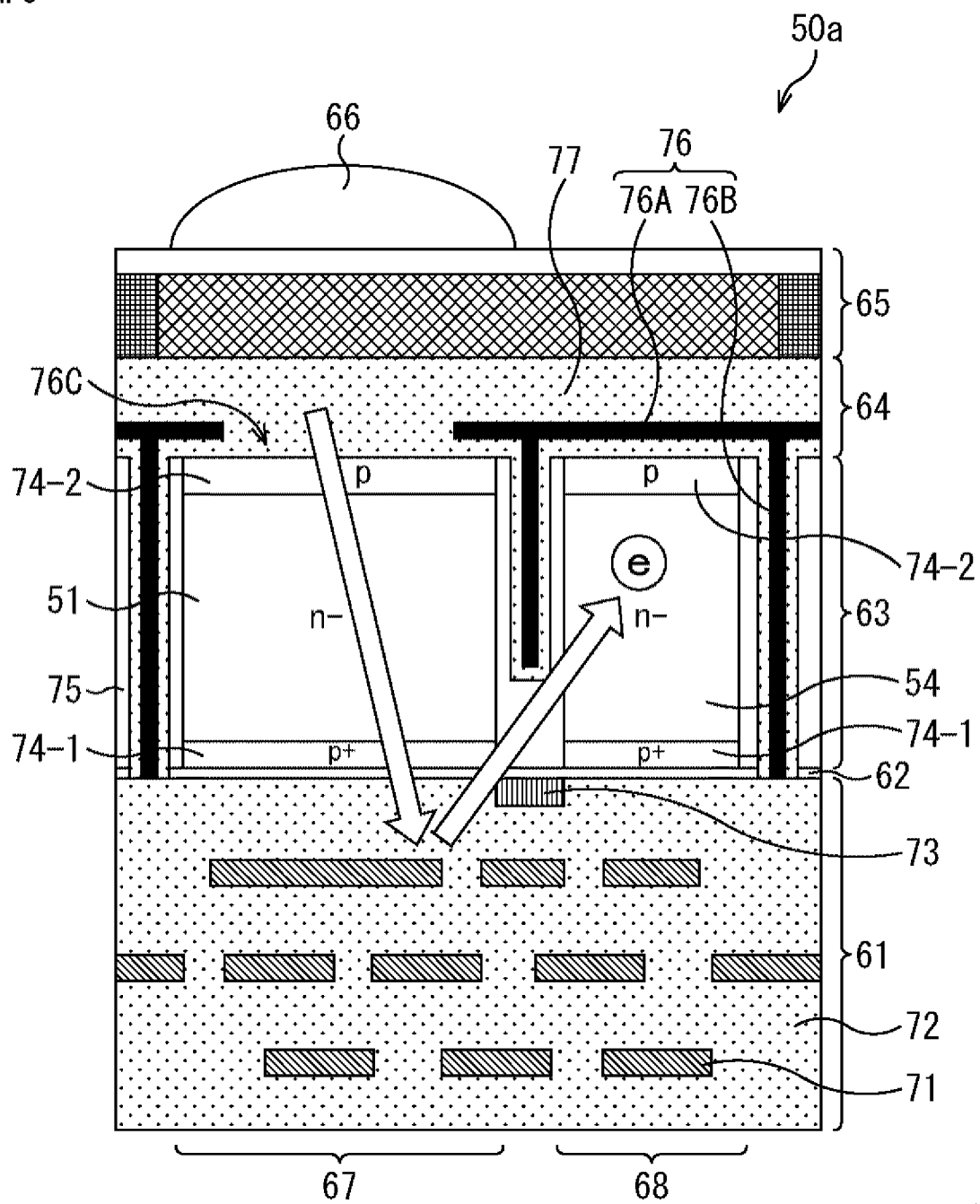
[図1]
FIG. 1



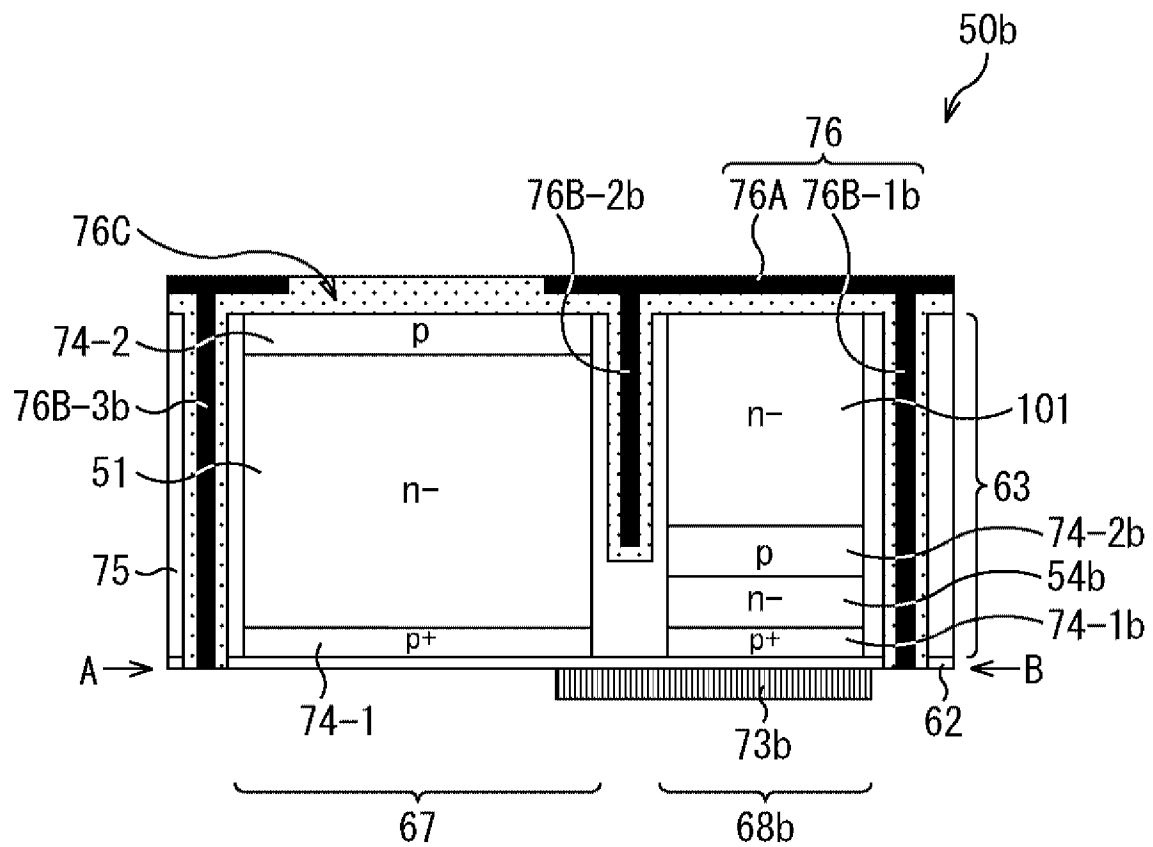
[図2]
FIG. 2



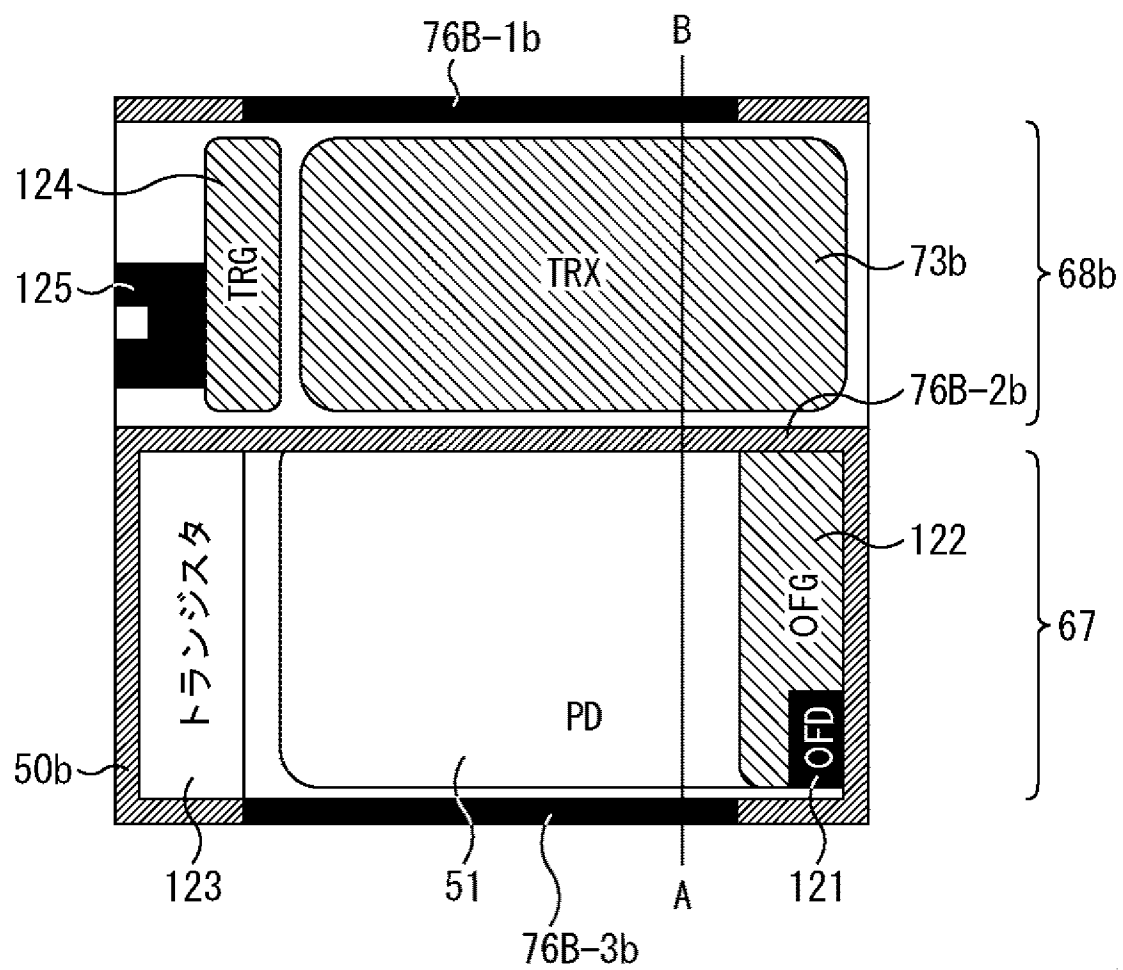
[図3]
FIG. 3



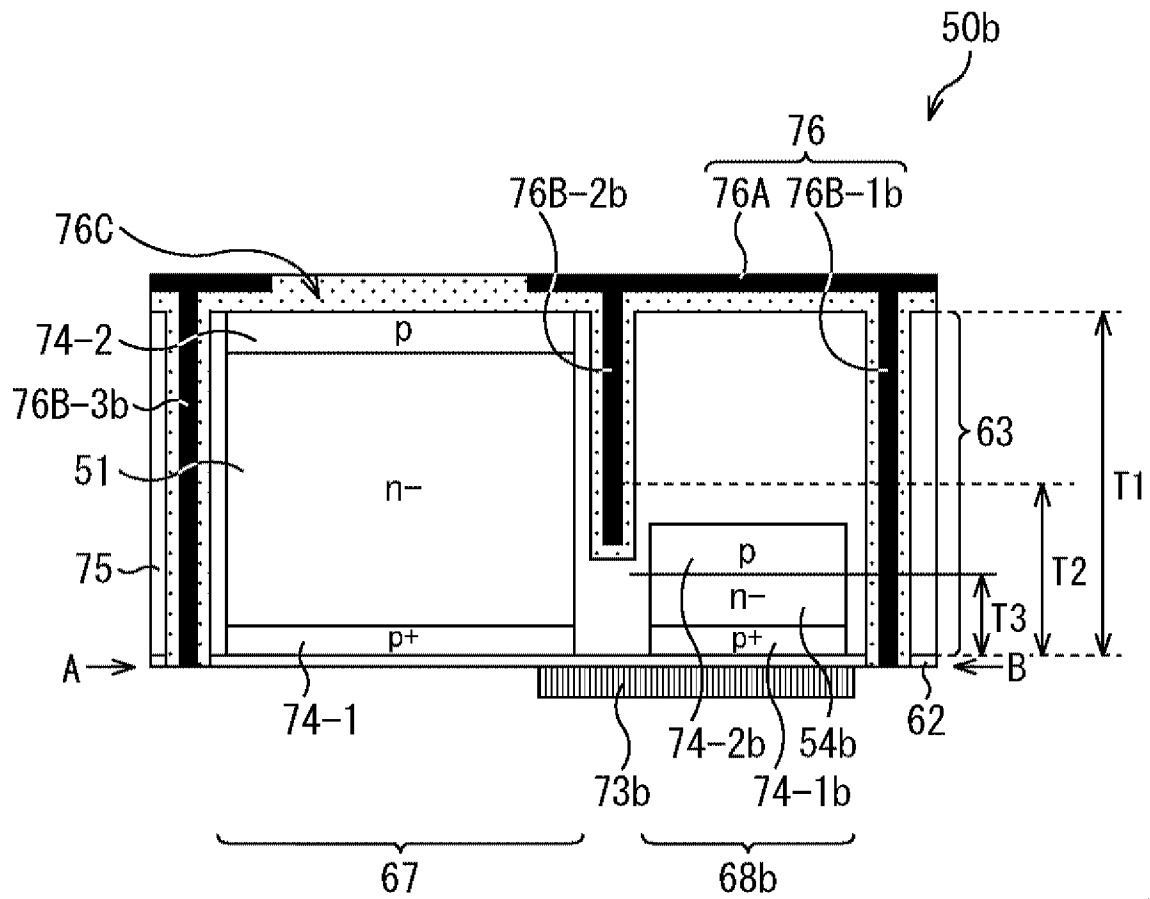
[図4]
FIG. 4

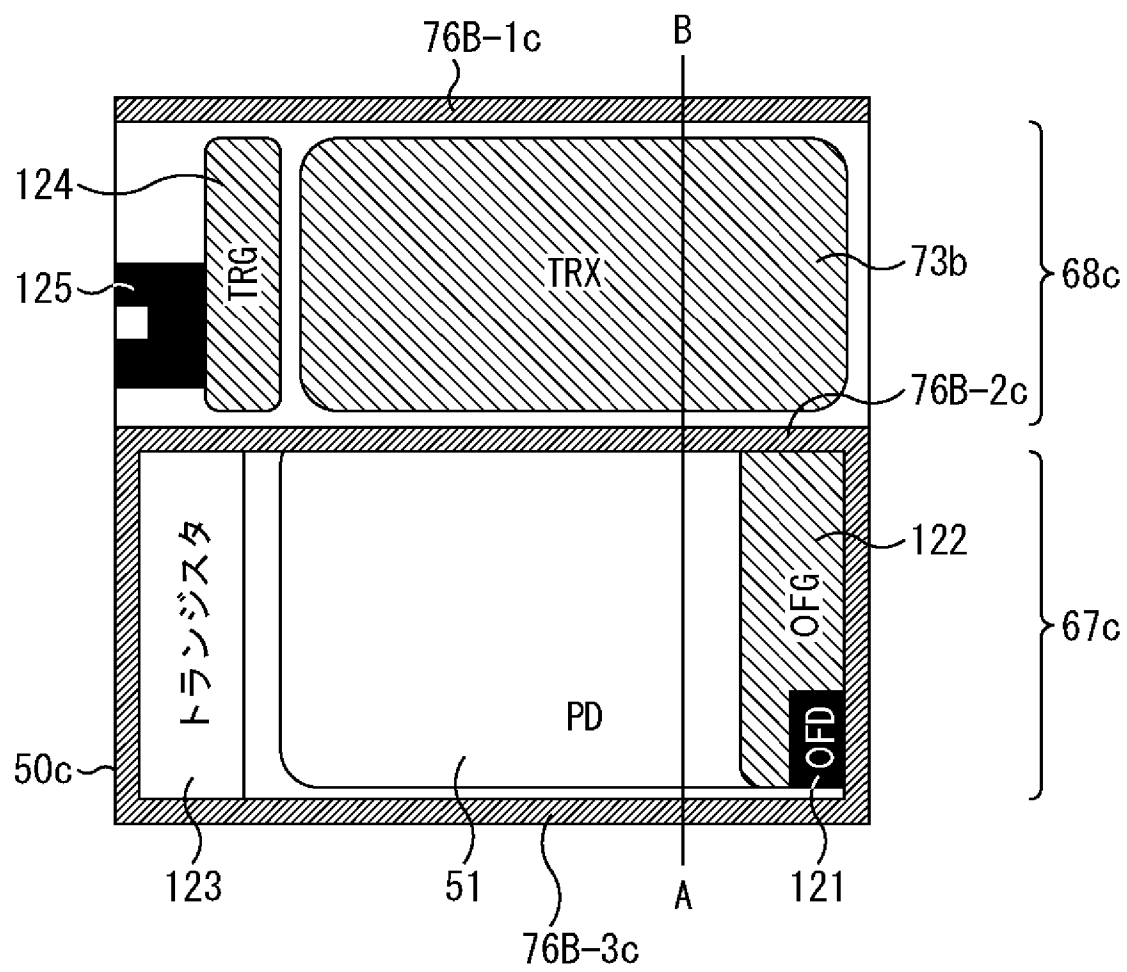


[図5]
FIG. 5

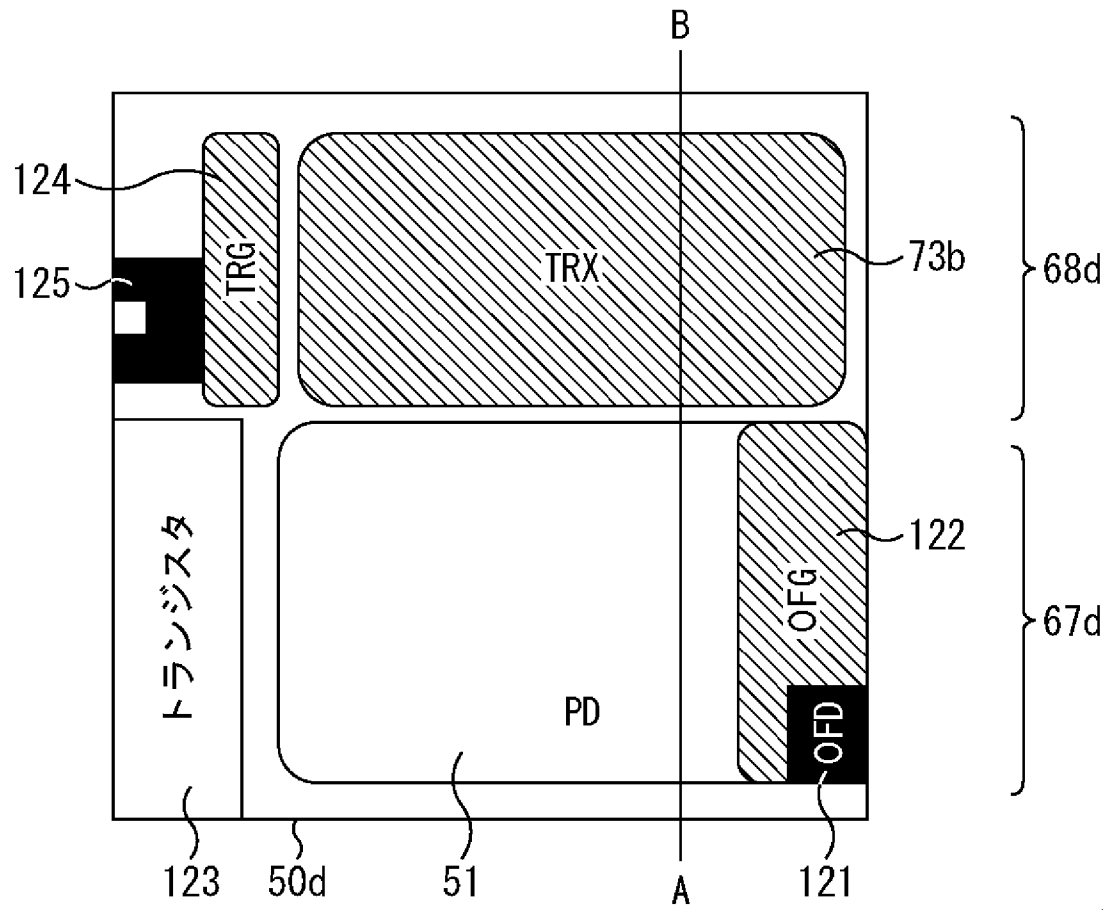


[図6]
FIG. 6



[図7]
FIG. 7

[図9]
FIG. 9



[図10]
FIG. 10

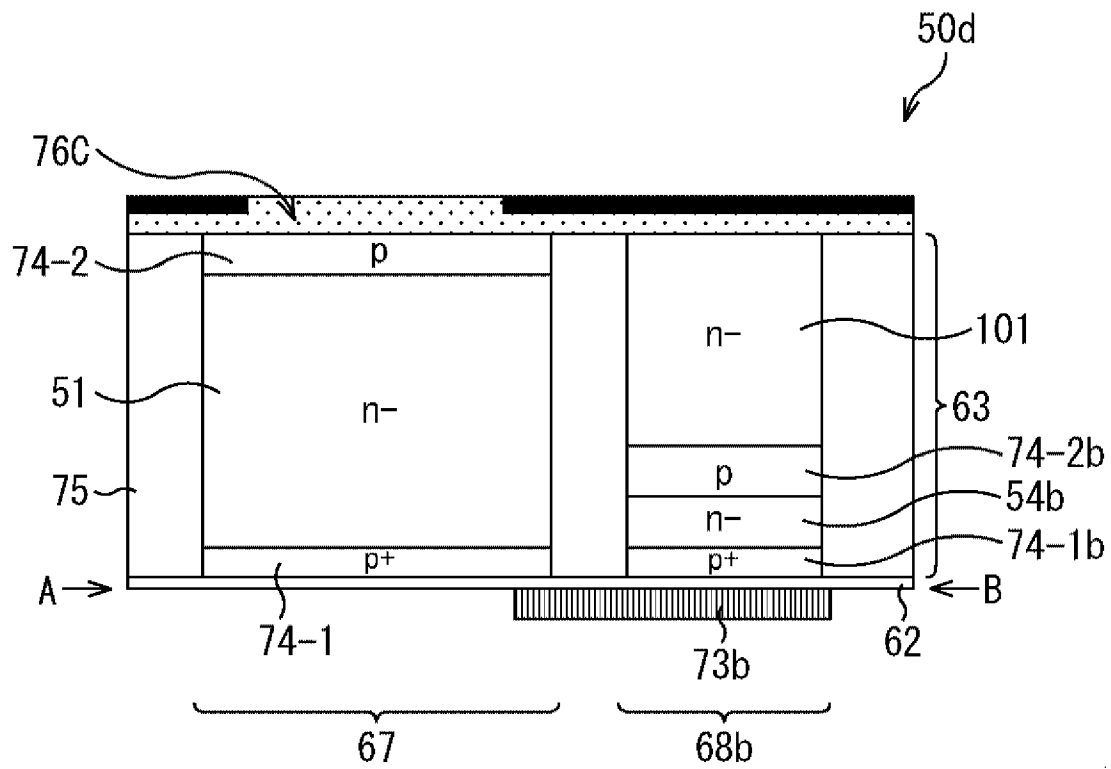
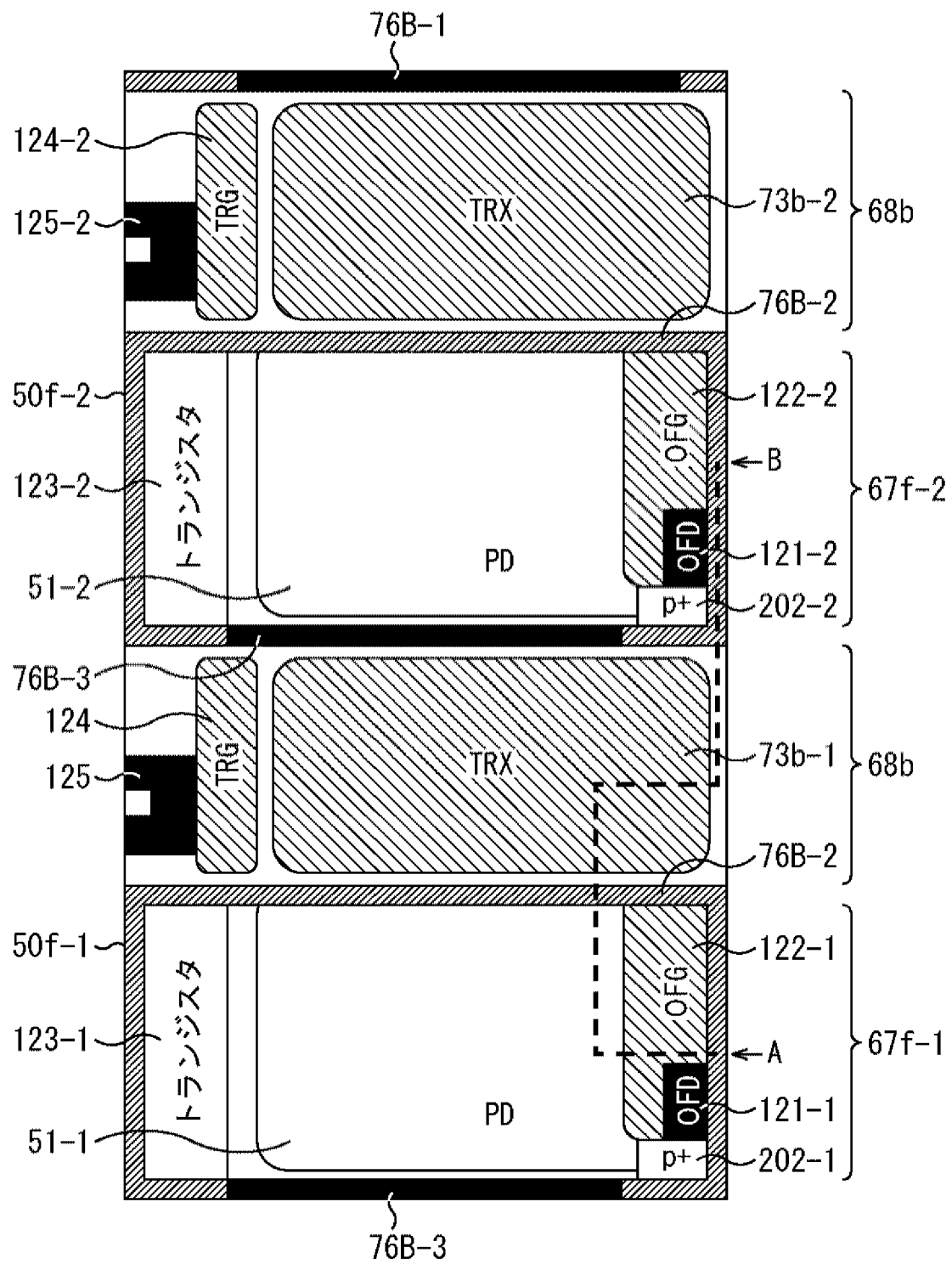


Figure 1 is a plan view of a semiconductor device, showing three horizontal sections (top, middle, and bottom) separated by vertical dividers. The top section contains a TRG (Transfer Gate) and a TRX (Transfer Region) area. The middle section contains a PD (Photo Diode) and a TRG area. The bottom section contains a PD and a TRG area. Various components are labeled with reference numerals, and arrows indicate specific features or regions.

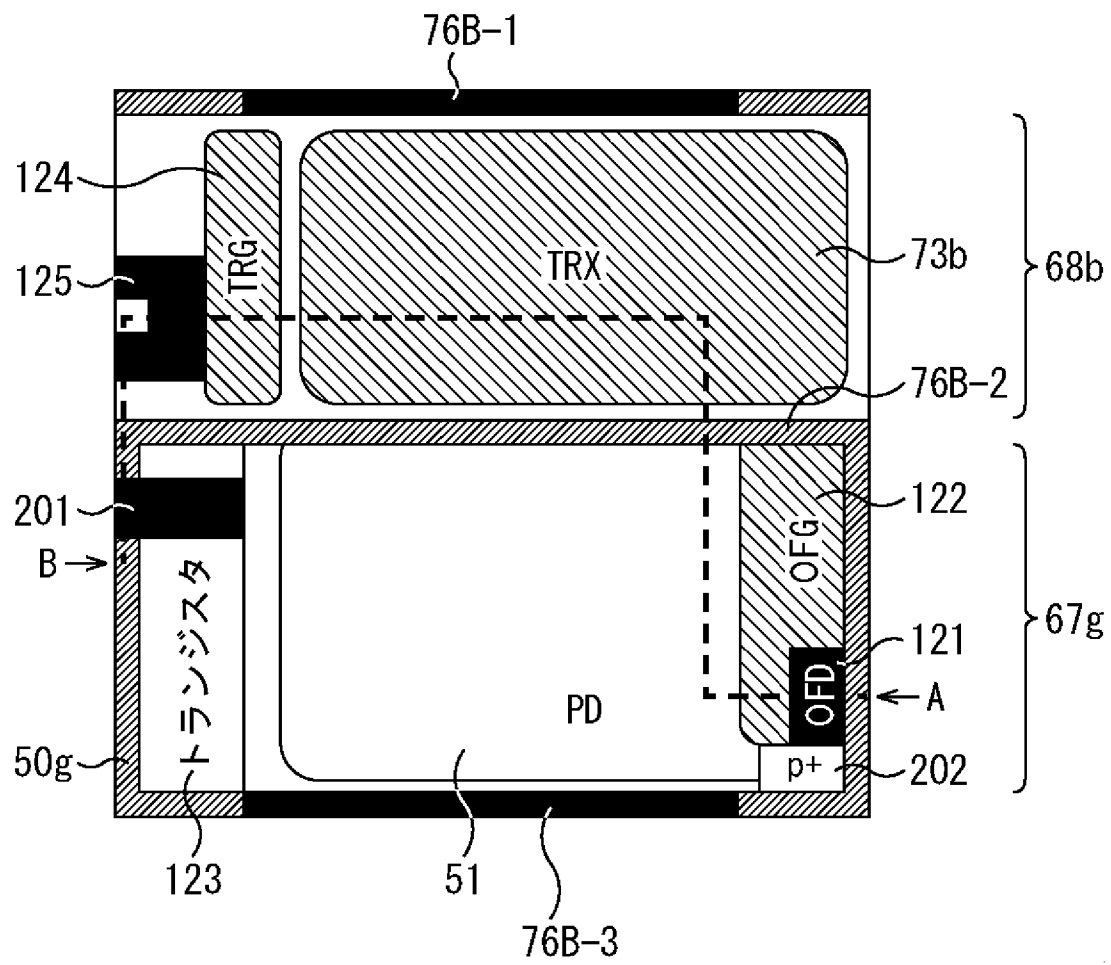
Labels and components shown in Figure 1:

- Top Section:**
 - 76B-1: Top boundary line.
 - 124-2: TRG (Transfer Gate).
 - 125-2: TRX (Transfer Region).
 - 73b-2: TRX area.
 - 76B-2: Bottom boundary line.
 - 68b-1: Group label for 73b-2 and 76B-2.
- Middle Section:**
 - 50e-2: Top boundary line.
 - 123-2: TRG (Transfer Gate).
 - 51-2: TRX (Transfer Region).
 - PD: Photo Diode.
 - 122-2: TRG area.
 - 121-2: TRX area.
 - 202-2: p+ region.
 - 201-2: TRX area.
 - 67e-2: Group label for 122-2, 121-2, 202-2, and 201-2.
 - B: Arrow pointing to the TRX area.
- Bottom Section:**
 - 76B-3: Bottom boundary line.
 - 124-1: TRG (Transfer Gate).
 - 125-1: TRX (Transfer Region).
 - 73b-1: TRX area.
 - 76B-2: Bottom boundary line.
 - 68b-1: Group label for 73b-1 and 76B-2.
 - 50e-1: Top boundary line.
 - 123-1: TRG (Transfer Gate).
 - 51-1: TRX (Transfer Region).
 - PD: Photo Diode.
 - 122-1: TRG area.
 - 121-1: TRX area.
 - 202-1: p+ region.
 - 201-1: TRX area.
 - 67e-1: Group label for 122-1, 121-1, 202-1, and 201-1.
 - A: Arrow pointing to the TRX area.

[図13]
FIG. 13

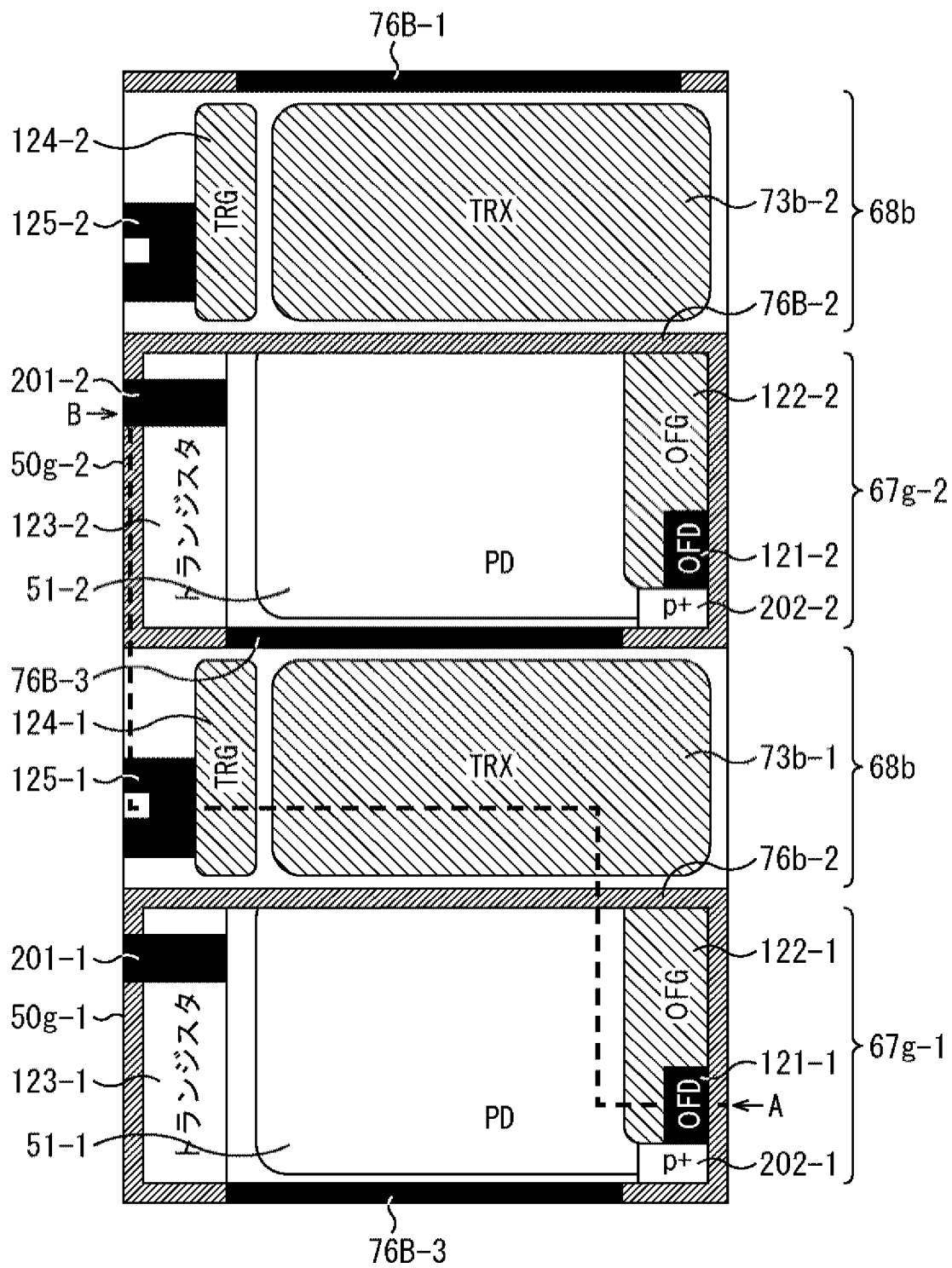


[図15]
FIG. 15

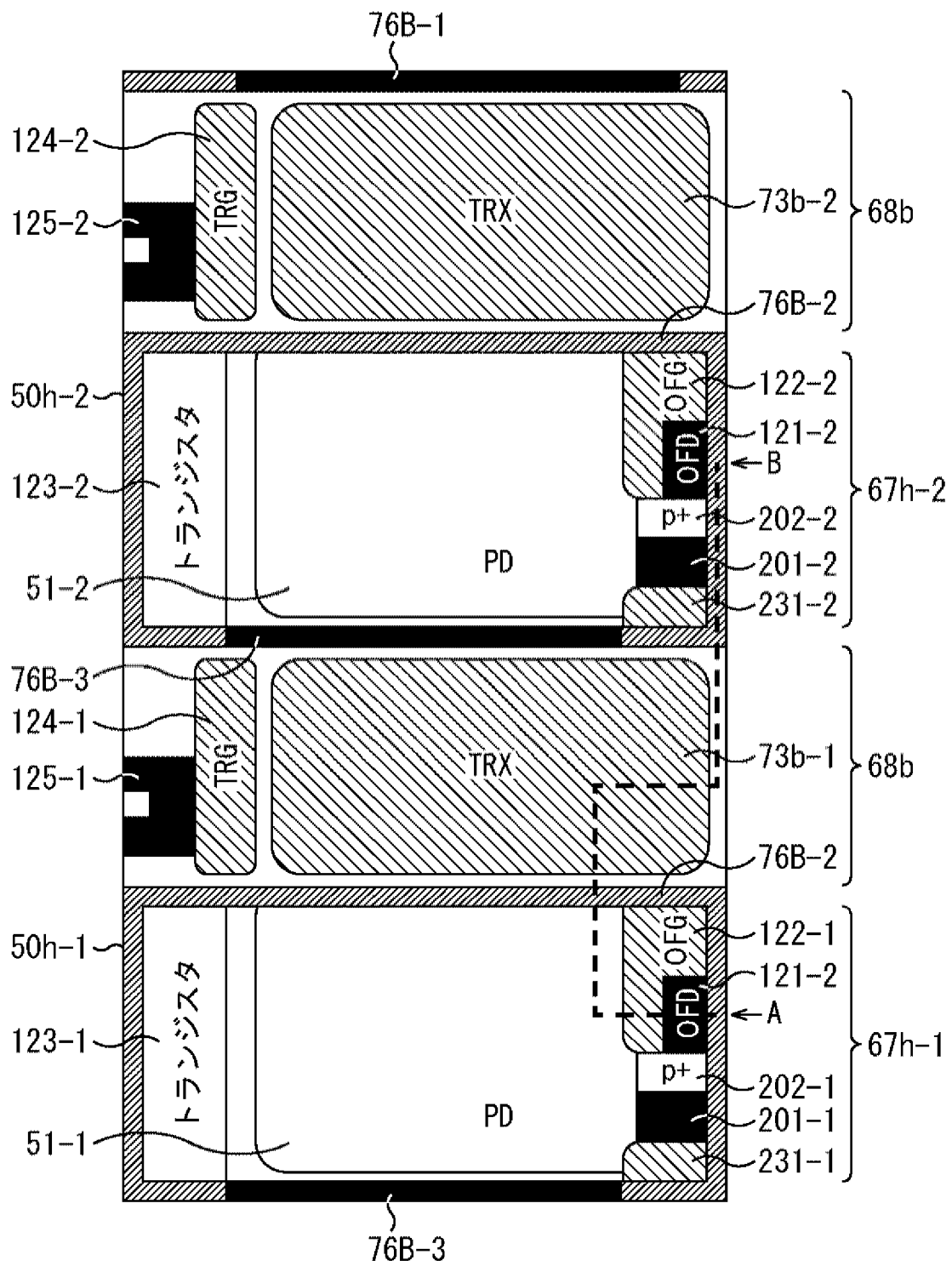


[illegible]

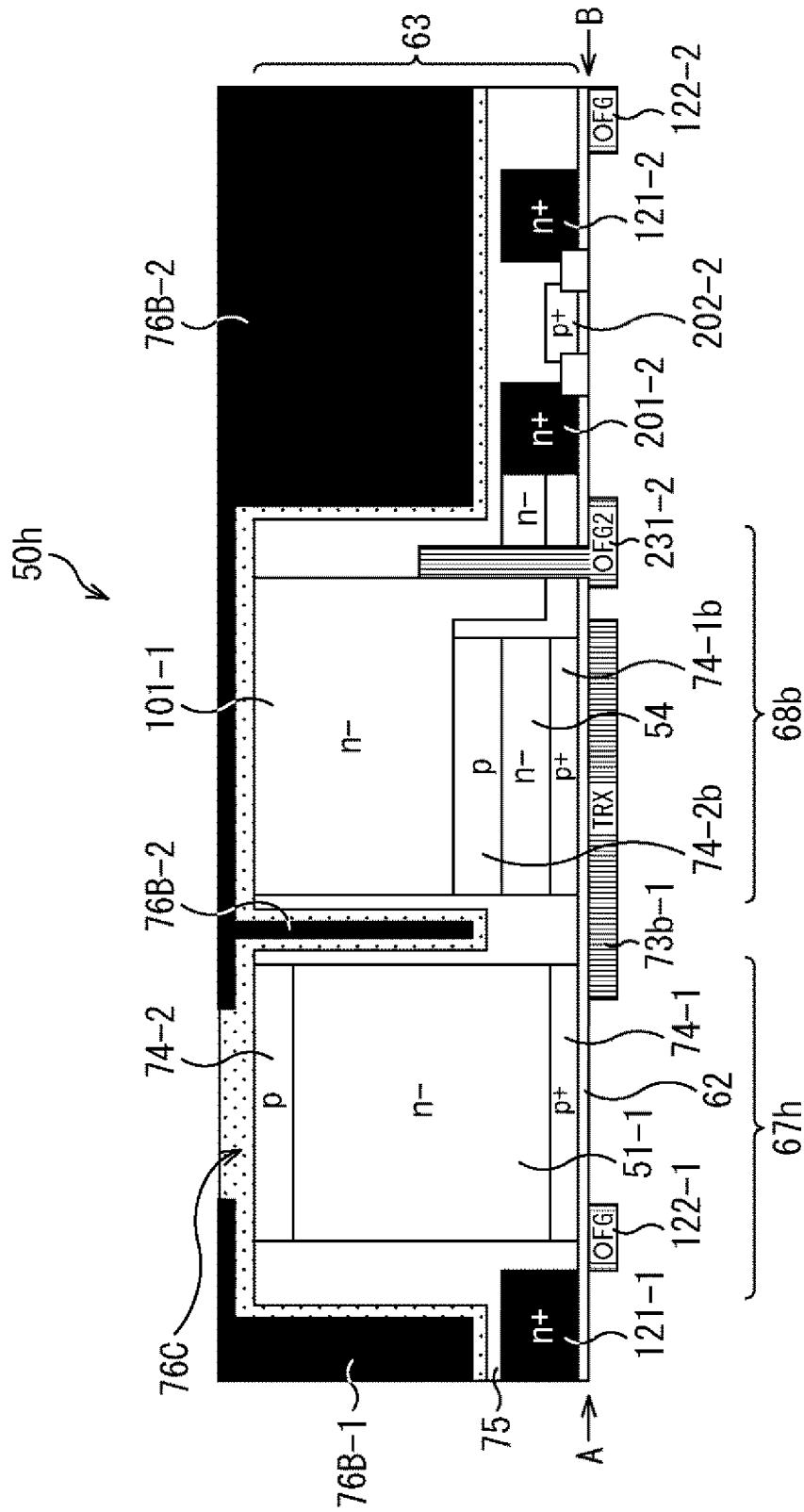
[図17]
FIG. 17



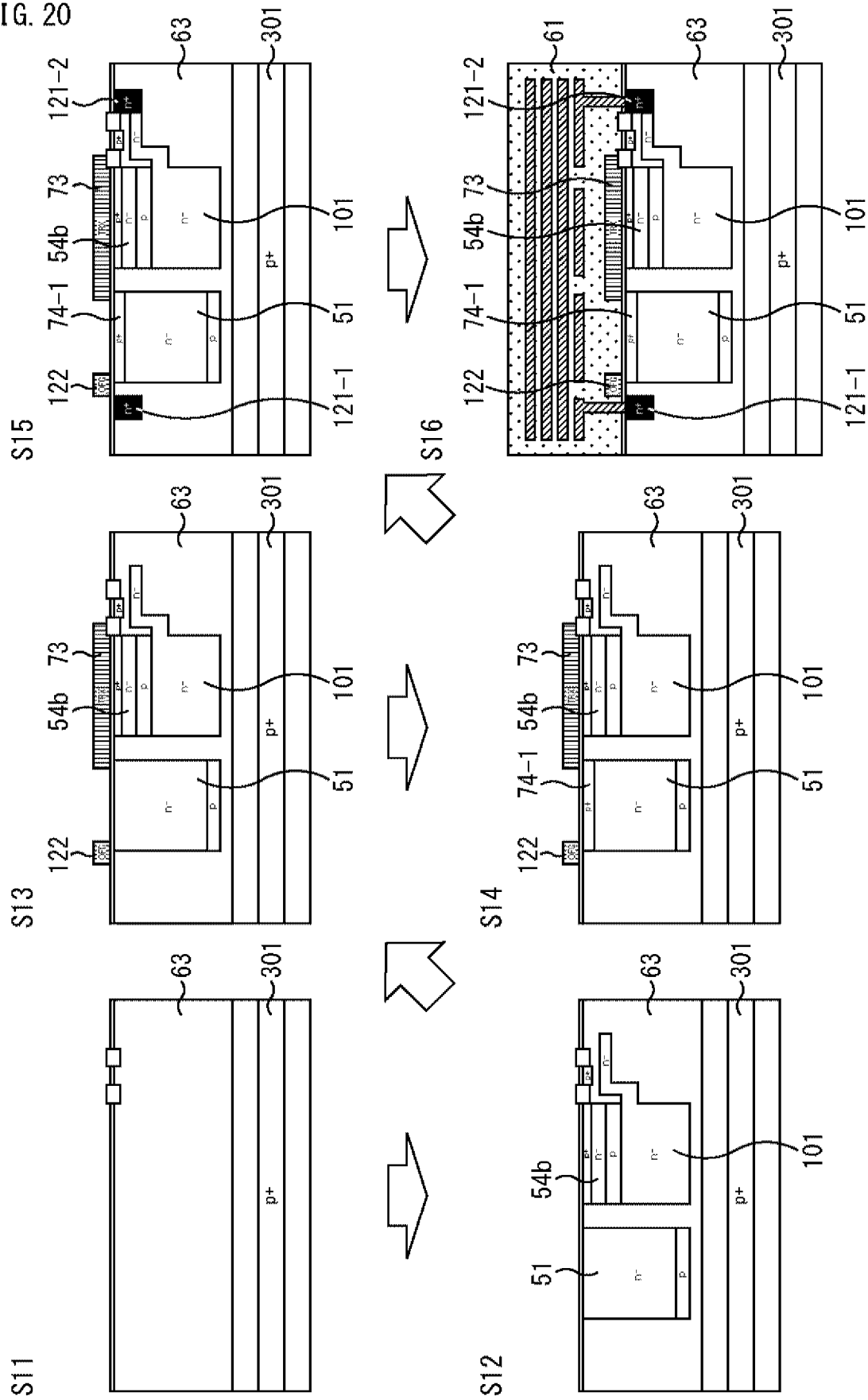
[図18]
FIG. 18



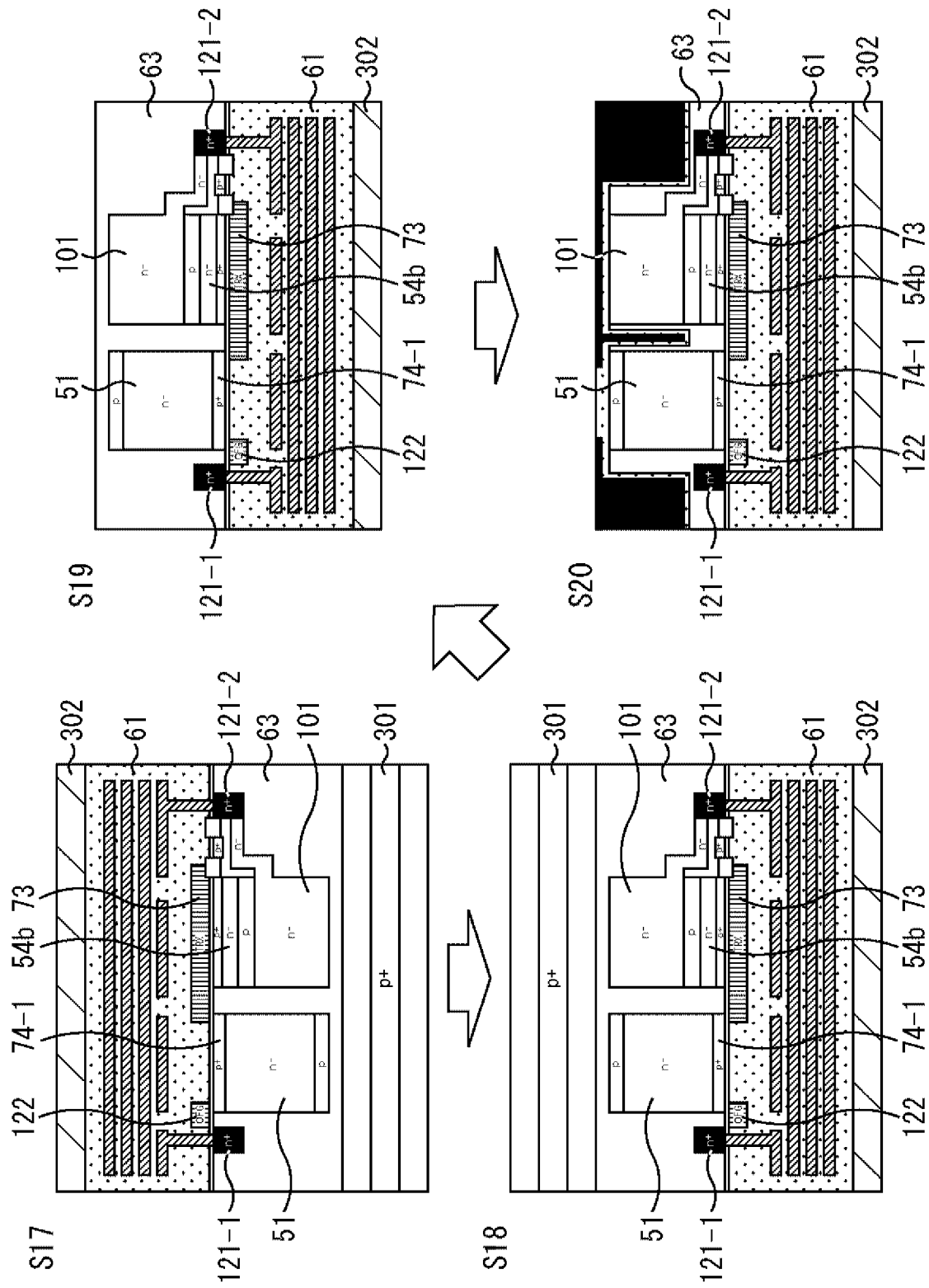
[図19]
FIG. 19



[図20]
FIG. 20



[図21]
FIG. 21



50k

402 76B

403

76

77

76C

74-2

p

n-

51

75

74-1

p+

101

63

74-2b

54b

74-1b

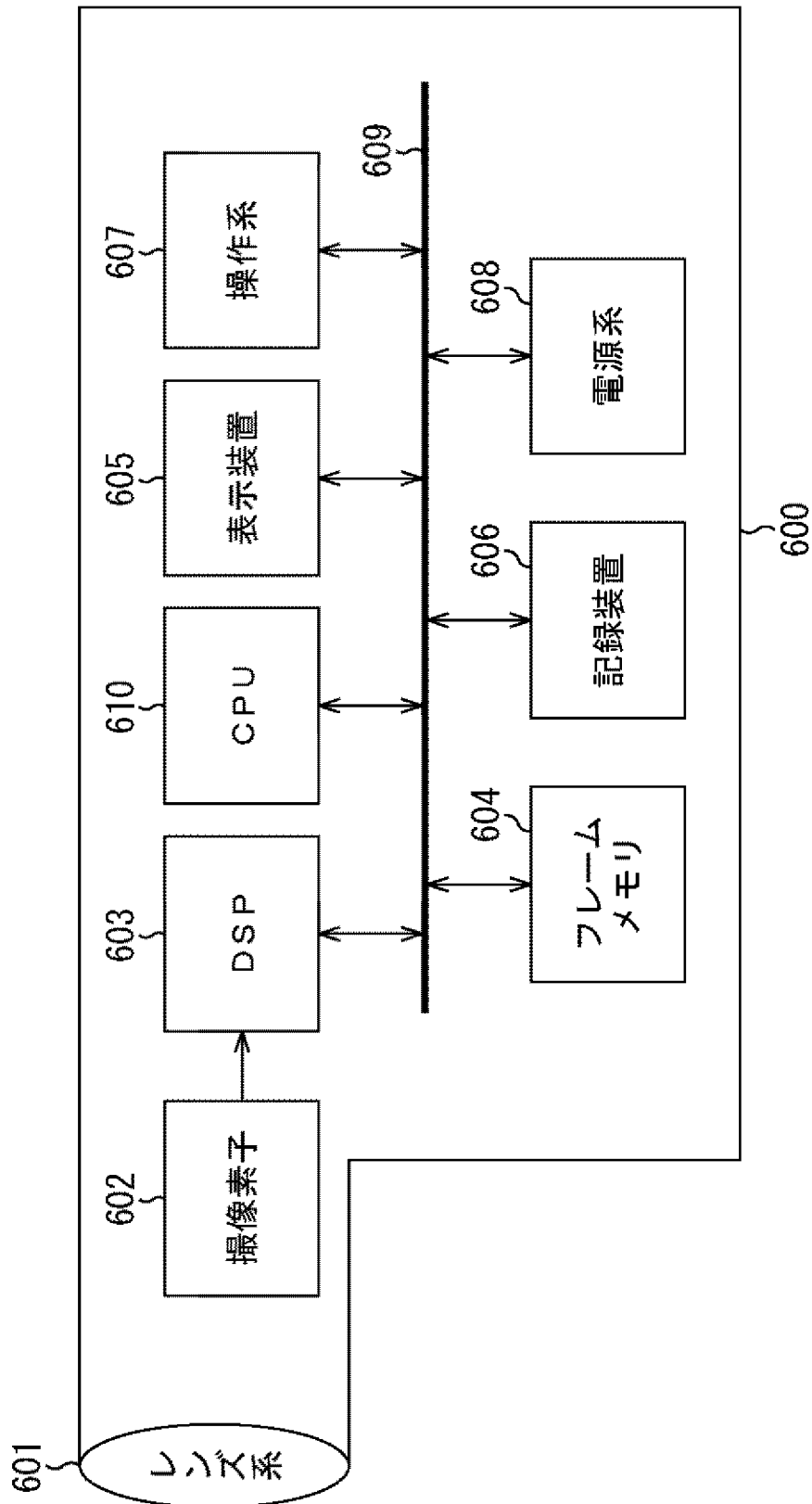
62

73b

67

68b

[図24]
FIG. 24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009145

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/146 (2006.01) i, H04N5/225 (2006.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/146, H04N5/225, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-171888 A (CANON INC.) 02 September 2013, paragraphs [0009]-[0025], [0028], [0047], [0049]-	1, 2, 6, 8, 9, 14
Y	[0066], [0075]-[0085], fig. 2-6, 11-13 & US 2013/0215300 A1, paragraphs [0038]-[0054], [0057],	3-5, 7, 11-13
A	[0076], [0077], [0079]-[0096], [0105]-[0115]	10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 April 2018 (20.04.2018)

Date of mailing of the international search report

01 May 2018 (01.05.2018)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/009145

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-96490 A (SONY CORP.) 22 May 2014, paragraphs [0037]-[0075], fig. 2-6 (Family: none)	1, 14
Y	JP 2013-65688 A (SONY CORP.) 11 April 2013, paragraphs [0033]-[0060], [0093]-[0095], fig. 4-7, 23 & US 2013/0070131 A1, paragraphs [0056]-[0083], [0116]-[0118] & CN 103000644 A	3-5, 7
Y	JP 2012-89654 A (RENESAS ELECTRONICS CORP.) 10 May 2012, paragraphs [0019]-[0033], fig. 2-6 (Family: none)	11
Y	JP 2010-232387 A (PANASONIC CORP.) 14 October 2010, paragraphs [0059]-[0065], fig. 2 & US 2012/0037960 A1, paragraphs [0086]-[0092] & WO 2010/109744 A1	12, 13
A	US 2015/0256769 A1 (SAMSUNG ELECTRONICS CO., LTD.) 10 September 2015, entire text, all drawings & KR 10-2015-0105861 A	1-14
A	JP 2011-204878 A (SONY CORP.) 13 October 2011, entire text, all drawings & US 2011/0234836 A1 & CN 102202189 A & KR 10-2011-0107750 A & TW 201143416 A	1-14
A	JP 2009-272539 A (CANON INC.) 19 November 2009, entire text, all drawings & US 2011/0032379 A1 & WO 2009/136655 A1 & EP 2277199 A1 & KR 10-2010-0136567 A & CN 102017153 A & RU 2010150350 A	1-14
A	JP 2012-129798 A (SONY CORP.) 05 July 2012, entire text, all drawings & US 2012/0153126 A1 & CN 102547168 A	1-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/225(2006.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/225, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-171888 A（キヤノン株式会社）2013.09.02, [0009] - [0025], [0028], [0047],	1, 2, 6, 8, 9, 14
Y	[0049] - [0066], [0075] - [0085], 図2-6, 11-13	3-5, 7, 11-13
A	&US 2013/0215300 A1, [0038]-[0054], [0057], [0076], [0077], [0079]-[0096], [0105]-[0115]	10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

柴山 将隆

5 F

3035

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-96490 A (ソニー株式会社) 2014. 05. 22, [0037] - [0075], 図2-6 (ファミリーなし)	1, 14
Y	JP 2013-65688 A (ソニー株式会社) 2013. 04. 11, [0033] - [0060], [0093] - [0095], 図4-7, 23 & US 2013/0070131 A1, [0056]-[0083], [0116]-[0118] & CN 103000644 A	3-5, 7
Y	JP 2012-89654 A (ルネサスエレクトロニクス株式会社) 2012. 05. 10, [0019] - [0033], 図2-6 (ファミリーなし)	11
Y	JP 2010-232387 A (パナソニック株式会社) 2010. 10. 14, [0059] - [0065], 図2 & US 2012/0037960 A1, [0086] -[0092] & WO 2010/109744 A1	12, 13
A	US 2015/0256769 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015. 09. 10, 全文, 全図 & KR 10-2015-0105861 A	1-14
A	JP 2011-204878 A (ソニー株式会社) 2011. 10. 13, 全文, 全図 & US 2011/0234836 A1 & CN 102202189 A & KR 10-2011-0107750 A & TW 201143416 A	1-14
A	JP 2009-272539 A (キヤノン株式会社) 2009. 11. 19, 全文, 全図 & US 2011/0032379 A1 & WO 2009/136655 A1 & EP 2277199 A1 & KR 10-2010-0136567 A & CN 102017153 A & RU 2010150350 A	1-14
A	JP 2012-129798 A (ソニー株式会社) 2012. 07. 05, 全文, 全図 & US 2012/0153126 A1 & CN 102547168 A	1-14