

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係有關於射頻功率電晶體，特別是有關於一種側向擴散 MOS 電晶體和其製造方法。

側向擴散 MOS 電晶體在射頻應用中作為功率放大器。高的頻率需要較小的尺寸，例如小於 1 微米的閘極長度、小於 500 埃的薄閘極氧化層、用於截止頻率大於 10GHz 的短通道、降低源極-汲極電阻 ($R_{ds on}$)、以及流經使用輕摻雜汲極延伸之高反截斷電壓。

習知的製造法在實現這些特點上有所限制。此外，使用濺鍍矽化鎢於閘極接點會導致嚴重的收縮，造成隆起並降低閘極氧化層的完整性，並且限制閘極-汲極熱載子射出的改善。再者，矽化鎢及多晶矽閘極結構很難蝕刻。因而時常產生不平坦的場氧化層及粗的內連線。

本發明係有關於改善側向擴散 MOS 電晶體的製程以及提供一改善的側向擴散 MOS 電晶體。

【發明內容】

根據本發明，一製程流程包含使用閘極結構之氮化物光罩以形成側間隙壁，並且雙重使用源極與汲極光罩以用於摻質植入及形成矽化物接點。

根據本發明之一特色，鈦或鈷能夠使用於矽化物接點，因而消除與矽化鎢閘極相關之收縮。

本發明及其中之目的與特色在以下參照圖式之詳細說

(2)

明與隨附之申請專利範圍將更為明瞭。

【實施方式】

圖 1 至圖 13 為說明根據本發明之實施例的側向擴張 MOS 電晶體製程剖面圖。如圖 1 所示，該結構形成於一矽基材 10 中，該矽基材典型上包含一磊晶層於頂部表面。利用習知製程（LPCVD）製造氮化物及熱墊氧化物的步驟如下：一第一光罩及蝕刻係用於形成一 P+ 摻雜沈積物區 12（其成為一源極傳導區）；形成低壓化學氣相沈積（LPCVD）的氮化物及熱墊氧化物；然後一第二光罩與蝕刻係用於暴露出該矽化物表面以及長成場氧化層 14。典型上，一 N 型場植入區係形成於一凹陷區，然後長出場氧化層 14。接著該場氧化層可以使用例如化學機械平坦法（CMP）加以平坦化，其係緊接著一 P+ 植入區 16，且該 P+ 植入區 16 將接觸通道區。

接著如圖 2 所示，主動區的表面係剝除氮化物/氧化物層，並且一熱氧化作用係形成氧化矽層 18，該氧化矽層 18 將成為該電晶體的閘極氧化層。在圖 3 中，一多晶矽層 20 沈積於氧化層 18 上，然後多晶矽層藉由植入 N- 摻質而摻雜形成一 N+（例如 10^{20} atoms/cc）多晶矽層。

在圖 4 中，一氮化矽層 22 係經由低壓化學氣相沈積方式形成約 1000 埃之厚度，然後一閘極光阻光罩 24 形成於氮化物層 22 上。暴露出的氮化物 22、多晶矽層 20、以及氧化層 18（包含該閘極區）接著被蝕刻移除。有利

(3)

地，在蝕刻氮化物時，多晶矽係作為蝕刻中止層；在蝕刻多晶矽時，氧化矽係作為蝕刻中止層；以及在蝕刻氧化矽時，矽基材係作為蝕刻中止層。

接著如圖 5 所示，包含氮化物層 22、多晶矽 20、及閘極氧化層 18 的閘極結構係被光阻 26 遮罩住，並且在圖 6 中植入一 P-摻質以形成一輕摻雜（例如 10^{17} atoms/cc）通道區 28。接著移除光罩 26 並且植入 N 型摻質以閘極結構的一側上形成輕摻雜（例如 10^{17} atoms/cc）汲極（LDD）30。氧化矽沈積形成一大約為 2000 埃的氧化矽層，然後使用優選蝕刻劑回蝕氧化物層以在閘極結構周圍留下側間隙壁 32。基材 10 之暴露表面接著被氧化（密封氧化）形成大約 350 埃至 500 埃厚度。此氧化作用將不會氧化多晶矽閘極的頂部，這因為其具有保護的氮化物遮罩 22 之故。之後，氮化物遮罩 22 係藉由適當的蝕刻劑（例如磷酸）而移除，並且密封氧化物 34 留下大約 300 埃的厚度。如圖 7 所示，一 N+源極/汲極植入光罩 36 接著使用於植入 N 型摻質以及形成源極區 38 和 N+（例如 10^{19-20} atoms/cc）汲極區 40。值得注意的是，源極區緊靠著間隙壁 32，同時 N+汲極 40 藉由 LDD 區 30 與間隙壁 32 隔開。

使用光阻光罩 36，氧化物 34 被移除離開源極 38 與 N+汲極 40，然後剝除光阻 36。接著將鈦或鈷濺鍍至與 P+（例如大於 10^{19} atoms/cc）區 16 和源極區 38 接觸的表面並且與 N+（例如大於 10^{19} atoms/cc）汲極區 40 接觸，

(4)

如圖 8 所示。該結構係被加熱以形成一矽化物接點 42 至源極、接點 44 至 N+汲極 40、以及接點 46 至閘極。剝除剩餘未反應的金屬，以及隨後將矽化物再退火至較低的矽化物薄層電阻。

接著如圖 9 所示，一內介電層 50 (PECVD) 沈積於該結構的表面上，並且在一接觸光罩及蝕刻電介層 50 之後，沈積一阻障金屬。然後形成化學氣相沈積的鎢或鎢化合物插塞 52，其中該鎢或鎢化合物插塞 52 係分別使矽化物接點 42、44、及 46 與源極、汲極、及閘極接觸。

在圖 10 中，一第一金屬層係濺鍍於內介電層 50 上並且選擇性蝕刻以形成接點 54，然後一第二介電層 58 沈積於金屬接點 54 與第一內介電層 50 上。最後，如圖 11 所示，在第二內介電層 58 平坦化之後，一介層窗光罩及蝕刻係使用以暴露出接點 54，以及一種晶/膠黏金屬層 60 形成於第二內介電層 58 的表面上並且延伸至接點 54。一第二金屬層 62 (如果需要的話) 接著形成於種晶金屬層 60 上以作為內連線，如圖 12 所示。

最後，如圖 13 所示，蝕刻金屬層 62 以形成一內連線結構，並且沈積一氮化矽與氧化矽的保護層 64。

根據本發明所製造之側向擴張 MOS 電晶體能夠具有 $0.5-0.6\ \mu$ 的閘極長度以及厚度為 350 埃-450 埃的閘極氧化層。由於降低了汲極-源極間的電阻，該電晶體因而具有優越的線性性質，並且由於縮短了通道長度，該電晶體得以有較高的 F_t 。藉由降低閘極氧化層厚度、縮短閘

(5)

極、以及減少源極-汲極電阻因而提供了較高的跨導性 (G_m)。雖然本發明已參照一實施例來作描，此說明書係為本發明之示例性說明而非作為解釋本發明之限制。在不脫離由隨附申請專利範圍所涵蓋本發明之精神及範圍下，各種修改方式及應用樣式將為熟悉此項技藝人士所思及。

【圖式簡單說明】

圖 1 至圖 13 為說明根據本發明之實施例的側向擴張 MOS 電晶體製程剖面圖。

主要元件對照表

10	基材
12	P+摻雜沈澱物區
14	場氧化層
16	P+植入區
18	氧化矽層
20	多晶矽層
22	氮化矽層
24	閘極光阻光罩
26	光阻
28	通道區
30	輕摻雜汲極
32	側間隙壁

(6)

- 34 密封氧化物
- 36 N+源極 / 汲極植入光罩
- 38 源極區
- 40 N+汲極區
- 42-46 矽化物接點
- 50 第一內層介電層
- 52 鎢化合物插塞
- 54 接點
- 58 第二介電層
- 60 種晶 / 膠黏金屬層
- 62 第二金屬層
- 64 保護層

伍、中文發明摘要

發明之名稱：側向擴散 MOS (LDMOS) 電晶體和其製法
 一種改良之側向擴張 MOS 電晶體結構，該結構之形成方式為：使用一氮化物遮罩極於一閘極結構上並且形成一間隙壁於閘極結構周圍，然後使用相同光罩使源極接點與汲極接點自對準一閘極，以用於源極與汲極摻質植入及矽化物形成，使得所有源極區與汲極區被矽化。降低源極/汲極上的電阻（導通電阻 R_{dson} ）、縮短通道至源極接點間的距離、及較佳的閘極氧化層完整性係增進操作線性、增加 F_t 與 GM 、以及減少二極體電流（ I_{dq} ）與 R_{dson} 中的漂移物。

陸、英文發明摘要

發明之名稱：

LATERALLY DIFFUSED MOS TRANSISTOR (LDMOS) AND METHOD OF MAKING SAME

An improved laterally diffused MOS (LDMOS) transistor architecture is provided by using a nitride cap on a gate structure and forming a spacer around the gate structure and then self-aligning a source contact and drain contact with a gate by using the same mask for source and drain dopant implantation and for silicide formation with all source and drain areas being silicided. The reduced source/drain on resistance (R_{dson}), shorter distance from channel to source contact, and better gate oxide integrity improves operating linearity, increases F_t and GM and reduces the drift in I_{dq} and R_{dson} .

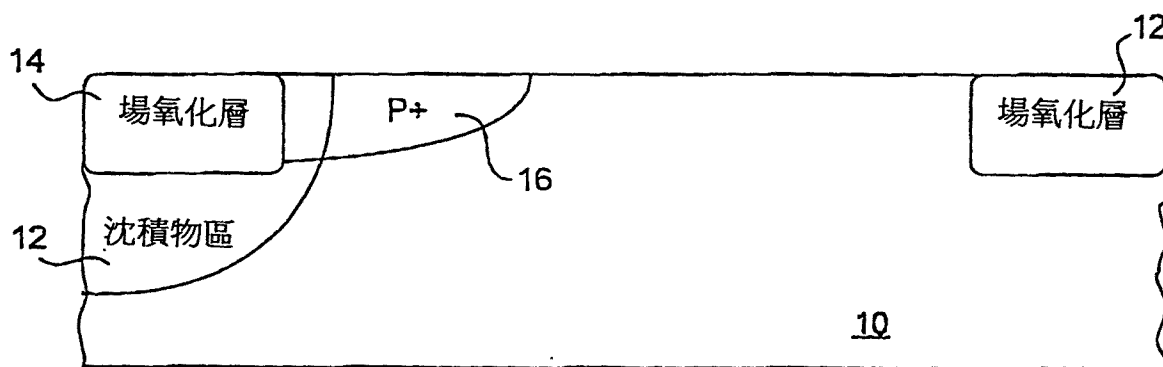


圖 1

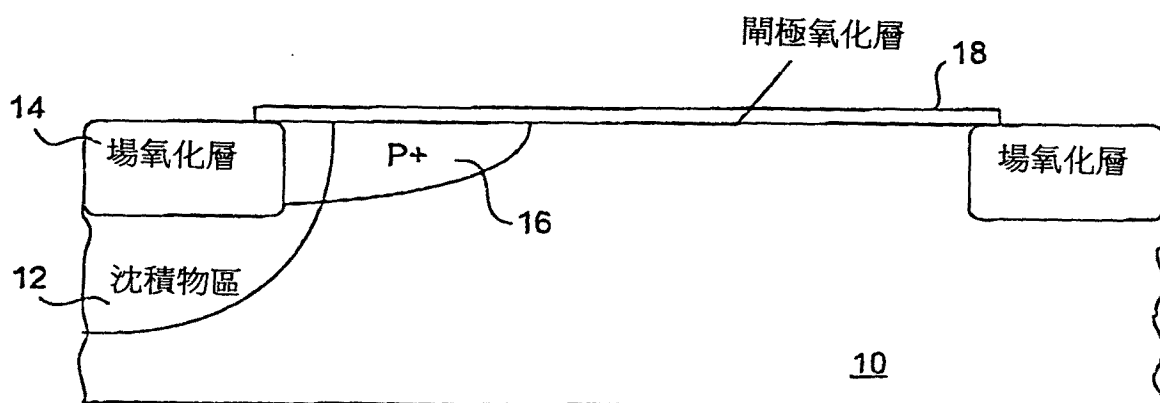


圖 2

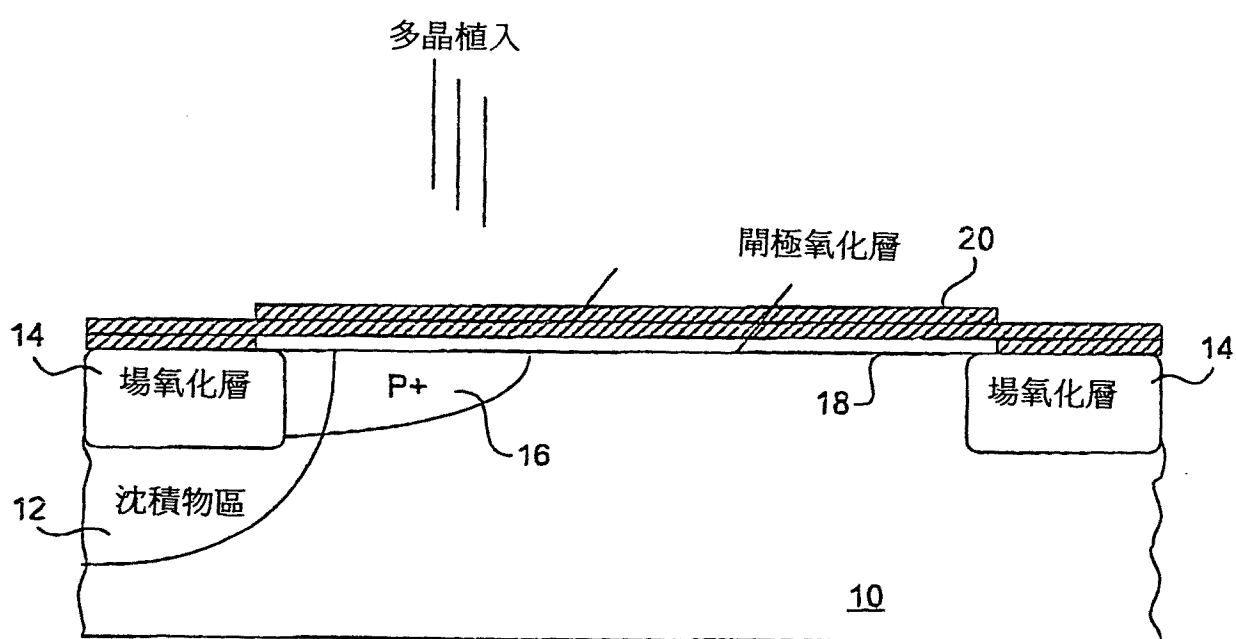


圖 3

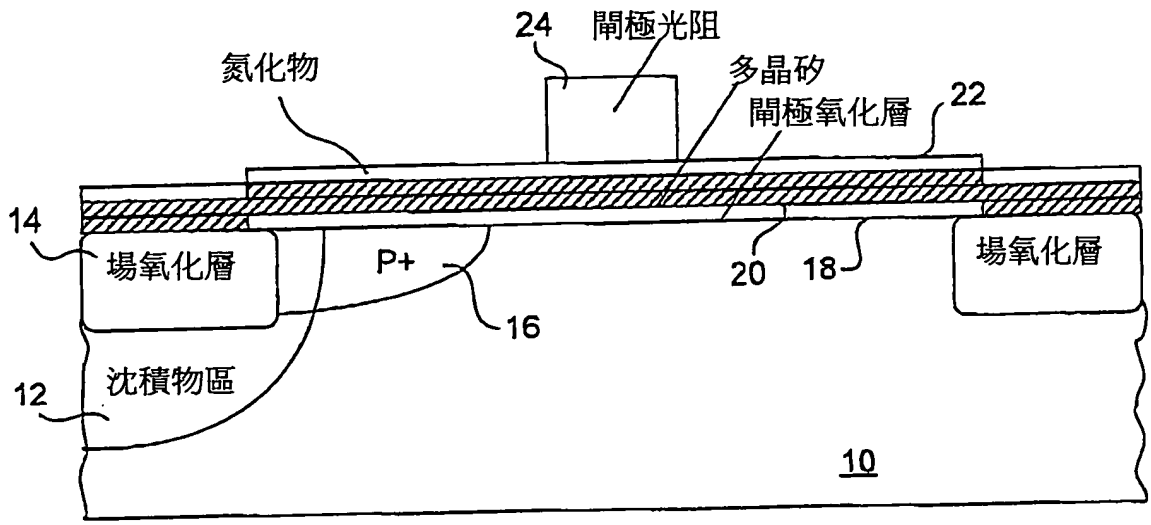


圖4

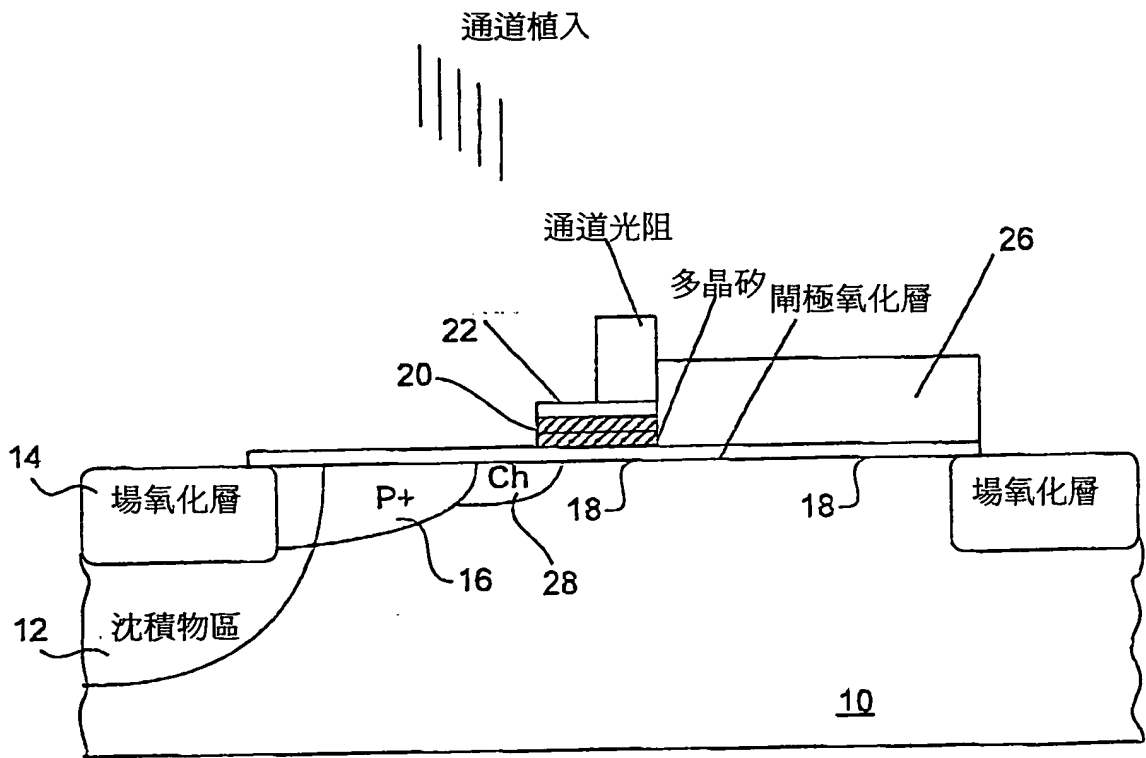


圖5

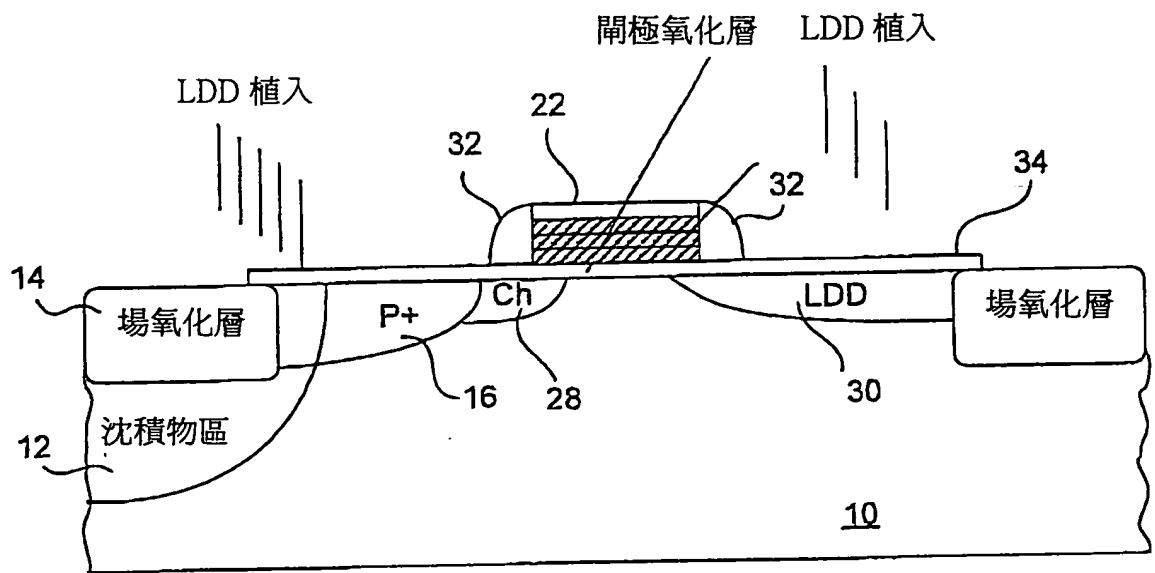


圖 6

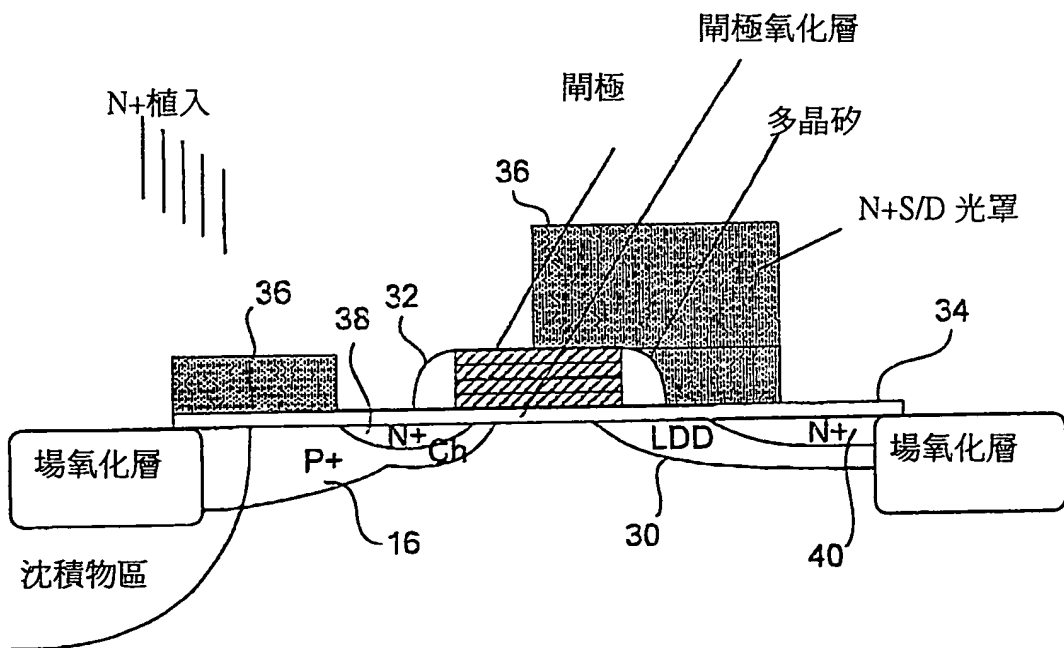


圖 7

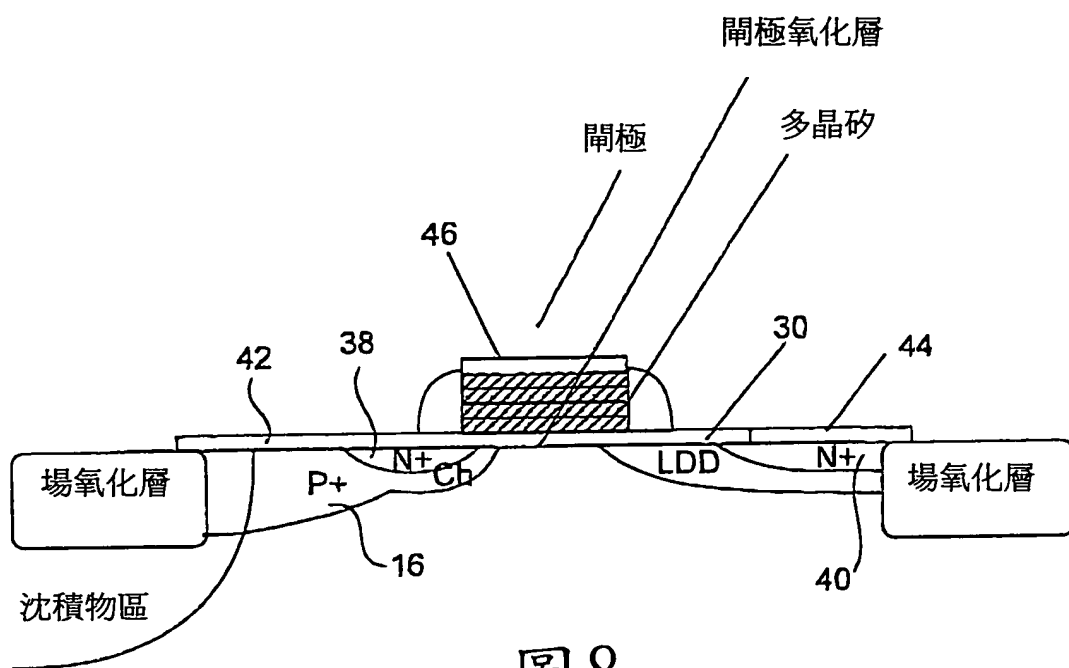


圖 8

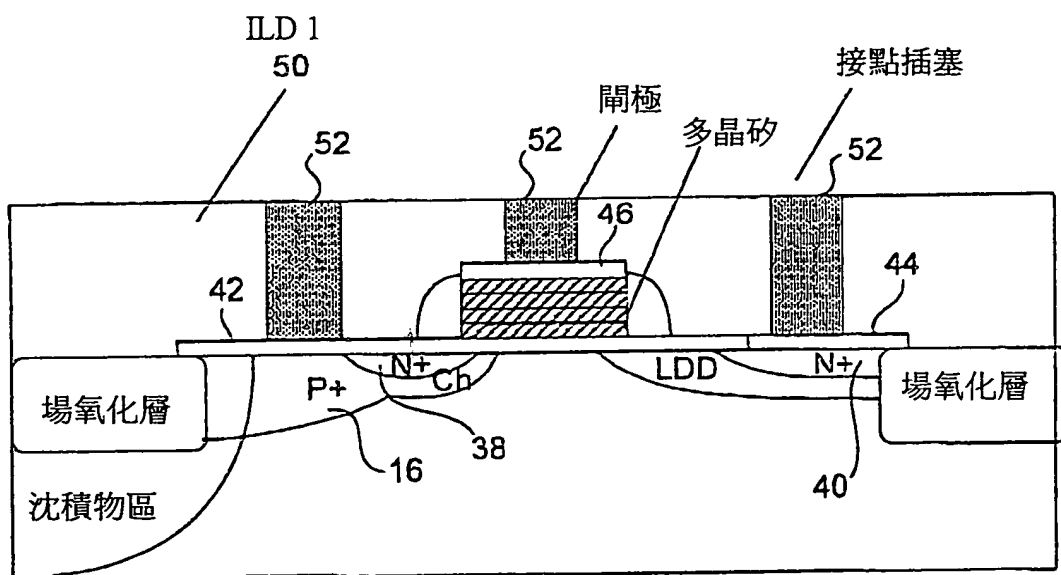


圖 9

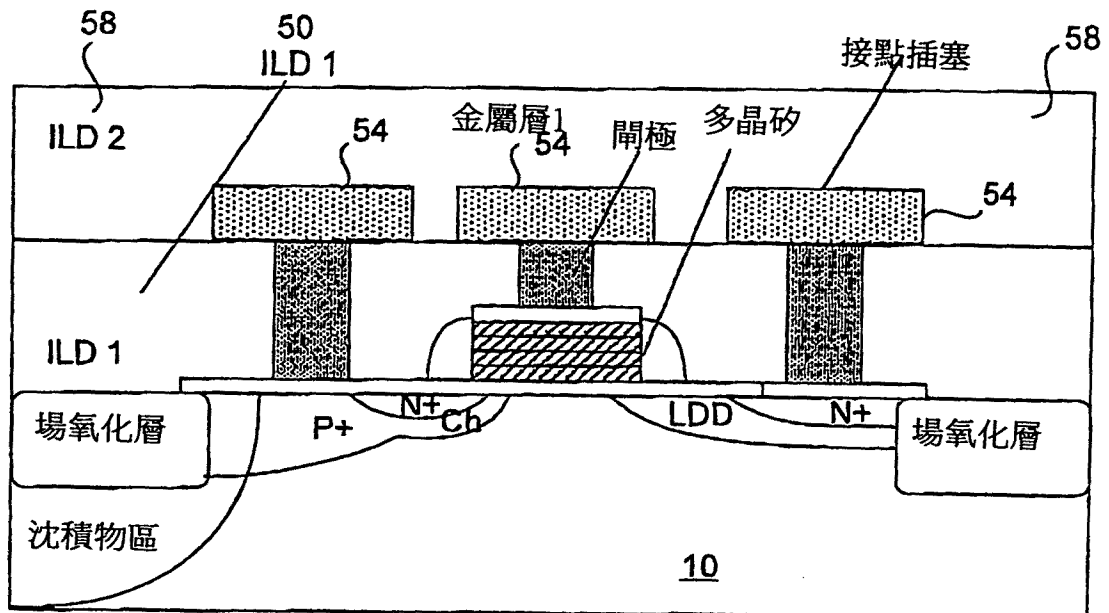


圖 10

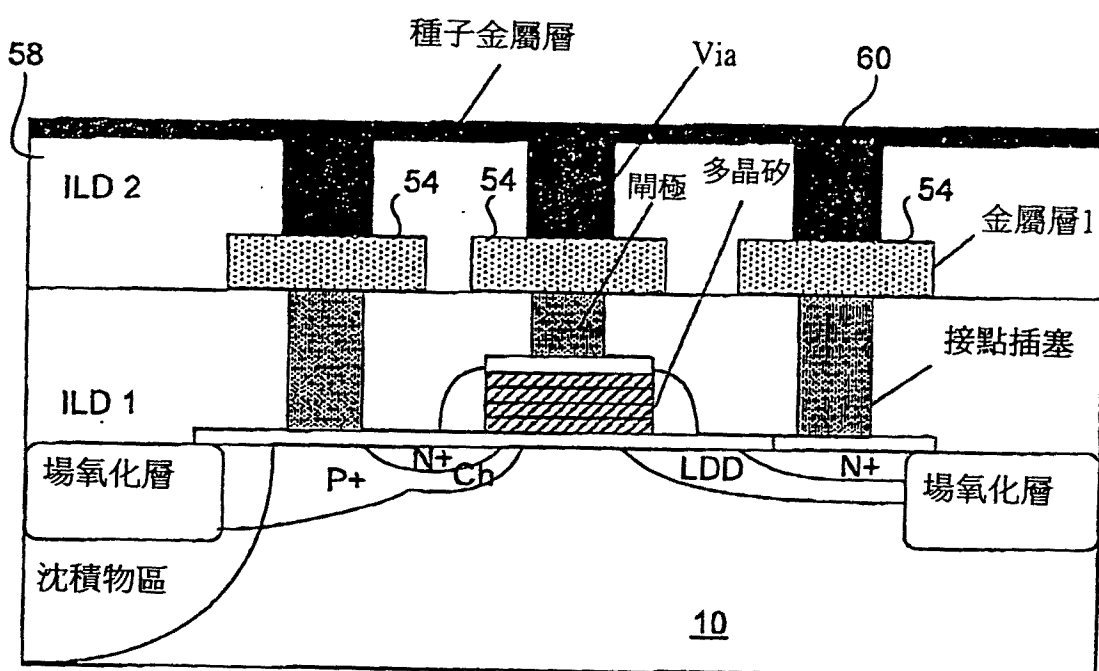


圖 11

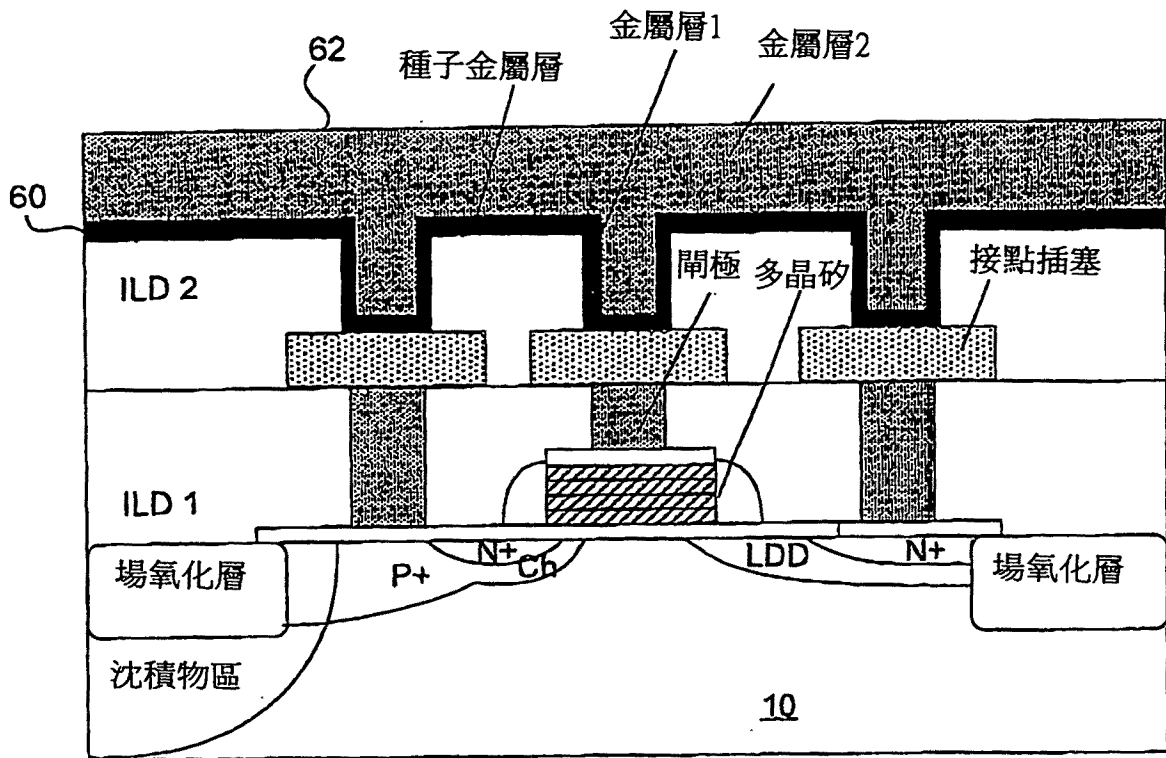


圖12

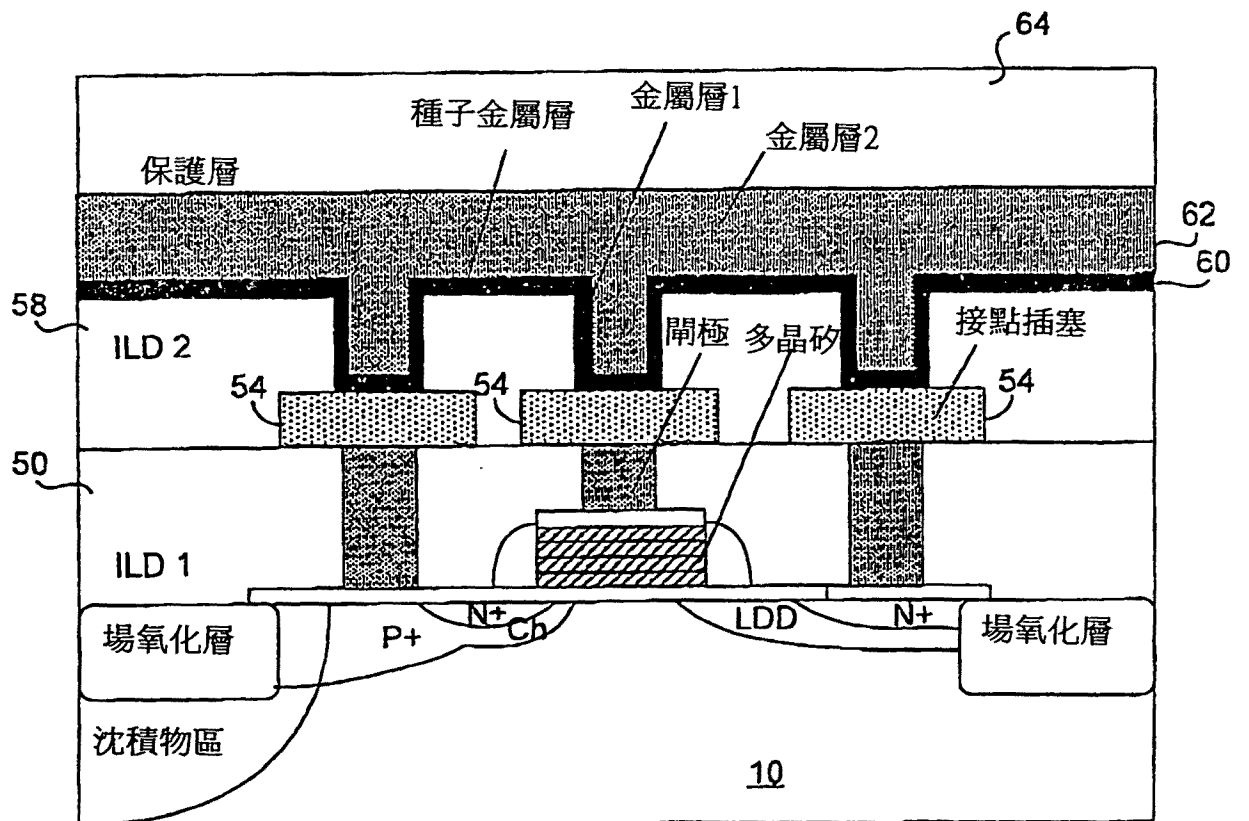


圖13

柒、(一)、本案指定代表圖爲：第9圖

(二)、本代表圖之元件代表符號簡單說明：

- 16 P+植入區
- 38 源極區
- 40 N+汲極區
- 42 矽化物接點
- 44 矽化物接點
- 46 矽化物接點
- 50 第一內層介電層
- 52 鎢化合物插塞

捌、本案若有化學式時，請揭示最能顯示發明特徵的

化學式：

無

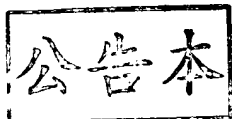
(此處由本局於收
文時黏貼條碼)

98年4月13日修(更)正替換頁

842605

發明專利說明書

民國 98 年 4 月 13 日修正



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92132617

※申請日期：92 年 11 月 20 日

※IPC 分類：H01L 21/52 (2006.01)
H01L 29/36 (2006.01)

一、發明名稱：

(中) 側向擴散 MOS (LDMOS) 電晶體和其製法

(英) Laterally diffused MOS transistor (LDMOS) and method of making same

二、申請人：(共 1 人)

1. 姓 名：(中) 洛維克收購有限責任公司

(英) ROVEC ACQUISITIONS LTD. L.L.C.

代表人：(中) 1. 帕金森 雪瑞爾

(英) 1. PARKINSON, SHERYL

地 址：(中) 美國達拉威州威明頓香橙街 1 2 0 9 號

(英) 1209 Orange Street, Wilmington, DE 19801, U.S.A.

國籍：(中英) 美國

U.S.A.

三、發明人：(共 2 人)

1. 姓 名：(中) 喬翰 達莫瓦

(英) DARMAWAN, JOHAN

地 址：(中) 美國加州庫帕提諾艾卡德路二二六五〇號

(英) 22650 Alcalde Road, Cupertino, CA 95014, U. S. A.

2. 姓 名：(中) 約翰 梅森

(英) MASON, JOHN

地 址：(中) 美國加州太陽谷南聖人廣場一一三六號

(英) 1136 S. Sage Court, Sunnyvale, CA 94087, U. S. A.

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國

； 2002/11/21 ； 10/302,639 ☒ 有主張優先權

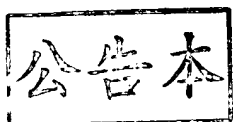
(此處由本局於收
文時黏貼條碼)

98年4月13日修(更)正替換頁

842605

發明專利說明書

民國 98 年 4 月 13 日修正



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92132617

※申請日期：92 年 11 月 20 日

※IPC 分類：H01L 21/52 (2006.01)
H01L 29/36 (2006.01)

一、發明名稱：

(中) 側向擴散 MOS (LDMOS) 電晶體和其製法

(英) Laterally diffused MOS transistor (LDMOS) and method of making same

二、申請人：(共 1 人)

1. 姓 名：(中) 洛維克收購有限責任公司

(英) ROVEC ACQUISITIONS LTD. L.L.C.

代表人：(中) 1. 帕金森 雪瑞爾

(英) 1. PARKINSON, SHERYL

地 址：(中) 美國達拉威州威明頓香橙街 1 2 0 9 號

(英) 1209 Orange Street, Wilmington, DE 19801, U.S.A.

國籍：(中英) 美國

U.S.A.

三、發明人：(共 2 人)

1. 姓 名：(中) 喬翰 達莫瓦

(英) DARMAWAN, JOHAN

地 址：(中) 美國加州庫帕提諾艾卡德路二二六五〇號

(英) 22650 Alcalde Road, Cupertino, CA 95014, U. S. A.

2. 姓 名：(中) 約翰 梅森

(英) MASON, JOHN

地 址：(中) 美國加州太陽谷南聖人廣場一一三六號

(英) 1136 S. Sage Court, Sunnyvale, CA 94087, U. S. A.

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國

； 2002/11/21 ； 10/302,639 ☒ 有主張優先權

拾、申請專利範圍

附件 3: 第 92132617 號專利申請案

中文申請專利範圍替換本

民國 98 年 11 月 20 日修正

1. 一種在矽基材中形成側向擴散 MOS (LDMOS) 電晶體的製造方法，包含：

a) 形成一閘極結構，該閘極結構包含一閘極氧化層、一摻雜多晶矽本體於該閘極氧化層上、以及一氮化物遮罩層於該摻雜多晶矽本體上；

b) 形成一間隙壁氧化物於該閘極結構周圍；

c) 藉由氧化圍繞該閘極結構的基材的暴露出的矽以形成一密封氧化物；以及

d) 移除該氮化物遮罩層，

e) 使用一光阻光罩以植入摻質於鄰近該間隙壁氧化物之源極區及與該間隙壁氧化物隔開的汲極區，和從源極區和汲極區上移除該密封氧化物；以及

f) 形成至該源極區，該汲極區，和該閘極的矽化物接點。

2. 如申請專利範圍第 1 項所述之方法，其中，步驟 e 包含在形成該矽化物接點之前使用該光阻光罩以從該源極區上及該汲極區上移除氧化物，從而容許源極矽化以自對準該閘極。

3. 如申請專利範圍第 2 項所述之方法，進一步包含：

g) 形成一第一內介電層於該源極區、該閘極結構、及該汲極區上；以及

h) 形成第一導電介層窗通過該第一內介電層至該矽化物接點。

4. 如申請專利範圍第 3 項所述之方法，進一步包含：

i) 形成一第二內介電層於該第一內介電層上；

j) 形成第二導電介層窗至該第一導電介層窗；以及

k) 形成一導電圖案於該第二內介電層上並且接觸該第二導電介層窗。

5. 如申請專利範圍第 4 項所述之方法，其中，步驟 k 包含先形成一種晶金屬層然後形成該導電圖案於該種晶層上。

6. 如申請專利範圍第 5 項所述之方法，進一步包含：

l) 形成一保護層於該第二內介電層上。

7. 一種側向擴散 MOS 電晶體的製造方法，包含以下步驟：

a) 形成一場氧化層於一矽基材之一表面上，其中該場氧化物圍繞一裝置區及一摻雜沈積物與一通道接觸區；

b) 形成一閘極氧化層於該表面上；

c) 形成一摻雜多晶矽層於該閘極氧化層上；

d) 形成一氮化物層於該多晶矽層上；

e) 以一光阻光罩遮罩住一閘極結構並且移除該暴露

出的氮化物與多晶矽以及該閘極氧化層；

f) 形成一通道植入區於該基材中，該通道植入區係鄰接且緊貼於該閘極結構一部位的下方並且延伸至該通道接觸區；

g) 形成一間隙壁氧化物於該閘極結構的周圍；

h) 藉由氧化圍繞閘極結構的基材的暴露出的矽化物以形成一密封氧化物；

i) 從該閘極結構移除該氮化物遮罩層；

j) 使用一光阻光罩以植入摻質於一鄰接於該間隙壁氧化物的源極區及與該間隙壁氧化物隔開之汲極區，和從源極區上方和從汲極區上方移除該密封氧化物；以及

k) 形成至源極區，汲極區，和閘極的矽化物接點。

8. 如申請專利範圍第 7 項所述之方法，進一步包含：

l) 形成一第一內介電層於該源極區、該閘極結構、及該汲極區上；以及

m) 形成第一導電介層窗通過該第一內介電層至該矽化物接點。

9. 如申請專利範圍第 8 項所述之方法，進一步包含：

n) 形成一第二內介電層於該第一內介電層上；

o) 形成第二導電介層窗通過該第二內介電層至該第一導電介層窗；以及

p) 形成一導電圖案於該第二內介電層上並且接觸該

第二導電介層窗。

10. 如申請專利範圍第 9 項所述之方法，其中，步驟 p 包含先形成一種晶金屬層，然後形成該導電圖案於該種晶金屬層上。

11. 如申請專利範圍第 10 項所述之方法，進一步包含：

q) 形成一保護層於該第二內介電層上。