



(12)发明专利

(10)授权公告号 CN 103208501 B

(45)授权公告日 2017.07.28

(21)申请号 201310012734.7

(74)专利代理机构 北京三友知识产权代理有限

(22)申请日 2013.01.14

公司 11127

(65)同一申请的已公布的文献号

代理人 李辉 于英慧

申请公布号 CN 103208501 A

(51)Int.Cl.

(43)申请公布日 2013.07.17

H01L 27/146(2006.01)

(30)优先权数据

2012-006986 2012.01.17 JP

(56)对比文件

2012-079215 2012.03.30 JP

JP 特开2001-68594 A, 2001.03.16,

2012-081930 2012.03.30 JP

JP 特开2001-68594 A, 2001.03.16,

(73)专利权人 奥林巴斯株式会社

CN 101218678 A, 2008.07.09,

地址 日本东京都

CN 1407619 A, 2003.04.02,

(72)发明人 月村光宏 高泽直裕 竹本良章

US 6232668 B1, 2001.05.15,

菊地广 齐藤晴久 只木芳隆

US 6175157 B1, 2001.01.16,

五味祐一

JP 特开2003-86620 A, 2003.03.20,

审查员 张磊

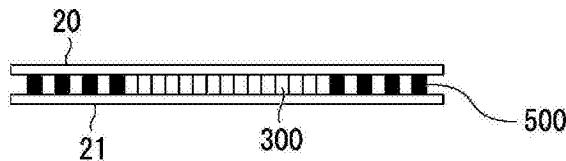
权利要求书4页 说明书25页 附图25页

(54)发明名称

固体摄像装置及其制造方法、摄像装置、基板、半导体装置

(57)摘要

一种固体摄像装置及其制造方法、摄像装置、基板、半导体装置。该固体摄像装置经由电连接在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板的连接部进行粘合，该固体摄像装置构成为，第1基板具有光电转换部，第2基板具有输出电路，该输出电路经由连接部取得利用光电转换部产生的信号，并输出该信号，在第1基板与第2基板的至少一方的基板区域中没有配置连接部的基板区域，还配置有虚设连接部，该虚设连接部支撑粘合的第1基板与第2基板。



1. 一种固体摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该固体摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基板，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略。

2. 根据权利要求1所述的固体摄像装置，其中，

所述虚设连接部的配置被省略，使得在所述粘合时要对所述第1半导体晶片和所述第2半导体晶片施加的压力减小。

3. 根据权利要求1所述的固体摄像装置，其中，

所述第1基板具有多个所述光电转换元件，

所述光电转换元件被分到一个以上的组中的任意一个组中，

分到同一组的多个所述光电转换元件构成为共用一个所述真连接部。

4. 根据权利要求1所述的固体摄像装置，其中，

所述虚设连接部被以没有所述第1基板与所述第2基板的变形、裂痕、破碎的方式配置。

5. 根据权利要求1所述的固体摄像装置，其中，

所述虚设连接部中的至少一部分所述虚设连接部的配置间隔比所述光电转换部的配置间隔宽。

6. 根据权利要求1所述的固体摄像装置，其中，

所述虚设连接部中的至少一部分所述虚设连接部的配置间隔比所述真连接部的配置间隔宽。

7. 根据权利要求1所述的固体摄像装置，其中，

在与配置有所述光电转换部的区域不同的周边电路区域配置有多个单位电路，

在多个所述单位电路之间，共用在构成该单位电路的电路要素上配置的所述虚设连接部的配置位置。

8. 根据权利要求1所述的固体摄像装置，其中，

在与配置有所述光电转换部的区域不同的周边电路区域配置有多个单位电路，

以抑制多个所述单位电路的电路特性的偏差的方式配置所述虚设连接部。

9. 根据权利要求1所述的固体摄像装置，其中，

所述第1基板构成为包含周边电路，

在所述第1基板内所包含的周边电路外的区域配置所述虚设连接部。

10. 根据权利要求1所述的固体摄像装置，其中，

所述第2基板构成为包含周边电路，

在所述第2基板内所包含的周边电路外的区域配置所述虚设连接部。

11. 根据权利要求1所述的固体摄像装置，其中，

所述第1基板以及所述第2基板构成为包含周边电路，

在所述第1基板内所包含的周边电路外且所述第2基板内所包含的周边电路外的区域配置所述虚设连接部。

12. 根据权利要求1所述的固体摄像装置，其中，

所述第2基板具有积蓄电路，该积蓄电路积蓄经由所述真连接部取得的信号，

所述输出电路输出所述积蓄电路所积蓄的信号。

13. 根据权利要求1所述的固体摄像装置，其中，

在所述第1基板上设置有接地布线，

所述接地布线与所述虚设连接部连接。

14. 根据权利要求1所述的固体摄像装置，其中，

在所述第2基板上设置有接地布线，

所述接地布线与所述虚设连接部连接。

15. 根据权利要求1所述的固体摄像装置，其中，

在所述第1基板上设置有第1接地布线，

在所述第2基板上设置有第2接地布线，

所述第1接地布线以及所述第2接地布线分别与所述虚设连接部连接。

16. 一种固体摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该固体摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基板，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略，

所述虚设连接部中的至少一个所述虚设连接部的配置位置偏离等间隔的配置位置。

17. 根据权利要求16所述的固体摄像装置，其中，

所述虚设连接部的配置位置偏离等间隔的配置位置，使得在使所述第1半导体晶片与所述第2半导体晶片粘合之后进行切割时，所述第1半导体晶片与所述第2半导体晶片不分离。

18. 一种固体摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该固体摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基板，

所述虚设连接部的配置间隔是与所述光电转换部的配置间隔相同的间隔，
所述虚设连接部中的一部分所述虚设连接部的配置被省略。

19. 根据权利要求18所述的固体摄像装置，其中，

所述虚设连接部中的至少一个所述虚设连接部的配置位置偏离等间隔的配置位置。

20. 一种固体摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该固体摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基板，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略，

所述固体摄像装置是切割为去除所述虚设连接部的至少一部分而形成的。

21. 根据权利要求20所述的固体摄像装置，其中，

在所述第1基板上设置有热传导图形，该热传导图形与所述光电转换部绝缘，并且与所述虚设连接部连接，

所述固体摄像装置是切割为去除所述热传导图形的至少一部分而形成的。

22. 根据权利要求20所述的固体摄像装置，其中，

在所述第2基板上设置有热传导图形，该热传导图形与所述输出电路绝缘，并且与所述虚设连接部连接，

所述固体摄像装置是切割为去除所述热传导图形的至少一部分而形成的。

23. 一种固体摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该固体摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的区域内，还配置有虚设连接部，该虚设连接部不对所述第1基板与所述第2基板进行电连接，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略。

24. 一种摄像装置，其经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，该摄像装置构成为，

所述第1基板具有光电转换部，

所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基

板，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略。

25.一种固体摄像装置的制造方法，该固体摄像装置经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成，所述制造方法包含以下的连接部配置工序：

将固体摄像装置构成为，在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内，还配置有虚设连接部，该虚设连接部支撑所述粘合的所述第1基板和所述第2基板，所述第1基板具有光电转换部，所述第2基板具有输出电路，该输出电路经由所述真连接部取得由所述光电转换部产生的信号，并输出该信号，

所述虚设连接部的配置间隔是与所述真连接部的配置间隔相同的间隔，

所述虚设连接部中的一部分所述虚设连接部的配置被省略，

所述制造方法在所述连接部配置工序之后包含切割为去除所述虚设连接部的至少一部分的去除工序。

26.根据权利要求25所述的固体摄像装置的制造方法，其中，

在所述第1基板上设置接地布线，

在所述连接部配置工序中，使所述虚设连接部与所述接地布线连接。

固体摄像装置及其制造方法、摄像装置、基板、半导体装置

技术领域

- [0001] 本发明涉及固体摄像装置、摄像装置以及固体摄像装置的制造方法。
- [0002] 另外，本发明涉及基板，更详细地说是在基材上突出多个电极而形成的基板以及采用该基板的半导体装置。
- [0003] 本申请对在2012年1月17日申请的日本专利申请第2012-006986号、在2012年3月30日申请的日本专利申请第2012-079215号以及在2012年3月30日申请的日本专利申请第2012-081930号主张优先权，并在此引用其内容。

背景技术

- [0004] 近年来，摄像机或电子静态照相机等已普遍广泛普及。在这些照相机中使用CCD (Charge Coupled Device: 电荷耦合器件)型或放大型的固体摄像装置。放大型的固体摄像装置将供光入射的像素的光电转换部所生成并积蓄的信号电荷引导至在像素中设置的放大部，并从像素输出放大部所放大的信号。在放大型的固体摄像装置中，二维矩阵状地配置有多个这样的像素。放大型的固体摄像装置例如有采用CMOS (Complementary Metal Oxide Semiconductor: 互补金属氧化物半导体) 晶体管的CMOS型固体摄像装置等。
- [0005] 目前，一般的CMOS型固体摄像装置采用针对每行依次读出二维矩阵状排列的各个像素的光电转换部所生成的信号电荷的方式。在此方式中，根据信号电荷读出的开始与结束来决定各个像素的光电转换部的曝光时刻，所以曝光的时刻依据每行而不同。
- [0006] 另外，具有全局快门功能的CMOS型固体摄像装置的用途正在变多。在具有全局快门功能的CMOS型固体摄像装置中，通常在进行读出之前预先积蓄光电转换部所生成的信号电荷。因此，需要具有带遮光性的积蓄电容部。这样的现有CMOS型固体摄像装置在同时曝光全部像素之后，将各光电转换部所生成的信号电荷在全部像素中同时传送到各个积蓄电容部进行暂时积蓄，在规定的读出时刻将该信号电荷依次转换为像素信号并读出。
- [0007] 在日本特开2006-49361号公报中公开了如下这样的固体摄像装置，该固体摄像装置利用微型凸点来连接针对每个单位元件在布线层侧形成有微型焊盘的MOS图像传感器芯片和在与MOS图像传感器芯片的微型焊盘对应的位置的布线层侧形成有微型焊盘的信号处理芯片。另外，在日本特开2010-219339号公报中公开了利用将形成有光电转换部的第1基板和形成有多个MOS晶体管的第2基板粘合而成的固体摄像装置来防止芯片面积增大的方法。
- [0008] 3维构造的半导体装置通过在层叠有多个半导体激活层的构造上3维地集成半导体元件，来避免2维构造的半导体装置所面临的各种障碍，例如精细化中的光刻技术的极限、由于布线精细化或布线长度增大而引起的布线电阻增大或寄生效应增大、与其相伴的动作速度的饱和趋势以及由于元件尺寸的精细化而引起的高场效应等，并作为维持高集成度的有力构造而备受关注。
- [0009] 在3维构造的半导体装置的制造中，对通过使形成有多个微小电极的晶片彼此间接合而构成的层叠型半导体装置进行研究。

[0010] 关于这样的层叠型半导体装置,日本特开2007-281393号公报公开了如下技术:在晶片上形成由导电性材料构成的突起电极和具有大于突起电极的高度的虚设的突起部(以下,有时称为“虚设电极”),并利用突起部来规定晶片之间的间隙。由此在突起部的内侧区域中利用附着于电子部件表面的电绝缘材料来准确地保持预定的间隙。

发明内容

[0011] 根据本发明的第1方式,固体摄像装置是经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成的固体摄像装置。所述第1基板具有光电转换部。所述第2基板具有输出电路,该输出电路经由所述真连接部取得由所述光电转换部产生的信号,并输出该信号。该固体摄像装置构成为,在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内,还配置有虚设连接部,该虚设连接部支撑所述粘合的所述第1基板和所述第2基板。

[0012] 根据本发明的第2方式,在第1方式的固体摄像装置中,所述虚设连接部的配置间隔可以是与所述真连接部的配置间隔相同的间隔。

[0013] 根据本发明的第3方式,在第2方式的固体摄像装置中,可省略所述虚设连接部中的一部分所述虚设连接部的配置。

[0014] 根据本发明的第4方式,在第3方式的固体摄像装置中,可省略所述虚设连接部的配置,使得在所述粘合时要对所述第1半导体晶片和所述第2半导体晶片施加的压力减小。

[0015] 根据本发明的第5方式,在第2方式的固体摄像装置中,可以使所述虚设连接部中的至少一个所述虚设连接部的配置位置偏离等间隔的配置位置。

[0016] 根据本发明的第6方式,在第5方式的固体摄像装置中,在使所述第1半导体晶片与所述第2半导体晶片粘合之后进行切割时,为了所述第1半导体晶片与所述第2半导体晶片不分离,可以使所述虚设连接部的配置位置偏离等间隔的配置位置。

[0017] 根据本发明的第7方式,在第2方式的固体摄像装置中,作为所述光电转换部具有多个光电转换元件,所述光电转换元件被分到一个以上的组中的任意一个组中,分到同一组的多个所述光电转换元件构成为共用一个所述真连接部。

[0018] 根据本发明的第8方式,在第1方式的固体摄像装置中,所述虚设连接部的配置间隔可以是与所述光电转换部的配置间隔相同的间隔。

[0019] 根据本发明的第9方式,在第8方式的固体摄像装置中,可省略所述虚设连接部中的一部分所述虚设连接部的配置。

[0020] 根据本发明的第10方式,在第8方式的固体摄像装置中,可以使所述虚设连接部中的至少一个所述虚设连接部的配置位置偏离等间隔的配置位置。

[0021] 根据本发明的第11方式,在第1方式的固体摄像装置中,所述虚设连接部可以以没有所述第1基板与所述第2基板的变形、裂痕、破碎的方式配置。

[0022] 根据本发明的第12方式,在第1方式的固体摄像装置中,可以使所述虚设连接部中的至少一部分所述虚设连接部的配置间隔比所述光电转换部的配置间隔宽。

[0023] 根据本发明的第13方式,在第1方式的固体摄像装置中,可以使所述虚设连接部中的至少一部分所述虚设连接部的配置间隔比所述真连接部的配置间隔宽。

[0024] 根据本发明的第14方式,在第1~第13的任意一个方式的固体摄像装置中,可以在

与配置有所述光电转换部的区域不同的周边电路区域配置多个单位电路,在多个所述单位电路之间,共用在构成该单位电路的电路要素上配置的所述虚设连接部的配置位置。

[0025] 根据本发明的第15方式,在第1~第13的任意一个方式的固体摄像装置中,可以在与配置有所述光电转换部的区域不同的周边电路区域配置多个单位电路,为了抑制多个所述单位电路的电路特性的偏差而配置所述虚设连接部。

[0026] 根据本发明的第16方式,在第1方式的固体摄像装置中,所述第1基板可构成为包含周边电路,在所述第1基板内所包含的周边电路外的区域配置所述虚设连接部。

[0027] 根据本发明的第17方式,在第1方式的固体摄像装置中,所述第2基板可构成为包含周边电路,在所述第2基板内所包含的周边电路外的区域配置所述虚设连接部。

[0028] 根据本发明的第18方式,在第1方式的固体摄像装置中,所述第1基板以及所述第2基板可构成为包含周边电路,在所述第1基板内所包含的周边电路外且所述第2基板内所包含的周边电路外的区域配置所述虚设连接部。

[0029] 根据本发明的第19方式,在第1方式的固体摄像装置中,所述第2基板可具有积蓄电路,该积蓄电路积蓄经由所述真连接部取得的信号,所述输出电路输出所述积蓄电路所积蓄的信号。

[0030] 根据本发明的第20方式,固体摄像装置是经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成的固体摄像装置。所述第1基板具有光电转换部。所述第2基板具有输出电路,该输出电路经由所述真连接部取得由所述光电转换部产生的信号,并输出该信号。该固体摄像装置构成为,在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的区域内,还配置有虚设连接部,该虚设连接部不对所述第1基板和所述第2基板进行电连接。

[0031] 根据本发明的第21方式,摄像装置是经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成的摄像装置。所述第1基板具有光电转换部。所述第2基板具有输出电路,该输出电路经由所述真连接部取得由所述光电转换部产生的信号,并输出该信号。该摄像装置构成为,在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内,还配置有虚设连接部,该虚设连接部支撑所述粘合的所述第1基板和所述第2基板。

[0032] 根据本发明的第22方式,固体摄像装置的制造方法是经由进行电连接的真连接部将在第1半导体晶片上形成的第1基板和在第2半导体晶片上形成的第2基板粘合而成的固体摄像装置的制造方法。该制造方法包含以下的连接部配置工序:将该固体摄像装置构成为,在所述第1基板与所述第2基板的至少一方的基板区域中没有配置所述真连接部的基板区域内,还配置有虚设连接部,该虚设连接部支撑所述粘合的所述第1基板和所述第2基板,所述第1基板具有光电转换部,所述第2基板具有输出电路,该输出电路经由所述真连接部取得由所述光电转换部产生的信号,并输出该信号。

[0033] 根据本发明的第23方式,在第1或第2方式的固体摄像装置中,该固体摄像装置可以是经过切割而形成的,以去除所述虚设连接部的至少一部分。

[0034] 根据本发明的第24方式,在第1或第2方式的固体摄像装置中,在所述第1基板上可设置有接地布线,所述接地布线与所述虚设连接部连接。

[0035] 根据本发明的第25方式,在第1或第2方式的固体摄像装置中,在所述第2基板上可

设置有接地布线,所述接地布线与所述虚设连接部连接。

[0036] 根据本发明的第26方式,在第1或第2方式的固体摄像装置中,可在所述第1基板上设置有第1接地布线,在所述第2基板上设置有第2接地布线,所述第1接地布线以及所述第2接地布线分别与所述虚设连接部连接。

[0037] 根据本发明的第27方式,在第23方式的固体摄像装置中,可在所述第1基板上设置热传导图形,该热传导图形与所述光电转换部绝缘,并且与所述虚设连接部连接,该固体摄像装置是经过切割而形成的,以去除所述热传导图形的至少一部分。

[0038] 根据本发明的第28方式,在第23方式的固体摄像装置中,可在所述第2基板上设置热传导图形,该热传导图形与所述输出电路绝缘,并且与所述虚设连接部连接,该固体摄像装置是经过切割而形成的,以去除所述热传导图形的至少一部分。

[0039] 根据本发明的第29方式,在第23方式的固体摄像装置中,可在所述第1基板上设置第1布线,该第1布线与所述光电转换部绝缘,并且与所述虚设连接部连接,在所述第2基板上设置第2布线,该第2布线与所述输出电路绝缘,并且与所述虚设连接部连接,该固体摄像装置是经过切割而形成的,以去除所述热传导图形的至少一部分。

[0040] 根据本发明的第30方式,在第22方式的固体摄像装置的制造方法中,在所述连接部配置工序之后可包含去除工序,该去除工序进行切割,以去除所述虚设连接部的至少一部分。

[0041] 根据本发明的第31方式,在第22方式的固体摄像装置的制造方法中,可在所述第1基板上设置有接地布线,在所述连接部配置工序中,使所述虚设连接部与所述接地布线连接。

[0042] 根据本发明的第32方式,基板具备:基材,其具有预定的厚度;布线,其设置在所述基材上;电极部,其设置在所述基材的厚度方向的一个面上,具有与所述布线连接的多个电路电极;以及虚设区域,其设置在与所述电极部相同的面上,具有不与所述布线连接的多个虚设电极。在所述虚设区域的至少一部分中,所述虚设电极被配置为虚设电极集合体,该虚设电极集合体中以预定的虚设间距配置多个虚设电极,虚设电极间距离的最大值在预定值以内。

[0043] 根据本发明的第33方式,在第32方式的基板中,可将配置所述虚设电极集合体的间距即集合体间距设定为大于所述虚设间距。

[0044] 根据本发明的第34方式,在第32或第33方式的基板中,可将所述电路电极的直径以及形成间距的至少一方设定为20微米以下。

[0045] 根据本发明的第35方式,在第32~第34的任意一个方式的基板中,所述虚设电极的高度可设为所述电路电极的高度以下。

[0046] 根据本发明的第36方式,在第32~第35的任意一个方式的基板中,所述集合体间距可以是所述虚设间距的10倍以上。

[0047] 根据本发明的第37方式,在第32~第35的任意一个方式的基板中,所述集合体间距可以是所述虚设电极间距离的最大值的3倍以上。

[0048] 根据本发明的第38方式,半导体装置是通过至少接合2片形成有电极部的基板而形成的,在该半导体装置中,至少一个所述基板是第32~第37方式中的任意一个方式的基板。

附图说明

- [0049] 图1是示出本发明第1实施方式的摄像装置的结构的框图。
- [0050] 图2是示出本发明第1实施方式的摄像装置具备的摄像部的结构的框图。
- [0051] 图3A是本发明第1实施方式的摄像装置具备的摄像部的剖视图以及俯视图。
- [0052] 图3B是本发明第1实施方式的摄像装置具备的摄像部的剖视图以及俯视图。
- [0053] 图4是示出本发明第1实施方式的摄像装置具备的像素的电路结构的电路图。
- [0054] 图5是示出本发明第1实施方式的摄像装置具备的像素的电路结构的电路图。
- [0055] 图6A是示出将本发明第1实施方式的摄像装置具备的像素分为多个组后的状态的参考图。
- [0056] 图6B是示出将本发明第1实施方式的摄像装置具备的像素分为多个组后的状态的参考图。
- [0057] 图7是示出本发明第1实施方式的摄像装置具备的像素的动作的时序图。
- [0058] 图8是示出本发明第1实施方式的摄像装置具备的像素的动作的时序图。
- [0059] 图9是示出本发明第1实施方式的摄像装置具备的像素的动作的时序图。
- [0060] 图10是示出本发明第1实施方式的摄像装置具备的连接部的配置例的概括图。
- [0061] 图11A是示出本发明第1实施方式的使第1基板和第2基板接合后的基板的平面构造以及截面构造的概括图。
- [0062] 图11B是示出本发明第1实施方式的使第1基板和第2基板接合后的基板的平面构造以及截面构造的概括图。
- [0063] 图12是示出本发明第1实施方式的使第1基板和第2基板接合后的基板的平面构造的概括图。
- [0064] 图13是示出本发明第2实施方式的列ADC电路的配置的概括图。
- [0065] 图14是示出在本发明第2实施方式的周边电路区域上配置的虚设连接部的配置图形的概括图。
- [0066] 图15是示出在本发明第2实施方式的周边电路区域上配置的虚设连接部的配置图形的概括图。
- [0067] 图16是示出本发明第3实施方式的使第1基板和第2基板接合后的基板的平面构造的概括图。
- [0068] 图17是示出本发明第3实施方式的使第1基板和第2基板接合后的基板的平面构造的概括图。
- [0069] 图18是示出本发明第3实施方式的使第1基板和第2基板接合后的基板的平面构造的概括图。
- [0070] 图19是本发明第4实施方式的使第1基板和第2基板接合后的基板的主要部分的剖视图。
- [0071] 图20是本发明第5实施方式的使第1基板和第2基板接合后的基板的主要部分的剖视图。
- [0072] 图21是示出本发明第5实施方式的使第1基板和第2基板接合后的基板的平面构造的概括图。

[0073] 图22的上侧是示出本发明一实施方式的基板的俯视图,下侧是示出接合该基板的动作的图。

[0074] 图23是示出该基板的单位区域的放大图。

[0075] 图24是放大示出该单位区域中的电极部与虚设区域的边界部的图。

[0076] 图25A是示出基于虚设电极配置的应力作用差异的图。

[0077] 图25B是示出基于虚设电极配置的应力作用差异的图。

[0078] 图25C是示出基于虚设电极配置的应力作用差异的图。

[0079] 图26是示出在接合该基板之后的边界线周边区域的一例的剖视图。

[0080] 图27A是示出单片化的一个过程的图。

[0081] 图27B是示出作为半导体装置截取的一个单位区域的立体图。

[0082] 图28是示出本发明的变形例的虚设电极集合体的俯视图。

[0083] 图29是示出在接合本发明的基板之后的边界线周边区域的其它例的剖视图。

具体实施方式

[0084] (第1实施方式)

[0085] 以下,参照附图来说明本发明的第1实施方式。以下的详细说明作为一例包含特定的详细内容。显然,本领域技术人员能够理解即使在以下的详细内容中增加各种变化或变更,增加该变化或变更后的内容也不超出本发明的范围。因此,以下说明的各种实施方式没有失去请求权利的发明的一般性,另外也没有对请求权利的发明施加任何限定。

[0086] 图1示出本实施方式的摄像装置的结构。本发明的一方式中的摄像装置是具有摄像功能的电子设备即可,除了数字照相机之外,还可以是数字摄像机、内窥镜等。

[0087] 图1所示的摄像装置具备镜头201、摄像部202、图像处理部203、显示部204、驱动控制部205、镜头控制部206、照相机控制部207和照相机操作部208。图1还示出存储卡209,但由于将该存储卡209构成为可相对于摄像装置拆装,因而存储卡209可以不是在摄像装置中固有的结构。

[0088] 图1所示的各个块在硬件上可由计算机的CPU、存储器等电路部件、镜头等光学部件以及按钮、开关等操作部件之类的各种部件来实现,在软件上可由计算机程序等来实现,但这里描述为经由它们的协作而实现的功能块。因此,只要是本领域技术人员就当然能够理解可通过硬件、软件的组合以各种方式来实现这些功能块。

[0089] 镜头201是用于使被摄体的光学像在构成固体摄像装置(固体摄像元件)的摄像部202的摄像面上形成的摄影镜头。摄像部202具备多个像素,通过光电转换将镜头201所形成的被摄体的光学像转换为数字图像信号后输出。图像处理部203对从摄像部202输出的图像信号实施各种数字的图像处理。

[0090] 显示部204根据图像处理部203为了显示而进行图像处理后的图像信号来显示图像。该显示部204构成为可再现显示静态图像并且能够进行实时显示被摄像范围的图像的动态图像(实时取景)显示。驱动控制部205根据来自照相机控制部207的指示来控制摄像部202的动作。镜头控制部206根据来自照相机控制部207的指示来控制镜头201的光圈或焦点位置。

[0091] 照相机控制部207控制整个摄像装置。由在摄像装置内置的ROM中存储的程序来规

定照相机控制部207的动作。照相机控制部207读出该程序,根据程序所规定的内容来进行各种控制。照相机操作部208具有用于用户对摄像装置进行各种操作输入的操作用的各种部件,并将基于操作输入结果的信号输出至照相机控制部207。作为照相机操作部208的具体例,可举出用于接通/断开摄像装置电源的电源开关、用于指示静态图像摄影的释放按钮、用于在单拍模式与连拍模式之间切换静态图像摄影模式的静态图像摄影模式开关等。存储卡209是用于保存图像处理部203为了记录而进行处理后的图像信号的记录介质。

[0092] 图2示出摄像部202的结构。摄像部202具备:具有多个像素1的像素部2、垂直扫描电路3、列处理电路4、水平读出电路5、输出放大器6(输出电路)和控制电路7。图2所示的各电路要素的配置位置并非必需与实际的配置位置一致。

[0093] 在像素部2中,以2维的矩阵状排列多个像素1。在图2中排列有10行×12列共120个像素1,但图2所示的像素的排列仅为一例,行数以及列数只要是2个以上即可。另外,图2是示意性示出矩阵状地排列各个像素1的状况的图,如图2所示,并非分离地配置各个像素1。如后所述,实际上在多个像素之间共用一部分的电路要素。

[0094] 另外,在本实施方式中,将由摄像部202具备的全部像素201构成的区域作为像素信号的读出对象区域,但也可以将由摄像部202具备的全部像素201构成的区域的一部分作为读出对象区域。读出对象区域优选至少包含有效像素区域的全部像素。另外,读出对象区域可包含在有效像素区域的外侧配置的光学黑色像素(始终被遮光的像素)。例如在暗电流成分的校正中使用从光学黑色像素读出的像素信号。

[0095] 垂直扫描电路3例如由移位寄存器构成,以行为单位进行像素1的驱动控制。在该驱动控制中包含像素1的复位动作、积蓄动作、信号读出动作等。为了进行该驱动控制,垂直扫描电路3经由在每行设置的控制信号线8向各个像素1输出控制信号(控制脉冲),并针对每行独立地控制像素1。通过垂直扫描电路3进行驱动控制,将像素信号从像素1向针对每列设置的垂直信号线9输出。

[0096] 列处理电路4与每列的垂直信号线9连接,对从像素1输出的像素信号进行噪声去除或放大等的信号处理。水平读出电路5例如由移位寄存器构成。水平读出电路5选择读出像素信号的像素列后,依次选择已选择的像素列的列处理电路4。另外,水平读出电路5通过从列处理电路4依次向水平信号线10输出像素信号来读出像素信号。输出放大器6对向水平信号线10输出的像素信号进行信号处理。输出放大器6经由输出端子11向外部输出像素信号。控制电路7生成时钟信号或控制信号等,并向垂直扫描电路3、列处理电路4、水平读出电路5等输出,所述时钟信号或控制信号成为垂直扫描电路3、列处理电路4、水平读出电路5等的动作的基准。

[0097] 图3A以及图3B示出摄像部202的截面构造(图3A)以及平面构造(图3B)。在图3A以及图3B所示的例子中对虚设连接部没有记载。后面对虚设连接部进行叙述。摄像部202具有如下构造:配置有构成像素1的电路要素(光电转换元件(光电转换部)、晶体管或电容等)的两片基板(第1基板20、第2基板21)重叠。在第1基板20(第1基板)与第2基板21(第2基板)上分配配置构成像素1的电路要素。为了在像素1的驱动时能够在两片基板之间收发电信号,而将第1基板20和第2基板21电连接。例如,在第1基板20配置有光电转换元件,在第2基板21上配置有输出放大器6,该输出放大器6向外部输出光电转换元件所输出的信号。

[0098] 在第1基板20的两个主面(表面积比侧面相对大的表面)中,在照射光L侧的主面侧

形成有光电转换元件，照射到第1基板20的光入射至光电转换元件。在第1基板20的两个主面中的与照射光L侧的主面相反侧的主面上形成与第2基板21连接用的电极即多个微型焊盘22。按照1个像素或者多个像素来配置一个微型焊盘22。另外，在第2基板21的两个主面中的与第1基板20相对侧的主面上，在与微型焊盘22对应的位置处形成有与第1基板20连接用的电极即多个微型焊盘23。

[0099] 在微型焊盘22与微型焊盘23之间形成有微型凸点24。重叠地配置第1基板20和第2基板21，使微型焊盘22与微型焊盘23相互对置。以微型焊盘22与微型焊盘23之间经由微型凸点24电连接的方式一体化。微型焊盘22、微型凸点24、微型焊盘23构成连接第1基板20与第2基板21的连接部。这些微型焊盘22、23以及微型凸点24由具有导电性并且热传导率大的金或银等金属形成。基于在第1基板20上配置的光电转换元件所产生的信号电荷的信号经由微型焊盘22、微型凸点24、微型焊盘23向第2基板21输出。

[0100] 在第1基板20的两个主面中的与照射光L侧的主面相反侧的主面的周边部，形成具有与微型焊盘22同样的构造的微型焊盘25。在第2基板21的两个主面中的与第1基板20相对侧的主面上，在与微型焊盘25对应的位置处形成具有与微型焊盘23同样的构造的微型焊盘26。在微型焊盘25与微型焊盘26之间形成微型凸点27。用于驱动在第1基板20上配置的电路要素或在第2基板21上配置的电路要素的电源电压等经由微型焊盘25、微型凸点27、微型焊盘26从第1基板20向第2基板21或者从第2基板21向第1基板20提供。

[0101] 在第2基板21的两个主面中的一个主面的周边部形成有焊盘28，该焊盘28作为与第1基板20、第2基板21以外的系统的接口来使用。可取代焊盘28，设置贯通第2基板21的贯通电极，并将贯通电极作为外部连接用的电极来使用。在图3所示的例子中第1基板20与第2基板21的主面面积不同，但第1基板20与第2基板21的主面面积也可以相同。另外，可不设置微型凸点，而是通过直接粘合在第1基板20的表面上设置的微型焊盘和在第2基板21的表面上设置的微型焊盘来连接第1基板20和第2基板21。

[0102] 在第1基板20与第2基板21上分散地配置构成像素1的电路要素。关于像素1以外的垂直扫描电路3、列处理电路4、水平读出电路5、输出放大器6、控制电路7，可分别配置在第1基板20与第2基板21的任意一方。另外，可在第1基板20与第2基板21上分散地配置构成垂直扫描电路3、列处理电路4、水平读出电路5、输出放大器6、控制电路7各电路的电路要素。关于像素1以外的结构，也具有在第1基板20与第2基板21之间需要收发信号的情况。但是，可与像素1同样地使用微型焊盘和微型凸点来连接第1基板20和第2基板21，或者通过直接连接微型焊盘彼此之间来连接第1基板20和第2基板21。

[0103] 图4示出2个像素的像素1的电路结构。像素1(2个像素)具备：光电转换元件101a、101b(光电转换部)、传送晶体管102a、102b、FD(浮置扩散区)103、FD复位晶体管104、第1放大晶体管105、电流源106、箝位电容107、采样晶体管108a、108b、模拟存储器复位晶体管109a、109b、模拟存储器110a、110b、第2放大晶体管111a、111b和选择晶体管112a、112b。图4所示的各电路要素的配置位置并非必需与实际的配置位置一致。

[0104] 在图4中包含第1像素的电路要素和第2像素的电路要素。第1像素具备：光电转换元件101a、传送晶体管102a、FD103、FD复位晶体管104、第1放大晶体管105、电流源106、箝位电容107、采样晶体管108a、模拟存储器复位晶体管109a、模拟存储器110a、第2放大晶体管111a和选择晶体管112a。第2像素具有：光电转换元件101b、传送晶体管102b、FD103、FD复位

晶体管104、第1放大晶体管105、电流源106、箝位电容107、采样晶体管108b、模拟存储器复位晶体管109b、模拟存储器110b、第2放大晶体管111b和选择晶体管112b。在图4所示的公共区域Sh上配置的FD103、FD复位晶体管104、第1放大晶体管105、电流源106和箝位电容107在第1像素与第2像素中共用。

[0105] 光电转换元件101a的一端接地。传送晶体管102a的漏极端子与光电转换元件101a的另一端连接。传送晶体管102a的栅极端子与垂直扫描电路3连接，提供传送脉冲 Φ_{TX1} 。

[0106] 光电转换元件101b的一端接地。传送晶体管102b的漏极端子与光电转换元件101b的另一端连接。传送晶体管102b的栅极端子与垂直扫描电路3连接、提供传送脉冲 Φ_{TX2} 。

[0107] FD103的一端与传送晶体管102a、102b的源极端子连接，FD103的另一端接地。FD复位晶体管104的漏极端子与电源电压VDD连接。FD复位晶体管104的源极端子与传送晶体管102a、102b的源极端子连接。FD复位晶体管104的栅极端子与垂直扫描电路3连接，提供FD复位脉冲 Φ_{RST} 。

[0108] 第1放大晶体管105的漏极端子与电源电压VDD连接。第1放大晶体管105的输入部即栅极端子与传送晶体管102a、102b的源极端子连接。电流源106的一端与第1放大晶体管105的源极端子连接，电流源106的另一端接地。作为一例，可利用漏极端子与第1放大晶体管105的源极端子连接、源极端子接地、栅极端子与垂直扫描电路3连接的晶体管来构成电流源106。

[0109] 箝位电容107的一端与第1放大晶体管105的源极端子以及电流源106的一端连接。

[0110] 采样晶体管108a的漏极端子与箝位电容107的另一端连接。采样晶体管108a的栅极端子与垂直扫描电路3连接，提供采样脉冲 Φ_{SH1} 。

[0111] 采样晶体管108b的漏极端子与箝位电容107的另一端连接。采样晶体管108b的栅极端子与垂直扫描电路3连接，提供采样脉冲 Φ_{SH2} 。

[0112] 模拟存储器复位晶体管109a的漏极端子与电源电压VDD连接。模拟存储器复位晶体管109a的源极端子与采样晶体管108a的源极端子连接。模拟存储器复位晶体管109a的栅极端子与垂直扫描电路3连接，提供箝位和存储器复位脉冲 Φ_{CL1} 。

[0113] 模拟存储器复位晶体管109b的漏极端子与电源电压VDD连接。模拟存储器复位晶体管109b的源极端子与采样晶体管108b的源极端子连接。模拟存储器复位晶体管109b的栅极端子与垂直扫描电路3连接，提供箝位和存储器复位脉冲 Φ_{CL2} 。

[0114] 模拟存储器110a的一端与采样晶体管108a的源极端子连接，模拟存储器110a的另一端接地。第2放大晶体管111a的漏极端子与电源电压VDD连接。构成第2放大晶体管111a的输入部的栅极端子与采样晶体管108a的源极端子连接。

[0115] 选择晶体管112a的漏极端子与第2放大晶体管111a的源极端子连接。选择晶体管112a的源极端子与垂直信号线9连接。选择晶体管112a的栅极端子与垂直扫描电路3连接，提供选择脉冲 Φ_{SEL1} 。

[0116] 模拟存储器110b的一端与采样晶体管108b的源极端子连接，模拟存储器110b的另一端接地。第2放大晶体管111b的漏极端子与电源电压VDD连接。构成第2放大晶体管111b的输入部的栅极端子与采样晶体管108b的源极端子连接。

[0117] 选择晶体管112b的漏极端子与第2放大晶体管111b的源极端子连接。选择晶体管112b的源极端子与垂直信号线9连接。选择晶体管112b的栅极端子与垂直扫描电路3连接，

提供选择脉冲 Φ_{SEL2} 。关于上述各个晶体管可以使极性相反,使源极端子与漏极端子与上述相反。

[0118] 光电转换元件101a、101b例如是光电二极管,生成(产生)基于所入射的光的信号电荷,保持并积蓄所生成(产生)的信号电荷。传送晶体管102a、102b是将在光电转换元件101a、101b中积蓄的信号电荷传送到FD103的晶体管。利用来自垂直扫描电路3的传送脉冲 Φ_{TX1} 来控制传送晶体管102a的导通/截止。利用来自垂直扫描电路3的传送脉冲 Φ_{TX2} 来控制传送晶体管102b的导通/截止。FD103是暂时保持并积蓄从光电转换元件101a、101b传送来的信号电荷的电容。

[0119] FD复位晶体管104是使FD103复位的晶体管。利用来自垂直扫描电路3的FD复位脉冲 Φ_{RST} 来控制FD复位晶体管104的导通/截止。还可以通过同时导通FD复位晶体管104与传送晶体管102a、102b,来使光电转换元件101a、101b复位。FD103/光电转换元件101a、101b的复位控制在FD103/光电转换元件101a、101b中积蓄的电荷量,将FD103/光电转换元件101a、101b的状态(电位)设定为基准状态(基准电位、复位电平)。

[0120] 第1放大晶体管105是从源极端子输出放大信号的晶体管,该放大信号是使对栅极端子输入的基于在FD103中积蓄的信号电荷的信号放大后所得的信号。电流源106作为第1放大晶体管105的负载发挥功能,对第1放大晶体管105提供驱动第1放大晶体管105的电流。第1放大晶体管105和电流源106构成源极跟随电路。

[0121] 箔位电容107是对从第1放大晶体管105输出的放大信号的电压电平进行箝位(固定)的电容。采样晶体管108a、108b是采样保持箝位电容107的另一端的电压电平并将其积蓄在模拟存储器110a、110b内的晶体管。利用来自垂直扫描电路3的采样脉冲 Φ_{SH1} 来控制采样晶体管108a的导通/截止。利用来自垂直扫描电路3的采样脉冲 Φ_{SH2} 来控制采样晶体管108b的导通/截止。

[0122] 模拟存储器复位晶体管109a、109b是使模拟存储器110a、110b复位的晶体管。利用来自垂直扫描电路3的箝位和存储器复位脉冲 Φ_{CL1} 、 Φ_{CL2} 来控制模拟存储器复位晶体管109a、109b的导通/截止。模拟存储器110a、110b的复位对在模拟存储器110a、110b中积蓄的电荷量进行控制,将模拟存储器110a、110b的状态(电位)设定为基准状态(基准电位、复位电平)。模拟存储器110a、110b保持并积蓄已由采样晶体管108a、108b进行采样保持的模拟信号。

[0123] 将模拟存储器110a、110b的电容设定为比FD103的电容大的电容。在模拟存储器110a、110b中,优选使用每个单位面积的漏电流(暗电流)少的电容,即MIM(Metal Insulator Metal:金属绝缘体金属)电容或MOS(Metal Oxide Semiconductor:金属氧化物半导体)电容。由此,对噪声的耐性提高,可获得高品质的信号。

[0124] 第2放大晶体管111a、111b是从源极端子输出放大信号的晶体管,该放大信号是使对栅极端子输入的基于在模拟存储器110a、110b中积蓄的信号电荷的信号放大后所得的信号。第2放大晶体管111a、111b和与垂直信号线9连接的作为负载的电流源113构成源极跟随电路。选择晶体管112a、112b是选择像素1并将第2放大晶体管111a、111b的输出传递至垂直信号线9的晶体管。利用来自垂直扫描电路3的选择脉冲 Φ_{SEL1} 来控制选择晶体管112a的导通/截止。利用来自垂直扫描电路3的选择脉冲 Φ_{SEL2} 来控制选择晶体管112b的导通/截止。

[0125] 将图4所示的电路要素中的光电转换元件101a、101b配置在第1基板20上,将模拟

存储器110a、110b配置在第2基板21上,将其它电路要素配置在第1基板20和第2基板21的任意一个上。图4的虚线D1示出第1基板20与第2基板21的边界线。在第1基板20上配置有光电转换元件101a、101b、传送晶体管102a、102b、FD103、FD复位晶体管104和第1放大晶体管105。在第2基板21上配置有电流源106、箝位电容107、采样晶体管108a、108b、模拟存储器复位晶体管109a、109b、模拟存储器110a、110b、第2放大晶体管111a、111b和选择晶体管112a、112b。

[0126] 从第1基板20的第1放大晶体管105输出的放大信号经由微型焊盘22、微型凸点24以及微型焊盘23向第2基板21输出。另外,经由微型焊盘25、微型凸点27以及微型焊盘26在第1基板20与第2基板21之间收发电源电压VDD。

[0127] 在图4中,在第1放大晶体管105的源极端子与电流源106的一端以及箝位电容107的一端之间的路径上配置包含微型焊盘22、微型凸点24、微型焊盘23的连接部,但不仅限于此。也可以在从光电转换元件101a、101b到模拟存储器110a、110b的电连接的路径上的某处配置连接部。

[0128] 图5示出第1基板20与第2基板21的边界线的例子。虚线D1~D5表示可作为第1基板20与第2基板21的边界线的例子。第1基板20与第2基板21的边界线可以是虚线D1~D5的任意一个,也可以是这些以外的线。关于虚线D1如上面所述。在虚线D2所示的例子中,在光电转换元件101a、101b的另一端与传送晶体管102a、102b的漏极端子之间的路径上配置连接部。在虚线D3所示的例子中,在传送晶体管102a、102b的源极端子与FD103的一端、FD复位晶体管104的源极端子以及第1放大晶体管105的栅极端子之间的路径上配置连接部。

[0129] 在虚线D4所示的例子中,在箝位电容107的另一端与采样晶体管108a、108b的漏极端子之间的路径上配置连接部。在虚线D5所示的例子中,在采样晶体管108a、108b的源极端子与模拟存储器复位晶体管109a、109b的源极端子、模拟存储器110a、110b的一端以及第2放大晶体管111a、111b的栅极端子之间的路径上配置连接部。

[0130] 将具有上述结构的全部像素1分为多个组,各个像素1属于多个组中的任意一个。图6作为一例示出将8行×8列的64个像素1分为多个组的状态。在图6中为了方便对各个像素1赋予编号Pnm (n:1~8, m:1~8)。编号Pnm的数字n表示行编号,数字m表示列编号。

[0131] 根据像素位置,将像素1分为多个组。图6A示出由2个像素构成1组的例子。在垂直方向上邻接的2个像素构成1组。图6B示出由4个像素构成1组的例子。在垂直方向上连续配置的4个像素构成1组。因为一个光电转换元件与一个像素1对应,所以像素1所属的组与光电转换元件所属的组是等效的。同一组内的像素1的多个光电转换元件(在图6A的例子中为2个,在图6B的例子中为4个)共用FD103、FD复位晶体管104、第1放大晶体管105、电流源106和箝位电容107。

[0132] 接着,参照图7以及图8来说明像素1的动作。以下说明两个动作例。

[0133] <第1动作例>

[0134] 图7示出按照每行从垂直扫描电路3对像素1提供的控制信号。以下,以图4所示的2个像素为单位,说明图7所示的期间T1~T6中的像素1的动作。将属于同一组的两个像素1中的一个像素1设为第1像素,将另一个像素1设为第2像素。在上述多个组的各个组中,动作的开始时刻(图7的期间T1的开始时刻)相同。

[0135] [期间T1的动作]

[0136] 首先,传送脉冲 Φ_{TX1} 、 Φ_{TX2} 从“L”(Low)电平变化到“H”(High)电平,从而传送晶体管102a、102b导通。同时,FD复位脉冲 Φ_{RST} 从“L”电平变化到“H”电平,从而FD复位晶体管104导通。期间T1是全部像素1(以下,记载为全部像素)所共用的期间,所以使全部像素的光电转换元件101a、101b复位。

[0137] 接着,传送脉冲 Φ_{TX1} 、 Φ_{TX2} 以及FD复位脉冲 Φ_{RST} 从“H”电平变化到“L”电平,从而传送晶体管102a、102b以及FD复位晶体管104截止。由此,全部像素的光电转换元件101a、101b的复位结束,并统一(同时)开始全部像素的曝光(信号电荷的积蓄)。

[0138] [期间T2的动作]

[0139] 期间T2是曝光期间内的期间。首先,箝位和存储器复位脉冲 Φ_{CL1} 从“L”电平变化到“H”电平,从而模拟存储器复位晶体管109a导通。由此,使模拟存储器110a复位。同时,采样脉冲 Φ_{SH1} 从“L”电平变化到“H”电平,从而采样晶体管108a导通。由此,使箝位电容107的另一端的电位复位到电源电压VDD,并且采样晶体管108a开始箝位电容107的另一端的电位的采样保持。

[0140] 接着,FD复位脉冲 Φ_{RST} 从“L”电平变化到“H”电平,从而FD复位晶体管104导通。由此,使FD103复位。

[0141] 接着,FD复位脉冲 Φ_{RST} 从“H”电平变化到“L”电平,从而FD复位晶体管104截止。由此,FD103的复位结束。虽然进行FD103的复位的时刻只要在曝光期间中既可,但可通过在曝光期间刚要结束之前的时刻进行FD103的复位,来进一步降低FD103的漏电流导致的噪声。

[0142] 接着,箝位和存储器复位脉冲 Φ_{CL1} 从“H”电平变化到“L”电平,从而模拟存储器复位晶体管109a截止。由此,模拟存储器110a的复位结束。在此时刻,箝位电容107对从第1放大晶体管105输出的放大信号(FD103的复位后的放大信号)进行箝位。

[0143] [期间T3的动作]

[0144] 首先,传送脉冲 Φ_{TX1} 从“L”电平变化到“H”电平,从而传送晶体管102a导通。由此,在光电转换元件101a中积蓄的信号电荷经由传送晶体管102a传送至FD103,并在FD103中积蓄。由此,第1像素的曝光(信号电荷的积蓄)结束。图7的曝光期间1表示第1像素的曝光期间(信号积蓄期间)。接着,传送脉冲 Φ_{TX1} 从“H”电平变化到“L”电平,从而传送晶体管102a截止。

[0145] 接着,采样脉冲 Φ_{SH1} 从“H”电平变化到“L”电平,从而采样晶体管108a截止。由此,采样晶体管108a结束箝位电容107的另一端的电位的采样保持。

[0146] [期间T4、T5的动作]

[0147] 上述期间T2、T3的动作是第1像素的动作。期间T4、T5的动作与期间T2、T3的动作相对应,是第2像素的动作。期间T4的动作与期间T2的动作相同。期间T5的动作与期间T3的动作相同,对期间T4、T5的动作省略说明。图7的曝光期间2表示第2像素的曝光期间(信号积蓄期间)。

[0148] 以下,对第1像素的模拟存储器110a的一端的电位变化进行说明。第2像素的模拟存储器110b的一端的电位变化也是同样的。

[0149] 当将在FD103的复位结束之后从光电转换元件101a向FD103传送信号电荷而引起的FD103的一端的电位变化设为 ΔV_{fd} 、将第1放大晶体管105的增益设为 α_1 时,从光电转换元件101a向FD103传送信号电荷所引起的第1放大晶体管105的源极端子的电位变化 Δ

Vamp1为 $\alpha_1 \times \Delta Vfd$ 。

[0150] 当将模拟存储器110a和采样晶体管108a的合计增益设为 α_2 时,从光电转换元件101a向FD103传送信号电荷之后的采样晶体管108a的采样保持所引起的模拟存储器110a的一端的电位变化 $\Delta Vmem$ 为 $\alpha_2 \times \Delta Vamp1$ 即 $\alpha_1 \times \alpha_2 \times \Delta Vfd$ 。因为模拟存储器110a的复位结束的时刻的模拟存储器110a的一端的电位是电源电压VDD,所以在从光电转换元件101a向FD103传送信号电荷之后,利用采样晶体管108a进行采样保持的模拟存储器110a的一端的电位Vmem为以下的式(1)。

[0151] $V_{mem} = VDD + \Delta V_{mem}$

[0152] $= VDD + \alpha_1 \times \alpha_2 \times \Delta Vfd \cdots (1)$

[0153] 在式(1)中, $\Delta Vmem < 0$ 、 $\Delta Vfd < 0$ 。

[0154] 另外, α_2 为以下的式(2)。

[0155]
$$\alpha_2 = \frac{CL}{CL + CSH} \cdots (2)$$

[0156] 在式(2)中,CL是箝位电容107的电容值,CSH是模拟存储器110a的电容值。因为使增益的降低进一步减小,所以更希望箝位电容107的电容值CL比模拟存储器110a的电容值CSH大。

[0157] [期间T6的动作]

[0158] 在期间T6中,按照每行依次读出基于在模拟存储器110a、110b中积蓄的信号电荷的信号。首先,从第1像素中读出信号。选择脉冲 $\Phi SEL1$ 从“L”电平变化到“H”电平,从而选择晶体管112a导通。由此,经由选择晶体管112a向垂直信号线9输出基于式(1)所示的电位Vmem的信号。接着,选择脉冲 $\Phi SEL1$ 从“H”电平变化到“L”电平,从而选择晶体管112a截止。

[0159] 接着,箝位和存储器复位脉冲 $\Phi CL1$ 从“L”电平变化到“H”电平,从而模拟存储器复位晶体管109a导通。由此,使模拟存储器110a复位。接着,箝位和存储器复位脉冲 $\Phi CL1$ 从“H”电平变化到“L”电平,从而模拟存储器复位晶体管109a截止。

[0160] 接着,选择脉冲 $\Phi SEL1$ 从“L”电平变化到“H”电平,从而选择晶体管112a导通。由此,经由选择晶体管112a向垂直信号线9输出基于使模拟存储器110a复位时的模拟存储器110a的一端电位的信号。接着,选择脉冲 $\Phi SEL1$ 从“H”电平变化到“L”电平,从而选择晶体管112a截止。

[0161] 列处理电路4生成差分信号,该差分信号是取基于式(1)所示的电位Vmem的信号与基于使模拟存储器110a复位时的模拟存储器110a的一端电位的信号的差分而得到的信号。该差分信号是基于式(1)所示的电位Vmem与电源电压VDD的差分的信号。另外,该差分信号是基于差分 ΔVfd 的信号,该差分 ΔVfd 是将在光电转换元件101a中积蓄的信号电荷刚传送到FD103之后的FD103的一端电位与刚使FD103的一端复位之后的FD103的电位的差分。因此,可获得已抑制了使模拟存储器110a复位所引起的噪声成分和使FD103复位所引起的噪声成分的、基于在光电转换元件101a中积蓄的信号电荷的信号成分。

[0162] 利用水平读出电路5向水平信号线10输出从列处理电路4输出的信号。输出放大器6对向水平信号线10输出的信号进行处理,并作为像素信号从输出端子11输出。以上,从第1像素中读出信号的动作结束。

[0163] 接着,从第2像素中读出信号。因为从第2像素中读出信号与从第1像素中读出信号

相同,所以对从第2像素中读出信号省略说明。

[0164] 在期间T6中从像素1读出信号的期间针对每一行不同。图8示出期间T6中的各个像素1的动作。在图8中,将第1像素即奇数行(i行)的像素1的箝位和存储器复位脉冲 Φ_{CL1} 设为 Φ_{CL1-i} ,将选择脉冲 Φ_{SEL1} 设为 Φ_{SEL1-i} 。另外,在图8中,将第2像素即偶数行(j行)的像素1的箝位和存储器复位脉冲 Φ_{CL2} 设为 Φ_{CL2-j} ,将选择脉冲 Φ_{SEL2} 设为 Φ_{SEL2-j} 。另外,在图8中示出行数n是偶数的情况。

[0165] 期间T6由期间T6-1、T6-2、…、T6-n构成。在期间T6-1内,从第1行以及第2行的像素1中读出信号。期间T6-1中的像素1的动作与图7的期间T6中的像素1的动作相同。在期间T6-2内,从第3行以及第4行的像素1中读出信号。期间T6-2中的像素1的动作也与图7的期间T6中的像素1的动作相同。第4行以后的像素1也按照每行进行同样的动作。在期间T6-N内,从最后一行(第n行)的像素1中读出信号。期间T6-N中的像素1的动作也与图7的期间T6中的像素1的动作相同。利用以上的动作,从全部像素中读出信号。

[0166] 在上述动作中,FD103在各个像素1的读出时刻之前必需保持从光电转换元件101a、101b向FD103传送的信号电荷。当在FD103保持信号电荷的期间中产生噪声时,噪声与FD103所保持的信号电荷重叠,从而信号品质(S/N)劣化。

[0167] 在FD103保持信号电荷的期间(以下,记载为保持期间)中产生噪声的主要原因是基于FD103的漏电流的电荷(以下,记载为泄漏电荷)和由入射到光电转换元件101a、101b以外的部分的光引起的电荷(以下,记载为光电荷)。当将单位时间产生的泄漏电荷与光电荷分别设为 q_{id} 、 q_{pn} 、将保持期间的长度设为 t_c 时,在保持期间中产生的噪声电荷 Q_n 为 $(q_{id} + q_{pn}) t_c$ 。

[0168] 将FD103的电容设为 C_{fd} ,将模拟存储器110a、110b的电容设为 C_{mem} ,将 C_{fd} 和 C_{mem} 之比(C_{mem}/C_{fd})设为A。另外,如上所述,将第1放大晶体管105的增益设为 α_1 ,将模拟存储器110a、110b与采样晶体管108a、108b合计的增益设为 α_2 。当将在曝光期间中由光电转换元件101a、101b产生的信号电荷设为 Q_{ph} 时,在曝光期间结束之后保持到模拟存储器110a、110b内的信号电荷为 $A \times \alpha_1 \times \alpha_2 \times Q_{ph}$ 。

[0169] 在期间T3或期间T5中利用采样晶体管108采样保持基于从光电转换元件101向FD103传送的信号电荷的信号,并存储到模拟存储器110内。因此,从向FD103传送信号电荷到向模拟存储器110存储信号电荷的时间短,从而可无视在FD103中产生的噪声。当假定在模拟存储器110保持信号电荷的期间中产生的噪声为与上述相同的 Q_n 时,S/N为 $A \times \alpha_1 \times \alpha_2 \times Q_{ph}/Q_n$ 。

[0170] 另一方面,如专利文献2所述的现有技术那样,经由放大晶体管从像素中读出电容积蓄部所保持的信号电荷时的S/N为 Q_{ph}/Q_n 。因此,本实施方式的S/N为现有技术的S/N的 $A \times \alpha_1 \times \alpha_2$ 倍。通过设定模拟存储器110a、110b的电容值,使 $A \times \alpha_1 \times \alpha_2$ 大于1(例如,使模拟存储器110的电容值与FD103的电容值相比足够大),可降低信号品质的劣化。

[0171] 在上述第1动作例中,曝光的开始时刻在全部像素中是相同的,但如图7的曝光期间1、2所示的那样,在同一组内各个像素1的曝光的结束时刻不同。

[0172] 但是,曝光期间之差是微小的。

[0173] <第2动作例>

[0174] 图9示出按照每行从垂直扫描电路3向像素1提供的控制信号。以下,以图4所示的2

个像素为单位,说明图9所示的期间T1~T6中的像素1的动作。将属于同一组的两个像素1中的一个像素1设为第1像素,将另一个像素1设为第2像素。在上述多个组的各个组中,动作的开始时刻(图9的期间T1的开始时刻)相同。以下,仅说明与第1动作例不同的部分。

[0175] 期间T1、T1'中的动作与图7所示的动作不同。在期间T1中,仅对第1像素进行光电转换元件101a的复位。另外,在期间T1'中,仅对第2像素进行光电转换元件101b的复位。图9的曝光期间1表示第1像素的曝光期间(信号积蓄期间),曝光期间2表示第2像素的曝光期间(信号积蓄期间)。

[0176] 设定期间T1'的开始时刻,使曝光期间1与曝光期间2的长度相同。由此,在第2动作例中全部像素的曝光期间的长度相同,所以能够获得更高画质的信号。另外,即使在第2动作例中也能够与第1动作例同样地降低信号品质的劣化。

[0177] 接着,说明包含微型焊盘22、微型凸点24、微型焊盘23的连接部与像素1的配置位置。图10作为一例示出将8行×8列的64个像素1以4行×4列的16像素构成1组的例子。在图10中为了方便对各个像素1赋予编号P_{nm}(n:1~8,m:1~8)。编号P_{nm}的数字n表示行编号,数字m表示列编号。

[0178] 在图示的例子中,由像素编号为P11~P14、P21~P24、P31~P34、P41~P44的16个像素1构成组301。另外,由像素编号为P15~P18、P25~P28、P35~P38、P45~P48的16个像素1构成组302。另外,由像素编号为P51~P54、P61~P64、P71~P74、P81~P84的16个像素1构成组303。另外,由像素编号为P55~P58、P65~P68、P75~P78、P85~P88的16个像素1构成组304。

[0179] 因为一个光电转换元件与一个像素1对应,所以像素1所属的组与光电转换元件所属的组是等效的。同一组内的16个像素1的多个光电转换元件共用FD103、FD复位晶体管104、第1放大晶体管105、电流源106和箝位电容107。

[0180] 另外,因为各个组301~304所包含的像素1的多个光电转换元件共用FD103、FD复位晶体管104、第1放大晶体管105、电流源106和箝位电容107,所以在组301~304的各个组中逐个地配置连接部300。在组301中,在像素编号P22、P23、P32、P33的位置上配置连接部300。另外,在组302中,在像素编号P26、P27、P36、P37的位置上配置连接部300。另外,在组303中,在像素编号P62、P63、P72、P73的位置上配置连接部300。另外,在组304中,在像素编号P66、P67、P76、P77的位置上配置连接部300。

[0181] 此外,连接部300的配置图形不限于图10所示的图形,构成组的像素1的数量可以是任意的数量。例如,可仅由一个像素1构成组,将一个像素经由一个连接部300与第2基板21连接。

[0182] 接着,对虚设连接部的配置位置进行说明。如上所述,在配置像素1的区域内配置连接部300(真连接部)。另外,制造多层基板的芯片(例如,固体摄像装置或摄像装置),该多层基板是利用连接部300连接配置有光电转换元件101的第1基板20和配置有处理光电转换元件101所输出的信号的部分电路或全部电路的第2基板21而成的。作为制造该多层基板的芯片的工序顺序,可以考虑在利用连接部300连接构成第1基板20的半导体晶片(第1半导体晶片)和构成第2基板21的半导体晶片(第2半导体晶片)之后通过切割(单片化)等截取为芯片的顺序。将处理光电转换元件101所输出的信号的部分电路或全部电路作为周边电路。另外,周边电路可包含布线电路。

[0183] 在此情况下,在配置有像素1的区域内配置有连接部300,所以连接第1基板20与第2基板21的机械强度高。另一方面,如图3A以及图3B所示,在配置有像素1的区域以外的区域(例如,配置有周边电路的周边电路区域或什么都没有配置的空区域)内配置有包含微型焊盘25、微型凸点27、微型焊盘26的周边连接部,但周边连接部的数量与连接部300的数量相比较少。因此,在配置有像素1的区域以外的区域,连接第1基板20与第2基板21的机械强度低。

[0184] 因此,在从半导体晶片截取芯片的切割时,有可能无法抵抗切割的强度而在芯片上产生裂痕或破碎。另外,半导体晶片不完全平整,具有少许的变形。在半导体晶片彼此间连接时,一边在平坦的工作台上实施加重来抑制变形一边进行连接。因此,有可能在截取为芯片之后恢复变形,导致凸点的连接偏离。

[0185] 因此,在本实施方式中,在配置有像素1的区域以外的区域(例如,周边电路区域或空区域)内配置虚设连接部。即使在配置有像素1的区域以外的区域,也能够提高连接第1基板20与第2基板21的机械强度。虚设连接部的结构与连接部300的结构相同。即,在第1基板20上配置的微型焊盘、微型凸点和在第2基板21上配置的微型焊盘构成连接第1基板20与第2基板21的虚设连接部。

[0186] 在第1基板20与第2基板21之间近似柱状地形成虚设连接部。

[0187] 图11A以及图11B示出接合第1基板20与第2基板21后的基板的平面构造(图11A)以及截面构造(图11B)。图11B所示的剖视图是图11A中所示的B-B'的剖视图。在图11A所示的例子中,在第1基板20的区域内包含配置有像素1的像素区域401、配置有周边电路的周边电路区域402和什么都没有配置的空区域403。

[0188] 另外,在像素区域401内配置有用于收发第1基板20与第2基板21之间的信号的连接部300(真连接部)。但是,在像素区域401以外的区域即周边电路区域402或空区域403中没有配置连接部300。如图11A所示,在像素区域401以外的区域即周边电路区域402或空区域403中配置有不进行信号的收发的虚设连接部500。

[0189] 另外,在图示的例子中,虚设连接部500的配置间隔与在像素区域401内配置的连接部300的配置间隔是同一间隔。例如像素1的像素间距是5μm,在4行4列的16个像素1采用同一连接部300时,以20μm的间隔配置连接部300以及虚设连接部500。

[0190] 利用以下的工序进行如以上构成的芯片的制造方法。

[0191] 经由连接部300来粘合具有电路要素的第1基板20和具有输出放大器6的第2基板21。

[0192] 然后,进行如下连接部配置工序:在配置有像素1的区域以外的区域内即没有配置连接部300的区域内,配置支撑已粘合的第1基板20和第2基板21的虚设连接部500。

[0193] 利用这些工序来制造芯片。

[0194] 这样,通过在像素区域401以外的区域(例如,周边电路区域402或空区域403)配置不进行信号收发的虚设连接部500,来增加第1基板20与第2基板21的机械连接强度,所以能够降低利用切割来截取芯片时的裂痕、破碎(碎片),降低防止由于基板变形而导致的连接偏离。因此,能够成品率高地制造多层基板的芯片(例如,固体摄像装置或摄像装置)。

[0195] 另外,例如即使在已产生碎片的情况下,也能够降低对周边电路的影响。

[0196] 在上述例中,虚设连接部500在第1基板20与第2基板21之间不进行信号的收发。但

是,例如,为了强化第1基板20或第2基板21的电源或接地,而采用虚设连接部500作为第1基板20或第2基板21的电源线或地线。

[0197] 另外,虚设连接部500的配置方法不仅限于图11A以及图11B所示的例子,只要是能够增强第1基板20与第2基板21的机械连接强度的配置,就可以是任意的配置。

[0198] 图12是示出接合第1基板20与第2基板21后的基板的平面构造的俯视图。图12所示的例子与图11A以及图11B所示的例子相比,虚设连接部500的配置间隔变宽。第1基板20的区域内所包含的像素区域401、周边电路区域402和空区域403与图11A以及图11B所示的例子相同。另外,连接部300的配置与图11A以及图11B所示的例子相同。在图示的例子中,虚设连接部500的配置间隔是连接部300的配置间隔的2倍间隔。即使在此情况下,因为第1基板20与第2基板21的机械连接强度增加,所以能够降低利用切割来截取芯片时的裂痕、破碎,降低防止由于基板变形而导致的连接偏离。因此,能够成品率高地制造多层基板的芯片(例如,固体摄像装置或摄像装置)。

[0199] (第2实施方式)

[0200] 接着,说明本发明的第2实施方式。在接合构成第1基板20的半导体晶片和构成第2基板21的半导体晶片的情况下,具有对半导体晶片实施加重而接合的方法。在利用此方法进行接合的情况下,当在配置于周边电路区域402内的虚设连接部500之下存在布线或晶体管等这样的构成电路的要素时,有可能上述电路构成要素由于加重而变质,电路特性发生变化。

[0201] 在固体摄像装置所具备的周边电路(处理光电转换元件101所输出的信号的部分电路或全部电路即周边电路)中,按照每列以像素间距或像素间距整数倍的间距有规则地排列同一电路。在图13所示的例子中,按照每列以像素间距或者像素间距整数倍的间距有规则地排列列ADC电路601A、601B(模拟-数字转换电路)。因此,根据在周边电路区域402内配置的虚设凸点的间隔,在存在虚设连接部500的电路与不存在虚设连接部500的电路中电路特性不同,从而可能成为产生固定图形噪声的原因。例如,在图13所示的例子中,周边电路所包含的列ADC电路601A存在虚设连接部500。列ADC电路601B不存在虚设连接部500,所以列ADC电路601A与列ADC电路601B的电路特性不同,从而可能成为产生固定图形噪声的原因。

[0202] 因此,在本实施方式中,为了使周边电路所具备的电路的电路特性相同,而考虑配置在周边电路区域402上配置的虚设连接部500。在周边电路区域402以外配置的虚设连接部500的配置与第1实施方式中的虚设连接部500的配置相同。

[0203] 图14是示出在本实施方式中在周边电路区域402内配置的虚设连接部500的配置图形的概括图。在图示的例子中,在周边电路区域402内配置列ADC电路601。另外,在各个列ADC电路601上配置虚设连接部500。在全部列ADC电路601上配置虚设连接部500,由此各个列ADC电路601的电路特性相同,所以能够抑制固定图形噪声的产生。

[0204] 虚设连接部500的配置图形不仅限于图14所示的配置图形,只要是能够抑制固定图形噪声的产生的配置图形就可以是任意的配置图形。图15是示出在本实施方式中配置于周边电路区域402内的虚设连接部500的配置图形的概括图。在图示的例子中,在两个列ADC电路601的中间配置虚设连接部500。在此情况下,以虚设连接部500为中心,以两个列ADC电路601的电路图形为对象而构成列ADC电路601。根据此结构,虚设连接部500的配置位置为

在左边的列ADC电路601与右边的列ADC电路601中相同的元件或布线上。因此，在各个列ADC电路601中，在相同的元件或布线上存在虚设连接部500，所以各个列ADC电路601的特性差大致相同，能够抑制固定图形噪声的产生。

[0205] 如上所述，只要按照在周边电路区域402中配置的电路、即以像素间距或者像素间距整数倍的间距配置虚设连接部500，就不会产生基于虚设连接部500的配置位置的电路特性差。例如，在周边电路区域402中配置的电路是列ADC电路601的情况下，列ADC电路601内的电阻值、电容值或晶体管的特性在每列中都均匀。因此，可降低由虚设连接部500的配置位置引起的周边电路的特性差。另外，能够抑制光电转换元件101所输出的信号的劣化即固体摄像装置所拍摄的图像的画质劣化。

[0206] 在上述的例子中，说明了在虚设连接部500的配置位置上存在构成电路的元件或布线的情况。但是，还可以通过在未对电路内的元件或布线带来影响的位置上配置虚设连接部500，来降低电路特性的变化。另外，在上述的例子中，采用列ADC电路601说明了周边电路区域402所具备的电路的例子，但不仅限于此。例如，不仅限于列ADC电路601这样的水平扫描电路，即使在具有多个单位电路的周边电路区域402中配置虚设连接部500的情况下，也能够降低单位电路的特性偏差，并能够抑制固定图形噪声的产生。

[0207] (第3实施方式)

[0208] 接着，对本发明的第3实施方式进行说明。第1实施方式与本实施方式的不同点是，在本实施方式中在周边电路区域402内不配置虚设连接部500。其它结构与第1实施方式相同。

[0209] 图16是示出接合第1基板20与第2基板21的基板的平面构造的俯视图。图16所示的例子与图11A以及图11B所示的例子的不同点是，在图16所示的例子中，在周边电路区域402内没有配置虚设连接部500。在空区域403内配置有虚设连接部500。这样，通过在周边电路区域402内不配置虚设连接部500、仅在空区域403内配置虚设连接部500，可提高第1基板20与第2基板21的机械连接强度，并且能够防止在周边电路区域402中配置的电路的特性变化。另外，不需要考虑在周边电路区域402中配置的电路的配置来决定虚设连接部500的配置，从而电路布局的自由度提高。

[0210] 虚设连接部500的配置方法不仅限于图16所示的例子。图17是示出接合第1基板20与第2基板21后的基板的平面构造的俯视图。图17所示的例子与图11A以及图11B所示的例子相比，省略了一部分的虚设连接部500的配置。在图示的例子中省略了在空区域403所包含的区域700内配置的虚设连接部500的配置。

[0211] 换言之，在此例中，使相邻的虚设连接部500之间的距离变化。在具体的说明中，将多个虚设连接部500中的1个设为虚设连接部500a，将虚设连接部500a设为起点，规定互不相同的方向D1、D2。将相对于虚设连接部500a在方向D1上相邻的虚设连接部500规定为虚设连接部500b，将相对于虚设连接部500a在方向D2上相邻的虚设连接部500规定为虚设连接部500c。此时，设定虚设连接部500a与虚设连接部500b的距离长于虚设连接部500a与虚设连接部500c的距离。

[0212] 由此，能够降低构成第1基板20的半导体晶片与构成第2基板21的半导体晶片的机械连接强度。具体地说，能够降低虚设连接部500a、500b之间的两半导体晶片的机械连接强度。由此，能够减少对构成第1基板20的半导体晶片和构成第2基板21的半导体晶片应该施

加的压力。

[0213] 图18是示出接合第1基板20与第2基板21后的基板的平面构造的俯视图。图18所示的例子与图11A以及图11B所示的例子相比,使一部分虚设连接部500的配置位置偏离等间隔的配置位置。在图示的例子中,使在空区域403所包含的区域701中配置的虚设连接部500的配置位置偏离等间隔的配置位置。由此,能够有效地强化构成第1基板20的半导体晶片与构成第2基板21的半导体晶片的机械连接强度低的区域的连接强度。由此,在粘合构成第1基板20的半导体晶片与构成第2基板21的半导体晶片之后进行切割时,可以使构成第1基板20的半导体晶片与构成第2基板21的半导体晶片不分离。

[0214] (第4实施方式)

[0215] 接着,对本发明的第4实施方式进行说明。

[0216] 第1实施方式与本实施方式的不同点是,在本实施方式中,虚设连接部500与在第1基板20或第2基板21上设置的接地布线连接。

[0217] 如图19所示,在此例中,通过层叠半导体基板(未图示)、层间绝缘膜20a、20b、20c来形成第1基板20。在层间绝缘膜20a、20b之间形成连接布线801,在层间绝缘膜20b、20c之间形成连接布线802。在层间绝缘膜20a中形成通孔804,在层间绝缘膜20b中形成通孔805。连接部300经由通孔804、805以及连接布线801、802和未图示的通孔与未图示的光电转换部连接。

[0218] 在层间绝缘膜20a、20b之间设置有接地布线(第1接地布线)807。虚设连接部500经由通孔804与接地布线807连接。

[0219] 同样,通过层叠半导体基板(未图示)、层间绝缘膜21a、21b、21c来形成第2基板21。在层间绝缘膜21a、21b之间形成连接布线811,在层间绝缘膜21b、21c之间形成连接布线812。在层间绝缘膜21a中形成通孔814,在层间绝缘膜21b中形成通孔815。连接部300经由通孔814、815以及连接布线811、812与上述输出放大器6连接。

[0220] 在层间绝缘膜21a、21b之间设置有接地布线(第2接地布线)817。虚设连接部500经由通孔814与接地布线817连接。

[0221] 可通过Al或Cu等金属,利用与连接布线801、811相同的半导体工艺来形成接地布线807、817。

[0222] 在层间绝缘膜20a与层间绝缘膜21a之间设置有树脂层821,以覆盖连接部300以及虚设连接部500的外周面。

[0223] 在制造这样构成的芯片的本实施方式的制造方法中,在进行第1实施方式中的连接部配置工序之前采用公知的光刻技术在第1基板20内形成接地布线807,并且在第2基板21内形成接地布线817。在基板20、21内还预先形成通孔804、805、814、815等。

[0224] 接着,在连接部配置工序中,在配置虚设连接部500时,将虚设连接部500经由通孔804与接地布线807连接,并经由通孔814与接地布线817连接。

[0225] 经由连接部300以及虚设连接部500相互连接的基板20、21有时在制造装置的工作台上安装基板20、21中的一个(例如,第2基板21。)的状态下进行干蚀刻等处理。在干蚀刻中利用活性气体进行加工,所以第1基板20为高温。安装到工作台的第2基板21即使温度上升也能够在制造装置侧直接散热。但是,第1基板20在温度上升时不经由第2基板21从而无法在制造装置侧散热。另外,因为基板20、21的周围通常是真空的,所以在进行干蚀刻时第1基

板20容易成为高温。

[0226] 在本实施方式的芯片以及芯片的制造方法中,虚设连接部500的两端与接地布线807、817连接。因此,能够将已加热的第1基板20的热传递至热传导率大的接地布线807、虚设连接部500,并且经由接地布线807有效地传递至第2基板21。即,能够提高第1基板20与第2基板21之间的传热效率。由此,能够将在第1基板20中产生的热经由第2基板21在制造装置侧散热。

[0227] 在构成第1基板20的各个部件的线膨胀率互不相同的情况下,当对第1基板20进行加热时具有在部件彼此间的界面上产生裂纹或剥离的情况。另外,第1基板20由于温度上升而膨胀,但因为第2基板21散热所以膨胀不明显。因此,有时在部件彼此间的界面上产生裂纹或剥离、或者在部件上产生裂纹。在本实施方式的芯片中,可通过提高第1基板20与第2基板21之间的传热效率来使第1基板20的温度降低,从而能够抑制产生上述裂纹或剥离的情况。

[0228] 一般情况下,因为接地布线形成得比其它连接布线大,所以在第1基板20与接地布线807之间、第2基板21与接地布线817之间能够有效传递热。

[0229] 这些效果在制造装置的工作台上安装有第1基板20的情况下也是相同的。

[0230] 在本实施方式中,使虚设连接部500与在第1基板20上设置的接地布线807、在第2基板21上设置的接地布线817分别连接。但是,虚设连接部500可构成为仅与接地布线807、817的任意一方连接。

[0231] 即使这样构成,也能够提高基板20、21的一方与虚设连接部500的传热效率。结果,能够提高第1基板20与第2基板21之间的传热效率。

[0232] (第5实施方式)

[0233] 接着,对本发明的第5实施方式进行说明。

[0234] 第4实施方式与本实施方式的不同点是,在本实施方式中虚设连接部500与在第1基板20或第2基板21上设置的热传导图形连接。另外一个不同点是,对与该热传导图形连接的虚设连接部500以及热传导图形的至少一部分进行切割后将其去除。

[0235] 如图20所示,在第1基板20的层间绝缘膜20a、20b之间设置有热传导图形(第1热传导图形)808。热传导图形808通过层间绝缘膜20a、20b等与包含光电转换部的未图示的电路要素绝缘。在第2基板21的层间绝缘膜21a、21b之间设置有热传导图形(第2热传导图形)818。热传导图形818通过层间绝缘膜21a、21b等与输出放大器6绝缘。热传导图形808、818可利用与连接布线801、811相同的半导体工艺由Al或Cu等金属形成。

[0236] 在芯片上设置的多个虚设连接部500的一部分即虚设连接部500d如上述实施方式那样经由通孔804与接地布线807连接,并经由通孔814与接地布线817连接。多个虚设连接部500的剩余部即虚设连接部500e与热传导图形808、818连接。在切割时将虚设连接部500e与热传导图形808、818一起去除。

[0237] 当具体进行说明时,如图21所示,区域R1是配置上述像素1的区域,在区域R1内配置有多个连接部300。区域R2是成为切割后单片化的芯片的区域,是从基板20、21中截取各个芯片的单位区域。在区域R2内配置有多个连接部300以及虚设连接部500d。

[0238] 在相邻的区域R2之间配置有虚设连接部500e,配置该虚设连接部500e的区域R4为在切割时采用的划线。即,当通过切割使芯片单片化时,将虚设连接部500e与热传导图形

808、818一起去除。在此例中,在相邻的区域R2之间配置有1列虚设连接部500e。

[0239] 在制造这样构成的芯片的本实施方式的制造方法中,在进行第4实施方式中的连接部配置工序之前在第1基板20内形成热传导图形808,并且在第2基板21内形成热传导图形818。

[0240] 接着,在连接部配置工序中,使虚设连接部500d经由通孔804与接地布线807连接,经由通孔814与接地布线817连接,并且使虚设连接部500e经由通孔804与热传导图形808连接,经由通孔814与热传导图形818连接。

[0241] 然后,在去除工序中,通过切割来去除区域R4所包含的全部热传导图形808、818以及虚设连接部500e。

[0242] 利用以上的工序来制造被单片化的芯片。

[0243] 在本实施方式的芯片以及芯片的制造方法中,例如当在制造装置的工作台上安装第2基板21来进行干蚀刻等处理时,可利用虚设连接部500d、500e将在第1基板20中产生的热经由第2基板21在制造装置侧有效地散热。

[0244] 另外,在单片化后作为芯片使用时,因为去除了虚设连接部500e,所以可抑制在基板20、21之间传递热的情况。

[0245] 此外,在本实施方式中，在去除工序中去除了全部热传导图形808、818以及虚设连接部500e,但也可以仅去除热传导图形808、818或虚设连接部500e的一部分。这是因为即使这样构成也能够抑制在基板20、21之间传递热的情况。

[0246] 另外,本实施方式的芯片在虚设连接部500e上连接有热传导图形808、818。但是,在基板20、21上可不设置热传导图形808、818的一方,或者热传导图形808、818双方都不设置。即使这样构成,在进行干蚀刻等处理时,也能够通过虚设连接部500d、500e使在第1基板20中产生的热经由第2基板21在制造装置侧有效地散热。

[0247] 在本实施方式中,虽然在相邻的区域R2之间配置有1列虚设连接部500e,但也可以构成为在相邻的区域R2之间配置多列虚设连接部500e。

[0248] 另外,在本实施方式中,可以在芯片内不设置虚设连接部500d,利用切割来去除全部虚设连接部500e。

[0249] 以上,参照附图对本发明的实施方式进行详细叙述,但具体的结构不仅限于上述实施方式,还包含不脱离本发明主旨的范围内的设计变更等。

[0250] 例如,本实施方式的固体摄像装置可利用连接部300以及虚设连接部500来连接两片基板,也可利用连接部300以及虚设连接部500来连接3片以上的基板。

[0251] (第6实施方式)

[0252] 接着,对本发明的第6实施方式进行说明。

[0253] 参照图22~图27B来说明本发明的第6实施方式。

[0254] 图22的上侧是示出本实施方式的基板1001的俯视图。基板1001具备板状或片状的基材1010和在基材1010的表面上形成的电极部1020。

[0255] 基材1010由绝缘体或者半导体形成为具有预定厚度的板状或片状。作为构成基材1010的绝缘体以及半导体,例如可举出硅、树脂、陶瓷、玻璃等。在本实施方式中采用硅晶片作为基材1010。

[0256] 另外,虽然省略图示,但在基材1010中形成有与电极部1020电连接的布线。可利用

印刷或蚀刻等在基材1010的厚度方向的一方或双方形成布线的样式,或者可如通孔等那样以贯通基材的方式形成布线的样式。此外,布线的样式可以是采用层叠技术的立体布线,也可使它们适当地组合。

[0257] 将基材1010的一个面作为与其它基板接合的接合面1010A。在接合面1010A上设置有多个矩形的单位区域1011。另外,在接合面1010A的各个单位区域1011内逐个地形成电极部1020,并形成同一样式的布线,该电极部1020中以同一布局形成多个电极。

[0258] 图23是放大示出单位区域1011的概括图。通过二维地排列在基材1010上突出的多个细小的电极(电路电极),在基板1001的俯视图中近似矩形地形成电极部1020。将包含邻接的单位区域的边界线1012的电极部1020的周围区域设为配置有多个虚设电极的虚设区域1021。

[0259] 边界线1012为后述的单片化时的切割线即划线,但仅仅是概念上的线,并非必需在基材1010上形成为线状。

[0260] 图24是放大示出电极部1020与虚设区域1021的边界部的图。在电极部1020上形成的多个电路电极1020a和在虚设区域形成的虚设电极1021a仅仅在是否与布线连接上不同,其材质或形成方法可以为相同的。将虚设电极1021a的高度设定为电路电极1020a的高度以下。另外,虚设电极1021a可以与电源或地线等不进行信号交换的部位连接。

[0261] 电路电极1020a以及虚设电极1021a由金属等导电性材料形成。另外,电路电极1020a以及虚设电极1021a优选由金、铜、镍以及包含这些金属的至少一种的合金中的任意一方构成。另外,都可以通过电镀等适当地形成。

[0262] 如图24所示,电极部1020的电路电极1020a根据在基材上是否设置有半导体元件或者半导体元件的配置等,其部位略有变化,但基本上以同一电路电极间距C形成。

[0263] 与此相对,虚设电极1021a形成为,相互以预定的虚设间距A1配置预定个数的虚设电极,并且形成电极间的最大距离为A2的虚设电极集合体1022,而且以预定的集合体间距B来配置各个虚设电极集合体1022。在本实施方式中,将各个虚设电极集合体1022配置为由4个虚设电极1021a构成,并且由4个虚设电极1021a形成正方形。

[0264] 关于在插入虚设凸点时的配置方式,本发明的发明人采用模拟对各种图形进行研究,其中具有对一个虚设电极在预定距离以内配置其它虚设电极的情况和在预定距离以内不配置其它虚设电极的情况。发现了后者与前者相比作用于该虚设电极的应力大几倍。

[0265] 关于该现象的机理,目前还有不明之处,但大致认为基于以下这样的理由。

[0266] 如图25A所示,当以某虚设电极1021a为中心在预定的半径1以内不存在其它虚设电极时,该虚设电极1021a仅自身受到作用于对方侧的基板1100的负荷。结果,基板1100在虚设电极1021a的周围所有方向上挠曲,在所有方向上作用大的应力f1。

[0267] 与此相对,如图25B所示,有时从虚设电极1021a起在半径1以内存在其它虚设电极(在图25B中为了便于说明而标注符号1021b。)。在此情况下,在虚设电极1021a周围中的存在虚设电极1021b的方向上,虚设电极1021b支撑基板1100,所以可减轻基板1100的挠曲,作用比应力f1小的应力f2。同样,关于虚设电极1021b也存在虚设电极1021a,由此可部分减轻基板1100的挠曲,使一部分方向中的应力成为f2。

[0268] 如图25C所示,在本实施方式的虚设电极集合体1022中,相对于某虚设电极,将其它3个虚设电极全部配置在半径1以内的范围中。因此,例如左下的虚设电极利用其它3个虚

设电极来轻减周围中的范围b内的对方侧基板1100的弯曲,使作用的应力变小。因此可认为,对方侧基板1100较大挠曲的区域被限制在范围a,作为总和作用的应力变小。该半径1由于虚设电极的直径或构成虚设电极集合体的虚设电极的数量等而略有变化,但大致可考虑为虚设电极直径的3倍左右的值。

[0269] 在本发明中,可在满足上述条件的范围内适当设定虚设间距A1、虚设电极间最大距离A2、集合体间距B以及电路电极间距C的具体值。但是,当虚设间距A1是电路电极间距C以上且为小于集合体间距B的值时,可高效地减少虚设电极的数量,所以优选。

[0270] 另外,当将集合体间距B设定为虚设电极间最大距离A2的3倍以上10倍以下或虚设间距A1的10倍以上100倍以下时,既能够减轻应力又能够进一步高效地减少虚设电极的数量。但是,当将集合体间距B设定得过大时,有时无法达到虚设电极本来目的即机械强度保持的作用,所以最好注意通过适当模拟来进行确认等。

[0271] 如图22下侧所示,以使接合面1010A相对的状态在加压板1131、1132之间夹持在基板1001彼此间、与基板1001进一步形成半导体元件的基板以及形成半导体元件的基板1001彼此间等组合中的至少两片基板,并利用未图示的冲压装置进行加热加压,通过晶片直接接合而一体地进行接合。由此,可通过使相对的电极彼此电接合,来构成半导体装置。

[0272] 在接合时的基板的定位中可采用公知的晶片接合装置等。另外,在接合前可通过等离子清洗或逆溅射等对各个基板的基材表面以及电极部进行清洗,利用所谓的表面活化来使电极彼此接合。

[0273] 本实施方式的基板1001以上述这样的方式在虚设区域1021内配置虚设电极1021a,所以与等间隔配置相比可减少虚设电极的数量,并且能够防止对各虚设电极1021b作用过剩的应力而进行接合。

[0274] 在基板彼此间的接合结束之后,在基板间的间隙注入树脂来保护被接合的电路电极1020a。图26是示出树脂1115注入后的基板中的边界线周边的截面的一例的图。在此例中,基板1001和对方侧基板1100都在基材1010上具有通过掺杂等形式形成的半导体元件1101以及立体形成的布线1102。基板1100的电极成为在布线1102上形成的平坦的电极焊盘1103。在与对方侧基板1100的接合面相反侧的表面上形成到达布线1102的孔,作为用于连接外部端子与布线1102的外部电极取出部1104。在外部电极取出部1104中可填充金属等导电性物质。

[0275] 在基板接合之后,如图27A所示当采用锯片1110等沿着边界线1012针对每个单位区域11来截取(单片化)已接合的基板时,如图27B所示,由树脂1115密封的半导体装置1120完成。

[0276] 如以上所说明的那样,根据本实施方式的基板1001,如上所述,在虚设电极区域1021中配置各个虚设电极,使得由预定个数的虚设电极1021a构成虚设电极集合体1022。因此,既能够抑制虚设电极的形成个数,又能够适当地抑制对各个虚设电极作用过剩的应力,从而能够适当地防止在接合时对电极或基材等的损害。

[0277] 另外,因为将虚设电极1021a的高度设为电路电极1020a的高度以下,所以在接合时可抑制虚设电极阻碍电路电极接合的情况,可适当地接合电路电极。

[0278] 以上,对本发明的一实施方式进行了说明,本发明的技术范围不被上述实施方式所限定,在不脱离本发明主旨的范围内可变更构成要素的组合,或者对各个构成要素施加

各种变更或删除。

[0279] 首先,在本发明中,虚设电极集合体的形状或构成虚设电极集合体的虚设电极的个数等不仅限于上述例,还可以适当地进行设定。例如图28所示的变形例那样,可由3个虚设电极1021a形成三角形的虚设电极集合体1022A。在此情况下,在图28中的左下虚设电极1021a中可减轻范围b1内的应力。在发明人所进行的研究中,即使是其它的形状,只要将半径1设定在虚设电极直径的10倍以内,就能够获得应力轻减效果。

[0280] 另外,不需要在虚设区域整体内形成虚设电极集合体,可仅在部分区域内形成,在其它区域可等间隔配置虚设电极。即使这样也能够获得一定的效果。

[0281] 另外,如图29所示的变形例那样,本发明的基板1001可以与方侧基板1100A的形成布线1102一侧相反侧的表面接合。在此情况下,只要在对方侧基板1100A的基材1010上设置有到达布线1102的孔,在该孔中填充导电性物质形成贯通电极1105,并接合电路电极1020a与贯通电极1105即可。另一方面,布线1102内的露出上表面的部分可直接用作外部电极取出部1104A。

[0282] 另外,可接合至少包含1片本发明基板的3片以上的基板来构成半导体装置。

[0283] 虽然对本发明的基板以及接合该基板而构成的半导体装置的种类没有特别限定,但在例如具有多个像素的固体摄像装置等中,需要以窄间距形成非常多的电极,例如使电路电极的直径或电路电极间距是20微米。因此,通过应用本发明而获得的优点非常大,从而非常适合应用本发明的构造。

[0284] 另外,实现上述各个构成要素或各个处理工艺的任意组合的计算机程序产品作为本发明的方式也是有效的。所谓计算机程序产品就是记录有程序代码的记录介质(DVD介质、硬盘介质、存储介质等)、记录有程序代码的计算机、记录有程序代码的互联网系统(例如,包含服务器和客户终端的系统)等已装入程序代码的记录介质、装置、设备或系统。在此情况下,以各个模块的方式来安装上述各个构成要素或各个处理工艺,在计算机程序产品内记录有由该安装的模块构成的程序代码。

[0285] 用于实现上述实施方式的各个构成要素或各个处理工艺的任意组合的程序作为本发明的方式也是有效的。通过在计算机可读取的记录介质中记录该程序、使计算机读入并执行在该记录介质中记录的程序,来达到本发明的目的。

[0286] 这里,“计算机”在利用WWW系统的情况下还包含主页提供环境(或者显示环境)。另外,所谓“计算机可读取的记录介质”就是软盘、光磁盘、ROM、CD-ROM等可移动介质或者内置于计算机中的硬盘等存储装置。此外,所谓“计算机可读取的记录介质”还包含在一定时间内保持程序的部件,如经由互联网等网络或电话线路等通信线路发送程序时的作为服务器或客户机的计算机系统内部的易失性存储器(RAM)那样。

[0287] 另外,上述程序可以从在存储装置等内存储该程序的计算机中经由传送介质或者利用传送介质中的载波传送至其它计算机。这里,传送程序的“传送介质”就是如互联网等网络(通信网)或电话线路等通信线路(通信线)那样具有传送信息的功能的介质。另外,上述程序可用于实现上述功能的一部分。还可以是能够以与计算机已记录的程序组合的方式来实现上述功能的程序、所谓的差分文件(差分程序)。

[0288] 以上,说明了本发明的优选实施方式,但作为上述各个构成要素或各个处理工艺可采用各种代替物、变形物、等效物。在本说明书所公开的实施方式中,为了执行1个或多个

功能,可将一个部件置换为多个部件,或者可利用一个部件来置换多个部件。这样的置换为了达到本发明的目的而去除了未适当作用的情况,这样的置换在本发明的范围内。因此,本发明的范围不是参照上述说明来决定的,应该是根据权利要求来决定的,还包含等同物的全部范围。在权利要求中只要未明确地排除,各个构成要素就是1个或1个以上的数量。在权利要求中除了采用“用于～的手段”这样的语句进行明确记载的情况以外,权利要求不能理解为包含手段加机能的限定。

[0289] 本说明书所使用的术语仅仅是以说明特定实施方式的情况作为目的,而并不限制本发明。在本说明书中,即使以单数形式使用术语时,只要在上下文中没有明确表示排除复数形式,该术语同样地包含复数形式。

[0290] 以上,说明了本发明的优选实施例,但本发明没有被这些实施例所限定。在不脱离本发明主旨的范围内可进行结构的附加、省略、置换以及其它的变更。本发明不被上述说明所限定,仅被权利要求的范围所限定。

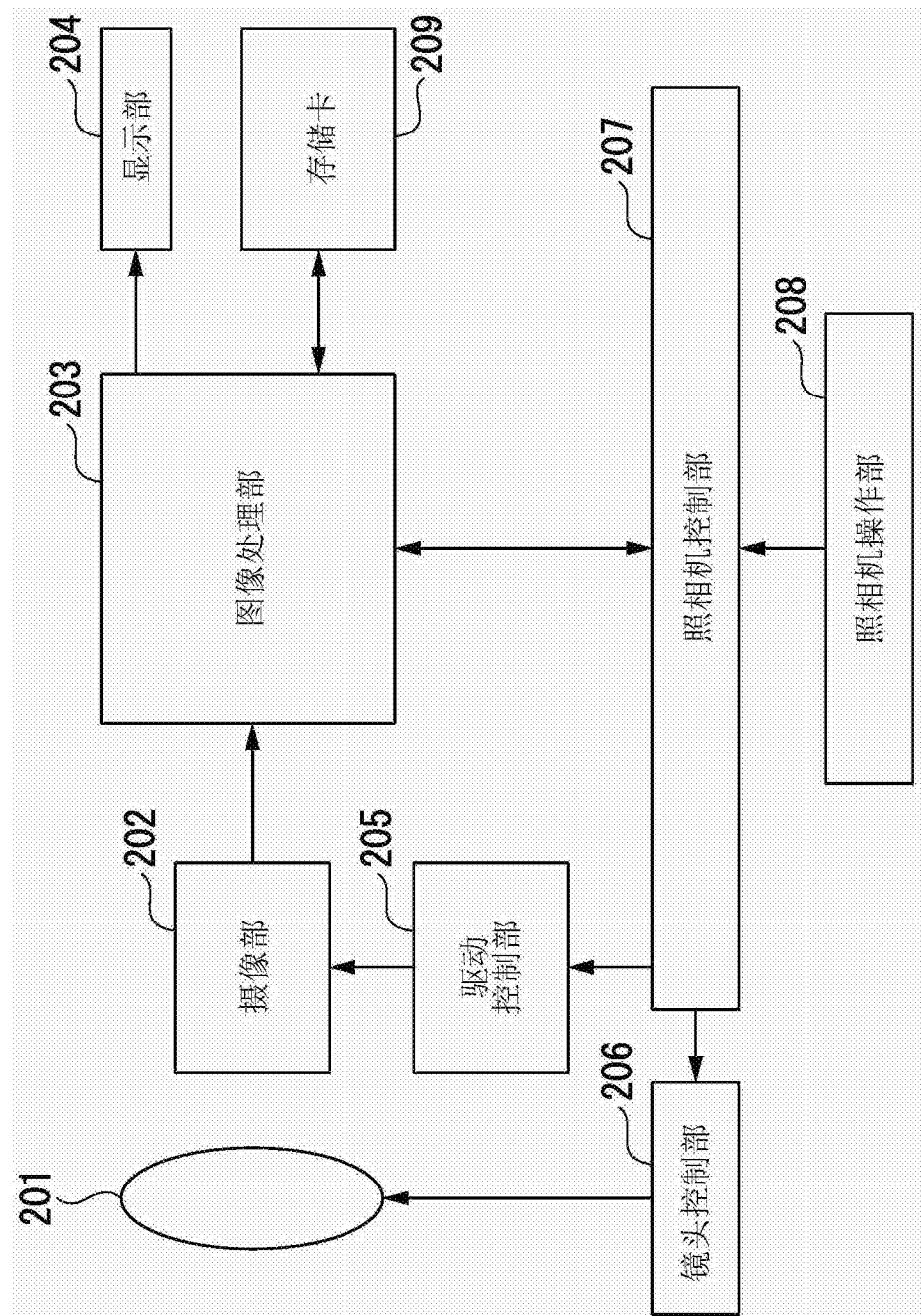


图1

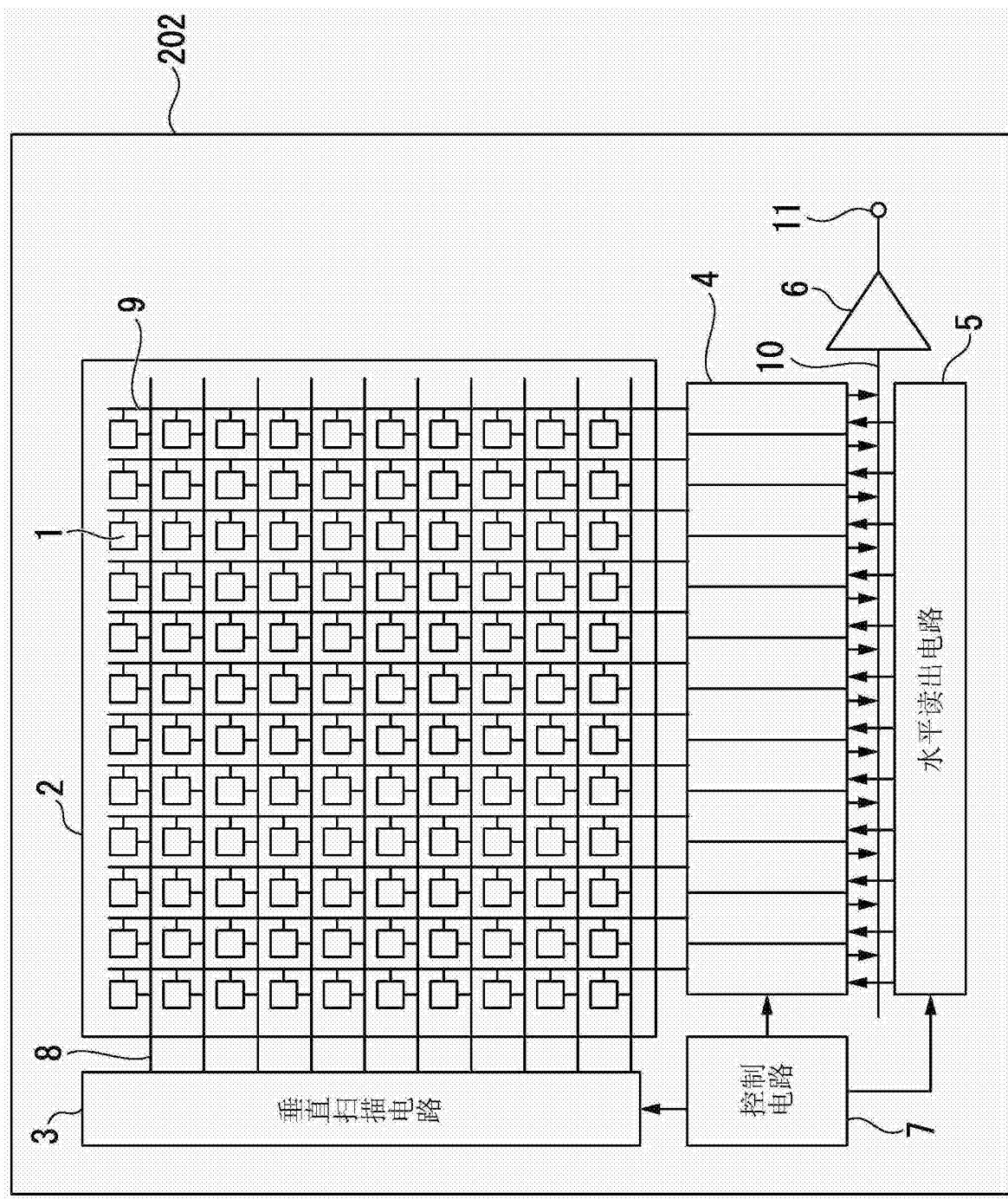


图2

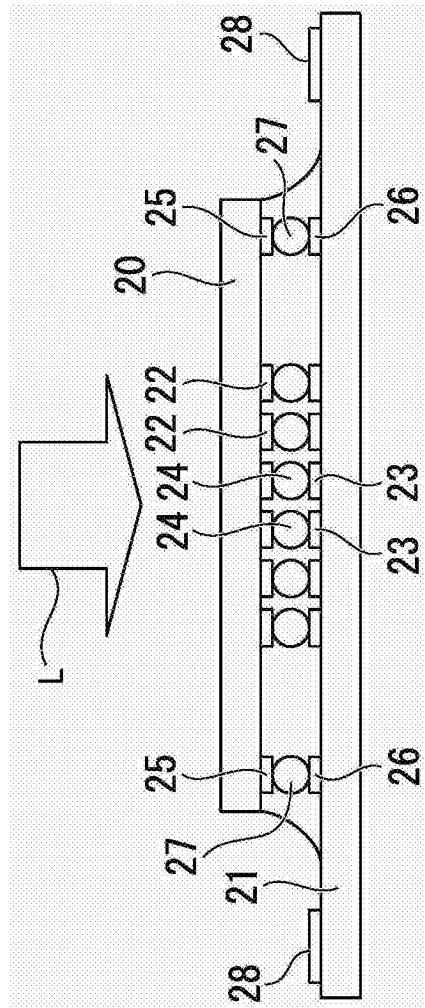


图3A

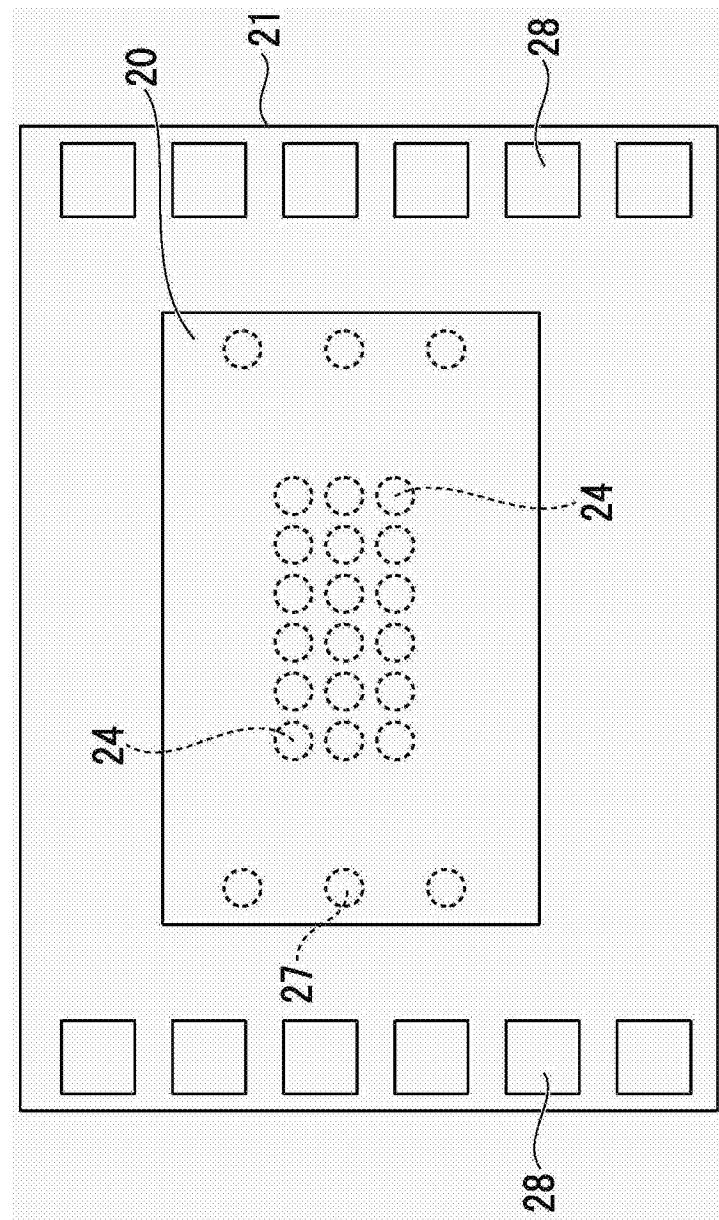


图3B

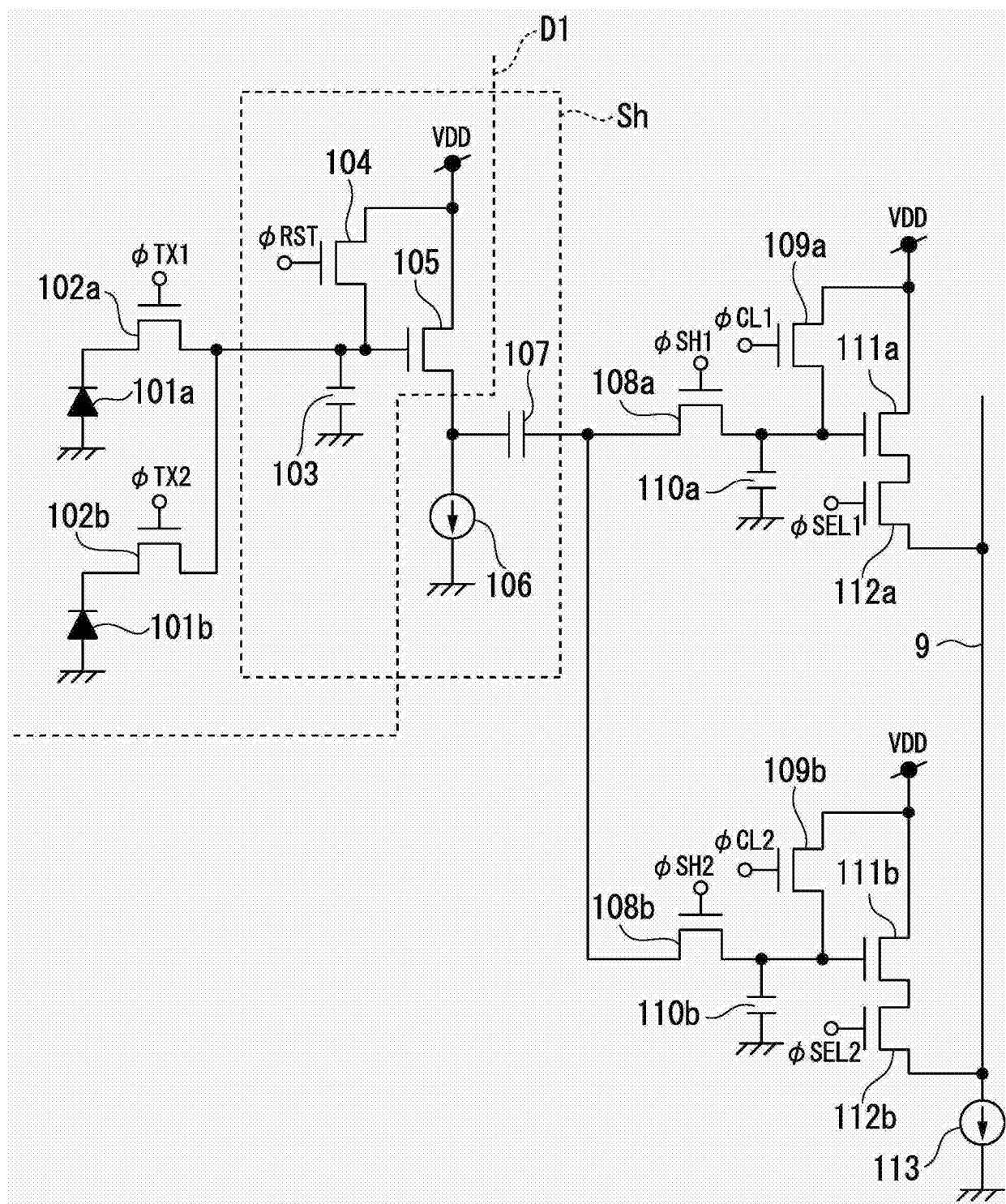


图4

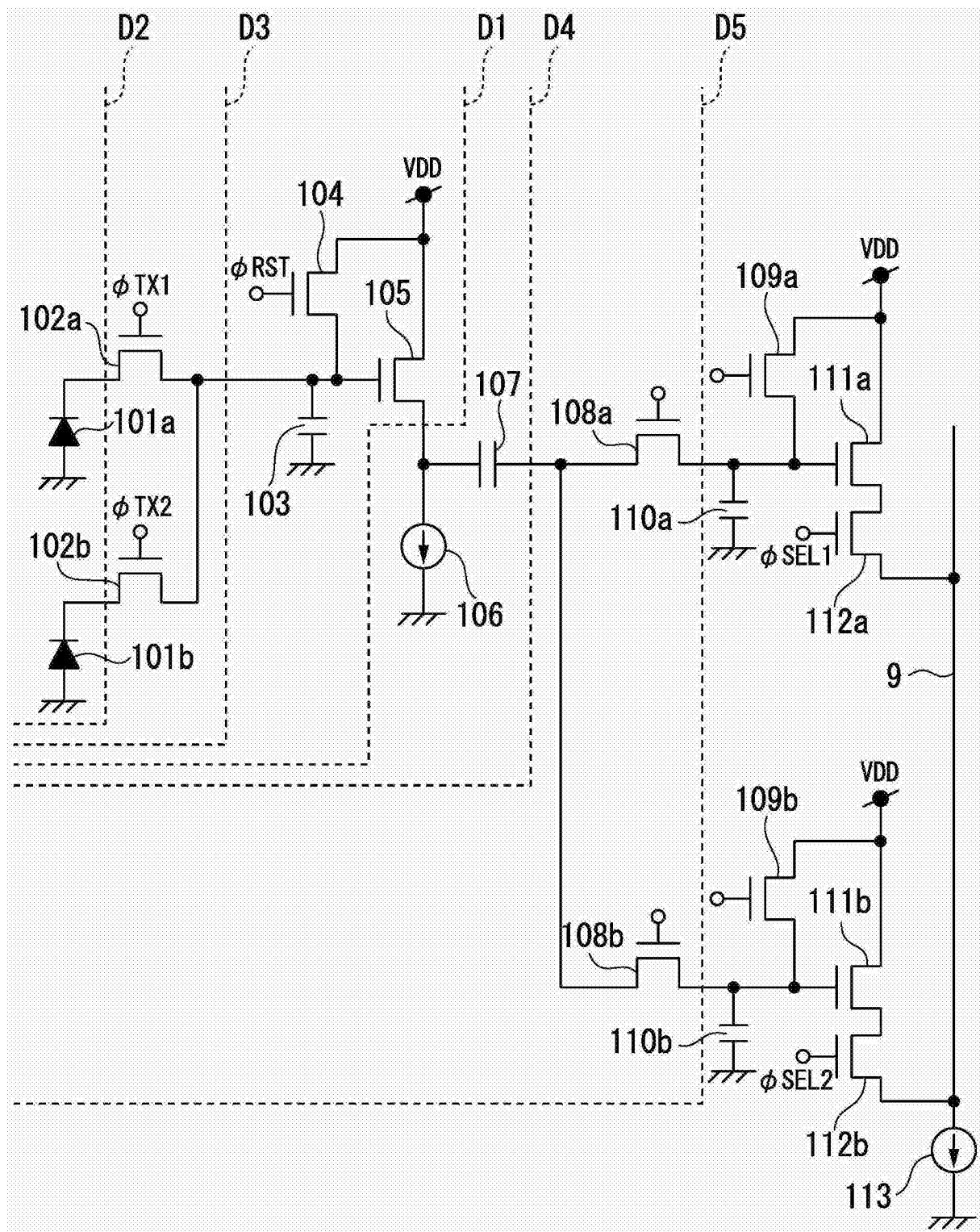


图5

P11	P12	P13	P14	P15	P16	P17	P18
P21	P22	P23	P24	P25	P26	P27	P28
P31	P32	P33	P34	P35	P36	P37	P38
P41	P42	P43	P44	P45	P46	P47	P48
P51	P52	P53	P54	P55	P56	P57	P58
P61	P62	P63	P64	P65	P66	P67	P68
P71	P72	P73	P74	P75	P76	P77	P78
P81	P82	P83	P84	P85	P86	P87	P88

:组的单位

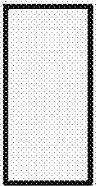


图6A

P11	P12	P13	P14	P15	P16	P17	P18
P21	P22	P23	P24	P25	P26	P27	P28
P31	P32	P33	P34	P35	P36	P37	P38
P41	P42	P43	P44	P45	P46	P47	P48
P51	P52	P53	P54	P55	P56	P57	P58
P61	P62	P63	P64	P65	P66	P67	P68
P71	P72	P73	P74	P75	P76	P77	P78
P81	P82	P83	P84	P85	P86	P87	P88

:组的单位

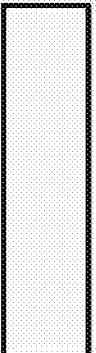
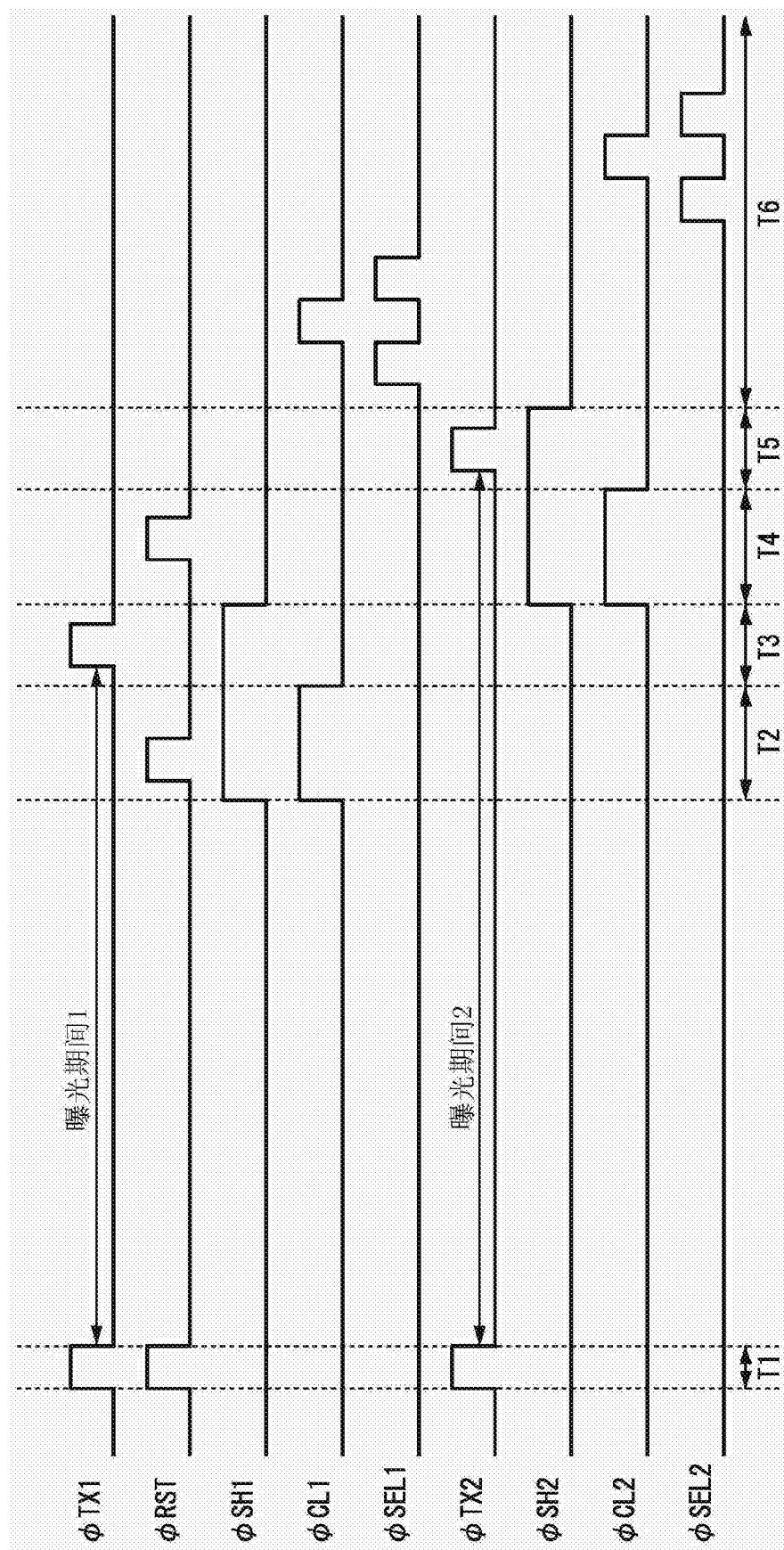


图6B



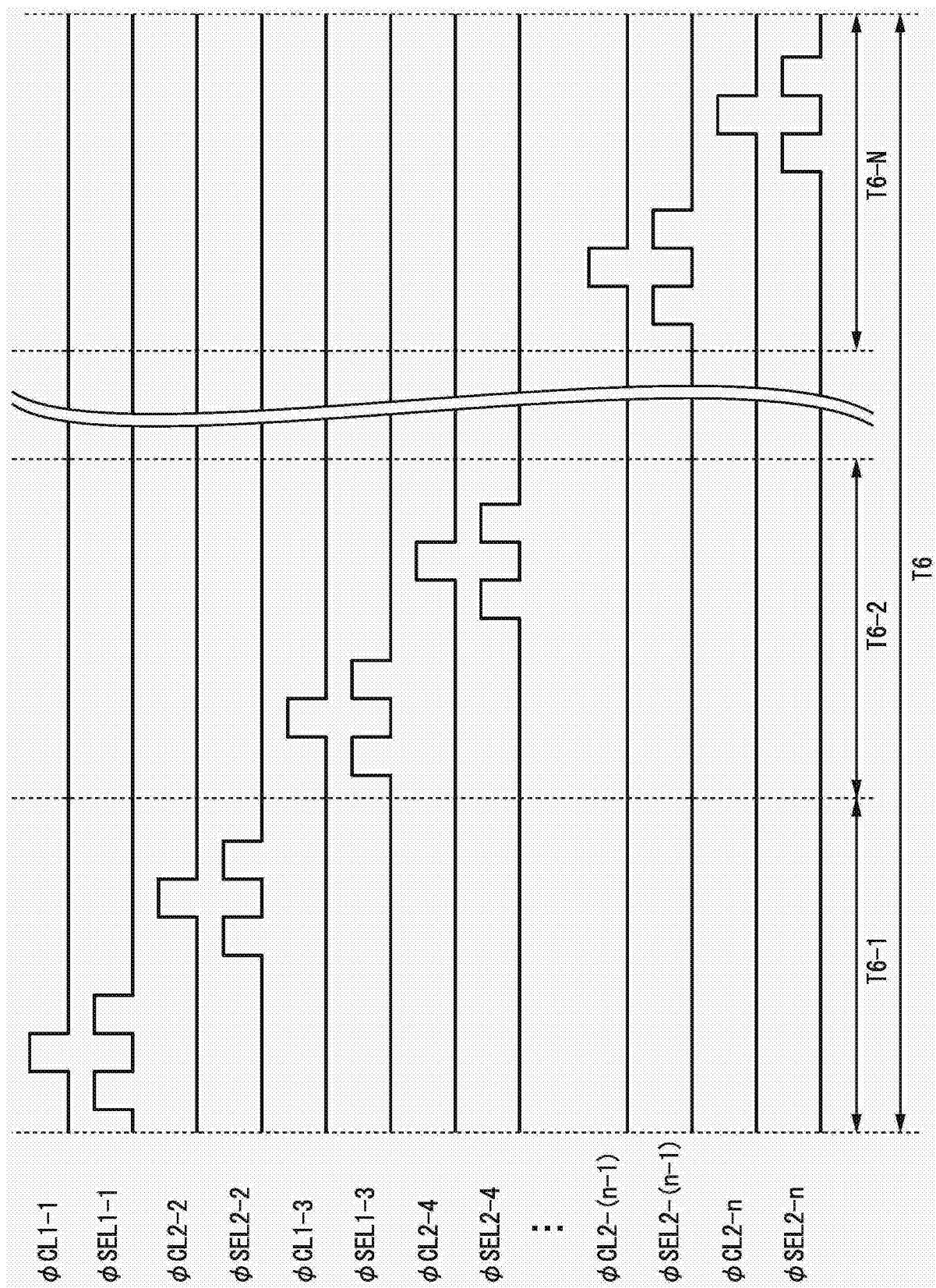


图8

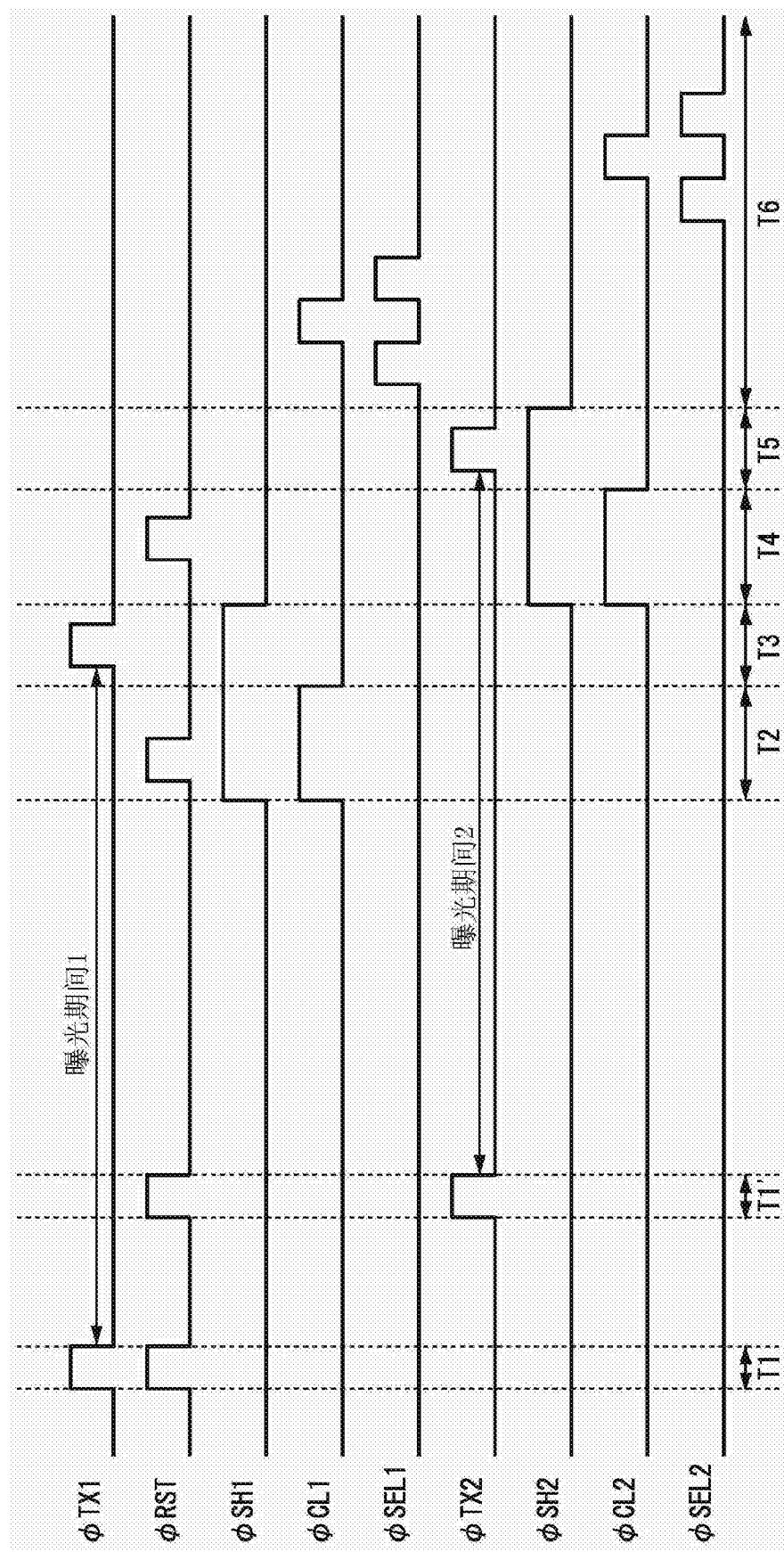


图9

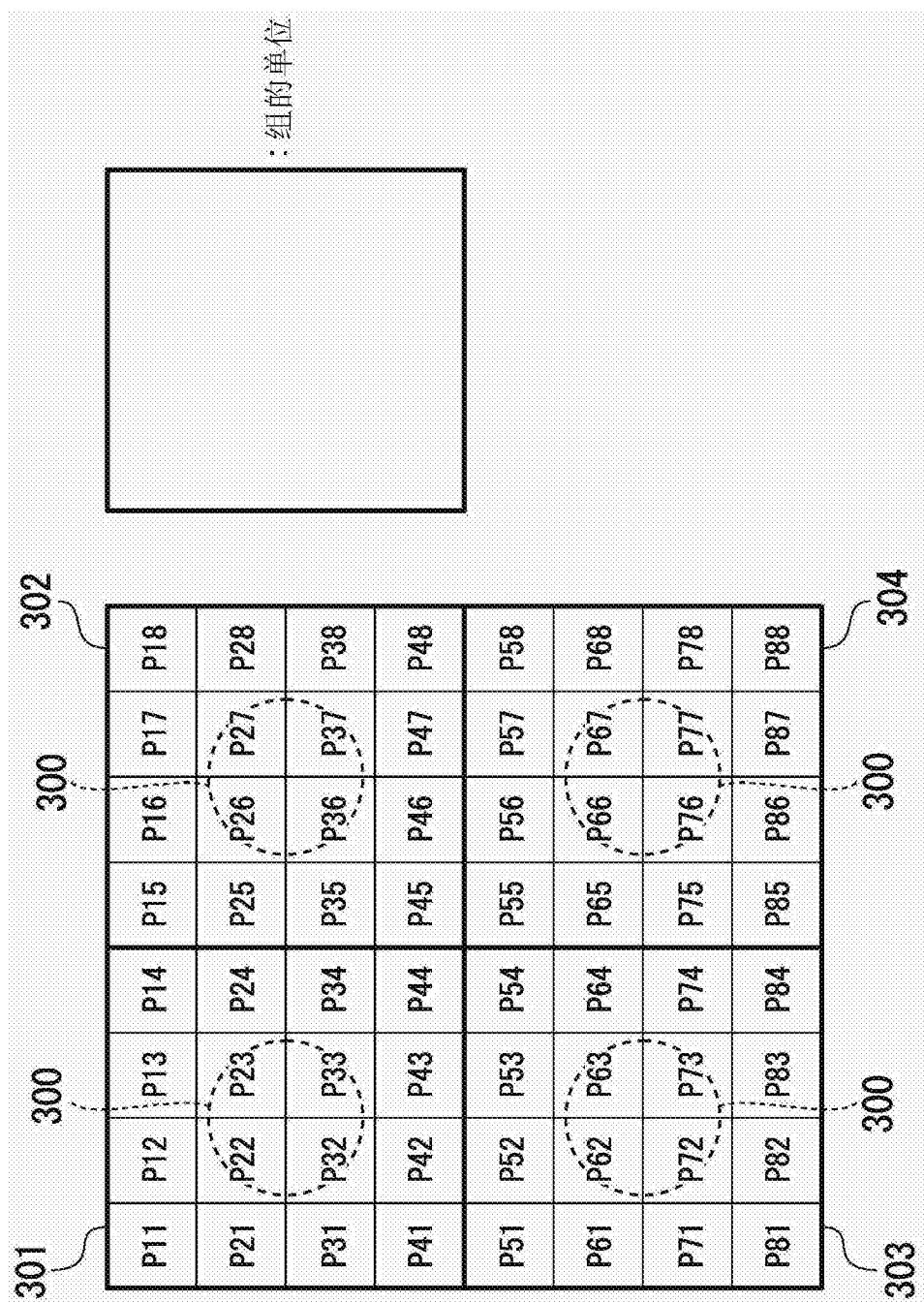


图10

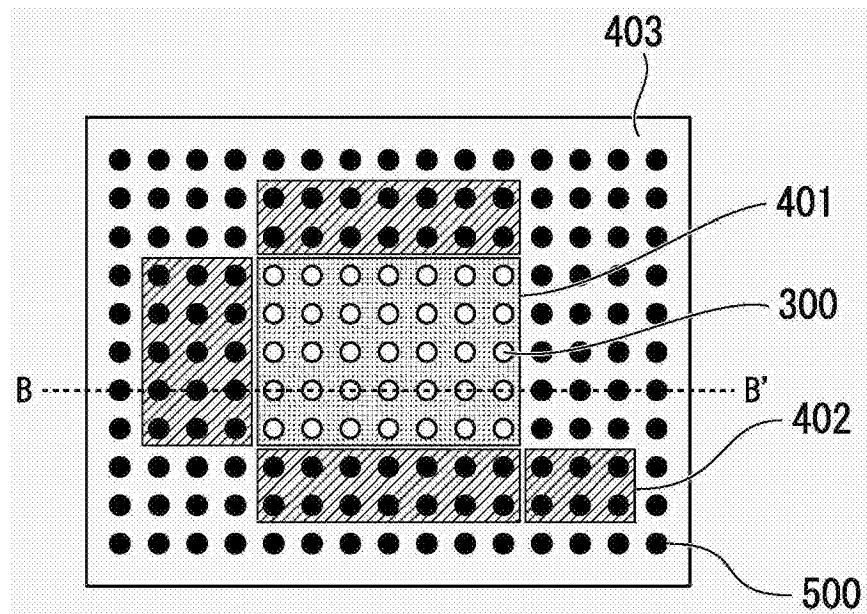


图11A

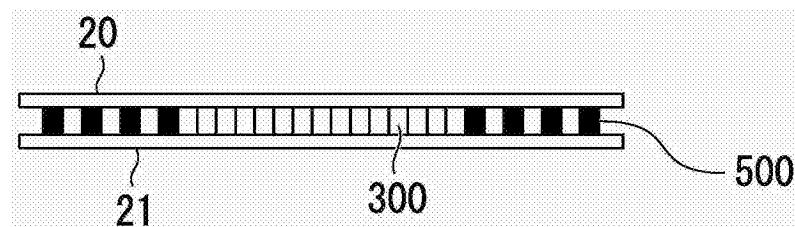


图11B

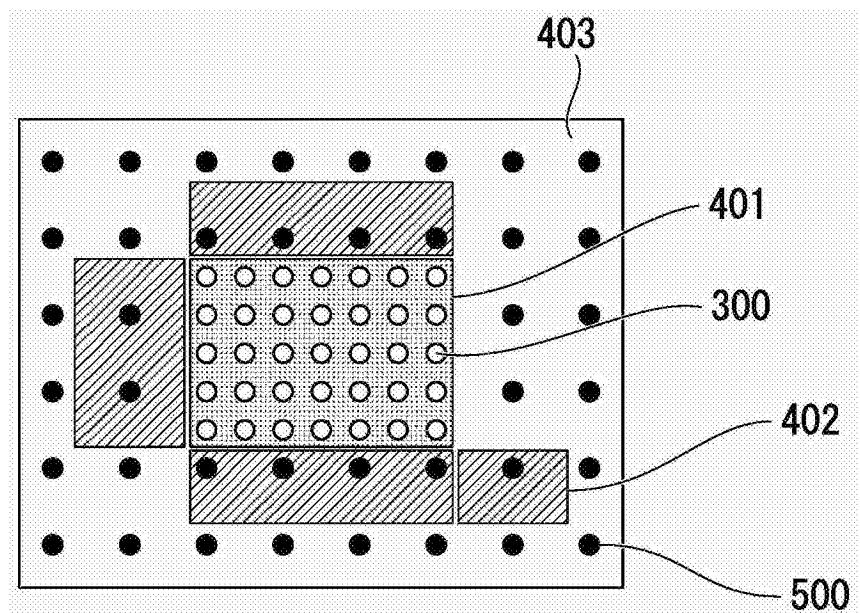


图12

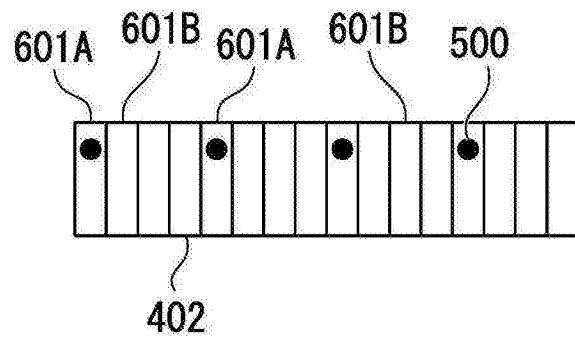


图13

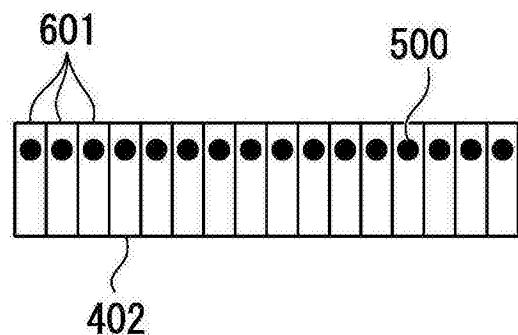


图14

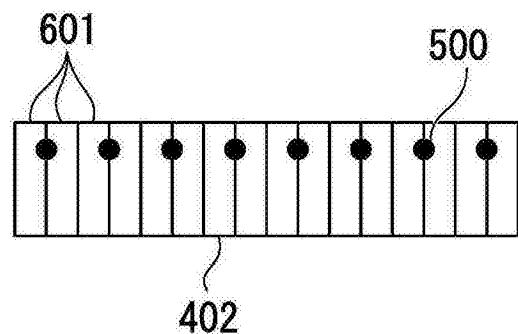


图15

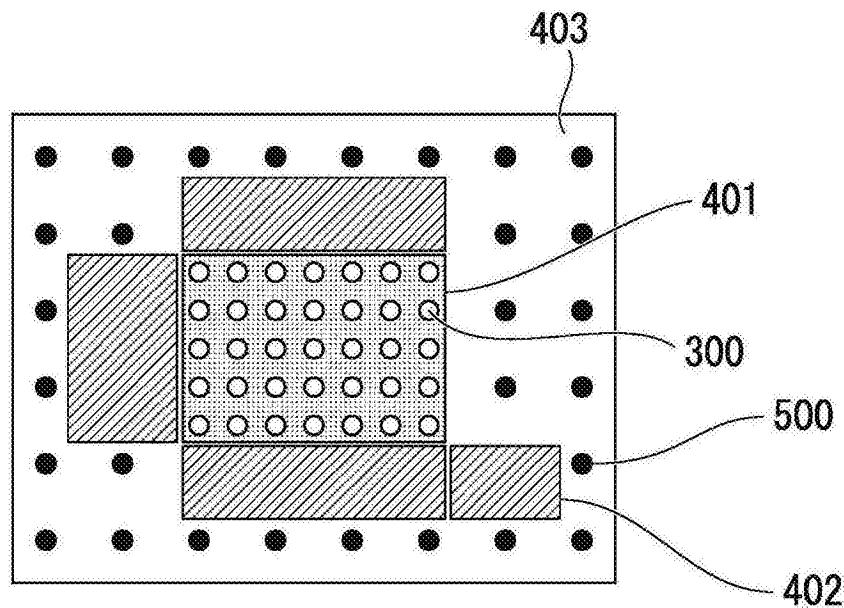


图16

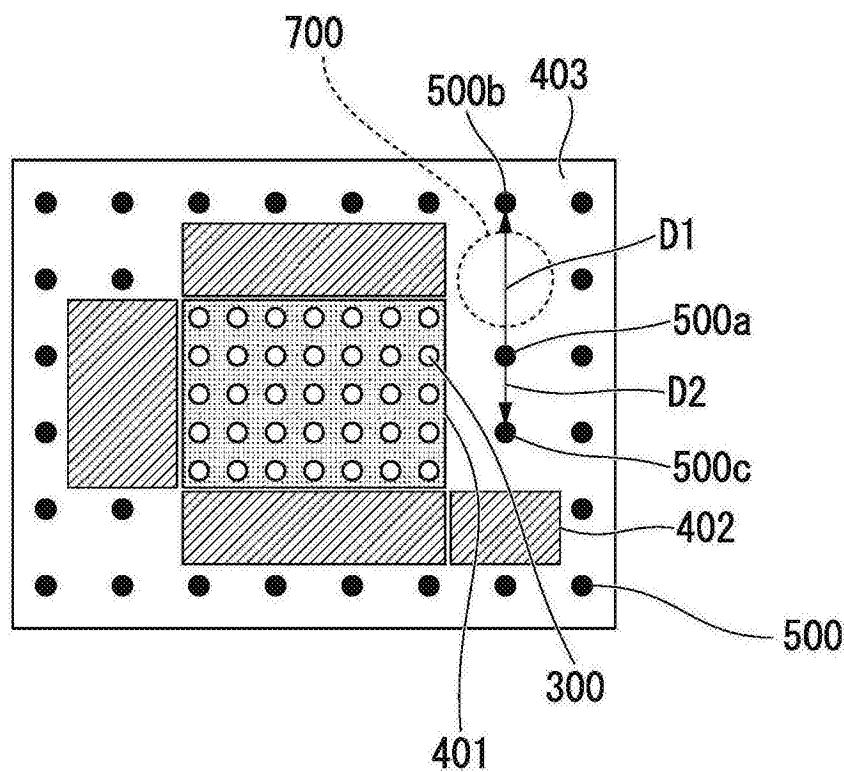


图17

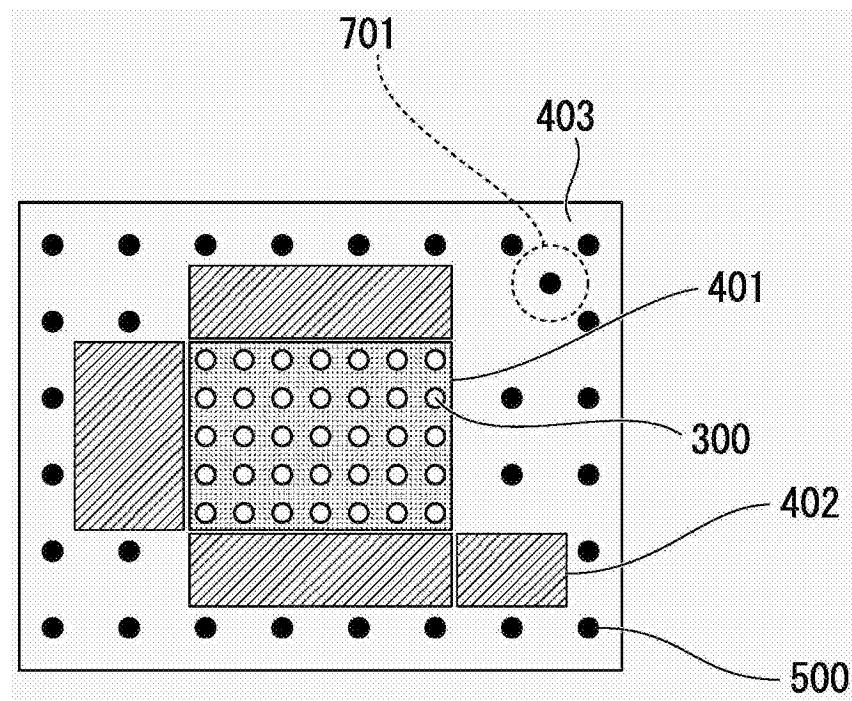


图18

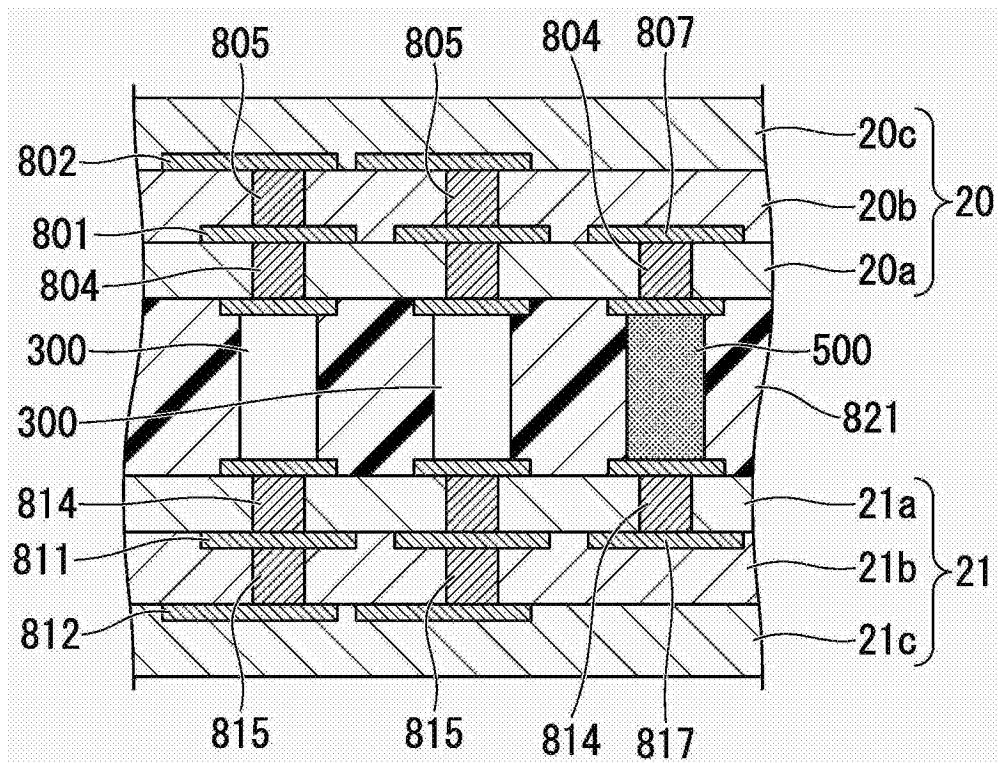


图19

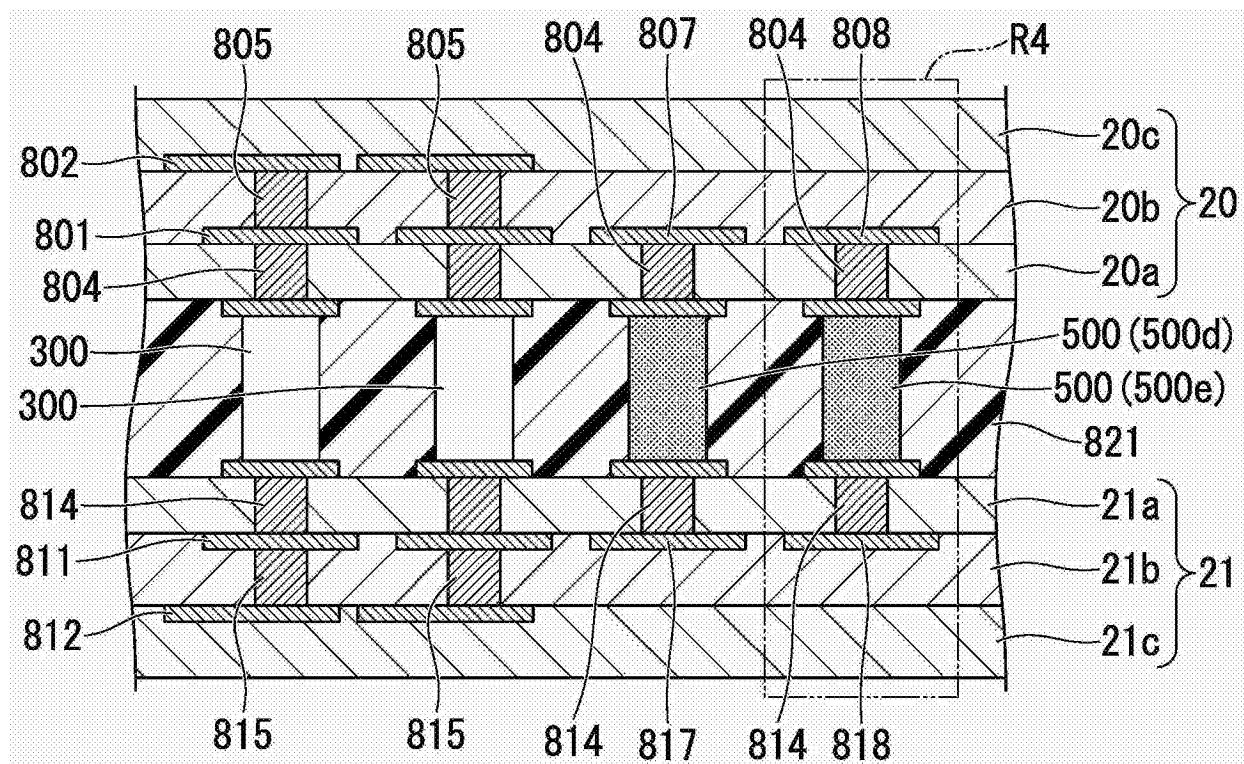


图20

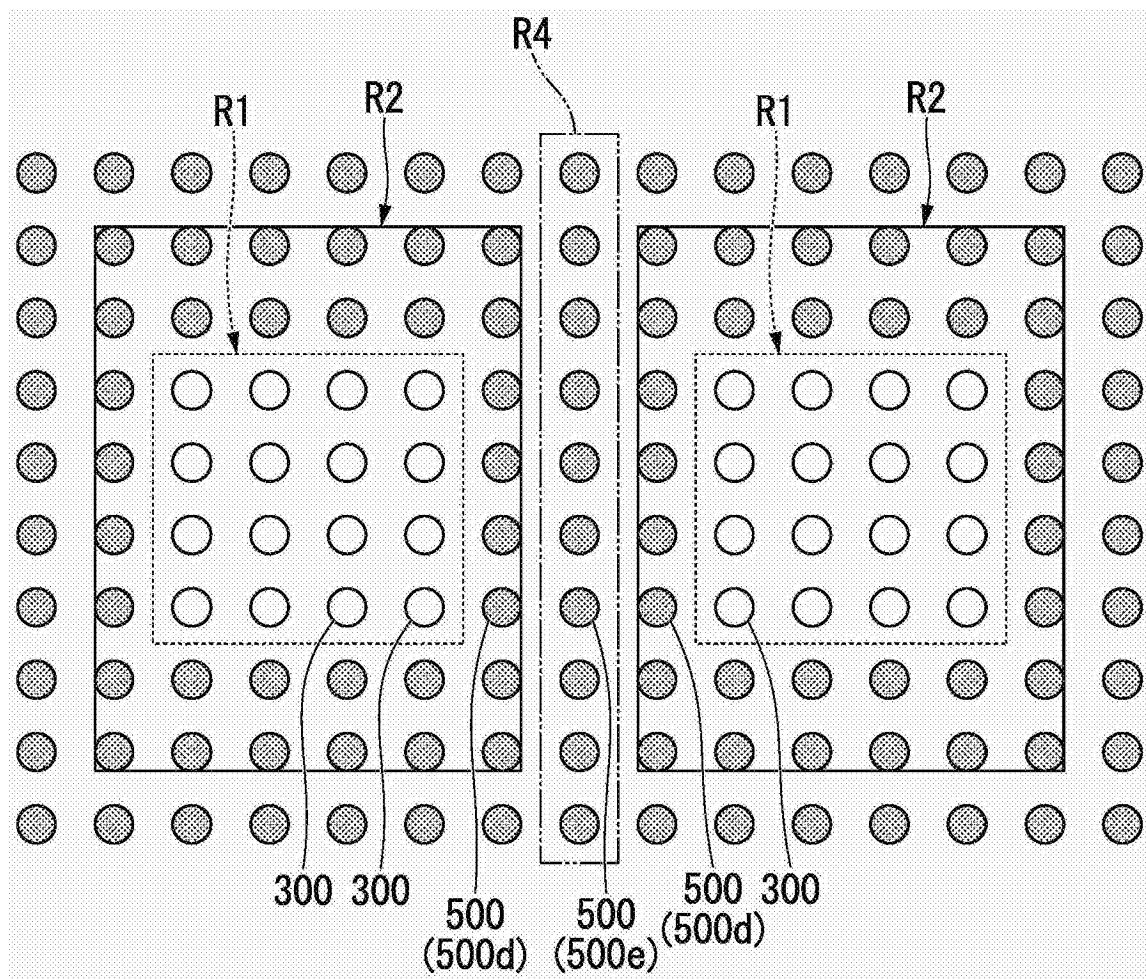


图21

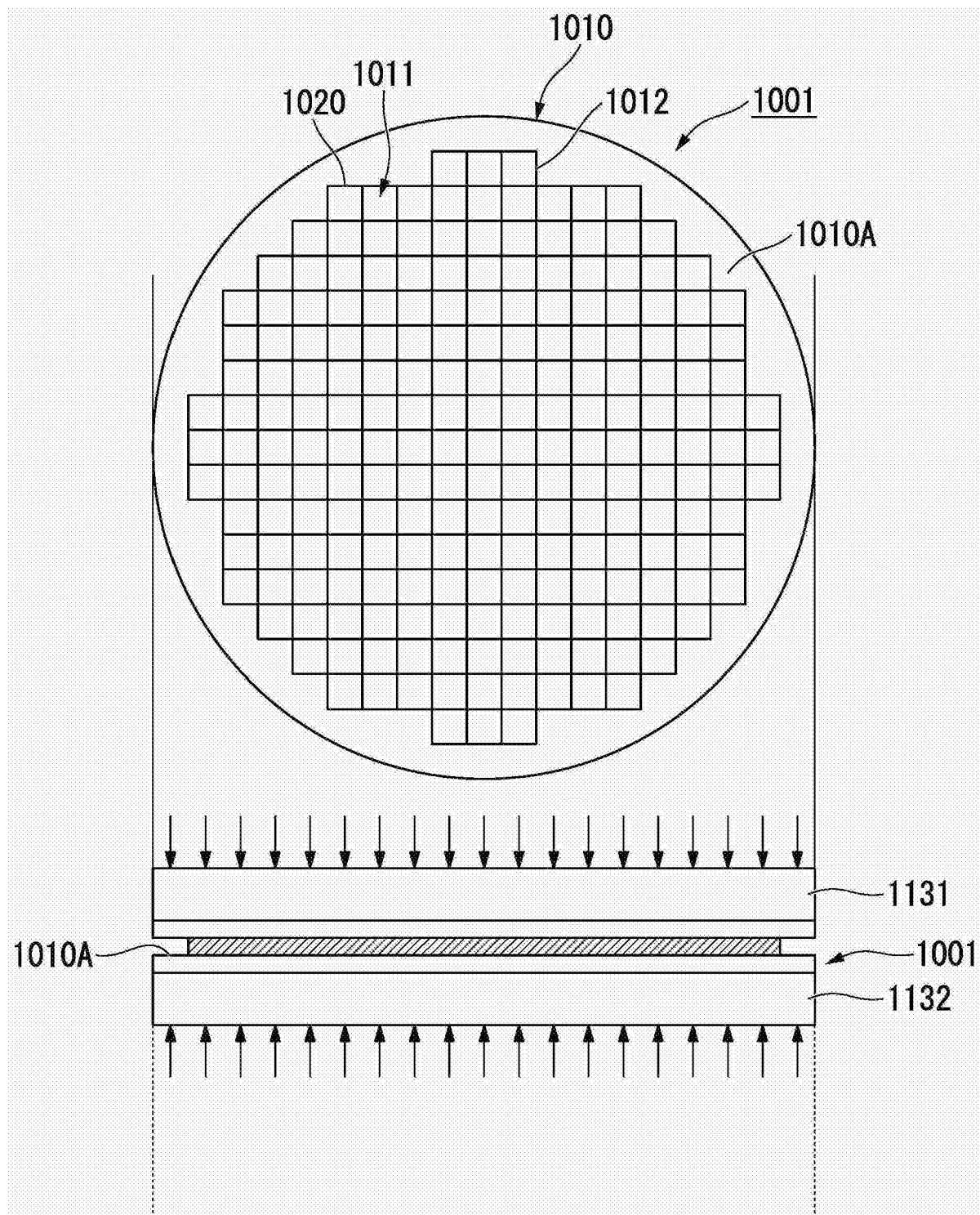


图22

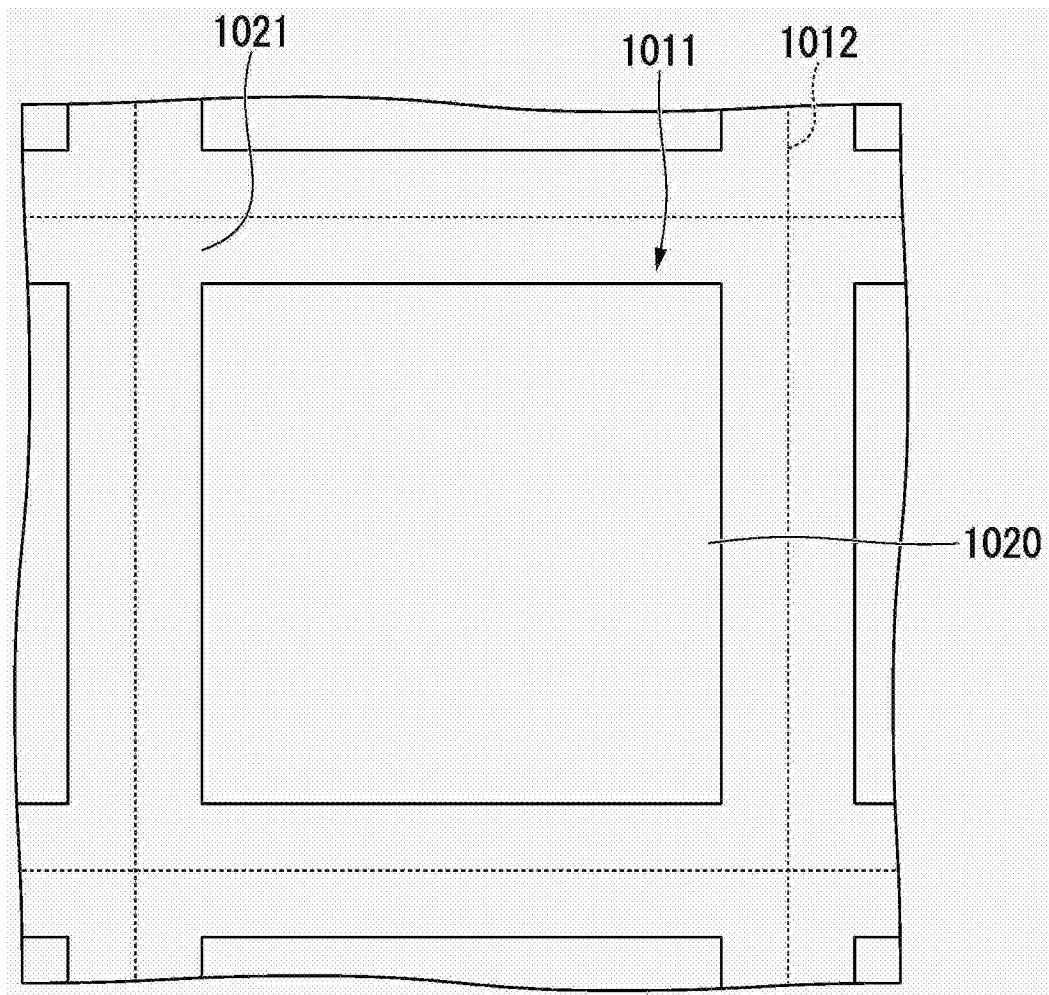


图23

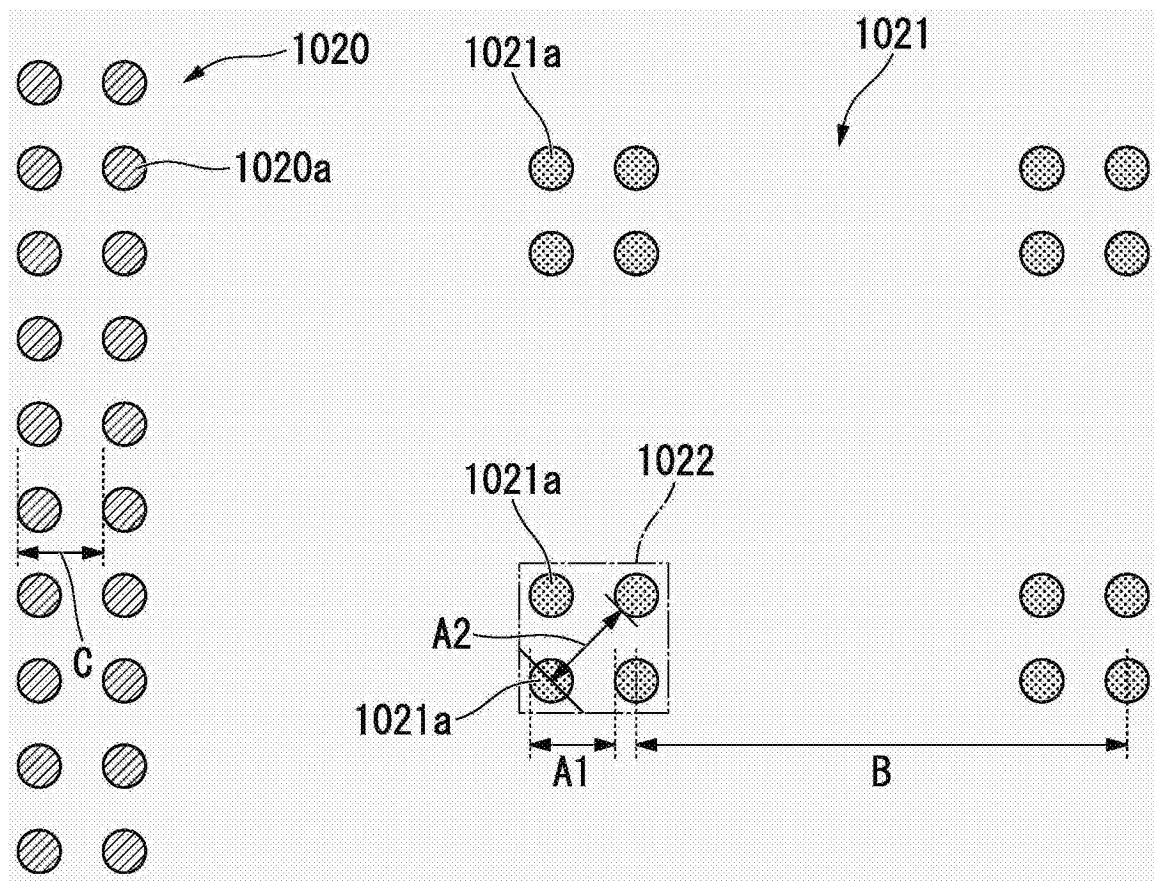


图24

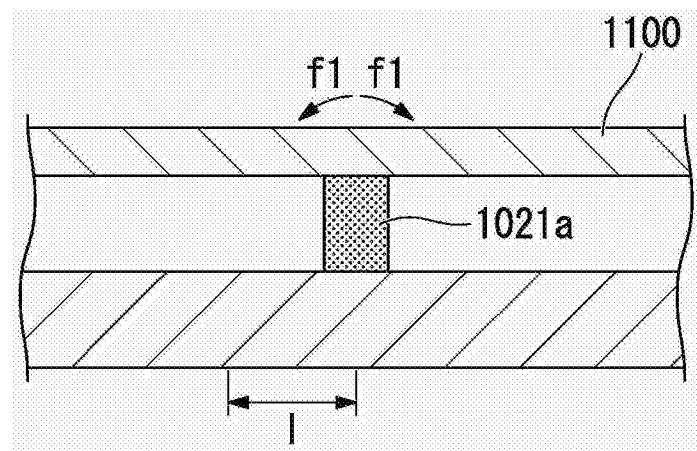


图25A

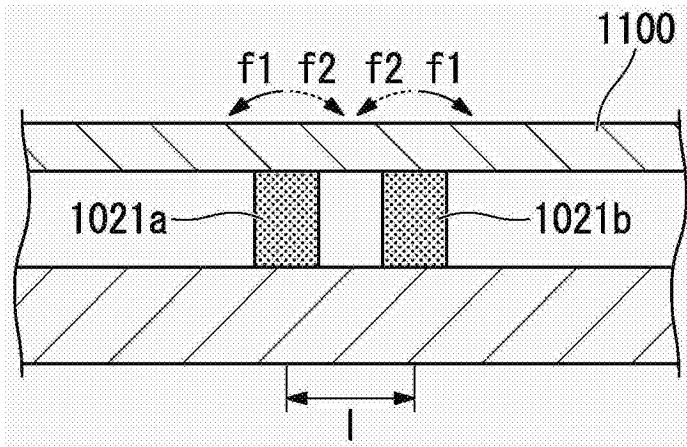


图25B

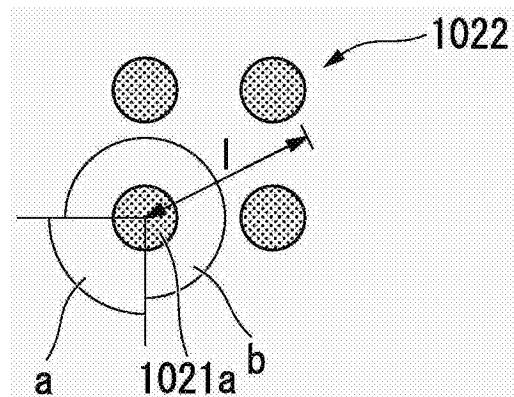


图25C

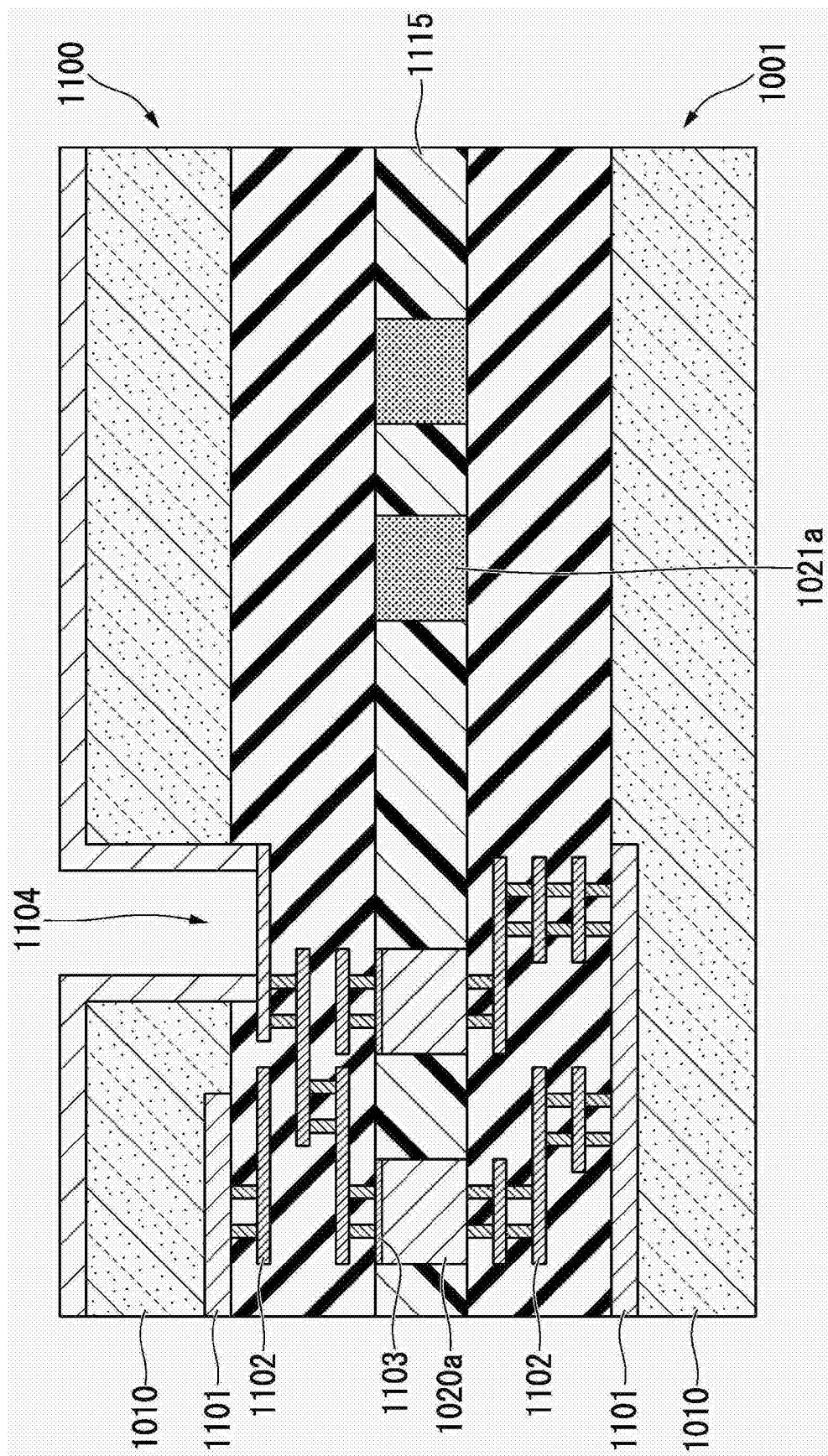


图26

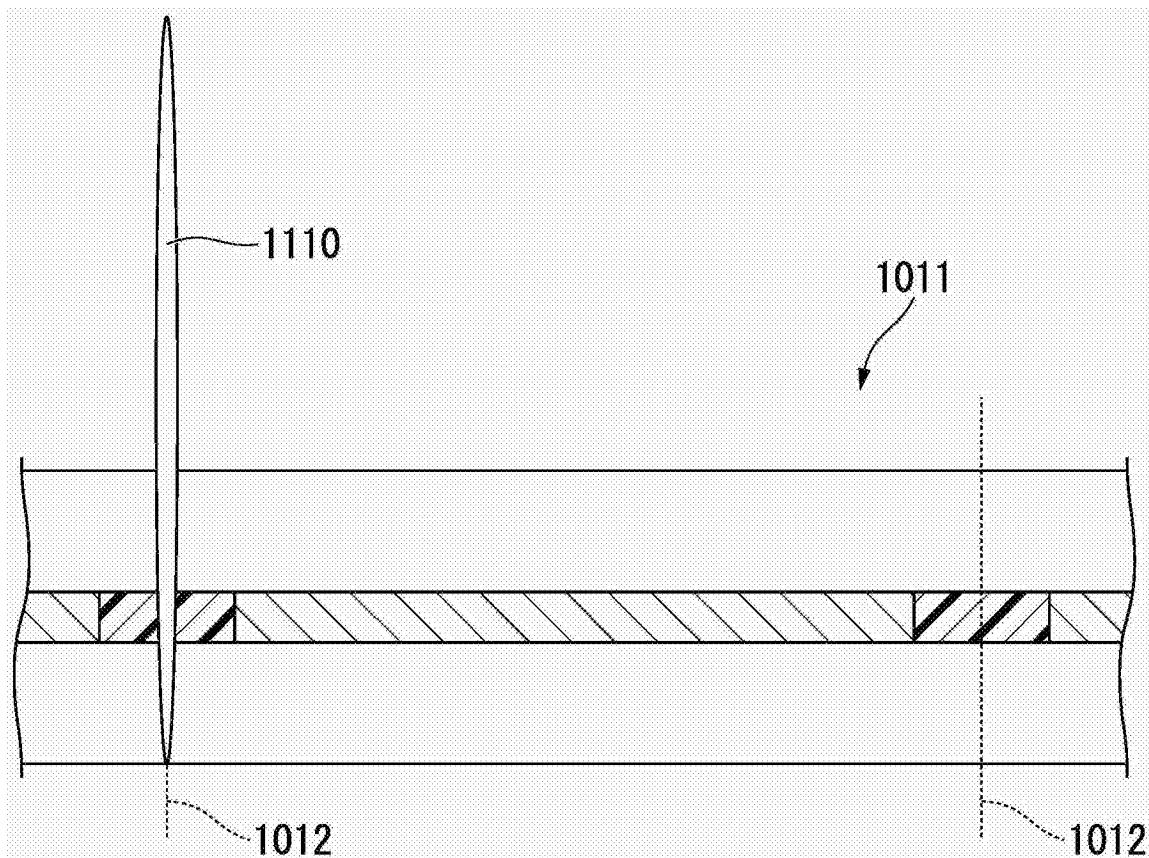


图27A

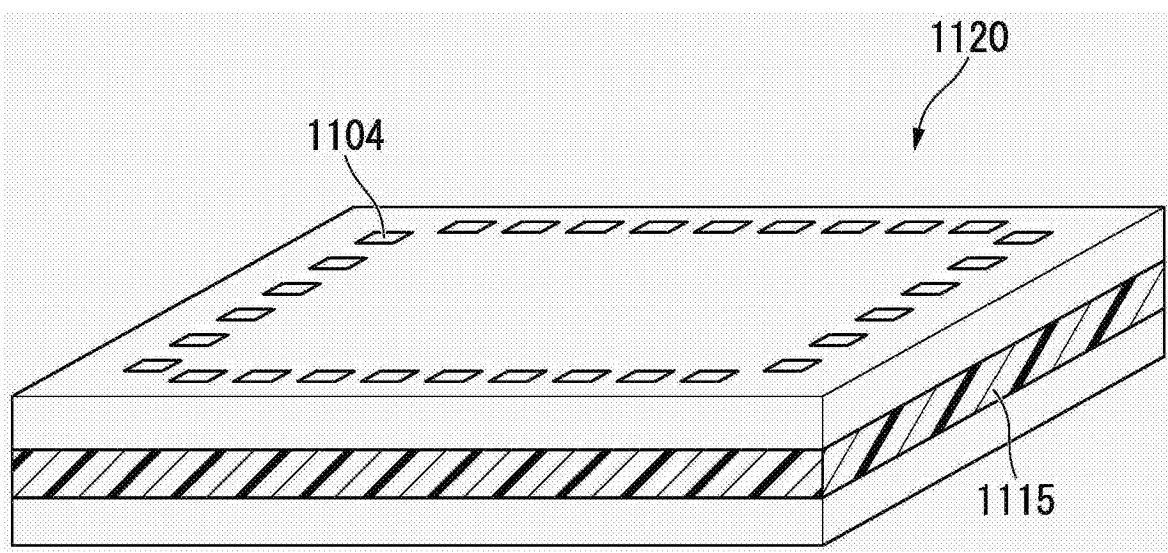


图27B

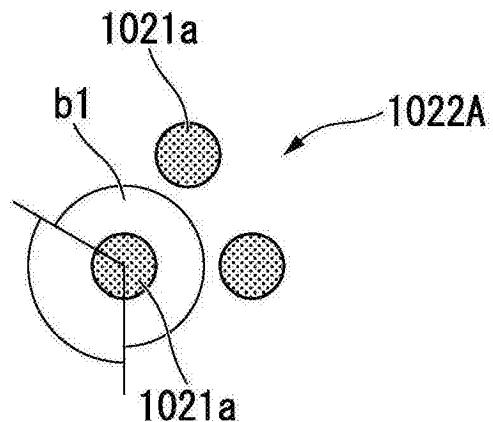


图28

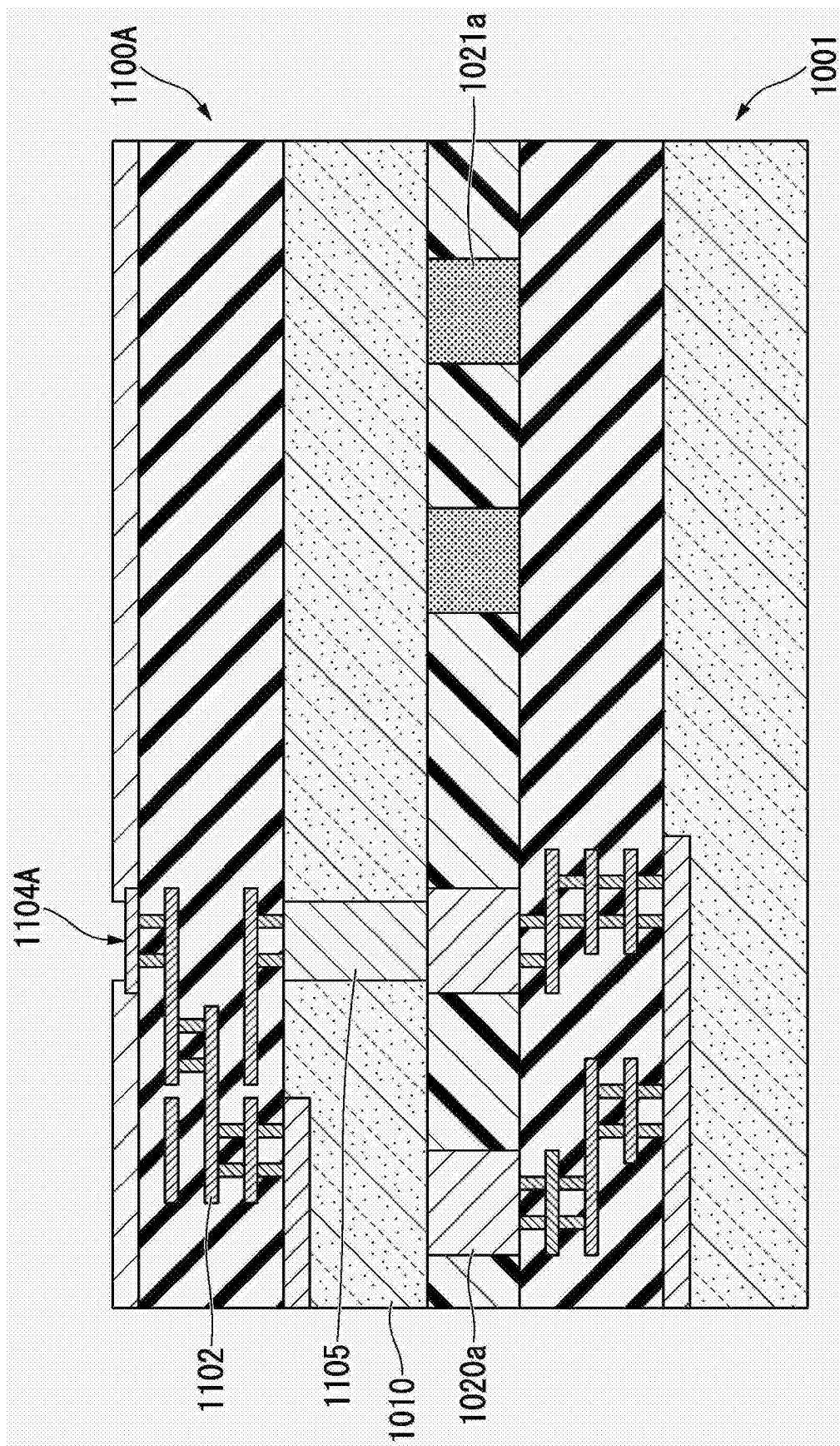


图29