



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I616912 B

(45)公告日：中華民國 107 (2018) 年 03 月 01 日

(21)申請案號：105114774

(22)申請日：中華民國 105 (2016) 年 05 月 12 日

(51)Int. Cl. : **H01G9/04 (2006.01)**

(30)優先權：2015/05/12 日本 2015-097538

2016/04/28 世界智慧財產權組織 PCT/JP2016/063418

(71)申請人：村田製作所股份有限公司 (日本) MURATA MANUFACTURING CO., LTD. (JP)
日本(72)發明人：神涼康一 KANRYO, KOICHI (JP)；井上德之 INOUE, NORIYUKI (JP)；佐伯洋
昌 SAEKI, HIROMASA (JP)；荒川建夫 ARAKAWA, TAKEO (JP)；服部和生
HATTORI, KAZUO (JP)；伊藤賢 ITO, KEN (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I413144

JP 2009-81429A

JP 2010-520647A

JP 2012-43960A

審查人員：郭炎淋

申請專利範圍項數：9 項 圖式數：11 共 33 頁

(54)名稱

電容器及其製造方法

(57)摘要

本發明提供一種電容器，該電容器係包含如下構件而成：導電性金屬基材，其具有多孔部；介電層，其位於多孔部上；及上部電極，其位於介電層上；且僅於一主面側具有靜電電容形成部。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

電容器及其製造方法

【技術領域】

本發明係關於一種電容器及其製造方法。

【先前技術】

近年來，伴隨著電子機器之高密度安裝化，要求具有更高靜電電容之電容器。作為此種電容器，例如，於專利文獻1中揭示有將單板電容器元件積層而成之積層型固體電解電容器，該單板電容器元件係於包含閥作用金屬之陽極基體之表面具有介電氧化皮膜層，且於介電氧化皮膜層上形成有固體電解質層，進而形成有導電體層。又，作為電容器之製造方法，於專利文獻2中揭示有如下固體電解電容器之製造方法：將包含閥作用金屬之多孔質之陽極體設為以特定之間隔連續而設置之環帶狀，且於該陽極體之表面形成介電氧化皮膜層，接著於該介電氧化皮膜層上形成固體電解質層後，於該固體電解質層上形成包含碳與銀塗料之陰極層而製作電容器元件。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2010-28139號公報

[專利文獻2]日本專利特開2002-15957號公報

【發明內容】

[發明所欲解決之問題]

專利文獻1之電容器成為以覆蓋陽極基板之周圍之方式形成有介電氧化皮膜層、固體電解質層及電極層之構造，且必須於陽極基板之

2個主面及4個側面中除了1個側面以外之5面形成上述之層，故製造方法變得困難。

同樣地，專利文獻2之電容器之製造方法亦必須於作為陽極體之板之5面形成介電層及電極層，使1面為不露出狀態，使5面為露出狀態，故必須作為將素體連接成梳齒形狀之構造體進行加工。於該情形時，梳齒形狀與平板相比難以處理，且必需要有梳齒之桿部(將梳齒連結之部分)，獲取個數亦變少。

本發明之目的在於提供一種製造容易且可增多基板之每單位面積之獲取個數之電容器及其製造方法。

[解決問題之技術手段]

本發明者等人為解決上述問題而積極研討，結果發現於電容器中，藉由僅於導電性金屬基材之一主面上形成靜電電容形成部而形成例如介電層，藉此能夠更容易且有效地製造電容器。

根據本發明之第1主旨，提供一種電容器，其包含如下構件而成：

導電性金屬基材，其具有多孔部；

介電層，其位於多孔部上；及

上部電極，其位於介電層上；且

僅於一主面側具有靜電電容形成部。

根據本發明之第2主旨，提供一種電容器之製造方法，其包含：

準備具有多孔金屬層之導電性基板；

於上述導電性基板之一主面，

形成將上述多孔金屬層分斷之槽部，而形成複數個多孔部；

以覆蓋上述多孔部之方式形成介電層；且

於上述介電層上形成上部電極。

[發明之效果]

根據本發明，無需於電容器之側面形成介電層、電極等，無需於製造時使基材之側面露出，故無需如先前般將基材設為梳齒形狀，故製造較容易，且基材之每單位面積之元件之獲取個數增多。

【圖式簡單說明】

圖1(a)係本發明之1個實施形態之電容器1之概略剖面圖，圖1(b)係電容器1之導電性金屬基板之概略俯視圖。

圖2(a)係圖1之電容器之高空隙率部之放大圖，圖2(b)係模式性表示高空隙率部之層構造之圖。

圖3係說明圖1所示之電容器1之製造方法之圖。圖3(a)係集合基板之概略立體圖，圖3(b)係沿著x-x線之概略剖視圖。

圖4係說明繼圖3後之步驟之圖。圖4(a)係集合基板之概略立體圖，圖4(b)係沿著x-x線之概略剖視圖。

圖5係說明繼圖4後之步驟之圖。圖5(a)係集合基板之概略立體圖，圖5(b)係沿著x-x線之概略剖視圖。

圖6係說明繼圖5後之步驟之圖。圖6(a)係集合基板之概略立體圖，圖6(b)係沿著x-x線之概略剖視圖。

圖7係說明繼圖6後之步驟之圖。圖7(a)係集合基板之概略立體圖，圖7(b)係沿著x-x線之概略剖視圖。

圖8係說明繼圖7後之步驟之圖。圖8(a)係集合基板之概略立體圖，圖8(b)係沿著x-x線之概略剖視圖。

圖9係實施例1之電容器之概略剖視圖。

圖10係實施例3之電容器之概略剖視圖。

圖11係實施例4之電容器之概略剖視圖。

【實施方式】

以下，一面參照圖式一面對本發明之電容器詳細地進行說明。但，本實施形態之電容器及各構成要素之形狀及配置等並非限定於圖

示之例。

於圖1(a)表示本實施形態之電容器1之概略剖視圖，於圖1(b)表示導電性金屬基材2之概略俯視圖。又，於圖2(a)表示導電性金屬基材2之高空隙率部12之放大概略剖視圖，於圖2(b)模式性表示高空隙率部12、介電層4及上部電極6之層構造。

如圖1(a)、圖1(b)、圖2(a)及圖2(b)所示般，本實施形態之電容器1具有大致長方體形狀，概略地包含導電性金屬基材2、形成於導電性金屬基材2上之介電層4、及形成於介電層4上之上部電極6而成。導電性金屬基材2於一主面側包含空隙率相對較高之高空隙率部12、及空隙率相對較低之低空隙率部14。高空隙率部12位於導電性金屬基材2之第1面之中央部，低空隙率部14位於該高空隙率部12之周圍。即，低空隙率部14將高空隙率部12包圍。高空隙率部12具有多孔構造，即相當於本發明之多孔部。又，導電性金屬基材2於另一主面側具有支持部10。即，高空隙率部12及低空隙率部14構成導電性金屬基材2之第1面，支持部10構成導電性金屬基材2之第2面。第1面係上述一主面，第2面係上述另一主面。第2面係與第1面相反之側之面。於圖1(a)中，第1面係導電性金屬基材2之上表面，第2面係導電性金屬基材2之下表面。於電容器1之末端部，於介電層4與上部電極6之間存在絕緣部16。電容器1係於上部電極6上具備第1外部電極18，及於導電性金屬基材2之支持部10側之主面上具備第2外部電極20。於本實施形態之電容器1中，將第1外部電極18與上部電極6電性連接，且將第2外部電極20與導電性金屬基材2電性連接。上部電極6與導電性金屬基材2之高空隙率部12介隔介電層4對向而形成靜電電容形成部，且若將上部電極6與導電性基材2通電，則可於介電層4蓄積電荷。

作為構成上述導電性金屬基材2之材料，若為金屬則未特別限定，可舉出例如鋁、鈹、鎳、銅、鈦、鈮及鐵、以及不鏽鋼、杜拉鋁

等合金等。構成導電性金屬基材2之材料較佳為鋁。

上述導電性金屬基材2係於一主面側具有高空隙率部12及低空隙率部14，以及於另一主面側具有支持部10。

於本說明書中，所謂「空隙率」係指於導電性金屬基材中空隙所占之比率。該空隙率可以下述方式測定。再者，上述多孔部之空隙於製作電容器之製程中，最終可由介電層及上部電極等填充，但上述「空隙率」係不考慮如此被填充之物質，將被填充之部位亦視為空隙而算出。

首先，將多孔金屬基材利用聚焦離子束(FIB: Focused Ion Beam)加工而加工成厚度為60 nm以下之薄片。使用穿透式電子顯微鏡(TEM: Transmission Electron Microscope)而拍攝該薄片試樣之特定之區域(3 μm ×3 μm)。藉由將獲得之圖像進行圖像解析，求出多孔金屬基材之存在有金屬之面積。然後，可自下述等式計算空隙率。

空隙率 = ((測定面積 - 基材之存在有金屬之面積) / 測定面積) × 100

於本說明書中，所謂「高空隙率部」係指導電性金屬基材之空隙率較支持部及低空隙率部高之部分。

上述高空隙率部12具有多孔構造。具有多孔構造之高空隙率部12使導電性金屬基材之比表面積增大，而使電容器之靜電電容進一步增大。

自增大比表面積、進一步增大電容器之靜電電容之觀點而言，高空隙率部之空隙率可較佳為20%以上，更佳為30%以上，進而更佳為35%以上。又，自確保機械強度之觀點而言，較佳為90%以下，更佳為80%以下。

高空隙率部雖未特別限定，但具有較佳為30倍以上10,000倍以下，更佳為50倍以上5,000倍以下，例如具有300倍以上600倍以下之擴面率。此處，所謂擴面率係指每單位投影面積之表面積。每單位投

影面積之表面積可使用BET(Brunauer-Emmett-Teller)比表面積測定裝置而自液態氮溫度下之氮之吸附量而求出。

於本說明書中，所謂「低空隙率部」係指與高空隙率部相比，空隙率較低之部分。低空隙率部之空隙率較佳為低於高空隙率部之空隙率且為支持部之空隙率以上。

低空隙率部之空隙率較佳為20%以下，更佳為10%以下。又，低空隙率部之空隙率亦可為0%。即，低空隙率部可具有多孔構造，但亦可不具有。低空隙率部之空隙率越低，電容器之機械強度越高。

再者，低空隙率部於本發明中並非必須之構成要素，亦可不存在。例如，亦可於圖1(a)中不存在低空隙率部14，支持部10於上方露出。

於本實施形態中，導電性金屬基材係於一主面包含高空隙率部及存在於其周圍之低空隙率部而成，但本發明並非限定於此。即，高空隙率部及低空隙率部之存在位置、設置數、大小、形狀、及兩者之比率並未特別限定。例如，導電性金屬基材之一主面亦可僅包含高空隙率部。又，亦可於導電性金屬基材之兩主面存在高空隙率部。又，藉由調整高空隙率部與低空隙率部之比率，可控制電容器之靜電電容。

上述高空隙率部12之厚度並未特別限定，可根據目的適當選擇，例如為10 μm 以上1000 μm 以下，較佳為30 μm 以上，且為300 μm 以下，較佳為150 μm 以下，更佳為80 μm 以下，進而更佳為40 μm 以下。

為了發揮作為支持體之功能，導電性金屬基材之支持部之空隙率較佳為較小，具體而言較佳為10%以下，更佳為實質上不存在空隙。

上述支持部10之厚度並未特別限定，但為了提高電容器之機械

強度，較佳為10 μm 以上，例如可為100 μm 以上或500 μm 以上。又，自電容器之低矮化之觀點而言，可較佳為1000 μm 以下，例如500 μm 以下，較佳為100 μm 以下，更佳為50 μm 以下，進而更佳為30 μm 以下。

導電性金屬基材2之厚度並未特別限定，可根據目的適當選擇，例如為200 μm 以下，較佳為80 μm 以下，進而更佳為40 μm 以下，且下限較佳為30 μm 以上。

導電性金屬基材2之製造方法並未特別限定。例如，導電性金屬基材2可藉由利用形成多孔構造之方法、填平(填埋)多孔構造之方法、或去除多孔構造部分之方法、或者將該等方法組合而成之方法對適當之金屬材料進行處理而製造。

用以製造導電性金屬基材之金屬材料可為多孔質金屬材料(例如蝕刻成之有凹坑箔)、或不具有多孔構造之金屬材料(例如金屬箔)，或將該等材料組合而成之材料。組合方法並未特別限定，可舉出例如藉由焊接或導電性接著材等貼合之方法。

作為形成多孔構造之方法，並未特別限定，可舉出例如蝕刻處理。

作為填平(填埋)多孔構造之方法，並未特別限定，可舉出例如藉由雷射照射等使金屬熔融而將孔填平之方法，或藉由模具加工、沖壓加工進行壓縮而將孔填平之方法。作為上述雷射，並未特別限定，可舉出CO₂雷射、YAG(Yttrium Aluminum Garnet，鈮-鋁-石榴石)雷射、準分子雷射、以及飛秒雷射、微微秒雷射及毫微微秒雷射等全固體脈衝雷射。自可進一步精細地控制形狀及空隙率而言，較佳為飛秒雷射、微微秒雷射及毫微微秒雷射等全固體脈衝雷射。

作為去除多孔構造部分之方法，並未特別限定，可舉出例如切塊機加工、或雷射剝蝕加工。作為對於雷射剝蝕較佳之雷射，可舉出

飛秒雷射、微微秒雷射及毫微微秒雷射等全固體脈衝雷射。藉由使用該等雷射，可進一步詳細地控制形狀及空隙率。

於一方法中，導電性金屬基材2可藉由準備多孔質金屬材料且將該多孔質金屬基材之支持部10及低空隙率部14所對應之部位之孔填平(填埋)而製造。

支持部10及低空隙率部14無需同時形成，亦可個別地形成。例如，亦可首先處理多孔金屬基材之支持部10所對應之部位，形成支持部10，接著處理與低空隙率部14對應之部位，形成低空隙率部14。

於另一方法中，導電性金屬基材2可藉由對不具有多孔構造之金屬基材(例如金屬箔)之高空隙率部所對應之部位進行處理，形成多孔構造而製造。

於又一方法中，不具有低空隙率部14之導電性金屬基材2可藉由將多孔質金屬材料之支持部10所對應之部位之孔填平，接著將與低空隙率部14所對應之部位去除而製造。

於本實施形態之電容器1中，於高空隙率部12及低空隙率部14上，形成有介電層4。

形成上述介電層4之材料若具有絕緣性則未特別限定，較佳為可舉出 AlO_x (例如 Al_2O_3)、 SiO_x (例如 SiO_2)、 AlTiO_x 、 SiTiO_x 、 HfO_x 、 TaO_x 、 ZrO_x 、 HfSiO_x 、 ZrSiO_x 、 TiZrO_x 、 TiZrWO_x 、 TiO_x 、 SrTiO_x 、 PbTiO_x 、 BaTiO_x 、 BaSrTiO_x 、 BaCaTiO_x 、 SiAlO_x 等金屬氧化物； AlN_x 、 SiN_x 、 AlScN_x 等金屬氮化物；或 AlO_xN_y 、 SiO_xN_y 、 HfSiO_xN_y 、 $\text{SiC}_x\text{O}_y\text{N}_z$ 等金屬氮氧化物；較佳為 AlO_x 、 SiO_x 、 SiO_xN_y 、 HfSiO_x 。再者，上述之式係僅表現材料之構成者，並非限定組成者。即，附註於O及N之x、y及z可為大於0之任意值，且含有金屬元素之各元素之存在比率為任意。

介電層並非特別限定，較佳為例如5 nm以上100 nm以下，更佳

為10 nm以上50 nm以下。藉由將介電層之厚度設為5 nm以上，可提高絕緣性，且能夠減少漏電流。又，藉由將介電層之厚度設為100 nm以下，能夠獲得更大之靜電電容。

上述介電層較佳為藉由氣相法、例如真空蒸鍍法、化學蒸鍍(CVD：Chemical Vapor Deposition)法、濺鍍法、原子層堆積(ALD：Atomic Layer Deposition)法、脈衝雷射堆積法(PLD：Pulsed Laser Deposition)等形成。自能夠形成更均質且緻密之膜直至多孔構件之細孔之細部為止而言，更佳為ALD法。

於本實施形態之電容器1中，於介電層4之末端部設置有絕緣部16。藉由設置絕緣部16，可防止設置於其上之上部電極6與導電性金屬基材2間之短路(short)。

再者，於本實施形態中，絕緣部16存在於低空隙率部14上之整體，但並非限定於此，亦可僅存在於低空隙率部14之一部分，又，亦可超過低空隙率部而以至存在於高空隙率部上。

又，於本實施形態中，絕緣層16位於介電層4與上部電極6之間，但並非限定於此。絕緣層16只要位於導電性金屬基材2與上部電極6之間即可，例如亦可位於低空隙率部14與介電層4之間，或於不存在低空隙率部14之情形時，位於支持部10與介電層4之間。

形成絕緣部16之材料只要具有絕緣性則並未特別限定，但於之後利用原子層堆積法之情形時，較佳為具有耐熱性之樹脂。作為形成絕緣部16之絕緣性材料，較佳為各種玻璃材料、陶瓷材料、聚醯亞胺樹脂、及氟樹脂。

絕緣層16之厚度並非特別限定，但自進一步確實地防止端面放電之觀點而言，較佳為1 μm 以上，更佳為例如3 μm 以上或5 μm 以上。又，自電容器之低矮化之觀點而言，較佳為100 μm 以下，例如可為50 μm 以下，較佳為20 μm 以下，更佳為10 μm 以下。再者，絕緣體

部之厚度係指電容器端部之厚度。

絕緣部16之寬度並未特別限定，但自例如抑制於製造步驟之靜電電容形成部或絕緣部產生龜裂之觀點而言，可較佳為3 μm 以上，更佳為5 μm 以上，進而較佳為10 μm 以上。又，自進一步增大靜電電容之觀點而言，絕緣部16之寬度可較佳為100 μm 以下，更佳為50 μm 以下。再者，絕緣體部之寬度係指自電容器端部向電容器中央方向之寬度，例如圖1之剖視圖中之自電容器端部至與介電層4之接觸部位為止之最大距離。

再者，於本發明之電容器中，絕緣部16並非必須之要素，亦可不存在。

於本實施形態之電容器1中，於上述介電層4及絕緣部16上，形成有上部電極6。

構成上述上部電極6之材料只要具有導電性則並未特別限定，可舉出Ni、Cu、Al、W、Ti、Ag、Au、Pt、Zn、Sn、Pb、Fe、Cr、Mo、Ru、Pd、Ta及其等之合金，例如CuNi、AuNi、AuSn、以及TiN、TiAlN、TiON、TiAlON、TaN等金屬氧化物、金屬氮氧化物、導電性高分子(例如PEDOT(聚(3,4-伸乙基二氧噻吩))、聚吡咯、聚苯胺)等，較佳為TiN、TiON。

上部電極之厚度並未特別限定，但較佳為例如3 nm以上，更佳為10 nm以上。藉由將上部電極之厚度設為3 nm以上，可減少上部電極自身之電阻。

上部電極亦可藉由ALD法形成。藉由使用ALD法，可進一步增大電容器之靜電電容。作為其他方法，亦可利用可被覆介電層且實質性填埋多孔金屬基材之細孔之化學蒸鍍(CVD：Chemical Vapor Deposition)法、鍍敷、偏壓濺鍍、Sol-Gel法(溶膠-凝膠法)、導電性高分子填充等方法形成上部電極。亦可較佳為於介電層上以ALD法形成

導電性膜，且自其上藉由其他方法以導電性物質、較佳為電阻更小之物質填充細孔而形成上部電極。藉由設為此種構成，可有效地獲得更高之靜電電容密度及更低之等效串聯電阻(ESR：Equivalent Series Resistance)。

再者，於形成上部電極後，於上部電極不具有作為電容器電極之充分之導電性之情形時，亦可利用濺鍍法、蒸鍍、鍍敷等方法於上部電極之表面追加形成包含Al、Cu、Ni等之引出電極層。

於本實施形態中，於上部電極6上形成有第1外部電極18。

於本實施形態中，於導電性金屬基材2之支持部10側之主表面上形成有第2外部電極20。

構成上述第1及第2外部電極18、20之材料並未特別限定，可舉出例如Au、Pb、Ag、Sn、Ni、Cu等金屬及合金、以及導電性高分子等。

考慮密接性、焊接性、焊料腐蝕性、導電性、導線接合性、雷射耐性等，於構成導電性金屬基材2之材料為鋁之情形時，構成第1及第2外部電極18、20之材料較佳為Cu、Ti/Al、Ni/Au、Ti/Cu、Cu/Ni/Au、Ni/Sn、Cu/Ni/Sn(此處，例如Ti/Al係表示於形成有Ti皮膜之基礎上形成Al皮膜)。於構成導電性金屬基材2之材料為銅之情形時，構成第1及第2外部電極18、20之材料較佳為Al、Ti/Al、Ni/Cu。又，於構成導電性金屬基材2之材料為鎳之情形時，構成第1及第2外部電極18、20之材料較佳為Al、Ti/Al、Cu、Au、Sn。

外部電極之形成方法並未特別限定，可使用例如CVD法、電解電鍍、無電解電鍍、蒸鍍、濺鍍法、導電膏之燒接等，較佳為電解電鍍、無電解電鍍、蒸鍍、濺鍍法等。

再者，上述第1外部電極18及第2外部電極20設置於電容器之上表面及下表面之整體，但並非限定於此，可僅於各面之一部分，以任

意之形狀及大小設置。又，上述第1外部電極18及第2外部電極20並非必須之要素，亦可不存在。於該情形時，上部電極6亦作為第1外部電極發揮功能，支持部10亦作為第2外部電極發揮功能。即，亦可為上部電極6與支持部10作為一對電極發揮功能。於該情形時，亦可為上部電極6作為陽極發揮功能，支持部10作為陰極發揮功能。或，亦可為上部電極6作為陰極發揮功能，支持部10作為陽極發揮功能。

於本實施形態中，電容器之末端部(較佳為周邊部)之厚度與中央部之厚度相同或較其小，較佳為相同。末端部由於積層之層之數量較多且因產生切斷所致之毛邊等而亦容易發生厚度變化，故厚度之偏差會變大。因此，藉由將末端部之厚度減小，可將降低對電容器之外形尺寸(尤其厚度)之影響。

本發明之電容器有利於低矮化，電容器之厚度並非特別限定，可設為例如100 μm 以下，較佳設為50 μm 以下。

於本實施形態中，電容器為大致長方體形狀，但本發明並非限定於此。本發明之電容器可設為任意之形狀，亦可為例如平面形狀為圓狀、橢圓狀且角為圓形之四邊形等。

以上，對本實施形態之電容器1進行了說明，但本發明之電容器可進行各種改變。

例如，亦可於各層之間，具有用以提高層間之密接性之層、或用以防止各層間之成分擴散之緩衝層等。又，亦可於電容器之側面等具有保護層。

又，於上述實施形態中，電容器之末端部係以導電性金屬基材2、介電層4、絕緣部16、上部電極6之順序設置，但本發明並非限定於此。例如，該設置順序係只要絕緣部16位於上部電極6與導電性金屬基材2之間則不特別限定，例如，亦可以導電性金屬基材2、絕緣部16、介電層4、上部電極6之順序設置。電容器之末端部之導電性金屬

基材2亦可為高空隙率部12、低空隙率部14或支持部10之任一者，或其等之組合。例如，於電容器之末端部中，亦可按照如下順序設置：

支持部10、低空隙率部14、絕緣部16、介電層4、上部電極6，
支持部10、低空隙率部14、介電層4、絕緣部16、上部電極6，
支持部10、絕緣部16、介電層4、上部電極6，
支持部10、介電層4、絕緣部16、上部電極6。

進而，上述實施形態之電容器1係存在上部電極及外部電極直至電容器之緣部為止，但本發明並非限定於此。於一態樣中，上部電極(較佳為上部電極及第1外部電極)係與電容器之緣部相離而設置。藉由如此設置，可防止端面放電。即，上部電極亦可不以覆蓋多孔部之整體之方式形成，上部電極亦可以僅覆蓋高孔隙率部之方式形成。

本發明之電容器因構成簡單而容易製造。尤其，無需如先前般以使基材之5個面露出、使1個面不露出之方式進行加工。因此，無需將基板設為梳齒形狀，可作為1個虛擬集合基板製造，故製造中之處理較容易，且基板之每單位面積之獲取個數亦變多。又，本發明之電容器中，必需要素僅為只於一主面具有多孔部之導電性金屬基材、位於多孔部上之介電層、及位於介電層上之上部電極，故可減少積層之層之數量，容易實現低矮化、小型化。進而，本發明之電容器係可於電容器之主表面形成外部電極，故可增大電極面積。又，於可縮短外部電極及介電層為止之導通路徑之長度，減少電阻之方面亦有利。

本發明之電容器可較佳地用作內置於電路基板用零件。本發明之電容器係電極位於電容器之主表面，可確保較大之電極面積，故於作為內置於電路基板用零件使用之情形時，容易進行用於電性連接之雷射孔加工。

本發明之電容器可藉由包含以下步驟之方法製造：

準備於一主面具有多孔金屬層之板狀之導電性基板；

形成將上述多孔金屬層分斷之槽部，而形成複數個多孔部；
以覆蓋上述多孔部之方式形成介電層；且
於上述介電層上形成上部電極。

以下，參照圖式，具體地說明上述實施形態之電容器1之製造製程。再者，於圖3～8中，(a)係模式性表示電容器元件之集合基板之立體圖，(b)係模式性表示沿著集合基板之x-x線之剖視圖。

於圖3中所示般，首先，準備導電性基板22。作為構成導電性基板22之材料，可舉出例如鋁、鈹、鎳、銅、鈦、鈮及鐵、以及不鏽鋼、杜拉鋁等合金等。構成導電性金屬基板22之材料較佳為鋁。導電性基板22於一主面側具有多孔金屬層24，且於另一主面側具有支持層26。即，導電性基板22之一面係由多孔金屬層24構成，且導電性基板22之與上述一面為相反側之面係由支持層26構成。多孔金屬層24之空隙率大於支持層26之空隙率。又，多孔金屬層24之擴面率大於支持層26之擴面率。即，多孔金屬層24之比表面積大於支持層26。

接著，如圖4所示般，將多孔金屬層24之一部分之區域之孔填平，形成槽部28，且將多孔金屬層分斷。經分斷之多孔金屬層與高空隙率部12對應。槽部形成於高空隙率部12彼此之間，槽部之底面係由藉由填平多孔金屬層24而形成之低空隙率部14構成。槽部之形成方法可使用作為填平上述之孔之方法而記載者。即，槽部之形成方法可使用藉由模具加工、沖壓加工進行壓縮而填平之方法、藉由雷射等使金屬熔融而將孔填平之方法。又，於其他態樣中，於去除多孔金屬層24之一部分而形成槽部之情形時，可使用藉由切塊機、雷射等去除之方法。

接著，如圖5所示般，藉由氣相法、較佳為ALD法，於上述獲得之基板上形成介電層30。

接著，如圖6所示般，於槽部28形成絕緣部32。絕緣部32之形成

方法可藉由於槽部28使用空氣式分注器、噴射分注器、噴墨、網版印刷、靜電塗佈方法等，將絕緣性材料(例如樹脂)填充至槽部28或塗佈於槽部28之底面而進行。絕緣性材料之填充較佳為填充至槽部之深度中途。藉由如此調整填充量，即便於產生塗佈量之不均之情形時，亦可防止絕緣材料自槽部溢出，且可防止厚度偏差。

接著，如圖7所示般，於上述獲得之基板上整體形成上部電極34。上部電極34可藉由ALD法、CVD法、鍍敷、偏壓濺鍍、Sol-Gel法、導電性高分子填充等方法形成。又，該等之方法亦可組合使用。例如，亦可首先以ALD法形成導電性膜，且自其上藉由其他之方法填充細孔而形成上部電極。

接著，如圖8所示般，於上述獲得之基板整體，形成外部電極36。作為外部電極之形成方法，並非特別限定，但可舉出例如濺鍍法、蒸鍍、電解電鍍、無電解電鍍等。於圖8中，多孔部之孔係藉由外部電極36填充，但孔之一部分或全部亦可維持為空隙。

藉由將於上述獲得之基板沿著圖8所示之y-y線切斷，可獲得本發明之電容器。切斷方法並未特別限定，可藉由例如利用雷射之切斷、利用模具之模切加工、利用切塊機、超硬刀、切條機、尖鋒型刀進行之切割等之單獨及組合而切斷。再者，藉由該切斷亦將外部電極36分斷，而形成第1外部電極與第2外部電極。

再者，本發明之電容器中，絕緣部及外部電極為任意之要素，故於不存在該等之情形時，本發明之電容器之製造方法當然不包含絕緣部及外部電極之形成步驟。

如自圖3～8可明確般，根據本發明之電容器之製造方法，除了第2外部電極之形成以外可藉由僅加工導電性基板之單面而製造。因此，無需將導電性基板設為梳齒狀，可設為集合基板狀，故製造時之處理較容易，又，基板之每單位面積之電容器之獲取個數變多。

以上，關於本發明之電容器及其製造方法，對上述實施形態之電容器1進行了說明，但本發明並非限定於此，可進行各種改變。

[實施例]

(實施例1)

作為導電性基板，準備厚度80 μm 、僅單側之面形成有厚度60 μm 之多孔金屬層之擴面率約200倍之市售之鋁電解電容器用鋁蝕刻成之有凹坑箔(與圖3對應)。即，於本實施例中，支持層及多孔金屬層係以鋁形成。將上述鋁蝕刻成之有凹坑箔使用毫微秒脈衝光纖雷射裝置處理，去除多孔金屬層之一部分，而形成槽部(與圖4對應，其中，低空隙率部14係藉由雷射去除且實質上不存在)。

接著，藉由原子層堆積法，進行20 nm之 AlO_x 之成膜，形成介電層(與圖5對應)。接著，使用空氣式分注器裝置，將聚醯亞胺樹脂保留槽部之深度20 μm 而填充至槽內，且形成絕緣部(厚度40 μm)(與圖6對應)。

接著，使用原子層堆積法，於基板上整體形成TiN膜作為上部電極(與圖7對應)。接著，作為鍍敷之預處理，將獲得之基板之下表面(支持部側)進行鋅酸鹽處理，接著形成無電解鍍鎳。接著，藉由無電解電鍍法，將基板整體進行Cu電鍍，且形成第1及第2外部電極(與圖8對應)。

獲得之基板成為存在複數個電容器之集合基板，對於該基板，使用毫微秒脈衝光纖雷射裝置將槽部之中心部(與圖8之y-y線對應)切割，獲得如圖9所示之個別之電容器。獲得之電容器之大小係高度尺寸為97 μm ，且寬度及長度尺寸為0.7 mm。

(實施例2)

除了藉由以模具進行壓縮而形成槽部之形成以外，與實施例1同樣地製作圖1所示之電容器。實施例2之電容器係藉由壓縮多孔金屬層

而形成槽部，故於與槽部對應之部位存在低空隙率部。

(實施例3)

除了形成絕緣部，接著形成介電層以外，與實施例1同樣地製作圖10所示之電容器。實施例3之電容器係於電容器末端部以支持部、絕緣部、介電層、上部電極之順序積層。

(實施例4)

除了形成絕緣部，接著形成介電層以外，與實施例2同樣地製作圖11所示之電容器。實施例4之電容器係於電容器末端部以支持部、低空隙率部、絕緣部、介電層、上部電極之順序積層。

(實施例5～13)

作為導電性基板，準備厚度30 μm 、於單側之面形成有厚度20 μm 之多孔金屬層之擴面率約200倍之市售之鋁電解電容器用鋁蝕刻成之有凹坑箔。即，於本實施例中，支持層及多孔金屬層係以鋁形成。將上述鋁蝕刻成之有凹坑箔使用毫微秒脈衝光纖雷射裝置進行雷射剝蝕處理，去除多孔金屬層之一部分，而形成槽部(其中，低空隙率部係藉由雷射去除而實質上不存在)。形成之槽部之寬度(絕緣部之寬度)係以於單片化後成為3 μm 、5 μm 或10 μm 之方式進行調整，獲得3種集合基板。

接著，使用空氣式分注器裝置，利用聚醯亞胺樹脂於各種集合基板之槽內形成絕緣層。以絕緣層之厚度成為3 μm 、5 μm 、或10 μm 之方式塗佈絕緣層，對上述3種集合基板，分別獲得3種集合基板(合計9種)。

接著，藉由原子層堆積法，進行20 nm之 AlO_x 之成膜，形成介電層。接著，於基板上整體，使用原子層堆積法，形成TiN膜作為上部電極。

接著，作為鍍敷之預處理，將獲得之基板之下表面(支持部側)進

行鋅酸鹽處理，接著，藉由無電解電鍍法，於上部電極上形成膜厚5 μm 之Ni皮膜，進而於其上形成膜厚3 μm 之Sn皮膜，且形成第1及第2外部電極。

獲得之基板成為存在複數個電容器之集合基板，對於該基板，使用毫微秒脈衝光纖雷射裝置將槽部之中心部切割，獲得具有如圖10所示之構造之實施例5～13之試樣(電容器)。獲得之電容器之大小係高度尺寸為47 μm 、寬度及長度尺寸為0.7 mm。

(評價)

·空隙率

自於上述獲得之實施例5～13之各試樣任意地抽出2個，且以下述方式而測定導電性金屬基材之空隙率。

首先，使用FIB(Focused Ion Beam：聚焦離子束)裝置(精工電子公司製造、SMI 3050SE)，以FIB拾取法加工導電性金屬基材之高空隙率部之大致中央部，且以厚度成為約50 nm之方式薄片化，藉此製作測定試樣。再者，於薄片化時產生之FIB損傷層係使用Ar離子研磨裝置(GATAN公司製造、PIPS模型691)而去除。

接著，使用掃描穿透電子顯微鏡(日本電子公司製造 JEM-2200FS)，將縱：3 μm 、橫：3 μm 作為攝像區域，對各試樣之任意5部位進行拍攝。然後，將該拍攝到之圖像進行解析，求出A1之存在區域之面積(以下稱為「存在面積」)a1，且自該存在面積a1與測定面積a2(=3 μm ×3 μm)，基於數式(1)算出高空隙率部之區域之個別空隙率x。

$$x = \{(a2 - a1)/a2\} \times 100 \quad (1)$$

然後，求出5個部位之個別空隙率x之平均值，進而求出試樣2個之平均，將該平均值設為各試樣之高空隙率部之空隙率。將結果於表1顯示。

·良品率

針對實施例5～13之各試樣100個，對電容器之端子間施加DC1 V之直流電壓，確認有無短路，將未產生短路之試樣設為良品，求出其良品率。將結果示於表1。

·絕緣破壞電壓

針對實施例5～13之各試樣5個，測定使對電容器之端子間施加之直流電壓逐漸升壓且流動於試樣之電流超過1 mA時之電壓，即絕緣破壞電壓。求出試樣5個之平均，且將該平均值設為絕緣破壞電壓。將結果示於表1。

[表1]

實施例 序號	絕緣部之尺寸		空隙率 (%)	良品率 (%)	絕緣破壞電壓(V)
	寬度(μm)	厚度(μm)			
5	3	3	5.8	6.5	3.2
6	3	5	5.7	7.4	5.1
7	3	10	5.9	7.9	5.5
8	5	3	5.6	8.2	3.5
9	5	5	5.7	9.3	5.2
10	5	10	5.7	9.5	5.8
11	10	3	5.8	8.9	3.6
12	10	5	5.9	9.5	5.5
13	10	10	5.8	9.3	5.6

自上述結果可確認，藉由於導電性金屬基材與上部電極之間形成絕緣部，可提高良品率，進而，可提高導電性金屬基材與上部電極之間之絕緣性。又，可確認藉由將絕緣部之寬度尺寸設為5 μm以上，可提高良品率。進而，可確認藉由將絕緣部之厚度尺寸設為5 μm以上，可提高導電性金屬基材與上部電極之間之絕緣性。

[產業上之可利用性]

本發明之電容器非常穩定且可靠性較高，故可較佳地使用於各種電子機器。本發明之電容器係安裝於基板上而作為電子零件使用。

或，本發明之電容器係埋入於基板或內插器內而作為電子零件使用。

【符號說明】

1	電容器
2	導電性金屬基材
4	介電層
6	上部電極
10	支持部
12	高空隙率部
14	低空隙率部
16	絕緣部
18	第1外部電極
20	第2外部電極
22	導電性基板
24	多孔金屬層
26	支持層
28	槽部
30	介電層
32	絕緣部
34	上部電極
36	外部電極

公告本

發明摘要

※ 申請案號：105114774

※ 申請日：105/05/12

※IPC 分類：H01G 9/04 (2006.01)

【發明名稱】

電容器及其製造方法

【中文】

本發明提供一種電容器，該電容器係包含如下構件而成：導電性金屬基材，其具有多孔部；介電層，其位於多孔部上；及上部電極，其位於介電層上；且僅於一主面側具有靜電電容形成部。

【英文】

無

圖式

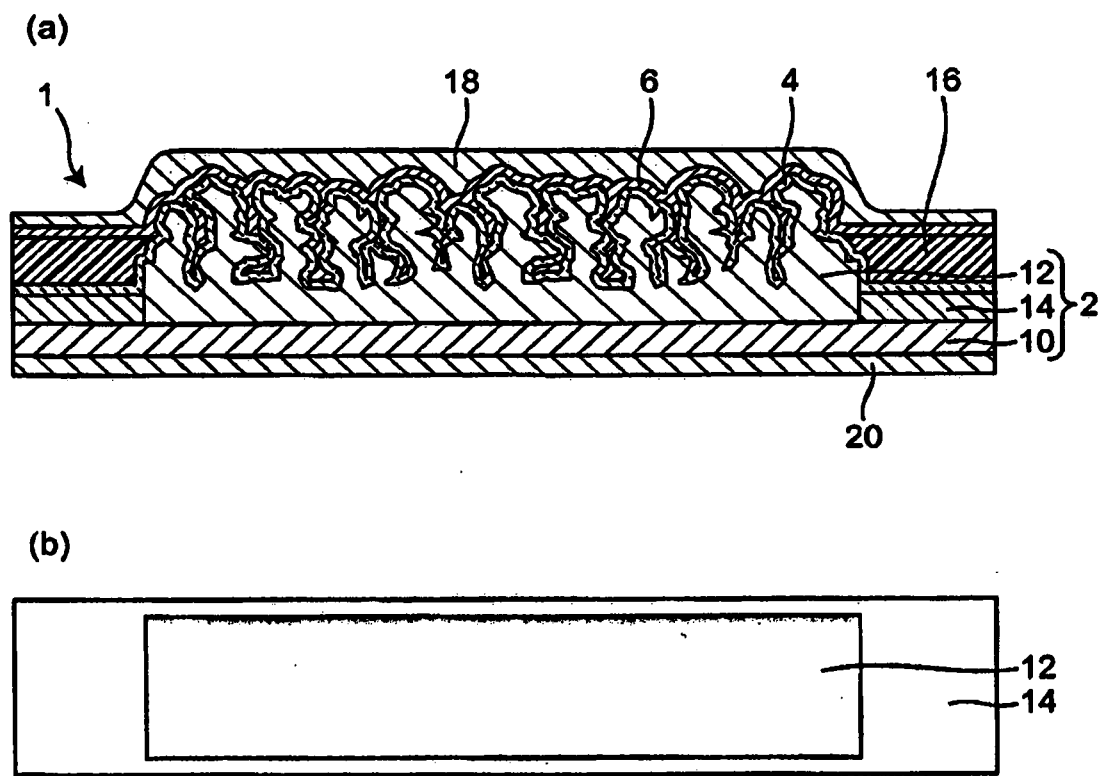
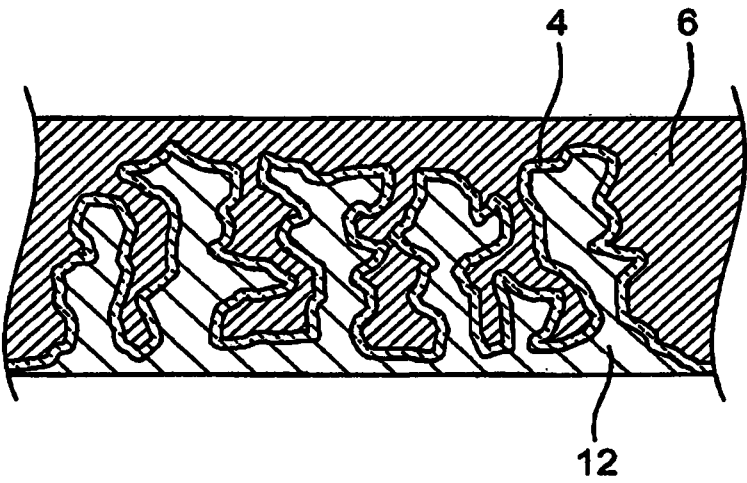


圖 1

(a)



(b)

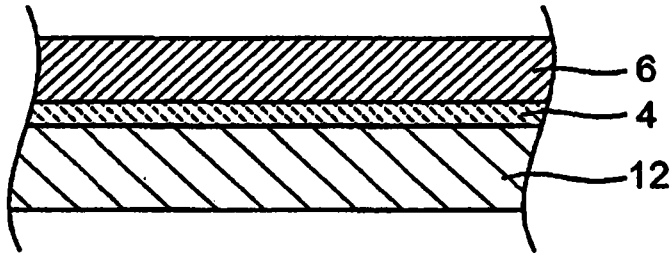


圖 2

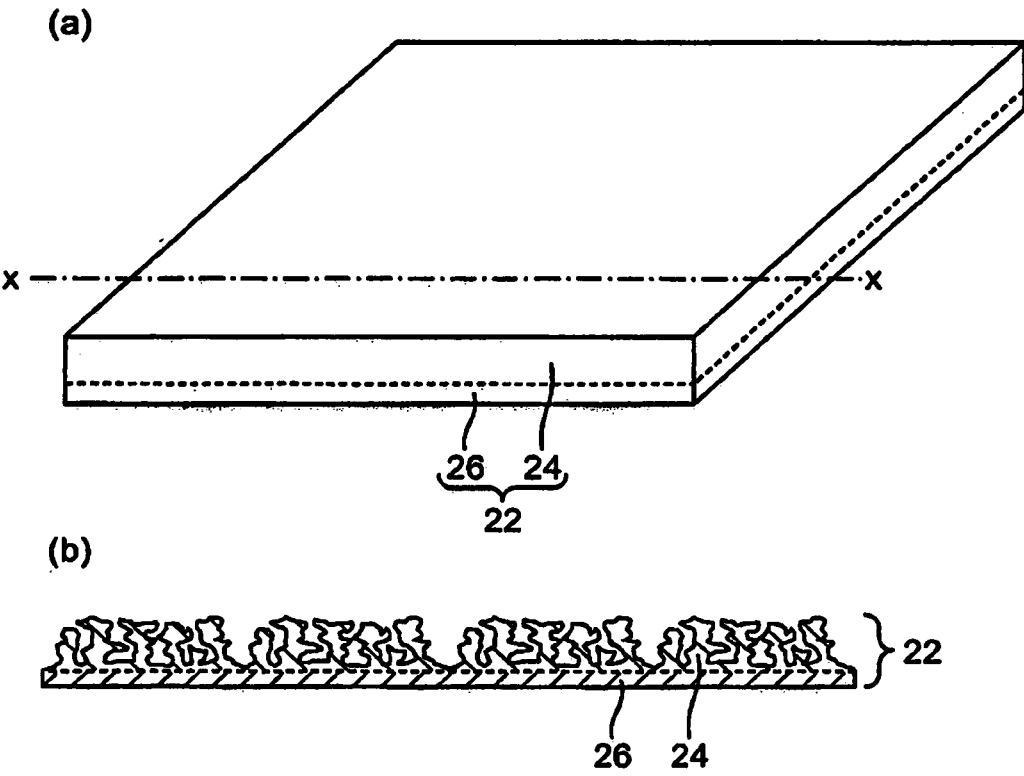


圖 3

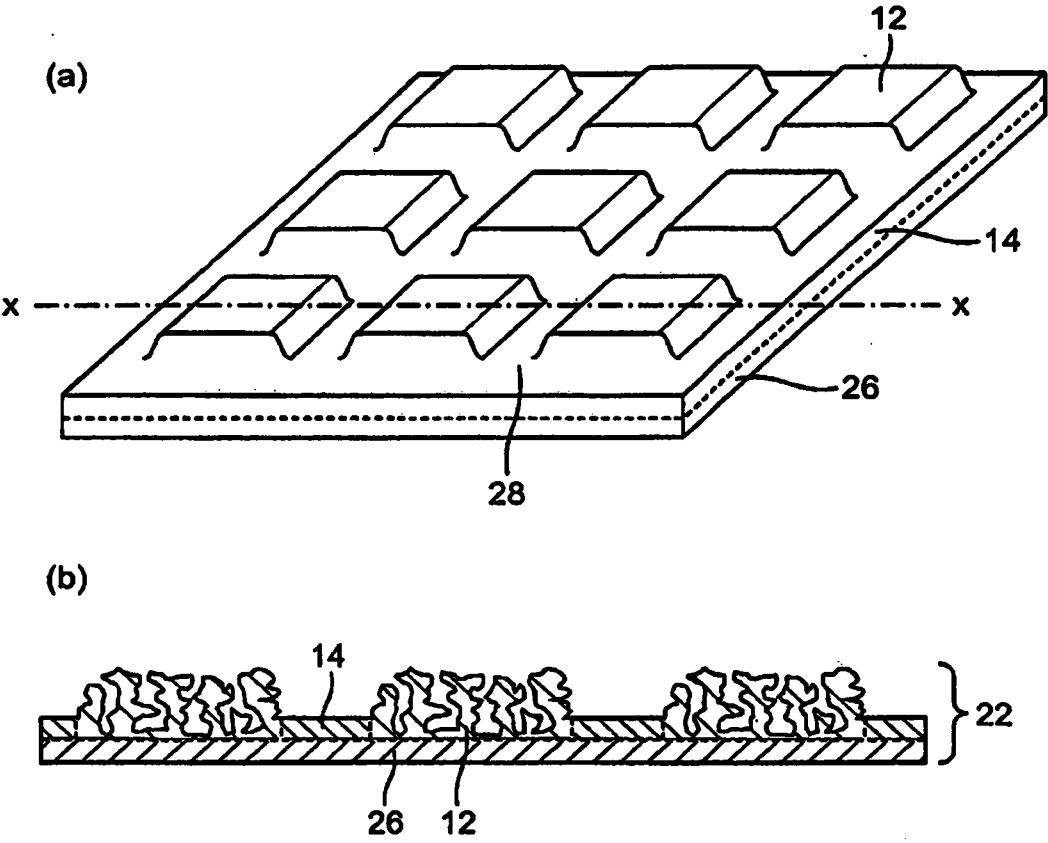


圖 4

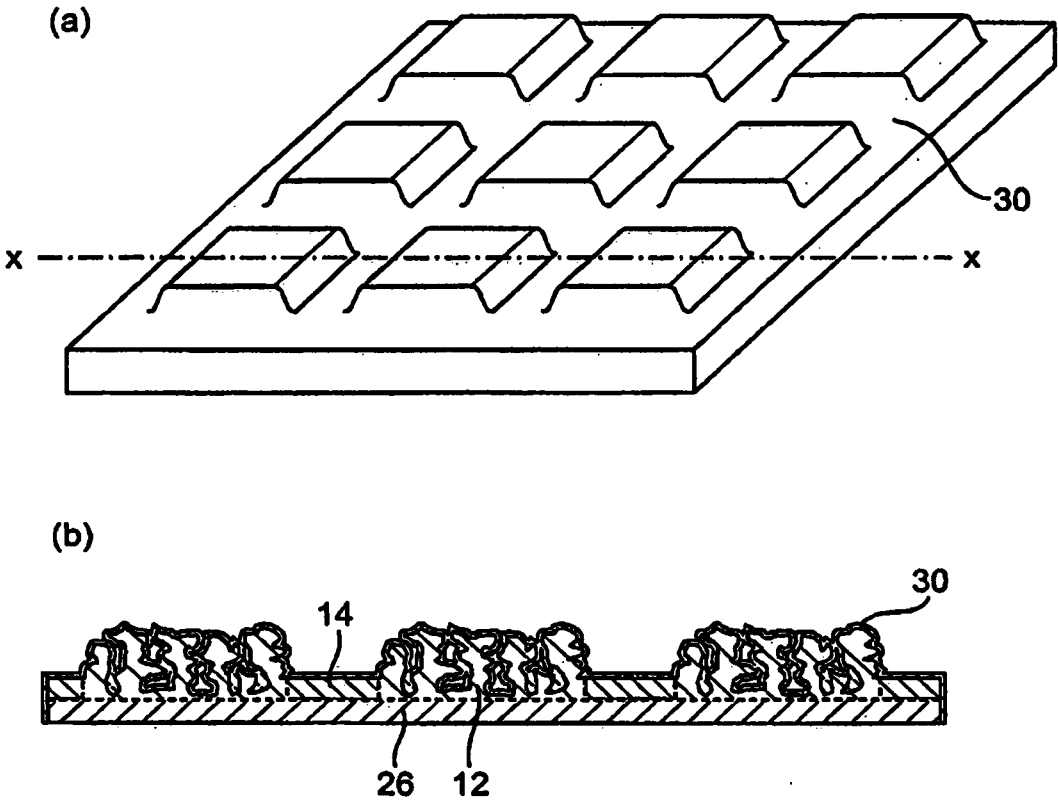


圖 5

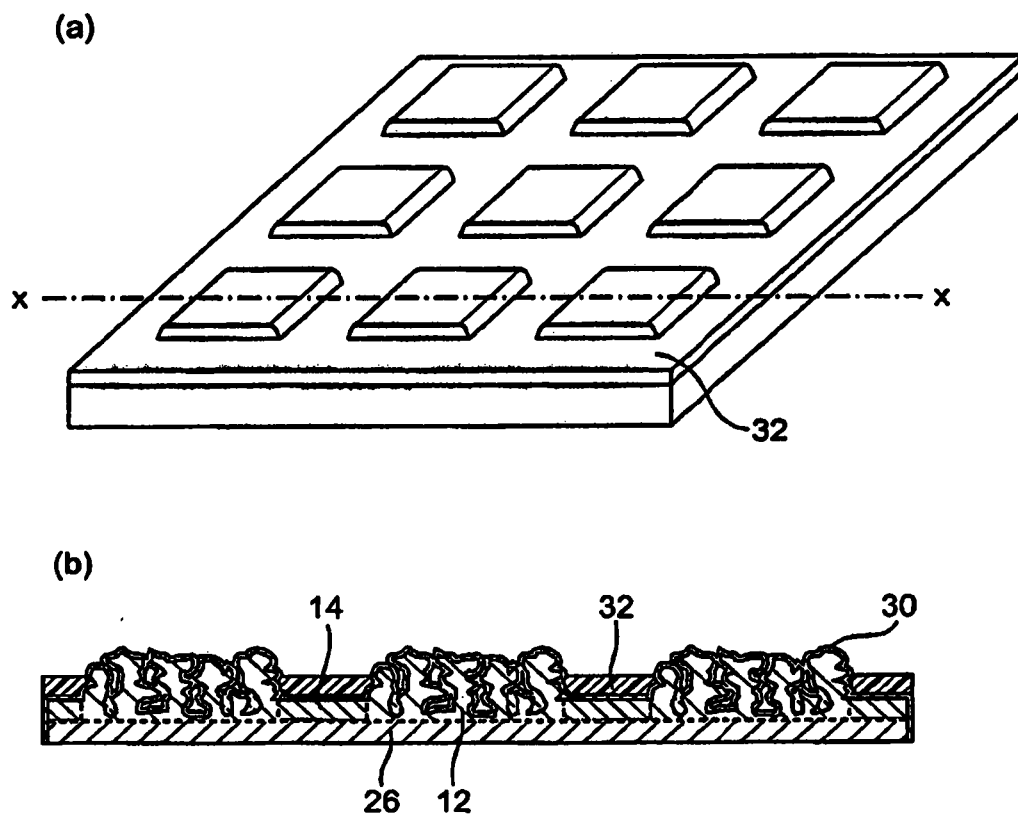


圖 6

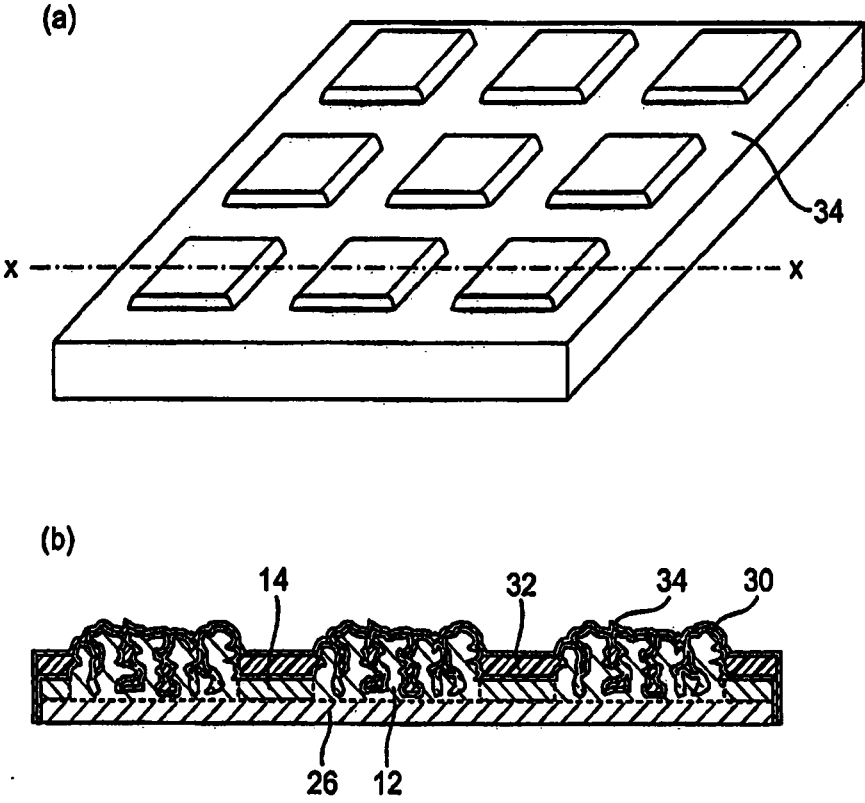


圖 7

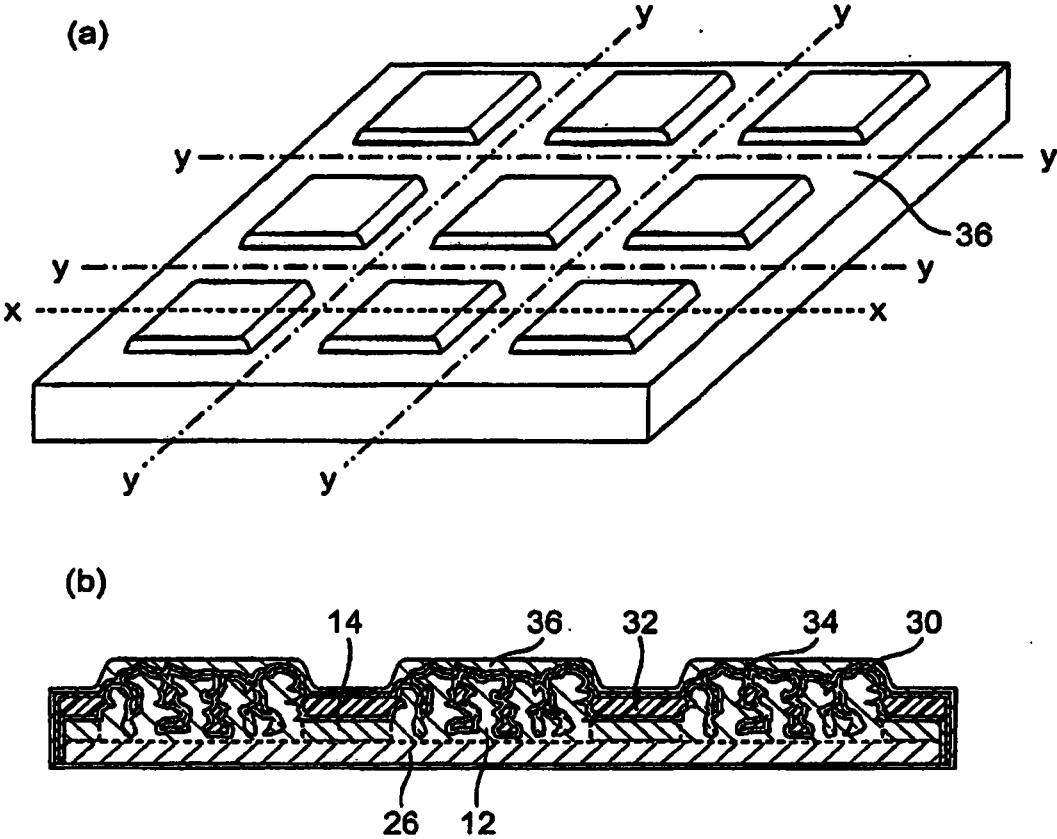


圖 8

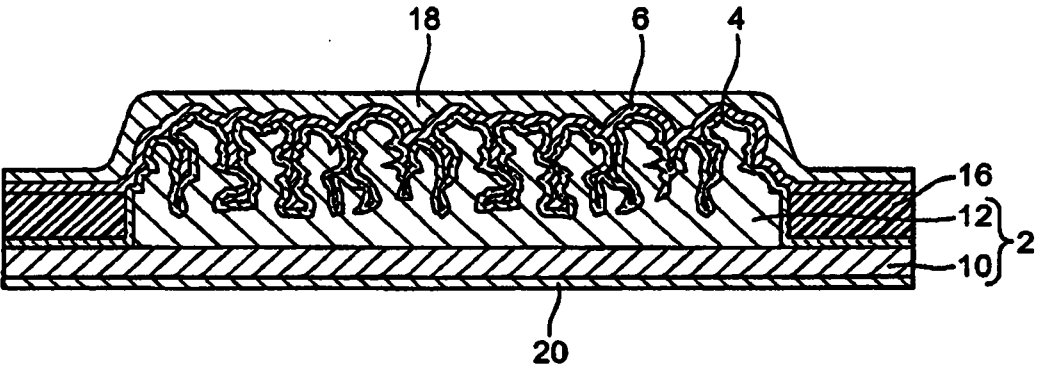


圖 9

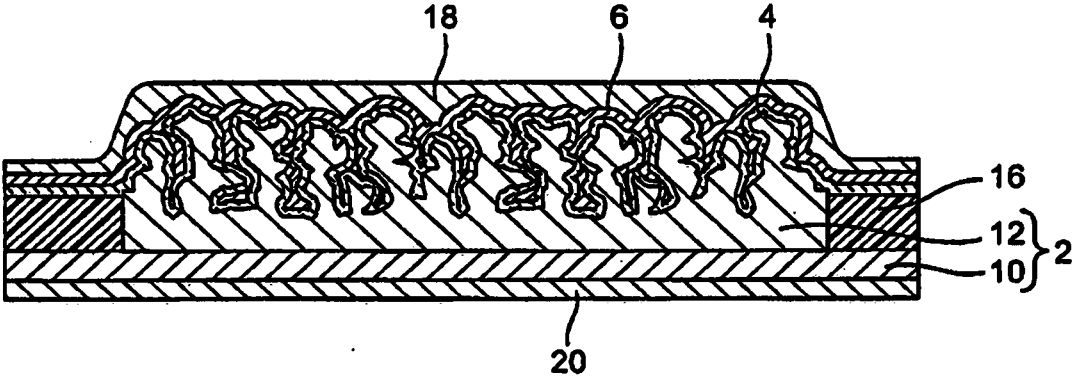


圖 10

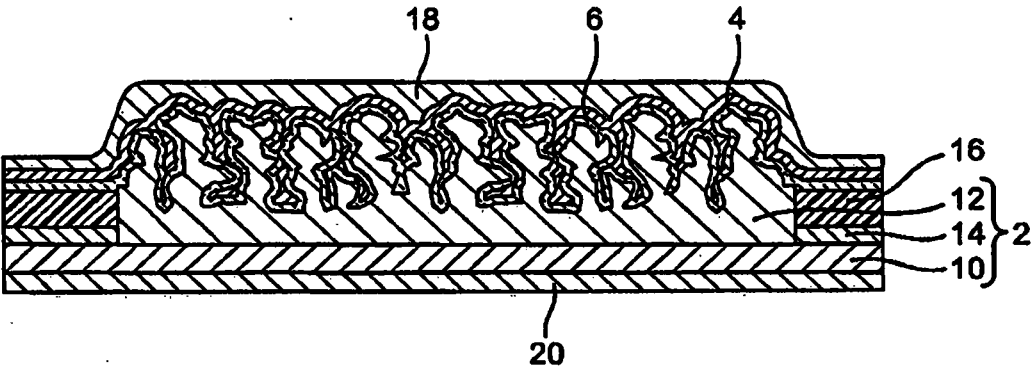


圖 11

【代表圖】

【本案指定代表圖】：無。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種電容器，其包含如下構件而成：
導電性金屬基材，其具有多孔部；
介電層，其位於多孔部上；及
上部電極，其位於介電層上；且
電容器僅於一主面側具有靜電電容形成部，
於電容器之末端部，導電性金屬基材與上部電極之間之任一
部位存在絕緣部，
絕緣部之厚度為1 μm 以上、100 μm 以下，
絕緣部之寬度為3 μm 以上、100 μm 以下。
2. 如請求項1之電容器，其中
導電性金屬基材僅於一主面具有多孔部。
3. 如請求項1或2之電容器，其中
介電層係藉由原子層堆積法形成。
4. 如請求項1或2之電容器，其中
上部電極係藉由原子層堆積法形成。
5. 如請求項1或2之電容器，其中
導電性金屬基材具有空隙率低於多孔部之低空隙率部。
6. 如請求項1或2之電容器，其中
上部電極與電容器之緣部相分離。
7. 如請求項1或2之電容器，其中
於電容器之末端部，導電性金屬基材、介電層、絕緣部及上
部電極依序配置。
8. 如請求項1或2之電容器，其中
於電容器之末端部，導電性金屬基材、絕緣部、介電層及上

部電極依序配置。

9. 一種電容器之製造方法，其包含如下步驟：

準備具有多孔金屬層之導電性基板；

於上述導電性基板之一主面，

形成將上述多孔金屬層分斷之槽部，而形成複數個多孔部；

以覆蓋上述多孔部之方式形成介電層；

於上述介電層上形成上部電極；

將作為絕緣部之絕緣材料，以成為導電性金屬基材與上部電極之間之任一部位的方式供應至槽部；且

藉由沿著槽部切斷而單片化，絕緣部之厚度成為1 μm 以上、100 μm 以下，絕緣部之寬度成為3 μm 以上、100 μm 以下。