



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I580582 B

(45)公告日：中華民國 106 (2017) 年 05 月 01 日

(21)申請案號：104116102

(22)申請日：中華民國 104 (2015) 年 05 月 20 日

(51)Int. Cl. : **B32B9/00 (2006.01)****B32B7/02 (2006.01)****H01B5/14 (2006.01)****H01B1/02 (2006.01)**

(30)優先權：2014/05/20 日本

2014-104184

(71)申請人：日東電工股份有限公司 (日本) NITTO DENKO CORPORATION (JP)
日本(72)發明人：川上梨惠 KAWAKAMI, RIE (JP)；梨木智剛 NASHIKI, TOMOTAKE (JP)；藤野
望 FUJINO, NOZOMI (JP)；佐佐和明 SASA, KAZUAKI (JP)；待永広宣
MACHINAGA, HIRONOBU (JP)；黑瀬愛美 KUROSE, MANAMI (JP)；松田知也
MATSUDA, TOMOYA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200947021A1

TW 201236877A1

TW 201320109A1

TW 201333777A1

審查人員：郭柏慶

申請專利範圍項數：14 項 圖式數：1 共 26 頁

(54)名稱

透明導電性膜及其製造方法

(57)摘要

本發明提供一種具有透明導電層之比電阻較低且厚度較薄之特性、並且耐龜裂性優異之透明導電性膜及其製造方法。

本實施形態之透明導電性膜(1)具有高分子膜基材(2)及形成於高分子膜基材(2)之主面(2a)上之透明導電層(3)。透明導電性膜(1)為長條狀，亦可捲繞成捲筒狀。透明導電層(3)係包含銦錫複合氧化物之結晶質透明導電層，殘留應力為 600MPa 以下，比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，厚度為 15nm~40nm。

指定代表圖：

- 符號簡單說明：
- 1 . . . 透明導電性膜
 - 2 . . . 高分子膜基材
 - 2a . . . 主面
 - 3 . . . 透明導電層

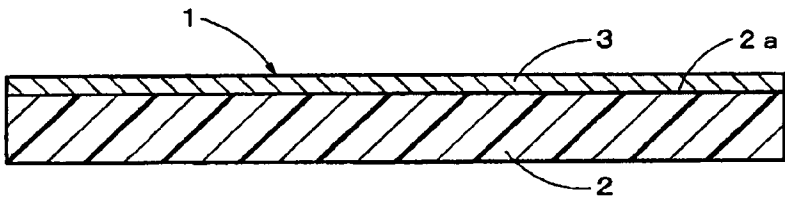


圖1

公告本**發明摘要**

※ 申請案號：104116102

※ 申請日：104.5.20

※IPC 分類：B32B 9/00 (2006.01)

B32B 7/02 (2006.01)

H01B 5/14 (2006.01)

H01B 1/02 (2006.01)

【發明名稱】

透明導電性膜及其製造方法

【中文】

本發明提供一種具有透明導電層之比電阻較低且厚度較薄之特性、並且耐龜裂性優異之透明導電性膜及其製造方法。

本實施形態之透明導電性膜(1)具有高分子膜基材(2)及形成於高分子膜基材(2)之主面(2a)上之透明導電層(3)。透明導電性膜(1)為長條狀，亦可捲繞成捲筒狀。透明導電層(3)係包含銦錫複合氧化物之結晶質透明導電層，殘留應力為600 MPa以下，比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，厚度為15 nm～40 nm。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 1 透明導電性膜
- 2 高分子膜基材
- 2a 主面
- 3 透明導電層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

透明導電性膜及其製造方法

【技術領域】

本發明係關於一種於高分子膜基材上具有結晶質透明導電層之透明導電性膜及其製造方法。

【先前技術】

於高分子膜基材上形成有ITO層(銦錫複合氧化物層)等透明導電層的透明導電性膜被廣泛用於觸控面板等。近年來，伴隨著面板之大畫面化及薄型化，對ITO層要求比電阻之進一步降低及薄膜化。

於薄型ITO層中，為了確保與先前型ITO層同等之表面電阻值，必須提高ITO層之結晶化度，使比電阻值進一步降低。由於結晶化度較高之ITO層缺乏柔軟性，故而一般具有薄型ITO層之透明導電性膜有於製造時之搬送步驟或觸控面板等之組裝步驟中因彎曲所致之負荷而導致於ITO層之表面產生龜裂之傾向。若於ITO層之表面產生龜裂，則比電阻顯著上升，有損ITO層之特性。

例如，作為於高分子膜基材上形成有ITO層之透明導電性膜，提出有ITO層之壓縮殘留應力為0.4~2 GPa之透明導電性膜(專利文獻1)。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2012-150779號公報

【發明內容】

[發明所欲解決之問題]

然而，於專利文獻1中，僅以提高重荷重下之打點特性作為課題

而揭示有賦予較高之壓縮殘留應力之構成，完全未揭示防止製造時產生龜裂等課題。又，專利文獻1所揭示之透明導電性膜之ITO層係比電阻非常高而為 $6.0 \times 10^{-4} \Omega \cdot \text{cm}$ 。

本發明之目的在於提供一種具有透明導電層之比電阻較低且厚度較薄之性狀、並且耐龜裂性優異之透明導電性膜及其製造方法。

[解決問題之技術手段]

為了達成上述目的，本發明之透明導電性膜之特徵在於：其係具有高分子膜基材及形成於上述高分子膜基材之至少一主面上之透明導電層者，且上述透明導電層係包含銦錫複合氧化物之結晶質透明導電層，上述透明導電層之殘留應力為600 MPa以下，上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，上述透明導電層之厚度為15 nm～40 nm。

較佳為，上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 2.2 \times 10^{-4} \Omega \cdot \text{cm}$ 。

較佳為，上述透明導電層係藉由熱處理使形成於上述高分子膜基材上之非晶質透明導電層進行結晶轉化而得者，關於上述透明導電層，其面內之最大尺寸變化率相對於上述非晶質透明導電層為-1.0～0%。

又，較佳為，上述透明導電性膜為長條狀，且捲繞成捲筒狀。

又，較佳為，上述非晶質透明導電層於110～180℃、150分鐘以下進行結晶轉化。

較佳為，上述透明導電層係{氧化錫/(氧化銦+氧化錫)}×100(%)所表示之氧化錫之比率為0.5～15重量%。

又，較佳為，上述透明導電層係自上述高分子膜基材側依序積層有第一銦-錫複合氧化物層、第二銦-錫複合氧化物層之雙層膜，且上述第一銦-錫複合氧化物層之氧化錫含量為6重量%～15重量%，上述第

二銦-錫複合氧化物層之氧化錫含量為0.5重量%~5.5重量%。

又，較佳為，上述透明導電層係自上述高分子膜基材側依序積層有第一銦-錫複合氧化物層、第二銦-錫複合氧化物層、第三銦-錫複合氧化物層之三層膜，且上述第一銦錫氧化物層之氧化錫之含量為0.5重量%~5.5重量%，上述第二銦錫氧化物層之氧化錫之含量為6重量%~15重量%，上述第三銦錫氧化物層之氧化錫之含量為0.5重量%~5.5重量%。

較佳為，於上述高分子膜基材之至少一主面上形成有藉由濕式成膜法形成之有機系介電層，並於上述有機系介電層上形成有上述透明導電層。

較佳為，於上述高分子膜基材之至少一主面上形成有藉由真空成膜法形成之無機系介電層，並於上述無機系介電層上形成有上述透明導電層。

較佳為，於上述高分子膜基材之至少一主面上，依序形成有藉由濕式成膜法形成之有機系介電層、藉由真空成膜法形成之無機系介電層、上述透明導電層。

本發明之透明導電性膜之製造方法之特徵在於：其係製造如下透明導電性膜之方法，該透明導電性膜具有高分子膜基材及形成於上述高分子膜基材之至少一主面上之透明導電層，且上述透明導電層係包含銦錫複合氧化物之結晶質透明導電層，上述透明導電層之殘留應力為600 MPa以下，上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，上述透明導電層之厚度為15 nm~40 nm，且該透明導電性膜之製造方法具有如下步驟：層形成步驟，其係藉由使用銦錫複合氧化物之靶之磁控濺鍍法，以該靶表面之水平磁場為50 mT以上，於上述高分子膜基材上形成非晶質透明導電層；及結晶轉化步驟，其係藉由熱處理將上述非晶質透明導電層進行結晶轉化。

較佳為，於上述層形成步驟中，藉由使用銦錫複合氧化物之靶之RF(radio frequency，射頻)疊加DC(direct current，直流)磁控濺鍍法，以該靶表面之水平磁場為50 mT以上，於上述高分子膜基材上形成上述非晶質透明導電層。

又，較佳為，於上述層形成步驟之前具有對上述高分子膜基材進行加熱之步驟。

[發明之效果]

根據本發明，具有結晶質透明導電層之比電阻較低且厚度較薄之特性，並且製造時之耐龜裂性優異。尤其，即便於藉由捲對捲法製造透明導電性膜之情形時，亦不於結晶質透明導電層之表面產生破裂，而耐龜裂性優異。

【圖式簡單說明】

圖1係概略性地表示本發明之實施形態之透明導電性膜之構成的剖視圖。

【實施方式】

以下，一面參照圖式一面對本發明之實施形態進行詳細說明。

圖1係概略性地表示本實施形態之透明導電性膜之構成的圖。再者，圖1中之各構成之長度、寬度或厚度係表示其一例者，本發明之透明導電性膜中之各構成之長度、寬度或厚度設為不限於圖1者。

如圖1所示，本實施形態之透明導電性膜1具有高分子膜基材2及形成於高分子膜基材2之主面2a上之透明導電層3。透明導電性膜1為長條狀，亦可捲繞成捲筒狀。

此處，長條狀係指膜之長邊方向之長度相對於短邊方向之長度而充分長者，通常長邊方向相對於短邊方向之長度比為10以上。

透明導電性膜之長邊方向之長度可根據透明導電性膜之使用形態而採用適當之長度，較佳為適於捲對捲搬送步驟之程度。具體而言，

長邊方向之長度較佳為10 m以上。

將本發明之透明導電性膜捲繞成捲筒狀之程度並無特別限定，根據透明導電性膜之使用形態而適當設定即可。本發明之透明導電性膜由於具有較高之耐龜裂性，故而即便為捲繞成捲筒狀之狀態，亦不易產生因彎曲應力等壓力所致之龜裂。

透明導電層3係包含銦錫複合氧化物之結晶質透明導電層，殘留應力為600 MPa以下，比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，厚度為15 nm～40 nm。

如上述般構成之透明導電性膜中，(透明導電層之殘留應力為600 MPa以下，因此柔軟性較高)。因此，透明導電層之比電阻非常低而為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，且透明導電層之厚度非常薄而為15 nm～40 nm，而且製造時之耐龜裂性優異。尤其，於藉由捲對捲法製造透明導電性膜之情形時，透明導電性膜被捲繞成捲筒狀，因此先前容易於透明導電層之表面產生龜裂。然而，於本實施形態中，透明導電層之殘留應力為600 MPa以下，柔軟性優異，因此可防止龜裂產生。

繼而，以下對透明導電性膜1之各構成要素之詳細情況進行說明。

(1) 高分子膜基材

高分子膜基材之材料只要為具有透明性者，則無特別限定，例如可列舉：聚對苯二甲酸乙二酯、聚對苯二甲酸丁二酯、聚萘二甲酸乙二酯等聚酯系樹脂、聚環烯烴等聚烯烴系樹脂、聚碳酸酯系樹脂、聚醯胺系樹脂、聚醯亞胺系樹脂、纖維素系樹脂、聚苯乙烯系樹脂。高分子膜基材之厚度較佳為 $2 \mu\text{m} \sim 200 \mu\text{m}$ ，更佳為 $2 \mu\text{m} \sim 150 \mu\text{m}$ ，進而較佳為 $20 \mu\text{m} \sim 150 \mu\text{m}$ 。若高分子膜基材之厚度未達 $2 \mu\text{m}$ ，則有機械強度不足而難以進行使高分子膜基材為捲筒狀而連續地成膜透明導電層之操作的情況。另一方面，若高分子膜基材之厚度超過 $200 \mu\text{m}$ ，則有無法謀求提高透明導電層之耐擦傷性或形成觸控面板之情形時之打

點特性等之情況。

(2)透明導電層

透明導電層包含銦錫複合氧化物(ITO)。銦錫複合氧化物中之氧化錫之含量相對於氧化銦與氧化錫之合計100重量%較佳為0.5重量%~15重量%。若氧化錫之含量未達0.5重量%，則有加熱非晶ITO時比電阻難以變低、無法獲得低電阻之透明導電層之情況。若氧化錫之含量超過15重量%，則有氧化錫成為雜質而阻礙結晶轉化之傾向。因此，若氧化錫之含量過大，則有難以獲得完全結晶化之ITO膜、或結晶化耗費時間之傾向，因此有無法獲得透明性較高且低電阻之透明導電層之情況。

本說明書中之所謂“ITO”，為至少包含In及Sn之複合氧化物即可，亦可包含該等以外之追加成分。作為追加成分，例如可列舉In、Sn以外之金屬元素，具體而言，可列舉Zn、Ga、Sb、Ti、Si、Zr、Mg、Al、Au、Ag、Cu、Pd、W、Fe、Pb、Ni、Nb、Cr及其等之組合。追加成分之含量並無特別限制，可設為3重量%以下。

透明導電層亦可具有錫之含量互不相同之複數層銦-錫複合氧化物層積層而成之構造。藉由將透明導電層設為此種特定之層構造，可促進結晶轉化時間之縮短化或透明導電層之進一步低電阻化。

於本發明之一實施形態中，透明導電層亦可為自高分子膜基材側依序積層有第一銦-錫複合氧化物層、第二銦-錫複合氧化物層之雙層膜。第一銦-錫複合氧化物層之氧化錫含量較佳為6重量%~15重量%，第二銦-錫複合氧化物層之氧化錫含量較佳為0.5重量%~5.5重量%。藉由設為雙層膜之構成，可縮短透明導電層之結晶轉化時間。

於本發明之一實施形態中，透明導電層亦可為自高分子膜基材側依序積層有第一銦-錫複合氧化物層、第二銦-錫複合氧化物層、第三銦-錫複合氧化物層之三層膜。第一銦錫氧化物層之氧化錫之含量較佳

為0.5重量%~5.5重量%，第二銦錫氧化物層之氧化錫之含量較佳為6重量%~15重量%，第三銦錫氧化物層之氧化錫之含量較佳為0.5重量%~5.5重量%。藉由設為三層膜之構成，可進一步降低透明導電層之比電阻。

透明導電層之殘留應力為600 MPa以下，較佳為550 MPa以下。若殘留應力超過600 MPa，則彎曲性變低。再者，殘留應力可基於根據粉末X射線繞射之繞射峰求出之晶格應變 ε 與彈性係數(楊氏模數) E 及帕松比 ν 而算出。

透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，較佳為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 2.8 \times 10^{-4} \Omega \cdot \text{cm}$ ，更佳為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 2.4 \times 10^{-4} \Omega \cdot \text{cm}$ ，進而較佳為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 2.2 \times 10^{-4} \Omega \cdot \text{cm}$ 。

透明導電層之厚度為15 nm~40 nm，較佳為15 nm~35 nm。若厚度未達15 nm，則於加熱時ITO膜難以結晶化，難以獲得低比電阻之透明導電層。另一方面，若厚度超過40 nm，則於透明導電層彎曲時膜容易產生龜裂，於材料成本方面亦變得不利。

本發明之透明導電層為結晶質透明導電層，係對非晶質透明導電層進行結晶轉化處理而成者。此處，結晶質透明導電層可為包含一部分非晶質者，但較佳為層中之所有銦-錫複合氧化物為結晶質。即，較佳為完全結晶轉化。如下所述，藉由加熱非晶質透明導電層，可製成結晶質透明導電層。

結晶質透明導電層之耐龜裂性之評價可藉由測定彎曲試驗前後之比電阻值之變化率而進行。彎曲試驗之實施方法係對透明導電層施加一定以上之彎曲應力之負荷即可，例如使用將透明導電性膜捲曲成筒狀體而使其彎曲等方法即可。關於用於耐龜裂性評價之透明導電性膜之樣品，就定量地評價透明導電層之觀點而言，較佳為事先藉由充分之熱處理而完成透明導電層之結晶轉化。

再者，本說明書中之所謂“耐龜裂性”，主要指經過結晶轉化處理後之結晶質透明導電層之耐龜裂性，對於結晶轉化前之非晶質透明導電層，關於該特性並無任何限定。

(3)透明導電性膜之製造方法

本實施形態之透明導電性膜之製造方法並無特別限制，較佳為具有如下步驟：藉由RF疊加DC磁控濺鍍法而於高分子膜基材上形成非晶質透明導電層；及對非晶質透明導電層進行熱處理而進行結晶化。

首先，於濺鍍裝置內安裝銦錫複合氧化物之靶及高分子膜基材，並導入氬氣等惰性氣體。靶中之氧化錫之量相對於氧化銦與氧化錫相加之重量較佳為0.5重量%～15重量%。進而，於靶中亦可含有氧化錫與氧化銦以外之元素。其他元素例如為Fe、Pb、Ni、Cu、Ti、Zn。

其次，同時對靶施加RF功率及DC功率進行濺鍍，而於高分子膜基材上形成非晶質透明導電層。於使用磁控濺鍍法之情形時，靶表面之水平磁場較佳為50 mT以上。又，於RF功率之頻率為13.56 MHz之情形時，RF功率/DC功率之功率比較佳為0.4～1.0。又，層形成時之高分子膜基材之溫度較佳為110℃～180℃。

設置於濺鍍裝置之電源之種類並無限定，可為DC電源，可為MF(medium frequency，中頻)電源，亦可為RF電源，亦可組合該等電源。放電電壓(絕對值)較佳為20 V～350 V，較佳為40 V～300 V，進而較佳為40 V～200 V。藉由設為該等範圍，可確保透明導電層之堆積速度並且使被導入至透明導電層內之雜質量變小。

繼而，自濺鍍裝置內取出形成有非晶質透明導電層之高分子膜基材，進行熱處理。該熱處理係為了使非晶質透明導電層進行結晶轉化而進行。熱處理例如可藉由使用紅外線加熱器、烘箱等而進行。

熱處理之加熱時間通常可於10分鐘～5小時之範圍適當設定，於考慮產業用途上之生產性之情形時，較佳為實質上10分鐘～150分鐘，

更佳為10分鐘～120分鐘。進而，較佳為10分鐘～90分鐘，更佳為10分鐘～60分鐘，尤佳為10分鐘～30分鐘。藉由設定於該範圍，可確保生產性並且確實地完成結晶轉化。

熱處理之加熱溫度以可達成結晶轉化之方式適當設定即可，一般可設為110℃～180℃。又，就使用本領域中通用之高分子膜基材之觀點而言，較佳為110℃～150℃，進而較佳為110℃～140℃。根據高分子膜基材之種類，若採用過高之加熱溫度，則有所獲得之透明導電性膜產生不良情況之虞。具體而言，可列舉如下不良情況：若為PET膜，則產生因加熱所致之低聚物之析出；若為聚碳酸酯膜或聚環烯烴膜，則產生因超過玻璃轉移點所致之膜組成變形。

非晶質透明導電層係藉由熱處理而結晶化。所獲得之結晶質透明導電層之面內之相對於結晶化前之最大尺寸變化率較佳為-1.0～0%，更佳為-0.8～0%，進而較佳為-0.5～0%。此處，關於最大尺寸變化率，使用透明導電層於熱處理前之兩點間距離 L_0 、及與上述兩點間距離對應之熱處理後之兩點間距離 L 表示尺寸變化率之式： $100 \times (L - L_0) / L_0$ ，並據此算出任意方向之尺寸變化率，而最大尺寸變化率即被定義為該等變化率中值變得最大之特定方向之尺寸變化率的值。換言之，最大尺寸變化率亦可稱為透明導電層面內之最大尺寸變化方向上之尺寸變化率。通常，於長條狀之透明導電性膜中，上述最大尺寸變化方向為搬送方向(MD方向(machine direction，機械方向))。若最大尺寸變化率為上述範圍，則因尺寸變化所產生之應力較少，因此易於使耐龜裂性提高。

再者，亦可並不如上所述般另外進行熱處理而使非晶質透明導電層結晶化。於此情形時，層形成時之高分子膜基材之溫度較佳設為150℃以上。進而，於RF功率之頻率為13.56 MHz之情形時，RF功率/DC功率之功率比較佳設為0.4～1。

又，較佳為，於在分子膜基材上形成非晶質透明導電層之前，進行對分子膜基材預先進行加熱之處理(預退火處理)。藉由進行此種預退火處理，而分子膜基材中之應力得以緩和，不易引起因結晶轉化處理等中之加熱所致之分子膜基材之收縮。藉由預退火處理，可較佳地抑制分子膜基材之伴隨著熱收縮之殘留應力增大。

該預退火處理較佳為於接近實際之結晶轉化處理步驟之環境下進行。即，較佳為一面使分子膜基材進行捲對捲搬送一面進行。加熱溫度較佳為 $140^{\circ}\text{C} \sim 200^{\circ}\text{C}$ 。又，加熱時間較佳為2分鐘 $\sim$ 5分鐘。

根據本實施形態，透明導電性膜1具有分子膜基材2及形成於分子膜基材2之主面2a上之透明導電層3。透明導電層3係包含銦錫複合氧化物之結晶質透明導電層，殘留應力為600 MPa以下，比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，厚度為15 nm $\sim$ 40 nm。由於透明導電層之殘留應力為600 MPa以下，故而柔軟性優異，於製造透明導電性膜時，可防止搬送步驟或觸控面板等之組裝步驟中於透明導電層之表面產生龜裂。又，於藉由捲對捲法製造透明導電性膜之情形時，由於透明導電性膜被捲繞成捲筒狀，故而透明導電層之表面被施加彎曲負荷，但本實施形態之透明導電性膜之耐彎曲性優異，即便對於彎曲負荷亦可保持。進而，本實施形態之透明導電性膜可利用於觸控面板等，尤其由於透明導電層之比電阻非常低、且厚度非常薄，故而可應對觸控面板等之大畫面化及薄型化。

又，根據本實施形態，透明導電性膜1係藉由如下方式而製造，即，藉由使用銦錫複合氧化物之靶之磁控濺鍍法，以該靶表面之水平磁場為50 mT以上，於分子膜基材2上形成非晶質透明導電層後，利用熱處理使非晶質透明導電層進行結晶轉化。藉由將水平磁場提高為50 mT以上，而放電電壓降低。藉此，可減輕對非晶質透明導電層之損害，使殘留應力為600 MPa以下。進而，於在分子膜基材2上形成

非晶質透明導電層之前，藉由預先對高分子膜基材2一面進行張力調整一面進行加熱，可使利用熱處理使非晶質透明導電層進行結晶轉化時之尺寸變化率變小。

以上，已對本實施形態之透明導電性膜進行敘述，但本發明並不限定於所記載之實施形態，可基於本發明之技術思想而進行各種變化及變更。

例如，上述實施形態之透明導電性膜係於高分子膜基材上形成有透明導電層，但亦可於高分子膜基材與透明導電層之間設置有介電層。介電層可列舉：包含 NaF(1.3)、 Na_3AlF_6 (1.35)、LiF(1.36)、 MgF_2 (1.38)、 CaF_2 (1.4)、 BaF_2 (1.3)、 BaF_2 (1.3)、 SiO_2 (1.46)、 LaF_3 (1.55)、CeF(1.63)、 Al_2O_3 (1.63)等無機物[括弧內之數值表示折射率]之介電層、或包含折射率為1.4~1.6左右之丙烯酸系樹脂、胺基甲酸酯樹脂、三聚氰胺樹脂、醇酸樹脂、矽氧烷系聚合物、有機矽烷縮合物等有機物之介電層、或包含上述無機物與上述有機物之混合物之介電層。介電層之厚度可於較佳之範圍適當設定，較佳為15 nm~1500 nm，更佳為20 nm~1000 nm，最佳為20 nm~800 nm。藉由設定於上述範圍，可充分抑制表面粗糙度。

包含有機物之介電層或包含無機物與有機物之混合物之介電層較佳為藉由濕式塗佈(例如凹版塗敷法)而形成於高分子膜基材2上。藉由進行濕式塗佈，可使高分子膜基材2之表面粗糙度變小，可有助於比電阻之降低。有機系介電層之厚度可於較佳之範圍適當設定，較佳為15 nm~1500 nm，更佳為20 nm~1000 nm，最佳為20 nm~800 nm。藉由設定於上述範圍，可充分抑制表面粗糙度。又，亦可為折射率為0.01以上之不同之兩種以上有機物或無機物與有機物之混合物積層複數層而成之介電層。

作為藉由濕式塗佈將包含有機物之介電層或包含無機物與有機

物之混合物之介電層形成於高分子膜基材上之方法，例如可藉由如下方式而進行：以溶劑將有機物或無機物與有機物之混合物進行稀釋而獲得稀釋組合物，並將該組合物塗佈於高分子膜基材上後進行加熱處理。該加熱處理亦可視為上述預退火處理。即，亦可採用伴隨著上述介電層之形成之加熱處理作為上述預退火處理。當然，於透明導電性膜之製造中，亦可與伴隨著上述介電層之形成之加熱處理分開地實施預退火處理。

包含無機物之無機系介電層較佳為藉由真空成膜法(例如濺鍍法或真空蒸鍍法)而形成於高分子膜基材2上。藉由利用真空成膜法形成密度較高之無機系介電層，可抑制於利用濺鍍形成透明導電層3時自高分子膜基材釋出水或有機氣體等雜質氣體。其結果為，可減少被導入至透明導電層內之雜質氣體量，可有助於比電阻之抑制。無機系介電層之厚度較佳為2.5 nm~100 nm，更佳為3 nm~50 nm，最佳為4 nm~30 nm。藉由設定於上述範圍，可充分抑制雜質氣體之釋出。又，亦可為折射率為0.01以上之不同之兩種以上無機物積層複數層而成之無機系介電層。

又，介電層亦可為組合有機系介電層與無機系介電層而成者。藉由組合有機系介電層與無機系介電層，成為表面平滑且可抑制濺鍍時之雜質氣體之基材，可有效地降低透明導電層之比電阻。再者，有機系介電層及無機系介電層各者之厚度可於上述範圍適當設定。

[實施例]

以下，對本發明之實施例進行說明。

[實施例1]

(高分子膜基材)

作為高分子膜基材，使用三菱樹脂股份有限公司製造之O300E(厚度125 μm)之聚對苯二甲酸乙二酯(PET)膜。

(有機系介電層之形成)

以固形物成分濃度成為8重量%之方式，利用甲基乙基酮對熱硬化型樹脂組合物進行稀釋，該熱硬化型樹脂組合物係以固形物成分計為2：2：1之重量比包含三聚氰胺樹脂：醇酸樹脂：有機矽烷縮合物。一面將上述PET膜進行捲對捲搬送一面將所獲得之稀釋組合物塗佈於膜之一主面，並於150℃下加熱硬化2分鐘，形成膜厚35 nm之有機系介電層。

(脫氣處理)

將所獲得之附有有機系介電層之PET膜安裝於真空濺鍍裝置，使膜於經加熱之成膜輥一面密接、移行一面進行捲取。一面使膜移行，一面藉由具備低溫線圈及渦輪分子泵之排氣系統而獲得真空度為 1×10^{-4} Pa之氛圍。

(ITO靶之濺鍍成膜)

於維持真空之狀態下，於上述附有有機系介電層之PET膜上利用DC濺鍍形成5 nm之SiO₂層作為無機系介電層。於該無機系介電層上，使用銦錫氧化物(以下，ITO)之氧化錫濃度10重量%之靶材，於導入有Ar及O₂(O₂流量比0.1%)之減壓下(0.4 Pa)，藉由將水平磁場設為100 mT之RF疊加DC磁控濺鍍法(RF頻率13.56 MHz，放電電壓150 V，RF功率相對於DC功率之比(RF功率/DC功率)0.8，基板溫度130℃)，形成厚度20 nm之ITO之非晶質膜(第一ITO層)。於該第一ITO層上，使用ITO之氧化錫濃度3重量%之靶材，於導入有Ar及O₂(O₂流量比0.1%)之減壓下(0.40Pa)，藉由將水平磁場設為100 mT之RF疊加DC磁控濺鍍法(RF頻率13.56 MHz，放電電壓150 V，RF功率相對於DC功率之比(RF功率/DC功率)0.8，基板溫度130℃)，形成厚度5 nm之ITO之非晶質膜(第二ITO層)。

(結晶轉化處理)

繼而，將形成有ITO之非晶質層之高分子膜基材自濺鍍裝置內取出，並於150℃之烘箱內進行120分鐘熱處理。獲得於高分子膜基材上形成有厚度25 nm之透明導電層(ITO之結晶質層)之透明導電性膜。

[實施例2]

使用ITO之氧化錫濃度10重量%之靶材，形成厚度25 nm之單層之透明導電層，除此以外，以與實施例1同樣之方式獲得透明導電性膜。

[實施例3]

於高分子膜基材上未形成有機系介電層，除此以外，以與實施例2同樣之方式獲得透明導電性膜。

[實施例4]

於高分子膜基材上未形成無機系介電層，且將濺鍍電源設為DC電源，將放電電壓設為235 V，除此以外，以與實施例1同樣之方式獲得透明導電性膜。

[實施例5]

於高分子膜基材上未形成無機系介電層，除此以外，以與實施例2同樣之方式獲得透明導電性膜。

[實施例6]

於高分子膜基材上未形成有機系介電層及無機系介電層，且將透明導電層之厚度設為30 nm，除此以外，以與實施例2同樣之方式獲得透明導電性膜。

[實施例7]

將透明導電層之厚度設為35 nm，除此以外，以與實施例6同樣之方式獲得透明導電性膜。

[實施例8]

於形成有機系介電層時，一面進行張力調整一面進行加熱，除此以外，以與實施例5同樣之方式獲得透明導電性膜。

[比較例1]

將水平磁場設為30 mT，將濺鍍電源設為DC電源，將放電電壓設為450 V，且於高分子膜基材上未形成有機系介電層而形成厚度25 nm之單層之透明導電層，除此以外，以與實施例4同樣之方式獲得透明導電性膜。

[比較例2]

於高分子膜基材上形成有機系介電層，除此以外，以與比較例1同樣之方式獲得透明導電性膜。

其次，藉由以下方法對該等實施例1～8及比較例1～2之透明導電性膜進行測定、評價。

(1)結晶轉化之評價

將於高分子膜基材上形成有非晶質ITO層之透明積層體於150℃之熱風烘箱中進行加熱而進行結晶轉化處理，於濃度5 wt%之鹽酸中浸漬15分鐘後進行水洗、乾燥，利用測試機測定15 mm間之端子間電阻。於本實施例中，於浸漬於鹽酸中、水洗、乾燥後而15 mm間之端子間電阻不超過10 k Ω 之情形時，設為非晶質ITO層之結晶轉化完成。又，加熱時間每60分鐘實施一次上述測定，將可確認結晶轉化完成之時間設為結晶轉化時間而進行評價。

(2)殘留應力

殘留應力係藉由X射線散射法根據透明導電層之結晶晶格應變而間接地求出。藉由RIGAKU股份有限公司製造之粉末X射線繞射裝置，於測定散射角 $2\theta = 59 \sim 62^\circ$ 之範圍每隔 0.04° 測定繞射強度。各測定角度時之累計時間(曝光時間)設為100秒。根據所獲得之繞射像之峰(ITO之(622)面之峰)角 2θ 、及X射線源之波長 λ ，算出透明導電層之晶格間隔 d ，並基於 d 算出晶格應變 ε 。於計算時使用下述式(1)、(2)。

[數式1]

$$2d\sin\theta = \lambda \dots (1)$$

$$\varepsilon = (d-d_0)/d_0 \dots (2)$$

此處， λ 為X射線源(Cu K α 射線)之波長(=0.15418 nm)， d_0 為無應力狀態之ITO層之晶格間隔(=0.15241 nm)。再者， d_0 係自ICDD(The International Centre for Diffraction Data，國際繞射資料中心)資料庫取得之值。

關於膜面法線與ITO結晶面法線所成之角 Ψ 為45°、50°、55°、60°、65°、70°、77°、90°之各者，進行上述X射線繞射測定，算出各 Ψ 時之晶格應變 ε 。再者，膜面法線與ITO結晶面法線所成之角 Ψ 係藉由將TD方向設為旋轉軸中心使試樣旋轉而進行調整。ITO層面內方向之殘留應力 σ 係根據對 $\sin^2\Psi$ 與晶格應變 ε 之關係進行繪圖所成之直線之斜率藉由下述式(3)而求出。

[數式2]

$$\varepsilon = \frac{1+\nu}{E}\sigma\sin^2\Psi - \frac{2\nu}{E}\sigma \dots (3)$$

於上述式中， E 為ITO之楊氏模數(116 GPa)， ν 為帕松比(0.35)。該等值係D.G. Neerincx and T.J. Vink, "Depth profiling of thin ITO films by grazing incidence X-ray diffraction", Thin Solid Films, 278 (1996), P12-17所記載之已知之實測值。

(3)最大尺寸變化率

於形成於高分子膜基材上之非晶質之ITO層表面，沿層形成時之搬送方向(以下，MD方向)以約80 mm之間隔形成2點標記點(劃痕)，藉

由二維測長機測定結晶化前之標記點間距離 L_0 及加熱後之標記點間距離 L 。根據 $100 \times (L - L_0) / L_0$ 求出最大尺寸變化率(%)。

(4)厚度

透明導電層之膜厚係藉由如下方式而算出：以X射線反射率法作為測定原理，於以下之測定條件下藉由粉末X射線繞射裝置(RIGAKU公司製造，「RINT-2000」)測定X射線反射率，並利用解析軟體(RIGAKU公司製造，「GXRR3」)對所取得之測定資料進行解析。解析條件係設為以下之條件，採用高分子膜基材與密度 7.1 g/cm^3 之ITO薄膜之雙層模型，將ITO膜之膜厚與表面粗糙度設為變數而進行最小平方擬合，對透明導電層之厚度進行解析。

[測定條件]

光源：Cu-K α 射線(波長： $1.5418 \text{ \AA}$)、40 kV、40 mA

光學系統：平行光束光學系統

發散狹縫：0.05 mm

受光狹縫：0.05 mm

單色化、平行化：使用多層Goebel鏡

測定模式： $\theta/2\theta$ 掃描模式

測定範圍(2θ)： $0.3 \sim 2.0^\circ$

[解析條件]

解析方法：最小平方擬合

解析範圍(2θ)： $2\theta = 0.3 \sim 2.0^\circ$

(5)比電阻

透明導電層之表面電阻($\Omega/\square$)係依據JIS K7194(1994年)藉由四端子法而進行測定。根據由上述(4)所記載之方法求出之透明導電層之厚度與上述表面電阻，算出比電阻。

(6)電阻變化率

於透明導電性膜中，切出以MD方向作為長邊之10 mm×150 mm之長方形，於兩短邊上以寬度5 mm將銀膏進行網版印刷，於140℃下加熱30分鐘，形成銀電極。藉由二端子法求出該試驗片之電阻(初期電阻 R_0)。

使試驗片沿開孔徑9.5 mm ϕ 之木塞鑽孔器彎曲，於500 g之荷重下保持10秒鐘。其後，測定電阻 R_T ，求出相對於初期電阻之變化率(電阻變化率) R_T/R_0 。於該值成為5以上之情形時，判定為彎曲性較低，於未達5之情形時，判定為彎曲性良好。於將ITO層形成面設為外側之情形與設為內側之情形之兩種情形時實施本試驗，採用彎曲性較差者。

將藉由上述(1)～(6)之方法測定之結果示於表1。

[表 1]

	鍍方法	水平磁場[mT]	放電電壓[V]	氣壓[Pa]	ITO構成	ITO厚度[nm]	無機系介電層[nm]	有機系介電層[nm]	最大尺變化率[%]	殘留應力[MPa]	表面電阻值[Ω/□]	比電阻[Ω・cm]	電阻變化率[倍]	結晶轉化時間[min]
實施例1	DC/RF	100	150	0.4	2層	25	5	35	-0.5	315	55	1.4×10^{-4}	1.0	60
實施例2	DC/RF	100	150	0.4	1層	25	5	35	-0.5	330	55	1.4×10^{-4}	1.0	120
實施例3	DC/RF	100	150	0.4	1層	25	5	-	-1.0	554	70	1.8×10^{-4}	3.0	120
實施例4	DC	100	235	0.4	2層	25	-	35	-0.5	380	90	2.1×10^{-4}	1.0	60
實施例5	DC/RF	100	150	0.4	1層	25	-	35	-0.5	330	70	1.7×10^{-4}	1.0	120
實施例6	DC/RF	100	150	0.4	1層	30	-	-	-1.0	530	60	1.8×10^{-4}	3.5	120
實施例7	DC/RF	100	150	0.4	1層	35	-	-	-1.0	535	50	1.8×10^{-4}	4.0	120
實施例8	DC/RF	100	150	0.4	1層	25	-	35	-0.8	475	70	1.7×10^{-4}	2.0	120
比較例1	DC	30	450	0.4	1層	25	-	-	-1.0	639	130	3.2×10^{-4}	6.0	120
比較例2	DC	30	450	0.4	1層	25	-	35	-1.0	620	125	3.1×10^{-4}	5.5	120

如表1所示，於實施例1～8之透明導電性膜中，ITO層之殘留應力較低為600 MPa以下，且比電阻較低為 $2.2 \times 10^{-4} \Omega \cdot \text{cm}$ 以下，且厚度較薄為25 nm～35 nm，並且電阻變化率未達5，因此可知耐彎曲性優異。藉此，可防止製造時於ITO層之表面產生龜裂。

另一方面，於比較例1～2之導電性膜中，ITO層之殘留應力較高為620 MPa以上，且比電阻較高為 $3.1 \times 10^{-4} \Omega \cdot \text{cm}$ 以上，並且電阻變化率為5.5以上，因此可知耐彎曲性較差。

因此，可知，於本發明之透明導電性膜中，透明導電層之殘留應力為600 MPa以下，耐彎曲性優異，因此可防止龜裂之產生。

[產業上之可利用性]

本發明之透明導電性膜之用途並無特別限制，較佳為用於智慧型手機或平板終端(亦稱為Slate PC)等移動終端之靜電電容式觸控面板感測器。

【符號說明】

- | | |
|----|--------|
| 1 | 透明導電性膜 |
| 2 | 高分子膜基材 |
| 2a | 主面 |
| 3 | 透明導電層 |

申請專利範圍

1. 一種透明導電性膜，其特徵在於：其係具有高分子膜基材及在上述高分子膜基材之至少一主面上之透明導電層者，且
上述透明導電層係包含銮錫複合氧化物之結晶質透明導電層，
上述透明導電層之殘留應力為 600 MPa 以下，
上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，
上述透明導電層之厚度為 15 nm $\sim$ 40 nm。
2. 如請求項 1 之透明導電性膜，其中上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 2.2 \times 10^{-4} \Omega \cdot \text{cm}$ 。
3. 如請求項 1 或 2 之透明導電性膜，其中上述透明導電層係藉由熱處理使形成於上述高分子膜基材上之非晶質透明導電層進行結晶轉化而成者，且
關於上述透明導電層，其面內之最大尺寸變化率相對於上述非晶質透明導電層為 -1.0 $\sim$ 0%。
4. 如請求項 1 或 2 之透明導電性膜，其為長條狀，且捲繞成捲筒狀。
5. 如請求項 3 之透明導電性膜，其中上述非晶質透明導電層於 110 $\sim$ 180°C、150 分鐘以下進行結晶轉化。
6. 如請求項 1 或 2 之透明導電性膜，其中上述透明導電層中，{氧化銮/(氧化銮 + 氧化銮)} $\times 100(\%)$ 所表示之氧化銮之比率為 0.5 $\sim$ 15 重量%。
7. 如請求項 1 或 2 之透明導電性膜，其中上述透明導電層係自上述高分子膜基材側依序積層有第一銮-銮複合氧化物層、第二銮-銮複合氧化物層之雙層膜，且
上述第一銮-銮複合氧化物層之氧化銮含量為 6 重量% $\sim$ 15 重量%，

上述第二銮-錫複合氧化物層之氧化錫含量為0.5重量%~5.5重量%。

8. 如請求項1或2之透明導電性膜，其中上述透明導電層係自上述高分子膜基材側依序積層有第一銮-錫複合氧化物層、第二銮-錫複合氧化物層、第三銮-錫複合氧化物層之三層膜，且

上述第一銮錫氧化物層之氧化錫之含量為0.5重量%~5.5重量%，

上述第二銮錫氧化物層之氧化錫之含量為6重量%~15重量%，

上述第三銮錫氧化物層之氧化錫之含量為0.5重量%~5.5重量%。

9. 如請求項1或2之透明導電性膜，其中於上述高分子膜基材之至少一主面上形成有藉由濕式成膜法形成之有機系介電層，且於上述有機系介電層上形成有上述透明導電層。

10. 如請求項1或2之透明導電性膜，其中於上述高分子膜基材之至少一主面上形成有藉由真空成膜法形成之無機系介電層，且於上述無機系介電層上形成有上述透明導電層。

11. 如請求項1或2之透明導電性膜，其中於上述高分子膜基材之至少一主面上依序形成有藉由濕式成膜法形成之有機系介電層、藉由真空成膜法形成之無機系介電層、上述透明導電層。

12. 一種透明導電性膜之製造方法，其特徵在於：其係製造如下透明導電性膜之方法，該透明導電性膜具有高分子膜基材及在上述高分子膜基材之至少一主面上之透明導電層，

上述透明導電層係包含銮錫複合氧化物之結晶質透明導電層，

上述透明導電層之殘留應力為600 MPa以下，

上述透明導電層之比電阻為 $1.1 \times 10^{-4} \Omega \cdot \text{cm} \sim 3.0 \times 10^{-4} \Omega \cdot \text{cm}$ ，

上述透明導電層之厚度為15 nm~40 nm；

且該透明導電性膜之製造方法具有如下步驟：

層形成步驟，其係藉由使用銦錫複合氧化物之靶之磁控濺鍍法，以該靶表面之水平磁場為50 mT以上，於上述高分子膜基材上形成非晶質透明導電層；及

結晶轉化步驟，其係藉由熱處理使上述非晶質透明導電層進行結晶轉化。

13. 如請求項12之透明導電性膜之製造方法，其中於上述層形成步驟中，藉由使用銦錫複合氧化物之靶之RF疊加DC磁控濺鍍法，以該靶表面之水平磁場為50 mT以上，於上述高分子膜基材上形成上述非晶質透明導電層。
14. 如請求項12或13之透明導電性膜之製造方法，其中於上述層形成步驟之前具有對上述高分子膜基材進行加熱之步驟。

圖式

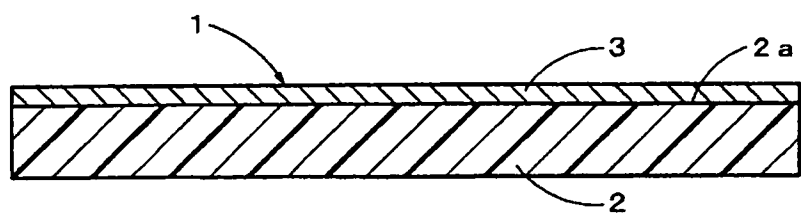


圖1