I755747

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I755747 B**

(45)公告日： 中華民國 111 (2022) 年 02 月 21 日

(21)申請案號：109118669 (22)申請日： 中華民國 99 (2010) 年 10 月 08 日

(51)Int. Cl.： ***H01L21/336 (2006.01)*** ***H01L29/786 (2006.01)***

(30)優先權：2009/10/16 日本 2009-238885

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；小山潤 KOYAMA, JUN (JP) ；三宅博之 MIYAKE, HIROYUKI (JP) ；高橋圭 TAKAHASHI, KEI (JP) ；豐高耕平 TOYOTAKA, KOUHEI (JP) ；津吹將志 TSUBUKU, MASASHI (JP) ；野田耕生 NODA, KOSEI (JP) ；桑原秀明 KUWABARA, HIDEAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200539293A	CN	101681927A
US	2009/0045397A1	WO	2008/099528A1
WO	2009/081885A1		

審查人員：邱青松

申請專利範圍項數：17 項 圖式數：18 共 93 頁

(54)名稱

半導體裝置和其製造方法

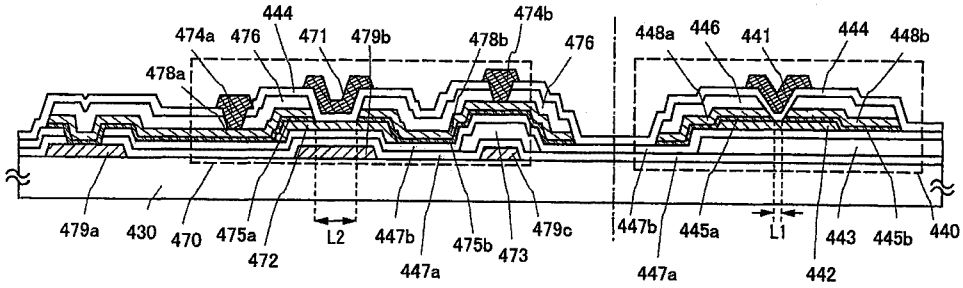
(57)摘要

本發明的課題之一是降低用於 LSI、CPU 或記憶體的電晶體的漏電流及寄生電容。使用如下薄膜電晶體來製造 LSI、CPU 或記憶體等的半導體積體電路，在上述薄膜電晶體中，去掉氧化物半導體中的成為電子給體(施體)的雜質，利用所得到的本徵或者實際上本徵的其能隙大於矽半導體的氧化物半導體來形成通道區。使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體可以實現由漏電流引起的耗電少的半導體裝置。

An object is to reduce leakage current and parasitic capacitance of a transistor used for an LSI, a CPU, or a memory. A semiconductor integrated circuit such as an LSI, a CPU, or a memory is manufactured using a thin film transistor in which a channel formation region is formed using an oxide semiconductor which becomes an intrinsic or substantially intrinsic semiconductor by removing impurities which serve as electron donors (donors) from the oxide semiconductor and has larger energy gap than that of a silicon semiconductor. With use of a thin film transistor using a highly purified oxide semiconductor layer with sufficiently reduced hydrogen concentration, a semiconductor device with low power consumption due to leakage current can be realized.

指定代表圖：

圖1B



符號簡單說明：

430:基板

440:薄膜電晶體

441:閘極電極層

442:氧化物半導體層

443:第二絕緣層

444:閘極絕緣層

445a:源極電極層

445b:汲極電極層

446:第四絕緣層

447a:絕緣層

447b:絕緣層

448a:源極電極層

448b:汲極電極層

470:薄膜電晶體

471:第一閘極電極層

472:氧化物半導體層

473:第五絕緣層

474a:佈線層

474b:佈線層

475a:源極電極層

475b:汲極電極層

478a:源極電極層

478b:汲極電極層

479a 至 479c:電極層

I755747

發明摘要

【發明名稱】(中文/英文)

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

【中文】

本發明的課題之一是降低用於 LSI、CPU 或記憶體的電晶體的漏電流及寄生電容。使用如下薄膜電晶體來製造 LSI、CPU 或記憶體等的半導體積體電路，在上述薄膜電晶體中，去掉氧化物半導體中的成爲電子給體（施體）的雜質，利用所得到的本徵或者實際上本徵的其能隙大於矽半導體的氧化物半導體來形成通道區。使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體可以實現由漏電流引起的耗電少的半導體裝置。

【英文】

An object is to reduce leakage current and parasitic capacitance of a transistor used for an LSI, a CPU, or a memory. A semiconductor integrated circuit such as an LSI, a CPU, or a memory is manufactured using a thin film transistor in which a channel formation region is formed using an oxide semiconductor which becomes an intrinsic or substantially intrinsic semiconductor by removing impurities which serve as electron donors (donors) from the oxide semiconductor and has larger energy gap than that of a silicon semiconductor. With use of a thin film transistor using a highly purified oxide semiconductor layer with sufficiently reduced hydrogen concentration, a semiconductor device with low power consumption due to leakage current can be realized.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

430：基板

440：薄膜電晶體

441：閘極電極層

442：氧化物半導體層

443：第二絕緣層

444：閘極絕緣層

445a：源極電極層

445b：汲極電極層

446：第四絕緣層

447a：絕緣層

447b：絕緣層

448a：源極電極層

448b：汲極電極層

470：薄膜電晶體

471：第一閘極電極層

472：氧化物半導體層

473：第五絕緣層

474a：佈線層

474b：佈線層

475a：源極電極層

475b：汲極電極層

478a：源極電極層

478b：汲極電極層

479a 至 479c：電極層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

【技術領域】

本發明係關於一種半導體裝置及該半導體裝置的製造方法，該半導體裝置包括使用薄膜電晶體（以下，也稱爲TFT）構成的積體電路。例如，本發明係關於一種作爲部件而安裝半導體積體電路的電子設備。

另外，本說明書中的半導體裝置指的是藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、半導體電路、電子部件以及電子設備都是半導體裝置。

【先前技術】

近年來，已對半導體裝置進行開發，將半導體裝置用作 LSI、CPU、記憶體。CPU 是包括從半導體晶圓分開的半導體積體電路（至少包括電晶體及記憶體）且形成有作爲連接端子的電極的半導體元件的集合體。

LSI、CPU、記憶體等的半導體電路（IC 晶片）安裝在電路基板例如印刷線路板上，並用作各種電子設備的部件之一。

此外，已對能夠發送和接收資料的半導體裝置進行開發，這種半導體裝置被稱爲無線標籤、RFID 標籤等。已被實用化了的這種半導體裝置在很多情況下包括天線和使用半導體基板而形成的半導體電路（IC 晶片）。

此外，作爲可以應用於薄膜電晶體的半導體薄膜，矽類半導體材料已經是眾所周知的，並且作爲其他材料，氧化物半導體受到注目。作爲氧化物半導體的材料，已知氧化鋅或者以氧化鋅爲成分的物質。並且，使用其電子載子濃度低於 $10^{18}/cm^3$ 的非晶氧化物（氧化物半導體）而形成的薄膜電晶體已被公開（專利文獻 1 至專利文獻 3）。

[專利文獻 1]日本專利申請公開第 2006-165527 號公報

[專利文獻 2]日本專利申請公開第 2006-165528 號公報

[專利文獻 3]日本專利申請公開第 2006-165529 號公報

電子設備的工作時和待機時的耗電量都受到重視。尤其是在可攜式電子設備中，將電池用作電源，因此電量有限，可以使用的時間受到限制。此外，在車載電子設備中，當待機時的漏電流大時，有可能會導致電池的使用壽命的降低。並且，在電動汽車中，因車載電子設備的漏電流而每一定充電量的行車距離縮短。

爲了減少耗電量，有效的是除了減少工作時的耗電量以外，還減少待機時的漏電流。雖然每個電晶體的漏電流

不大，但是在 LSI 中設置有幾百萬個電晶體，幾百萬個電晶體的漏電流決不小。上述漏電流是增加待機時的半導體裝置的耗電量的原因。雖然存在有各種各樣的漏電流的主要原因，但是如果可以減少待機時的漏電流，就可以實現用於電子設備的驅動電路等的低耗電量化。

【發明內容】

本發明的課題之一是減少用於 LSI、CPU、記憶體的電晶體的漏電流。

此外，爲了降低工作時的耗電量，減少寄生電容也是有效的。因此，本發明的課題之一也是減少寄生電容來實現耗電量的減少。

此外，本發明的課題之一是：藉由縮短用於 LSI、CPU、記憶體等的半導體積體電路的電晶體的通道長度 L，而將電路的工作速度高速化，並且實現耗電量的減少。

使用如下薄膜電晶體製造 LSI、CPU、記憶體等的半導體積體電路，在上述薄膜電晶體中，去掉氧化物半導體中的成爲電子給體（施體）的雜質，並利用所得到的本徵或者實際上本徵的其能隙大於矽半導體的氧化物半導體來形成通道區。

藉由使用如下氧化物半導體層，減少薄膜電晶體的截止電流，在上述氧化物半導體層中，去掉氧化物半導體所包含的氫或 OH 基等雜質，明確而言，將氧化物半導體所

包含的氫濃度設定爲 $5\times10^{19}/cm^3$ 以下，最好爲 $5\times10^{18}/cm^3$ 以下，更佳地爲 $5\times10^{17}/cm^3$ 以下，而充分地降低氫濃度並實現高純度化。另外，當測定氧化物半導體層中的氫濃度時，利用二次離子質譜測定技術（SIMS: Secondary Ion Mass Spectroscopy）。

最好在閘極電壓 Vg 是正的區域中汲極電流 Id 充分大，而在閘極電壓 Vg 是 0 以下的區域中汲極電流 Id 是 0。在使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體中，當汲極電壓 Vd 是+1V 或者 +10V 時，在閘極電壓 Vg 是-5V 至-20V 的範圍內，可以使截止電流值小於 1×10^{-13}[A]。

使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體可以實現由漏電流引起的耗電少的半導體裝置。

使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體可以形成在玻璃基板上，並且可以在玻璃基板上形成 LSI、CPU、記憶體。藉由使用大面積的玻璃基板，可以縮減製造成本。另外，所使用的基板不侷限於玻璃基板，可以在矽基板上使用氫濃度充分地被降低的氧化物半導體層形成薄膜電晶體，最好使用熱傳導性高的矽基板來進行半導體電路的散熱。另外，除了玻璃基板以外，還可以在撓性基板如塑膠薄膜上使用氫濃度被充分地降低的氧化物半導體層形成薄膜電晶體，從而可以製造具有撓性的無線標籤。

本說明書所公開的發明的結構之一是一種具備包括多個薄膜電晶體的半導體積體電路的半導體裝置，該薄膜電晶體包括：絕緣表面上的利用二次離子質譜測定技術檢驗出來的氫濃度是 $5\times10^{19}/cm^3$ 以下且載子濃度爲 $5\times10^{14}/cm^3$ 以下的氧化物半導體層；氧化物半導體層上的源極電極層及汲極電極層；氧化物半導體層、源極電極層以及汲極電極層上的閘極絕緣層；以及閘極絕緣層上的閘極電極層。

上述結構至少解決上述課題中之一。

此外，也可以在氧化物半導體層的下方形成導電層。本發明的另一發明的結構之一是一種包括多個薄膜電晶體的半導體裝置，該薄膜電晶體包括：絕緣表面上的導電層；導電層上的絕緣層；絕緣層上的利用二次離子質譜測定技術檢驗出來的氫濃度是 $5\times10^{19}/cm^3$ 以下且載子濃度是 $5\times10^{14}/cm^3$ 以下的氧化物半導體層；氧化物半導體層上的源極電極層及汲極電極層；氧化物半導體層、源極電極層以及汲極電極層上的閘極絕緣層；以及閘極絕緣層上的閘極電極層，其中，導電層隔著所述絕緣層與所述氧化物半導體層重疊。

此外，在上述各結構中，爲了降低寄生電容，還包括接觸於源極電極層或汲極電極層上的絕緣層，並且源極電極層或汲極電極層隔著閘極絕緣層以及絕緣層與閘極電極層的一部分重疊。藉由設置接觸於源極電極層或汲極電極層上的絕緣層，可以減少閘極電極層和源極電極層之間或者閘極電極層和汲極電極層之間的寄生電容。

此外，在佈線交叉部中，爲了減少寄生電容，在閘極佈線層和源極電極佈線層之間層疊閘極絕緣層以及絕緣層。藉由擴大閘極佈線層和源極電極佈線層之間的間隔，降低由寄生電容引起的耗電，也可以防止佈線之間的短路。

此外，也可以組合多個使用氫濃度被充分地降低的氧化物半導體層形成的薄膜電晶體來形成 EDMOS 電路。在此時的結構中，包括 EDMOS 電路，該 EDMOS 電路在絕緣表面上包括：具有第一氧化物半導體層的第一薄膜電晶體；以及具有第二氧化物半導體層的第二薄膜電晶體，其中第一氧化物半導體層及第二氧化物半導體層的利用二次離子質譜測定技術檢驗出來的氫濃度是 $5\times10^{19}/cm^3$ 以下且載子濃度是 $5\times10^{14}/cm^3$ 以下。

此外，可以使用氫濃度被充分地降低的氧化物半導體層在同一個基板上形成電阻器、電容器、電感器等。例如，藉由利用上下的電極層夾持氫濃度被充分地降低的氧化物半導體層，可以形成電阻器。在上述各結構中，還在同一個基板上的第一導電層和重疊於所述第一導電層的第二導電層之間設置作爲電阻體的氧化物半導體層。

此外，除了 LSI、CPU、記憶體以外，還可以利用使用氫濃度被充分地降低的氧化物半導體層形成的薄膜電晶體來構成電源電路、發送/接收電路或聲音處理電路的放大器、顯示部的驅動電路、控制器或者聲音處理電路的轉換器等。

此外，也可以製造將多個半導體積體電路安裝在一個封裝中而提高半導體裝置的集成度的所謂的 MCP（Multi Chip Package：多晶片封裝）。

此外，當將半導體積體電路安裝在電路基板上時，既可以採用面朝上方式，又可以採用倒裝晶片方式（面朝下方式）。

在使用氫濃度被充分地降低的氧化物半導體層形成的薄膜電晶體中，可以使漏電流極小，因此藉由將該薄膜電晶體用於半導體積體電路來可以實現耗電量少的半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1A 和圖 1B 是示出本發明的一個實施例的截面圖；

圖 2 是示出本發明的一個實施例的等效電路圖；

圖 3 是示出本發明的一個實施例的截面圖；

圖 4A 和圖 4B 是示出本發明的一個實施例的俯視圖及截面圖；

圖 5 是示出本發明的一個實施例的方塊圖；

圖 6 是說明方塊圖的圖；

圖 7A 和圖 7B 是說明半導體裝置的圖；

圖 8A 至圖 8C 是說明半導體裝置的圖；

圖 9 是說明半導體裝置的圖；

圖 10A 至圖 10C 是說明半導體裝置的圖；

圖 11A 和圖 11B 是示出本發明的一個實施例的等效電路圖；

圖 12 是使用氧化物半導體形成的 MOS 電晶體的源極電極-汲極電極之間的帶結構的圖；

圖 13 是示出在圖 12 中對汲極電極一側施加正電壓的狀態的圖；

圖 14A 是示出使用氧化物半導體形成的 MOS 電晶體中的閘極電壓是正值時的 MOS 結構的能帶圖；圖 14B 是示出使用氧化物半導體形成的 MOS 電晶體中的閘極電壓是負值時的 MOS 結構的能帶圖；

圖 15 是示出矽 MOS 電晶體的源極電極-汲極電極之間的帶結構的比較圖；

圖 16A 和圖 16B 是示出本發明的一個實施例的等效電路圖；

圖 17 是示出本發明的一個實施例的等效電路圖；以及

圖 18A 至圖 18E 是示出電子設備的一個例子的圖。

【實施方式】

下面，參照附圖對本發明的實施例模式進行詳細的說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容可以被變換爲各種各樣的形式。此外，本發明不應該

被解釋爲僅限定在以下實施例模式所記載的內容中。

實施例模式 1

在本實施例模式中，說明半導體積體電路的截面結構的一個例子。

在本實施例模式中，使用圖 1A 至圖 4B 說明半導體積體電路及半導體積體電路的製造方法的一個實施例。

圖 1A 和圖 1B 示出半導體積體電路的截面結構的一個例子。圖 1B 所示的薄膜電晶體 440 是頂閘結構的薄膜電晶體之一。

薄膜電晶體 440 在具有絕緣表面的基板 430 上包括第一絕緣層 447a、第二絕緣層 443、第三絕緣層 447b、氧化物半導體層 442、第一源極電極層 445a、第二源極電極層 448a、第一汲極電極層 445b、第二汲極電極層 448b、閘極絕緣層 444 以及閘極電極層 441。

重疊於閘極電極層 441 的氧化物半導體層 442 的一部分是通道形成區，並且在氧化物半導體層 442 上彼此相鄰的第一源極電極層 445a 的下端部和第一汲極電極層 445b 的下端部的間隔寬度決定通道長度 L1。

此外，雖然使用單閘結構的薄膜電晶體說明薄膜電晶體 440，但是也可以根據需要形成具有多個通道形成區的多閘結構的薄膜電晶體。

另外，也可以在同一製程中在與薄膜電晶體 440 相同的基板上形成寄生電容被降低了的薄膜電晶體 470。

下面，使用圖 1A 說明在基板 430 上製造薄膜電晶體 440 及薄膜電晶體 470 的製程。

對可以用於具有絕緣表面的基板 430 的基板沒有大限制，但是需要至少具有能夠承受後面的加熱處理的程度的耐熱性。可以使用鋇硼矽酸鹽玻璃、硼矽酸鋁玻璃等的玻璃基板。

另外，當後面的加熱處理的溫度較高時，最好使用應變點是 730℃以上的玻璃基板。另外，作爲玻璃基板，例如使用如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃等的玻璃材料。另外，藉由使基板材料相比氧化硼（B2O3）而含有更多的氧化鋇（BaO），可以獲得更實用的耐熱玻璃。因此，最好使用相比 B2O3 包含更多的 BaO 的玻璃基板。

另外，還可以使用如陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的基板代替上述玻璃基板。此外，還可以使用晶化玻璃等。另外，也可以適當地使用其表面具有絕緣層的半導體基板、塑膠基板等。

首先，在具有絕緣表面的基板 430 上形成導電膜後，利用第一光微影製程形成電極層 479a、479b、479c。作爲電極層 479a、479b、479c 的材料，可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素爲成分的合金、組合上述元素的合金等。在本實施例模式中，電極層 479a、479b、479c 採用氮化鎢層和鎢層的疊層結構。

接著，形成覆蓋電極層 479a、479b、479c 的第一絕緣層 447a。利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層的單層或疊層而形成第一絕緣層 447a。

接著，在第一絕緣層 447a 上形成隔離絕緣層之後，利用第二光微影製程選擇性地進行去掉，以形成第二絕緣層 443。利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層而形成隔離絕緣層。將隔離絕緣層的膜厚度設定爲 500nm 以上且 2μm 以下。此外，在同一製程中，在重疊於電極層 479c 的位置上形成成爲隔離絕緣層的第五絕緣層 473。如上所述，形成部分地厚的疊層區域和薄的單層區域。爲了減少寄生電容，在膜厚度厚的區域中層疊作爲隔離絕緣層的第四絕緣層和第一絕緣層，並且爲了形成儲存電容器等，在膜厚度薄的區域中設置第一絕緣層。

接著，形成覆蓋第一絕緣層 447a、第二絕緣層 443、第五絕緣層 473 的第三絕緣層 447b。作爲接觸於氧化物半導體層的第三絕緣層 447b，最好使用氧化矽層、氧氮化矽層、氧化鋁層或氧氮化鋁層等的氧化物絕緣層。作爲第三絕緣層 447b 的形成方法，可以使用電漿 CVD 法或者濺射法等，但是爲了不使第三絕緣層 447b 中包含大量的氫，最好利用濺射法來形成第三絕緣層 447b。

在本實施例模式中，利用濺射法形成氧化矽層作爲第三絕緣層 447b。將基板 430 搬送到處理室，引入包括去

掉了氫及水分的高純度氧的濺射氣體並使用矽靶，以在基板 430 上形成氧化矽層作爲第三絕緣層 447b。此外，基板 430 的溫度可以是室溫，也可以加熱基板 430。

例如，在如下條件下形成氧化矽層：使用石英（最好是合成石英）；基板溫度是 108℃；基板與靶之間的距離（T-S 間距離）是 60mm；壓力是 0.4Pa；高頻電源是 1.5kW；在氧及氬（氧流量是 25sccm，氬流量是 25sccm）氣圍下；利用 RF 濺射法。將氧化矽層的厚度設定爲 100nm。另外，可以將矽靶用作用來形成氧化矽層的靶代替石英（最好是合成石英）。另外，作爲濺射氣體，使用氧或者氧及氬的混合氣體。

此時，最好去除處理室內的殘留水分並形成第三絕緣層 447b。這是因爲不使第三絕緣層 447b 包含氫、羥基或水分的緣故。

爲了去除處理室內的殘留水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。此外，作爲排氣單元，也可以對渦輪泵追加冷捕集器。因爲在使用低溫泵進行排氣的沉積室中例如排出氫原子、水（H2O）等的包括氫原子的化合物等，所以可以降低在該處理室形成的第三絕緣層 447b 所包含的雜質的濃度。

作爲濺射法，有作爲濺射電源使用高頻電源的 RF 濺射法、使用直流電源的 DC 濺射法，並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成，而 DC 濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同材料的膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

此外，有利用如下濺射法的濺射裝置，該濺射法是：在處理室內具備磁體機構的磁控管濺射法；以及不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法。

此外，作爲使用濺射法的成膜方法，還有：在形成膜時使靶物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法；以及在形成膜時對基板也施加電壓的偏壓濺射法。

此外，第三絕緣層 447b 也可以具有疊層結構，例如，也可以採用如下疊層結構，在該疊層結構中從基板 430 一側層疊有氮化矽層、氮氧化矽層或氮化鋁層等的氮化物絕緣層和上述氧化物絕緣層。

例如，引入包含去除了氫及水分的高純度氮的濺射氣體並使用矽靶，而在氧化矽層和基板之間形成氮化矽層。在此情況下也與氧化矽層同樣，最好去除處理室內的殘留水分並形成氮化矽層。

在形成氮化矽層的情況下，也可以在形成膜時加熱基板。

當層疊氮化矽層和氧化矽層作爲第三絕緣層 447b 時，可以在同一處理室內使用共用的矽靶來形成氮化矽層和氧化矽層。首先，引入包含氮的濺射氣體，使用安裝在

處理室內的矽靶來形成氮化矽層，接著將濺射氣體轉換到包含氧的濺射氣體並使用同一矽靶來形成氧化矽層。因爲可以不使暴露於大氣地連續形成氮化矽層和氧化矽層，所以可以防止氫、水分等雜質吸附到氮化矽層的表面。

接著，在第三絕緣層 447b 上形成膜厚度爲 2nm 以上且 200nm 以下的氧化物半導體膜。

此外，爲了盡可能地不使氧化物半導體膜包含氫、羥基以及水分，最好在濺射裝置的預熱室中對形成有第三絕緣層 447b 的基板 430 進行預熱，而使吸附到基板 430 的氫、水分等的雜質脫離並將其排出，作爲成膜之前的處理。另外，作爲設置在預熱室內的排氣單元，最好使用低溫泵。注意，也可以省略該預熱處理。

另外，最好在利用濺射法形成氧化物半導體膜之前，進行引入氬氣體來產生電漿的反濺射，以去除吸附到第三絕緣層 447b 表面的塵屑。在反濺射中，不對靶一側施加電壓而在氬氣圍下使用高頻電源對基板一側施加電壓，在基板附近形成電漿，而進行表面改性。另外，也可以使用氮、氦、氧等代替氬氣圍。

氧化物半導體膜藉由濺射法來形成。作爲氧化物半導體膜，使用 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體膜。在本實施例模式中，使用用來形成 In-Ga-Zn-O 類氧化物半導體膜的靶並利用濺

射法來形成氧化物半導體膜。此外，氧化物半導體膜可以在稀有氣體（典型爲氬）氣圍下、氧氣圍下或者稀有氣體（典型爲氬）及氧的混合氣圍下利用濺射法來形成。此外，在利用濺射法時，也可以使用包括 2wt%以上且 10wt%以下的 SiO2 的靶來形成膜。

作爲利用濺射法來製造氧化物半導體膜的靶，可以使用以氧化鋅爲主要成分的金屬氧化物的靶。此外，作爲金屬氧化物的靶的其他例子，可以使用包含 In、Ga 及 Zn 的用來形成氧化物半導體膜的靶（組成比是 In2O3：Ga2O3：ZnO=1：1：1[mol 數比]）。此外，作爲包括 In、Ga 及 Zn 的用來形成氧化物半導體膜的靶，也可以使用具有 In2O3：Ga2O3：ZnO=1：1：2[mol 數比]、或者 In2O3：Ga2O3：ZnO=1：1：4[mol 數比]的組成比的靶。用來形成氧化物半導體膜的靶的填充率是 90%以上且 100%以下，最好是 95%以上且 99.9%以下。藉由使用填充率高的用來形成氧化物半導體膜的靶，可以形成緻密的氧化物半導體膜。

在保持爲減壓狀態的處理室內保持基板，去除處理室內的殘留水分並引入被去除了氫及水分的濺射氣體，將金屬氧化物用作靶，在基板 430 上形成氧化物半導體膜。爲了去除處理室內的殘留水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。此外，作爲排氣單元，也可以對渦輪泵追加冷捕集器。因爲當使用低溫泵對沉積室進行排氣時，例如排出氫原子、水（H2O）等

的包含氫原子的化合物（最好也排出包含碳原子的化合物）等，所以可以降低形成在該沉積室內的氧化物半導體膜所包含的雜質的濃度。此外，也可以在形成氧化物半導體膜時加熱基板。

例如，在如下條件下形成氧化物半導體膜，該條件是：基板溫度是室溫；基板與靶之間的距離是 60mm；壓力是 0.4Pa；直流（DC）電源是 0.5kW；氧及氬（氧流量是 15sccm，氬流量是 30sccm）氣圍下。注意，當使用脈衝直流（DC）電源時，可以減輕當形成膜時產生的粉狀物質（也稱爲微粒、塵屑）且膜厚度分佈也均勻，所以是較佳的。最好將氧化物半導體膜的膜厚度設定爲 5nm 以上且 30nm 以下。注意，每個氧化物半導體材料分別具有不同的合適厚度，因此根據所使用的氧化物半導體材料適當地選擇膜厚度，即可。

接著，進行第三光微影製程將氧化物半導體膜加工爲島狀的氧化物半導體層 442、472（參照圖 1A）。另外，還可以使用噴墨法形成用來形成島狀的氧化物半導體層 442、472 的抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時不使用光掩模，因此可以縮減製造成本。

注意，在此進行的對氧化物半導體膜的蝕刻可以是乾蝕刻或濕蝕刻，並且還可以使用乾蝕刻和濕蝕刻的兩者。

作爲用於乾蝕刻的蝕刻氣體，最好使用含有氯的氣體（氯類氣體，例如氯（Cl2）、氯化硼（BCl3）、氯化矽（SiCl4）、四氯化碳（CCl4）等）。

另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（CF4）、六氟化硫（SF6）、三氟化氮（NF3）、三氟甲烷（CHF3）等）、溴化氫（HBr）、氧（O2）或對上述氣體添加了氦（He）或氬（Ar）等的稀有氣體的氣體等。

作爲乾蝕刻法，可以使用平行平板型 RIE（Reactive Ion Etching：反應性離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。爲了將氧化物半導體膜蝕刻爲所希望的形狀，適當地調節蝕刻條件（對線圈型的電極施加的電量、對基板一側的電極施加的電量、基板一側的電極溫度等）。

作爲用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸以及硝酸混合的溶液、過氧化氫氨水（31wt%的過氧化氫水：28wt%的氨水：水=5：2：2）等。此外，還可以使用ITO07N（日本關東化學株式會社製造）。

此外，藉由清洗去除濕蝕刻後的蝕刻液以及被蝕刻掉的材料。也可以提純包括該被去除了的材料的蝕刻液的廢液，來再使用所包含的材料。藉由從該蝕刻後的廢液回收包含在氧化物半導體層中的銦等的材料並將它再使用，可以高效地使用資源並實現低成本化。

根據材料而適當地調節蝕刻條件（蝕刻液、蝕刻時間以及溫度等），以便可以將氧化物半導體膜蝕刻爲所希望的加工形狀。

在本實施例模式中，藉由將混合磷酸、醋酸以及硝酸

而成的溶液用作蝕刻液的濕蝕刻法，將氧化物半導體膜加工爲島狀的氧化物半導體層 442、472。

在本實施例模式中，對氧化物半導體層 442、472 進行第一加熱處理。將第一加熱處理的溫度設定爲 400℃以上且 750℃以下，最好設定爲 400℃以上且低於基板的應變點的溫度。在此，將基板放入到加熱處理裝置之一的電爐，在氮氣圍下以 450℃對氧化物半導體層進行 1 小時的加熱處理。然後，以不使接觸於大氣並防止水、氫再混入到氧化物半導體層的方式得到氧化物半導體層。藉由該第一加熱處理，可以對氧化物半導體層 442、472 進行脫水化或脫氫化。

注意，加熱處理裝置不侷限於電爐，也可以具備利用由電阻發熱體等發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是藉由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈所發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作爲氣體，使用氬等的惰性氣體或者氮等的即使進行加熱處理也不與被處理物產生反應的稀有氣體。

例如，作爲第一加熱處理，也可以進行如下 GRTA，在該 GRTA 中，將基板移動到加熱爲 650℃至 700℃的高

溫的惰性氣體中，加熱幾分鐘，然後將基板從加熱爲高溫的惰性氣體中移動。當採用 GRTA 時，可以進行短時間內的高溫加熱處理。

另外，在第一加熱處理中，最好氮或氦、氖、氬等的稀有氣體不包含水、氫等。另外，最好將引入加熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度設定爲 6N（99.9999%）以上，更佳地設定爲 7N（99.99999%）以上（即，將雜質濃度設定爲 1ppm 以下，最好設定爲 0.1ppm 以下）。

另外，根據第一加熱處理的條件或氧化物半導體層的材料，有時氧化物半導體層晶化而成爲微晶膜或多晶膜。例如，有時成爲晶化率是 90%以上或 80%以上的微晶氧化物半導體膜。此外，根據第一加熱處理的條件或氧化物半導體層的材料，有時成爲不包含結晶成分的非晶氧化物半導體膜。此外，有時成爲在非晶氧化物半導體中混合有微晶部（粒徑是 1nm 以上且 20nm 以下（典型是 2nm 以上且 4nm 以下））的氧化物半導體膜。

另外，也可以對加工成島狀氧化物半導體層之前的氧化物半導體膜進行對氧化物半導體層的第一加熱處理。在此情況下，在第一加熱處理之後從加熱裝置拿出基板，進行光微影製程。

具有對氧化物半導體層的脫水化或脫氫化的效果的加熱處理可以進行在形成氧化物半導體層後、在氧化物半導體層上層疊源極電極及汲極電極後、或者在源極電極及汲

極電極上形成閘極絕緣層後。

但是，只要在形成膜時可以得到氫或水分被充分地降低而被高純度化的氧化物半導體層，就也可以不進行第一加熱處理。在形成膜時得到氫或水分被充分地降低而被高純度化的氧化物半導體層的情況下，將基板保持在保持爲減壓狀態的處理室內，將基板加熱到室溫以上且低於400℃的溫度。然後，去除處理室內的殘留水分並引入被去除了氫及水分的濺射氣體，將金屬氧化物用於靶，以在基板上形成氧化物半導體層。因爲使用低溫泵進行排氣的沉積室例如排出氫原子、水（H2O）等的包含氫原子的化合物（最好也排出包含碳原子的化合物）等，所以可以降低在該沉積室內形成的氧化物半導體層所包含的雜質濃度。藉由利用低溫泵去除殘留在處理室內的水分並進行濺射成膜，可以將形成氧化物半導體層時的基板溫度設定爲室溫至低於400℃的溫度。

接著，藉由第四光微影製程在第三絕緣層447b上形成抗蝕劑掩模，選擇性地進行蝕刻，以形成到達電極層479a的開口。

接著，在第三絕緣層447b及氧化物半導體層442、472上形成導電膜。藉由濺射法、真空蒸鍍法形成導電膜即可。作爲導電膜的材料，可以舉出選自Al、Cr、Cu、Ta、Ti、Mo、W中的元素、以上述元素爲成分的合金、組合上述元素的合金膜等。此外，也可以使用選自錳、鎂、鋯、鈹、釷中的任一種或多種的材料。此外，金屬導

電膜可以採用單層結構、兩層以上的疊層結構。例如，可以舉出：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；Ti 膜、該 Ti 膜上層疊的鋁膜、其上形成的 Ti 膜的三層結構等。此外，也可以採用將 Al 與選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、鈧（Sc）中的一種或多種元素組合起來的膜、合金膜、氮化膜。在本實施例模式中，形成鈦膜（膜厚度爲 10nm 以上且 100nm 以下）和鋁膜（膜厚度爲 20nm 以上且 500nm 以下）的疊層膜作爲導電膜。

接著，利用電漿 CVD 法或濺射法等並利用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層的單層或疊層來在導電膜上形成膜厚度是 200nm 以上且 2000nm 以下的絕緣膜。

接著，藉由第五光微影製程在絕緣膜上形成抗蝕劑掩模，選擇性地進行蝕刻來形成第四絕緣層 446、第一源極電極層 445a、第二源極電極層 448a、第一汲極電極層 445b、第二汲極電極層 448b，然後去除抗蝕劑掩模。此外，爲了降低與後面形成的閘極電極層之間的寄生電容，設置有第四絕緣層 446。另外，當所形成的源極電極層、汲極電極層的端部是錐形形狀時，層疊在其上的閘極絕緣層的覆蓋性提高，所以是較佳的。

注意，當對導電膜進行蝕刻時，以不去除氧化物半導體層 442、472 並不使其下的第三絕緣層 447b 露出的方式適當地調節各材料及蝕刻條件。

在本實施例模式中，作爲第一源極電極層 445a 及第一汲極電極層 445b 使用 Ti 膜，作爲第二源極電極層 448a 及第二汲極電極層 448b 使用鋁膜，作爲氧化物半導體層 442 使用 In-Ga-Zn-O 類氧化物，並且作爲蝕刻劑使用過氧化氫氨水（氨水、水、過氧化氫水的混合液）。

注意，在第五光微影製程中，氧化物半導體層 442 有時僅有一部分被蝕刻，而成爲包括槽部（凹部）的氧化物半導體層。此外，也可以藉由噴墨法形成用來形成第一源極電極層 445a 及第一汲極電極層 445b 的抗蝕劑掩模。當藉由噴墨法形成抗蝕劑掩模時，不使用光掩模，所以可以降低製造成本。

作爲在第五光微影製程中的形成抗蝕劑掩模時的曝光，利用紫外線、KrF 雷射、ArF 雷射。在氧化物半導體層 442 上彼此相鄰的源極電極層的下端部和汲極電極層的下端部的間隔寬度決定後面形成的薄膜電晶體 440 的通道長度 L1。另外，當以使通道長度 L1 小於 25nm 的方式進行曝光時，使用其波長極短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）來進行在第五光微影製程中的形成抗蝕劑掩模時的曝光。利用超紫外線的曝光具有如下特點，即解析度高且焦點深度也大。因此，也可以將後面形成的薄膜電晶體 440 的通道長度 L1 設定爲 10nm 以上且 1000nm 以下，可以使電路的工作速度高速化。並且，因爲截止電流值極爲小，所以也可以實現低耗電量化。

接著，在第四絕緣層 446、氧化物半導體層 442、

472、第一源極電極層 445a、第二源極電極層 448a、第一汲極電極層 445b 以及第二汲極電極層 448b 上形成閘極絕緣層 444。

藉由利用電漿 CVD 法或濺射法等並利用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或者氧化鋁層的單層或疊層來形成閘極絕緣層 444。另外，爲了不使閘極絕緣層 444 中包含大量的氫，最好藉由濺射法形成閘極絕緣層 444。當藉由濺射法形成氧化矽膜時，作爲靶使用矽靶或石英靶，並且作爲濺射氣體使用氧、或者氧及氬的混合氣體。

閘極絕緣層 444 也可以採用從第二源極電極層 448a 及第二汲極電極層 448b 一側層疊氧化矽層和氮化矽層的結構。例如，也可以形成膜厚度是 5nm 以上且 300nm 以下的氧化矽層（SiOx（x>0））作爲第一閘極絕緣層，並在第一閘極絕緣層上藉由濺射法層疊膜厚度是 50nm 以上且 200nm 以下的氮化矽層（SiNy（y>0））作爲第二閘極絕緣層，以得到膜厚度是 100nm 的閘極絕緣層。在本實施例模式中，在如下條件下形成膜厚度是 100nm 的氧化矽層，該條件是：壓力是 0.4Pa；高頻電源是 1.5kW；氧及氬（氧流量是 25sccm，氬流量是 25sccm）氣圍下；利用 RF 濺射法。

接著，藉由第六光微影製程形成抗蝕劑掩模，選擇性地進行蝕刻來去除閘極絕緣層 444 及第四絕緣層 446 的一部分，以形成到達薄膜電晶體 470 的源極電極層或汲極電

極層的開口。

接著，在閘極絕緣層 444 及開口上形成導電膜，然後藉由第七光微影製程形成閘極電極層 441、471、佈線層 474a、474b。另外，也可以藉由噴墨法形成抗蝕劑掩模。因爲當噴墨法形成抗蝕劑掩模時不使用光掩模，所以可以縮減製造成本。

此外，閘極電極層 441、471、佈線層 474a、474b 可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹、鈧等的金屬材料或者以這些金屬材料爲主要成分的合金材料的單層或疊層而形成。

例如，作爲閘極電極層 441、471、佈線層 474a、474b 的兩層的疊層結構，最好採用：在鋁層上層疊有鉬層的兩層的疊層結構；在銅層上層疊有鉬層的兩層結構；在銅層上層疊有氮化鈦層或氮化鉭層的兩層結構；層疊氮化鈦層和鉬層的兩層結構。作爲三層的疊層結構，最好採用：層疊有鎢層或氮化鎢層、鋁和矽的合金或者鋁和鈦的合金、氮化鈦或者鈦層的三層結構。注意，也可以使用具有透光性的導電膜來形成閘極電極層。作爲具有透光性的導電膜的例子，可以舉出透光導電氧化物等。

在本實施例模式中，藉由濺射法形成膜厚度是 150nm 的鎢膜作爲閘極電極層 441、471、佈線層 474a、474b。

接著，在惰性氣體氣圍下或氧氣體氣圍下進行第二加熱處理（最好是 200℃以上且 400℃以下，例如是 250℃以上且 350℃以下）。在本實施例模式中，在氮氣圍下以

250℃進行 1 小時的第二加熱處理。此外，也可以在薄膜電晶體 440、470 上形成保護絕緣層、平坦化絕緣層後進行第二加熱處理。

再者，也可以在大氣中以 100℃以上且 200℃以下的溫度進行 1 小時以上且 30 小時以下的加熱處理。在該加熱處理中，既可以保持一定的加熱溫度來加熱，又可以反復從室溫到 100℃以上且 200℃以下的加熱溫度的升溫和從加熱溫度到室溫的降溫多次。此外，也可以在形成氧化物絕緣層之前在減壓下進行該加熱處理。當在減壓下進行加熱處理時，可以縮短加熱處理。

藉由上述製程，可以形成具有氫、水分、氫化物、氫氧化物的濃度被降低了的氧化物半導體層 442、472 的薄膜電晶體 440、470（參照圖 1B）。

利用第五絕緣層 473 而與電極層 479c 之間的寄生電容降低了的薄膜電晶體 470 包括第三源極電極層 475a、第四源極電極層 478a、第三汲極電極層 475b 以及第四汲極電極層 478b。另外，重疊於第五絕緣層 473 的電極層 479c 是閘極信號線，示出與第四汲極電極層 478b 的佈線交叉部的結構。此外，第三源極電極層 475a 電連接到電極層 479a。此外，第四源極電極層 478a 電連接到佈線層 474a。此外，薄膜電晶體 470 的通道長度 L2 長於薄膜電晶體 440 的通道長度 L1，並且薄膜電晶體 470 是截止電流值小的薄膜電晶體。

此外，也可以在薄膜電晶體 440、470 上設置保護絕

緣層、用於平坦化的平坦化絕緣層。例如，也可以形成氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或者氧化鋁層的單層或疊層作爲保護絕緣層。

此外，作爲平坦化絕緣層，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。此外，除了上述有機材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成平坦化絕緣層。

另外，矽氧烷類樹脂相當於以矽氧烷類材料爲起始材料而形成的包含 Si-O-Si 鍵的樹脂。作爲矽氧烷類樹脂的取代基，也可以使用有機基（例如烷基、芳基）、氟基團。另外，有機基也可以具有氟基團。

對平坦化絕緣層的形成方法沒有特別的限制，可以根據其材料而採用：濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等的方法；刮片、輥塗機、幕塗機、刮刀塗佈機等的設備。

此外，可以將設置在薄膜電晶體 470 的氧化物半導體層 472 的下方的電極層 479b 用作背閘極。可以將背閘極的電位設定爲固定電位，例如設定爲 0V、接地電位，而實施者適當地決定即可。此外，藉由在氧化物半導體層的上下設置閘極電極，在用來檢查薄膜電晶體的可靠性的偏壓-熱壓力試驗（下面，稱爲 BT 試驗）中可以降低 BT 試

驗前後的薄膜電晶體的臨界值電壓的變化量。就是說，藉由在氧化物半導體層的上下設置閘極電極，可以提高可靠性。

此外，藉由控制施加到電極層 479b 的閘極電壓，可以控制臨界值電壓。此外，使臨界值電壓爲正值而可以將薄膜電晶體用作增強型電晶體。此外，也可以使臨界值電壓爲負值而將薄膜電晶體用作空乏型電晶體。

例如，可以組合增強型電晶體和空乏型電晶體來構成反相器電路（下面，稱爲 EDMOS 電路），並將其用於驅動電路。驅動電路至少包括邏輯電路部、開關部或緩衝部。邏輯電路部具有包括上述 EDMOS 電路的電路結構。並且，最好開關部或緩衝部使用能夠使大導通電流流過的薄膜電晶體，使用空乏型電晶體或者在氧化物半導體層的上下具有閘極電極的薄膜電晶體。

也可以在同一基板上製造具有不同結構的薄膜電晶體，而不大幅增加製程數。例如，在進行高速驅動的積體電路中，也可以使用在氧化物半導體層的上下具有閘極電極的薄膜電晶體來構成 EDMOS 電路，並且，在其他區域中形成在氧化物半導體層上包括閘極電極的薄膜電晶體。

注意，當 n 通道 TFT 的臨界值電壓爲正時，該 n 通道 TFT 被定義爲增強型電晶體，而當 n 通道 TFT 的臨界值電壓爲負時，該 n 通道 TFT 被定義爲空乏型電晶體，而且此說明書遵循上述定義。

此外，在薄膜電晶體 470 及薄膜電晶體 440 中，當將

氮化矽膜用於閘極絕緣層 444 和第一絕緣層 447a 的兩者時，可以利用氮化矽膜夾持氧化物半導體層 442、472 的上下，從而可以有效地阻擋氫、水分的侵入。藉由採用上述結構，可以使氧化物半導體層 442、472 所包含的水、氫的濃度非常低，並防止氫、水分的再次侵入。

實施例模式 2

在實施例模式 1 中說明具有佈線交叉部的薄膜電晶體 470 和僅在氧化物半導體層 442 的上方具有閘極電極層 441 的薄膜電晶體 440。下面說明使用兩個 n 通道型的薄膜電晶體來構成積體電路的反相器電路的例子。注意，因爲本實施例模式的薄膜電晶體的製造製程與實施例模式 1 大概相同，所以只對不同的部分進行詳細的說明。

此外，因爲積體電路使用反相器電路、電容、電阻器等來構成，所以也對除了反相器電路以外還在同一基板上形成電容、兩種電阻器的製程進行說明。

此外，在組合兩個 n 通道型 TFT 來形成反相器電路的情況下，有組合增強型電晶體和空乏型電晶體來形成的 EDMOS 電路、組合兩個增強型 TFT 來形成的電路（下面，稱爲 EEMOS 電路）。

在本實施例模式中，示出 EDMOS 電路的例子。圖 2 示出 EDMOS 電路的等效電路。此外，圖 3 示出反相器電路的截面結構。

圖 3 所示的電路連接相當於圖 2，並示出將增強型 n

通道型電晶體用作第一薄膜電晶體 480，將空乏型 n 通道型電晶體用作第二薄膜電晶體 490 的例子。

在圖 3 中，在基板 430 上有電極層 479d、479e、479f、479g、479h。電極層 479d、479e、479f、479g、479h 可以使用與實施例模式 1 的電極層 479a、479b、479c 相同的製程、相同的材料來形成。

對電極層 479d 施加電壓，使臨界值電壓爲正，而將薄膜電晶體 480 用作增強型電晶體。此外，對電極層 479e 施加電壓，使臨界值電壓爲負，而將薄膜電晶體 490 用作空乏型電晶體。

此外，電極層 479f 是用來形成電容的一方的電極。此外，電極層 479g 是連接到第一電阻器的一方的電極。此外，電極層 479h 是連接到第二電阻器的一方的電極。

此外，形成覆蓋電極層 479d、479e、479f、479g、479h 的第一絕緣層 487a、第三絕緣層 487b。另外，雖然未圖示，但是在需要使寄生電容小的區域中如實施例模式 1 所示那樣設置成爲隔離絕緣層的第二絕緣層。此外，在電容部中，重疊於電極層 479f 的第一絕緣層 487a 以及重疊於電極層 479f 的第三絕緣層 487b 用作電介質。

在本實施例模式中，與實施例模式 1 不同，第二氧化物半導體層 482b 的膜厚度比第一氧化物半導體層 482a 厚。爲了使第二氧化物半導體層 482b 的的膜厚度厚，進行兩次的成膜和兩次的構圖。此外，藉由使其膜厚度厚，可以將薄膜電晶體 490 用作空乏型電晶體，並不需要對電

極層 479e 施加用來使臨界值電壓爲負的電壓，從而也可以省略電極層 479e。

此外，以與第一氧化物半導體層 482a 相同的膜厚度形成的第三氧化物半導體層 432b 用作第一電阻體。在重疊於電極層 479h 的第一絕緣層 487a 及第三絕緣層 487b 中形成開口，並且藉由該開口而第三氧化物半導體層 432b 與電極層 479h 電連接。此外，以與第二氧化物半導體層 482b 相同的膜厚度形成的第四氧化物半導體層 432a 用作第二電阻體，並且其電阻值與第一電阻體不同。此外，在重疊於電極層 479g 的第一絕緣層 487a 及第三絕緣層 487b 中形成開口，並且藉由該開口而第四氧化物半導體層 432a 與電極層 479g 電連接。

在薄膜電晶體 480 中，包括第一閘極電極層 481、隔著閘極絕緣層 492 重疊於第一閘極電極層 481 的氧化物半導體層 482a，並且接觸於氧化物半導體層 482a 的一部分的第一源極電極層 485b 與第一佈線 484b 電連接。第一佈線 484b 是被施加負電壓 VDL 的電源線（負電源線）。該電源線也可以是接地電位的電源線（接地電源線）。

另外，使用與實施例模式 1 的第一源極電極層 445a 相同的材料形成第一源極電極層 485b，並且接觸於其上地形成的第二源極電極層 488b 也使用與實施例模式 1 的第二源極電極層 448a 相同的材料形成。在實施例模式 1 中示出在形成絕緣層之後使用與絕緣膜相同的掩模進行構圖的例子，但是在本實施例模式中在對導電層進行構圖之

後形成絕緣膜。然後選擇性地去除絕緣膜來形成絕緣層486，將絕緣層 486 用作掩模來對導電層選擇性地進行蝕刻，以形成第一源極電極層 485b、第二源極電極層 488b、第一汲極電極層 485a、第二汲極電極層 488a。爲了減少在後面形成的第二閘極電極層 491 和第四汲極電極層 498b 之間形成的寄生電容，設置絕緣層 486。

另外，在電容部中，利用與第一源極電極層 485b 相同的製程和相同的材料形成第一電容電極層 433，並且利用與第二源極電極層 488b 相同的製程和相同的材料形成第二電容電極層 434。第一電容電極層 433 和第二電容電極層 434 重疊於電極層 479f。

另外，使用與第一源極電極層 485b 相同的製程和相同的材料並以接觸於用作第一電阻體的第三氧化物半導體層 432b 上的方式形成第一電極層 477。另外，使用與第二源極電極層 488b 相同的製程和相同的材料並以接觸於第一電極層 477 上的方式形成第二電極層 438。

另外，第二薄膜電晶體 490 包括用作第二佈線的第二閘極電極層 491 以及隔著閘極絕緣層 492 重疊於第二閘極電極層 491 的第二氧化物半導體層 482b，並且第三佈線 484a 是被施加正電壓 VDH 的電源線（正電源線）。

另外，包括其一部分接觸並重疊於第二氧化物半導體層 482b 的第三源極電極層 495a、第四源極電極層 498a。另外，包括其一部分接觸並重疊於第二氧化物半導體層 482b 的第三汲極電極層 495b、第四汲極電極層 498b。另

外，使用與第一源極電極層 485b 相同的製程和相同的材料形成第三源極電極層 495a 及第三汲極電極層 495b。另外，使用與第二源極電極層 488b 相同的製程和相同的材料形成第四源極電極層 498a 及第四汲極電極層 498b。

另外，在絕緣層 486 中設置到達第二汲極電極層 488a 的開口，第二汲極電極層 488a 電連接到用作第二佈線的第二閘極電極層 491 來連接第一薄膜電晶體 480 和第二薄膜電晶體 490，以構成 EDMOS 電路。

另外，在重疊於電極層 479f 的區域的閘極絕緣層 492 中具有開口而連接到第二電容電極層 434 的第四佈線 431 用作電容佈線。

另外，第五佈線 435 在重疊於電極層 479g 的區域的閘極絕緣層 492 中具有開口而接觸於用作第二電阻體的第四氧化物半導體層 432a。

在本實施例模式中示出在同一基板上形成 EDMOS 電路、電容部、第一電阻體和第二電阻體的例子，但是不侷限於該結構，也可以在同一基板上形成實施例模式 1 的薄膜電晶體。

另外，圖 4A 和圖 4B 示出在本實施例模式中可以在同一基板上形成的佈線的端子部的截面結構。圖 4A 相當於沿圖 4B 中的線 C1-C2 的截面圖。

在圖 4A 中，形成在絕緣層 486 和閘極絕緣層 492 的疊層上的導電層 437 是用作輸入端子的用於連接的端子電極。另外，在圖 4A 中，在端子部中，使用與電極層

479d、479e、479f、479g、479h 相同的材料形成的電極層 479i 隔著第一絕緣層 487a 及第三絕緣層 487b 重疊於電連接到第一源極電極層 485b 的第一端子電極層 439 的下方。電極層 479i 不電連接到第一端子電極層 439，藉由將電極層 479i 設定爲與第一端子電極層 439 不同的電位，例如浮動、GND、0V 等，可以形成用於對雜波的措施的電容或用於對靜電的措施的電容。另外，在第一端子電極層 439 上設置有第二端子電極層 489，並且第一端子電極層 439 還隔著絕緣層 486 和閘極絕緣層 492 電連接到導電層 437。

另外，可以使用與第一源極電極層 485b 相同的材料和相同的製程形成第一端子電極層 439。可以使用與第二源極電極層 488b 相同的材料和相同的製程形成第二端子電極層 489。另外，可以使用與第一閘極電極層 481 相同的材料和相同的製程形成導電層 437。

本實施例模式可以與實施例模式 1 自由地組合。

實施例模式 3

在本實施例模式中，示出使用實施例模式 2 所示的 EDMOS 電路製造 CPU（中央處理器）的例子。

圖 5 示出 CPU 的方塊圖的一個例子。圖 5 所示的 CPU1001 包括時序控制電路 1002、指令解碼器 1003、暫存器陣列 1004、位址邏輯緩衝電路 1005、資料匯流排介面 1006、ALU（算術邏輯單元）1007、指令暫存器 1008

等。

上述電路使用實施例模式 1 或實施例模式 2 所示的薄膜電晶體、反相器電路、電阻、電容等製造。因爲實施例模式 1 或實施例模式 2 所示的薄膜電晶體使用氫濃度被充分地降低了的氧化物半導體層，所以薄膜電晶體的截止電流可以爲極小的值。因此，藉由使用具有氫濃度被充分地降低了的氧化物半導體層的薄膜電晶體而構成 CPU1001 的至少一部分，可以實現低耗電量。

在此，簡單地說明各電路。時序控制電路 1002 接受來自外部的指令，將其轉換爲用於內部的資訊，並將其送到另外的組。另外，時序控制電路 1002 對應內部的工作而向外部供應儲存資料的讀入、寫入等的指令。指令解碼器 1003 具有將外部的指令轉換爲用於內部的指令的功能。暫存器陣列 1004 是暫時儲存資料的揮發性記憶體。位址邏輯緩衝電路 1005 是指定外部記憶體的位址的電路。資料匯流排介面 1006 是將資料登錄到外部記憶體或印表機等的設備或者接收從外部記憶體或印表機等的設備輸出的資料的電路。ALU1007 是進行運算的電路。指令暫存器 1008 是暫時記錄指令的電路。藉由上述電路的組合構成 CPU。

藉由將實施例模式 1 或實施例模式 2 所示的薄膜電晶體用於 CPU1001 的至少一部分來降低待機時的漏電流，可以實現用於電子設備的驅動電路等的低耗電量化。

本實施例模式可以與實施例模式 1 或實施例模式 2 自

由地組合。

實施例模式 4

在本實施例模式中，說明上述實施例模式所示的半導體裝置的使用方式的一個例子。明確地說，參照附圖以下說明能夠以非接觸的方式進行資料的輸入/輸出的半導體裝置的應用例子。能夠以非接觸的方式進行資料的輸入/輸出的半導體裝置根據利用方式而也被稱爲 RFID 標籤、ID 標籤、IC 標籤、RF 標籤、無線標籤、電子標籤或無線晶片。

參照圖 8A 說明本實施例模式所示的半導體裝置的頂面結構的一個例子。圖 8A 所示的半導體裝置包括：設置有天線（也寫爲片上天線（on-chip antenna））的半導體積體電路晶片 400；以及設置有天線 405（也寫爲增益天線（booster antenna））的基底基板 406。半導體積體電路晶片 400 設置在形成於基底基板 406 及天線 405 上的絕緣層 410（圖 8C）上。可以利用絕緣層 410 來將半導體積體電路晶片 400 固定在基底基板 406 以及天線 405 上。

另外，爲了防止因靜電放電而導致的靜電破壞（電路的錯誤工作或半導體元件的損傷）而在半導體積體電路晶片 400 表面上設置有導電遮罩體，當導電遮罩體的電阻高而不使天線 405 的圖案之間處於導通狀態時，也可以彼此接觸地設置天線 405 和設置在半導體積體電路晶片 400 表面上的導電遮罩體。

在設置於半導體積體電路晶片 400 內的半導體積體電路中設置構成儲存部或邏輯部的多個薄膜電晶體等的元件。作爲構成儲存部或邏輯部的薄膜電晶體，使用如下薄膜電晶體，即使用氫濃度被充分地降低而被高純度化的氧化物半導體層形成的薄膜電晶體。在根據本實施例模式的半導體裝置中，作爲半導體元件除了可以應用場效應電晶體以外，還可以應用使用半導體層形成的記憶元件等。因此，可以製造並提供滿足很多用途的半導體裝置。

圖 7A 示出圖 8A 所示的半導體積體電路晶片 400 所包括的天線和半導體積體電路的擴大圖。在圖 7A 中，天線 101 是轉數是 1 的矩形的環形天線，但是不侷限於該結構。環形天線的形狀不侷限於具有矩形的形狀，而也可以是具有曲線的形狀，例如也可以具有圓形。並且，轉數不侷限於 1，也可以是複數。但是，當天線 101 的轉數是 1 時，可以降低產生在半導體積體電路 100 和天線 101 之間的寄生電容。

此外，在圖 8A、圖 7A 中，以圍繞半導體積體電路 100 的周圍的方式配置天線 101。在除了相當於虛線所示的饋電點（power feeding point）408 的部分以外的區域中，天線 101 配置在與半導體積體電路 100 不同的區域中。另外，本發明不限於該結構，而如圖 7B 所示，也可以在除了相當於虛線所示的饋電點 408 的部分以外的區域中，以至少其一部分重疊於半導體積體電路 100 的方式配置天線 101。但是，如圖 8A、圖 7A 所示，藉由將天線

101 配置在與半導體積體電路 100 不同的區域中，可以降低產生在半導體積體電路 100 和天線 101 之間的寄生電容。

在圖 8A 中，天線 405 主要在虛線 407 所圍繞的環形的部分中可以利用電磁感應而與天線 101 進行信號的授受或者電力的供應。此外，天線 405 主要在虛線 407 所圍繞的部分以外的區域中可以利用電波與詢問器進行信號的授受或者電力的供應。在詢問器和半導體裝置之間，用作載子（載波）的電波的頻率最好爲 30MHz 以上且 5GHz 以下左右，例如使用 950MHz、2.45GHz 等的頻帶，即可。

此外，雖然在虛線 407 所圍繞部分中，天線 405 是轉數是 1 的矩形的環狀，但是在本發明不侷限於該結構。環狀部分不侷限於具有矩形，而也可以是具有曲線的形狀，例如可以具有圓形。此外，轉數不侷限於 1，而也可以是複數。

本實施例模式所示的半導體裝置也可以應用電磁感應方式、電磁耦合方式、微波方式。在採用微波方式的情況下，根據所使用的電磁波的波長適當地決定天線 101、天線 405 的形狀即可。

例如，在應用微波方式（例如，UHF 頻帶（860MHz 頻帶到 960MHz 頻帶）、2.45GHz 頻帶等）作爲半導體裝置的信號傳輸方式的情況下，根據用於信號傳輸的電磁波的波長來適當地設定天線的長度或形狀等即可。例如，可以將天線形成爲線形（例如，偶極天線）、平坦的形狀

（例如，貼片天線或帶形）等。此外，天線的形狀不限於直線形，也可以根據電磁波的波長以曲線狀、蜿蜒形狀或者組合這些而成的形狀而設置。

圖 9 示出以線圈狀設置天線 101、天線 405，並應用電磁感應方式或電磁耦合方式的例子。

在圖 9 中，在設置有作爲增益天線的線圈狀天線 405 的基底基板 406 上提供設置有線圈狀天線 101 的半導體積體電路晶片 400。另外，用作增益天線的天線 405 隔著基底基板 406 形成有電容。

接著，說明半導體積體電路晶片 400 和增益天線的結構及其配置。圖 8B 相當於一種半導體裝置的立體圖，其中層疊有圖 8A 所示的半導體積體電路晶片 400 和形成在基底基板 406 上的天線 405。另外，圖 8C 相當於沿著圖 8B 的虛線 X-Y 的截面圖。

圖 8C 所示的半導體積體電路晶片 400 可以使用實施例模式 1 或實施例模式 2 所示的半導體裝置，在此，將被分割成每一個的晶片稱爲半導體積體電路晶片。另外，雖然圖 8C 所示的半導體積體電路晶片是使用實施例模式 1 的例子，但是不侷限於該結構，也可以使用其他實施例模式。

圖 8C 所示的半導體積體電路 100 由第一絕緣體 112、第二絕緣體 102 夾持，並且其側面也被密封。在本實施例模式中，在以夾持多個半導體積體電路的方式貼合第一絕緣體、第二絕緣體之後，將其分割爲每一個半導體

積體電路的疊層體。在被分割的疊層體上形成導電遮罩體，以製造半導體積體電路晶片 400。分割方法只要能夠物理性地分割就沒有特別的限制。在本實施例模式中藉由照射雷射來進行分割。

雖然在圖 8C 中半導體積體電路 100 配置在比天線 101 更靠近天線 405 的位置，但是不侷限於該結構。也可以將天線 101 配置在比半導體積體電路 100 更接近天線 405 的位置。另外，半導體積體電路 100 和天線 101 可以直接黏著到第一絕緣體 112、第二絕緣體 102，也可以利用用作黏合劑的黏合層而黏著到第一絕緣體 112、第二絕緣體 102。

接著，說明根據本實施例模式的半導體裝置的工作。圖 6 是示出根據本實施例模式的半導體裝置的結構的方塊圖的一個例子。圖 6 所示的半導體裝置 420 包括用作增益天線的天線 422、半導體積體電路 423、片上天線（on-chip antenna）424。當電磁波從詢問器 421 發出時，天線 422 接收該電磁波，因此，在天線 422 內產生交流電流，且在天線 422 周圍產生磁場。然後，天線 422 所具有的環狀部分和具有環形形狀的天線 424 相互電磁耦合，使得天線 424 中產生感應電動勢。半導體積體電路 423 藉由利用上述感應電動勢接收來自詢問器 421 的信號或電力。反之，藉由依照半導體積體電路 423 中產生的信號使電流流過天線 424 使得天線 422 中產生感應電動勢，藉由將該感應電動勢作爲從詢問器 421 發出的電波的反射波傳送，可

以將信號發送到詢問器 421。

另外，天線 422 可以分爲主要進行和天線 424 之間的電磁耦合的環狀部分和主要接收來自詢問器 421 的電波的部分。主要接收來自詢問器 421 的電波的部分中的天線 422 只要具有可以接收電波的形狀即可。例如，採用偶極天線、折疊偶極天線、槽縫天線、彎折線天線、微帶天線等的形狀即可。

雖然圖 8A 至圖 8C 說明包括只有一個天線的半導體積體電路的結構，但是本發明不限於該結構。半導體積體電路還可以包括兩個天線，即用來接收電力的天線和用來接收信號的天線。藉由具有兩個天線，可以分別使用用於供電的電波的頻率和用來發送信號的電波的頻率。

在根據本實施例模式的半導體裝置中，使用片上天線，並且可以在增益天線與片上天線之間以非接觸的方式進行信號或電力的發送和接收。因此，與將外部天線連接到半導體積體電路的情況不同，半導體積體電路與天線之間的連接不容易被外力切斷，而可以抑制該連接的初期故障的產生。此外，由於在本實施例模式中使用增益天線，所以與只使用片上天線的情況不同，片上天線的尺寸或形狀較少受到半導體積體電路的面積的限制。因此，天線能接收的電波的頻帶不受到限制，而且可以享受外部天線所具有的優點，該優點是能夠增大通信距離。

半導體積體電路也可以直接形成在撓性基板上。另外，也可以將半導體積體電路從製造基板（例如，玻璃基

板）轉置到另一基板（例如，塑膠基板）。

另外，當將半導體集成基板從製造基板轉置到另一基板時，沒有特別的限制而可以使用各種各樣的方法。例如，在製造基板和半導體積體電路之間形成分離層，即可。

例如，當形成金屬氧化膜作爲分離層時，可以利用晶化而將該金屬氧化膜脆弱化，而從製造基板剝離包括作爲被分離層的半導體積體電路的元件層。另外，也可以在藉由晶化而將該金屬氧化膜脆弱化之後，利用溶液或 NF3、BrF3、ClF3 等的氟化鹵氣體進一步進行蝕刻來去除分離層的一部分，並且在被脆弱化了的金屬氧化膜中進行剝離。

另外，當將包含氮、氧或氫等的膜（例如，包含氫的非晶矽膜、包含氫的合金膜、包含氧的合金膜等）用於分離層並將透光基板用於製造基板時，可以從製造基板一側對分離層照射雷射，使包含在玻璃層內的氮、氧或氫汽化，而在製造基板和分離層之間進行剝離。

另外，也可以藉由蝕刻去除分離層來從製造基板剝離被分離層。

另外，也可以使用對製造基板機械地進行研磨並去除的方法、對製造基板進行利用 NF3、BrF3、ClF3 等的氟化鹵氣體或 HF 的蝕刻並去除的方法等。此時，也可以不使用分離層。

另外，也可以利用雷射照射、使用氣體或溶液等的蝕

刻或者銳利的刀具、解剖刀來形成使分離層露出的槽，並且以該槽爲起點而從製造基板的分離層剝離被分離層。

作爲剝離方法，例如施加機械力（使用人的手或鉗子來剝離的處理或使滾子轉動來進行分離的處理等），即可。另外，也可以使液體滴落到槽中來使液體深入與分離層的介面，而從分離層剝離被分離層。另外，也可以將NF3、BrF3、ClF3 等的氟化氣體引入到槽中，利用氟化氣體對分離層進行蝕刻並去除，而從製造基板剝離被分離層。另外，也可以當進行剝離時，澆水等的液體並進行剝離。

作爲另一剝離方法，當使用鎢形成分離層時，可以使用氨水和過氧化氫水的混合溶液對分離層進行蝕刻並剝離。

在使用氫濃度被充分地降低而被高純度化的氧化物半導體層的薄膜電晶體中，截止電流小而可以實現低耗電量。另外，藉由覆蓋半導體積體電路的導電遮罩體，可以防止靜電放電造成的半導體積體電路的靜電損壞（電路的錯誤工作或半導體元件的損壞）。並且，可以提供具有耐性的可靠性高的半導體裝置，其中利用夾持半導體積體電路的一對絕緣體而實現薄型化及小型化。

實施例模式 5

在本實施例模式中，以下參照附圖說明使用上述實施例模式 4 的裝置形成的可以以非接觸的方式進行資料輸入

/輸出的半導體裝置的應用例子。以非接觸的方式進行資料輸入/輸出的半導體裝置根據利用方式還被稱爲 RFID 標籤、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤或無線晶片。

半導體裝置 800 具有以非接觸的方式進行資料收發的功能，並且包括高頻電路 810、電源電路 820、重設電路 830、時鐘產生電路 840、資料解調變電路 850、資料調變電路 860、控制其他電路的控制電路 870、儲存電路 880、以及天線 890（參照圖 10A）。高頻電路 810 是接收來自天線 890 的信號並且將由資料調變電路 860 接收的信號從天線 890 輸出的電路。電源電路 820 是根據接收信號產生電源電位的電路。重設電路 830 是產生重設信號的電路。時鐘產生電路 840 是根據從天線 890 接收的接收信號產生各種時鐘信號的電路。資料解調變電路 850 是解調接收信號且將該信號輸出到控制電路 870 的電路。資料調變電路 860 是調變從控制電路 870 接收的信號的電路。此外，作爲控制電路 870，例如設置有取碼電路 910、判碼電路 920、CRC 判定電路 930 以及輸出器電路 940。另外，取碼電路 910 是將傳送到控制電路 870 的指令所包括的多個碼分別抽出的電路。判碼電路 920 是比較被抽出的碼與相當於參考值的碼而判定指令內容的電路。CRC 判定電路 930 是根據被判定的碼檢測出是否存在發送錯誤等的電路。

接著，對上述半導體裝置的工作的一個例子進行說

明。首先，天線 890 接收無線信號。無線信號經由高頻電路 810 而被傳送到電源電路 820，並且在電源電路 820 中產生高電源電位（以下，表示爲 VDD）。VDD 提供給半導體裝置 800 所具有的各個電路。此外，經由高頻電路 810 被傳送到資料解調變電路 850 的信號被解調（以下，解調信號）。而且，經由高頻電路 810 並且經過重設電路 830 及時鐘產生電路 840 的信號以及解調信號被傳送到控制電路 870。取碼電路 910、判碼電路 920 以及 CRC 判定電路 930 等分析被傳送到控制電路 870 的信號。然後，根據被分析的信號，輸出儲存在儲存電路 880 內的半導體裝置的資訊。被輸出的半導體裝置的資訊經過輸出器電路 940 而被編碼。再者，被編碼的半導體裝置 800 的資訊經過資料調變電路 860，由天線 890 作爲無線信號發送。另外，在構成半導體裝置 800 的多個電路中，低電源電位（以下，VSS）是共同的，可以將 VSS 作爲 GND 來使用。

如此，藉由將信號從通信裝置傳送到半導體裝置 800 並且使用通信裝置接收從該半導體裝置 800 傳送來的信號，可以讀出半導體裝置的資料。

此外，半導體裝置 800 既可以是不安裝電源（電池）而由電磁波將電源電壓供應給各個電路的樣式，又可以是安裝電源（電池）並且由電磁波和電源（電池）將電源電壓供應給各個電路的樣式。

接下來，說明可以以非接觸的方式進行資料輸入/輸

出的半導體裝置的使用方式的一個例子。包括顯示部3210的可攜式終端的側面設置有通信裝置3200，並且產品3220的側面設置有半導體裝置3230（圖10B）。當將通信裝置3200接近於產品3220所包括的半導體裝置3230時，有關商品的資訊諸如產品的原材料、原產地、各個生產過程的檢查結果、流通過程的歷史等以及產品說明等被顯示在顯示部3210上。此外，當使用傳送帶搬運商品3260時，可以利用通信裝置3240和設置在商品3260上的半導體裝置3250，對該商品3260進行檢查（圖10C）。如此，藉由將半導體裝置利用於系統，可以容易獲得資訊而實現高功能化和高附加價值化。

如上所述，半導體裝置的應用範圍極爲廣泛，可以應用到廣泛領域的電子設備。

實施例模式6

根據實施例模式1或實施例模式2得到的薄膜電晶體是使用被高純度化的氧化物半導體形成的薄膜電晶體，並且藉由利用該薄膜電晶體構成電路，可以實現低耗電量並將儲存電路的工作穩定化。

在本實施例模式中，示出可以使用實施例模式1的薄膜電晶體構成的儲存電路的一個例子。

圖11A示出儲存電路的一個例子的等效電路圖。圖11A所示的儲存電路包括列解碼器、寫入電路及更新電路、行解碼器、配置爲矩陣狀的記憶元件1100。連接到

配置爲矩陣狀的記憶元件 1100 的信號線藉由寫入電路及更新電路連接到列解碼器。連接到配置爲矩陣狀的記憶元件 1100 的掃描線連接到行解碼器。對列解碼器輸入位元信號。對寫入電路及更新電路輸入讀使能信號/寫使能信號（RE/WE）、資料信號（data）和輸出信號（OUT）。

各記憶元件 1100 包括電容元件和薄膜電晶體，該薄膜電晶體的源極電極和汲極電極中的一方連接到信號線，該薄膜電晶體的源極電極和汲極電極中的另一方連接到電容元件的一方的電極，該電容元件的另一方的電極連接到低電位一側（最好是參考電位 Vss）。

圖 11B 示出設置在圖 11A 所示的寫入電路及更新電路的更新電路的具體的一個結構例子。

圖 11B 所示的寫入電路及更新電路包括且電路（AND 電路）和讀出放大器。對第一且電路 1101、第二且電路 1102 以及第三且電路 1103 的一方的輸入輸入來自列解碼器的信號。對第一且電路 1101 的另一方的輸入輸入 PRC 信號，對第二且電路 1102 的另一方的輸入輸入寫使能信號（WE），對第三且電路 1103 的另一方的輸入輸入讀使能信號（RE）。第一且電路 1101 的輸出控制第一開關 1104 的導通/截止，第二且電路 1102 的輸出控制第二開關 1105 的導通/截止，並且第三且電路 1103 的輸出控制第三開關 1106 的導通/截止。預充電信號線 Vprc 藉由第一開關 1104 連接到信號線，資料信號線 data 藉由第二開關 1105 連接到信號線。

藉由第一開關 1104 以及第二開關 1105 連接的信號線藉由第三開關 1106 連接到讀出放大器。信號從該讀出放大器輸出到輸出信號線（OUT）。

另外，作爲上述且電路使用具有一般的結構的且電路即可，最好採用簡單的結構。

注意，讀出放大器是指具有將被輸入的信號放大的功能的電路。

在此，作爲信號，可以使用例如利用電壓、電流、電阻或頻率等的模擬信號或數位信號。例如，藉由作爲電位至少設定第一電位和第二電位，作爲第一電位使用高位準（高電位，也稱爲 V_H）的電位，而作爲第二電位使用低位準（低電位，也稱爲 V_L）的電位，可以設定二值的數位信號。另外，V_H 和 V_L 最好是一定的值。但是，也可以考慮到雜波的影響而將 V_H 和 V_L 設定爲在一定範圍內的數值，而不是一定的值。

另外，在此，附上“第一”、“第二”等的序數的用語用來避免每個要素的混同，而不用來限定數目。

如上所述，可以使用實施例模式 1 所說明的薄膜電晶體並實施例模式 2 所說明的電容來製造儲存電路。

在設計步驟根據預先被評價的記憶元件 1100 的漏電流已經決定了以一定的時間間隔作爲儲存電路的更新時序。換言之，考慮到完成晶片之後的漏電流的溫度依賴性、製造方法的變動而決定儲存電路的更新時序。

因爲實施例模式 1 或實施例模式 2 所示的薄膜電晶體

使用氫濃度被充分地降低了的氧化物半導體層，所以薄膜電晶體的截止電流可以是極小的值，從-30℃至 120℃的截止電流的溫度特性也幾乎沒有變化，因此可以維持極小的值。

因此，藉由使用實施例模式 1 或實施例模式 2 所示的薄膜電晶體，可以將更新時序與使用矽形成的電晶體相比設定爲長的時間間隔，從而可以縮減待機時的耗電量。

另外，因爲本實施例模式的儲存電路幾乎沒有截止電流的溫度依賴性，所以本實施例模式的儲存電路適於車載的電子設備。待機時的漏電流極小。在電動汽車中，即使待機時間長，每一定充電量的行車距離也幾乎沒有變化。

在實施例模式 1 或實施例模式 2 所示的電晶體中，去除有可能在氧化物半導體中成爲載子的給體（施體或受體）的雜質來使該雜質極少，而使用本徵或實際上本徵的半導體。

圖 12 是示出實施例模式 1 或實施例模式 2 所示的電晶體的源極電極-汲極電極間帶結構的圖。在理想狀態下，實現高純度化的氧化物半導體的費米能級位於禁止帶中央。在氫濃度被充分地降低的氧化物半導體中，沒有少數載子（此時的電洞）或幾乎沒有少數載子（此時的電洞）。

在功函數是ϕm 且氧化物半導體的電子親和力是χ的情況下，當功函數是ϕm 小於電子親和力是χ時，對電子形成歐姆接觸。

在此，當$\phi m=\chi$時，在接合面中電極金屬的費米能級和氧化物半導體的傳導帶端的能級一致。當假設：帶隙是3.05eV；電子親和力是 4.3eV；且處於本徵狀態（載子密度是大約 $1\times10^{-7}/cm^3$），並作爲源極電極和汲極電極使用功函數是 4.3eV 的鈦（Ti）時，如圖 12 所示那樣對電子不形成勢壘。

圖 13 示出能帶結構的示意圖。在對汲極電極施加正的電壓（VD>0）的情況下，虛線示出對閘極不施加電壓的情況（VG=0），而實線示出對閘極施加正的電壓的情況（VG>0）。當對閘極不施加電壓時，因勢壘高而載子（電子）不從電極植入到氧化物半導體一側，而示出不使電流流過的截止狀態。另一方面，當對閘極施加正的電壓時，勢壘降低，而示出使電流流過的導通狀態。

在此，勢壘高度對載子的遷移率有影響。因此，當使汲極電壓高時，勢壘高度（hb）變小，且遷移率變大。如果源極電極的功函數的程度ϕm 大概與氧化物半導體的電子親和力相同，則 hb 進一步變小，且可以期待更高遷移率。但是，需要保證上述電極材料不與氧化物半導體接觸而形成絕緣物。

在上述情況下，在底閘型（反交錯型）電晶體中，源極電極-汲極電極之間的勢壘變小，而容易產生寄生通道。因此，爲了得到更高的遷移率，最好採用頂閘型電晶體。

圖 14A 是使閘極電壓爲正時的 MOS 結構的能帶圖，

並示出使用氧化物半導體形成的電晶體中的能帶圖。此時，在被高純度化的氧化物半導體中幾乎沒有熱激發載子，並且即使進一步施加正的閘極電壓，在閘極絕緣膜近旁也不蓄積載子。但是，如圖 13 所示，從源極電極一側植入的載子也可以傳播。

圖 14B 是使閘極電壓爲負時的 MOS 結構的能帶圖，並示出使用氧化物半導體形成的電晶體中的能帶圖。因爲在氧化物半導體中幾乎沒有少數載子（電洞），所以在閘極絕緣膜近旁也不蓄積載子。上述情況意味著截止電流小。

另外，圖 15 示出使用矽半導體形成的電晶體的能帶圖。矽半導體的本徵載子密度是 $1.45\times10^{10}/cm^3$（300K）左右，且在室溫中也有載子。因爲在實際上使用添加有磷或硼等的雜質的矽晶圓，所以在實際上在矽半導體內有 $1\times10^{14}/cm^3$ 以上的載子，這有助於源極電極-汲極電極間的傳導。並且，因爲矽半導體的帶隙是 1.12eV，所以使用矽半導體形成電晶體根據溫度截止電流的變動較大。

如上所述，不將帶隙寬的氧化物半導體用於電晶體，而盡可能地降低形成施體的氫等的雜質，使載子濃度爲 $1\times10^{14}/cm^3$ 以下，最好爲 $1\times10^{12}/cm^3$ 以下。由此，可以去除在實用上的工作溫度下被熱激發的載子，並僅使用從源極電極一側植入的載子來使電晶體工作。由此，可以將截止電流降低到低於 $1\times10^{-13}A$ 以下，並且得到即使溫度變化截止電流也幾乎沒有變化的極穩定地工作的電晶體。

實施例模式 7

在本實施例模式中，示出可以使用實施例模式 1 或實施例模式 2 所示的薄膜電晶體來構成的移位暫存器的一個例子。

圖 16A 示出移位暫存器的一個例子的等效電路圖。圖 16A 所示的移位暫存器包括兩個時鐘信號線、電連接到這些時鐘信號線中的任一個的兩級正反器。另外，可以設置更多的時鐘信號線，並且可以設置更多級的正反器。

時鐘信號分別輸入到兩個時鐘信號線，當一方的時鐘信號線轉換爲高位準（V_H）時，另一方的時鐘信號線轉換爲低位準（V_L），而進行工作。

圖 16A 說明移位暫存器，其中依次包括：電連接到第一時鐘信號線 CLK 的第一級正反器；電連接到第二時鐘信號線 CLKB 的第二級正反器；第 n-1 級的正反器；以及第 n 級的正反器。但是，不侷限於該結構，而至少具有第一正反器和第二正反器即可。

時鐘信號線 CLK 是被輸入時鐘信號 CK 的佈線。

時鐘信號線 CLKB 是被輸入時鐘信號 CKB 的佈線。

例如，可以使用非電路（反相器電路）分別產生時鐘信號 CK 和時鐘信號 CKB。

對第一正反器輸入啓動信號 SP 和啓動信號 SPB，輸入用作時鐘信號的時鐘信號 CK，並且根據所輸入的信號 SP 和信號 SPB 的信號狀態和時鐘信號 CK 的信號狀態而

輸出輸出信號 OUT。注意，在此，信號狀態例如是指信號的電位、電流或頻率等。

例如，可以使用非電路（反相器電路）分別產生啓動信號 SP 和啓動信號 SPB。

在此，作爲信號，可以使用例如利用電壓、電流、電阻或頻率等的類比信號或數位信號。例如，藉由作爲電位至少設定第一電位和第二電位，作爲第一電位使用高位準（高電位，也稱爲 VH）的電位，而作爲第二電位使用低位準（低電位，也稱爲 VL）的電位，可以設定二值的數位信號。另外，VH 和 VL 最好是一定的值。但是，也可以考慮到雜波的影響而將 VH 和 VL 設定爲在一定範圍內的數值，而不是一定的值。

另外，在此，附上“第一”、“第二”等的序數的用語用來避免每個要素的混同，而不用來限定數目。

第二正反器具有如下功能，即被輸入作爲啓動信號 SP 的第一正反器的輸出信號 OUT，被輸入作爲時鐘信號的時鐘信號 CK2，並作爲輸出信號輸出根據被輸入的輸出信號 FF1out 及時鐘信號 CK2 而設定狀態的信號 FF2out 的功能。

對第二正反器輸入啓動信號 SP 和啓動信號 SPB，輸入作爲時鐘信號的時鐘信號 CK2，並且第二正反器根據被輸入的信號 SP 及信號 SPB 的狀態和時鐘信號 CK2 的信號的狀態而輸出輸出信號 OUTB。

圖 16B 示出圖 16A 所示的第一正反器的具體的一個

結構例子。

啓動信號 SP 輸入到第一薄膜電晶體 1111 的源極電極和汲極電極中的一方以及第四薄膜電晶體 1114 的源極電極和汲極電極中的一方。

啓動信號 SPB 輸入到第二薄膜電晶體 1112 的源極電極和汲極電極中的一方以及第三薄膜電晶體 1113 的源極電極和汲極電極中的一方。

時鐘信號 CLK 輸入到第一薄膜電晶體 1111、第二薄膜電晶體 1112、第三薄膜電晶體 1113 以及第四薄膜電晶體 1114 的閘極。

第一薄膜電晶體 1111 的源極電極和汲極電極中的另一方連接到第五薄膜電晶體 1115 的閘極和第一電容元件 1119 的一方的電極。

第二薄膜電晶體 1112 的源極電極和汲極電極中的另一方連接到第六薄膜電晶體 1116 的閘極和第二電容元件 1120 的一方的電極。

第三薄膜電晶體 1113 的源極電極和汲極電極中的另一方連接到第七薄膜電晶體 1117 的閘極和第三電容元件 1121 的一方的電極。

第四薄膜電晶體 1114 的源極電極和汲極電極中的另一方連接到第八薄膜電晶體 1118 的閘極和第四電容元件 1122 的一方的電極。

第五薄膜電晶體 1115 的汲極電極連接到高電位一側（最好是電源電位 Vdd）。第五薄膜電晶體 1115 的源極

電極連接到第一電容元件 1119 的另一方的電極和第六薄膜電晶體 1116 的汲極電極，並輸出輸出信號 OUT。第二電容元件 1120 的另一方的電極和第六薄膜電晶體 1116 的源極電極連接到低電位一側（最好是參考電位 Vss）。

第七薄膜電晶體 1117 的汲極電極連接到高電位一側（最好是電源電位 Vdd）。第七薄膜電晶體 1117 的源極電極連接到第三電容元件 1121 的另一方的電極和第八薄膜電晶體 1118 的汲極電極，並輸出輸出信號 OUTB。第四電容元件 1122 的另一方的電極和第八薄膜電晶體 1118 的源極電極連接到低電位一側（最好是參考電位 Vss）。

第一電容元件 1119、第二電容元件 1120、第三電容元件 1121 以及第四電容元件 1122 可以使用實施例模式 2 所說明的電容而製造在與電晶體同一基板上。

如上所述，可以使用利用實施例模式 1 或實施例模式 2 所說明的被高純度化的氧化物半導體層形成的薄膜電晶體以及實施例模式 2 所說明的電容而製造正反器電路。

實施例模式 8

本實施例模式示出可以使用實施例模式 1 或實施例模式 2 的薄膜電晶體構成的升壓電路（電荷泵電路）的一個例子。

圖 17 示出升壓電路的具體結構的一個例子。圖 17 所示的升壓電路包括：兩個時鐘信號線；以正方向二極體連接的多個電晶體 1123；一方的電極連接到多個上述電晶

體的源極電極和汲極電極之間的多個電容元件 1124；以及一方的電極連接到上述電晶體的最末尾且另一方的電極被保持爲一定的電位的儲存電容元件。這些多個電容元件的另一方的電極電連接到兩個時鐘信號線的任一個。

另外，也可以設置更多的時鐘信號線。

也可以根據需要輸出的電位而設置更多個的電晶體和電容元件。

時鐘信號分別輸入到兩個時鐘信號線，當一方的時鐘信號線轉換爲高位準（VH）時，另一方的時鐘信號線轉換爲低位準（VL），而進行工作。

例如，可以使用非電路（反相器電路）而分別產生時鐘信號 CLK 和時鐘信號 CLKB。非電路可以使用實施例模式 2 所示的 EDMOS 電路而製造。

藉由使用圖 17 所示的升壓電路，可以使從 Vin 輸入的電位上升到 Vout。例如，當從 Vin 輸入電源電位 Vdd 時，可以從 Vout 輸出大於 Vdd 的電位，且可以進行升壓直到電位成爲所希望的電位。上述進行升壓直到成爲所希望的電位的電位的信號例如輸入到電源線，並用於安裝在與升壓電路同一基板上的各電路。

另外，在此將儲存電容元件的另一方的電極所保持的一定的電位例如設定爲電源電位 Vdd 或參考電位 Vss，即可。

另外，在此，作爲信號，可以使用例如利用電壓、電流、電阻或頻率等的模擬信號或數位信號。例如，藉由作

爲電位至少設定第一電位和第二電位，作爲第一電位使用高位準（高電位，也稱爲 VH）的電位，而作爲第二電位使用低位準（低電位，也稱爲 VL）的電位，可以設定二值的數位信號。另外，VH 和 VL 最好是一定的值。但是，也可以考慮到雜波的影響而將 VH 和 VL 設定爲在一定範圍內的數值，而不是一定的值。

另外，在此，附上“第一”、“第二”等的序數的用語用來避免每個要素的混同，而不用來限定數目。

如上所述，可以使用實施例模式 1 所說明的薄膜電晶體和實施例模式 2 所示的電容而製造升壓電路。

實施例模式 9

在本實施例模式中，使用圖 18A 至圖 18E 說明電子設備的例子，該電子設備安裝有根據實施例模式 1 至實施例模式 8 中任一個而得到的半導體積體電路。藉由使用實施例模式 4 所示的方法即將半導體積體電路從製造基板轉置到其他基板的方法，將半導體積體電路安裝在塑膠片等上，從而也可以製造被薄型化或被撓性化的電子設備。另外，半導體積體電路設置在電路基板等上，並安裝在各電子設備的本體內部。

在母板上安裝有包括實施例模式 1 或實施例模式 2 的薄膜電晶體的半導體積體電路。半導體積體電路安裝有邏輯電路、快閃記憶體電路、SRAM 電路、實施例模式 6 所示的 DRAM 電路等。另外，半導體積體電路還可以安裝

有實施例模式 3 所示的 CPU。另外，也可以使用引線接合法來安裝半導體積體電路。此時也可以安裝具有各種形狀的積體電路片。

另外，電路基板安裝有 FPC，並藉由 FPC 例如連接到顯示裝置等。可以構成顯示部的驅動器以及控制器。作爲顯示部的驅動器，具有實施例模式 7 所示的移位暫存器、實施例模式 2 所示的 EDMOS 電路。

圖 18A 是作爲一個部件至少安裝半導體積體電路而製造的筆記本個人電腦，包括主體 3001、外殼 3002、顯示部 3003、操作鍵 3004 等。另外，筆記本個人計算機具有實施例模式 3 所示的 CPU、實施例模式 6 所示的 DRAM 電路等。

圖 18B 是作爲一個部件至少安裝半導體積體電路而製造的可攜式資訊終端（PDA），主體 3021 設置有顯示部 3023、外部介面 3025、操作按鈕 3024 等。另外，作爲用於操作的配件，具有觸控筆 3022。

圖 18C 是作爲一個部件至少安裝半導體積體電路而製造的電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙用於電子書閱讀器（電子書）、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 18C 示出電子書閱讀器 2700 的一個例子。例如，電子書閱讀器 2700 由兩個外殼構成，即外殼 2701 及外殼 2703 構成。外殼 2701 及外殼 2703 由軸部 2711 形成爲一體，並且可以以該軸部 2711 爲軸進行

開閉動作。藉由該結構，可以進行如紙的書籍那樣的工作。

外殼 2701 組裝有顯示部 2705，並且外殼 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 18C 中的顯示部 2705）中顯示文章，並且在左邊的顯示部（圖 18C 中的顯示部 2707）中顯示圖像。

此外，在圖 18C 中示出外殼 2701 具備操作部等的例子。例如，在外殼 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與外殼的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子或可以與 AC 適配器及 USB 電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

圖 18D 是作爲一個部件至少安裝半導體積體電路而製造的可攜式電話機，由外殼 2800 和外殼 2801 的兩個外殼構成。外殼 2801 具備顯示面板 2802、揚聲器 2803、麥克風 2804、定位裝置 2806、照相用透鏡 2807、外部連接端

子 2808 等。另外，外殼 2800 具備進行可攜式資訊終端的充電的太陽電池元件 2810、外部記憶體插槽 2811 等。另外，在外殼 2801 內組裝有天線。

另外，顯示面板 2802 具備觸摸螢幕，圖 18D 使用虛線示出被顯示出來的多個操作鍵 2805。另外，安裝有用來使由太陽電池元件 2810 輸出的電壓上升直到成爲各電路所需要的電壓的升壓電路（實施例模式 8 所示的升壓電路）。

另外，除了上述結構以外，還可以安裝有實施例模式 4 或實施例模式 5 所示的非接觸 IC 晶片、小型記錄裝置等。

顯示面板 2802 的顯示方向根據使用方式而適當地變化。另外，由於在與顯示面板 2802 同一面上具備照相用透鏡 2807，所以可以進行可視電話。揚聲器 2803 及麥克風 2804 不侷限於音頻通話，還可以進行可視通話、錄音、再生等。再者，外殼 2800 和外殼 2801 滑動而可以處於如圖 18D 那樣的展開狀態和重疊狀態，可以進行適於攜帶的小型化。

外部連接端子 2808 可以與 AC 整流器及各種電纜如 USB 電纜等連接，並可以進行充電及與個人電腦等的資料通訊。另外，藉由將記錄媒體插入到外部記憶體插槽 2811 中，可以對應更大量資料的保存及移動。

另外，除了上述功能以外，還可以具備紅外線通訊功能、電視接收功能等。

圖 18E 是作爲一個部件至少安裝半導體積體電路而製造的數位相機，包括主體 3051、顯示部（A）3057、目鏡部 3053、操作鍵 3054、顯示部（B）3055、電池 3056 等。

本實施例模式可以與實施例模式 1 至實施例模式 8 中任一個自由地組合。

【符號說明】

100：半導體積體電路

101：天線

102：第二絕緣體

112：第一絕緣體

400：半導體積體電路晶片

405：天線

406：基底基板

407：虛線

408：供電點

410：絕緣層

420：半導體裝置

421：詢問器

422：天線

423：半導體積體電路

424：天線

430：基板

431：佈線

432a：氧化物半導體層

432b：氧化物半導體層

433：第一電容電極層

434：第二電容電極層

435：第五佈線

437：導電層

438：第二電極層

439：第一端子電極層

440：薄膜電晶體

441：閘極電極層

442：氧化物半導體層

443：第二絕緣層

444：閘極絕緣層

445a：源極電極層

445b：汲極電極層

446：第四絕緣層

447a：絕緣層

447b：絕緣層

448a：源極電極層

448b：汲極電極層

470：薄膜電晶體

471：第一閘極電極層

472：氧化物半導體層

473：第五絕緣層

474a：佈線層

474b：佈線層

475a：源極電極層

475b：汲極電極層

477：第一電極層

478a：源極電極層

478b：汲極電極層

479a 至 479i：電極層

480：第一薄膜電晶體

481：第一閘極電極層

482a：氧化物半導體層

482b：氧化物半導體層

484a：佈線

484b：佈線

485a：汲極電極層

485b：源極電極層

486：絕緣層

487a：絕緣層

487b：絕緣層

488a：汲極電極層

488b：源極電極層

489：端子電極層

490：第二薄膜電晶體

491：第二閘極電極層

492：閘極絕緣層

495a：源極電極層

495b：汲極電極層

498a：源極電極層

498b：汲極電極層

800：半導體裝置

810：高頻電路

820：電源電路

830：重設電路

840：時鐘產生電路

850：資料解調變電路

860：資料調變電路

870：控制電路

880：儲存電路

890：天線

910：取碼電路

920：判碼電路

930：CRC 判定電路

940：輸出器電路

1001：CPU

1002：時序控制電路

1003：指令分析解碼器

1004：暫存器陣列

1005：位址邏輯緩衝電路

1006：資料匯流排介面

1007：ALU

1008：指令暫存器

1100：記憶元件

1101：第一且電路

1102：第二且電路

1103：第三且電路

1104：開關

1105：開關

1106：開關

1111：薄膜電晶體

1112：薄膜電晶體

1113：薄膜電晶體

1114：薄膜電晶體

1115：薄膜電晶體

1116：薄膜電晶體

1117：薄膜電晶體

1118：薄膜電晶體

1119：電容元件

1120：電容元件

1121：電容元件

1122：電容元件

1123：電晶體

1124：電容元件

3200：通訊裝置

3210：顯示部

3220：產品

3230：半導體裝置

3240：通訊裝置

3250：半導體裝置

3260：商品

第 109118669 號　　民國 110 年 10 月 12 日修正

申請專利範圍

【請求項 1】一種半導體裝置，包含：

第一電晶體、第二電晶體和第一電極，

其中該第一電晶體包含：

第一氧化物半導體層，包含第一通道形成區；以及

該第一氧化物半導體層上的第一閘極電極層，

其中該第二電晶體包含：

第二氧化物半導體層，包含第二通道形成區；以及

該第二氧化物半導體層上的第二閘極電極層，

其中該第一電極位於該第一氧化物半導體層下，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含銦和鋅，

其中該第一電極和該第一氧化物半導體層以彼此之間具有絕緣層的方式互相重疊，

其中在該第二氧化物半導體層下並未設置與該第二氧化物半導體層重疊的電極，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含微晶部，

其中該第一電晶體的通道長度大於該第二電晶體的通道長度，並且

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的氫濃度爲 $5\times10^{19}/cm^3$ 以下。

【請求項 2】根據請求項 1 之半導體裝置，

其中該第一電晶體和該第二電晶體中的每一個的截止電流爲 1×10^{-13}A 以下。

【請求項 3】根據請求項 1 之半導體裝置，

其中該氫濃度藉由二次離子質譜測定技術（SIMS: Secondary Ion Mass Spectroscopy）測量。

【請求項 4】一種半導體裝置，包含：

第一電晶體、第二電晶體和第一電極，

其中該第一電晶體包含：

第一氧化物半導體層，包含第一通道形成區；以及

該第一氧化物半導體層上的第一閘極電極層，

其中該第二電晶體包含：

第二氧化物半導體層，包含第二通道形成區；以及

該第二氧化物半導體層上的第二閘極電極層，

其中該第一電極位於該第一氧化物半導體層下，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含銦和鋅，

其中該第一電極和該第一氧化物半導體層以彼此之間具有絕緣層的方式互相重疊，

其中在該第二氧化物半導體層下並未設置與該第二氧化物半導體層重疊的電極，

其中該第一氧化物半導體層和該第二氧化物半導體層

中的每一個中的結晶的尺寸爲 1nm 以上且 20nm 以下，

其中該第一電晶體的通道長度大於該第二電晶體的通道長度，並且

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的氫濃度爲 $5\times10^{19}/cm^3$ 以下。

【請求項 5】根據請求項 4 之半導體裝置，

其中該第一電晶體和該第二電晶體中的每一個的截止電流爲 $1\times10^{-13}A$ 以下。

【請求項 6】根據請求項 4 之半導體裝置，

其中該氫濃度藉由二次離子質譜測定技術（SIMS: Secondary Ion Mass Spectroscopy）測量。

【請求項 7】一種半導體裝置，包含：

玻璃基板上的第一電晶體，第二電晶體和第一電極，

其中該第一電晶體包含：

第一氧化物半導體層，包含第一通道形成區；以及

該第一氧化物半導體層上的第一閘極電極層，

其中該第二電晶體包含：

第二氧化物半導體層，包含第二通道形成區；以及

該第二氧化物半導體層上的第二閘極電極層，

其中該第一電極位於該第一氧化物半導體層和該玻璃基板之間，

其中該第一電極和該第一氧化物半導體層以彼此之間

具有絕緣層的方式互相重疊，

其中在該第二氧化物半導體層下並未設置與該第二氧化物半導體層重疊的電極，

其中該絕緣層的區域位於該玻璃基板和該第二氧化物半導體層之間，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含微晶部，並且

其中該第一電晶體的通道長度大於該第二電晶體的通道長度。

【請求項 8】根據請求項 7 之半導體裝置，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的氫濃度爲 $5\times10^{19}/cm^3$ 以下。

【請求項 9】根據請求項 7 之半導體裝置，

其中該第一電晶體和該第二電晶體中的每一個的截止電流爲 $1\times10^{-13}A$ 以下。

【請求項 10】根據請求項 8 之半導體裝置，

其中該氫濃度藉由二次離子質譜測定技術（SIMS: Secondary Ion Mass Spectroscopy）測量。

【請求項 11】一種半導體裝置，包含：

玻璃基板上的第一電晶體，第二電晶體和第一電極，

其中該第一電晶體包含：

第一氧化物半導體層，包含第一通道形成區；以及

該第一氧化物半導體層上的第一閘極電極層，

其中該第二電晶體包含：

第二氧化物半導體層，包含第二通道形成區；以及

該第二氧化物半導體層上的第二閘極電極層，

其中該第一電極位於該第一氧化物半導體層和該玻璃基板之間，

其中該第一電極和該第一氧化物半導體層以彼此之間具有絕緣層的方式互相重疊，

其中在該第二氧化物半導體層下並未設置與該第二氧化物半導體層重疊的電極，

其中該絕緣層的區域位於該玻璃基板和該第二氧化物半導體層之間，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的結晶的尺寸爲 1nm 以上且 20nm 以下，並且

其中該第一電晶體的通道長度大於該第二電晶體的通道長度。

【請求項 12】根據請求項 11 之半導體裝置，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的氫濃度爲 $5\times10^{19}/cm^3$ 以下。

【請求項 13】根據請求項 11 之半導體裝置，

其中該第一電晶體和該第二電晶體中的每一個的截止電流爲 $1\times10^{-13}A$ 以下。

【請求項 14】根據請求項 12 之半導體裝置，

其中該氫濃度藉由二次離子質譜測定技術（SIMS: Secondary Ion Mass Spectroscopy）測量。

【請求項 15】一種半導體裝置，包含：

第一電晶體，包括其中設置有通道的第一氧化物半導體層和該第一氧化物半導體層上的第一閘極電極；以及

第二電晶體，包括其中設置有通道的第二氧化物半導體層和該第二氧化物半導體層上的第二閘極電極，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含銦、鎵和鋅，

其中與該第一氧化物半導體層重疊的電極層以彼此之間具有絕緣層的方式設置在該第一氧化物半導體層的下側上，

其中在該第二氧化物半導體層的下側上並未設置與該第二氧化物半導體層重疊的電極層，

其中該第一氧化物半導體層和該第二氧化物半導體層被設置在同一平面上，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個中的結晶的尺寸爲 1nm 以上且 20nm 以下，並且

其中該第一電晶體的通道長度長於該第二電晶體的通道長度。

【請求項 16】一種半導體裝置，包含：

基板；

該基板上的第一電晶體，包括其中設置有通道的第一

氧化物半導體層和該第一氧化物半導體層上的第一閘極電極；以及

該基板上的第二電晶體，該第二電晶體包括其中設置有通道的第二氧化物半導體層和該第二氧化物半導體層上的第二閘極電極，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含銦、鎵和鋅，

其中在該基板和該第一氧化物半導體層之間，與該第一氧化物半導體層重疊的電極層以彼此之間具有絕緣層的方式設置，

其中在該基板和該第二氧化物半導體層之間並未設置與該第二氧化物半導體層重疊的電極層，

其中該第一氧化物半導體層和該第二氧化物半導體層被設置在同一平面上，

其中該絕緣層包含設置在該基板和該第二氧化物半導體層之間的區域，並且

其中該第一電晶體的通道長度長於該第二電晶體的通道長度。

【請求項 17】一種半導體裝置，包含：

基板；

該基板上的第一電晶體，該第一電晶體包括其中設置有通道的第一氧化物半導體層和該第一氧化物半導體層上的第一閘極電極；以及

該基板上的第二電晶體，該第二電晶體包括其中設置

有通道的第二氧化物半導體層和該第二氧化物半導體層上的第二閘極電極，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個包含銦、鎵和鋅，

其中在該基板和該第一氧化物半導體層之間，與該第一氧化物半導體層重疊的電極層以彼此之間具有絕緣層的方式設置，

其中在該基板和該第二氧化物半導體層之間並未設置與該第二氧化物半導體層重疊的電極層，

其中該第一氧化物半導體層和該第二氧化物半導體層中的每一個與該絕緣層的上表面直接接觸，

其中該絕緣層包含設置在該基板和該第二氧化物半導體層之間的區域，並且

其中該第一電晶體的通道長度長於該第二電晶體的通道長度。

圖式

圖1A

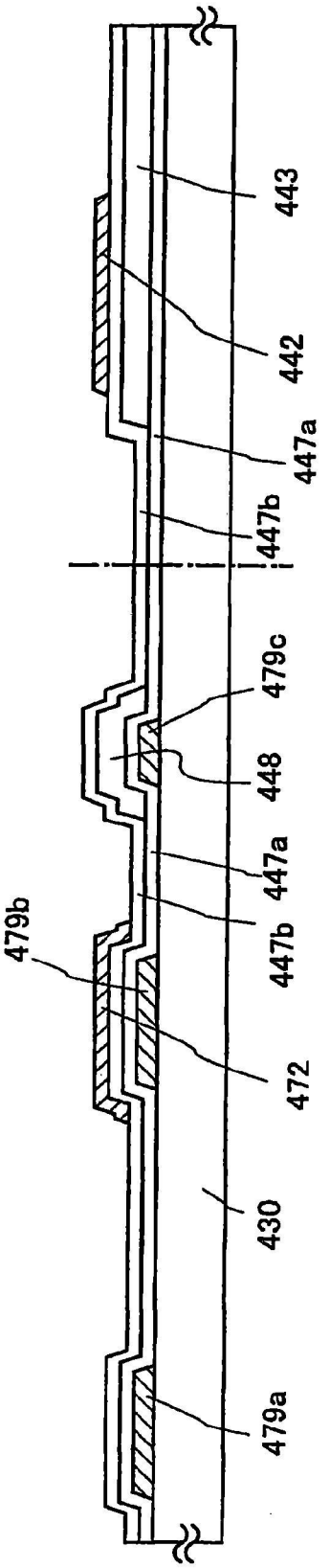

443
442
447a
447b
479c
448
447a
447b
479b
472
430
479a

圖1B

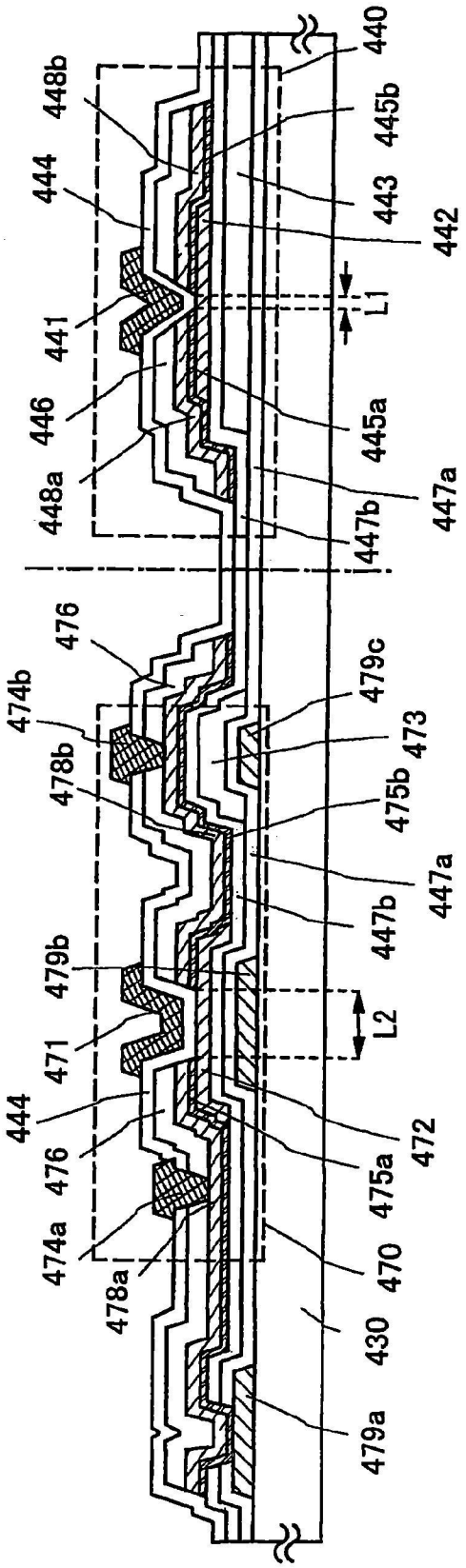

440
448b
445b
444
443
442
L1
441
446
445a
448a
447a
447b
476
479c
474b
473
478b
475b
447a
447b
479b
L2
471
444
472
476
475a
474a
470
478a
430
479a

圖2

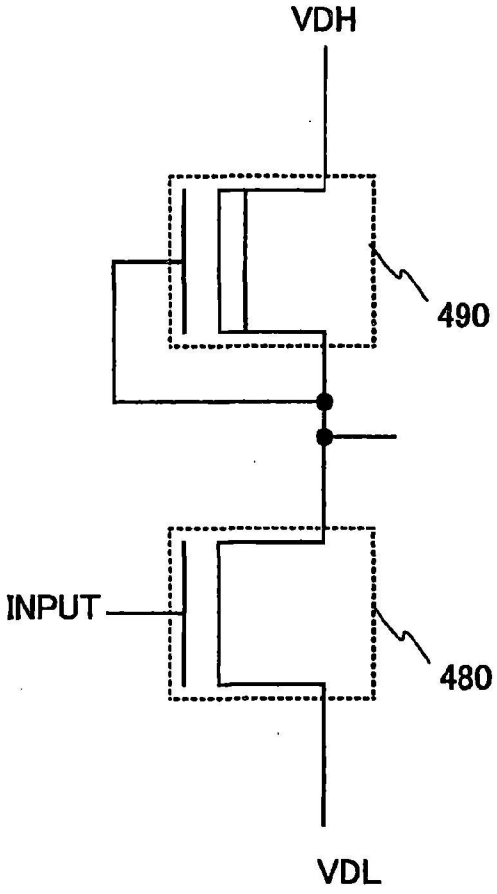


圖3

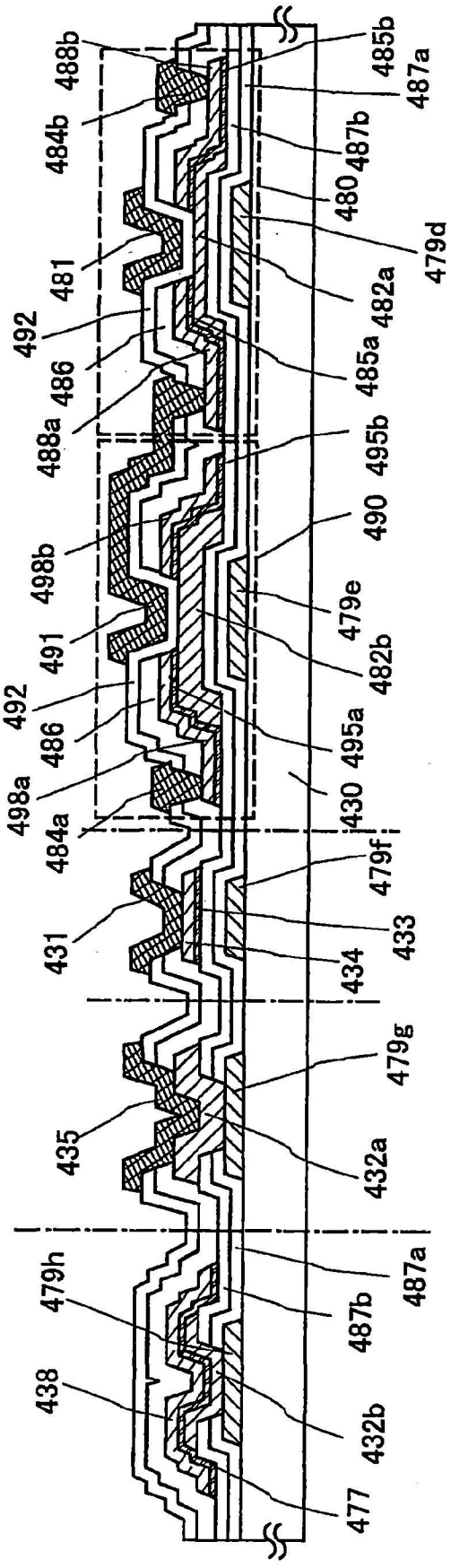

488b
484b
481
492
486
488a
498b
491
492
486
498a
484a
431
435
438
479h
487b
432b
477
487a
432a
479g
434
433
479f
430
495a
482b
479e
490
495b
485a
482a
479d
480
487b
485b
487a

圖4A

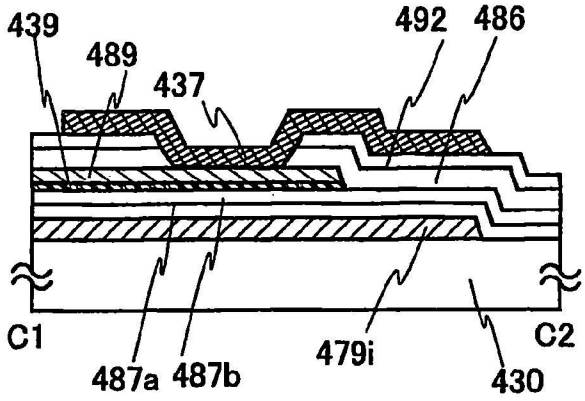


圖4B

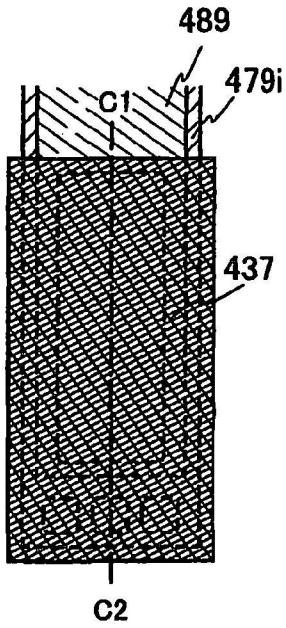


圖5

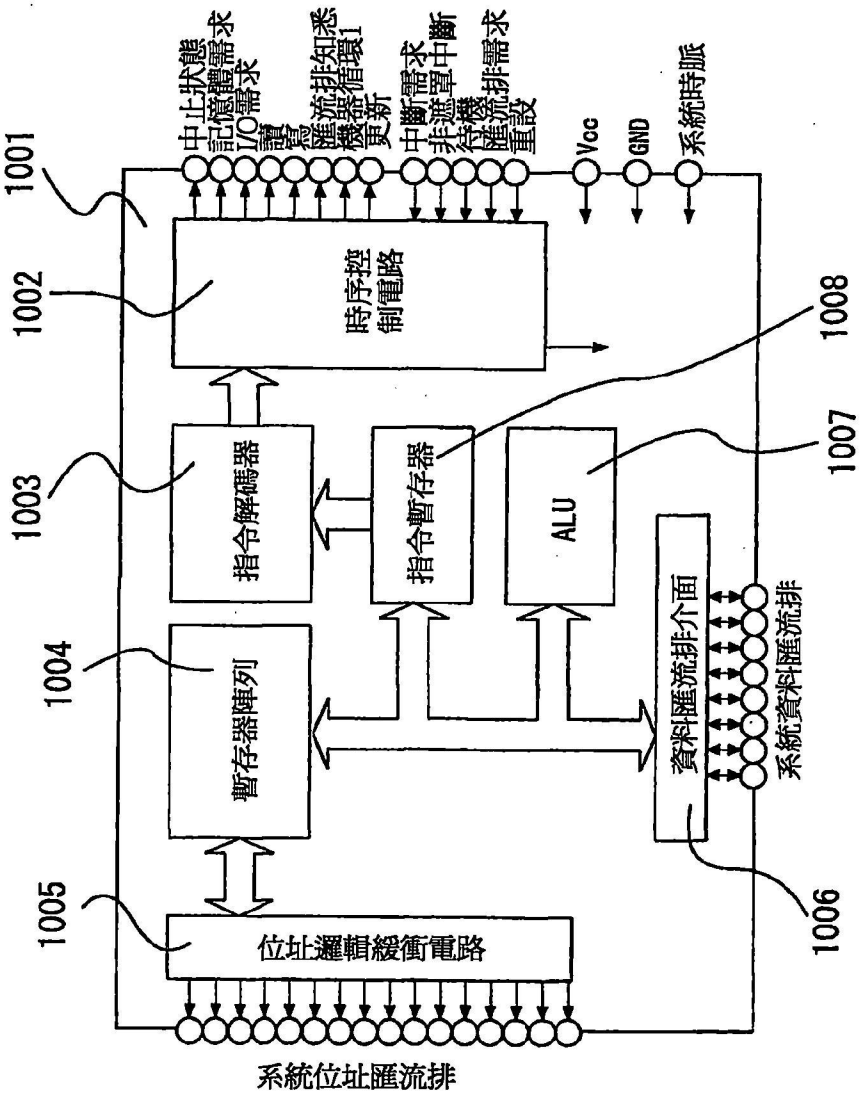

1001
1002
1003
1004
1005
1006
1007
1008
中止狀態
記憶體需求
I/O需求
讀
寫
匯流排知悉
機器循環1
更新
中斷需求
非遮罩中斷
待機
匯流排需求
重設
Vcc
GND
系統時脈
時序控制電路
指令解碼器
指令暫存器
ALU
暫存器陣列
資料匯流排介面
系統資料匯流排
位址邏輯緩衝電路
系統位址匯流排

圖6

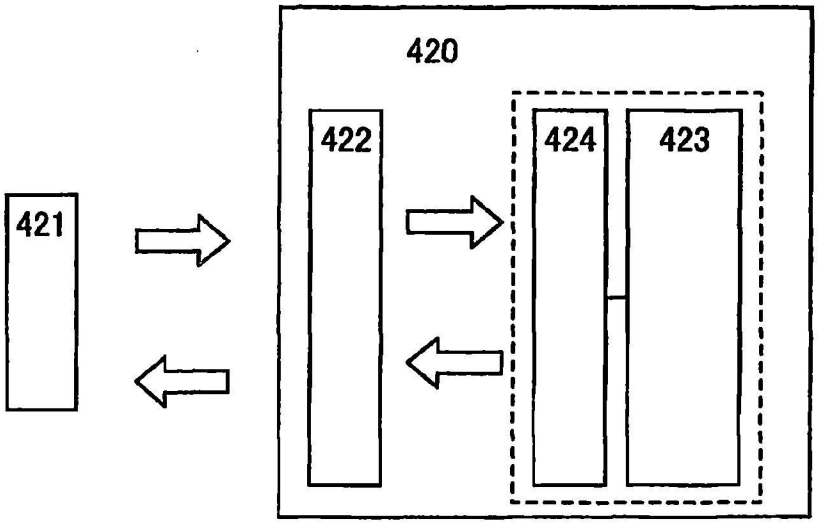


圖7A

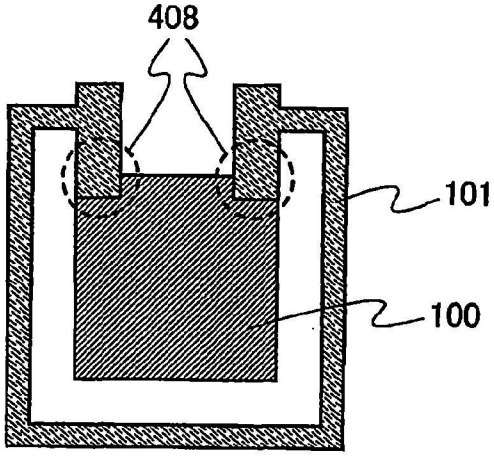


圖7B

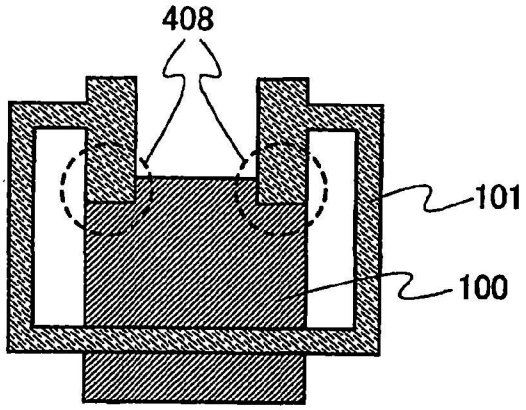


圖8A

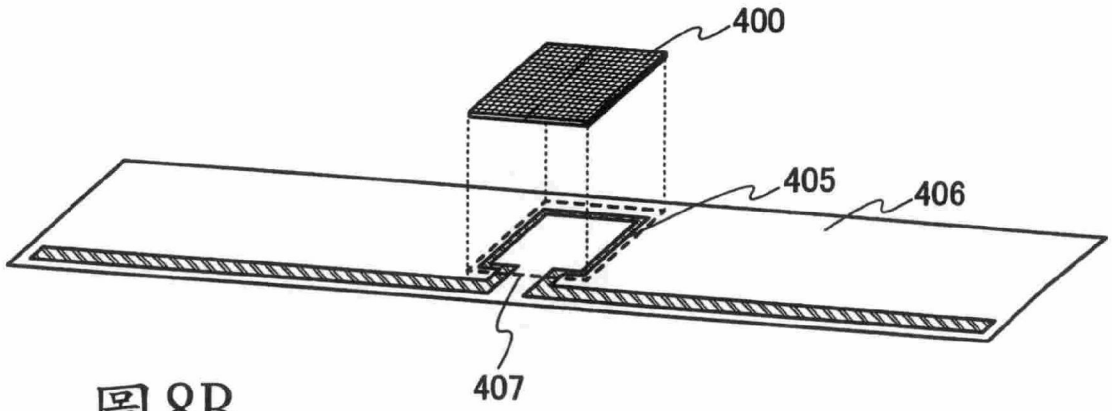

400
405
406
407

圖8B

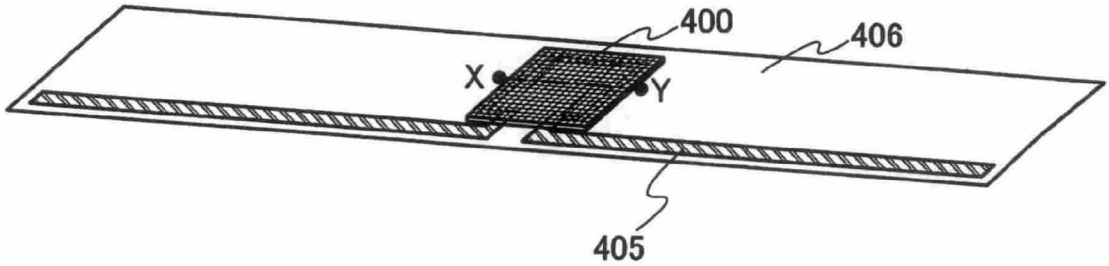

400
406
X
Y
405

圖8C

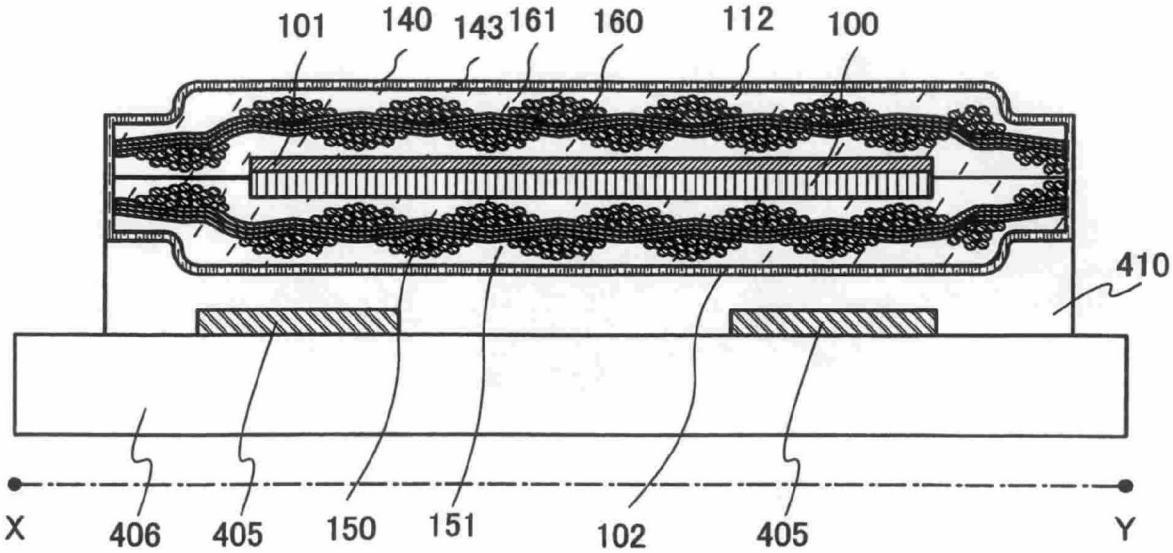

101
140
143
161
160
112
100
410
X
406
405
150
151
102
405
Y

圖9

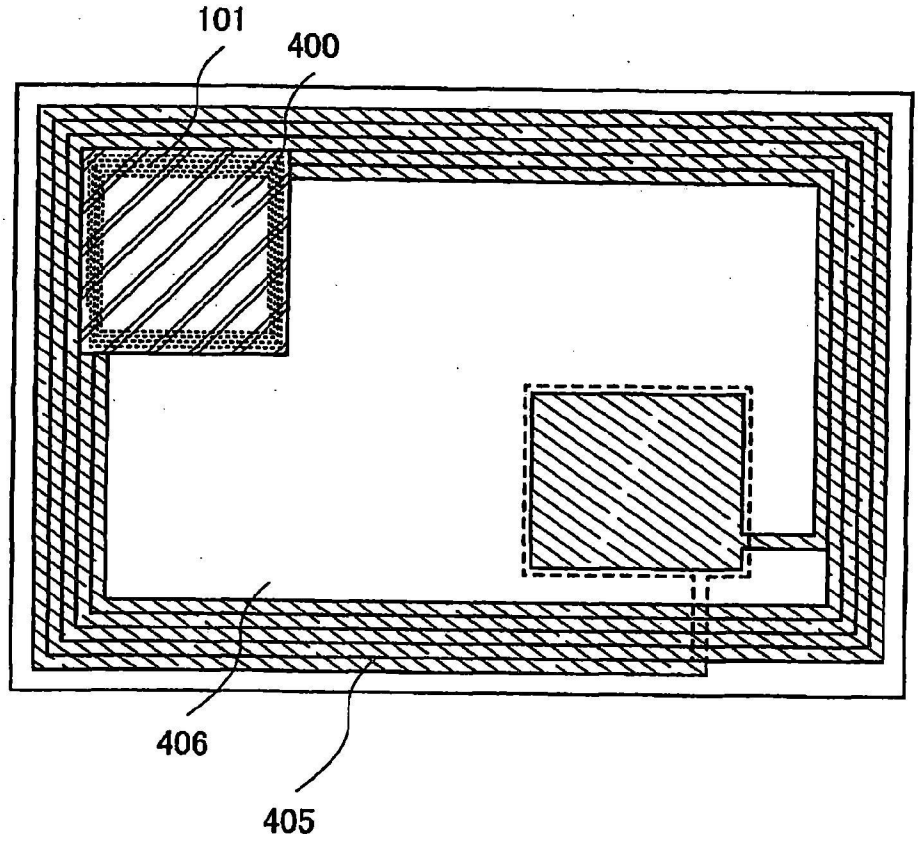


圖10A

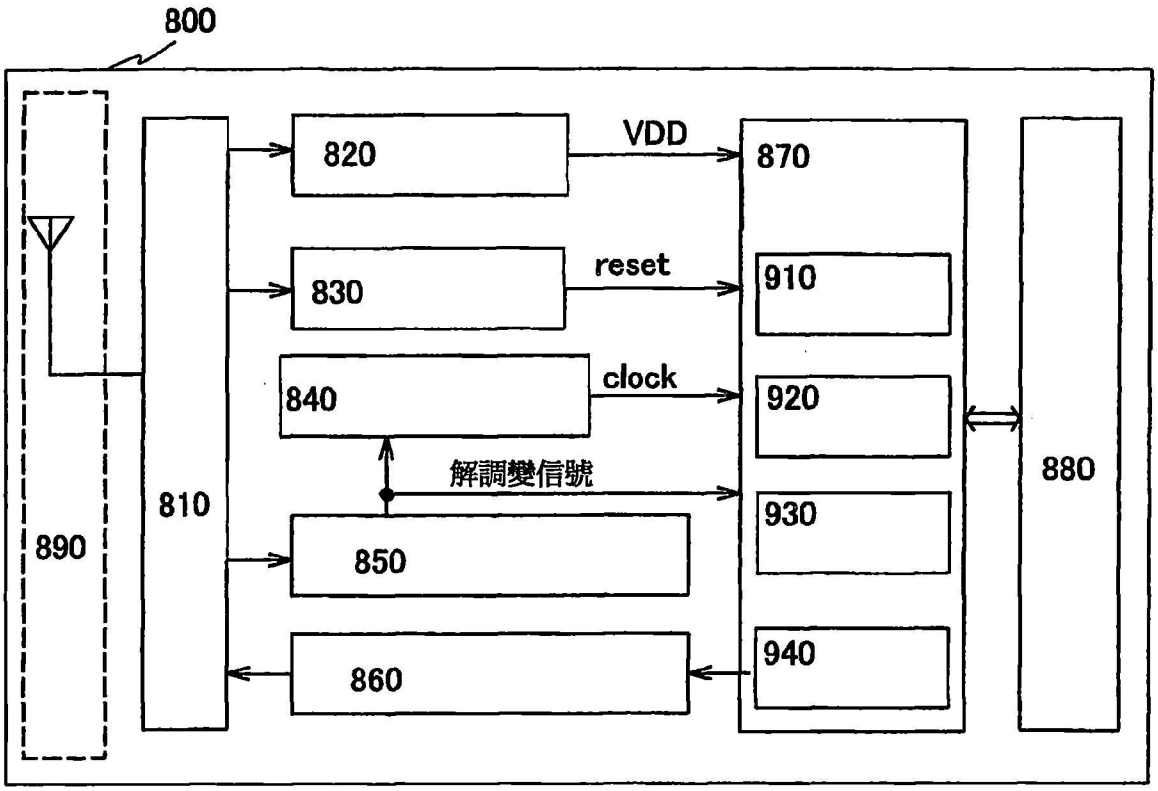


圖10B

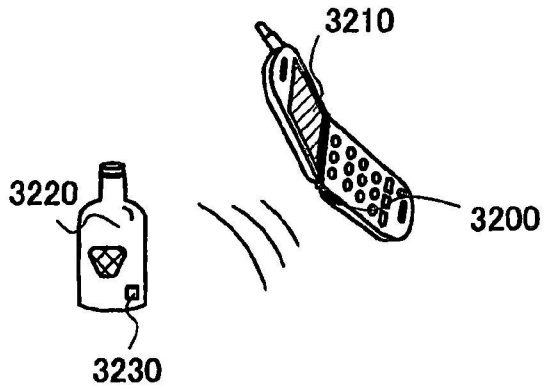


圖10C

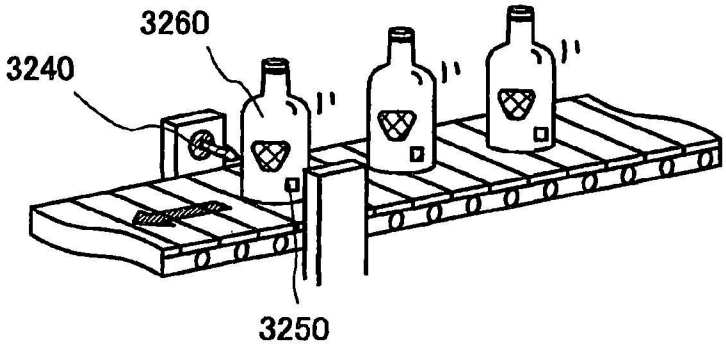


圖11A

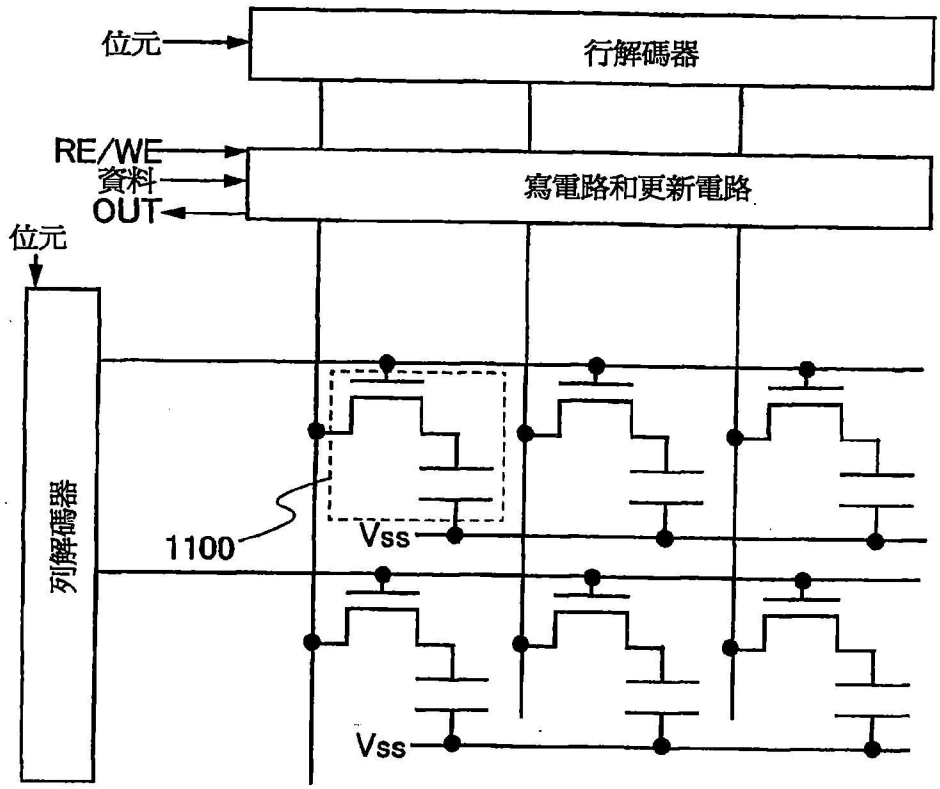

位元
行解碼器
RE/WE
資料
OUT
寫電路和更新電路
位元
列解碼器
1100
Vss
Vss

圖11B

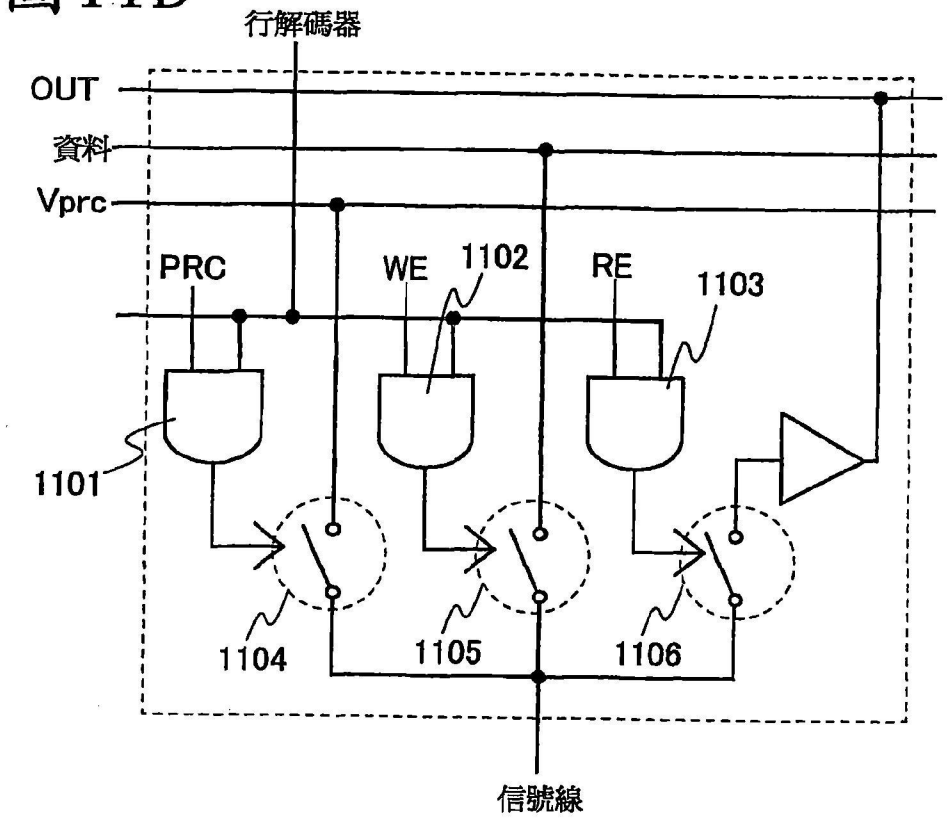

行解碼器
OUT
資料
Vprc
PRC
WE
1102
RE
1103
1101
1104
1105
1106
信號線

圖12

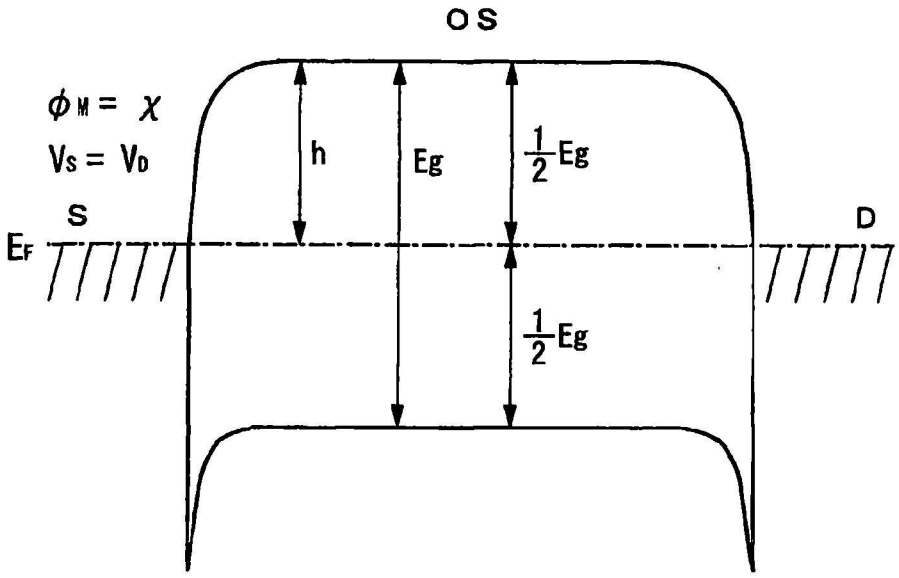


圖13

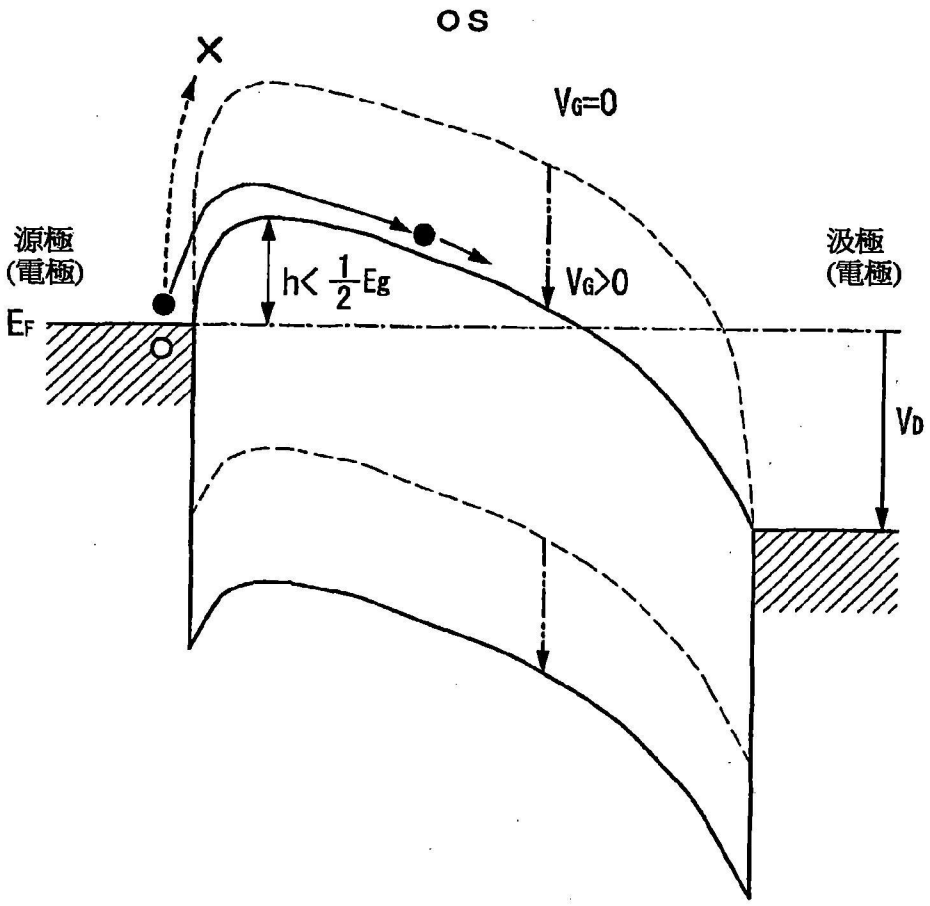


圖14A

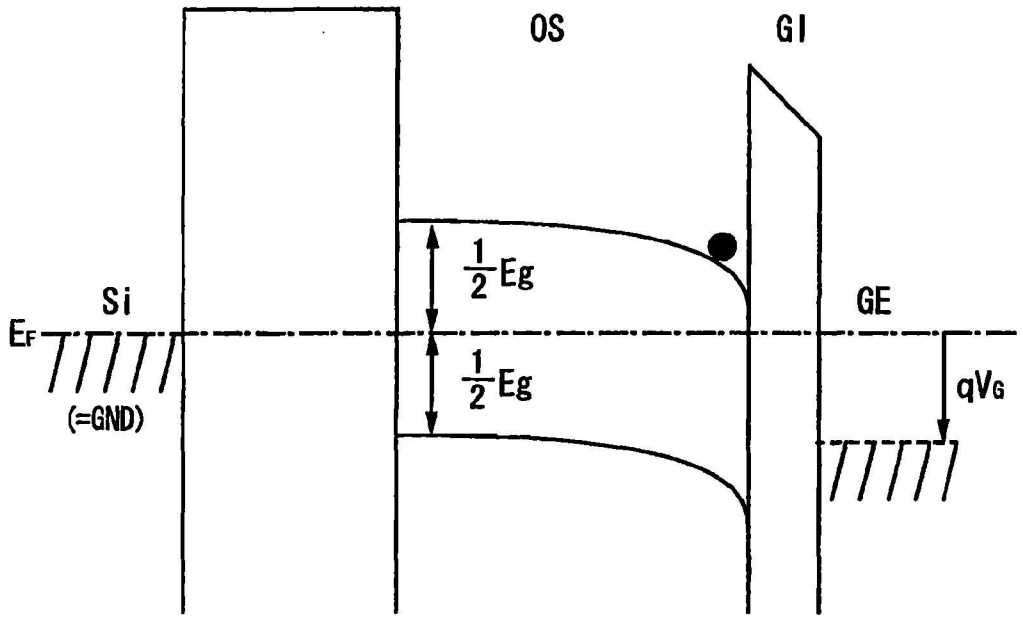


圖14B

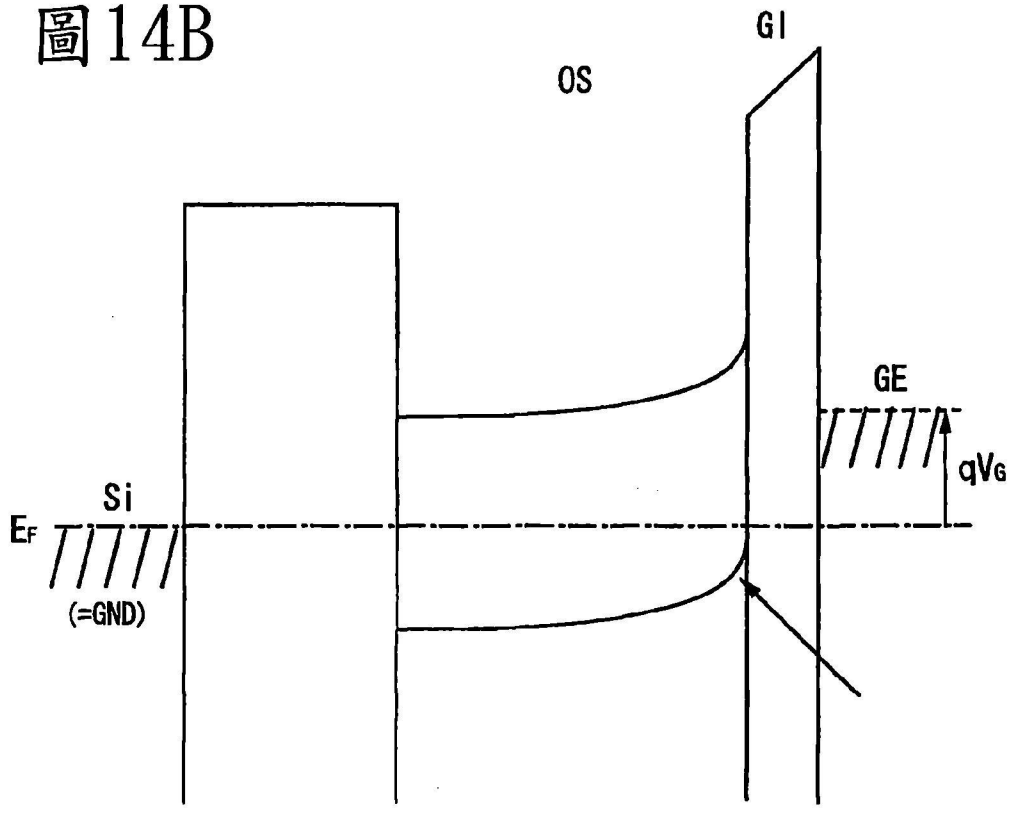


圖15

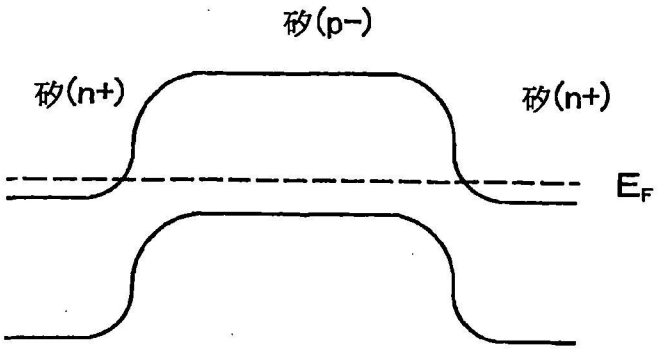


圖16A

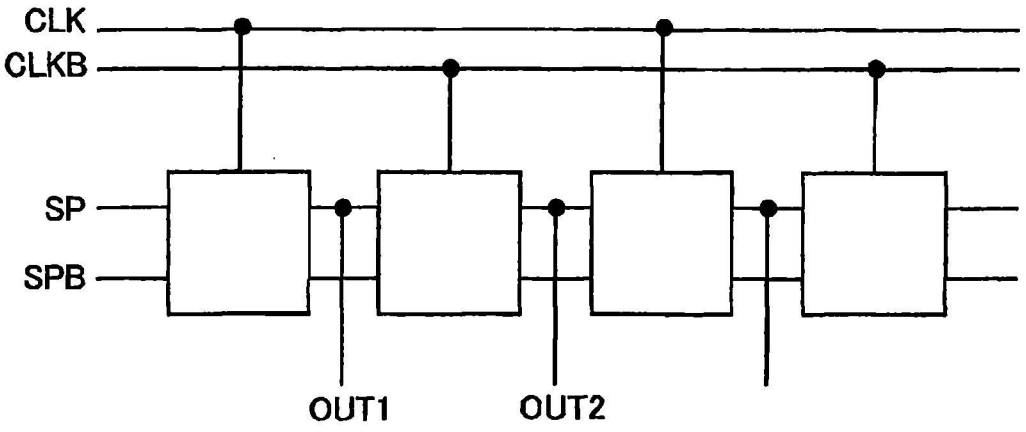

CLK
CLKB
SP
SPB
OUT1
OUT2

圖16B

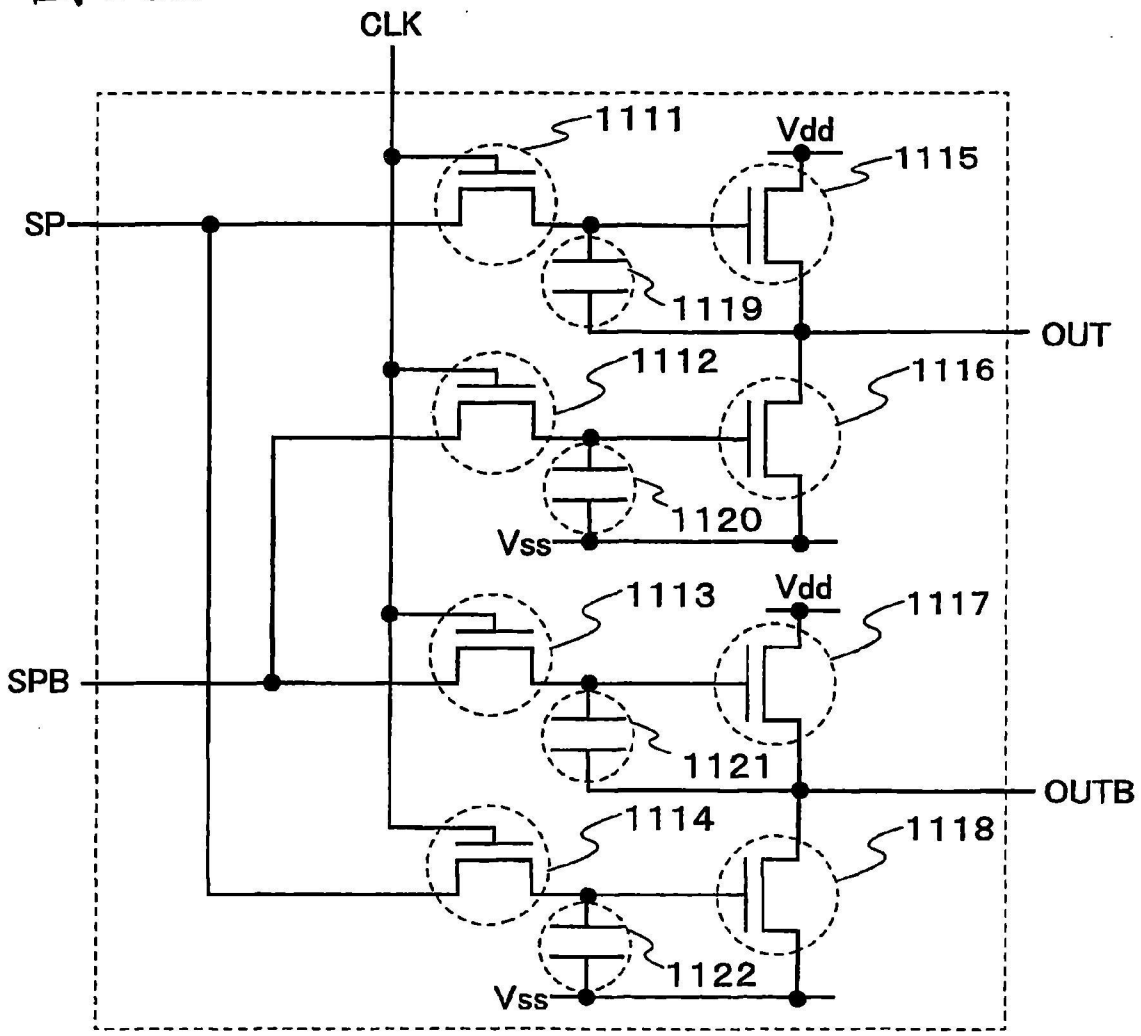

CLK
1111
Vdd
1115
SP
1119
OUT
1112
1116
1120
Vss
1113
Vdd
1117
SPB
1121
OUTB
1114
1118
1122
Vss

圖17

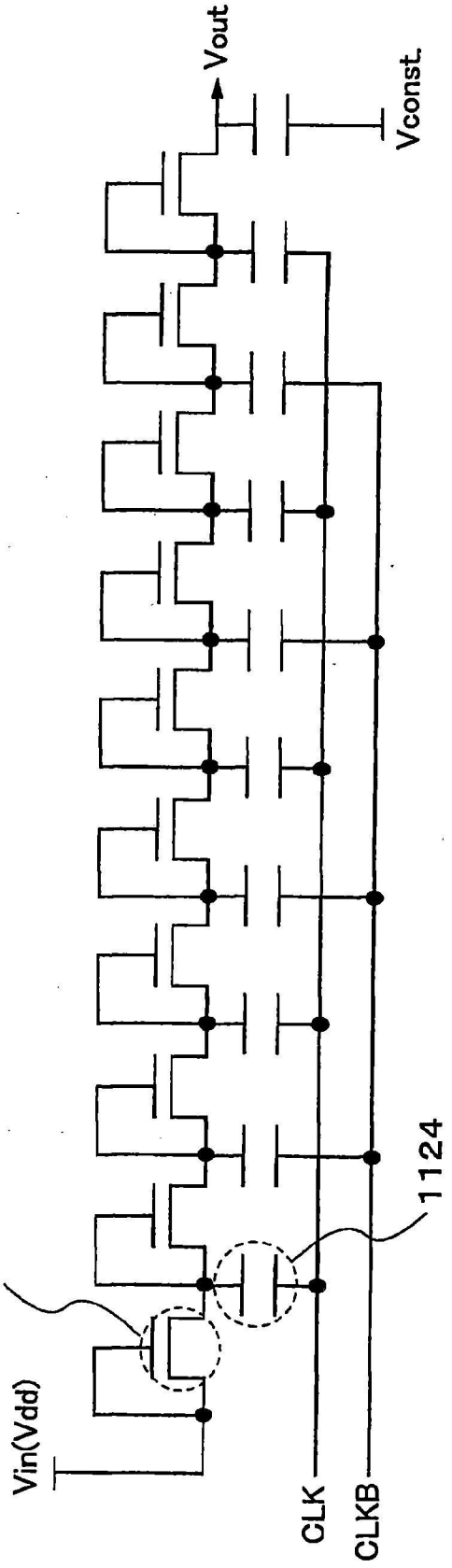


圖18A

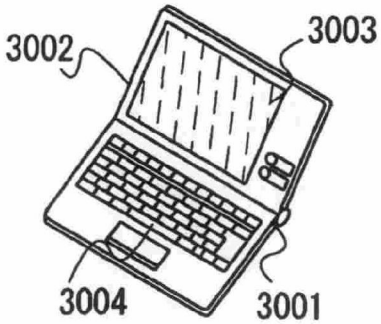


圖18B

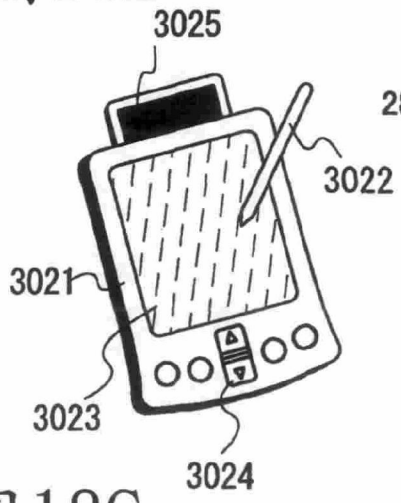


圖18C

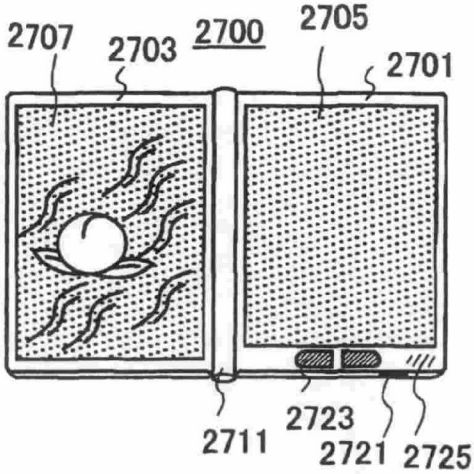


圖18D

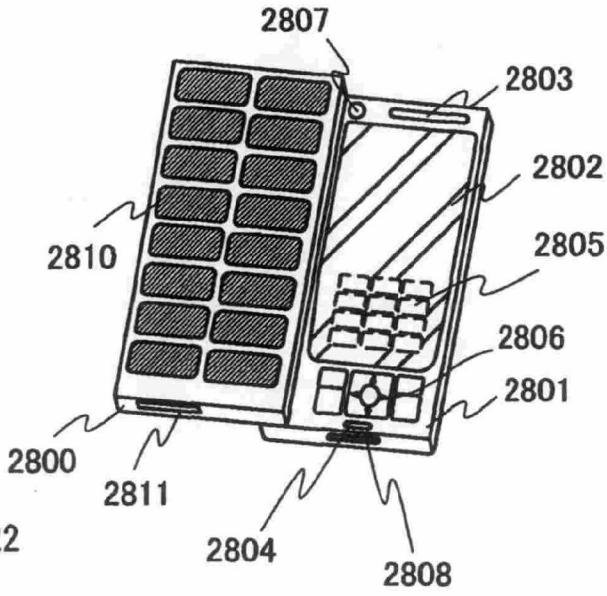


圖18E

