



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0036775
(43) 공개일자 2019년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/49 (2006.01) H01L 21/324 (2017.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/49 (2013.01)
H01L 21/324 (2013.01)
(21) 출원번호 10-2017-0126080
(22) 출원일자 2017년09월28일
심사청구일자 2017년09월28일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
이희덕
대전광역시 서구 둔산북로 175, 햇님아파트 8동 604호
이맹
충청북도 청주시 서원구 경신로 67, 개신주공1단지아파트 107동 1010호
이정찬
충청남도 공주시 신금1길 98, 403동 1901호
(74) 대리인
서효민, 특허법인피너클

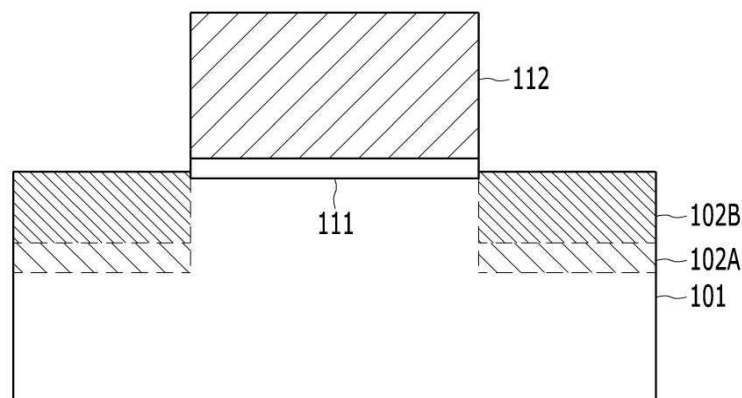
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 모스펫 제조 방법

(57) 요약

본 발명의 실시예가 해결하려는 과제는, 콘택의 접촉저항을 감소시키는 모스펫 제조 방법을 제공하는 것이다. 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 모스펫 제조 방법은 인듐갈륨아세나이드(InGaAs) 기판에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 양측 기판에 소스/드레인 영역을 형성하는 단계; 상기 소스/드레인 영역 상에 게더링층, 합금용 희생층 및 보호층을 차례로 적층하는 단계; 열처리 공정을 진행하여 상기 소스/드레인 영역에 합금을 형성하고 동시에 상기 소스/드레인 영역 내의 산소를 게더링층과 결합시키는 단계; 및 합금이 형성된 상기 소스/드레인 영역 상에 잔류하는 상기 게더링층, 합금용 희생층 및 보호층을 제거하는 단계를 포함할 수 있다. 상술한 본 발명의 실시예들에 의한 모스펫 제조 방법은 막 내의 산소의 함유량을 감소시키고 결과적으로, 막 내 합금의 함유량을 증가시켜 콘택의 접촉저항이 감소되는 효과가 있다.

대표도 - 도1e



(52) CPC특허분류

H01L 29/435 (2013.01)

H01L 29/66045 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10048536

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 20nm급 이하 차세대 반도체 소자를 위한 소자 저항 감소 기술 개발

기 여 율 1/1

주관기관 충남대학교

연구기간 2017.06.01 ~ 2019.05.31

명세서

청구범위

청구항 1

인듐갈륨아세나이드(InGaAs) 기판에 게이트 전극을 형성하는 단계;
 상기 게이트 전극의 양측 기판에 소스/드레인 영역을 형성하는 단계;
 상기 소스/드레인 영역 상에 게더링층, 합금용 희생층 및 보호층을 차례로 적층하는 단계;
 열처리 공정을 진행하여 상기 소스/드레인 영역에 합금을 형성하고 동시에 상기 소스/드레인 영역 내의 산소를 게더링층과 결합시키는 단계; 및
 합금이 형성된 상기 소스/드레인 영역 상에 잔류하는 상기 게더링층, 합금용 희생층 및 보호층을 제거하는 단계를 포함하는 모스펫 제조 방법.

청구항 2

제1항에 있어서,
 상기 게더링층은 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ (GST; x, y, z는 자연수)층을 포함하는 모스펫 제조 방법.

청구항 3

제1항에 있어서,
 상기 합금용 희생층은 니켈(Ni)층을 포함하는 모스펫 제조 방법.

청구항 4

제1항에 있어서,
 상기 보호층은 티타늄질화(TiN)층을 포함하는 모스펫 제조 방법.

청구항 5

제1항에 있어서,
 상기 열처리 공정은 급속 열처리 공정(Rapid Thermal Process)으로 진행되는 모스펫 제조 방법.

청구항 6

제1항에 있어서,
 상기 열처리 공정은 250℃~350℃의 온도에서 10초~150초 동안 진행되는 모스펫 제조 방법.

청구항 7

제1항에 있어서,

상기 소스/드레인 영역을 형성하는 단계는,
이온주입 공정으로 진행하는 모스펫 제조 방법.

청구항 8

제1항에 있어서,
상기 게터링층, 합금용 희생층 및 보호층을 차례로 적층하는 단계는,
스퍼터링 공정으로 진행하는 모스펫 제조 방법.

청구항 9

제8항에 있어서,
상기 스퍼터링 공정은 아르곤(Ar) 플라즈마를 이용하는 모스펫 제조 방법.

청구항 10

제1항에 있어서,
상기 잔류하는 상기 게터링층, 합금용 희생층 및 보호층을 제거하는 단계는,
습식 식각공정으로 진행하는 모스펫 제조 방법.

청구항 11

제10항에 있어서,
상기 습식 식각공정은 HCl과 H₂O의 혼합용액을 이용하여 진행하는 모스펫 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 모스펫 제조 방법에 관한 것이다.

배경 기술

[0003] 모스펫(MOSFET; Metal Oxide Semiconductor Field Effect Transistor)의 고집적화가 진행됨에 따라 전통적인 반도체 공정 즉, 실리콘을 이용한 반도체 공정은 소형화의 한계에 다다르고 있다. 이런 한계를 넘기 위하여 여러가지 물질을 이용하여 기존의 실리콘 기판을 대체하는 연구가 진행되고 있다.

[0004] 그 중에 III-V 화합물에 속하는 인듐갈륨아세나이드(InGaAs)는 유망한 기판물질로 각광을 받고 있다. 여기서, 인듐갈륨아세나이드를 기판으로 이용하여 제작되는 트랜지스터의 전극에는 일반적으로 단일금속 또는 합금이 적층된다. 적층된 금속층은 트랜지스터의 전극을 외부 전원과 전기적으로 연결시켜 주는 역할을 하므로 콘택(Contact)이라고 불린다.

[0005] 이때, 콘택에서의 저항(이하 "접촉저항"이라 함)이 높으면 트랜지스터의 반응이 느려져 성능이 저하된다. 따라서, 인듐갈륨아세나이드를 기판으로 이용하여 제작된 트랜지스터가 고성능을 실현하기 위해서는 접촉저항을 보다 낮추는 것이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예가 해결하려는 과제는, 콘택의 접촉저항을 감소시키는 모스펫 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 모스펫 제조 방법은 인듐갈륨아세나이드(InGaAs) 기판에 게이트 전극을 형성하는 단계; 상기 게이트 전극의 양측 기판에 소스/드레인 영역을 형성하는 단계; 상기 소스/드레인 영역 상에 게더링층, 합금용 희생층 및 보호층을 차례로 적층하는 단계; 열처리 공정을 진행하여 상기 소스/드레인 영역에 합금을 형성하고 동시에 상기 소스/드레인 영역 내의 산소를 게더링층과 결합시키는 단계; 및 합금이 형성된 상기 소스/드레인 영역 상에 잔류하는 상기 게더링층, 합금용 희생층 및 보호층을 제거하는 단계를 포함할 수 있다.
- [0010] 여기서, 상기 게더링층은 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ (GST; x, y, z는 자연수)층을 포함할 수 있다.
- [0011] 또한, 상기 합금용 희생층은 니켈(Ni)층을 포함할 수 있다.
- [0012] 또한, 상기 보호층은 티타늄질화(TiN)층을 포함할 수 있다.
- [0013] 또한, 상기 열처리 공정은 급속 열처리 공정(Rapid Thermal Process)으로 진행할 수 있다.
- [0014] 또한, 상기 열처리 공정은 250℃~350℃의 온도에서 10초~150초 동안 진행할 수 있다.
- [0015] 또한, 상기 소스/드레인 영역을 형성하는 단계는, 이온주입 공정으로 진행할 수 있다.
- [0016] 또한, 상기 게더링층, 합금용 희생층 및 보호층을 차례로 적층하는 단계는, 스퍼터링 공정으로 진행할 수 있다.
- [0017] 또한, 상기 스퍼터링 공정은 아르곤(Ar) 플라즈마를 이용할 수 있다.
- [0018] 또한, 상기 잔류하는 상기 게더링층, 합금용 희생층 및 보호층을 제거하는 단계는, 습식 식각공정으로 진행할 수 있다.
- [0019] 또한, 상기 습식 식각공정은 HCl과 H_2O 의 혼합용액을 이용하여 진행할 수 있다.

발명의 효과

- [0021] 상술한 본 발명의 실시예들에 의한 모스펫 제조 방법은 막 내의 산소의 함유량을 감소시키고 결과적으로, 막 내 합금의 함유량을 증가시켜 콘택의 접촉저항이 감소되는 효과가 있다.

도면의 간단한 설명

- [0022] 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 모스펫 제조 방법을 설명하기 위한 공정 단면도들이다.
- 도 2a 및 도 2b는 열처리 공정에 의한 막 내 구성변화를 설명하기 위한 공정 단면도이다.
- 도 3은 비교예와 본 발명의 저항을 비교하기 위한 그래프이다.
- 도 4a 및 도 4b는 비교예와 본 발명의 막 내 물질의 함유량을 비교하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0024] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라

질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.

[0026] 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 모스펫 제조 방법을 설명하기 위한 공정 단면도이다.

[0027] 도 1a에 도시된 바와 같이, 소정 공정이 완료된 기판(101)을 제공할 수 있다. 기판(101)은 실리콘(Si), 실리콘 게르마늄(SiGe) 또는 임의의 기타 적합한 반도체 재료와 같은 반도체 기판 상에 인듐갈륨아세나이드(InGaAs)층이 적층된 구조일 수 있다. 인듐갈륨아세나이드(InGaAs)층은 에피택셜 성장(Epitaxial Growth)으로 형성할 수 있다. 인듐갈륨아세나이드(InGaAs)층은 소자 동작에서 채널(Channel)층으로 역할할 수 있으며, 이를 위해 채널층으로 작용할 수 있는 충분한 두께로 형성하는 것이 바람직하다. 예컨대, 인듐갈륨아세나이드(InGaAs)층은 적어도 150nm 이상으로 형성할 수 있다.

[0028] 이어서, 기판(101) 상에 게이트 절연층(111) 및 게이트 전극(112)을 적층할 수 있다. 게이트 절연층(111) 및 게이트 전극(112)은 먼저, 기판(101) 상에 절연막 및 도전층을 차례로 증착한 후, 패터닝을 진행하여 적층구조를 형성할 수 있다. 게이트 절연층(111)은 고유전율(High-K)을 갖는 물질을 포함할 수 있다. 예컨대, 게이트 절연층(111)은 금속산화물층을 포함할 수 있다. 금속산화물층은 예컨대, 알루미늄산화물층(Al_2O_3) 등을 포함할 수 있다. 게이트 절연층(111)은 예컨대, 원자층증착법(ALD; Atomic Layer Deposition) 등으로 형성할 수 있다.

[0029] 게이트 전극(112)은 반도체 물질 또는 금속 물질을 포함할 수 있다. 금속 물질은 예컨대, 알루미늄 또는 티타늄 등을 포함할 수 있다.

[0030] 이어서, 도시되지 않았으나, 게이트 절연층(111) 및 게이트 전극(112)의 측벽에 게이트 스페이서가 형성될 수 있다.

[0031] 도 1b에 도시된 바와 같이, 게이트 전극(112) 양측의 기판(101)에 소스/드레인(Source/Drain) 영역(102)을 형성할 수 있다. 소스/드레인 영역(102)은 게이트 전극(112)을 포함하는 기판(101) 상에 마스크층을 형성하고, 패터닝을 통해 소스/드레인 영역을 노출시킨 후, 이온주입을 진행하는 일련의 공정을 통해 형성할 수 있다. 예컨대, 이온주입 공정은 N타입의 도펀트(Dopant)를 사용하여 진행할 수 있다. 예컨대, N타입의 도펀트는 실리콘(Si)을 포함할 수 있다.

[0032] 도 1c에 도시된 바와 같이, 소스/드레인 영역(102) 상에 게더링층(103), 합금용 희생층(104) 및 보호층(105)을 차례로 적층할 수 있다. 게더링층(103), 합금용 희생층(104) 및 보호층(105)은 스퍼터링(Sputtering) 공정을 통해 인시튜(In-Situ)로 형성할 수 있다. 예컨대, 스퍼터링 공정은 아르곤(Ar) 플라즈마를 이용하여 20℃의 온도에서 게더링층(103), 합금용 희생층(104) 및 보호층(105) 각각의 파워를 50W, 100W, 80W로 조절하여 진행할 수 있다. 또한, 스퍼터링 공정은 예컨대, 3.1×10^{-3} Torr의 압력에서 1.8sccm의 가스 유량으로 진행할 수 있다. 게더링층(103), 합금용 희생층(104) 및 보호층(105)은 소스/드레인 영역(102) 상부에 선택적으로 형성될 수 있다.

[0033] 여기서, 게더링층(103)은 후속 열처리 공정에서 소스/드레인 영역(102) 및 기판(101) 내에 외확산되는 산소(Oxygen)를 끌어와 결합하여, 소스/드레인 영역(102) 및 기판(101) 내의 산소 함유량을 감소시키는 역할을 할 수 있다. 게더링층(103)은 인듐갈륨아세나이드(InGaAs)와 결합력이 낮고, 산소와 결합력이 높은 물질로 형성하는 것이 바람직하다. 예컨대, 게더링층(103)은 $Ge_xSb_yTe_z$ (x, y, z는 자연수, 이하 "GST"라 함)층으로 형성할 수 있다. 게더링층(103)은 소스/드레인 영역(102) 및 기판(101) 내에서 외확산된 산소와 충분히 결합이 가능하면서, 상부에 형성된 니켈층(104)이 소스/드레인 영역(102)으로 이동하는 것을 방해하지 않는 두께로 형성할 수 있다. 예컨대, 게더링층(103)은 2nm~8nm의 두께로 형성할 수 있다. 이는 게더링층(103)이 2nm 미만인 경우, 어닐링 공정에서 외확산된 산소와 충분한 결합하기 부족하고, 게더링층(103)이 8nm를 초과하는 경우, 니켈층(104)이 하부로 이동하기 어렵기 때문이다.

[0034] 합금용 희생층(104)은 후속 열처리 공정에서 소스/드레인 영역(102)과 결합하여 합금을 형성하기 위한 희생층으로, 인듐갈륨아세나이드와 결합력이 높고, 인듐갈륨아세나이드와의 합금을 통해 저항이 감소되는 물질로 형성하는 것이 바람직하다. 예컨대, 합금용 희생층(104)은 니켈(Ni)층을 포함할 수 있다. 합금용 희생층(104)은 후속

열처리 공정에서 소스/드레인 영역(102)과 충분한 결합이 가능한 두께로 형성할 수 있다. 예컨대, 합금용 희생층(104)은 15nm~40nm의 두께로 형성할 수 있다.

[0035] 보호층(105)은 후속 열처리 공정에서 외부 조건으로부터 합금용 희생층(104)을 보호하는 역할을 할 수 있다. 예컨대, 보호층(105)은 티타늄질화(TiN)층을 포함할 수 있다. 보호층(105)은 합금용 희생층(104)의 산화 등을 방지할 수 있는 두께로 형성하는 것이 바람직하다. 예컨대, 보호층(105)은 10nm~50nm의 두께로 형성할 수 있다.

[0036] 도 1d에 도시된 바와 같이, 열처리 공정을 진행할 수 있다. 열처리 공정은 급속열처리(Rapid Thermal Process) 공정으로 진행할 수 있다. 열처리 공정은 니켈(Ni)과 인듐갈륨아세나이드(InGaAs)가 합금을 형성할 수 있는 온도로 진행되는 것이 바람직하다. 예컨대, 열처리 공정은 250℃~350℃의 온도에서 10초 내지 150초 동안 진행할 수 있다.

[0037] 열처리 공정을 통해 소스/드레인 영역(102A)은 Ni-InGaAs(니켈-인듐갈륨아세나이드 합금)이 형성되어 접촉저항이 감소될 수 있다. 합금이 형성된 소스/드레인 영역(102A)은 니켈(Ni)과의 결합에 의해 체적이 증가될 수 있다. 열처리 공정을 통한 막 내의 구성변화는 도 2a 및 도 2b에서 자세히 설명하기로 한다.

[0038] 특히, 본 발명에서는 소스/드레인 영역(102A)의 상부에 게더링층(103A)을 형성하여 열처리 공정 시 기판(101) 및 소스/드레인 영역(102A)에서 외확산된 산소를 끌어당겨 결합할 수 있다. 즉, 게더링층(103A)이 기판(101) 및 소스/드레인 영역(102A)에서 외확산된 산소와 결합함으로써, 기판(101) 및 소스/드레인 영역(102A) 막 내의 산소 함유량을 감소시키고, 결과적으로 막 내 합금의 함유량을 증가시켜 접촉저항이 감소하는 효과가 있다.

[0039] 또한, 합금용 희생층(104) 상에 보호층(105)이 형성되어 열처리 공정시 합금용 희생층(104)이 산화 등으로 소모되지 않고 소스/드레인 영역(102A)과 온전히 결합되도록 하는 효과가 있다.

[0040] 도 1e에 도시된 바와 같이, 게이트 전극(112) 및 소스/드레인 영역(102A) 상부에 잔류하는 게더링층(103A, 도 1d 참조) 및 보호층(105, 도 1d 참조)을 제거할 수 있다.

[0041] 게더링층(103A, 도 1d 참조) 및 보호층(105, 도 1d 참조)의 제거는 습식 식각공정으로 진행할 수 있다. 도시되지 않았으나, 도 1d의 열처리 공정에서 소스/드레인 영역(102A)에 결합되지 않은 합금용 희생층이 도 2b와 같이 게더링층(103A, 도 1d 참조)의 상부에 일부 잔류할 수 있으며, 잔류하는 합금용 희생층 역시 게더링층(103A, 도 1d 참조) 및 보호층(105, 도 1d 참조)과 함께 습식 식각 공정을 통해 제거될 수 있다. 예컨대, 습식 식각공정은 HCl 및 H₂O의 혼합용액으로 진행할 수 있다. 예컨대, HCl 및 H₂O의 혼합용액은 1:5로 혼합된 혼합용액일 수 있다.

[0043] 도 2a 및 도 2b는 열처리 공정에 의한 막 내 구성변화를 설명하기 위한 공정 단면도이다.

[0044] 도 2a에 도시된 바와 같이, 인듐갈륨아세나이드층(11), GST층(12) 및 니켈층(13)이 적층된 구조에 250℃~350℃의 온도로 급속열처리를 진행하면, 도 2b에 도시된 바와 같이, 니켈층(13, 도 2a 참조) 내의 니켈(Ni)이 결합력이 높은 인듐갈륨아세나이드층(11, 도 2a 참조)으로 이동하여 Ni-InGaAs(니켈-인듐갈륨아세나이드 합금, 11B)을 형성하고, 이들의 결합으로 인해 Ni-InGaAs(니켈-인듐갈륨아세나이드 합금, 11B)층은 도 2a의 인듐갈륨아세나이드층(11, 도 2a 참조)보다 체적이 커질 수 있으며, 막 하부는 니켈(Ni)과 결합되지 않고 일부 잔류할 수 있다(11A).

[0045] 특히, 본 발명에서는 인듐갈륨아세나이드층(11) 상에 GST층(12, 도 2a 참조)을 형성하여 열처리 공정을 통해 외확산된 산소(Oxygen)를 끌어와 결합할 수 있다. 즉, 인듐갈륨아세나이드층(11, 도 2a 참조)의 막 내에 함유된 산소가 열처리 공정에 의해 외확산되면서 결합력이 높은 GST층(12, 도 2a 참조)으로 이동하여 산소를 포함하는 GST층(12A)이 형성될 수 있으며, 막 내의 산소가 외부로 이동함에 따라 결국 인듐갈륨아세나이드층(11, 도 2a 참조) 막 내에 산소의 함유량이 감소하여 니켈과의 결합이 더욱 활발히 진행되고, 도펀트량이 증가하는 효과가 있다.

[0046] 열처리 공정이 완료된 시점에서, 산소를 포함하는 GST층(12A) 상부에는 결합이 진행되지 않은 일부 니켈층(13A)이 잔류할 수 있다.

[0048] 도 3은 비교예와 본 발명의 저항을 비교하기 위한 그래프이다.

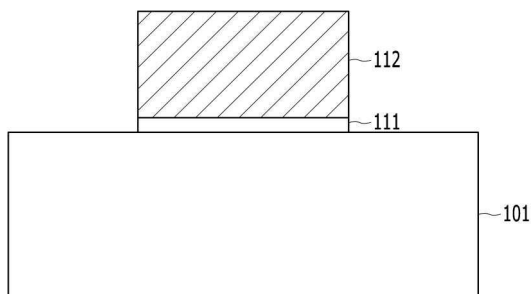
- [0049] 도 3을 참조하면, 소스/드레인 영역 상에 Ni/TiN만을 적층한 후 열처리 공정을 통해 합금을 형성했을 때의 저항과 비교하여 GST/Ni/TiN을 적층한 후 열처리 공정을 통해 합금을 형성했을 때의 저항이 확연히 낮은 것을 확인할 수 있다. 이는 GST층이 외확산된 산소와 결합하여 소스/드레인 영역 내의 산소 함유량을 감소시키고, 결과적으로 소스/드레인 영역 내에 니켈의 함유량을 증가시켜 콘택 저항이 감소되었기 때문이다.
- [0051] 도 4a 및 도 4b는 비교예와 본 발명의 막 내 물질의 함유량을 비교하기 위한 그래프이다.
- [0052] 도 4a를 참조하면, 소스/드레인 영역 상에 니켈(Ni)층과 티타늄질화층(TiN)만 적층하고 열처리 공정을 진행한 후의 깊이에 따른 막 내 물질의 함유량을 확인할 수 있다.
- [0053] 도 4b를 참조하면, 본 발명과 같이 소스/드레인 영역 상에 GST층, 니켈(Ni)층 및 티타늄질화층(TiN)을 차례로 적층하고 열처리 공정을 진행한 후의 깊이에 따른 막 내 물질의 함유량을 확인할 수 있다.
- [0054] 도 4b에서 산소(O)의 막내 함유량은 급격히 감소한 반면, 니켈(Ni)의 함유량은 증가된 것을 확인할 수 있다.
- [0056] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 자진 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

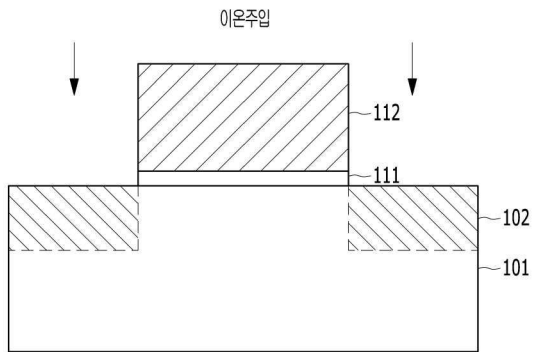
- [0058] 101 : 기판 102A, 102B : 소스/드레인 영역
111 : 게이트 절연층 112 : 게이트 전극

도면

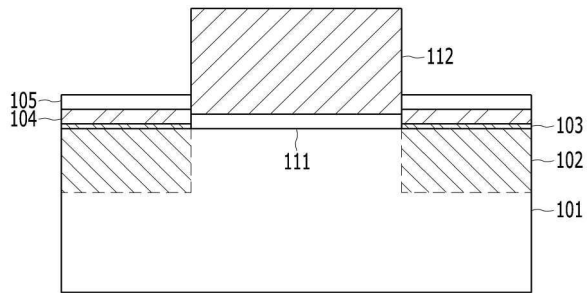
도면1a



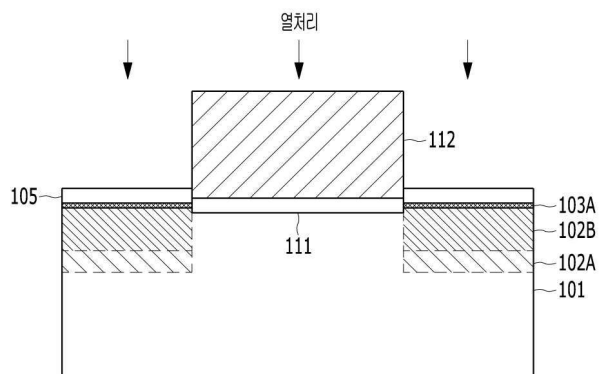
도면1b



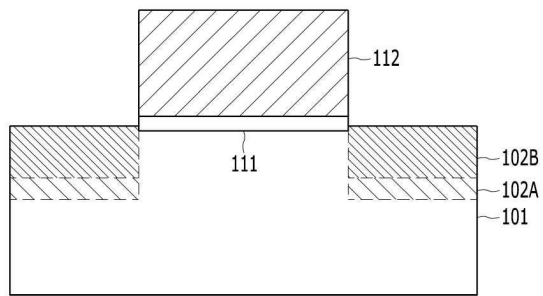
도면1c



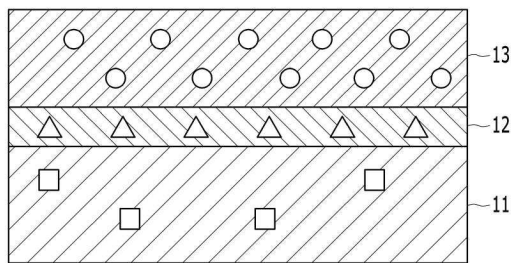
도면1d



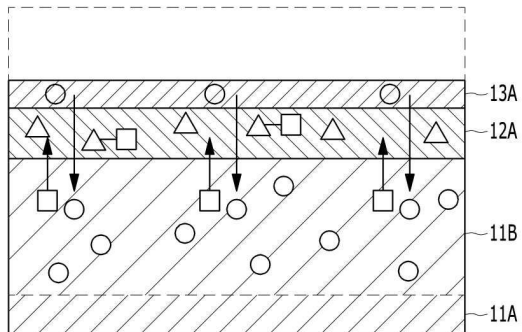
도면1e



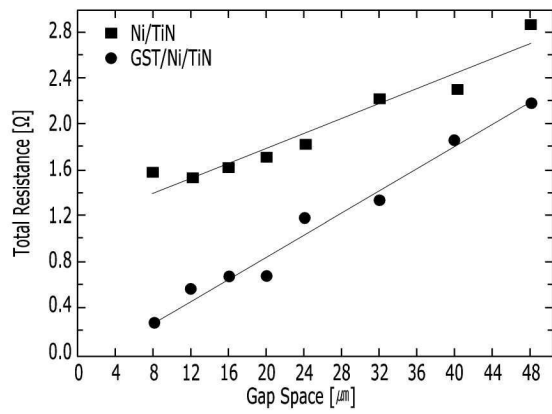
도면2a



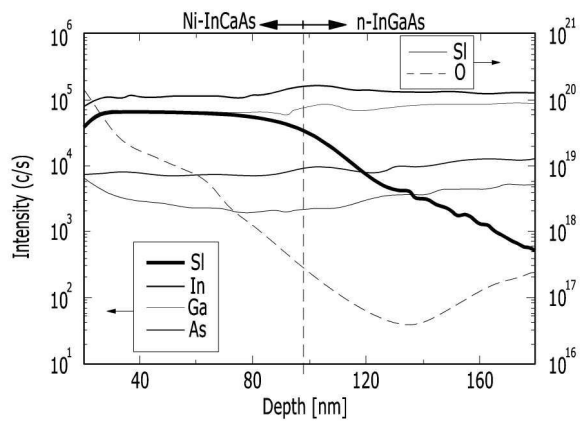
도면2b



도면3



도면4a



도면4b

