(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11C 29/00

(45) 공고일자 1996년02월09일
(11) 공고번호 특1996-0002017

(21) 출원번호	특1992-0013353	(65) 공개번호	특1993-0003171
(22) 출원일자	1992년07월25일	(43) 공개일자	1993년02월23일
(30) 우선권주장	91-186443 1991년07월25일 일본(JP)		
(71) 출원인 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지

(72) 발명자 아츠미 시게루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소내
반바 히로노리
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 종합연구소내

(74) 대리인 김윤배, 이범일

심사관 : 김희태 (책자공보 제4328호)

(54) 데이터 래치회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

데이터 래치회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 EPROM의 용장회로에서의 불량번지 기억회로의 일예를 나타낸 회로도.

제2도는 제1도중의 EPROM 셀의 평면패턴의 일예을 나타낸 도면.

제3도는 제1도중의 EPROM 셀의 변형예을 나타낸 등가회로도.

제4도는 제1도의 불량번지 기억회로의 다른 실시예를 나타낸 회로도.

제5도는 본 발명의 제2실시예에 따른 EPROM에서의 용장·표시회로의 일예를 나타낸 도면.

제6도는 종래의 반도체 메모리의 용장회로에서 불량번지 기억회로를 나타낸 회로도.

제7도는 종래의 불휘발성 반도체 메모리의 용장회로에서 불량번지 기억회로를 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

11, 31 : EPROM 셀 21 : 기록용 트랜지스터(T3)의 드레인영역

22 : 독출용 트랜지스터(T4)의 드레인영역

23 : 기록용 트랜지스터(T3) 및 독출용 트랜지스터(T4)의 소오스영역

24, FG : 부유게이트 25, CG, CG3, CG4 : 제어게이트

51 : 용장·표시용 외부단자 52, 53, 55 : N 채널 트랜지스터

54 : 저항 60 : 래치회로

62 : 셀렉터회로 IV1, 41, 42 : CMOS 인버터회로

CT1, CT2 : CMOS 전송게이트

T1 : 피드백용 트랜지스터　　T2, T2a, T2b : 스트레스 완화용 트랜지스터

T3, T3a, T3b : 기록용 트랜지스터

T4, T4a, T4b : 독출용 트랜지스터

T5, T5a, T5b : 기록제어용 트랜지스터

T6a, T6b : 부하용 트랜지스터

[발명의 상세한 설명]

[산업상의 이용 분야]

본 발명은 불휘발성 반도체 기억장치에 관한 것으로, 특히 적층게이트 구조를 갖춘 트랜지스터를 메모리셀로서 사용하는 불휘발성 반도체 기억장치의 용장회로에 있어서 불량번지를 기억하는 데이터 래치회로에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 대용량화되고 있는 반도체 기억장치에 있어서는 제조시의 원료대 제품비를 향상시키기 위해 용장회로를 설치하는 것이 필수 기술로 되어 왔다. 이 용장회로는 메모리셀 어레이의 불량비트를 구제하기 위한 예비 메모리셀과, 퓨즈소자군(fuse 素子群)을 구비한 예비 프로그래머블 어드레스 디코더를 갖추고서, 이 예비 디코더의 출력을 이용하여 상기 예비 메모리셀을 선택하게 된다. 상기 예비 프로그래머블 어드레스 디코더에는 불량번지를 기억시켜 두기 위한 불량번지 기억회로가 디코드해야 할 어드레스신호에 대응하여 복수개 설치되어 있는데, 이 불량번지 기억회로는 기억장치의 동작전원이 오프상태로 되는 경우에도 또는 기억장치에 어떤 어드레스가 인가되더라도 기억정보를 잃어버리지 않도록 구성할 필요가 있다.

제6도는 종래의 불량번지 기억회로를 나타낸 것으로, 이 회로는 불량번지 데이터의 각 어드레스마다 설치되어 있다. 즉, 디코드해야 할 신호에 대해 복수개의 불량번지 기억회로가 설치되어 있다.

이 불량번지 기억회로는, 불량번지 데이터중 대응하는 1비트의 데이터에 따라 선택적으로 절단되는 퓨즈소자(61)와, 이 퓨즈소자(61)가 절단되어 있는지의 여부를 나타내는 데이터(퓨즈·데이터)를 전원투입시에 래치시키는 래치회로(60) 및, 이 래치회로(60)의 래치 데이터에 따라 1비트의 어드레스신호(Adi) 또는 그반전신호(/Adl ; /Adi는 Adi의 반전신호를 의미함)를 선택하여 출력하는 셀렉터회로(62)를 구비하고 있다. 상기 래치회로(60)는 CMOS 인버터회로(IV1) 및 피드백(feedback)용 P 채널 트랜지스터(T1)를 갖추고 있고, 상기 셀렉터회로(62)는 인버터회로(IV2) 및 2개의 CMOS 전송게이트(CT1, CT2)로 이루어져 있다. 또, C1 및 C2는 용량이다.

이와 같이 구성된 불량번지 기억회로는, 퓨즈소자(61)가 절단되어 있는 경우 전원인가시에 래치회로(60)가 하이레벨을 래치시켜 래치회로(60)의 출력이 로우레벨로 되므로, CMOS 전송게이트(CT1)가 온상태로되어 어드레스신호(Adi)를 선택하여 출력하게 된다. 그 반면에 불량번지 기억회로는 퓨즈소자(61)가 절단되지 않는 경우 전원인가시에 래치회로(60)가 로우레벨을 래치시켜 래치회로(60)의 출력이 하이레벨로 되므로, CMOS 전송게이트(CT2)가 온상태로 되어 반전 어드레스신호(/Adi)를 선택하여 출력하게 된다.

따라서, 불량번지 데이터의 각 어드레스마다 설치되어 있는 각 불량번지 기억회로의 각 퓨즈소자(61)를 불량번지 데이터에 따라 선택적으로 절단하여 두면, 불량번지 데이터의 입력시에 각 불량번지 기억회로로부터 각각 예컨대 하이레벨이 출력되게 되고, 이 출력에 기초하여 상기 예비 행선(行線) 또는 예비 열선(列線)을 선택하도록 제어할 수 있게 된다.

상기 퓨즈소자(61)로는 통상 레이저 빔의 조사(照射)에 의해 절단이 가능한 폴리실리콘 또는 알루미늄 등으로 이루어진 레이져 퓨즈가 사용되고 있다.

한편, EPROM(자외선 소거·재기록가능한 독출전용 메모리) 등과 같은 불휘발성 반도체 메모리에 있어서는, 제7도의 회로에 나타낸 바와 같이 상기 레이저 퓨즈 대신에 불휘발성 메모리셀·퓨즈(71)를 사용할 수 있다. 이 불휘발성 메모리셀·퓨즈로는 적층게이트 구조를 갖는 트랜지스터가 사용되는데, 이하 이 트랜지스터를 EPROM 셀이라 칭한다. 또, 제7도에 있어서 제6도와 동일한 부분에 대해서는 동일한 참조부호를 붙혔다.

상기 EPROM 셀(71)에 대한 데이터기록(프로그램)시에는 소오스와 기판에 기판에 0V가 인가되고, 드레인과 제어게이트에 고전압이 인가된다. 그러면, 드레인·소오스간에 온(on)전류가 흐르게 되어 드레인 근방에서 핫·일렉트론(hot electron) 및 핫·홀(hot hole)의 쌍이 발생하게 된다. 그리고, 핫·홀은 기판저류로서 기판으로 흐르지만, 핫·일렉트론의 부유게이트에 주입됨으로써, 제어게이트로부터 본 임계치가 상승하여 기록이 완료되게 된다. 이렇게 기록을 완료한 후의 EPROM 셀(71)의 임계치가 독출시의 전원전압(Vcc)보다도 충분히 높을 경우, 통상의 동작시에 상기 EPROM 셀(71)의 제어게이트에 전원전압(Vcc)을 인가하면, 그 기록상태/비기록상태에 대응하여 온상태/오프상태로 되어 상기 EPROM 셀(71)의 온상태/오프상태를 상기 레이저·퓨즈의 절단상태/비절단상태와 동일하게 기능하도록 할 수가 있다.

따라서, 제7도에 나타낸 회로는 상술한 제6도에 나타낸 회로와 마찬가지의 동작이 가능하게 된다. 이러한 경우에는 EPROM 셀(7)을 이용하고 있기 때문에 웨이퍼상태에서의 다·소트·테스트(die sort test)시에 용장(redundancy)을 위한 기록까지 실행할 수 있게 되고, 레이저·퓨즈를 사용한 경우보다도 다이·소트·테스트의 횟수(패드에 대한 접촉횟수)를 저감시킬 수 있는 것 이외에, 메모리·칩을 패키징(packaging)한 후에도 용장을 행할 수 있다고 하는 잇점이 있다.

그러나, 제7도에 나타낸 회로는, EPROM 셀(7)을 오프상태로 하기 위해서 그 기록량을 충분히 크게 [임계치의 시프트(shift)량을 충분히 크게]해야 되고, EPROM 셀(71)을 온상태로 하기 위해서는 셀전

류를 충분히 크게 할 필요가 있다.

그러나, (A) EPROM 셀을 기록상태로 하기 위하 기록량을 충분히 확보할 수 없으면, 다음과 같은 문제가 나타나게 된다. 즉, EPROM의 전원전압(Vcc)은 통상 5V±10%이지만, 예컨대 기록검증시의 정격과 같이 6.25±0.25V가 정격인 경우에는 검증을 위한 독출시에 EPROM 셀의 제어게이트에 최대 6.5V의 전압(Vcc)이 인가되게 된다. 또, 전원전압(Vcc)에 잡음(noise)이 삽입된 경우에는 동작시에 EPROM 셀(71)의 제어게이트에 순간적으로 8V 정도의 전압(Vcc)이 인가되는 경우도 생각될 수 있다. 이와 같은 경우에는 EPROM 셀이 기록상태에 있더라도 그 기록량이 충분하지 않으면 스탠바이(standby) 전류가 흐르게 되어 CMOS 집적회로에서 일반적으로 요구되는 스탠바이 전류를 0으로 하는 것과 상반(想反)되고, 최악의 경우에 제7도중의 래치회로에서의 래치 데이터가 반전되어 메모리의 오동작이 발생하게 된다.

또, (B) EPROM 셀에는 데이터 리텐션(date retention)에 의해 신뢰성이 저하된다고 하는 문제가 있다. 데이터 리텐션이란 EPROM 셀(71)을 장기간 사용하고 있는 동안에 기록상태의 셀 임계치가 저하하는 것으로, 초기상태에서의 기록량이 많아지는 만큼 셀 임계치의 저하량이 커지게 된다.

상술한 (A)의 문제점을 회피하기 위해 요구되는 조건은, EPROM 셀의 기록상태의 임계치(VTH)가 6.5V보다도 충분히 커지도록 초기상태에서의 기록량을 결정하는 것이지만, 상술한(B)의 데이터 리텐션의 문제까지 포함하여 만족시키도록 EPROM 셀의 기록량을 결정하는 것이 상당히 곤란하다.

상술한 바와 같이 종래의 불휘발성 반도체 기억장치의 용장회로는, 불량번지 기억회로에서의 퓨즈소자로서 EPROM을 사용할 경우에 EPROM 셀을 기록상태로 하기 위한 초기상태에서의 기록량을 스탠바이 전류의 방지 및 데이터 리텐션에 의한 신뢰성 저하의 방지를 양립시키도록 결정하는 것이 상당히 곤란하다고 하는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안해서 이루어진 것으로, 불휘발성 셀을 기록상태로 하기 위한 초기상태에서 기록량을 스탠바이전류의 방지 및 데이터 리텐션에 의한 신뢰성 저하의 방지를 양립시키도록 결정하는데의 제약을 완화시킬 수 있는 데이터 래치회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 제1기록용 트랜지스터와 제1독출용 트랜지스터를 갖추고, 데이터를 저장하기 위해 배치되며, 제1기록용 트랜지스터와 제1독출용 트랜지스터가 적어도 하나의 제1제어게이트와 제1공통 부유게이트를 갖추고, 제1독출용 트랜지스터가 제1기록용 트랜지스터 보다 더 낮은 임계전압을 갖추며, 제1독출용 트랜지스터의 제어게이트가 통상 동작시 전원전압과 독립적인 일정 전압이 공급되어지도록 배치되는 제1불휘발성 메모리셀과 ; 제2기록용 트랜지스터와 제2독출용 트랜지스터를 갖추고, 제1불휘발성 메모리셀에 저장되는 데이터와 관련한 상보 데이터를 저장하기 위해 배치되며, 제2기록용 트랜지스터와 제2독출용 트랜지스터가 적어도 하나의 제2제어게이트와 제2공통 부유게이트를 갖추고, 제2독출용 트랜지스터가 제2기록용 트랜지스터 보다 더 낮은 임계전압을 갖추며, 제2독출용 트랜지스터가 통상동작시 일정전압이 인가되어지도록 배치되는 제2불휘발성 메모리셀 및 ; 제1불휘발성 메모리셀과 제2불휘발성 메모리셀의 온/오프 상태에 대응하는 전위를 래치하기 위한 래치수단을 구비하여 구성된 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명은 통상동작시에는 퓨즈소자용 불휘발성 메모리셀의 제어게이트에 전원전압에 의존하지 않는 정전압이 인가되므로, 전원전압 의존성과 전원잡음에 의한 스탠바이 전류의 문제가 발생하지 않게 된다. 따라서, 과도한 기록량이 불필요하게 되어 기록이 용이하게 된다. 또, 불휘발성 메모리셀을 기록상태로 하기 위한 초기상태에서의 기록량이 작아지게 되므로, 데이터 리텐션에 대한 마아진(margin)이 넓어지게 되어 신뢰성이 향상되게 된다.

[실시예]

이하, 도면을 참조해서 본 발명의 각 실시예를 상세히 설명한다.

제1도는 본 발명의 제1실시예로서, EPROM의 용장회로에서의 불량번지 기억회로의 일예를 나타낸 도면이다. 이 회로는 디코드해야 할 어드레스신호에 대응하여 복수개 설치되어 있다.

제1도에 나타낸 회로는, 제6도를 참조하여 상술한 종래의 불량번지 기억회로에 비해 퓨즈소자용 EPROM 셀(11)이 다르고, 스트레스 완화용 디플리션형 N 채널 트랜지스터(T2) 및 기록제어용 인핸스먼트형 N 채널 트랜지스터(T5)가 부가되어 있으며, 그 이외에는 동일하므로 제6도와 동일한 참조부호를 붙혔다.

즉, 래치회로(60)는 CMOS 인버터회로(IV1)와, 이 CMOS 인버터회로(IV1)의 출력이 게이트에 입력되고, 소오스가 전원 접속점에 접속되며, 드레인이 상기 CMOS 인버터회로(IV1)의 입력접속점(N1)에 접속된 피드백용 P 채널 MOS 트랜지스터(T1)로 이루어져 있다. 또, C1 과 C2는 용량이다. 셀렉터회로(62)는 상기 래치회로(60)의 래치 데이터에 따라 1비트의 어드레스신호(Adi) 또는 그 반전신호(/Adi)를 선택하여 출력하는 것으로, 인버터회로(IV2) 및 2개의 CMOS 전송게이트(CT1, CT2)로 이루어져 있다. 스트레스 완화용 트랜지스터(T2)는 CMOS 인버터회로(IV1)의 입력접속점(N1)에 드레인이 접속되고, 게이트가 접지전위(Vss)에 접속되어 있다.

한편, EPROM 셀(11)은 기록용 트랜지스터(T3)와 독출용 트랜지스터(T4)로 분리되어 있다. 이 경우에는 독출용 트랜지스터(T4)가 디플리션형으로 되도록 채널 이온주입이 행해져 있고, 기록용 트랜지스터(T3)가 인핸스먼트형으로 되도록 채널 이온주입이 행해져 있다. 본 실시예에서는 상기 기록용 트랜지스터(T3) 및 독출용 트랜지스터(T4)가 각각 부유게이트(FG) 및 제어게이트(CG)를 공유하고 있다. 상기 제어게이트(CG)에는 용장을 위한 기록시에 고전압(Vpp)이 인가되고, 통상동작시에 접지

전위(Vpp)가 인가되게 된다.

그리고, 상기 EPROM 셀(11)의 독출용 트랜지스터(T4)는 상기 스트레스 완화용 트랜지스터(T2)의 소오스와 접지전위(Vss)간에 접속되어 있다. 또, 상기 EPROM 셀(11)기 기록용 트랜지스터(T3)는 소오스가 접지전위(Vss)에 접속되어 있고, 그 드레인과 기록전압(Vpp) 접속점간에 기록제어용 인핸스먼트형 N 챈널 트랜지스터(T5)가 접속되어 있다. 이 기록제어용 트랜지스터(T5)의 게이트에는, 용장을 위한 기록시에 고전압(Vpp)으로 됨과 더불어 그 이외의 시간에 접지전위(Vss)로 되는 기록데이터(Din)가 인가되게 된다.

또, EPROM 셀을 기록용 트랜지스터와 독출용 트랜지스터로 분리하는 기술은, 「ISSCC 85 DIGEST OF TECHNICAL PAPERS p. 162～163, S. Pa-thak, "A 25ns 16K CMOS PROM using a 4-Transistor Cell"」에 개시되어 있다.

제1도에 나타낸 회로의 동작은, 상술한 종래의 제6도에 나타낸 회로의 동작에 비해 기본적으로는 동일하지만, EPROM 셀의 동작이 다름과 더불어 스트레스 완화용 트랜지스터(T2)에 의한 동작이 부가되어 있는데, 이 점의 설명은 다음과 같다.

통상, EPROM 셀은 기록효율이 현저히 저하되므로 디플리션형으로 되도록 이오주입되지는 않지만, 상기 EPROM 셀(11)은 기록용 트랜지스터(T3)를 인핸스먼트형으로 형성하고, 디플리션형의 독출용 트랜지스터(T4)로부터 분리시켜 놓고 있으므로 기록이 가능하게 된다. 즉, 용장을 위한 기록시에 EPROM 셀(11)의 제어게이트(CG)에 고전압(Vpp)을 인가함과 더불어 기록제어용 트랜지스터(T5)를 온상태로 하여 기록용 트랜지스터(T3)의 드레인에 고전압(Vpp)을 인가함으로써 기록이 가능하게 된다.

또, 용장을 위한 기록시 이외의 통상동작시에는 EPROM 셀(11)의 제어게이트(CG)에 접지전위(Vss)가 인가된다. 따라서, EPROM 셀(11)이 기록상태인 경우에는 독출용 트랜지스터(T4)의 임계치가 정(正)으로되어 있으면 독출용 트랜지스터(T4)가 오프상태로 된다. 즉, 독출용 트랜지스터(T4)의 기록 전(前)의 임계치를 예컨대 -1.5V 정도로하여 두면, EPROM 셀(11)의 기록에 의한 임계치의 시프트량(△VTH)은 1.5V이상이면 된다. 이것은 초기상태에서의 기록량이 작아지게 되어 데이터 리텐션에 대해서도 유리하게 되므로 셀의 신뢰성을 향상시키게 된다. 그 반면에, EPROM 셀(11)이 비(非)기록상태인 경우에는 독출용 트랜지스터(T4)의 임계치가 부(負)로 도어 있으므로, 제어게이트(CG)의 전위가 접지전위(Vss)이면 독출용 트랜지스터(T4)가 온상태로 된다. 이와 같이 EPROM 셀(11)이 비기록상태인 경우에 독출용 트랜지스터(T4)가 온상태로 되도록 하기 위해, EPROM 셀(11)의 제어게이트(CG)에 통상동작시의 인가전압은 접지전위(Vss)에 한정되지 않고, 전원전위(Vcc)에 의존하지 않는 정전압[예컨대, 전원전압(Vcc)과 접지전위(Vss)의 중간전위]이어도 되지만, 스탠바이 전류를 완전히 0으로 억제하기 위해서는 접지전위(Vss)인 것이 바람직하다.

또, 만약 독출용 트랜지스터(T4)의 드레인전위가 과도하게 되면, 그 부유게이트·드레인간의 전계가 강하게 되어 부유게이트에 축적된 전자가 독출용 트랜지스터(T4)의 게이트산화막을 매개해서 누설될 우려가 있다. 그러나, 상기 스트레스 완화용 트랜지스터(T2)는 독출용 트랜지스터(T4)의 드레인전위를 클램프(clamp)하기 때문에, 상기와 같이 독출용 트랜지스터(T4)의 드레인전위가 과도하게 되어 스트레스가 강하게 되는 것을 방지하게 된다.

제2도는 제1도 중의 EPROM 셀(11)의 평면 패턴의 일예를 나타낸 도면이다. 동 도면에서 참조부호 21 및 22는 각각 반도체기판의 표층부(表層部)에 형성된 불순물확산영역으로 이루어진 기록용 트랜지스터(T3)의 드레인영역 및 독출용 트랜지스터(T4)의 드레인영역이고, 23은 반도체기판의 표층부에 형성된 불순믈확산영역으로 이루어진 기록용 트랜지스터(T3) 및 독출용 트랜지스터(T4)의 소오스영역으로, 접지전위(Vss)에 접속되어 있다. 그리고, 24는 기판상에 게이트절연막(도시되지 않음)을 매개해서 설치된 부유게이트이고 25는 부유게이트(24)상에 층간 게이트절연막(도시되지 않음)을 매개해서 설치된 제어게이트이며, 26은 기록용 트랜지스터(T3)의 드레인·콘택트영역이고, 27은 독출용 트랜지스터(T4)의 드레인·콘택트영역이다. 또, 28은 반도체기판의 표층부에서의 독출용 트랜지스터(T4)의 디플리션화를 위한 이온주입영역이다. 또한, 독출효율을 상승시키기 위해 기록용 트랜지스터(T3)의 게이트 길이(L)를 짧게 하고, 오(誤)기록을 방지하기 위해 독출용 트랜지스터(T4)의 게이트 길이(L)를 길게 설치하여 두는 것아 바람직하다.

즉, 상술한 바와 같은 EPROM 셀(11)을 이용한 제1도에 나타낸 회로에 의하면, 통상동작시에는 EPROM 셀(11)의 제어게이트(CG)에 전원전압(Vcc)에 의존하지 않는 정전압이 인가되므로, 전원전압 의존성과 전원잡음에 의한 스탠바이 전류의 문제가 발생되지 않게 된다. 따라서, EPROM 셀(11)을 기록상태로 할 때에 과도한 기록량이 불필요하게 되어 기록이 용이해지게 된다. 또, EPROM 셀(11)을 기록상태로 하기 위한 초기상태에서의 기록량이 작아지게 되어 결국 과도한 기록을 행할 필요가 없어지므로, 데이터 리텐션에 대한 마아진이 넓어지게 되어 신뢰성이 향상되게 된다. 또한, 상기 정전압 값의 선택에 의해 스탠바이전류를 억제할 수 있는데, 상기 정전압으로서 접지전위(Vss)를 이용하면 스탠바이 전류를 완전히 방지할 수 있게 된다. 즉, EPROM 셀(11)을 기록상태로 하기 위한 초기상태에서의 기록량을 스탠바이 전류의 방지 및 데이터 리텐션에 의한 신뢰성 저하의 방지를 양립시키도록 결정하는데의 제약이 현저히 완화되게 된다.

제3도는 상술한 EPROM 셀의 변형예에 따른 EPROM 셀(31)을 나타낸 등가회로도이다.

이 EPROM 셀(31)은 제1도중의 EPROM 셀(11)에 비해 기록용 트랜지스터(T3) 및 독출용 트랜지스터(T4)가 부유게이트(FG)를 공유하고 있지만, 제어게이트(CG3, CG4)를 별도로 갖추고 있다. 상기 기록용 트랜지스터(T3)의 제어게이트(CG3)에는 용장을 위한 기록시에 고전압(Vpp), 그 이외의 기간에 접지전위(Vss)가 인가되고, 독출용 트랜지스터(T4)의 제어게이트(CG4)는 접지전위(Vss) 접속점에 접속되어 있는 점이 다르다.

이 EPROM 셀(31)의 동작은 제1도중의 EPROM 셀(11)의 동작과 기본적으로 동일하다.

또, 제1도에 나타낸 불량번지 기억회로는 래치회로(60)를 사용하고 있는데, 이 래치회로(60)는 한번

잘못된 데이터를 래치해 버리면 원상태로 되돌아가지 않을 우려가 있지만, 그 점에 대한 마아진을 확대하기 위해 예컨대 제4도에 나타낸 바와 같은 불량번지 기억회로를 이용하여도 된다.

제4도는 제1도의 불량번지 기억회로의 다른 실시예를 나타낸 회로도이다.

이 회로에 있어서는 제2도와 마찬가지로 접속된 스트레스 완화용 트랜지스터와 EPROM 셀 및 기록제어용 트랜지스터가 각각 2개씩 설치되어 있다. 이 경우, 2개의 EPROM 셀(11a, 11b)은 대칭성을 확보하기 위해 동일한 사이즈와 동일한 패턴으로 형성되어 있는 것이 바람직하다. 또, 2개의 스트레스 완화용 트랜지스터(T2a, T2b)의 각 드레인과 Vcc 전원 접속점간에 대응하여 부하용 P 챈널 트랜지스터(T6a, T6b)가 접속되어 있는데, 이 2개의 부하용 트랜지스터(T6a, T6b)는 서로의 게이트·드레인 상호(相互)가 접속되어 있다. 여기서, 상술한 2개의 부하용 트랜지스터(T6a, T6b)와, 2개의 스트레스 완화용 트랜지스터(T2a, T2b) 및, 2개의 EPROM셀(11a, 11b)의 독출용 트랜지스터(T4a, T4b)는 플립플롭회로(FF)를 형성하고 있다. 그리고, 상기 2개의 부하용 트랜지스터(T6a, T6b)의 각 드레인은 대응하는 CMOS인버터(41, 42)의 각 입력 접속점에 접속되어 있고, 이 2개의 CMOS인버터(41, 42)의각 출력접속점의 2개의 CMOS전송게이트(CT1, CT2)를 상보적으로 스위칭제어하도록 각각의 제어입력 접속점에 접속되어 있다. 또, 2개의 기록제어용 트랜지스터(T5a, T5b)의 각 게이트에는 상보적인 기록게이트(Din/Din)가 인가되게 된다.

이와 같이 구성된 회로에 있어서, 용장을 위한 기록시에 2개의 EPROM셀(11a, 11b)의 각 제어게이트에 고전압(Vpp)을 인가함과 더불어, 2개의 기록제어용 트랜지스터(T5a, T5b)의 한쪽을 온상태로 하여 한쪽의 EPROM셀의 기록용 트랜지스터의 드레인에 고전압(Vpp)을 인가하므로써, 2개의 기록용 트랜지스터(T3a, T3b)의 한쪽에 기록을 행하고, 다른쪽을 비기록상태로 하는 것이 가능하다.

이와 같은 상태에 있어서는, 통상동작시에 2개의 EPROM셀(11a, 11b)의 각 제어게이트에 접지전위(Vss)가 인가되면, 2개의 독출용 트랜지스터(T4a, T4b)의 한쪽이 온상태로 되고, 다른쪽이 오프상태로 된다. 여기서, 상기 2개의 스트레스 완화용 트랜지스터(T2a, T2b)를 동일한 사이즈로 설정하고, 2개의 부하용 트랜지스터(T6a, T6b)를 동일한 사이즈로 설정하면, 상기 플립플롭회로(FF)는 2개의 EPROM셀(11a, 11b)의 각 독출용 트랜지스터(T4a, T4b)의 상보적인 상태에 대응하는 안정상태로 되게 된다.그리고, 2개의 CMOS인버터(41, 42)의 상보적인 출력에 의해 2개의 CMOS전송게이트(CT1, CT2)가 상보적으로 스위칭제어 되어 어드레스신호(Adi) 또는 그 반전신호(/Adi)가 선택적으로 출력되게 된다.

제4도에 나타낸 불량번지 기억회로는, 2개의 EPROM 셀((11a, 11b)에 상보적으로 기록을 행하여 불량번지 정보를 기억하기 때문에, 한번 잘못된 데이터를 기억한 상태로 되더라도 올바른 상태로 회복할 능력을 갖추고 있다. 또, 패턴적으로 좌우 대칭성이 좋게 때문에, 전원인가시의 잡음 마아진이 우수하게 된다.

제5도는 본 발명의 제2실시예로서 EPROM에서의 용장·표시(redundancy signature)회로의 일예를 나타낸 도면으로, 상술한 바와 같은 EPROM셀을 종래의 레이저·퓨즈 대신에 사용한 것이다. 용장·표시회로란 용장을 행한 칩이 있는지의 여부를 사용자에게 알려 주기 위해 칩상에 설치되는 것이다.

이 회로에 있어서, 참조부호 51은, 용장·표시용 외부단자[예컨대, 어드레스(A0) 핀]이고, Vcc전원 접속점과 상기 표시용 단자(51)간에서 드레인·게이트가 서로 접속된 N 챈널 트랜지스터(52)와 게이트·소오스가 서로 접속된 N 챈널 트랜지스터(53) 및 저항(54)이 직렬로 접속되어 있다. 그리고, 11은 예컨대 제1도중에 나타낸 바와 같은 EPROM셀로서, 그 독출용 트랜지스터(T4)의 드레인은 스트레스 완화용 트랜지스터(T2)를 매개해서 상기 Vcc전원 접속점에 접속되어 있고, 상기 독출용 트랜지스터(T4)의 소오스는 게이트·소오스가 서로 접속된 N 챈널 트랜지스터(55)를 매개해서 상기 N 챈널 트랜지스터(52, 53)의 접속점에 접속되어 있다. 상기 EPROM셀(11)의 기록용 트랜지스터(T3)의 소오스는 접지전위(Vss)에 접속되어 있고, 상기 기록용 트랜지스터(T3)의 드레인은 기록제어용 트랜지스터(T5)를 매개해서 기록전압(Vpp) 접속점에 접속되어 있다.

제5도에 나타낸 회로를 갖춘 칩이 용장을 실행한 경우에는, 상기 EPROM셀(11)에 기록이 행해지므로, 통상동작시에 상기 EPROM셀(11)의 제어게이트에 접지전위(Vss)의 독출용 트랜지스터(T4)는 오프상태로 되게 된다. 그 반면에, 용장을 실행하지 않은 경우에는 상기 EPROM셀(11)에 기록이 행해지지 않으므로, 통상동작시에 상기 EPROM셀(11)의 제어게이트에 접지전위가 인가되면, 상기 EPROM셀의 독출용 트랜지스터(T4)은 온상태로 되게 된다. 따라서, 용장을 행한 칩인지의 여부에 따라 표시용 단자(51)의 레벨이 달라지게 된다.

또, 상기 각 실시예에서는 EPROM에 대해 설명했지만, 본 발명은 일괄 소거가능한 EEPROM(전기적 소거·제기록 가능한 독출전용 메모리)에도 적용할 수가 있다. 이러한 경우에는, 제1도와 제3도 및 제4도에 나타낸 회로에 있어서, EEPROM셀 대신에 EEPROM셀을 독출용 트랜지스터와 기록용 트랜지스터로 구분하여 사용하게 된다. 상기 EPROM셀의 대표적인 예로서는, 상기 EPROM셀과 거의 동일한 구조를 갖추고, 소거를 소오스측으로부터의 턴널(trnnel)전류에 의해 행하는 턴널 옥사이드(tunnel oxide)형 EPROM셀인 ETOX(미합중국의 인텔사 제품)형 셀이 있다. 이와 같은 ETOX형 셀을 이용하는 경우에는, 제1도와 제3도 및 제4도에 나타낸 회로 대신에 용장을 위한 전기적 소거시에 기록용 트랜지스터의 소오스에 고전압(Vpp)을 인가함으로써 기록제어용 트랜지스터를 오프상태로 하여 기록용 트랜지스터의 드레인이 부유상태로 되도록 회로를 변경해도 된다.

또, 이와 같은 ETOX형 셀을 이용하는 경우에는, ETOX형 셀의 독출용 트랜지스터의 임계치의 초기값이 0V로 되도록 형성하여 두고, 전기적 소거를 행함으로서 독출용 트랜지스터를 디플리션화할 수 있게 된다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로 본원 기술적 범위를 도면에 도시한 실시예로 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 불휘발성 메모리셀을 기록상태로 하기 위한 초기상태에서의 기록량을 스탠바이 전류의 방지 및 데이터 리텐션에 의한 신뢰성 저하의 방지를 양립시키도록 결정하는데의 제약을 현저히 완화시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

제1기록용 트랜지스터(T3a)와 제1독출용 트랜지스터(T4a)를 갖추고, 데이터를 저장하기 위해 배치되며, 제1기록용 트랜지스터(T3a)와 제1독출용 트랜지스터(T4a)가 적어도 하나의 제1제어게이트와 제1공통 부유게이트를 갖추고, 제1독출용 트랜지스터(T4a)가 제1기록용 트랜지스터(T3a)보다 더 낮은 임계전압을 갖추며, 제1독출용 트랜지스터(T4a)의 제어게이트가 통상동작시 전원전압과 독립적인 일정 전압이 공급되어지도록 배치되는 제1불휘발성 메모리셀(11a)과 ; 제2기록용 트랜지스터(T3b)와 제2독출용 트랜지스터(T4b)를 갖추고, 제1불휘발성 메모리셀(11a)에 저장되는 데이터와 관련한 상보 데이터를 저장하기 위해 배치되며, 제2기록용 트랜지스터(T3b)와 제2독출용 트랜지스터(T4b)가 적어도 하나의 제2제어게이트와 제2공통 부유게이트를 갖추고, 제2독출용 트랜지스터(T4b)가 제2기록용 트랜지스터(T3b)보다 더 낮은 임계전압을 갖추며, 제2독출용 트랜지스터(T4b)가 통상동작시 일정전압이 인가되어지도록 배치되는 제2불휘발성 메모리셀(11b) 및 ; 제1불휘발성 메모리셀(11a)과 제2불휘발성 메모리셀(11b)의 온/오프 상태에 대응하는 전위를 래치하기 위한 래치수단(FF)을 구비하여 구성된 것을 특징으로 데이터 래치회로.

청구항 2

제1항에 있어서, 래치수단(FF)이 플립플롭회로를 포함하는 것을 특징으로 하는 데이터 래치회로.

청구항 3

제2항에 있어서, 플립플롭회로가 제1P 챈널 MOS트랜지스터(T6a)와 제2P 챈널 MOS트랜지스터(T6b)를 포함하고, 제1P 챈널 MOS트랜지스터(T6a)가 제2P 챈널 MOS트랜지스터(T6b)의 드레인에 연결된 게이트와, 제1P 챈널 MOS트랜지스터(T6b)의 게이트에 연결된 드레인을 갖추며, 제2P 챈널 MOS트랜지스터(T6a)와 제2P 챈널 MOS트랜지스터(T6b)가 각각 제1독출용 트랜지스터(T4a)와 제2독출용 트랜지스터(T4b)의 부하로서 기능하는 것을 특징으로 하는 데이터 래치회로.

청구항 4

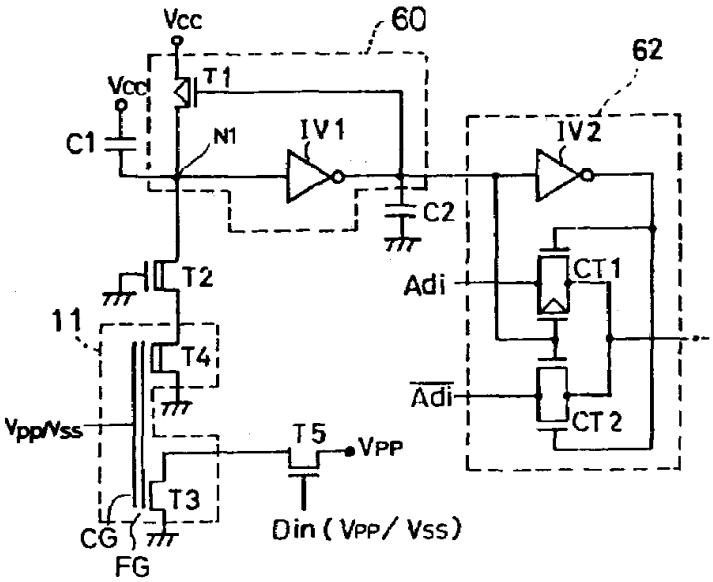
제3항에 있어서, 전류통로와, 제1독출용 트랜지스터(T4a)의 전류통로의 일단에 연결된 일단, 제1P 챈널 MOS트랜지스터(T6a)에 연결된 타단 및, 접지단에 연결된 게이트를 갖춘 제1스트레스 완화용 트랜지스터(T2a)와 ; 전류통로와, 제2독출용 트랜지스터(T4b)의 전류통로의 일단에 연결된 일단, 제2P 챈널 MOS트랜지스터(T6b)에 연결된 타단 및, 접지단에 연결된 게이트를 갖춘 제2스트레스 완화용 트랜지스터(T2b)를 더 구비하여 구성된 것을 특징으로 하는 데이터 래치회로.

청구항 5

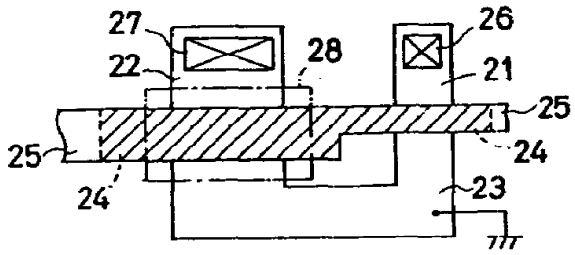
제1항에 있어서, 제1기록용 트랜지스터(T3a)의 드레인과 기록에 이용되는 전원 사이에 연결된 전류통로를 갖추고, 기록시에 기록용 전원전압이 공급됨과 더불어 기록 이외의 경우에는 접지전위가 공급되는 게이트를 갖춘 제1기록용 트랜지스터(T5b)와 ; 제2기록용 트랜지스터(T3b)의 드레인과 기록에 이용되는 전원 사이에 연결된 전류통로를 갖추고, 기록시에 기록용 전원전압이 공급됨과 더불어 기록이외의 경우에는 접지전위가 공급되는 게이트를 갖춘 제2기록용 트랜지스터(T5b)를 더 구비하여 구성된 것을 특징으로 하는 데이터 래치회로.

도면

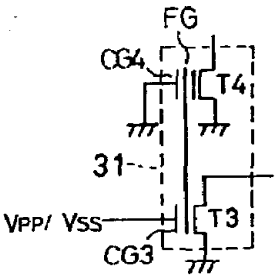
도면1


Vcc
60
62
T1
Vcc
C1
N1
IV1
IV2
C2
T2
Adi
CT1
11
T4
Adi
CT2
Vpp/Vss
T5
VPP
T3
Din (VPP/ Vss)
CG
FG

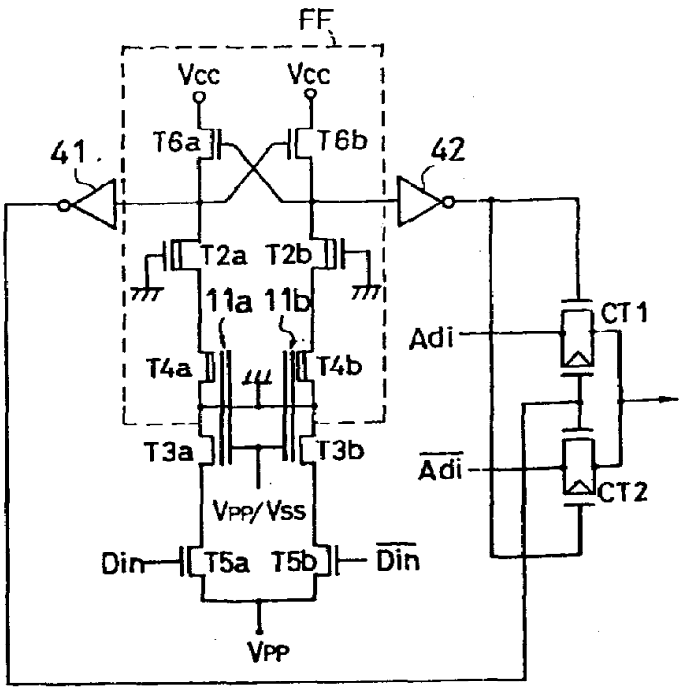
도면2


27
26
22
28
21
25
25
24
24
23

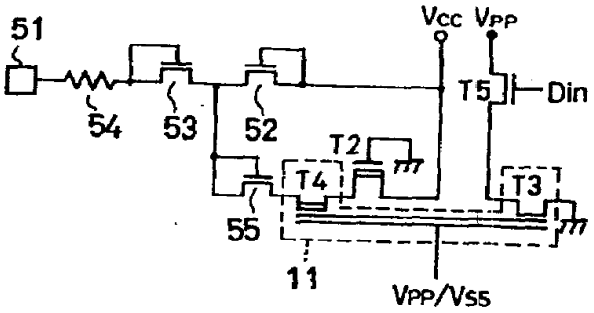
도면3


FG
CG4
T4
31
VPP/ Vss
T3
CG3

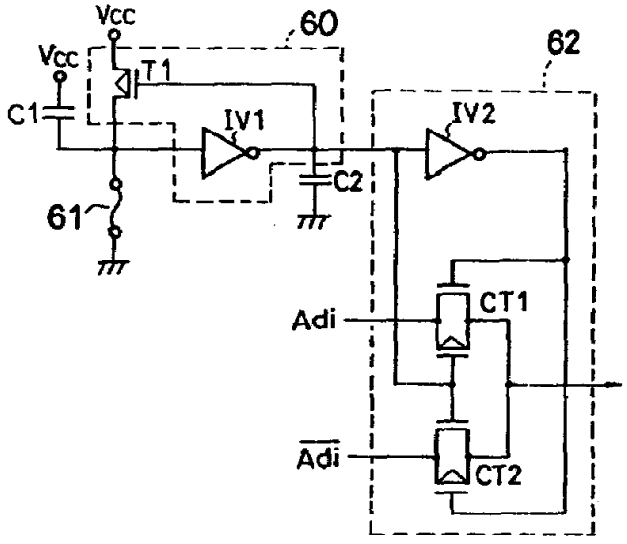
도면4


FF
Vcc
Vcc
T6a
T6b
41
42
T2a
T2b
11a
11b
T4a
T4b
T3a
T3b
Adi
CT1
Adi
CT2
VPP/Vss
Din
T5a
T5b
Din
VPP

도면5


51
Vcc
VPP
T5
Din
54
53
52
T2
T4
T3
55
11
VPP/Vss

도면6


Vcc
60
62
Vcc
T1
C1
IV1
IV2
C2
61
CT1
Adi
Adi
CT2

도면7

