



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

225895

(11) (B1)

(22) Přihlášeno 19 11 82
(21) (PV 8306-82)

(51) Int. Cl.³
G 06 F 9/22

(40) Zveřejněno 24 06 83

(45) Vydáno 15 10 85

(75)
Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál

1

Vynález se týká zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál.

Řídicí jednotka procesoru koordinuje činnost všech částí procesoru. Jsou známa zapojení řídicí jednotky procesoru s řídicím obvodem mikroprogramu. Jejich nevýhodou je, že jsou nadměrně složitá, nebo nemají dostatečné funkční vlastnosti. Tak například nemohou nastavovat stavové registry řídicího obvodu mikroprogramu na základě signálů o přerušení, o dekádickém přenosu, o stavu řadiče vstupu a výstupu a dalších signálů. Kódy instrukcí jsou omezené, neumožňují využívání času paměťového cyklu.

Uvedené nevýhody odstraňuje zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál podle vynálezu, jehož podstatou je, že první vstup adresy sloupce mikroprogramu řídicího obvodu mikroprogramu je připojen na první adresovací vstup první až šesté programovatelné paměti typu ROM a přes devátý odpor na kladný pól zdroje elektrické energie, druhý výstup adresy sloupce mikroprogramu řídicího obvodu mikroprogramu je připojen na druhý adresovací vstup první až šesté programovatelné paměti typu ROM a přes osmý odpor na kladný pól zdroje elektrické energie, třetí výstup adresy sloupce mikroprogramu řídicího obvodu mikroprogramu je připojen na třetí adresovací vstup první až šesté programovatelné paměti typu ROM a přes sedmý odpor na kladný pól zdroje elektrické energie, čtvrtý výstup adresy sloupce mikroprogramu řídicího obvodu mikroprogramu je připojen na čtvrtý adresovací vstup první až šesté programovatelné paměti typu ROM a přes šestý odpor na kladný pól zdroje elektrické energie, první výstup adresy řady mikroprogramu řídicího obvodu mikroprogramu je připojen na pátý adresovací vstup první až šesté programovatelné paměti typu ROM a přes pátý odpor na kladný pól zdroje elektrické energie, druhý výstup adresy řady mikroprogramu řídicího obvodu mikroprogramu je připojen na šestý adresovací vstup první až šesté progra-

movatelné paměti typu ROM a přes čtvrtý odpor na kladný pól zdroje elektrické energie, třetí výstup adresy řady mikroprogramu řídícího obvodu mikroprogramu je připojen na sedmý adresovací vstup první až šesté programovatelné paměti typu ROM a přes třetí odpor na kladný pól zdroje elektrické energie, čtvrtý výstup adresy řady mikroprogramu řídícího obvodu mikroprogramu je připojen na osmý adresovací vstup první až šesté programovatelné paměti typu ROM a přes druhý odpor na kladný pól zdroje elektrické energie, pátý výstup adresy řady mikroprogramu řídícího obvodu mikroprogramu je připojen na devátý vstup první až šesté programovatelné paměti typu ROM a přes první odpor na kladný pól zdroje elektrické energie, výstup stavové logiky řídícího obvodu mikroprogramu je připojen přes jedenáctý odpor na kladný pól zdroje elektrické energie a tvoří současně třicátý devátý výstup zapojení, první datový výstup první programovatelné paměti typu ROM je připojen na první vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, druhý datový výstup první programovatelné paměti typu ROM je připojen na druhý výstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, třetí datový výstup první programovatelné paměti typu ROM je připojen na třetí vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, čtvrtý datový výstup první programovatelné paměti typu ROM je připojen na čtvrtý vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, pátý datový výstup první programovatelné paměti typu ROM je připojen na pátý vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, šestý datový výstup první programovatelné paměti typu ROM je připojen na šestý vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, sedmý datový výstup první programovatelné paměti typu ROM je připojen na sedmý vstup pro funkci řídící výběr následující adresy řídícího obvodu mikroprogramu, osmý datový výstup první programovatelné paměti typu ROM je připojen na čtvrtý vstup druhého čtyřvstupového obvodu typu negace logického součinu, první datový výstup druhé programovatelné paměti typu ROM je připojen na první vstup řídící stavové logiky řídícího obvodu mikroprogramu, druhý datový výstup druhé programovatelné paměti typu ROM je připojen na druhý vstup řídící stavové logiky řídícího obvodu mikroprogramu, třetí datový výstup druhé programovatelné paměti typu ROM je připojen na třetí vstup řídící stavové logiky řídícího obvodu mikroprogramu, čtvrtý datový výstup druhé programovatelné paměti typu ROM je připojen na čtvrtý vstup řídící stavové logiky řídícího obvodu mikroprogramu, pátý datový výstup druhé programovatelné paměti typu ROM je připojen na druhý vstup prvního dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na hodinový vstup čtyřnásobného dvouvstupového multiplexoru s pamětí, šestý datový výstup druhé programovatelné paměti typu ROM je připojen na vstup pro výběr slova čtyřnásobného dvouvstupového multiplexoru s pamětí, sedmý datový výstup druhé programovatelné paměti typu ROM je připojen na nastavovací vstup třetího klopného obvodu typu D a na první vstup druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první a druhý vstup prvního čtyřvstupového obvodu typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu typu negace logického součinu, osmý datový výstup druhé programovatelné paměti typu ROM tvoří současně šestý výstup zapojení, první datový výstup třetí programovatelné paměti typu ROM je připojen na první adresovací vstup osmikanálového multiplexoru, druhý datový výstup třetí programovatelné paměti typu ROM je připojen na druhý adresovací vstup osmikanálového multiplexoru, třetí datový výstup třetí programovatelné paměti typu ROM je připojen na třetí adresovací vstup osmikanálového multiplexoru, čtvrtý datový výstup třetí programovatelné paměti typu ROM je připojen na první vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně čtvrtý výstup zapojení, pátý datový výstup třetí programovatelné paměti typu ROM tvoří současně patnáctý výstup zapojení, šestý výstup třetí programovatelné paměti typu ROM tvoří současně dvanáctý výstup zapojení, sedmý datový výstup třetí programovatelné paměti typu ROM tvoří současně jedenáctý výstup zapojení, první datový výstup čtvrté programovatelné paměti typu ROM tvoří současně šestnáctý výstup zapojení, druhý datový výstup čtvrté programovatelné paměti typu ROM tvoří současně sedmáctý výstup zapojení, třetí datový výstup čtvrté programovatelné paměti typu ROM tvoří současně osmnáctý výstup zapojení, čtvrtý datový výstup čtvrté programovatelné paměti typu ROM tvoří současně devatenáctý výstup zapojení, pátý datový výstup čtvrté programovatelné paměti typu ROM tvoří současně dvacátý výstup zapojení, šestý datový výstup čtvrté programovatelné paměti typu ROM tvoří současně dvacátý první výstup zapojení, sedmý datový výstup

čtvrté programovatelné paměti typu ROM tvoří současně dvacátý druhý výstup zapojení, osmý datový výstup čtvrté programovatelné paměti typu ROM tvoří současně dvacátý třetí výstup zapojení, první datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý čtvrtý výstup zapojení, druhý datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý pátý výstup zapojení, třetí datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý šestý výstup zapojení, čtvrtý datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý sedmý výstup zapojení, pátý datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý osmý výstup zapojení, šestý datový výstup páté programovatelné paměti typu ROM tvoří současně dvacátý devátý výstup zapojení, sedmý datový výstup páté programovatelné paměti typu ROM tvoří současně třicátý výstup zapojení, osmý datový výstup páté programovatelné paměti typu ROM tvoří současně třicátý první výstup zapojení, první datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý druhý výstup zapojení, druhý datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý třetí výstup zapojení, třetí datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý čtvrtý výstup zapojení, čtvrtý datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý pátý výstup zapojení, pátý datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý šestý výstup zapojení, šestý datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý sedmý výstup zapojení, sedmý datový výstup šesté programovatelné paměti typu ROM tvoří současně třicátý osmý výstup zapojení, osmý datový výstup šesté programovatelné paměti typu ROM tvoří současně desátý výstup zapojení, první a druhý vstup pro výběr obvodu první až šesté programovatelné paměti typu ROM jsou připojeny na kladný pól zdroje elektrické energie, třetí a čtvrtý vstup pro výběr obvodu první až šesté programovatelné paměti typu ROM jsou připojeny na nulový potenciál, zemnicí vstup první až šesté programovatelné paměti typu ROM je připojen na nulový potenciál, napájecí vstup první až šesté programovatelné paměti typu ROM je připojen na kladný pól zdroje elektrické energie, jedničkový výstup osmikanálového multiplexoru je připojen na vstup stavové logiky řídicího obvodu mikroprogramu, zemnicí vstup řídicího obvodu mikroprogramu je připojen na nulový potenciál, napájecí vstup řídicího obvodu mikroprogramu je připojen na kladný pól zdroje elektrické energie, vstup vybavení adresy řádku mikroprogramu řídicího obvodu mikroprogramu je připojen přes desátý odpor na kladný pól zdroje elektrické energie, vstup vybavení načtení adresy mikroprogramu je připojen na nulový potenciál, výstup prvního čtyřvstupového obvodu typu negace logického součinu je připojen na hodinový vstup čtvrtého klopného obvodu typu D a na hodinový vstup řídicího obvodu mikroprogramu, první vstup sekundární instrukční sběrnice řídicího obvodu mikroprogramu tvoří současně třetí vstup zapojení, druhý vstup sekundární instrukční sběrnice řídicího obvodu mikroprogramu tvoří současně čtvrtý vstup zapojení, třetí vstup sekundární instrukční sběrnice řídicího obvodu mikroprogramu tvoří současně pátý vstup zapojení, čtvrtý vstup sekundární instrukční sběrnice řídicího obvodu mikroprogramu tvoří současně šestý vstup zapojení, jedničkový výstup čtvrtého klopného obvodu typu D je připojen na vybavovací vstup řídicího obvodu mikroprogramu, výstup prvního multiplexoru čtyřnásobného multiplexoru s pamětí je připojen na první vstup primární instrukční sběrnice řídicího obvodu mikroprogramu, výstup druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na druhý vstup primární instrukční sběrnice řídicího obvodu mikroprogramu, výstup třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na třetí vstup primární instrukční sběrnice řídicího obvodu mikroprogramu, výstup čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na čtvrtý vstup primární instrukční sběrnice řídicího obvodu mikroprogramu, zemnicí vstup čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na nulový potenciál, napájecí vstup čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na kladný pól zdroje elektrické energie, první vstup prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně sedmý vstup zapojení, druhý vstup prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně jedenáctý vstup zapojení, první vstup druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně osmý vstup zapojení, druhý vstup druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně dvanáctý vstup zapojení, první vstup třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně

devátý vstup zapojení, druhý vstup třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně třináctý vstup zapojení, první vstup čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí je připojen na osmý datový vstup osmikanálového multiplexoru a tvoří současně desátý vstup zapojení, druhý vstup čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru s pamětí tvoří současně čtrnáctý vstup zapojení, napájecí vstup osmikanálového multiplexoru je připojen na kladný pól zdroje elektrické energie, zemnicí vstup osmikanálového multiplexoru je připojen na nulový potenciál, vybavovací vstup osmikanálového multiplexoru je připojen na nulový potenciál, první datový vstup osmikanálového multiplexoru tvoří současně dvacátý první vstup zapojení, druhý datový vstup osmikanálového multiplexoru tvoří současně dvacátý vstup zapojení, třetí datový vstup osmikanálového multiplexoru tvoří současně devatenáctý vstup zapojení, datový vstup pátého klopného obvodu typu D tvoří současně osmnáctý vstup zapojení, jedničkový výstup pátého klopného obvodu typu D je připojen na čtvrtý datový vstup osmikanálového multiplexoru, datový vstup šestého klopného obvodu typu D je připojen jednak přes šestnáctý odpor na kladný pól zdroje elektrické energie, jednak přes sedmáctý odpor na nulový potenciál a tvoří současně sedmáctý vstup zapojení, jedničkový výstup šestého klopného obvodu D je připojen na pátý datový vstup osmikanálového multiplexoru, datový vstup sedmého klopného obvodu typu D je připojen jednak přes osmnáctý odpor na kladný pól zdroje elektrické energie, jednak přes devatenáctý odpor na nulový potenciál a tvoří současně první vstup zapojení, jedničkový výstup sedmého klopného obvodu typu D je připojen na šestý datový vstup osmikanálového multiplexoru, datový vstup osmého klopného obvodu typu D je připojen jednak přes dvacátý odpor na kladný pól zdroje elektrické energie, jednak přes dvacátý první odpor na nulový potenciál a tvoří současně druhý vstup zapojení, jedničkový výstup osmého klopného obvodu typu D je připojen na sedmý datový vstup osmikanálového multiplexoru, výstup oscilátoru je připojen na hodinový vstup prvního klopného obvodu typu D, na hodinový vstup prvního klopného obvodu typu J-K, na hodinový vstup druhého klopného obvodu typu J-K, na čtvrtý vstup prvního čtyřvstupového obvodu typu negace logického součinu a na první vstup druhého čtyřvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně devátý výstup zapojení, jedničkový výstup prvního klopného obvodu typu D je připojen na druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu, na hodinový vstup druhého klopného obvodu typu D a tvoří současně čtrnáctý výstup zapojení, nulový výstup prvního klopného obvodu typu D a je připojen přes čtvrtý invertor na hodinový vstup pátého až osmého klopného obvodu typu D a tvoří současně třetí výstup zapojení, jedničkový výstup prvního klopného obvodu typu J-K je připojen na nulovací vstup prvního klopného obvodu typu D, na vstup pro nastavení do logické jedničky druhého klopného obvodu typu J-K a tvoří současně první výstup zapojení, nulový výstup klopného obvodu typu J-K je připojen na vstup pro nastavení do logické nuly druhého klopného obvodu typu J-K a na druhý vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na vstup prvního invertoru, výstup prvního invertoru je připojen na třetí vstup prvního čtyřvstupového obvodu typu negace logického součinu a na druhý vstup druhého čtyřvstupového obvodu typu negace logického součinu, jedničkový výstup druhého klopného obvodu typu J-K je připojen na vstup pro nastavení do logické nuly prvního klopného obvodu J-K, na hodinový vstup třetího klopného obvodu typu D, na první vstup prvního a třetího dvouvstupového obvodu typu negace logického součinu a tvoří současně druhý výstup zapojení, nulový výstup druhého klopného obvodu typu J-K je připojen na vstup pro nastavení do logické jedničky prvního klopného obvodu typu J-K a tvoří současně třináctý výstup zapojení, datový vstup druhého klopného obvodu typu D tvoří současně patnáctý vstup zapojení, jedničkový výstup druhého klopného obvodu typu D je připojen na datový vstup třetího klopného obvodu typu D, jehož jedničkový výstup je připojen na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu a tvoří současně pátý výstup zapojení, přepínací kontakt přepínače je připojen na nulový potenciál, rozpínací strana přepínacího kontaktu je připojena na první vstup pátého dvouvstupového obvodu typu negace logického součinu a přes dvanáctý odpor na kladný pól zdroje elektrické energie, zapínací strana přepínacího kontaktu je připojena na druhý vstup šestého dvouvstupového obvodu typu negace logického součinu a přes třináctý odpor na kladný pól zdroje elektrické energie, výstup šestého dvouvstupového obvodu typu negace logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup šestého dvouvstupového obvodu typu negace

logického součinu a přes druhý invertor na první a druhý spouštěcí vstup monostabilního klopného obvodu se Schmittovým klopným obvodem, třetí spouštěcí vstup monostabilního klopného obvodu se Schmittovým klopným obvodem je připojen přes čtrnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně šestnáctý vstup zapojení, mezi vstup pro externí kapacitu a vstup pro externí odpor a kapacitu monostabilního klopného obvodu se Schmittovým klopným obvodem je připojen první kondenzátor, mezi vstup pro externí odpor a kapacitu a vstup pro externí odpor monostabilního klopného obvodu se Schmittovým klopným obvodem je připojen patnáctý odpor, nulový výstup monostabilního klopného obvodu se Schmittovým klopným obvodem je připojen na vstup třetího invertoru, na datový vstup čtvrtého klopného obvodu typu D a tvoří současně osmý výstup zapojení, výstup třetího invertoru tvoří současně sedmý výstup zapojení.

Výhodou zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál je jeho celkové zjednodušení za současného zvýšení výkonových parametrů, zejména rozšíření adresace hlavní paměti, lepší využití stavových registrů, zjednodušení obsluhy přerušení, rozšíření instrukční sběrnice a řízení hlavní paměti, které umožní využívání času paměťového cyklu k provádění pomocných operací procesoru.

Příklad zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál, podle vynálezu je znázorněn na připojených výkresech, na nichž

- obr. 1 představuje blokové schéma zapojení procesoru,
- obr. 2a až 2d schéma řídicí jednotky procesoru,
- obr. 3 časový diagram mikroinstrukce v programovatelné paměti typu ROM a
- obr. 4 časový diagram časového zdroje.

Začlenění řídicí jednotky RJP procesoru do celého procesorového systému je zřejmé z obr. 1. Řídicí jednotka RJP procesoru je spojena s monitorem MON pomocí signálů RPD1, jež představují signály pro krokování hlavního programu, RPD2, znamenající vstupní signál pro přepnutí do režimu zápis nebo čtení z monitoru MON. S hlavní pamětí HP je řídicí jednotka RJP procesoru spojena pomocí signálů M1 až M14, jež představují instrukční kód, přicházející z hlavní paměti HP, TA, TB, TC, jež znamenají časové signály pro řízení paměťového cyklu, BASE, který představuje signál pro řízení báze hlavní paměti HP, STARTP pro start paměťového cyklu, Z/C pro přepínání hlavní paměti HP do režimu zápis nebo čtení, BUSY pro zpětné hlášení z paměti o stavu "obsazeno".

S napájecím zdrojem NZ je řídicí jednotka RJP procesoru spojena pomocí signálu OK, představujícího vstupní signál připravenosti zdroje. Spojení se vstupními a výstupními adaptory VVA je uskutečněno pomocí signálů NUL pro nulování vstupních a výstupních adaptorů VVA, DMAF představujícího vstupní signál připravenosti rychlého kanálu. Ke spojení řídicí jednotky RJP procesoru s řadičem RVV vstupu a výstupu slouží signály NUL pro nulování řadiče RVV vstupu a výstupu KT, KZ, K3, představující řídicí signály ve formátu DEC, DEC pro přepínání formátu signálů KX, CS pro otevírání třístavových budičů sběrnic vstupu a výstupu, INP pro přepínání směru vstupní a výstupní sběrnice, TB, TC, znamenající časový signál pro řadič RVV vstupu a výstupu, OUT pro přepis dat do vstupního a výstupního registru, PRER pro přerušení, IOF pro stav řadiče RVV vstupu a výstupu.

Spojení s aritmetickou a logickou jednotkou ALJ je provedeno pomocí signálů DEC pro přepnutí aritmetické a logické jednotky ALJ do režimu přímého dekadického sčítání, KO až K15, znamenajících konstanty nebo řídicí signály ve formátu DEC, TB pro řízení dekadických operací FO až F6, znamenajících řídicí signály pro aritmetickou a logickou jednotku ALJ, DCF, představujících vstup dekadického přenosu, FIF, představujících vstup binárního přenosu, FO, představujících výstup stavových registrů a CLK2 jako hodinových signálů pro aritmetickou a logickou jednotku ALJ.

Zapojení řídicí jednotky RJP procesoru (obr. 2a až 2d) obsahuje řídicí obvod KMP

mikroprogramu, paměť mikroprogramu, sestávající z šesti programovatelných pamětí PP1 až PP6 typu ROM, multiplexor stavů, sestávající z osmikanálového multiplexoru OM, paměť stavů, sestávající z pátého až osmého klopného obvodu KD5 až KD8 typu D, multiplexor instrukční sběrnice, sestávající z prvního dvouvstupového obvodu ND1 typu negace logického součinu a šesti čtyřnásobného multiplexoru OMP a pamětí, obvod řízení báze, sestávající z prvního klopného obvodu KD1 typu D a ze čtvrtého dvouvstupového obvodu ND4 typu D, časový zdroj, sestávající z pátého až sedmého invertoru IN5 až IN7, z prvního a druhého klopného obvodu KJK1 a KJK2 typu J-K a z prvního a druhého čtyřvstupového obvodu NC1 a NC2 typu negace logického součinu, obvod řízení paměti, sestávající z druhého a třetího klopného obvodu KD2 a KD3, z druhého a třetího dvouvstupového obvodu ND2 a ND3 typu negace logického součinu a z prvního invertoru IN1, startovací obvod, sestávající z monostabilního klopného obvodu KM a Schmittovým klopným obvodem, ze čtvrtého klopného obvodu KD4 typu D, z druhého a třetího invertoru IN2, IN3, z pátého a šestého dvouvstupového obvodu ND5, ND6 typu negace logického součinu a z přepínače RESTART.

První výstup 751 adresy sloupce mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na první adresovací vstup 101, 201, 301, 401, 501, 601 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes devátý odpor R9 na kladný pól + neznázorněného zdroje elektrické energie. Druhý výstup 752 adresy sloupce mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na druhý adresovací vstup 102, 202, 302, 402, 502, 602 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes osmý odpor R8 na kladný pól + zdroj elektrické energie. Třetí výstup 753 adresy sloupce mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na třetí adresovací vstup 103, 203, 303, 403, 503, 603 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes sedmý odpor R7 na kladný pól + zdroj elektrické energie.

Čtvrtý výstup 754 adresy sloupce mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na čtvrtý adresovací vstup 104, 204, 304, 404, 504, 604 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes šestý odpor R6 na kladný pól + zdroj elektrické energie. První výstup 755 adresy řady mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na pátý adresovací vstup 105, 205, 305, 405, 505, 605 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes pátý odpor R5 na kladný pól + zdroj elektrické energie. Druhý výstup 756 řady mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na šestý adresovací vstup 106, 206, 306, 406, 506, 606 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes čtvrtý odpor R4 na kladný pól + zdroj elektrické energie. Třetí výstup 757 adresy řady mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na sedmý adresovací vstup 107, 207, 307, 407, 507, 607 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes třetí odpor R3 na kladný pól + zdroj elektrické energie.

Čtvrtý výstup 758 adresy řady mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na osmý adresovací vstup 108, 208, 308, 408, 508, 608 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes druhý odpor R2 na kladný pól + zdroj elektrické energie. Pátý výstup 759 adresy řady mikroprogramu řídicího obvodu FMP mikroprogramu je připojen na devátý vstup 109, 209, 309, 409, 509, 609 první až šesté programovatelné paměti PP1 až PP6 typu ROM a přes první odpor R1 na kladný pól + zdroj elektrické energie. Výstup 760 stavové logiky řídicího obvodu FMP mikroprogramu pro signál F0 je připojen přes jedenáctý odpor R11 na kladný pól + zdroj elektrické energie a tvoří současně třicátý devátý výstup 039 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. První datový výstup 151 první programovatelné paměti PP1 typu ROM pro signál ACO je připojen na první vstup 701 pro funkci řídicí výběr následující adresy řídicího obvodu FMP mikroprogramu.

Druhý datový výstup 152 první programovatelné paměti PP1 typu ROM pro signál AC1 je připojen na druhý vstup 702 pro funkci řídicí výběr následující adresy řídicího obvodu FMP mikroprogramu. Třetí datový výstup 153 první programovatelné paměti PP1 typu ROM pro signál AC2 je připojen na třetí vstup 703 pro funkci řídicí výběr následující adresy řídicího obvodu FMP mikroprogramu. Čtvrtý datový výstup 154 první programovatelné paměti PP1 typu ROM pro signál AC3 je připojen na čtvrtý vstup 704 pro funkci řídicí výběr následující adresy

řídícího obvodu RMP mikroprogramu. Pátý datový výstup 155 první programovatelné paměti PP1 typu ROM pro signál AC4 je připojen na pátý vstup 705 pro funkci řídící výběr následující adresy řídícího obvodu 705 pro funkci řídící výběr následující adresy řídícího obvodu RMP mikroprogramu. Šestý datový výstup 156 první programovatelné paměti PP1 typu ROM pro signál AC5 je připojen na šestý vstup 706 pro funkci řídící výběr následující adresy řídícího obvodu RMP mikroprogramu.

Sedmý datový výstup 157 první programovatelné paměti PP1 typu ROM pro signál AC6 je připojen na sedmý vstup 707 pro funkci řídící výběr následující adresy řídícího obvodu RMP mikroprogramu. Osmý datový výstup 158 první programovatelné paměti PP1 typu ROM pro signál IHC je připojen na čtvrtý vstup druhého čtyřvstupového obvodu NC2 typu negace logického součinu. První datový výstup 251 druhé programovatelné paměti PP2 typu ROM pro signál FC0 je připojen na první vstup 708 řídící stavové logiky řídícího obvodu RMP mikroprogramu. Druhý datový výstup 252 druhé programovatelné paměti PP2 typu ROM pro signál FC1 je připojen na druhý vstup 709 řídící stavové logiky řídícího obvodu RMP mikroprogramu.

Třetí datový výstup 253 druhé programovatelné paměti PP2 typu ROM pro signál FC2 je připojen na třetí vstup 710 řídící stavové logiky řídícího obvodu RMP mikroprogramu. Čtvrtý datový výstup 254 druhé programovatelné paměti PP2 typu ROM pro signál FC3 je připojen na čtvrtý vstup 711 řídící stavové logiky řídícího obvodu RMP mikroprogramu. Pátý datový výstup 255 druhé programovatelné paměti PP2 typu ROM pro signál SETPX je připojen na druhý vstup prvního dvouvstupového obvodu ND1 typu negace logického součinu, jehož výstup je připojen na hodinový vstup 810 čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí.

Šestý datový výstup 256 druhé programovatelné paměti PP2 typu ROM pro signál M11-14 je připojen na vstup 809 pro výběr slova čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí. Sedmý datový výstup 257 druhé programovatelné paměti PP2 typu ROM pro signál STAR je připojen na nastavovací vstup 53 třetího klopného obvodu KD3 typu D a na první vstup druhého dvouvstupového obvodu ND2 typu negace logického součinu, jehož výstup je připojen na první a druhý vstup prvního čtyřvstupového obvodu NC1 typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu NC2 typu negace logického součinu.

Osmý datový výstup 258 druhé programovatelné paměti PP2 typu ROM pro signál Z/C tvoří současně šestý výstup 06 zapojení pro připojení na hlavní paměť HP. První datový výstup 351 třetí programovatelné paměti PP3 typu ROM pro signál PO je připojen na první adresovací vstup 901 osmikanálového multiplexoru OM. Druhý datový výstup 352 třetí programovatelné paměti PP3 typu ROM pro signál P1 je připojen na druhý adresovací vstup 902 osmikanálového multiplexoru OM. Třetí datový výstup 353 třetí programovatelné paměti PP3 typu ROM pro signál P2 je připojen na třetí adresovací vstup 903 osmikanálového multiplexoru OM. Čtvrtý datový výstup 354 třetí programovatelné paměti PP3 typu ROM pro signál BAS je připojen na první vstup čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu, jehož výstup pro signál BASE tvoří současně čtvrtý výstup 04 zapojení pro připojení na hlavní paměť HP.

Pátý datový výstup 355 třetí programovatelné paměti PP3 typu ROM pro signál OUT tvoří současně patnáctý výstup 015 zapojení pro připojení na hlavní paměť HP. Šestý datový výstup 356 třetí programovatelné paměti PP3 typu ROM pro signál INP tvoří současně dvanáctý výstup 012 zapojení pro připojení na řadič ŘVV vstupu a výstupu. Sedmý datový výstup 357 třetí programovatelné paměti PP3 typu ROM pro signál CS tvoří současně jedenáctý výstup 011 zapojení pro připojení na řadič ŘVV vstupu a výstupu.

První datový výstup 451 čtvrté programovatelné paměti PP4 typu ROM pro signál K0 tvoří současně šestnáctý výstup 016 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Druhý datový výstup 452 čtvrté programovatelné paměti PP4 typu ROM pro signál K1 tvoří současně sedmáctý výstup 017 zapojení pro připojení na aritmetickou a logickou jednotku ALJ a na řadič ŘVV vstupu a výstupu. Třetí datový výstup 453 čtvrté programovatelné paměti

PP4 typu ROM pro signál K2 tvoří současně osmnáctý výstup 018 zapojení pro připojení na aritmetickou a logickou jednotku ALJ a na řadič ŘVV vstupu a výstupu. Čtvrtý datový výstup 454 čtvrté programovatelné paměti PP4 typu ROM pro signál K3 tvoří současně devatenáctý výstup 019 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

Pátý datový výstup 455 čtvrté programovatelné paměti PP4 typu ROM pro signál K4 tvoří současně dvacátý výstup 020 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Šestý datový výstup 456 čtvrté programovatelné paměti PP4 typu ROM pro signál K5 tvoří současně dvacátý první výstup 021 zapojení pro připojení na aritmetickou a logickou jednotku ALJ a na řadič ŘVV vstupu a výstupu. Sedmý datový výstup 457 čtvrté programovatelné paměti PP4 typu ROM pro signál K6 tvoří současně dvacátý druhý výstup 022 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Osmý datový výstup 458 čtvrté programovatelné paměti PP4 typu ROM pro signál K7 tvoří současně dvacátý třetí výstup 023 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

První datový výstup 551 páté programovatelné paměti PP5 typu ROM pro signál K8 tvoří současně dvacátý čtvrtý výstup 024 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Druhý datový výstup 552 páté programovatelné paměti PP5 typu ROM pro signál K9 tvoří současně dvacátý pátý výstup 025 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Třetí datový výstup 553 páté programovatelné paměti PP5 typu ROM pro signál K10 tvoří současně dvacátý šestý výstup 026 zapojení pro připojení na aritmetickou a logickou jednotku. Čtvrtý datový výstup 554 páté programovatelné paměti PP5 typu ROM pro signál K11 tvoří současně dvacátý sedmý výstup 027 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

Pátý datový výstup 555 páté programovatelné paměti PP5 typu ROM pro signál K12 tvoří současně dvacátý osmý výstup 028 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Šestý datový výstup 556 páté programovatelné paměti PP5 typu ROM pro signál K13 tvoří současně dvacátý devátý výstup 029 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Sedmý datový výstup 557 páté programovatelné paměti PP5 typu ROM pro signál K14 tvoří současně třicátý výstup 030 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Osmý datový výstup 558 páté programovatelné paměti PP5 typu ROM pro signál K15 tvoří současně třicátý první výstup 031 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

První datový výstup 651 šesté programovatelné paměti PP6 typu ROM pro signál F0 tvoří současně třicátý druhý výstup 032 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Druhý datový výstup 652 šesté programovatelné paměti PP6 typu ROM pro signál F1 tvoří současně třicátý třetí výstup 033 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Třetí datový výstup 653 šesté programovatelné paměti PP6 typu ROM pro signál F2 tvoří současně třicátý čtvrtý výstup 034 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Čtvrtý datový výstup 654 šesté programovatelné paměti PP6 typu ROM pro signál F3 tvoří současně třicátý pátý výstup 035 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

Pátý datový výstup 655 šesté programovatelné paměti PP6 typu ROM pro signál F4 tvoří současně třicátý šestý výstup 036 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Šestý datový výstup 656 šesté programovatelné paměti PP6 typu ROM pro signál F5 tvoří současně třicátý sedmý výstup 037 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Sedmý datový výstup 657 programovatelné paměti PP6 typu ROM pro signál F6 tvoří současně třicátý osmý výstup 038 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Osmý datový výstup 658 šesté programovatelné paměti PP6 typu ROM pro signál DEC tvoří současně desátý výstup 010 zapojení pro připojení na aritmetickou a logickou jednotku ALJ a na řadič ŘVV vstupu a výstupu.

První a druhý vstup 110 a 111, 210 a 211, 310 a 311, 410 a 411, 510 a 511, 610 a 611

pro výběr obvodu první až šesté programovatelné paměti PP1 až PP6 typu ROM jsou připojeny na kladný pól + zdroje elektrické energie. Třetí a čtvrtý vstup 112 a 113, 212 a 213, 312 a 313, 412 a 413, 512 a 513, 612 a 613 pro výběr obvodu první až šesté programovatelné paměti PP1 až PP6 typu ROM jsou připojeny na nulový potenciál. Zemnicí vstup 114, 214, 314, 414, 514, 614 první až šesté programovatelné paměti PP1 až PP6 typu ROM je připojen na nulový potenciál. Napájecí vstup 115, 215, 315, 415, 515, 615 první až šesté programovatelné paměti typu PP1 a PP6 typu ROM je připojen na kladný pól + zdroje elektrické energie.

Jedničkový výstup 951 osmikanálového multiplexoru OM pro signál FI je připojen na vstup 724 stavové logiky řídicího obvodu KMP mikroprogramu. Zemnicí vstup 726 řídicího obvodu mikroprogramu je připojen na nulový potenciál. Napájecí vstup 725 řídicího obvodu KMP mikroprogramu je připojen na kladný pól + zdroje elektrické energie. Vstup 723 vybavení adresy řádku mikroprogramu řídicího obvodu KMP mikroprogramu je připojen přes desátý odpor R10 na kladný pól + zdroje elektrické energie. Vstup 722 vybavení načtení adresy mikroprogramu řídicího obvodu KMP mikroprogramu je připojen na nulový potenciál. Výstup prvního čtyřvstupového obvodu NC1 typu negace logického součinu je připojen na hodinový vstup 57 čtvrtého klopného obvodu KD4 typu D a na hodinový vstup 721 řídicího obvodu KMP mikroprogramu.

První vstup 717 sekundární instrukční sběrnice řídicího obvodu KMP mikroprogramu pro signál M3 tvoří současně třetí vstup 3 zapojení pro připojení na hlavní paměť HP. Druhý vstup 718 sekundární instrukční sběrnice řídicího obvodu KMP mikroprogramu pro signál M4 tvoří současně čtvrtý vstup 4 zapojení pro připojení na hlavní paměť HP. Třetí vstup 719 sekundární instrukční sběrnice řídicího obvodu KMP mikroprogramu pro signál M5 tvoří současně pátý vstup 5 zapojení pro připojení na hlavní paměť HP. Čtvrtý vstup 720 sekundární instrukční sběrnice řídicího obvodu KMP mikroprogramu pro signál M6 tvoří současně šestý vstup 6 zapojení pro připojení na hlavní paměť HP. Jedničkový výstup 056 čtvrtého klopného obvodu KD4 typu D pro signál EN je připojen na vybavovací vstup 716 řídicího obvodu KMP mikroprogramu.

Výstup 851 prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál PX4 je připojen na první vstup 712 primární instrukční sběrnice řídicího obvodu KMP mikroprogramu. Výstup 852 druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál PX5 je připojen na druhý vstup 713 primární instrukční sběrnice řídicího obvodu KMP mikroprogramu. Výstup 853 třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál PX6 je připojen na třetí vstup 714 primární instrukční sběrnice řídicího obvodu KMP mikroprogramu. Výstup 854 čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál PX7 je připojen na čtvrtý vstup 715 primární instrukční sběrnice řídicího obvodu KMP mikroprogramu. Zemnicí vstup 811 čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí je připojen na nulový potenciál.

Napájecí vstup 812 čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí je připojen na kladný pól + zdroje elektrické energie. První vstup 801 prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M7 tvoří současně sedmý vstup 7 zapojení pro připojení na hlavní paměť HP. Druhý vstup 802 prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M11 tvoří současně jedenáctý vstup 11 zapojení pro připojení na hlavní paměť HP. První vstup 803 druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M8 tvoří současně osmý vstup 8 zapojení pro připojení na hlavní paměť HP.

Druhý vstup 804 druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M12 tvoří současně dvanáctý vstup 12 zapojení pro připojení na hlavní paměť HP. První vstup 805 třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M9 tvoří současně devátý vstup 9 zapojení pro připojení na hlavní paměť HP. Druhý vstup 806 třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru ČMP s pamětí pro signál M13 tvoří současně třináctý vstup 13 zapojení pro připojení na hlavní paměť HP. První vstup 807 čtvrtého multiplexoru čtyřnásobného dvouvstupového multi-

plexoru OMP s pamětí pro signál MT0 je připojen na osmý datový vstup 911 osmikanálového multiplexoru OM a tvoří současně desátý vstup 10 zapojení pro připojení na hlavní paměť HP.

Druhý vstup 808 čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru OMP s pamětí pro signál MT4 tvoří současně čtrnáctý vstup 14 zapojení pro připojení na hlavní paměť HP. Napájecí vstup 914 osmikanálového multiplexoru OM je připojen na kladný pól + zdroje elektrické energie. Zemnicí vstup 913 osmikanálového multiplexoru OM je připojen na nulový potenciál. Vybavovací vstup 912 osmikanálového multiplexoru OM je připojen na nulový potenciál. První datový vstup 904 osmikanálového multiplexoru OM pro signál FIF tvoří současně dvacátý první vstup 21 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

Druhý datový vstup 905 osmikanálového multiplexoru OM pro signál DCF tvoří současně dvacátý vstup 20 zapojení pro připojení na aritmetickou a logickou jednotku ALJ. Třetí datový vstup 906 osmikanálového multiplexoru OM pro signál IOF tvoří současně devatenáctý vstup 19 zapojení pro připojení na řadič RVV vstupu a výstupu. Datový vstup 61 pátého klopného obvodu KD5 typu D pro signál PRER tvoří současně osmnáctý vstup 18 zapojení pro připojení na řadič RVV vstupu a výstupu.

Jedničkový výstup 061 pátého klopného obvodu KD5 typu D pro signál INTF je připojen na čtvrtý datový vstup 907 osmikanálového multiplexoru OM. Datový vstup 66 šestého klopného obvodu KD6 typu D pro signál DMAF je připojen jednak přes šestnáctý odpor R16 na kladný pól + zdroje elektrické energie, jednak přes sedmáctý odpor R17 na nulový potenciál a tvoří současně sedmáctý vstup 17 zapojení pro připojení na vstupní a výstupní adaptory VVA. Jedničkový výstup 066 šestého klopného obvodu KD6 typu D pro signál DMF je připojen na pátý datový vstup 908 osmikanálového multiplexoru OM. Datový vstup 71 sedmého klopného obvodu KD7 typu D pro signál RPD1 je připojen jednak přes osmnáctý odpor R18 na kladný pól + zdroje elektrické energie, jednak přes devatenáctý odpor R19 na nulový potenciál a tvoří současně první vstup 1 zapojení pro připojení na monitor MON.

Jedničkový výstup 071 sedmého klopného obvodu KD7 typu D pro signál RP1F je připojen na šestý datový vstup 909 osmikanálového multiplexoru OM. Datový vstup 76 klopného obvodu KD8 typu D pro signál RPD2 je připojen jednak přes dvacátý odpor R20 na kladný pól + zdroje elektrické energie, jednak přes dvacátý první odpor R21 na nulový potenciál a tvoří současně druhý vstup 2 zapojení pro připojení na monitor MON. Jedničkový výstup 076 osmého klopného obvodu KD8 typu D pro signál RP2F je připojen na sedmý datový vstup 910 osmikanálového multiplexoru OM. Výstup pátého invertoru IN5 je připojen přes druhý kondenzátor C2 na vstup šestého invertoru IN6.

Paralelně k pátému invertoru IN5 je připojen šestnáctý odpor R16, paralelně k šestému invertoru IN6 je připojen sedmáctý odpor R17. Mezi vstup pátého invertoru IN5 a výstup šestého invertoru IN6 je připojen krystal KR. Výstup šestého invertoru IN6 je připojen na vstup sedmého invertoru IN7. Pátý, šestý a sedmý inverter IN5, IN6, IN7, šestnáctý a sedmáctý odpor R16, R17, druhý kondenzátor C2 a krystal KR tvoří oscilátor. Výstup sedmého invertoru IN7 tvoří výstup oscilátoru pro signál OSC, který je připojen na hodinový vstup 42 prvního klopného obvodu KD1 typu D, na hodinový vstup 82 prvního klopného obvodu KJK1 typu J-K, na hodinový vstup 87 druhého klopného obvodu KJK2 typu J-K, na čtvrtý vstup prvního čtyřvstupového obvodu NC1 typu negace logického součinu a na první vstup druhého čtyřvstupového obvodu NC2 typu negace logického součinu, jehož výstup pro signál CLK2 tvoří současně devátý výstup 09 zapojení pro připojení na aritmetickou a logickou jednotku ALJ.

Jedničkový výstup 041 prvního klopného obvodu KD1 typu D pro signál TC je připojen na druhý vstup čtvrtého dvouvstupového obvodu ND4 typu negace logického součinu, na hodinový vstup 47 druhého klopného obvodu KD2 typu D a tvoří současně čtrnáctý výstup 014 zapojení pro připojení na řadič RVV vstupu a výstupu. Nulový výstup 042 prvního klopného obvodu KD1

typu D pro signál $\overline{TC}$ je připojen přes čtvrtý invertor $\overline{IN4}$ na hodinový vstup 62, 67, 72, 77 pátého až osmého klopného obvodu $\overline{KD5}$ až $\overline{KD8}$ typu D a tvoří současně třetí výstup 03 zapojení pro připojení na hlavní paměť $\overline{HP}$. Jedničkový výstup 081 prvního klopného obvodu $\overline{KJK1}$ typu J-K pro signál TA je připojen na nulovací vstup 43 prvního klopného obvodu $\overline{KD1}$ typu D, na vstup 86 pro nastavování do logické jedničky druhého klopného obvodu $\overline{KJK2}$ typu J-K a tvoří současně první výstup 01 zapojení pro připojení na hlavní paměť $\overline{HP}$.

Nulový výstup 082 prvního klopného obvodu $\overline{KJK1}$ typu J-K pro signál $\overline{TA}$ je připojen na vstup 88 pro nastavení do logické nuly druhého klopného obvodu $\overline{KJK2}$ typu J-K a na druhý vstup třetího dvouvstupového obvodu $\overline{ND3}$ typu negace logického součinu, jehož výstup je připojen na vstup prvního invertoru $\overline{IN1}$. Výstup prvního invertoru $\overline{IN1}$ pro signál TD je připojen na třetí vstup prvního čtyřvstupového obvodu $\overline{NC1}$ typu negace logického součinu a na druhý vstup druhého čtyřvstupového obvodu $\overline{NC2}$ negace logického součinu. Jedničkový výstup 086 druhého klopného obvodu $\overline{KJK2}$ typu J-K pro signál TB je připojen na vstup 83 pro nastavení do logické nuly prvního klopného obvodu $\overline{KJK1}$ typu J-K, na hodinový vstup 52 třetího klopného obvodu $\overline{KD3}$, typu D, na první vstup prvního a třetího dvouvstupového obvodu $\overline{ND1}$, $\overline{ND3}$ typu negace logického součinu a tvoří současně druhý výstup 02 zapojení pro připojení na hlavní paměť $\overline{HP}$.

Nulový výstup 087 druhého klopného obvodu $\overline{KJK2}$ typu J-K pro signál $\overline{TB}$ je připojen na vstup 81 pro nastavení do logické jedničky prvního klopného obvodu $\overline{KJK1}$ typu J-K a tvoří současně třináctý výstup 013 zapojení pro připojení na řadič $\overline{RVV}$ vstupu a výstupu. Datový vstup 46 druhého klopného obvodu $\overline{KD2}$ typu D pro signál BUSY tvoří současně patnáctý vstup 15 zapojení pro připojení na hlavní paměť $\overline{HP}$. Jedničkový výstup 046 druhého klopného obvodu $\overline{KD2}$ typu D pro signál BSY je připojen na datový vstup 51 třetího klopného obvodu $\overline{KD3}$ typu D, jehož jedničkový výstup 051 pro signál $\overline{STARTP}$ je připojen na druhý vstup druhého dvouvstupového obvodu $\overline{ND2}$ typu negace logického součinu a tvoří současně pátý výstup 05 zapojení pro připojení na hlavní paměť $\overline{HP}$.

Přepínací kontakt $\overline{k}$ přepínače $\overline{RESTART}$ je připojen na nulový potenciál. Rozpínací strana přepínacího kontaktu $\overline{k}$ pro signál $\overline{RES1}$ je připojena na první vstup pátého dvouvstupového obvodu $\overline{ND5}$ typu negace logického součinu a přes dvanáctý odpor $\overline{R12}$ na kladný pól + zdroje elektrické energie. Zapínací strana přepínacího kontaktu $\overline{k}$ pro signál $\overline{RES1}$ je připojena na druhý vstup šestého dvouvstupového obvodu $\overline{ND6}$ typu negace logického součinu a přes třináctý odpor $\overline{R13}$ na kladný pól + zdroje elektrické energie. Výstup šestého dvouvstupového obvodu $\overline{ND6}$ typu negace logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu $\overline{ND5}$ typu negace logického součinu, jehož výstup je připojen na první vstup šestého dvouvstupového obvodu $\overline{ND6}$ typu negace logického součinu a přes druhý invertor $\overline{IN2}$ na první a druhý spouštěcí vstup 91, 92 monostabilního klopného obvodu $\overline{KM}$ se Schmittovým klopným obvodem.

Třetí spouštěcí vstup 93 monostabilního klopného obvodu $\overline{KM}$ se Schmittovým klopným obvodem pro signál OK je připojen přes čtrnáctý odpor $\overline{R14}$ na kladný pól + zdroje elektrické energie a tvoří současně šestnáctý vstup 16 zapojení pro připojení na napájecí zdroj $\overline{NZ}$. Mezi vstup 94 pro externí kapacitu a vstup 95 pro externí odpor a kapacitu monostabilního klopného obvodu $\overline{KM}$ se Schmittovým klopným obvodem je připojen první kondenzátor $\overline{C1}$. Mezi vstup 95 pro externí odpor a kapacitu a vstup 96 pro externí odpor monostabilního klopného obvodu $\overline{KM}$ se Schmittovým klopným obvodem je připojen patnáctý odpor $\overline{R15}$. Nulový výstup 091 monostabilního klopného obvodu $\overline{KM}$ se Schmittovým klopným obvodem pro signál $\overline{NUL}$ je připojen na vstup třetího invertoru $\overline{IN3}$, na datový vstup 56 čtvrtého klopného obvodu $\overline{KD4}$ typu D a tvoří současně osmý výstup 08 zapojení pro připojení na řadič $\overline{RVV}$ vstupu a výstupu. Výstup třetího invertoru $\overline{IN3}$ pro signál $\overline{NUL}$ tvoří současně sedmý výstup 07 zapojení pro připojení na vstupní a výstupní adaptory $\overline{VVA}$.

V paměti mikroprogramu jsou uloženy mikroprogramy procesoru. Tyto mikroprogramy jsou sestaveny z mikroinstrukcí, jejichž skladba je znázorněna na obr. 3. Mikroinstrukce má

šest polí po osmi bitech. V poli 1 je řízení následující adresy mikroprogramu AC0 až AC6 a řízení hodinových impulsů THC pro aritmetickou a logickou jednotku ALJ. V poli 2 je řízení stavové logiky KC0 až FC3, řízení instrukční sběrnice SEPTY, M11-14 a řízení hlavní paměti HP Z/C, START. V poli 3 je ovládání multiplexoru stavů pomocí bitů P2, P1, P0, řízení adresy báze, řízení výstupu a řízení rychlého kanálu pomocí bitů CS, INP. V poli 4 a 5 je šestnáctibitová konstanta, která může mít tři funkce, podle jednoho ze tří zvolených formátů mikroinstrukce. Konstanta může znamenat vstupní data pro aritmetickou a logickou jednotku ALJ, šestnáctibitové řídicí slovo pro řízení vstupu, výstupu a přerušení nebo pomocnou dekadickou konstantu pro dekadické operace v aritmetické a logické jednotce ALJ. Jeden z těchto tří formátů je zvolen pomocí kódu operace F0 až F6 a příznakového bitu DEC v poli mikroinstrukce.

Po zapnutí napájecího zdroje NZ začne časový zdroj generovat řídicí časové signály (obr. 4). Startovací obvod vyšle současně signál NUL na základě signálu OK, který indikuje z napájecího zdroje NZ, že všechna potřebná napájecí napětí jsou přítomna. Asynchronní signál NUL je zpracován synchronizačním obvodem EN, takže zahájení první mikrooperace bude probíhat synchronně a časovým zdrojem od okamžiku zadní hrany signálu EN. První mikroinstrukce bude přečtena a nejvyšší adresy paměti mikroprogramu, protože tato adresa se nastaví po dobu aktivního signálu EN na výstupech 751 až 759 řídicího obvodu RMP mikroprogramu. Přečtená mikroinstrukce, která je uspořádána podle obr. 3, je na všech datových výstupech paměti mikroprogramu přítomna v čase T3 podle obr. 4. V tomto okamžiku se nastaví multiplexor stavů na základě signálů P2, P1, P0, což umožní testovat v právě probíhající mikrooperaci jeden z osmi stavů FI, DC, IOF, PRER, DMAF, RPD1, RPD2, M10 a na základě tohoto stavu provést větvení mikroprogramu. Dále se v čase T3 nastaví multiplexor instrukční sběrnice na základě signálů SETPX, M11-14.

Tím je přivedena na instrukční sběrnici PX7 až PX4 čtyřbitová primární instrukce ze dvou různých částí instrukce M14 až M11 nebo M10 až M7, přicházející jako data, čtená z hlavní paměti HP. Zvolená primární instrukce je současně uložena do čtyřbitové paměti v multiplexoru instrukční sběrnice, takže větvení mikroprogramu podle zvolené primární instrukce lze provést buď ihned nebo v libovolné následující instrukci. Dále je v čase T3 nastaven obvod řízení paměti pomocí signálu STAR. Je-li požadována operace hlavní paměti HP, je signál STAR ve stavu 1. V tom případě vyšle obvod řízení paměti signál STARTP v čase T4 do hlavní paměti HP.

Tento signál způsobí v paměti HP zahájení paměťového cyklu. Během paměťového cyklu není činnost řídicí jednotky RJP procesoru nijak ovlivněna, takže v době čtení nebo zápisu dat do hlavní paměti HP je tato doba využita k provádění dalších mikroinstrukcí, které neoperují s hlavní pamětí HP. Pouze v případě, že v okamžiku zahajování paměťového cyklu je hlavní paměť HP obsazena obnovováním své informace, zastaví obvod pro řízení paměti výstup hodinových impulsů CLK1, CLK2 do doby, až hlavní paměť HP svoji informaci obnoví. Obvod pro řízení paměti zjišťuje obsazenost hlavní paměti HP v okamžiku T4 pomocí vstupního signálu BUSY, jdoucího z hlavní paměti HP. Kromě signálu STARTP je do hlavní paměti HP vysílán signál Z/C pro přepnutí hlavní paměti HP do režimu zápis nebo čtení a časové signály TA, TB, TC pro řízení paměťového cyklu.

V čase T3 je dále nastaven obvod řízení báze pomocí signálu BAS. Je-li požadována změna báze hlavní paměti HP, je signál BAS ve stavu 1. V tom případě vyšle obvod řízení báze signál BASE v čase T3, T4 do hlavní paměti HP. Tento signál způsobí v hlavní paměti HP změnu báze paměti podle obsahu datové sběrnice, jdoucí do hlavní paměti HP z aritmetické a logické jednotky ALJ. Tímto jednoduchým způsobem je adresace hlavní paměti HP prakticky neomezená. Dále je v čase T3 nastaven signál DEC, který spolu se signály F0 až F6 určuje jednu ze tří funkcí konstanty K0 až K15 podle obr. 3, dále jsou nastaveny signály OUT, INP, CS pro řídicí RVV vstupu a výstupu, signály FC0 až FC3 pro řízení stavové logiky řídicího obvodu RMP mikroprogramu a signály AC0 až AC6 pro nastavení následující adresy mikroprogramu. Z této adresy se přečte nová mikroinstrukce v čase T3 následujícího cyklu řídicí jednotky

RJP procesoru a celý proces se opakuje. Přepínač RESTART generuje signály RES1, RES0, které způsobí stejnou činnost, jako zapnutí napájecího zdroje NZ, to je generaci signálů NUL a nový start řídicí jednotky RJP procesoru od nejvyšší adresy paměti mikroprogramu.

Zapojení řídicí jednotky procesoru podle vynálezu lze použít ve stolních počítačích a zejména v inteligentních terminálech.

P R E D M Ě T V Y N Á L E Z U

Zapojení řídicí jednotky procesoru, zejména pro inteligentní terminál, s řídicím obvodem mikroprogramu, s pamětí mikroprogramu, s časovým zdrojem, s obvodem řízení paměti, a se startovacím obvodem, vyznačené tím, že první výstup (751) adresy sloupce mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na první adresovací vstup (101, 201, 301, 401, 501, 601) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes devátý odpor (R9) na kladný pól zdroje elektrické energie, druhý výstup (752) adresy sloupce mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na druhý adresovací vstup (102, 202, 302, 402, 502, 602) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes osmý odpor (R8) na kladný pól zdroje elektrické energie, třetí výstup (753) adresy sloupce mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na třetí adresovací vstup (103, 203, 303, 403, 503, 603) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes sedmý odpor (R7) na kladný pól zdroje elektrické energie, čtvrtý výstup (754) adresy sloupce mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na čtvrtý adresovací vstup (104, 204, 304, 404, 504, 604) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes šestý odpor (R6) na kladný pól zdroje elektrické energie, první výstup (755) adresy řady mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na pátý adresovací vstup (105, 205, 305, 405, 505, 605) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes pátý odpor (R5) na kladný pól zdroje elektrické energie, druhý výstup (756) adresy řady mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na šestý adresovací vstup (106, 206, 306, 406, 506, 606) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes čtvrtý odpor (R4) na kladný pól zdroje elektrické energie, třetí výstup (757) adresy řady mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na sedmý adresovací vstup (107, 207, 307, 407, 507, 607) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes třetí odpor (R3) na kladný pól zdroje elektrické energie, čtvrtý výstup (758) adresy řady mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na osmý adresovací vstup (108, 208, 308, 408, 508, 608) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes druhý odpor (R2) na kladný pól zdroje elektrické energie, pátý výstup (759) adresy řady mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen na devátý vstup (109, 209, 309, 409, 509, 609) první až šesté programovatelné paměti (PP1 až PP6) typu ROM a přes první odpor (R1) na kladný pól zdroje elektrické energie, výstup (760) stavové logiky řídicího obvodu (ŘMP) mikroprogramu je připojen přes jedenáctý odpor (R11) na kladný pól zdroje elektrické energie a tvoří současně třicátý devátý výstup (039) zapojení, první datový výstup (151) první programovatelné paměti (PP1) typu ROM je připojen na první vstup (701) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, druhý datový výstup (152) první programovatelné paměti (PP1) typu ROM je připojen na druhý vstup (702) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, třetí datový výstup (153) první programovatelné paměti (PP1) typu ROM je připojen na třetí vstup (703) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, čtvrtý datový výstup (154) první programovatelné paměti (PP1) typu ROM je připojen na čtvrtý vstup (704) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, pátý datový výstup (155) první programovatelné paměti (PP1) typu ROM je připojen na pátý vstup (705) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, šestý datový výstup (156) první programovatelné paměti (PP1) typu ROM je připojen na šestý vstup (706) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, sedmý datový výstup (157)

první programovatelné paměti (PP1) typu ROM je připojen na sedmý vstup (707) pro funkci řídicí výběr následující adresy řídicího obvodu (ŘMP) mikroprogramu, osmý datový výstup (158) první programovatelné paměti (PP1) typu ROM je připojen na čtvrtý vstup druhého čtyřvstupového obvodu (NC2) typu negace logického součinu, první datový výstup (251) druhé programovatelné paměti (PP2) typu ROM je připojen na první vstup (708) řídicí stavové logiky řídicího obvodu (ŘMP) mikroprogramu, druhý datový výstup (252) druhé programovatelné paměti (PP2) typu ROM je připojen na druhý vstup (709) řídicí stavové logiky řídicího obvodu (ŘMP) mikroprogramu, třetí datový výstup (253) druhé programovatelné paměti (PP2) typu ROM je připojen na třetí vstup (710) řídicí stavové logiky řídicího obvodu (ŘMP) mikroprogramu, čtvrtý datový výstup (254) druhé programovatelné paměti (PP2) typu ROM je připojen na čtvrtý vstup (711) řídicí stavové logiky řídicího obvodu (ŘMP) mikroprogramu, pátý datový výstup (255) druhé programovatelné paměti (PP2) typu ROM je připojen na druhý vstup prvního dvouvstupového obvodu (ND1) typu negace logického součinu, jehož výstup je připojen na hodinový vstup (810) čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí, šestý datový výstup (256) druhé programovatelné paměti (PP2) typu ROM je připojen na vstup (809) pro výběr slova čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí, sedmý datový výstup (257) druhé programovatelné paměti (PP2) typu ROM je připojen na nastavovací vstup (53) třetího klopného obvodu (KD3) typu D a na první vstup druhého dvouvstupového obvodu (ND2) typu negace logického součinu, jehož výstup je připojen na první a druhý vstup prvního čtyřvstupového obvodu (NC1) typu negace logického součinu a na třetí vstup druhého čtyřvstupového obvodu (NC2) typu negace logického součinu, osmý datový výstup (258) druhé programovatelné paměti (PP2) typu ROM tvoří současně šestý výstup (06) zapojení, první datový výstup (351) třetí programovatelné paměti (PP3) typu ROM je připojen na první adresovací vstup (901) osmikanálového multiplexoru (OM), druhý datový výstup (352) třetí programovatelné paměti (PP3) typu ROM je připojen na druhý adresovací vstup (902) osmikanálového multiplexoru (OM), třetí datový výstup (353) třetí programovatelné paměti (PP3) typu ROM je připojen na třetí adresovací vstup (903) osmikanálového multiplexoru (OM), čtvrtý datový výstup (354) třetí programovatelné paměti (PP3) typu ROM je připojen na první vstup čtvrtého dvouvstupového obvodu (ND4) typu negace logického součinu, jehož výstup tvoří současně čtvrtý výstup (04) zapojení, pátý datový výstup (355) třetí programovatelné paměti (PP3) typu ROM tvoří současně patnáctý výstup (015) zapojení, šestý výstup (356) třetí programovatelné paměti (PP3) typu ROM tvoří současně dvanáctý výstup (012) zapojení, sedmý datový výstup (357) třetí programovatelné paměti (PP3) typu ROM tvoří současně jedenáctý výstup (011) zapojení, první datový výstup (451) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně šestnáctý vstup (016) zapojení, druhý datový výstup (452) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně sedmáctý výstup (017) zapojení, třetí datový výstup (453) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně osmnáctý výstup (018) zapojení, čtvrtý datový výstup (454) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně devatenáctý výstup (019) zapojení, pátý datový výstup (455) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně dvacátý výstup (020) zapojení, šestý datový výstup (456) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně dvacátý první výstup (021) zapojení, sedmý datový výstup (457) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně dvacátý druhý výstup (022) zapojení, osmý datový výstup (458) čtvrté programovatelné paměti (PP4) typu ROM tvoří současně dvacátý třetí výstup (023) zapojení, první datový výstup (551) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý čtvrtý výstup (024) zapojení, druhý datový výstup (552) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý pátý výstup (025) zapojení, třetí datový výstup (553) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý šestý výstup (026) zapojení, čtvrtý datový výstup (554) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý sedmý výstup (027) zapojení, pátý datový výstup (555) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý osmý výstup (028) zapojení, šestý datový výstup (556) páté programovatelné paměti (PP5) typu ROM tvoří současně dvacátý devátý výstup (029) zapojení, sedmý datový výstup (557) páté programovatelné paměti (PP5) typu ROM tvoří současně třicátý výstup (030) zapojení, osmý datový výstup (558) páté programovatelné paměti (PP5) typu ROM tvoří současně třicátý první výstup (031) zapojení, první datový výstup (651) šesté programovatelné paměti (PP6) typu ROM tvoří sou-

časné třicátý druhý výstup (032) zapojení, druhý datový výstup (652) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý třetí výstup (033) zapojení, třetí datový výstup (653) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý čtvrtý výstup (034) zapojení, čtvrtý datový výstup (654) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý pátý výstup (035) zapojení, pátý datový výstup (655) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý šestý výstup (036) zapojení, šestý datový výstup (656) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý sedmý výstup (037) zapojení, sedmý datový výstup (657) šesté programovatelné paměti (PP6) typu ROM tvoří současně třicátý osmý výstup (038) zapojení, osmý datový výstup (658) šesté programovatelné paměti (PP6) typu ROM tvoří současně desátý výstup (010) zapojení, první a druhý vstup (110 a 111, 210 a 211, 310 a 311, 410 a 411, 510 a 511, 610 a 611) pro výběr obvodu první až šesté programovatelné paměti (PP1 až PP6) typu ROM jsou připojeny na kladný pól zdroje elektrické energie, třetí a čtvrtý vstup (112 a 113, 212 a 213, 312 a 313, 412 a 413, 512 a 513, 612 a 613) pro výběr obvodu první až šesté programovatelné paměti (PP1 až PP6) typu ROM jsou připojeny na nulový potenciál, zemnicí vstup (114, 214, 314, 414, 514, 614) první až šesté programovatelné paměti (PP1 až PP6) typu ROM je připojen na nulový potenciál, napájecí vstup (115, 215, 315, 415, 515, 615) první až šesté programovatelné paměti (PP1 až PP6) typu ROM je připojen na kladný pól zdroje elektrické energie, jedničkový výstup (951) osmikanálového multiplexoru (OM) je připojen na vstup (724) stavové logiky řídicího obvodu (ŘMP) mikroprogramu, zemnicí vstup (726) řídicího obvodu (ŘMP) mikroprogramu je připojen na nulový potenciál, napájecí vstup (725) řídicího obvodu (ŘMP) mikroprogramu je připojen na kladný pól zdroje elektrické energie, vstup (723) vybavení adresy řádku mikroprogramu řídicího obvodu (ŘMP) mikroprogramu je připojen přes desátý odpor (R10) na kladný pól zdroje elektrické energie, vstup (722) vybavení načtení adresy mikroprogramu je připojen na nulový potenciál, výstup prvního čtyřvstupového obvodu (NC1) typu negace logického součinu je připojen na hodinový vstup (57) čtvrtého klopného obvodu (KD4) typu D a na hodinový vstup (721) řídicího obvodu (ŘMP) mikroprogramu, první vstup (717) sekundární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu tvoří současně třetí vstup (3) zapojení, druhý vstup (718) sekundární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu tvoří současně čtvrtý výstup (4) zapojení, třetí vstup (719) sekundární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu tvoří současně pátý vstup (5) zapojení, čtvrtý vstup (720) sekundární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu tvoří současně šestý vstup (6) zapojení, jedničkový výstup (056) čtvrtého klopného obvodu (KD4) typu D je připojen na vybavovací vstup (716) řídicího obvodu (ŘMP) mikroprogramu, výstup (851) prvního multiplexoru čtyřnásobného multiplexoru (ČMP) s pamětí je připojen na první vstup (712) primární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu, výstup (852) druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na druhý vstup (713) primární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu, výstup (853) třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na třetí vstup (714) primární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu, výstup (854) čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na čtvrtý vstup (715) primární instrukční sběrnice řídicího obvodu (ŘMP) mikroprogramu, zemnicí vstup (811) čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na nulový potenciál, napájecí vstup (812) čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na kladný pól zdroje elektrické energie, první vstup (801) prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně sedmý vstup (7) zapojení, druhý vstup (802) prvního multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně jedenáctý vstup (11) zapojení, první vstup (803) druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně osmý vstup (8) zapojení, druhý vstup (804) druhého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně dvanáctý vstup (12) zapojení, první vstup (805) třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně devátý vstup (9) zapojení, druhý vstup (806) třetího multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně třináctý vstup (13) zapojení, první vstup (807) čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí je připojen na osmý

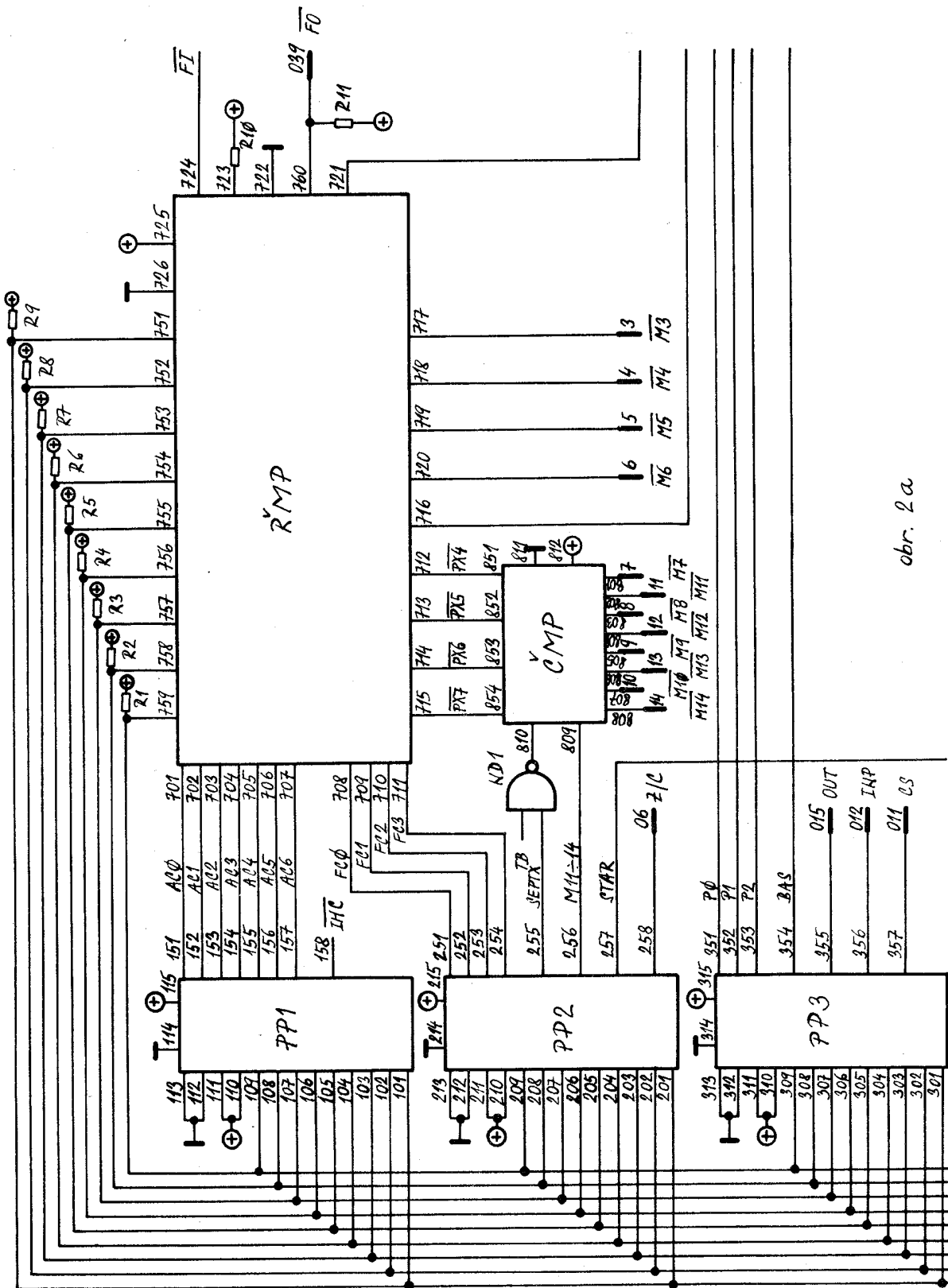
datový vstup (911) osmikanálového multiplexoru (OM) a tvoří současně desátý vstup (10) zapojení, druhý vstup (808) čtvrtého multiplexoru čtyřnásobného dvouvstupového multiplexoru (ČMP) s pamětí tvoří současně čtrnáctý vstup (14) zapojení, napájecí vstup (914) osmikanálového multiplexoru (OM) je připojen na kladný pól zdroje elektrické energie, zemnicí vstup (913) osmikanálového multiplexoru (OM) je připojen na nulový potenciál, vybavovací vstup (912) osmikanálového multiplexoru (OM) je připojen na nulový potenciál, první datový vstup (904) osmikanálového multiplexoru (OM) tvoří současně dvacátý první vstup (21) zapojení, druhý datový vstup (905) osmikanálového multiplexoru (OM) tvoří současně dvacátý vstup (20) zapojení, třetí datový vstup (906) osmikanálového multiplexoru (OM) tvoří současně devatenáctý vstup (19) zapojení, datový vstup (61) pátého klopného obvodu (KD5) typu D tvoří současně osmnáctý vstup (18) zapojení, jedničkový výstup (061) pátého klopného obvodu (KD5) typu D je připojen na čtvrtý datový vstup (907) osmikanálového multiplexoru (OM), datový vstup (66) šestého klopného obvodu (KD6) typu D je připojen jednak přes šestnáctý odpor (R16) na kladný pól zdroje elektrické energie, jednak přes sedmnáctý odpor (R17) na nulový potenciál a tvoří současně sedmnáctý vstup (17) zapojení, jedničkový výstup (066) šestého klopného obvodu (KD6) typu D je připojen na pátý datový vstup (908) osmikanálového multiplexoru (OM), datový vstup (71) sedmého klopného obvodu (KD7) typu D je připojen jednak přes osmnáctý odpor (R18) na kladný pól zdroje elektrické energie, jednak přes devatenáctý odpor (R19) na nulový potenciál a tvoří současně první vstup (1) zapojení, jedničkový výstup (071) klopného obvodu (KD7) typu D je připojen na šestý datový vstup (909) osmikanálového multiplexoru (OM), datový vstup (76) osmého klopného obvodu (KD8) typu D je připojen jednak přes dvacátý odpor (R20) na kladný pól zdroje elektrické energie, jednak přes dvacátý první odpor (R21) na nulový potenciál a tvoří současně druhý vstup (2) zapojení, jedničkový výstup (076) osmého klopného obvodu (KD8) typu D je připojen na sedmý datový vstup (910) osmikanálového multiplexoru (OM), výstup oscilátoru je připojen na hodinový vstup (42) prvního klopného obvodu (KD1) typu D; na hodinový vstup (82) prvního klopného obvodu (KJK1) typu J-K, na hodinový vstup (87) druhého klopného obvodu (KJK2) typu J-K, na čtvrtý vstup prvního čtyřvstupového obvodu (NC1) typu negace logického součinu a na první vstup druhého čtyřvstupového obvodu (NC2) typu negace logického součinu, jehož výstup tvoří současně devátý výstup (09) zapojení, jedničkový výstup (041) prvního klopného obvodu (KD1) typu D je připojen na druhý vstup čtvrtého dvouvstupového obvodu (ND4) typu negace logického součinu, na hodinový vstup (47) druhého klopného obvodu (KD2) typu D a tvoří současně čtrnáctý výstup (014) zapojení, nulový výstup (042) prvního klopného obvodu (KD1) typu D je připojen přes čtvrtý invertor (IN4) na hodinový vstup (62, 67, 72, 77) pátého až osmého klopného obvodu (KD5 až KD8) typu D a tvoří současně třetí výstup (03) zapojení, jedničkový výstup (081) prvního klopného obvodu (KJK1) typu J-K je připojen na nulovací vstup (43) prvního klopného obvodu (KD1) typu D, na vstup (86) pro nastavení do logické jedničky druhého klopného obvodu (KJK2) typu J-K a tvoří současně první výstup (01) zapojení, nulový výstup (082) klopného obvodu (KJK1) typu J-K je připojen na vstup (88) pro nastavení do logické nuly druhého klopného obvodu (KJK2) typu J-K a na druhý vstup třetího dvouvstupového obvodu (ND3) typu negace logického součinu, jehož výstup je připojen na vstup prvního invertoru (IN1), výstup prvního invertoru (IN1) je připojen na třetí vstup prvního čtyřvstupového obvodu (NC1) typu negace logického součinu a na druhý vstup druhého čtyřvstupového obvodu (NC2) typu negace logického součinu, jedničkový výstup (086) druhého klopného obvodu (KJK2) typu J-K je připojen na vstup (83) pro nastavení do logické nuly prvního klopného obvodu (KJK1) typu J-K, na hodinový vstup (52) třetího klopného obvodu (KD3) typu D, na první vstup prvního a třetího dvouvstupového obvodu (ND1, ND3) typu negace logického součinu a tvoří současně druhý výstup (02) zapojení, nulový výstup (087) druhého klopného obvodu (KJK2) typu J-K je připojen na vstup (81) pro nastavení do logické jedničky prvního klopného obvodu (KJK1) typu J-K a tvoří současně třináctý výstup (013) zapojení, datový vstup (46) druhého klopného obvodu (KD2) typu D tvoří současně patnáctý vstup (15) zapojení, jedničkový vstup (046) druhého klopného obvodu (KD2) typu D je připojen na datový vstup (51) třetího klopného obvodu (KD3) typu D, jehož jedničkový výstup (051) je připojen na druhý vstup druhého dvouvstupového obvodu (ND2) typu negace logického součinu a tvoří současně pátý výstup (05) zapojení, přepínací kontakt (k) přepínače (RES-TART) je připojen na nulový potenciál, rozpínací strana přepínacího kontaktu (k) je připojena

na první vstup pátého dvouvstupového obvodu (ND5) typu negace logického součinu a přes dvanáctý odpor (R12) na kladný pól zdroje elektrické energie, zapínací strana přepínacího kontaktu (k) je připojena na druhý vstup šestého dvouvstupového obvodu (ND6) typu negace logického součinu a přes třináctý odpor (R13) na kladný pól zdroje elektrické energie, výstup šestého dvouvstupového obvodu (ND6) typu negace logického součinu je připojen na druhý vstup pátého dvouvstupového obvodu (ND5) typu negace logického součinu, jehož výstup je připojen na první vstup šestého dvouvstupového obvodu (ND6) typu negace logického součinu a přes druhý invertor (IN2) na první a druhý spouštěcí vstup (91, 92) monostabilního klopného obvodu (KM) se Schmittovým klopným obvodem, třetí spouštěcí vstup (93) monostabilního klopného obvodu (KM) se Schmittovým klopným obvodem je připojen přes čtrnáctý odpor (R14) na kladný pól zdroje elektrické energie a tvoří současně šestnáctý vstup (16) zapojení, mezi vstup (94) pro externí kapacitu a vstup (95) pro externí odpor a kapacitu monostabilního klopného obvodu (KM) se Schmittovým klopným obvodem je připojen první kondenzátor (C1), mezi vstup (95) pro externí odpor a kapacitu a vstup (96) pro externí odpor monostabilního klopného obvodu (KM) se Schmittovým klopným obvodem je připojen patnáctý odpor (R15) nulový výstup (091) monostabilního klopného obvodu (KM) se Schmittovým klopným obvodem je připojen na vstup třetího invertoru (IN3), na datový vstup (56) čtvrtého klopného obvodu (KD4) typu D a tvoří současně osmý výstup (08) zapojení, výstup třetího invertoru (IN3) tvoří současně sedmý výstup (07) zapojení.

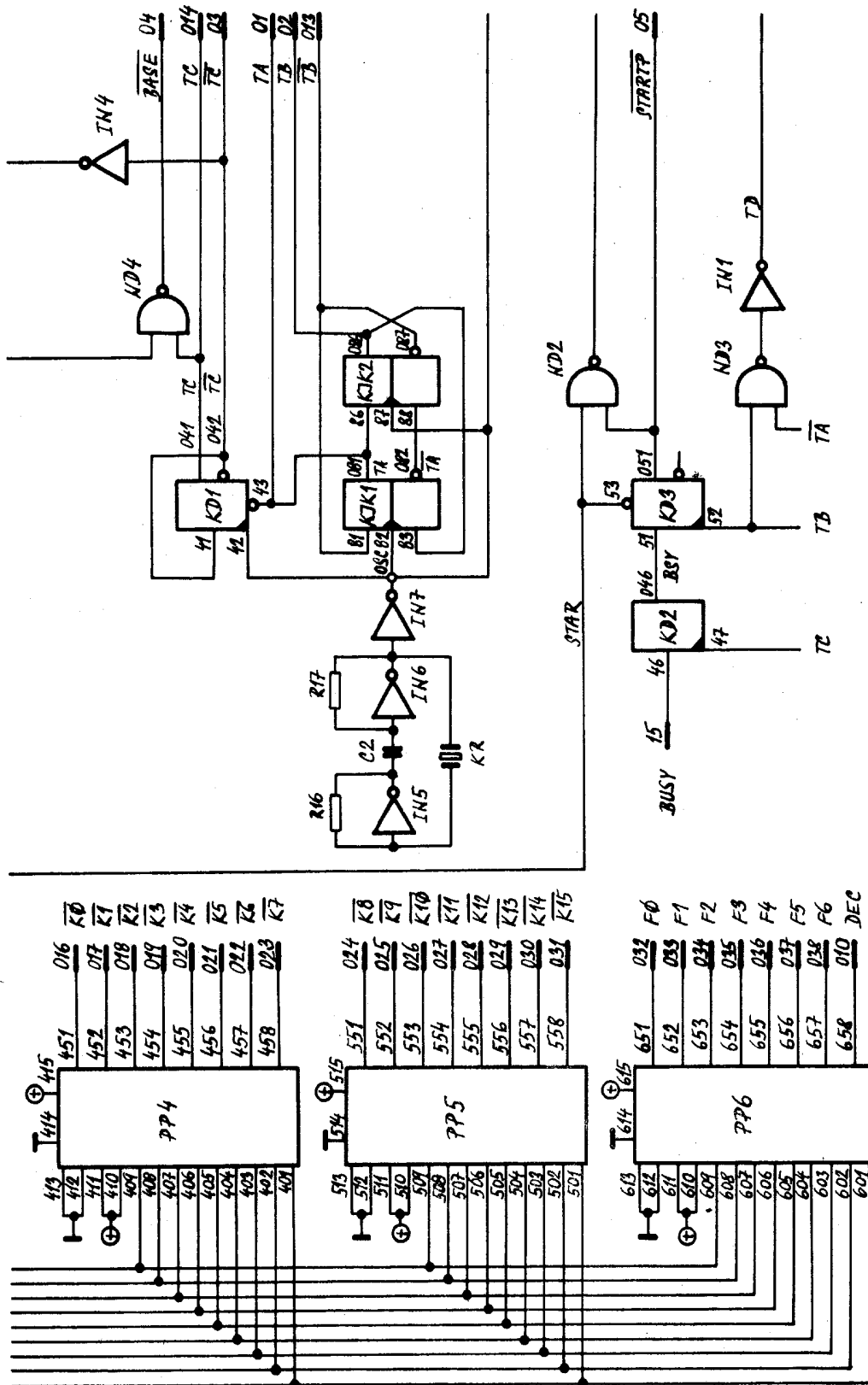
7 výkresů



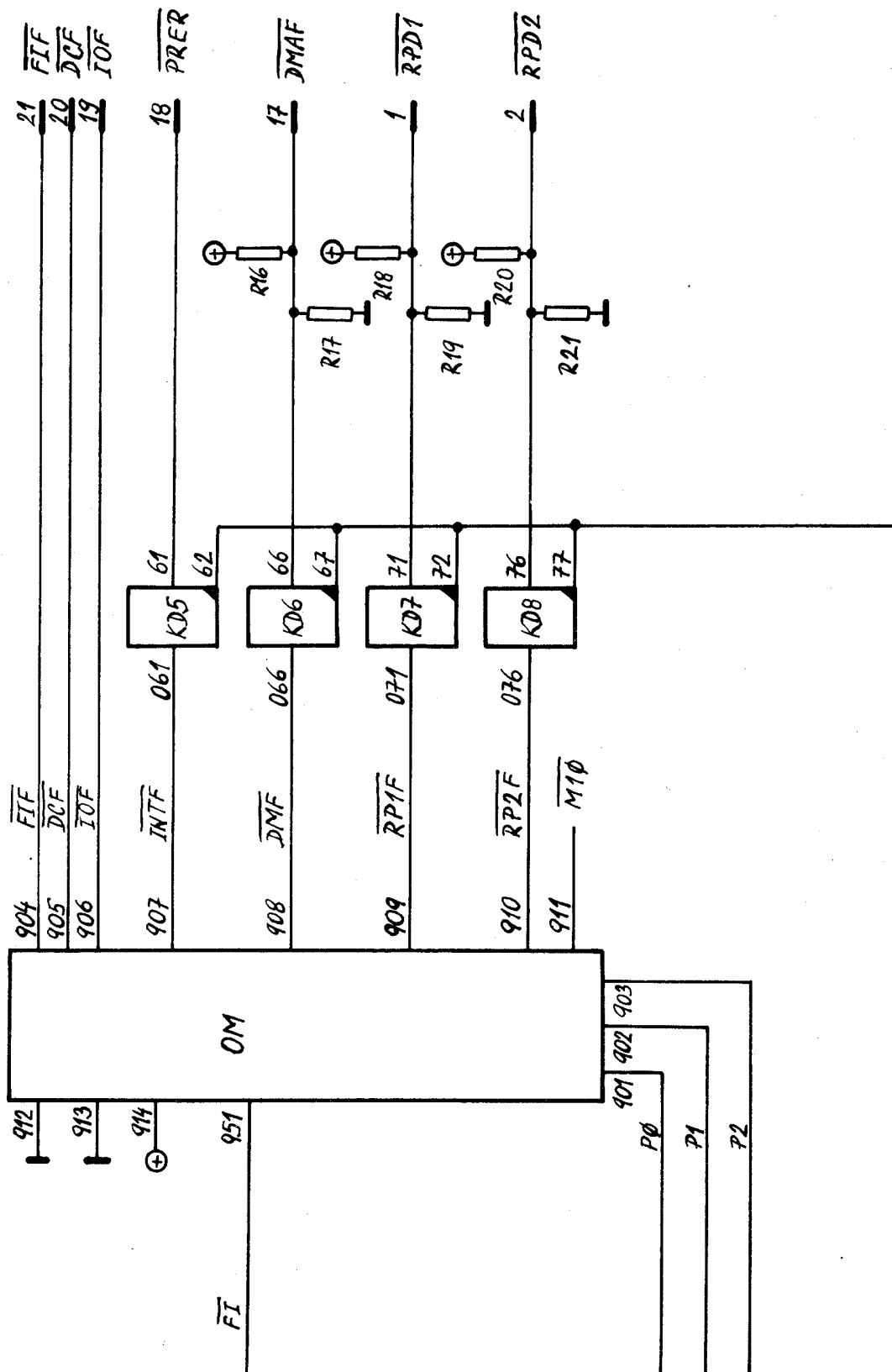
obr. 1



obr. 2a

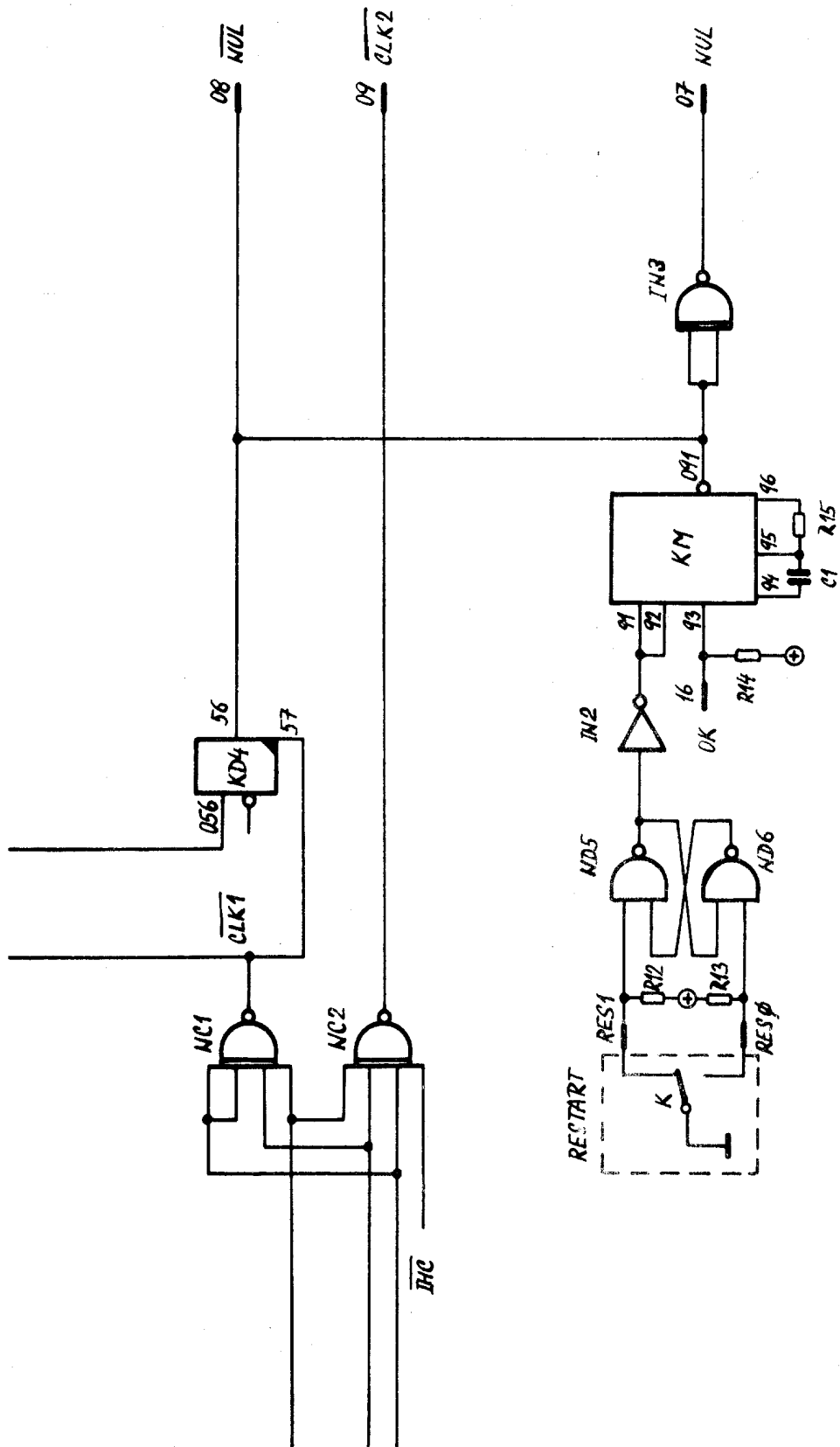


obr. 2b



obr. 20

225895



obr. 2 d

[illegible]

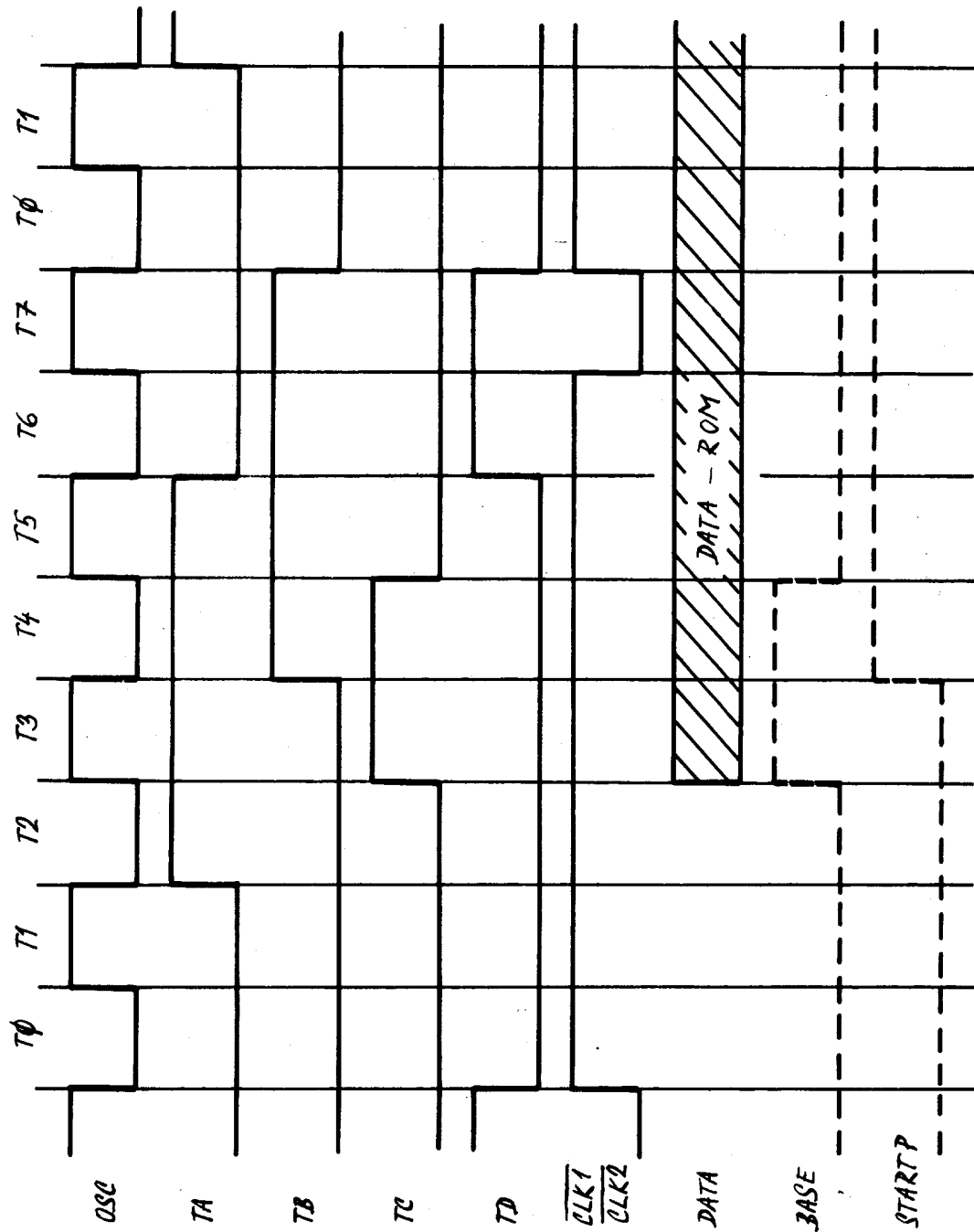
CS	INP	STAV
0	0	DMO
0	1	DMI
1	0	CSDMO
1	1	CSDMI

P2	P1	P0	FUNKCE
0	0	0	FI $\rightarrow$ FI
0	0	1	DC $\rightarrow$ FI
0	1	0	IOF $\rightarrow$ FI
0	1	1	PRER $\rightarrow$ FI
1	0	0	DMAF $\rightarrow$ FI
1	0	1	RPD1 $\rightarrow$ FI
1	1	0	RPD2 $\rightarrow$ FI
1	1	1	M10 $\rightarrow$ FI

Z/C	START	FUNCTION
0	0	X
0	1	WTM
1	0	NOP
1	1	RDM

M11-14	SETPX	FUNKCE
0	0	NOP PX
0	1	M7-10 → PX
1	0	X
1	1	M11-14 → PX

obr. 3



obr. 4