

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



(43) 国際公開日  
2007年9月20日 (20.09.2007)

PCT

(10) 国際公開番号  
**WO 2007/105256 A1**

(51) 國際特許分類:  
*G06F 12/08* (2006.01)

(21) 国際出願番号:

PCT/JP2006/303439

(22) 国際出願日:

2006年2月24日(24.02.2006)

(25) 国際出願の言語:

日本語

## (26) 国際公開の言語:

日本語

(71) 出願人  
式会社  
川県川  
(JP).

(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

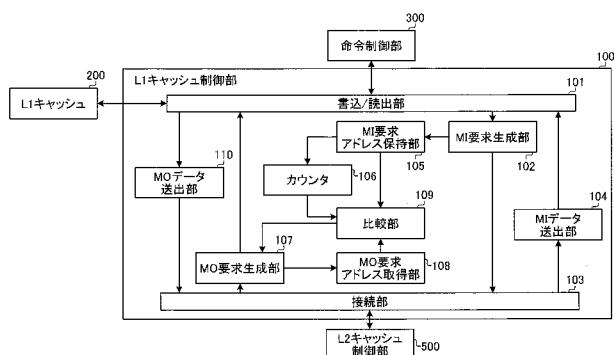
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[有葉綱]

**(54) Title:** MULTIPROCESSOR SYSTEM, PROCESSOR, AND CACHE CONTROL METHOD

(54) 発明の名称: マルチプロセッサシステム、プロセッサ、およびキャッシュ制御方法



300 INSTRUCTION CONTROL UNIT  
200 L1 CACHE  
100 L1 CACHE CONTROL UNIT  
101 WRITING/READING SECTION  
110 MO DATA TRANSMITTING SECTION  
107 MO REQUEST GENERATING SECTION  
105 MI REQUEST ADDRESS HOLDING SECTION  
106 COUNTER  
109 COMPARISON SECTION  
108 MO REQUEST ADDRESS ACQUIRING SECTION  
103 CONNECTING SECTION  
102 MI REQUEST GENERATING SECTION  
104 MI DATA TRANSMITTING SECTION  
500 L2 CACHE CONTROL UNIT

**(57) Abstract:** A scramble for data between caches is prevented and a delay in data transfer between the caches is suppressed. An MI request address holding section (105) holds an MI request address of data moved into an LI cache (200). When the MI request address is held, a counter (106) counts up the value of the counter until it reaches a predetermined threshold value. When an MO request address is acquired from an L2 cache control unit (500), a comparison section (109) compares the MO request address with the MI request address. When the MO request address and the MI request address are identical, the comparison section (109) instructs an MO request generating section (107) to stop the MO if the counter (106) is in operation.

/ 続葉有 /



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

---

(57) 要約: 複数のキャッシュによるデータの取り合いを防止するとともに、キャッシュ間のデータ転送の遅延を抑制すること。M I 要求アドレス保持部 (105) は、L 1 キャッシュ (200) へM I されるデータのM I 要求アドレスを保持する。カウンタ (106) は、M I 要求アドレスが保持されると、カウンタ値が所定のしきい値に到達するまでカウントアップする。比較部 (109) は、L 2 キャッシュ制御部 (500) からM O 要求アドレスが取得されると、このM O 要求アドレスをM I 要求アドレスと比較する。M O 要求アドレスとM I 要求アドレスとが一致する場合、比較部 (109) は、カウンタ (106) が稼働中であれば、M O 要求生成部 (107) へM O の中止を指示する。

## 明細書

### マルチプロセッサシステム、プロセッサ、およびキャッシュ制御方法 技術分野

[0001] 本発明は、各々1次キャッシュを備える複数のプロセッサと、複数のプロセッサによって共有される2次キャッシュとを有するマルチプロセッサシステムおよびキャッシュ制御方法に関し、特に、複数のキャッシュによるデータの取り合いを防止するとともに、キャッシュ間のデータ転送の遅延を抑制することができるマルチプロセッサシステム、プロセッサ、およびキャッシュ制御方法に関する。

### 背景技術

[0002] 一般に、情報処理装置においては、処理速度を向上させるため、使用頻度が高いデータをメインメモリとは別のキャッシュメモリに記憶することが行われる。キャッシュメモリは、メインメモリよりも容量は小さいが高速アクセスが可能であるため、使用頻度が高いデータを隨時置き換えながらキャッシュメモリに記憶させておくことで、処理の高速化を図ることができる。

[0003] また、より処理の高速化を図るためにには、階層的にキャッシュメモリを設け、処理が行われる際には、まず最も高速な1次キャッシュ(以下「L1キャッシュ」という)にアクセスし、L1キャッシュに所望のデータがなければ次に高速な2次キャッシュ(以下「L2キャッシュ」という)にアクセスするというようにすれば良い。

[0004] 一方、情報処理装置の処理性能を向上させるため、1つの情報処理装置に複数のプロセッサが搭載されることがある。近年では、このようなマルチプロセッサシステムの一種として、1チップ上に複数のプロセッサを実装するオンチップマルチプロセッサシステムが実現可能となっている。

[0005] マルチプロセッサシステムが採用される場合、各プロセッサ内のL1キャッシュとは別に、各プロセッサが共有するL2キャッシュが設けられることがある(例えば特許文献1参照)。

[0006] 特許文献1:特開2002-373115号公報

### 発明の開示

## 発明が解決しようとする課題

- [0007] 上述のようなマルチプロセッサシステムにおいて、各プロセッサ内のL1キャッシュにおいて同一データに関するキャッシュミスが同時に生じると、複数のプロセッサが共有するL2キャッシュに同時にアクセスし、データの取り合いが発生することがある。
- [0008] 以下、図4-1～4-6を参照して、L1キャッシュ#1およびL2キャッシュ#2がデータAを取り合う状態について説明する。ここでは、各プロセッサ内の図示しない命令制御部などからL1キャッシュ#1およびL1キャッシュ#2のそれぞれへ、データAの書き換えを行う旨のストア要求が発行されたものとする。
- [0009] 図4-1に示すように、L1キャッシュ#1およびL1キャッシュ#2には、いずれもデータAが記憶されていないためキャッシュミスとなり、L2キャッシュを制御するL2キャッシュ制御部に対してデータAのムーブイン(Move In:以下「MI」と略記する)を要求するMI要求が同時に行われる。
- [0010] このとき、例えばL1キャッシュ#1の優先度が高ければ、図4-2に示すように、データAはL2キャッシュ制御部からL1キャッシュ#1へ転送される。また、L1キャッシュ#2からL2キャッシュ制御部へもデータAのMI要求が行われていることから、データAがL1キャッシュ#1へ転送されると同時に、このデータAをL1キャッシュ#1からムーブアウト(Move Out:以下「MO」と略記する)させるためのMO命令が発行される。
- [0011] L1キャッシュ#1では、データAのストア処理が完了していないが、L2キャッシュ制御部からのMO命令に従って、図4-3に示すように、データAのMOを要求するMO要求を行い、L2キャッシュ制御部へデータAを転送する。同時に、L2キャッシュ制御部は、L1キャッシュ#2へデータAを転送する。
- [0012] そして、データAが転送されていたはずのL1キャッシュ#1では、データAのストア要求が再び発行されるが、データAは既にL1キャッシュ#2へ転送されているため、L1キャッシュ#1では再度キャッシュミスが発生する。このため、図4-4に示すように、L1キャッシュ#1からL2キャッシュ制御部へMI要求が行われ、L2キャッシュ制御部からL1キャッシュ#2へMO命令が発行される。
- [0013] L1キャッシュ#2では、データAのストア処理が完了していないが、L2キャッシュ制御部からのMO命令に従って、図4-5に示すように、データAのMOを要求するMO

要求を行い、L2キャッシング制御部へデータAを転送する。同時に、L2キャッシング制御部は、L1キャッシング#1へデータAを転送する。

- [0014] そして、データAが転送されていたはずのL1キャッシング#2では、データAのストア要求が再び発行されるが、データAは既にL1キャッシング#1へ転送されているため、L1キャッシング#2では再度キャッシングミスが発生する。このため、図4-6に示すように、L1キャッシング#2からL2キャッシング制御部へMI要求が行われ、L2キャッシング制御部からL1キャッシング#1へMO命令が発行される。
- [0015] 以後、再び図4-3の状態に戻り、L1キャッシング#1を有するプロセッサおよびL1キャッシング#2を有するプロセッサのいずれもデータAのストア処理を完了させることができない。
- [0016] このような状態を防ぐため、一度MI要求されてL1キャッシングにデータが転送された後は、しばらくL1キャッシングにおけるMOを禁止するという方法が考えられる。すなわち、例えば図5に示すように、MI要求がパイプライン処理の優先権を獲得し、所定のPサイクルの処理が完了すると、カウンタが所定サイクル(図5では31サイクル)のカウントアップを開始する。その後、MI要求に関しては、所定のTサイクルの処理、Mサイクルの処理、Bサイクルの処理、およびRサイクルの処理が行われ、L1キャッシングにデータが記憶される。
- [0017] このとき、MI要求の直後にMO要求がパイプライン処理の優先権を獲得した場合、MO要求に関しては、カウンタがカウントアップを実行している最中であるため、Bサイクルで処理が中止される。したがって、カウンタがカウントアップを実行している間は、L1キャッシングからデータが転送されることではなく、この間にデータのストア処理を行うことが可能となる。
- [0018] しかしながら、この方法においては、カウンタがカウントアップを実行している間のL1キャッシングからのデータの転送が禁止されているため、ストア処理とは無関係のデータについてもMOが実行されず、キャッシング間のデータ転送の遅延が発生するという問題がある。
- [0019] 本発明はかかる点に鑑みてなされたものであり、複数のキャッシングによるデータの取り合いを防止するとともに、キャッシング間のデータ転送の遅延を抑制することができる

マルチプロセッサシステム、プロセッサ、およびキャッシング制御方法を提供することを目的とする。

### 課題を解決するための手段

- [0020] 上記課題を解決するために、本発明は、各々1次キャッシングを備える複数のプロセッサと、前記複数のプロセッサによって共有される2次キャッシングとを有するマルチプロセッサシステムであって、前記プロセッサは、自プロセッサ内の1次キャッシングからデータを読み出す読出手段と、前記1次キャッシングに読み出し対象のデータが記憶されていない場合に前記1次キャッシングへの当該データの書き込みを外部に要求する要求手段と、前記要求手段による書き込み要求後の経過時間を計測する計測手段と、前記1次キャッシングのデータを読み出す旨の読出命令を外部から受け付ける受付手段と、前記受付手段によって読出命令が受け付けられたデータを特定する特定情報と前記要求手段によって書き込みが要求されたデータを特定する特定情報とを比較する比較手段と、前記比較手段による比較の結果、特定情報が同一であり、かつ、前記計測手段によって計測される経過時間が所定時間未満の場合に、前記読出手段による前記読出命令に応じたデータの読み出しを中止させる制御手段とを有することを特徴とする。
- [0021] また、本発明は、上記発明において、前記制御手段は、前記比較手段による比較の結果、特定情報が同一でない場合に、前記読出命令に応じたデータの読み出しを前記読出手段に対して要求する読出要求を生成する生成手段を含むことを特徴とする。
- [0022] また、本発明は、上記発明において、前記生成手段は、前記比較手段による比較の結果、特定情報が同一であっても、前記計測手段によって計測される経過時間が所定時間以上の場合に、前記読出命令に応じたデータの読み出要求を生成することを特徴とする。
- [0023] また、本発明は、上記発明において、前記制御手段は、前記計測手段によって計測される経過時間が所定時間に達した場合に、読み出しを中止させたデータの読み出しを前記読出手段に行わせることを特徴とする。
- [0024] また、本発明は、上記発明において、前記比較手段は、データのメインメモリにおける

るアドレスを特定情報として比較することを特徴とする。

- [0025] また、本発明は、上記発明において、データに対応するアドレスの一部および前記1次キャッシュにおけるウェイを特定情報として比較することを特徴とする。
- [0026] また、本発明は、上記発明において、前記計測手段は、前記書込手段による書き込み要求に応じてデータが書き込まれてからの経過時間を計測することを特徴とする。
- [0027] また、本発明は、データを記憶するキャッシュを備えたプロセッサであって、前記キャッシュにデータを書き込む書込手段と、前記書込手段によって前記キャッシュにデータが書き込まれてからの経過時間を計測する計測手段と、前記キャッシュのデータを読み出す旨の読出命令を外部から受け付ける受付手段と、前記受付手段によって読出命令が受け付けられたデータを特定する特定情報と前記書込手段によって書き込まれたデータを特定する特定情報を比較する比較手段と、前記比較手段による比較の結果、特定情報が同一であり、かつ、前記計測手段によって計測される経過時間が所定時間未満の場合に、前記読出命令に応じたデータの読み出しを中止する読出制御手段とを有することを特徴とする。
- [0028] また、本発明は、各々1次キャッシュを備える複数のプロセッサと、前記複数のプロセッサによって共有される2次キャッシュとを有するマルチプロセッサシステムにおけるキャッシュ制御方法であって、前記1次キャッシュに読み出し対象のデータが記憶されていない場合に前記1次キャッシュへの当該データの書き込みを外部に要求する要求工程と、前記要求工程における書き込み要求後、経過時間の計測を開始する計測工程と、前記1次キャッシュのデータを読み出す旨の読出命令を外部から受け付ける受付工程と、前記受付工程にて読出命令が受け付けられたデータを特定する特定情報と前記要求工程にて書き込みが要求されたデータを特定する特定情報を比較する比較工程と、前記比較工程における比較の結果、特定情報が同一であり、かつ、前記計測工程からの経過時間が所定時間未満の場合に、前記読出命令に応じたデータの読み出しを中止させる制御工程とを有することを特徴とする。

## 発明の効果

- [0029] 本発明によれば、1次キャッシュに読み出し対象のデータが記憶されていない場合

に1次キャッシュへの当該データの書き込みを外部に要求し、書き込み要求後の経過時間を計測し、1次キャッシュのデータを読み出す旨の読出命令を外部から受け付け、読出命令が受け付けられたデータを特定する特定情報と書き込みを要求したデータを特定する特定情報を比較し、比較の結果、特定情報が同一であり、かつ、計測される経過時間が所定時間未満の場合に、読出命令に応じたデータの読み出しを中止させる。このため、1次キャッシュに書き込まれたばかりのデータが読み出されることはなく、このデータに対する処理のための時間を確保することができ、複数のキャッシュによるデータの取り合いを防止するとともに、書き込まれたばかりのデータ以外のデータは通常通り読み出して、キャッシュ間のデータ転送の遅延を抑制することができる。

- [0030] また、本発明によれば、比較の結果、特定情報が同一でない場合に、読出命令に応じたデータの読み出しを要求する読出要求を生成するため、書き込まれたばかりのデータと一致しないデータは、読出命令が受け付けられた後すぐに1次キャッシュから読み出すことができる。
- [0031] また、本発明によれば、比較の結果、特定情報が同一であっても、計測される経過時間が所定時間以上の場合に、読出命令に応じたデータの読出要求を生成するため、直近に書き込まれたデータであっても、書き込まれてから処理に要する時間が経過していれば、読出命令が受け付けられた後すぐに1次キャッシュから読み出すことになり、データ転送の遅延をさらに抑制することができる。
- [0032] また、本発明によれば、計測される経過時間が所定時間に達した場合に、読み出しを中止させたデータの読み出しを行わせるため、1次キャッシュからの読み出しが一度中止されたデータについても、データ転送の遅延を最低限に抑制することができる。
- [0033] また、本発明によれば、データのメインメモリにおけるアドレスを特定情報として比較するため、データの一一致・不一致を確実に判定することができる。
- [0034] また、本発明によれば、データに対応するアドレスの一部および前記1次キャッシュにおけるウェイを特定情報として比較するため、キャッシュがセットアソシエティブ方式で構成される場合にも、データの一一致・不一致を確実に判定することができる。

[0035] また、本発明によれば、書き込み要求に応じてデータが書き込まれてからの経過時間を計測するため、1次キャッシュに確実にデータが書き込まれてから処理に要する時間を確保することができる。

[0036] また、本発明によれば、キャッシュにデータを書き込み、キャッシュにデータが書き込まれてからの経過時間を計測し、キャッシュのデータを読み出す旨の読出命令を外部から受け付け、読出命令が受け付けられたデータを特定する特定情報と書き込まれたデータを特定する特定情報を比較し、比較の結果、特定情報が同一であり、かつ、計測される経過時間が所定時間未満の場合に、読出命令に応じたデータの読み出しを中止する。このため、キャッシュに書き込まれたばかりのデータが読み出されることはなく、このデータに対する処理のための時間を確保することができ、複数のキャッシュによるデータの取り合いを防止するとともに、書き込まれたばかりのデータ以外のデータは通常通り読み出して、キャッシュ間のデータ転送の遅延を抑制することができる。

### 図面の簡単な説明

[0037] [図1]図1は、本発明の一実施の形態に係るマルチプロセッサシステムの要部構成を示すブロック図である。

[図2]図2は、一実施の形態に係るL1キャッシュ制御部の内部構成を示すブロック図である。

[図3]図3は、一実施の形態に係るL1キャッシュ制御部の動作を示すフロー図である。

[図4-1]図4-1は、ストア処理時のキャッシュの状態を示す図である。

[図4-2]図4-2は、図4-1に続く図である。

[図4-3]図4-3は、図4-2に続く図である。

[図4-4]図4-4は、図4-3に続く図である。

[図4-5]図4-5は、図4-4に続く図である。

[図4-6]図4-6は、図4-5に続く図である。

[図5]図5は、パイプライン処理の処理サイクルの一例を示す図である。

### 符号の説明

[0038] 100 L1キャッシュ制御部

101 書込／読出部

102 MI要求生成部

103 接続部

104 MIデータ送出部

105 MI要求アドレス保持部

106 カウンタ

107 MO要求生成部

108 MO要求アドレス取得部

109 比較部

110 MOデータ送出部

200 L1キャッシュ

300 命令制御部

400 演算処理部

500 L2キャッシュ制御部

600 L2キャッシュ

700 メインメモリ

#### 発明を実施するための最良の形態

[0039] 以下、本発明の一実施の形態について、図面を参照して詳細に説明する。なお、以下においては、情報処理装置がプロセッサとしてCPUを2つ備えている場合を例に挙げて説明するが、本発明は、プロセッサを3つ以上備えている場合にも適用することができる。

[0040] 図1は、本発明の一実施の形態に係るマルチプロセッサシステムの要部構成を示すブロック図である。同図に示すマルチプロセッサシステムはCPUを2つ備え、各CPUは、L1キャッシュ制御部100、L1キャッシュ200、命令制御部300、および演算処理部400を有している。また、各CPUのL1キャッシュ制御部100には、L2キャッシュ制御部500が接続されており、L2キャッシュ制御部500はL2キャッシュ600に、L2キャッシュ600はメインメモリ700にそれぞれ接続されている。

- [0041] L1キャッシュ制御部100は、命令制御部300およびL2キャッシュ制御部500からの要求・命令に応じて、L1キャッシュにおけるデータのムーブイン(MI)およびムーブアウト(MO)を制御する。また、本実施の形態においては、L1キャッシュ制御部100は、MI要求するデータのアドレスを保持しておき、L2キャッシュ制御部500からMO命令が発行された場合、MOするデータのアドレスと保持されたアドレスとを比較し、MI要求から一定期間内はアドレスが一致する場合のMOを中止する。L1キャッシュ制御部100の具体的な構成・動作については、後に詳述する。
- [0042] L1キャッシュ200は、高速なキャッシュメモリであって、L1キャッシュ制御部100の制御に従って、MIされるデータを記憶し、MOされるデータを出力する。命令制御部300は、演算処理部400における演算処理に応じてデータの書き込みおよび読み出しに関する命令を出し、必要なデータをL1キャッシュ200、L2キャッシュ600、またはメインメモリ700から取得する。演算処理部400は、命令制御部300によって取得されたデータに対する演算処理を行う。
- [0043] L2キャッシュ制御部500は、L1キャッシュ制御部100からデータのMI要求が発行された場合、このデータが記憶されているL2キャッシュ600または他のCPUのL1キャッシュ200を制御するL1キャッシュ制御部100へデータのMO命令を発行する。L2キャッシュ600は、L1キャッシュ200よりも大容量かつ低速なキャッシュメモリであり、2つのCPUによって共有されている。メインメモリ700は、主記憶装置であって、L2キャッシュ600よりも大容量かつ低速な記憶装置である。
- [0044] 図2は、本実施の形態に係るL1キャッシュ制御部100の内部構成を示すブロック図である。同図に示すように、L1キャッシュ制御部100は、書込／読出部101、MI要求生成部102、接続部103、MIデータ送出部104、MI要求アドレス保持部105、カウンタ106、MO要求生成部107、MO要求アドレス取得部108、比較部109、およびMOデータ送出部110を有している。
- [0045] 書込／読出部101は、命令制御部300から例えばデータのストア要求などの命令が出されるとL1キャッシュ200を検索し、対象のデータがL1キャッシュ200内に記憶されていれば(キャッシュヒット)、このデータを読み出して命令制御部300へ出力し、対象のデータがL1キャッシュ200内に記憶されていなければ(キャッシュミス)、その

旨をMI要求生成部102へ通知する。そして、書込／読出部101は、MIデータ送出部104から送出されるMIすべきMIデータをL1キャッシュ200へ書き込む。また、書込／読出部101は、MO要求生成部107からデータのMO要求が出力されると、L1キャッシュ200から対象のデータを読み出し、MOデータ送出部110へ出力する。

- [0046] MI要求生成部102は、書込／読出部101からキャッシュミスが生じた旨が通知されると、このデータL1キャッシュ200にMIするために、データのアドレスを含むMI要求を生成し、接続部103およびMI要求アドレス保持部105へ出力する。
- [0047] 接続部103は、L1キャッシュ制御部100とL2キャッシュ制御部500とを接続しており、MI要求生成部102から出力されるMI要求をL2キャッシュ制御部500へ転送し、このMI要求に応じてMIすべきMIデータがL2キャッシュ制御部500から転送されると、このMIデータをMIデータ送出部104へ出力する。また、接続部103は、L2キャッシュ制御部500によってL1キャッシュ200からのデータのMO命令が発行されると、その旨をMO要求生成部107へ通知し、MOデータ送出部110から送出されるMOされたMOデータをL2キャッシュ制御部500へ転送する。
- [0048] MIデータ送出部104は、MI要求に応じてL2キャッシュ600また他のCPUのL1キャッシュ200などから転送されたMIデータをL1キャッシュ200へMIするために、MIデータをMI要求とともに書込／読出部101へ送出する。
- [0049] MI要求アドレス保持部105は、キャッシュミスが生じた場合に、MI要求生成部102によってMI要求が生成されると、生成されたMI要求に含まれるデータのアドレス(MI要求アドレス)を保持し、MI要求アドレスが保持されるとカウンタ106へ始動を指示する。すなわち、MI要求アドレス保持部105は、L1キャッシュ200へMIされるデータのアドレスを保持するとともに、カウンタ106のカウントアップを開始させる。
- [0050] カウンタ106は、MI要求アドレス保持部105から始動を指示されると、カウントアップを開始し、カウンタ値が所定のしきい値に到達するとカウンタ値を0にリセットする。また、カウンタ106は、始動のタイミングとリセットのタイミングとを比較部109へ通知する。
- [0051] MO要求生成部107は、接続部103にMO命令が到達すると、MOを要求されているデータのアドレス(MO要求アドレス)をMO要求アドレス取得部108へ出力する

。そして、MO要求生成部107は、比較部109からMOの実行が指示された場合は、MO要求アドレスを含むMO要求を生成し、書込／読出部101へ出力する。一方、比較部109からMOの中止が指示された場合は、MO要求アドレスを一時的に保持し、一定時間が経過して比較部109からMOの実行が許可されると、保持されたMO要求アドレスを含むMO要求を生成し、書込／読出部101へ出力する。

- [0052] MO要求アドレス取得部108は、L2キャッシュ制御部500によってMO命令が発行された場合に、MO要求生成部107からMO命令に含まれているMO要求アドレスを取得して保持する。
- [0053] 比較部109は、MO要求アドレス取得部108によってMO要求アドレスが取得されると、このMO要求アドレスをMI要求アドレス保持部105によって保持されているMI要求アドレスと比較する。そして、比較部109は、MO要求アドレスとMI要求アドレスとが一致しない場合は、MOが要求されているデータに対するストア処理などが予定されていないと判断し、MO要求生成部107へMOの実行を指示する。
- [0054] 一方、MO要求アドレスとMI要求アドレスとが一致する場合、比較部109は、さらにカウンタ106がリセットされておらず稼働中であるか否か判定する。そして、比較部109は、カウンタ106が稼働中であれば、MI要求が発行されてからの経過時間が短いため、このアドレスのデータに対するストア処理などが予定されていると判断し、MO要求生成部107へMOの中止を指示する。また、カウンタ106がリセットされておりカウンタ値が0であれば、比較部109は、MI要求が発行されてから十分時間が経過しており、このアドレスのデータに対するストア処理などが完了していると判断し、MO要求生成部107へMOの実行を指示する。
- [0055] また、比較部109は、MO要求生成部107へMOの中止を指示した場合、カウンタ106からカウンタ値のリセットのタイミングが通知されると、中止していたMOの実行を許可する。
- [0056] MOデータ送出部110は、MO要求に応じてL1キャッシュ200から読み出されたMOデータをL2キャッシュ制御部500へ出力するために、接続部103へ送出する。
- [0057] 次いで、ストア要求が発行された場合の、上記のように構成されたL1キャッシュ制御部100の動作について、図3に示すフロー図を参照しながら説明する。

- [0058] まず、命令制御部300によってデータの書き換えを要求するストア要求が発行される(ステップS101)。発行されたストア要求は、L1キャッシュ制御部100の書込／読出部101によって受け取られ、書込／読出部101によって、ストア対象のデータがL1キャッシュ200から検索される(ステップS102)。検索の結果、L1キャッシュ200にデータが記憶されておりキャッシュヒットすれば(ステップS102No)、このデータがL1キャッシュ200から読み出され、命令制御部300へ出力されて、演算処理部400によるストア処理が実行される(ステップS107)。
- [0059] 一方、検索の結果、L1キャッシュ200にデータが記憶されておらずキャッシュミスすれば(ステップS102Yes)、書込／読出部101からMI要求生成部102へその旨が通知され、MI要求生成部102によってストア対象のデータのアドレスを含むMI要求が生成される(ステップS103)。生成されたMI要求は、MI要求アドレス保持部105へ出力され、MI要求アドレス保持部105によって、MI要求アドレス(すなわち、ストア対象のデータのアドレス)が保持されるとともに、カウンタ106の始動が指示される(ステップS104)。
- [0060] また、MI要求生成部102によって生成されたMI要求は、接続部103経由でL2キャッシュ制御部500へ伝達され、L2キャッシュ制御部500がL2キャッシュ600または他のCPUのL1キャッシュ200からMI要求アドレスのデータを取得し、L1キャッシュ制御部100へ転送する。このデータは、L1キャッシュ200にMIすべきMIデータとして、MIデータ送出部104からMI要求とともに書込／読出部101へ出力され、書込／読出部101によってL1キャッシュ200に書き込まれる(ステップS105)。
- [0061] その後、L1キャッシュ制御部100では、L2キャッシュ制御部500からのMO命令が随時受け付けられており(ステップS106)、接続部103にMO命令が到達しない場合は(ステップS106No)、L1キャッシュ200におけるキャッシュミスに応じてMIされたデータのストア処理が行われる(ステップS107)。また、接続部103にMO命令が到達した場合は(ステップS106Yes)、MO要求生成部107によって、MO命令に含まれるMO要求アドレスがMO要求アドレス取得部108へ出力される。
- [0062] そして、MO要求アドレス取得部108によってMO要求アドレスが取得されると、比較部109によって、MO要求アドレスとMI要求アドレス保持部105によって保持され

ているMI要求アドレスとが一致するか否か比較される(ステップS108)。ここで、比較されたアドレスが一致するということは、今回ストア処理のためにL1キャッシュ200にMIされたデータに対するMOが要求されていることを意味している。また、比較されたアドレスが一致しないということは、今回ストア処理のためにL1キャッシュ200にMIされたデータ以外のデータに対するMOが要求されていることを意味している。

- [0063] そこで、MO要求アドレスとMI要求アドレスとが一致していなければ、比較部109によってMOの実行がMO要求生成部107へ指示され、MO要求生成部107によってMO要求アドレスを含むMO要求が生成され、書込／読出部101へ出力される。そして、書込／読出部101によってMO要求アドレスのデータがL1キャッシュ200から読み出され、MOデータ送出部110および接続部103を介してL2キャッシュ制御部500へ出力され、データのMOが実行される(ステップS112)。
- [0064] また、MO要求アドレスとMI要求アドレスとが一致していれば、比較部109によって、カウンタ106が稼働中であるか否か、換言すれば、カウンタ値が0であるか否かが判定される(ステップS109)。ここで、カウンタ106が稼働中ではなくカウンタ値が0であれば(ステップS109Yes)、今回ストア処理のためにL1キャッシュ200にMIされたデータについて、MIされてから十分な時間が経過しているためストア処理が完了していると判断され、比較部109によってMOの実行がMO要求生成部107へ指示される。
- [0065] 反対に、カウンタ106が稼働中でカウンタ値が0でなければ(ステップS109No)、今回ストア処理のためにL1キャッシュ200にMIされたデータについて、MIされてからまだ十分な時間が経過していないと判断され、比較部109によってMOの中止がMO要求生成部107へ指示される。そして、MO要求生成部107によって、MO要求アドレスからMO要求が生成されることなく、MOは中止される(ステップS110)。また、このとき、MO要求アドレスは、MO要求生成部107によって一時的に保持される。
- [0066] そして、MOが中止されるため、L1キャッシュ200にMIされたばかりのデータがMOされることなく、この間に命令制御部300からのストア要求に従ったストア処理が実行される(ステップS111)。その後、カウンタ106がカウンタ値を所定のしきい値までカウントアップして0にリセットすると、その旨が比較部109へ通知される。そして、

比較部109は、カウンタ値が0になったことから(ステップS109Yes)、MO要求生成部107へ中止したMOの実行を指示する。

- [0067] MOの実行を指示されたMO要求生成部107は、保持していたMO要求アドレスからMO要求を生成して書込／読出部101へ出力し、L1キャッシュ200からデータが読み出されてMOが実行される(ステップS112)。
- [0068] 以上のように、本実施の形態によれば、L1キャッシュへのMIが要求された後にデータのMOが要求された場合、MOが要求されているデータのアドレスと直近にMIが要求されたデータのアドレスとを比較し、アドレスが一致しており、かつ、MIが要求されてから一定期間が経過していないければ、データのMOを中止する。このため、キャッシュにMIされたばかりのデータはMOすることなく、その他のデータはMOすることになり、複数のキャッシュによるデータの取り合いを防止するとともに、キャッシュ間のデータ転送の遅延を抑制することができる。
- [0069] なお、上記一実施の形態において、キャッシュが例えばセットアソシティブ方式で構成される場合には、MI要求アドレスとMO要求アドレスの比較と同時に、MIするデータのウェイとMOが要求されるデータのウェイとを比較するようにしても良い。ウェイについての比較を行う場合、アドレスおよびウェイが一致し、かつ、MIが要求されてから一定期間が経過していないければ、データのMOを中止する。このとき、セットアソシティブ方式であれば、アドレスの比較は、アドレスの一部であるインデックス部分のみについて行えば十分であるため、アドレス全体を比較する場合に比べて回路規模を縮小することができる。
- [0070] また、上記一実施の形態においては、MI要求アドレスが保持されるとカウンタが始動するものとしたが、カウンタ始動のタイミングは、MI要求に応じてデータがMIされたタイミングとしても良い。こうすることにより、MI要求後、すぐにデータのMIが行われない場合でも、確実にストア処理に要する時間を確保することができる。

### 産業上の利用可能性

- [0071] 本発明は、複数のキャッシュによるデータの取り合いを防止するとともに、キャッシュ間のデータ転送の遅延を抑制する場合に適用することができる。

## 請求の範囲

- [1] 各々1次キャッシュを備える複数のプロセッサと、前記複数のプロセッサによって共有される2次キャッシュとを有するマルチプロセッサシステムであって、  
前記プロセッサは、  
自プロセッサ内の1次キャッシュからデータを読み出す読出手段と、  
前記1次キャッシュに読み出し対象のデータが記憶されていない場合に前記1次キャッシュへの当該データの書き込みを外部に要求する要求手段と、  
前記要求手段による書き込み要求後の経過時間を計測する計測手段と、  
前記1次キャッシュのデータを読み出す旨の読出命令を外部から受け付ける受付手段と、  
前記受付手段によって読出命令が受け付けられたデータを特定する特定情報と前記要求手段によって書き込みが要求されたデータを特定する特定情報を比較する比較手段と、  
前記比較手段による比較の結果、特定情報が同一であり、かつ、前記計測手段によって計測される経過時間が所定時間未満の場合に、前記読出手段による前記読出命令に応じたデータの読み出しを中止させる制御手段と  
を有することを特徴とするマルチプロセッサシステム。
- [2] 前記制御手段は、  
前記比較手段による比較の結果、特定情報が同一でない場合に、前記読出命令に応じたデータの読み出しを前記読出手段に対して要求する読出要求を生成する生成手段を含むことを特徴とする請求項1記載のマルチプロセッサシステム。
- [3] 前記生成手段は、  
前記比較手段による比較の結果、特定情報が同一であっても、前記計測手段によって計測される経過時間が所定時間以上の場合に、前記読出命令に応じたデータの読出要求を生成することを特徴とする請求項2記載のマルチプロセッサシステム。
- [4] 前記制御手段は、  
前記計測手段によって計測される経過時間が所定時間に達した場合に、読み出しを中止させたデータの読み出しを前記読出手段に行わせることを特徴とする請求項

1記載のマルチプロセッサシステム。

[5] 前記比較手段は、

データのメインメモリにおけるアドレスを特定情報として比較することを特徴とする請求項1記載のマルチプロセッサシステム。

[6] 前記比較手段は、

データに対応するアドレスの一部および前記1次キャッシュにおけるウェイを特定情報として比較することを特徴とする請求項1記載のマルチプロセッサシステム。

[7] 前記計測手段は、

前記書き込手段による書き込み要求に応じてデータが書き込まれてからの経過時間を計測することを特徴とする請求項1記載のマルチプロセッサシステム。

[8] データを記憶するキャッシュを備えたプロセッサであって、

前記キャッシュにデータを書き込む書き込手段と、

前記書き込手段によって前記キャッシュにデータが書き込まれてからの経過時間を計測する計測手段と、

前記キャッシュのデータを読み出す旨の読出命令を外部から受け付ける受付手段と、

前記受付手段によって読出命令が受け付けられたデータを特定する特定情報と前記書き込手段によって書き込まれたデータを特定する特定情報を比較する比較手段と、

前記比較手段による比較の結果、特定情報が同一であり、かつ、前記計測手段によって計測される経過時間が所定時間未満の場合に、前記読出命令に応じたデータの読み出しを中止する読出制御手段と

を有することを特徴とするプロセッサ。

[9] 各々1次キャッシュを備える複数のプロセッサと、前記複数のプロセッサによって共有される2次キャッシュとを有するマルチプロセッサシステムにおけるキャッシュ制御方法であって、

前記1次キャッシュに読み出し対象のデータが記憶されていない場合に前記1次キャッシュへの当該データの書き込みを外部に要求する要求工程と、

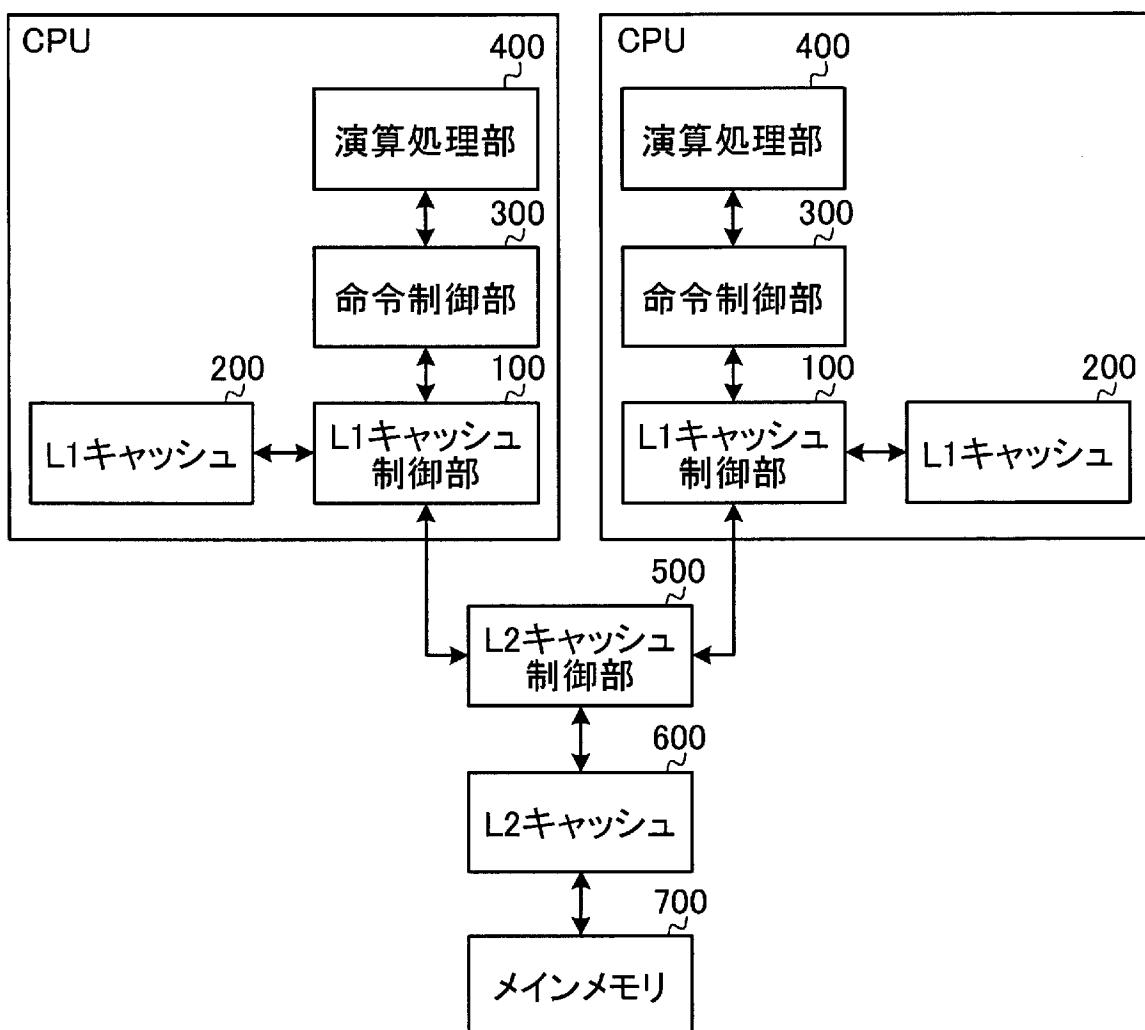
前記要求工程における書き込み要求後、経過時間の計測を開始する計測工程と、  
前記1次キャッシュのデータを読み出す旨の読出命令を外部から受け付ける受付  
工程と、

前記受付工程にて読出命令が受け付けられたデータを特定する特定情報と前記  
要求工程にて書き込みが要求されたデータを特定する特定情報とを比較する比較  
工程と、

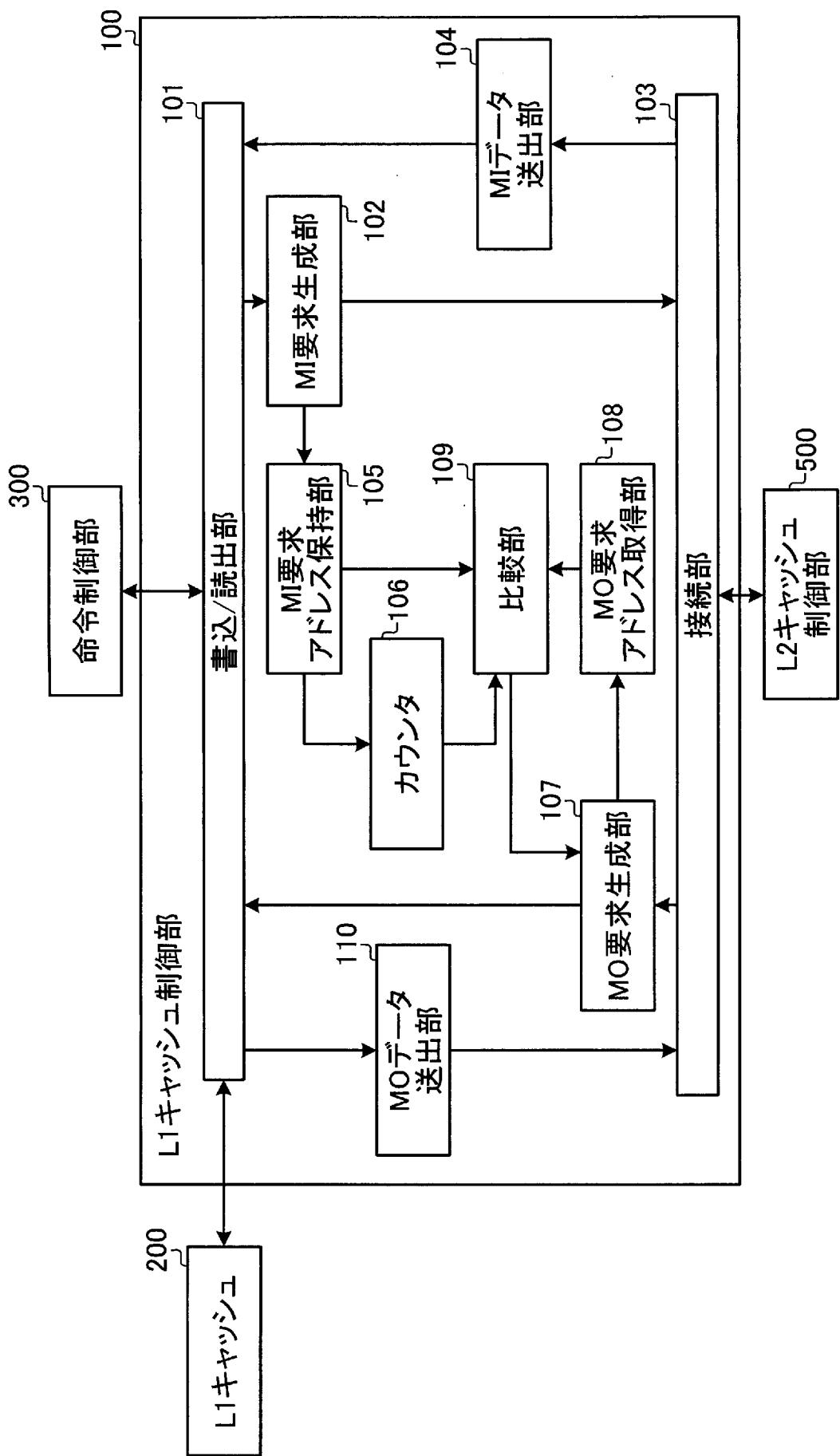
前記比較工程における比較の結果、特定情報が同一であり、かつ、前記計測工程  
からの経過時間が所定時間未満の場合に、前記読出命令に応じたデータの読み出  
しを中止させる制御工程と

を有することを特徴とするキャッシュ制御方法。

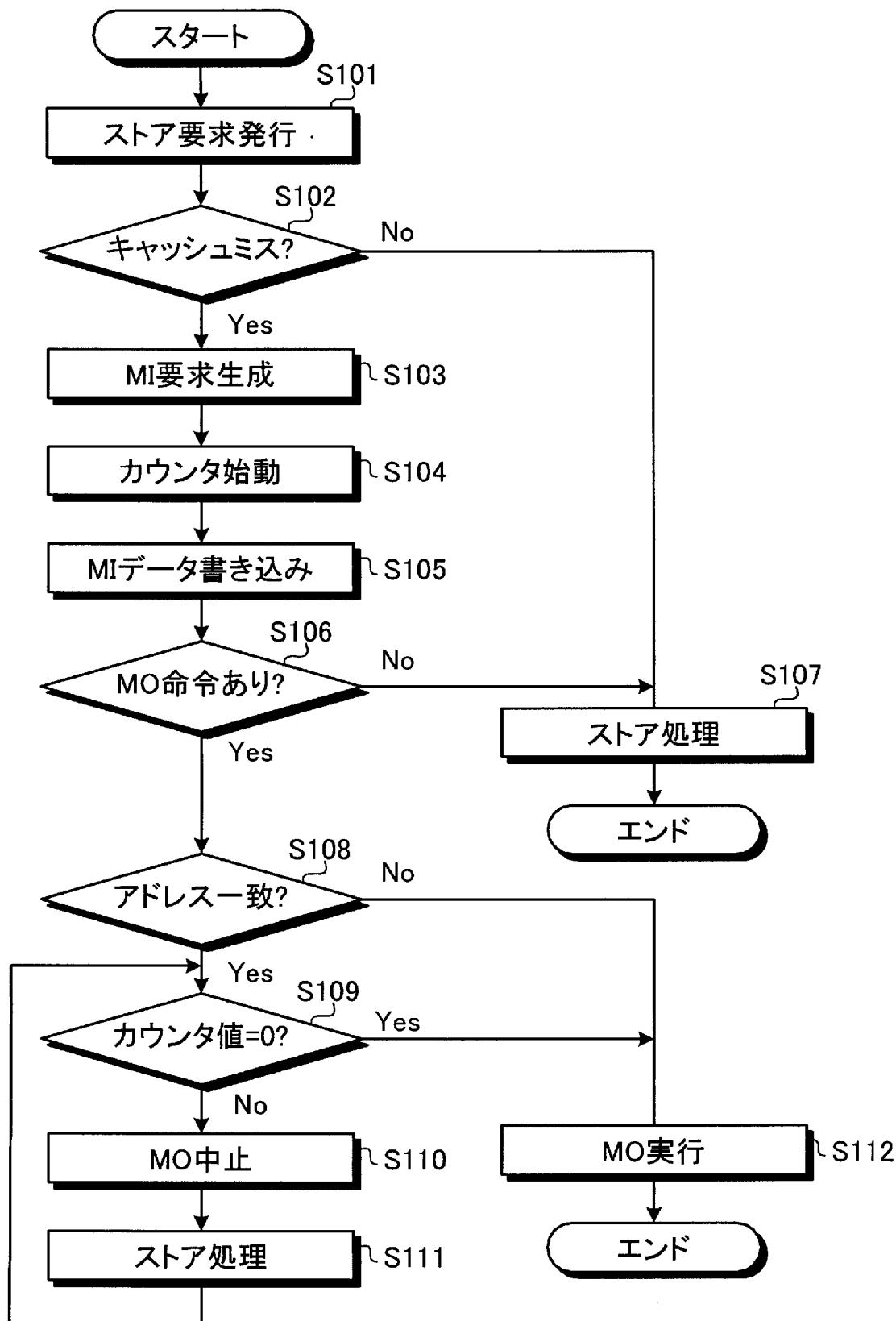
[図1]



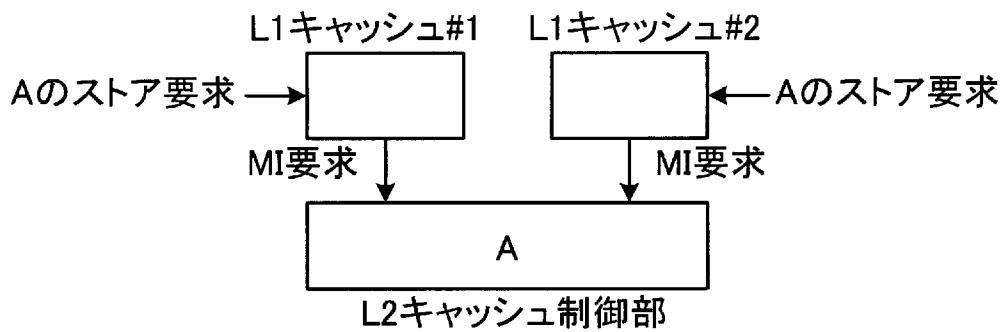
[図2]



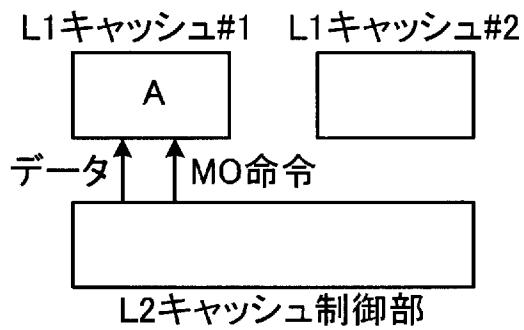
[図3]



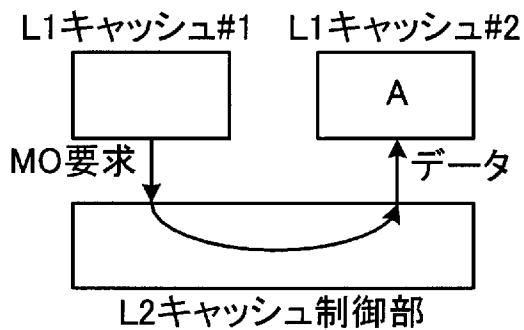
[図4-1]



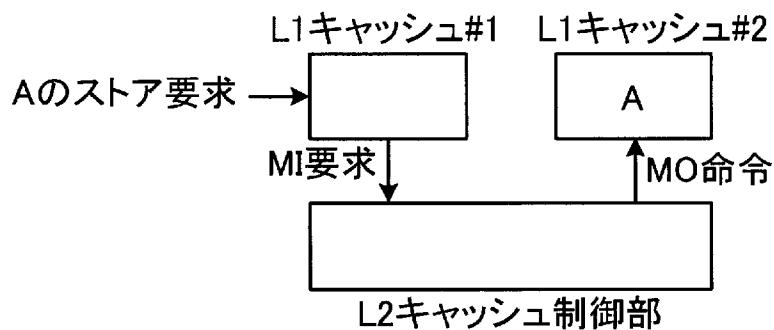
[図4-2]



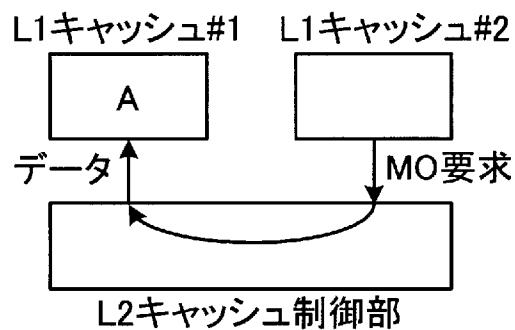
[図4-3]



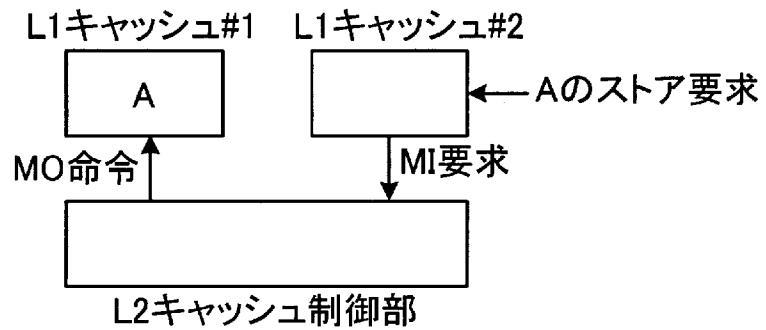
[図4-4]



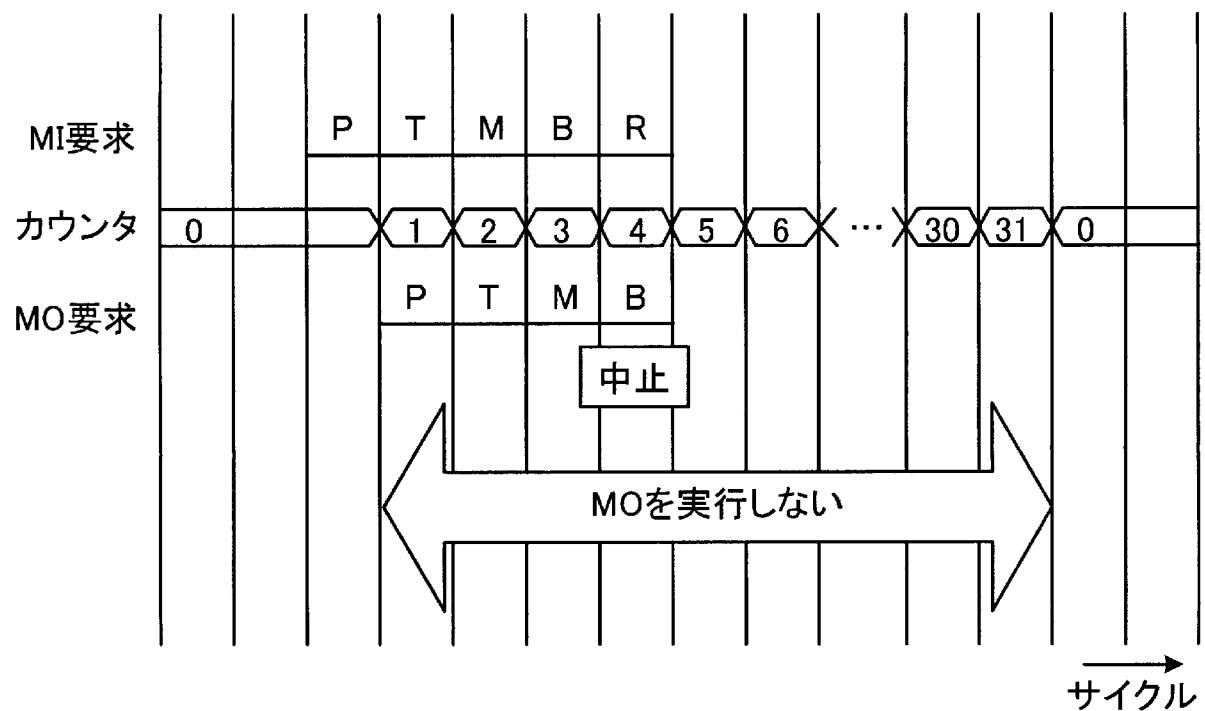
[図4-5]



[図4-6]



[図5]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/303439

**A. CLASSIFICATION OF SUBJECT MATTER**  
G06F12/08 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006  
 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-55966 A (International Business Machines Corp.), 20 February, 2002 (20.02.02), & US 2002/0040382 A1	1-9
A	JP 11-316712 A (Sharp Corp.), 16 November, 1999 (16.11.99), & US 6289419 B1	1-9
A	JP 7-191946 A (Hewlett-Packard Co.), 28 July, 1995 (28.07.95), & US 5710881 A & GB 2283839 A & DE 4423559 A1	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search  
21 July, 2006 (21.07.06)

Date of mailing of the international search report  
01 August, 2006 (01.08.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/303439

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-260146 A (International Business Machines Corp.), 16 September, 1992 (16.09.92), & US 5291442 A	1-9
A	JP 10-154102 A (International Business Machines Corp.), 09 June, 1998 (09.06.98), & US 5802571 A	1-9

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. G06F12/08 (2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. G06F12/08-12/12

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2002-55966 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2002. 02. 20 & US 2002/0040382 A1	1-9
A	J P 11-316712 A (シャープ株式会社) 1999. 11. 16 & US 6289419 B1	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 21. 07. 2006	国際調査報告の発送日 01. 08. 2006
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 清木 泰 電話番号 03-3581-1101 内線 3586

C(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 7-191946 A (ヒューレット・パッカード・カンパニー) 1995.07.28 & US 5710881 A & GB 2283839 A & DE 4423559 A1	1-9
A	J P 4-260146 A (インターナショナル・ビジネス・マシーンズ・コーポレイション) 1992.09.16 & US 5291442 A	1-9
A	J P 10-154102 A (インターナショナル・ビジネス・マシーンズ・コーポレイション) 1998.06.09 & US 5802571 A	1-9