

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/10 (2006.01)

G11C 11/22 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410047337.4

[45] 授权公告日 2010 年 1 月 13 日

[11] 授权公告号 CN 100580929C

[22] 申请日 2004.6.2

[21] 申请号 200410047337.4

[30] 优先权

[32] 2003.6.3 [33] US [31] 10/453,137

[73] 专利权人 日立环球储存科技荷兰有限公司

地址 荷兰阿姆斯特丹

[72] 发明人 巴里·C·斯泰普

[56] 参考文献

WO03/041172A1 2003.5.15

CN1059798A 1992.3.25

US5835396A 1998.11.10

CN1190800A 1998.8.19

审查员 蒋煜婧

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 付建军

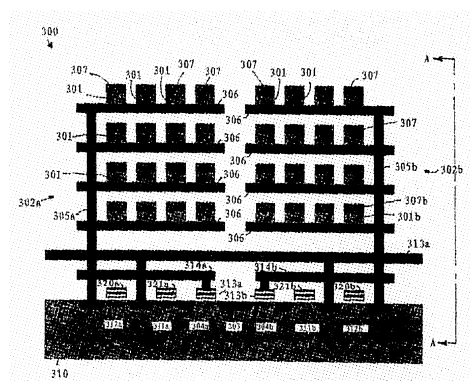
权利要求书 7 页 说明书 28 页 附图 8 页

[54] 发明名称

固态存储器及其操作方法

[57] 摘要

一种由多个位线、多个层、多个树结构以及多个板线形成的铁电三维固态存储器。位线排列在第一平面中并且沿第一方向延伸。每一层具有一个铁电电容器存储器单元阵列。每个树结构对应于一个位线并且具有树干部分和多个树枝部分。每个树结构的树干部分从相应的位线上伸出。每个树枝部分对应于一个层并且从树结构的树干部分上伸出。板线排列在第一层中并且在多个交叉区域与对应层中的每个树结构的树枝部分重叠。OT-FeRAM 存储器单元位于一个层中的每个交叉区域上。



1. 一种存储装置，包括：

多个位线，所述多个位线形成在衬底上，并排列在第一平面中并且沿第一方向延伸；

多个层，每一层具有一个存储器单元阵列；

多个树结构，至少一个树结构分别对应于一个位线，每个树结构具有树干部分和多个树枝部分，树结构的每个树枝部分对应于一个层，每个树结构的树干部分从所述衬底伸出，树结构的每个树枝部分在对应于该树枝部分的层中从该树结构的树干部分上伸出；以及

在每一个层中排列的多个板线，且该多个板线的每一个在多个交叉区域与在对应层中延伸的每个树结构的树枝部分重叠，存储器单元位于一个层中的每个交叉区域。

2. 如权利要求 1 所述的存储装置，其特征在于，至少一个存储器单元是铁电电容器存储器单元。

3. 如权利要求 1 所述的存储装置，其特征在于，至少一个树结构的树干部分包括多个通孔，并且至少一个通孔与其它通孔偏移。

4. 如权利要求 1 所述的存储装置，其特征在于，至少一个树结构的树干部分包括彼此排成直线的多个通孔。

5. 如权利要求 1 所述的存储装置，其特征在于排列在每一个层中的板线沿一个方向排列，该方向垂直于每个树结构的树枝部分的延伸方向。

6. 如权利要求 1 所述的存储装置，其特征在于，每个树结构的树枝部分沿平行于所述第一方向的方向延伸。

7. 如权利要求 1 所述的存储装置，其特征在于，所述多个树结构排列成多行树结构。

8. 如权利要求 1 所述的存储装置，还包括：

多个单元层线，该多个单元层线沿所述第一方向延伸；

多个单元列线，该多个单元列线沿垂直于所述第一方向的方向延伸，并在多个第二交叉区域处与所述多个单元层线重叠；以及

多个板线驱动器晶体管，该多个板线驱动器晶体管排列成二维阵列，每一个相应的板线驱动器晶体管对应于并位于一个相应的第二交叉区域，在每个板线和与该板线对应的板线驱动器之间形成连接。

9. 如权利要求 8 所述的存储装置，其特征在于，每个板线驱动器晶体管具有一控制端，并且

与每个板线驱动器晶体管对应的单元列线连接到所述板线驱动器晶体管的控制端。

10. 如权利要求 8 所述的存储装置，其特征在于，每个板线驱动器晶体管具有一控制端，并且

与每个板线驱动器晶体管对应的单元层线连接到所述板线驱动器晶体管的控制端。

11. 如权利要求 1 所述的存储装置，还包括多个增益晶体管，每个增益晶体管对应于一个读取晶体管，并布置在所述读取晶体管与对应于该读取晶体管的树结构之间，每个增益晶体管包括连接到对应的树结构的一个控制端。

12. 一种读和擦除存储装置的方法，该存储装置包括：多个位线，该多个位线形成在一衬底上，并排列在第一平面中并且沿第一方向延

伸；多个层，每一层具有一个铁电电容器存储器单元阵列，每一层平行于所述第一平面；多个树结构，该多个树结构排列成至少一行，每个树结构对应于一个位线并具有树干部分和多个树枝部分，树结构的每个树枝部分对应于一个层，每个树结构的树干部分从所述衬底伸出，并且树结构的每个树枝部分在对应于该树枝部分的层中从该树结构的树干部分上伸出；以及在每一层中排列的多个板线，该多个板线中的每一个在多个交叉区域与在对应的层中延伸的每个树结构的树枝部分重叠，铁电电容器存储器单元位于一个层中的每个交叉区域，

该方法包括如下步骤：

使一行中的每个树结构在第一预定电压附近电浮动；

将第二预定电压 V 施加在一选择的板线上；

检测所述行中每个树结构的电位变化；

对于所选板线和所述行中的树结构的交叉区域处的每个存储器单元，确定每个检测到的电位变化对应于 0 还是 1；

将所述第一预定电压施加在所述行中的每个树结构上；以及

将所述第一预定电压施加在所述选择的板线上。

13. 如权利要求 12 所述的方法，其特征在于，所述存储装置还包括：

多个单元层线，该多个单元层线沿第一方向延伸；

多个单元列线，该多个单元列线沿垂直于第一方向的方向延伸，并在多个第二交叉区域处与多个单元层线重叠；以及

多个板线驱动器晶体管，该多个板线驱动器晶体管排列成二维阵列，每一个相应的板线驱动器晶体管对应于并位于一个相应的第二交叉区域，在每个板线和与该板线对应的板线驱动器之间形成连接。

14. 一种将数据写入到先前已擦除的存储装置的方法，该存储装置包括多个位线，该多个位线形成在一衬底上，并排列在第一平面中并且沿第一方向延伸；多个层，每一层具有一个铁电电容器存储器单

元阵列，每一层平行于所述第一平面；多个树结构，该多个树结构排列成至少一行，每个树结构对应于一个位线并具有树干部分和多个树枝部分，树结构的每个树枝部分对应于一个层，每个树结构的树干部分从所述衬底伸出，并且树结构的每个树枝部分在对应于该树枝部分的层中从该树结构的树干部分上伸出；以及在每一层中排列的多个板线，且该多个板线中的每一个在多个交叉区域与在对应的层中延伸的每个树结构的树枝部分重叠，铁电电容器存储器单元位于一个层中的每个交叉区域，

该方法包括如下步骤：

将电压 $V/3$ 施加在一行树结构的每个树结构上；

将电压 $2V/3$ 施加在与所述一行树结构对应的每个板线上；

将电压 V 施加在所述一行树结构中预定数量的被选择的树结构上；

将 0 伏电压施加在一选择的板线上，其中数据“1”将被写到位于所述预定数量的被选择的树结构与所述选择的板线的交叉区域处的存储器单元中；

在将所述 0 伏电压施加到所述选择的板线预定的一段时间之后，将电压 $2V/3$ 施加在所述选择的板线上；

在将所述电压 V 施加到所述预定数量的被选择的树结构预定的一段时间之后，将电压 $V/3$ 施加在所述一行树结构中所述预定数量的被选择的树结构上；

将 0 伏电压施加在与所述一行树结构对应的每个板线上；以及
将 0 伏电压施加在所述一行树结构中的每个树结构上。

15. 如权利要求 14 所述的方法，其特征在于，所述存储装置还包括：

多个单元层线，该多个单元层线沿第一方向延伸；

多个单元列线，该多个单元列线沿垂直于第一方向的方向延伸，并在多个第二交叉区域处与多个单元层线重叠；以及

多个板线驱动器晶体管，该多个板线驱动器晶体管排列成二维阵列，每一个相应的板线驱动器晶体管对应于并位于一个相应的第二交叉区域处，每个板线和与该板线对应的板线驱动器之间形成连接。

16. 一种读出和擦除存储装置的方法，存储装置包括多个位线，该多个位线形成在一衬底上，并排列在第一平面上，并且沿第一方向延伸；三维存储器，该三维存储器具有多个层和多个树结构，每一层具有多个存储器单元，该树结构排列成至少一行，每个树结构具有树干部分和至少一个树枝部分，树结构的每个树枝部分对应于一个层，树结构的每个树枝部分在对应于该树枝部分的层中从该树结构的树干部分上伸出；在所述三维存储器的每一层中排列的多个板线，该多个板线的每一个在多个交叉区域与在相应层中延伸的每个树结构的树枝部分重叠，存储器单元位于一个层中的每个交叉区域上；多个板线驱动器晶体管，该多个板线驱动器晶体管形成在衬底上，并排列成二维阵列，每个板线驱动器晶体管对应于一个板线，

该方法包括如下步骤：

使一行中的每个树结构在第一预定电压附近电浮动；

将第二预定电压 V 施加在一选择的板线上；

检测所述行中每个树结构的电位变化；

对于所选板线和所述行中的树结构的交叉区域处的每个存储器单元，确定每个检测到的电位变化对应于 0 还是 1；

将所述第一预定电压施加在所述行中的每个树结构上；以及

将所述第一预定电压施加在所述选择的板线上。

17. 如权利要求 16 所述的方法，其特征在于，至少一个存储器单元是铁电存储器单元。

18. 如权利要求 16 所述的方法，其特征在于，该存储装置还包括：

多个单元层线, 该多个单元层线沿所述第一方向延伸; 以及
多个单元列线, 该多个单元列线沿垂直于所述第一方向的方向延伸, 并在多个第二交叉区域处与所述多个单元层线重叠; 以及
每一个相应的板线驱动器晶体管对应于并位于一个相应的第二交叉区域, 在每个板线和与该板线对应的板线驱动器之间形成连接。

19. 一种将数据写到先前擦除的存储装置的方法, 该存储装置包括多个位线, 该多个位线形成在一衬底上, 并排列在第一平面上, 并且沿第一方向延伸; 三维存储器, 该三维存储器具有多个层和多个树结构, 每一层具有多个存储器单元, 该树结构排列成至少一行, 每个树结构具有树干部分和至少一个树枝部分, 树结构的每个树枝部分对应于一个层, 树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出; 在所述三维存储器的每一层中排列的多个板线, 该多个板线的每一个在多个交叉区域与在相应层中延伸的每个树结构的树枝部分重叠, 存储器单元位于一个层中的每个交叉区域上; 多个板线驱动器晶体管, 该多个板线驱动器晶体管形成在所述衬底上, 并排列成二维阵列, 每个板线驱动器晶体管对应于一个板线,

该方法包括如下步骤:

将电压 $V/3$ 施加在一行树结构的每个树结构上;

将电压 $2V/3$ 施加在与所述一行树结构对应的每个板线上;

将电压 V 施加在所述一行树结构中预定数量的被选择的树结构上;

将 0 伏电压施加在一选择的板线上, 其中数据“1”将被写到位于所述预定数量的被选择的树结构与选择的板线的交叉区域处的存储器单元中;

在将所述 0 伏电压施加到所述选择的板线预定的一段时间之后, 将电压 $2V/3$ 施加在所述选择的板线上;

在将所述电压 V 施加到所述预定数量的被选择的树结构预定的一段时间之后, 将电压 $V/3$ 施加在所述一行树结构中所述预定数量的

被选择的树结构上;

将 0 伏电压施加在与所述一行树结构对应的每个板线上; 以及
将 0 伏电压施加在所述一行树结构中的每个树结构上。

20. 如权利要求 19 所述的方法, 其特征在于, 至少一个存储器单元是铁电存储器单元。

21. 如权利要求 19 所述的方法, 其特征在于, 该存储装置还包括:

多个单元层线, 该多个单元层线沿第一方向延伸; 以及
多个单元列线, 该多个单元列线沿垂直于第一方向的方向延伸,
并在多个第二交叉区域处与所述多个单元层线重叠; 以及
每一个相应的板线驱动器晶体管对应于并位于一个相应的第二交叉区域, 在每个板线和与该板线对应的板线驱动器之间形成连接。

固态存储器及其操作方法

技术领域

本发明涉及固态存储器。特别是，本发明涉及形成超低成本固态存储器的铁电电容器的三维（3-D）排列。

背景技术

图1表示当前的和2020年预计达到的潜在固态存储器技术的表，表中列出了估计缩小极限、估计性能特征和估计成本。表中给出了2002年的收入估计，或者对于仍在开发中的技术标记为DEV，对于研究阶段中的技术标记为RES。图1中表示的、影响固态存储器的每位的成本的重要因素包括：最小尺寸的可量测性、每单元的位数以及三维（3-D）集成的成本。

每种固态存储器技术指明的缩小极限是推测性的，主要基于物理限制，而不是当前的技术挑战。多年来处理单位面积硅的成本相当稳定，历年来比低成本3.5"硬盘驱动器（HDD）单位面积的成本高约10倍。据估计，使用300mm晶片将降低单位面积的成本约30%。然而，当前台式机HDD每位比DRAM和FLASH存储器便宜约100倍，因为HDD的面积密度比DRAM或FLASH存储器高约10倍。对于图1所示的、能低成本3-D集成的存储器技术，假定层的迭加直到单位面积的成本增大60%，从而在低成本和可制造性之间达到好的折衷。

最终有四种技术的成本比得上HDD，这其中使用多位存储或3-D集成，而这两种特征是HDD实际上不能实现的。这四种技术中的两个，PROBE存储器和MATRIX存储器，其性能特征可能低于HDD。其余的两种技术，双向通用存储器（OUM）和零晶体管铁电存储器（0T-FeRAM），可能具有比HDD高的性能，是HDD潜在的替代技术。即使高性能存储器的价格是HDD的两倍，但它仍得到广

泛应用，因为缓冲处理器不需要大量的 DRAM（或其它存储器）。

下面说明图 1 所示的各种存储器技术的缩小极限和相关成本估计。

SRAM

静态随机存取存储器（SRAM）单元是由 6 个 MOSFET 形成的，因此缩小问题与晶体管和导线的相同。最可以缩小的 MOSFET 设计，一般认为是双栅极晶体管。例如，参见 J. Wang 等人，“Does Source-to-Drain Tunneling Limit the Ultimate Scaling of MOSFETs?”，IEDM Tech. Digest (IEEE), p. 707 (2002)。因为栅极必须与沟道绝缘，绝缘的厚度必须大于 2nm，用以防止过大的栅极隧道 (tunneling) 电流，栅极之间必须离开 4nm 加沟道厚度。一般来说，沟道长度必须至少与栅-栅距离相等，以便于甚至当使用高 k 电介质绝缘时，晶体管恰当地关断。因此，最小可用的晶体管的长度在 5 到 6nm 的数量级上。

今天，使用能达到导线之间 130nm 半节距的平版印刷技术，栅极长度约 65nm，因此，在约 2020 年，最小的晶体管将适于 11nm 节点。例如，参见 <http://public.itrs.net>。对于 11nm 半节距节点，将需要非常先进的平版印刷技术。极限 UV (EUV) 平版印刷技术在波长为 11 或 13nm 时的最小半节距为： $F=k_1\lambda/NA$ 。这里 k_1 是一个常数，使用移相掩模时最小值为 0.25； λ 是波长；NA 是数值孔径，对于 EUV 平版印刷技术使用的反射光学装置，最大值为 0.55。例如，参见美国专利 No.5815310，发明者 D. M. Williamson，标题“High Numerical Aperture Ring Field Optical Reduction System”。虽然这些特定的参数表明，平版印刷技术的极限是 5nm 半节距，但达到这个极限是不太可能的。

如果考虑较为保守的参数值，即， $k_1=NA=0.4$ ，则极限是 11nm 节点。如果晶体管栅极长度必须比 6nm 长一些，则存储密度将不会被造成非常大的负面影响，因为与栅极长度相比，存储单元尺寸更多地

由导线节距确定。

SRAM 的最小存储单元尺寸在约 $50F^2$ 时大，因此 $F=11\text{nm}$ 时的最大密度为 0.1Tb/in^2 。可以预见的是，将来将继续使用 SRAM，应用于速度更为重要的用途中，因为在读和写两个方面，SRAM 是最快的执行存储器类型。

DRAM

动态随机存取存储器 (DRAM) 单元由一个 MOSFET 和一个电容器形成。由于漏电，存储在电容器上的电压必须每 0.1s 刷新。DRAM 具有非常大的缩小难题。例如，参见，J. A. Mandelman 等人，“Challenges and Future Directions for the Scaling of Dynamic Random-Access Memory (DRAM)”，IBM Journal of Research and Development, vol. 46, p. 187 (2002)。例如，DRAM 存储器的最严重缩小障碍之一来自于辐射的负面影响，其中单个的 α 粒子能产生约一百万个少数载流子，有时中止在电容器上。为了免除辐射的影响，电容器必须保持超过一百万个电子，对应于约 30fF 电容。例如，参见，A. F. Tasch 等人，“Memory Cell and Technology Issues for 64 and 256-Mbit One-Transistor Cell MOS DRAMs”，Proceedings of the IEEE, vol. 77, p. 374 (1989)。

在 DRAM 中，读取电容器的状态是破坏性的，因此随后必须重写入数据。使用传统的结构，电容器的状态是通过将电容器放电到一个位线(bit line)进行检测，该位线具有的电容远大于 30fF 。存储电容的进一步减小将使读出电压降低到不容易检测的水平。因为电容不容易缩小，因此目前电容器采用深入到硅片内的圆柱形，并且具有 50 到 1 的纵横比。这样大小的纵横比看来不能被增大很多，不久电容器需要在硅表面以下散开，例如，形成瓶子的形状。而且，将需要高 k 电介质，例如钛酸钡锶 (BST)，用于改进电容器的性能。然而，高 k 电介质具有高的漏电，因此需要比今天使用的电介质材料的厚度大的厚度。所以，高 k 电介质的厚度明显增大纳米级电容器的直径。在

这种缩小障碍下,将 DRAM 缩小到小于约 30nm,看起来是不可能的。

HDD

历史上,硬盘驱动器(HDD)的数据密度比 DRAM 或 FLASH 存储器大约 10 倍,因为位与数据磁道之间空隙很小或没有空隙。另外,沿磁道的位密度主要由磁场梯度和磁头飞行高度决定,而不是由最小的平版印刷尺寸决定。仅是磁道密度由平版印刷技术决定。但是,HDD 的面积密度优点可能由于超顺磁极限而减小,即,由于热能 $k_B T$ 开始达到磁各向异性能量 $K_u V$ 的水平,因此不再可能缩小磁盘上的磁晶粒尺寸。为了使写入的数据在几年的时间(在约 330K)保持热稳定,磁晶粒的最小尺寸限制在约 8nm。

虽然现在的材料具有的最小稳定尺寸约 3nm,但这些材料的矫顽力高于写磁头能产生的最大可达到的磁场。每位需要约 10-20 个晶粒用以防止过量的纠错减小数据密度,因为晶粒是随机取向的。例如,参见, R. Wood, "Recording Technologies for Terabit per Square Inch Systems", IEEE Transactions of Magnetism, vol. 38, p. 1711, 2002, 以及 M. Mallya 等人, "One Terabit per Square Inch Perpendicular Recording Conceptual Design", IEEE Transactions of Magnetism, vol. 38, p. 1719, 2002。

虽然传统记录的面积密度极限约为 1Tb/in^2 是基本可以接受的,但使用创新性的技术也是可以的,例如热协助的记录,其中写入时将磁盘加热,降低介质的矫顽力。然而,当热能 $k_B T$ 开始达到 Zeeman 能量 $2H_A M_s V$ 的水平时存在一个极限,这里 H_A 是施加的磁场,从而晶粒在写入时不恰当地取向。这个效应将晶粒尺寸限制在约 4nm,这比传统记录所用的晶粒尺寸小 2 倍。然而,没有公知的实有方法在磁盘上形成纳米级的加热点。

带图案的介质也已经被提出来,作为一种超越 1Tb/in^2 的方法。使用电子束模板将图案印在磁盘上,形成磁岛,从而使每位仅有一个晶粒。然而,电子束平版印刷技术的分辨率被二次电子曝光抗蚀剂所

限制,从而目前不可能超越 1Tb/in^2 。例如,参见, S. Yasin 等人, “Comparison of MIBK/IPA and Water/IPA as PMMA Developers for Electron Beam Nanolithography”, *Microelectronic Engineering*, vol. 61-62, p. 745, 2002。图 1 表示 HDD 的密度极限是 1Tb/in^2 , 这可以早在 2010 年实现。

FLASH

FLASH 存储器技术使用每一存储单元的单独浮动栅极晶体管。通常,当 HDD 太大时使用 FLASH 存储器。FLASH 存储器具有快速读取时间,较慢的写入时间,低的数据速率和低的耐用性。但是,FLASH 存储器的成本快速下降,预期随后几后内成为最快速增长的存储器类型,特别是对于 NAND 和 AND 类型的 FLASH 存储器结构。对于小容量,目前 FLASH 存储器的成本低于 HDD,因为基于固定成本,HDD 的成本不能比\$50 低很多。今天,FLASH 存储器的价格每年下降一半,因为其明显的缩小以及新近引入每单元两位的技术。在几年内预计可以达到每单元四位的技术。

虽然多位存储技术明显减少了估计成本,但多位存储通常导致较低的性能,因为读/写过程比较复杂。FLASH 存储器存储每单元多位的能力,是基于浮动栅极存储极大数量电子的能力,从而在很大的数量级上改变晶体管的电导。因此,拥有当今技术的 FLASH 存储器具有非常细小的粒度和低的噪音。

但是,FLASH 存储器具有非常严重的缩小难题,因为浮动栅极周围的电介质必须至少 8nm 厚,以便保持 10 年的充电。例如,参见, A. Fazio 等人, “ETOX Flash Memory Technology: Scaling and Integration Challenges”, *Intel Technology Journal*, vol. 6, p. 23, 2002。这个厚度比 SRAM 中使用的栅极电介质的厚度大 4 倍。而且,用于编程 FLASH 存储器的电压必须大于约 8 伏,这使得难以缩小用于提供编程电压的外围晶体管。

NOR FLASH 存储器并不被认为越过 65nm 节点是可以缩小的,

因为在此长度下在编程过程中产生与漏至势垒降低有关的问题。参见, A. Fazio 等人, 与上述相同。同样地, NAND FLASH 存储器, 由于相邻栅极之间的干扰, 低于 40nm 将具有非常严重的缩小难题, 特别是对于多位存储。例如, 参见, J. D. Lee 等人, “Effects of Floating Gate Interference on NAND Flash Memory Cell Operation”, IEEE Electron Device Letters, vol. 23, p. 264, 2002。

图 1 所示的、NAND FLASH 存储器的缩小设计基于如下假设: 进一步的改进将使用每单元四位技术使 NAND 或 NROM FLASH 存储器缩小到 30nm 半节距。低于这个尺寸, 每位的小数量电子、高压电路的尺寸以及充电存储区之间的干扰, 将对进一步缩小产生非常明显的障碍。

PROBE

PROBE 存储器技术主要是指由 IBM 提出的、用于数据存储的“Millipede”概念, 其中具有非常尖锐的硅尖端的 2-D 阵列硅悬臂从硅衬底上的薄聚合物膜上扫过, 并且将硅悬臂加热用于在聚合物中刺出孔。例如, 参见, P. Vettiger 等人, “The Millipede Nanotechnology Entering Data Storage”, IEEE Transactions of Nanotechnology, vol. 1, p. 39, 2002。当尖端向下进入孔时, 通过检测悬臂的冷却探测位。存取时间约与 HDD 等长, 因为整个芯片必须相对于尖端阵列运动到所需的存储器地址。数据速率与 HDD 相比相当低。即, 为了达到 4MB/s 的数据速率, 需要 160000 个悬臂阵列中的一行 400 个悬臂每个都工作在 100kHz 下。如果数据速率能够达到, 则 PROBE 存储器将比得上 FLASH 和 1”Microdrive。

但是, 读和写的功率耗散都非常高, 因为微米级加热器在高达 400℃ 温度下使用时, 每个散热约 5mW。因此, 4MB/s 数据速率将需要 2W 的散热, 从而使 PROBE 存储器的能量效率比 Microdrive 小两倍, 比 FLASH 存储器小至少 20 倍。PROBE 存储器本质上是内在的 2-D, 并且由于噪音和其它问题不可能达到多位存储, 但在理论上可

以存在具有不同玻璃态转变温度的三层聚合物，利用施加的温度改变深度并且每个刻痕存储 2 位。

迄今为止，单位面积的估计成本是不确定的，但可能与其它固态存储器同样的贵，因为在一个精确的三明治排列中使用了两块硅片，并需要相当多的外围控制电路。对准和热漂移是主要的问题，并且可能需要若干热传感器和补偿加热器，用以保持硅片顶部和底部等温和彼此在一度的范围内。尖端磨损和聚合物的耐久性是其它的主要问题。

但是，PROBE 存储器的主要优点在于，位尺寸是由尖端尖锐度而不是平版印刷技术决定的。而且，因为聚合物是非晶的，所以不会出现晶粒尺寸的限制。在这一方面，IBM 已经证明，使用硅尖端的面积密度为 1Tb/in^2 。尖端的技术改进可以使密度明显提高成为可能。已经用纳米管尖端证明了 $>1\text{Tb/in}^2$ 下的局部氧化存储。例如，参见，E. B. Cooper 等人，“Terabit-Per-Square-Inch Data Storage with the Atomic Force Microscope”，Applied Physics Letters, vol. 75, p. 3566, 1999。如果能够开发形成超尖锐耐用尖端的制造方法，则可能达到 10Tb/in^2 。例如，参见，E. Yenilmez 等人，“Wafer Scale Production of Carbon Nanotube Scanning Probe Tips for Atomic Force Microscopy”，Applied Physics Letters, vol. 80, p. 2225, 2002。

OUM

另一个新兴的存储器技术是公知的双向通用存储器（OUM）。例如，参见，M. Gill 等人，“Ovonic Unified Memory – a High Performance Nonvolatile Memory Technology for Stand-Alone Memory and Embedded Applications”，ISSCC Tech. Digest (IEEE), p. 202, 2002。OUM 在每个存储单元中使用一个可编程电阻和一个二极管（或晶体管）。一个相变电阻的高和低电阻状态（非晶态与晶态）用于存储位。OUM 写是将大电流通过电阻，使材料达到结晶温度或熔化温度（约 400 到 600℃）而实现的。快速冷却熔化的材料导致生成非晶（高电阻）相。写晶体相需要较长的时间进行形核与长大（约

50ns)，并导致电阻值比非晶相低约 100 倍。

通过应用程序脉冲期间控制电流（以及，因此，温度），可以设定电阻的中间值，从而使用 OUM 可以进行多位存储，但可能比 FLASH 存储器更加困难，因为相变电阻器不能像 FLASH 存储器中的晶体管一样直接存取。当使用二极管防止多重电流通路通过存储单元时，不可能进行直接存取。串联二极管有效地将电阻变化从 100 倍减小到仅为约 2 倍。图 1 表示可以用 OUM 执行每单元两位技术。

OUM 是可以缩小的，因为电阻是由非晶 - 晶体边界的位置决定的，并且具有原子级的颗粒度。虽然相变材料必须加热到非常高的温度，但小的程序体积导致合理的功率耗散。OUM 具有的缩小问题在于，单位面积的功率和电流密度在固定的最高温度下与尺寸变化方向相反，因为温度梯度的变化与尺寸相反。可以预期的是，甚至具有优异的隔热条件，将宽 10nm 的体积加热到 600℃所需的电流密度需要超过 10^7A/cm^2 。

公知的是，纳米级铜线具有电迁移时间，在此电流密度下已经几年会失败，在 10^8A/cm^2 下将很快损坏。例如，参见，G. Steinlesberger 等人，“Copper Damascene Interconnects for the 65nm Technology Node: A First Look at the Reliability Properties”，IEEE Interconnect Technology Conference Proceedings, p. 265, 2002。电迁移的问题可能通过使用高纵横比的互连可以避免，但装置附近的局部电迁移仍是一个明显的问题。

与 OUM 有关的另一个问题是，需要大晶体管驱动大的电流密度，但短沟道长度有助于减轻这个潜在的问题。对大电流密度的需要，以及为防止存取存储单元时的多重电流通路而对每个存储单元需要一个二极管，使 OUM 的 3-D 集成相当困难。多晶二极管在 10^6A/cm^2 的电流密度下很快损坏。例如，参见，O. -H. Kim 等人，“Effects of High-Current Pulses on Polycrystalline Silicon Diode with N-Type Region Heavily Doped with both Boron and Phosphorus”，Journal of Applied Physics, vol. 53, p. 5359, 1982。多晶硅二极管仅在约 10^5A/cm^2

的电流密度以下是可靠的。例如，参见，美国专利 No.6429449，发明者 F. Gonzalez 等人，标题为“Three-Dimensional Container Diode for Use with Multi-State Materials in a Non-Volatile Memory Cell”。

如果使用多晶硅，则需要二极管的表面积大于电阻器的面积 100 倍。另外，需要大量处理步骤制作高的圆柱形二极管。例如，参见，F. Gonzalez 等人的美国专利 No.6429449。很高的二极管意味着二极管和层间的过孔的形状比很高。即使平面二极管具有非常大的晶粒尺寸，在需要写 OUM 存储器的电流密度下，单一的晶界或晶内缺陷能造成装置损坏。

如果必须使用单晶硅，则用于制作硅绝缘体 (SOI) 的晶片结合工艺，可以用于形成多层的二极管。例如，参见，K. W. Guarini 等人，“Electrical Integrity of State-of-the-Art 0.13 μm SOI CMOS Devices and Circuits Transferred for Three-Dimensional (3D) Integrated Circuit (IC) Fabrication”，IEDM Tech. Digest (IEEE), p. 943, 2002。为了保持低的成本，有优势的是，在重新使用主晶片(host wafer)的同时结合很薄的一层硅。适合于使用单晶硅制作 3-D IC 的一个工艺基于 Canon 开发的 ELTRAN 方法。例如，参见，K. Sakagushi 等人，“Current Progress in Epitaxial Layer Transfer (ELTRAN)”，IEICE Trans. Electron., vol. E80C, p. 378, 1997。根据 ELTRAN 方法，将主晶片腐蚀形成多孔层，在表面上是非常小的孔，而向下较深处是大的空洞。接着，外延硅跨过孔形成新的、非常高质量的表面层，这层表面层可以经受形成二极管或晶体管所需的高温 ($> 600^{\circ}\text{C}$) 处理。

随后的步骤可以在较低的温度 ($< 600^{\circ}\text{C}$) 下进行，以便防止损坏 3-D 芯片。外延层结合在 3-D 芯片上，并沿弱的多孔层裂开。另外，外延层结合在透明的转移晶片上，裂开，接着转移到芯片上。腐蚀和化学机械抛光 (CMP) 用于重新修整两个裂开的表面，并且重新使用主晶片。在加上下一层硅层之前，可以在 3-D 芯片上执行低温处理，例如制作相变电阻。OUM 存储器与基于场可编程电阻的其它类似方案相比，其优点在于电流仅沿一个方向通过电阻，因此可以使用二极

管而不是晶体管用于存取，从而减小存储单元的尺寸以及每个硅层的处理步骤数量。即使单晶硅的成本高，与每个单元需要单晶 MOSFET 的技术相比，3-D 集成也可以更加减小 OUM 的成本。

粗略估计的与 OUM 有关的成本包括将 300mm 晶片加工成芯片，生产 70mm^2 的 1000 套模具的约\$5000，每套花费约\$5。EUV 平版印刷技术预计每个掩模步骤花费 \$40。例如，参见，<http://www.sematech.org/public/resources/litho/coo/index.htm>。假设每层 5 个掩模和 3 层，则在晶片的估计成本上加了\$600。今天的 SOI 晶片非常贵，每个的成本超过\$1000，在接下来几年中，预计下降到\$700。如果成本能继续下降到约\$600，则预计 3 个额外层的硅将花费每个 3-D 晶片约\$1800。如果为另外的加工步骤、掩模成本和测试成本预算另外的\$600，则总成本增加约 60%，但存储器密度增大 4 倍，这里假定底层也具有存储单元。根据图 1，当 (1) 不贵的 SOI 技术(用今天的标准)可以用于 3-D 集成，(2) 每个单元可以存储多位，以及 (3) 平版印刷技术可以向下扩展到 10nm，OUM 可以最终达到的估计成本接近于 HDD 的估计成本。

MTJ-MRAM 和 3D-MRAM

磁随机存取存储器 (MRAM) 的每个存储单元使用一个磁隧道结和一个二极管 (或 MOSFET)。MTJ 的高和低电阻状态 (即，平行与反平行磁电极) 用于存储位。例如，参见，K. Inomata, “Present and Future of Magnetic RAM Technology”, IEICE. Trans. Electron., vol. E84-C, p. 740, 2001。实现磁隧道结 MRAM (MTJ-MRAM) 的写是将电流通过字和位线产生磁场，磁场足够强，能开关字和位线交叉点处的“软”或“空”磁电极。

由于 MTJ 磁滞回线的方形，在 MRAM 中每单元存储多于一位将是困难的。克服这一难题的一个可能性是将 3 个 MTJ 串联，其中每个 MTJ 具有不同的阈值，用于存储两位。将 3 个装置串联用于存储两倍的信息的复杂性和成本，需要进一步考虑。基于这个原因，图

1 表示 MRAM 的每个单元只能有一位。

与 MTJ-MRAM 相关的一个明显障碍是产生写磁场的电流密度随导线变小而难以缩小。差的缩小性与为避免超顺磁性效应而必需增大软电极的矫顽力有关。例如，为了缩小到 40nm 节点，立方磁位 (magnetic bit) 需要一个各向异性性能 $K_u = 50k_B T/V = 3.5 \times 10^4 \text{ erg/cm}^3$ 。假设一个 1000 emu/cm^3 的磁化强度，需要各向异性磁场为 $H_k = 2K_u/M = 700 \text{ Oe}$ 。使用反方向磁化的 Stoner-Wohlfarth 模型， H_k 可以约等于快速切换所需的磁场。对于为了在离导线中心 40nm 处产生 700Oe 磁场的 $40\text{nm} \times 40\text{nm}$ 位(bit)和字导线(word wire) (与磁轴成 45 度角)，电流密度需要至少是 $j = (5/2^{1/2})H_k/d = 6 \times 10^7 \text{ A/cm}^2$ 。如上所述，铜导线仅在 $1 \times 10^7 \text{ A/cm}^2$ 下几年后就损坏，因此甚至将 MTJ-MRAM 缩小到 40nm 也需要铜导线的电迁移电阻有大的改进。因此，与更可缩小技术相比，MRAM 的成本将保持相当高水平。

MRAM 对于低成本有一个吸引人的优点：大的电流不需要通过存储单元，因为写是利用磁场完成的。在读操作中，需要二极管防止交点结构中的多个电流通路，但二极管可以由薄膜非晶硅制成。例如，参见，P. P. Freitas 等人，“Spin Dependent Tunnel Junctions for Memory and Read-Head Applications”，IEEE Transactions of Magnetism, vol. 36, p. 2796, 2000。尽管薄膜非晶硅二极管比单晶硅二极管便宜很多，但通过非晶硅的最大电流密度仅为 10^1 A/cm^2 。因此，薄膜非晶硅二极管的非常高的电阻导致长的 RC 时间常数和非常低性能。

与 MTJ-MRAM 相关的成本估计，具有 3-D 集成可以急剧下降。例如，每层 5 个掩模和 12 个层，平版印刷成本将使每个晶片增加 \$2400。如果其它花费需要额外的 \$600，则成本增加 60%，但密度增大 12 倍。然而，尽管有好的 3-D 潜能，但 MRAM 具有差的缩小性以及不能表现出与其它存储方法竞争。

MATRIX

MATRIX 存储单元具有一个反熔丝(anti-fuse)和一个非晶硅二极管。例如,参见, T. H. Lee, “A Vertical Leap for Microchips”, *Scientific American*, vol. 286, p.52, 2002。MATRIX 存储器应具有与 3-D MRAM 类似的 3-D 集成成本,并具有更加可以缩小的优点。MATRIX 存储器,目前是由 Matrix Semiconductor 公司开发的,是 3-D 固态存储器的最先进概念,具有接近生产的芯片以及认为是用于商业应用。MATRIX 存储器的主要优点是:(1)存储器是一次写的,因为它是基于毁灭性地破坏绝缘体,以及(2)存储器具有非常低的性能,因为使用了非晶硅二极管。

1T-FeRAM

1T-FeRAM 存储器单元包括一个 MOSFET 和一个铁电电容器,具有与图 2 所示的典型磁滞回线 200 类似的磁滞回线。除了电容器的电介质被铁电材料取代以及使用了略微不同的结构以外,1T-FeRAM 存储器非常类似于 DRAM。例如,参见, O. Auciello 等人, “The Physics of Ferroelectric Memories”, *Physics Today*, vol. 51, p. 22, 1998。使用铁电材料代替电介质材料具有几个优点,如(1)电容器是非易失性并且不需要更新,(2)电容器在相同大小的空间内存储约 100 倍多的充电,以及(3)电容器是辐射硬化的,因为铁电材料的极化不易被辐射影响。

当检测方法更换,从而检测电流或使用晶粒单元,具有辐射硬化的性质,允许与 1T-FeRAM 存储器单元有关的充电极限减小到一百万个电子以下。例如,参见, D. Takashima, “Overview and Trend of Chain FeRAM Architecture”, *IeICE. Trans. Electron.*, vol. E84-C, p. 747, 2001。因此,1T-FeRAM 没有遇到与 DRAM 存储器相关的缩小问题。即使铁电材料是多晶的,它也能缩小到 10nm。在这一方面,已经计算出小到 2.5nm 的 $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)铁电晶粒是热稳定的。例如,参见, T. Yamamoto, “Calculated Size Dependence of Ferroelectric Properties in PbZrO_3 - PbTiO_3 System”, *Integrated Ferroelectrics*, vol.

12, p. 161, 1996。另外,已经生长出来薄到 4nm 的铁电 PZT 膜。例如,参见, T. Tybell 等人, “Ferroelectricity in Thin Perovskite Films”, *Applied Physics Letters*, vol. 75, p. 856, 1999。并且,已经形成薄到 13nm 低漏多晶铁电电容器。例如,参见, T. Kijima 等人“Si-Substituted Ultrathin Ferroelectric Films”, *Jpn. J. Appl. Phys.*, Vol. 41, p. L716, 2002。最近,小至 6nm 的横向铁电畴已经使用扫描探针切换了。例如,参见, Y. Cho 等人, “Tbit/inch² Ferroelectric Data Storage Based on Scanning Nonlinear Dielectric Microscopy”, *Applied Physics Letters*, vol. 81, p. 4401, 2002。

如果晶粒数量或畴壁钉扎点在一个单独的电容器中足够大,就可以在单元存储两个或多个位,但这应该是困难的,因为单元的中间状态在不破坏这种状态的情况下是不能确认的。基于这个原因,图 1 表示 1T 和 0T-FeRAM 能缩小到 10nm,但将被限制在每个单元仅一位。

这样,1T-FeRAM 看起来具有好的机会取代 DRAM,因为它具有相似的性能以及更好的可缩小性。对更高介电常数的需求,已经使 DRAM 行业广泛地研究钙钛矿材料。

所需的就是高性能、非易失固态存储器,它能较好地缩小以及适于低成本 3-D 集成。

发明内容

本发明提供一种高性能、非易失固态存储器,它能较好地缩小以及适于低成本 3-D 集成。

本发明的第一实施例提供一种存储装置,它包括多个位线(bit line)、多个层、多个树结构以及排列在每一个层中的多个板线(plate line)。多个位线形成在衬底上,并基本排列在第一平面中并且基本沿第一方向延伸。多个层中的每一层具有一个铁电电容器存储器单元阵列。多个树结构排列成至少一行树结构并且至少一个树结构对应于每个位线。每个树结构具有树干部分和多个树枝部分。树结构的每个树

枝部分对应于一个层。每个树结构的树干部分从衬底伸出，树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出。至少一个树结构的树干部分包括多个通孔(via)，彼此排成直线。另外，至少一个树结构的树干部分包括多个通孔，并且至少一个通孔与至少一个其它通孔偏移。多个板线的每一个沿基本垂直于第一方向的方向延伸，并在对应的层中在多个交叉区域与每个树结构的树枝部分重叠。铁电电容器存储器单元位于一个层中的每个交叉区域。另外，多个板线中的每一个沿基本垂直于每个树结构的树枝部分的延伸方向的一个方向排列。

多个单元层线基本沿第一方向延伸。多个单元列线沿基本垂直于第一方向的方向延伸，并在多个第二交叉区域与多个单元层线重叠。多个板线驱动器晶体管排列成二维阵列。每一个板线驱动器晶体管对应于并位于相应的第二交叉区域。每个板线和与板线对应的板线驱动器之间形成连接。每个板线驱动器晶体管控制端，与每个板线驱动器晶体管对应的单元列线连接到板线驱动器晶体管的控制端。另外，与每个板线驱动器晶体管对应的单元层线连接到板线驱动器晶体管的控制端。

在本发明第一实施例的另外结构中，存储装置包括多个存取线和多个存取晶体管。多个存取线形成在衬底上。存取线沿基本垂直于第一方向的方向延伸，并在多个第二交叉区域重叠在位线上。每个第二交叉区域对应于一个树结构，每个存取线对应于一个树结构行。每个存取晶体管对应于并位于一个相应的第二交叉区域。每个存取晶体管导电地布置在树结构与对应于第二交叉区域的位线之间。每个存取晶体管具有控制端，并且进一步连接到对应于第二交叉区域的存取线上。

在本发明的第一实施例的另一种可能结构中，每个存取线是写入线，每个存取晶体管是写入晶体管。因此，存储装置还包括多个读取晶体管、多个读取线和多个增益晶体管。多个读取晶体管的每一个导电地布置在树结构和对应于树结构的位线之间。多个读取线形成在衬底上，并沿基本垂直于第一方向的方向延伸，从而在多个第三交叉

区域重叠位线。每个第三交叉区域对应于一个树结构，每个读取线对应于一个树结构行。每个读取晶体管对应于并位于一个相应的第三交叉区域上。每个读取晶体管还导电地布置在树结构和对应于第三交叉区域的位线之间。每个读取晶体管具有控制端并连接到与第三交叉区域对应的读取线。每个增益晶体管对应于一个读取晶体管，并布置在读取晶体管与对应于读取晶体管的树结构之间。每个增益晶体管包括控制端，控制端连接到相应的树结构。

本发明的第二实施例提供一种存储装置，存储装置具有多个位线、有多个层的三维存储器、多个板线以及多个板线驱动器晶体管。每层三维存储器包括一个存储器单元阵列。每个存储器单元包括铁电电容器。多个位线形成在衬底上，基本排列在第一平面上，并且基本沿第一方向延伸。多个板线排列在三维存储器的每一层。多个板线驱动器晶体管形成在衬底上，并排列成二维阵列。每个板线驱动器晶体管对应于一个板线。多个单元层线基本沿第一方向延伸。多个单元列线沿基本垂直于第一方向的方向延伸，并在多个第二交叉区域重叠多个单元层线。每个板线驱动器晶体管对应于并位于一个相应的第二交叉区域。在每个板线与对应于板线的板线驱动器之间形成连接。

本发明的第三实施例提供一种读和擦除存储装置的方法，存储装置包括多个位线、多个层、多个树结构以及排列在每一个层中的多个板线。多个位线形成在衬底上，并基本排列在第一平面中并且基本沿第一方向延伸。多个层中的每一层具有一个铁电电容器存储器单元阵列。多个树结构排列成至少一行树结构并且至少一个树结构对应于每个位线。每个树结构具有树干部分和多个树枝部分。树结构的每个树枝部分对应于一个层。每个树结构的树干部分从衬底伸出，树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出。至少一个树结构的树干部分包括多个通孔，彼此排成直线。另外，至少一个树结构的树干部分包括多个通孔，并且至少一个通孔与至少一个其它通孔偏移。多个板线的每一个沿基本垂直于第一方向的方向延伸，并在对应的层中在多个交叉区域与每个树结构的树枝部分重叠。

铁电电容器存储器单元位于一个层中的每个交叉区域。另外，多个板线中的每一个沿基本垂直于每个树结构的树枝部分的延伸方向的一个方向排列。根据本发明，一行中的每个树结构被允许在第一预定电压附近电浮动。第二预定电压 V 施加在选择的板线上。检测此行中每个树结构的电位变化，并确定每个检测到的电位变化是否对应于所选板线和行中的树结构交叉处的每个存储器单元的 0 或 1。第一预定电压施加在行中的每个树结构上；以及第一预定电压施加在选择的板线上。

本发明的第四实施例提供一种读、擦除和重写存储装置的方法，存储装置包括多个位线、多个层、多个树结构以及排列在每一个层中的多个板线。多个位线形成在衬底上，并基本排列在第一平面中并且基本沿第一方向延伸。多个层中的每一层具有一个铁电电容器存储器单元阵列。多个树结构排列成至少一行树结构并且至少一个树结构对应于每个位线。每个树结构具有树干部分和多个树枝部分。树结构的每个树枝部分对应于一个层。每个树结构的树干部分从衬底伸出，树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出。至少一个树结构的树干部分包括多个通孔，彼此排成直线。另外，至少一个树结构的树干部分包括多个通孔，并且至少一个通孔与至少一个其它通孔偏移。多个板线的每一个沿基本垂直于第一方向的方向延伸，并在对应的层中在多个交叉区域与每个树结构的树枝部分重叠。铁电电容器存储器单元位于一个层中的每个交叉区域。另外，多个板线中的每一个沿基本垂直于每个树结构的树枝部分的延伸方向的一个方向排列。根据本发明，一行中的每个树结构被允许在第一预定电压附近电浮动。第二预定电压 V 施加在选择的板线上。检测此行中每个树结构的电位变化，并确定每个检测到的电位变化是否对应于所选板线和行中的树结构交叉处的每个存储器单元的 0 或 1。第一预定电压施加在行中的每个树结构上；以及第一预定电压施加在选择的板线上。根据本发明，电压 $V/3$ 施加在一行树结构的每个树结构上。电压 $2V/3$ 施加在一行树结构的每个板线上。接着，电压 V 施加在一行树结构中预定数量的被选择的树结构上。电压 0 施加在选择的板线

上,其中数据“1”将被写到预定数量的选择的存储器单元中,这些存储器单元是在第一预定数量的树结构与选择的板线的交叉处。电压 $2V/3$ 施加在选择的板线上并且电压 $V/3$ 施加在一行树结构中预定数量的被选择的树结构上。电压 0 施加在一行树结构中的每个板线上,电压 0 施加在一行树结构中的每个树结构上。

本发明的第五实施例提供一种读和擦除存储装置的方法。存储装置包括多个位线、三维存储器、多个板线以及多个板线驱动器晶体管。多个位线形成在衬底上,基本排列在第一平面上,并且基本沿第一方向延伸。三维存储器包括多个层和多个树结构。每层具有多个存储器单元,树结构排列成至少一行。每个树结构具有树干部分和至少一个树枝部分。树结构的每个树枝部分对应于一个层,树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出。多个板线排列在三维存储器的每一层。多个板线的每一个在多个交叉区域重叠在相应层中延伸的每个树结构的树枝部分。存储器单元,例如铁电存储器单元,位于一个层中的每个交叉区域上。多个板线驱动器晶体管形成在衬底上,并排列成二维阵列。每个板线驱动器晶体管对应于一个板线。多个单元层线基本沿第一方向延伸。多个单元列线沿基本垂直于第一方向的方向延伸,并在多个第二交叉区域重叠多个单元层线。每个板线驱动器晶体管对应于并位于一个相应的第二交叉区域。在每个板线与对应于板线的板线驱动器之间形成连接。根据本发明,一行中的每个树结构被允许在第一预定电压附近电浮动。第二预定电压 V 施加在选择的板线上。检测此行中每个树结构的电位变化,并确定每个检测到的电位变化是否对应于所选板线和行中的树结构交叉处的每个存储器单元的 0 或 1。第一预定电压施加在行中的每个树结构上以及施加在选择的板线上。

本发明的第六实施例提供一种将数据写到先前擦除的存储装置的方法。存储装置包括多个位线、三维存储器、多个板线以及多个板线驱动器晶体管。多个位线形成在衬底上,基本排列在第一平面上,并且基本沿第一方向延伸。三维存储器包括多个层和多个树结构。每

层具有多个存储器单元，树结构排列成至少一行。每个树结构具有树干部分和至少一个树枝部分。树结构的每个树枝部分对应于一个层，树结构的每个树枝部分在对应于树枝部分的层中从树结构的树干部分上伸出。多个板线排列在三维存储器的每一层。多个板线的每一个在多个交叉区域重叠在相应层中延伸的每个树结构的树枝部分。存储器单元，例如铁电存储器单元，位于一个层中的每个交叉区域上。多个板线驱动器晶体管形成在衬底上，并排列成二维阵列。每个板线驱动器晶体管对应于一个板线。多个单元层线基本沿第一方向延伸。多个单元列线沿基本垂直于第一方向的方向延伸，并在多个第二交叉区域重叠多个单元层线。每个板线驱动器晶体管对应于并位于一个相应的第二交叉区域。在每个板线与对应于板线的板线驱动器之间形成连接。根据本发明，电压 $V/3$ 施加在一行树结构的每个树结构上。电压 $2V/3$ 施加在一行树结构的每个板线上。电压 V 施加在一行树结构中预定数量的被选择的树结构上。电压 0 施加在选择的板线上，其中数据“1”将被写到预定数量的选择的存储器单元中，这些存储器单元是在第一预定数量的树结构与选择的板线的交叉处。电压 $2V/3$ 施加在选择的板线上。电压 $V/3$ 施加在一行树结构中预定数量的被选择的树结构上。电压 0 施加在一行树结构中的每个板线上，并施加在一行树结构中的每个树结构上。

附图说明

本发明用附图中的实施例进行说明，但本发明不限于附图。附图中的相似的参考数字表示相似的要素，在附图中：

图 1 是表示当前的和 2020 年预计达到的潜在固态存储器技术中，在估计缩小极限下的估计性能特征和估计成本的表；

图 2 表示说明 FeRAM 基存储器单元的特性的代表性磁滞回线；

图 3 表示根据本发明的典型 3-D 0T-FeRAM 存储器，沿图 4 中线 B-B 看时的剖视图；

图 4 表示图 3 的典型 3-D 0T-FeRAM 存储器，沿图 3 中线 A-

A 看时的剖视图;

图 5 表示图 3 和 4 中所示典型存储器的整体芯片布局;

图 6 表示第一读操作的时序图, 用于读根据本发明的 3-D 0T-FeRAM 存储器的存储器单元;

图 7 表示第二、另外的读操作的时序图, 用于读根据本发明的 3-D 0T-FeRAM 存储器的存储器单元; 以及

图 8 表示根据本发明的第二典型 3-D 0T-FeRAM 存储器的剖视图。

具体实施方式

本发明涉及一种超低成本、可缩小的、非易失固态存储器, 它具有非常高的密度、高性能, 以及非常低的功率消耗。特别是, 本发明涉及一种 0T-FeRAM 存储器单元的三维 (3-D) 排列, 其中每个存储器单元包括铁电电容器。存储器单元排列成树状结构, 其中交叉点存取通过树的底部以及通过缠绕一行树的板线。树具有固定的传感增益。单元干扰由一个树行内的顺序存取来管理。多层电容器形成在单独有源硅层的顶部, 硅层含有存取晶体管、增益晶体管、传感电路以及二维阵列板线驱动器。结构的设计使得具有最低可能的制造成本, 其中存储层仅包括交叉导线之间的铁电材料。由于特殊的排列, 相同的三个掩模可以重复地用于限定所有的存储层。

0T-FeRAM 的 3-D 集成是容易达到的, 因为存储器单元的存储器层是由交叉导线之间的铁电材料形成的。例如, 参见, T. Nishihara 等人, “A Quasi-Matrix Ferroelectric Memory for Future Silicon Storage”, IEEE Journal of Solid-State Circuits, vol. 37, p. 1479, 2002。这种结构不比使用微处理器执行的传统后端加工(back-end processing)复杂, 传统方法中通常在微处理器的晶体管顶部有 8 层布线。并且, 铁电材料可以在低于 600°C 的温度下生长, 使铁电材料适合于后端加工。

T. Nishihara 等人 (与上述文献相同) 先前已经提出了基于

0T-FeRAM 的 3-D 存储器。如其所述,每层存储器通过单独的通孔连接到底下的硅层,导致大量的空间被通孔占据。这样,数据密度减小了,同时成本增大了。单独的通孔也增大掩模的复杂性,需要不同掩模形成每一层中的公共电极和通孔,从而大大地增大了掩模成本。层选择晶体管也用于单独地存取每一层。晶体管占据有价值的硅位置,并且使可在没有干扰问题的情况下单独存取的最小扇区尺寸增大。当被干扰连接的存储单元数量大时,需要写入的能量变大,因为必须在写入过程中为更多的板线提供能量。

Nishihara 等人的存储装置中的板线连接在相同列的不同层之间,从而使读取的过程复杂化。并且,因为其中没有给出时序图,因此不清楚数据如何被读出的。一个可能的方法是将板线变高并通过导通每一个单元晶体管顺序地读出与板线连接的每一位(比特)。除了复杂化以外,在读出的过程中出现串扰和干扰的危险,因为一个层上的公共电极上的电压可以通过电容器耦合到连接不同层的板线上。

每层 0T-FeRAM 存储器可以仅用三个掩模进行制造。如果使用的 EUV 平版印刷技术具有的估计成本为每个晶片每个掩模步骤\$40,则 16 层将在每个晶片\$5000 的价格上增加估计成本\$1920。这可能是主要的成本增加。如果为其它的处理和测试成本增加另外的\$1080,则芯片的估计成本增加 60%,但存储器密度增大 16 倍。这使每位(比特)的成本比 2-D 存储器结构低 10 倍。

0T-FeRAM 存储器单元是图 1 中所有固态存储方法中最简单的,每个单元仅有一个单独的电容器。电流在写或读时不是通过存储单元,因此存储单元中不需要其它电路元件用于控制电流。铁电容器的简单交叉开关(cross-bar)理念在早期的 FeRAM 中是普遍的,但由于干扰问题而被抛弃了。例如,参见, O. Auciello 等人,与上述文献相同。在电压施加到位线和字线上存取交叉点时出现干扰。较小的电压可以是非有意地施加在未选择的电容器上,从而导致未选择的单元通过小的极化线,如图 2 中的 201 所示,未能极化。使用具有较好磁滞回线垂直度的改进铁电材料,可以减小这个问题。MRAM 写是通过半

选方案完成的，其中一半磁场由位线提供，一半来自于字线。半选单元在 MRAM 中通常不切换，因为磁性材料具有非常方形的磁滞回线。

减小干扰的另一种方式是限制被干扰的存储单元数量，并在存储单元被干扰时重写存储单元。实际上，数据被顺序地读和重写，直到读出已经被干扰连接的所有数据。与 DRAM 相似，FeRAM 读取操作是破坏性的，在任何情况下必须重写被读取的数据。例如，参见，T. Nishihara 等人，“A Quasi-Matrix Ferroelectric Memory for Future Silicon Storage”，IEEE Journal of Solid-State Circuits, vol. 37, p. 1479, 2002; 以及 T. Nishihara 的美国专利 No. 6301145, 标题为“Ferroelectric Memory and Method for Accessing Same”。

以“扇区”的形式读数据，字节存取是不可能的，这与 HDD 和 FLASH 存储器相似。当起始单元一直相同时，干扰脉冲的最大数量被限制为连接在一起的存储单元数量，或者当起始单元是随机的（较快地存取特殊字节的数据）时，被限制为连接单元数量的约两倍。

图 3 表示根据本发明的代表性 3-D 0T-FeRAM 存储器 300，沿图 4 中所示的线 B-B 看时的剖视图。特别是，图 3 是表示一行树末端的细节的剖视图。图 4 表示代表性 3-D 0T-FeRAM 存储器 300 沿图 3 中线 A-A 的剖视图。特别是，图 4 是存储器 300 的剖视图，表示板线细节。

存储器 300 包括多个存储器单元 301，每个单元由单一的电容器形成并且排列成树状结构，这里称为“存储器树”。为了简化图 3 和 4，没有表示所有的存储器单元 301。

图 3 表示出两个存储器树 302a 和 302b。存储器树 302a 和 302b 彼此排列成镜像，从而增益晶体管 304a 和 304b 可以共用公共电压线 303。增益晶体管 304a 和 304b 和读取晶体管 311a 和 311b 用于将树结构上的电压切换成位线上的电流，用于改善的检测灵敏度。从图 3 可以很好地看出，每个存储器树包括一个基础或“树干”部分 305 以及多个“树枝”部分 306，树干部分是由诸如铜的导电材料制成的，树枝部分也是由诸如铜的导电材料制成的。每个树枝部分 306 形成一层存储器 300。存储器单元

301 沿树枝 306 排列。如图 3 所示, 树干部分 305 是层之间的一系列通孔, 用于连接到多个层中的树枝部分 306。只要多个层中的存储器单元 301 由导电通路连接, 在不改变本发明操作的条件下, 通孔可以在不同层中彼此相对移动。因此, 树可以多种可能的形状。从图 4 可以很好地看出, 板线 307 形成后穿在树枝 306 之间。每个板线 307 连接到一行存储器单元 301, 从而形成 3-D 交叉点阵列。对特定存储器单元 301 的交叉点存取是通过树干部分 305 和树枝部分 306 以及对应于存储器单元的板线 307。通孔 308 将一行树的每个板线连接到 2-D 阵列的板线驱动器晶体管 309。

尽管图 3 和 4 中表示了仅有四层, 通过简单地在树的顶部添加每一个额外的层, 在一个树结构上可以增加至少 16 层。每个额外的层增大有效存储密度。

多层存储单元形成在单独有源硅层 310 顶部, 其中含有增益晶体管 304a 和 304b、读取晶体管 311a 和 311b、写入晶体管 312a 和 312b 以及 2-D 阵列的板线驱动器 309。通过利用导电树枝 314 将树的树干部分 305 连接到增益 MOSFET 304 的栅极 313, 每个树 302a 和 302b 具有内置的敏感增益。存储器树电位的测量是通过在读操作过程中导通读取晶体管 311 并测量与多行树连接的位线 313a 上流动的电流。写入晶体管 312 在用于写操作过程中在存储器树上施加电压。单元干扰由一个树行内的顺序存取管理。即, 数据的读和写是通过以串行方式存取每个板线, 直到一行树中的所有存储器单元被存取。

可以重复地使用相同的三个掩模, 用于形成所有的存储器层。这表示在图 4 中, 图中表示一行树的末端的侧视图, 其中板线 307 连接到 2-D 阵列的板线驱动器 309。一个掩模用于形成存储器树枝 306。一个掩模用于形成板线 307, 一个掩模用于形成通孔 308。板线掩模和通孔掩模在每一层中可以偏移, 用于形成与板线驱动器 309 的连接。这样, 板线 307 在存储器树的每个较高层上形成略微的偏移。每个较高层上通孔掩模的偏移产生额外的部分通孔 315, 额外通孔 315 不负面影响存储器 300 的操作。偏移掩模也在一行树的相反一端形成部分树,

但这些部分树利用较低的非重复层的适当设计，不负面影响存储器 300 的操作。另外，不同的掩模可以用于每个层上，从而额外通孔 315 和部分树不会出现。

板线驱动器晶体管 309 形成 2-D 阵列，并且通过多个单元层线 316 和多个单元列线 317 进行编址。图 4 也表示位线 313a-313d，而图 3 为了清楚仅表示位线 313a。位线 313a-313d 的排列是在两个不同层上弯曲穿过树干 305，从而树 302 可以尽可能地靠近在一起。

图 8 表示根据本发明具有另一种结构的代表性 3-D 0T-FeRAM 存储器的剖视图。存储器 800 包括多个铁电电容器存储器单元 801，排列在一个存储器树上。为了简化图 8，没有表示出所有的存储器单元 801。图 8 中表示出两个存储器树 802a 和 802b。存储器树 802a 和 802b 表示成彼此的镜像，但不是必须这样。每个存储器树 802 包括树干部分 805 以及多个树枝部分 806，树干部分 805 是由诸如铜的导电材料制成的，树枝部分 806 也是由诸如铜的导电材料制成的。每个树枝部分 806 形成存储器 800 的一层。存储器单元 801 沿树枝 806 排列。如图 8 所示，树干部分 805 是层之间的一系列通孔，用于连接到多个层中的树枝部分 806。与图 3 和 4 中所示的存储器 300 相似，只要多个层中的存储器单元 801 由导电通路连接，在不改变本发明操作的开发部下，形成通孔的树干部分 805 可以在不同层中彼此相对位移。相应地，每个树结构 805 可以有多种可能形状。板线 807 的形成是穿过未在图 8 中示出的其它树结构的树枝 806 之间。虽然图 8 中仅表示了四层，但通过简单地将每一额外层增加到树顶部，可以在树结构上增加至少 16 层。

存储器 800 与图 3 和 4 中所示的存储器 300 不同，它没有提高存储器单元检测灵敏度的增益晶体管，没有分开的读和写入线。但是，存储器 800 包括通过存取晶体管 811 存取一特定存储器单元 801 的存取线 820，以及用于读和写操作的位线 813。

图 5 表示代表性存储器 300 的整体芯片布局 500。大量的树，例如多达 1024，排列起来形成树行 501。多个树行 501 排列成芯片布局

500 的树阵列部分 502。板线驱动器晶体管 309 的阵列 503 位于树行的一端。板线驱动器晶体管 309 是用单元层线 316 和单元列线 317 选择的，单元层线 316 是由位于单元层驱动器阵列部分 504 的单元层线驱动器驱动的，单元列线 317 是由位于单元列和读/写驱动器阵列部分 505 的单元列驱动器驱动的。每行树具有自己的写入线 320 和读取线 321，分别是由同样位于单元列和读/写驱动器阵列部分 505 的写和读驱动器驱动的。注意，为了简化起见，图 4 中没有示出从写入线 320 和读取线 321 到读/写驱动器阵列的连接。还要注意，写和读驱动器也可以位于芯片布局 500 的树阵列部分 502 的左边缘。位线 313 穿过大量的树行，例如多达 128 行，并且被位线驱动器和读出放大器(sense amplifier)驱动器阵列 506 驱动，它位于位线 313 的末端。

图 6 表示说明第一读操作 600 的时序图，第一读操作 600 用于读取图 3-5 中所示的 3-D 0T-FeRAM 存储器 300 的存储器单元 301b。读操作 600 被分成读相位 601 和写回(write-back)相位 602。扇区中的 V/3 干扰顺序和顺序存取的顺序用于防止与干扰相关的问题。

在读相位 601 期间，读取线(RL)，例如图 3 所示的读取线 321b(图 3)，在 603 导通，使补偿电流(offset current)在 604 流到位线(BL)，例如位线 313a。在 606，导通单元列选择线(CC1)，例如单元列选择线 317b。在 605，电压 V 通过板线驱动器施加在一个单元层线上以及一个板线(PL11)上，例如板线 307b，将 0 写到与这些板线连接的树行中的所有存储单元上。(符号 PL11 表示物理地位于列 1 中层 1 上的板线，即朝向图 3 的右下角)。其它的单元列晶体管(CC2)(表示在 607)必须关断，用以防止所选择的层中的其它板线例如，PL12 达到高电压 V。列 2 中的板线 PLX2 也是浮动的，如 608 所示，这里“X”表示任何层。

当选择的存储器单元 301b 含有“0”时，在 609a 对存储器树(MT)进行少量充电，使存储器树 302b 的电压少量升高。对比之下，当存储器单元 302b 含有“1”时，在 609b 进行极化并且对存储器树 302b 进行大量充电，从而使增益晶体管 304b 的电位较大变化以及电导较大变

化。与位线 313a 连接的读出放大器(未图示)根据位于额外样品树(未图示)中的已知的“0”和“1”，检测位线电流的变化是否足够达到“1”。结果由读出放大器在写回相位 602 存储。可以同时检测沿选择的板线的所有位(例如，总计 1024 位)。接着在读相位 601 期间，“0”在 610 通过对存储器树 302b 放电而被补充。

写回相位 602 的开始是通过将树行中所有存储器树 302 升到 $V/3$ ，如 611 所示。在这个点上，在不存取列中的所有板线 306 在 612 升到 $2V/3$ (PLX2)。接着在 613 关断其它单元列 CC2，在 614 将 PL21 升高 $2V/3$ ，而 PL11 保持为 0 (615)。当存储器单元 301b 含有“0”时，存储器树 302b 在 616a 保持为 $V/3$ 。当存储器单元 301b 含有“1”时，电压 V 施加在存储器树 302b (在 616b)。板线上所有的存储器单元(例如，1024 位)是同时写的。干扰电压保持为最大值 $V/3$ 。然而，因为 PLX2 是浮动的，而存储器树被加脉冲，电容耦合可能增大板线的电位。因此，干扰电压差在保持为 $V/3$ 的存储器树中将大于 $V/3$ 。

图 7 表示说明第二个另外优选的读操作 700 的时序图，用于读图 3-5 中所示的 3-D 0T-FeRAM 存储器 300 的存储器单元 301b。读相位 701 与图 6 中所示的读相位 601 相同，并用相似的符号标记。写回相位 702 的开始与写回相位 602 相似，使树行中所有存储器树 302 升高到 $V/3$ ，如 711 所示。此后，所有板线 307 升到 $2V/3$ ，表示在 712a、712b 和 712c。在 713b，树行中的存储器树 302 接着在存储器单元 301b 含有“1”时升到 V ，或者在 713a 在存储器单元 301b 含有“0”时保持 $V/3$ 。在 714，板线 307b 加脉冲到 0。即使板线 PLX2 在脉冲期间是浮动的，它们也不受影响，因为存储器树没有浮动或改变电位。再次，板线 307b 上的所有存储器单元(例如，总计 1024 位)是同时被写入的。

无论使用图 6 还是图 7 中的读操作，在下一个板线中使用相同的过程，直到读和写树行中所有的板线。当将要写数据时，仅使用图 6 或图 7 中的写回相位，从而省略了操作的读相位。存储器单元 800 的操作(图 8)表示为图 6 和 7 中所示的时序图，其中输出在两个图中表示为信号 BL(V)。信号 BL(I)对于存储器 800 是不出现的。而且，

存取晶体管在读和写操作时都导通，存储器树电压（MT）对于读和写操作都传递到位线电压（BL）。

对于具有每树枝四个单元、16层以及一行1024个树的存储器树排列，最小数据扇区尺寸是8KB。干扰的最大数量，对于顺序存取操作是64，或者当开始板线是被随机选择的时为127。在未被存取的其它树行中不出现干扰条件。

对于铜连接（即，树干305和树枝306）以及具有铁电电容器的存储器单元，存储器300的性能特征是可以估计的，例如T. Kijima等人描述的，文献与上述相同。例如，铁电电容器的厚度为 $s=13\text{nm}$ ，极化 $P=20\mu\text{C}/\text{cm}^2$ ，介电常数 $\epsilon=200$ 。当一个电容器开关时存储器树在“1”和“0”之间的电压差为 $V=2Ps/N\epsilon\epsilon_0$ ，其中 N 是树中的电容器数量。当 $N=64$ 时，电压差 V 为46mV。假定一个60mV/十进制晶体管子阈斜率，增益晶体管的电导变化6倍。这样，从增益晶体管的信号输出足够大，容易被检测到。

存储器300的速度是由板线的电容决定的，而不是铁电切换时间。例如，钙钛矿材料的切换时间远小于1ns。板线的电容是由铁电材料的大介电常数和电容决定的。如果没有电容器开关，电容 $C=M\epsilon\epsilon_0 A/s$ ，其中 M 是板线上电容的数量， A 是每个电容器的面积（忽略边缘效应）如果电容器的尺寸为11nm， $M=1024$ ，则 $C=17\text{fF}$ 。如果开关电压为0.5V，则每个电容器的有效开关电容将是 $2PA/V=0.1\text{fF}$ 。因此，如果一半的电容器开关，有效板线电容将是50fF。如果最大电流密度为 $10^7\text{A}/\text{cm}^2$ ，则通过 $22\times 11\text{nm}$ 导线的最大电流是24μA。这样，当一半电容器开关时回转速度限制的板线上升时间 $CV/I=1\text{ns}$ ，在所有电容器开关的最坏情况下为2ns。

纳米级铜线的电阻率由于界面散射而增大，因此电阻率取为 $\rho=5\mu\Omega\cdot\text{cm}$ 。长度为22μm的 $22\times 11\text{nm}$ 铜线的电阻为5kΩ。RC时间常数为0.2ns，因此，在电容器开关时，读和写时间将由板线回转速率决定。这样，读特定字节数据的最小时间比2ns略长，这是一个比HDD快约1百万倍的存取时间。这种估计还假定读出放大器与板线上升时

间相比是快的。参看图 7 所示的时序图，在全部读和写循环中，有两个板线振幅造成切换（电容高达 100fF），四个不造成切换（电容为 17fF）。在图 1 中，最小读存取时间为 5ns，最小写时间为 10ns。因此，一个板线的读 / 写循环时间为 15ns，对于 8KB 数据为 1 μ s。这意味着芯片上一个树阵列的数据速率为 8GB/s，对于更高的数据速率也可以并行操作很多阵列。

功率需求可以根据 CV^2 进行计算，其中电容 C 是由板线振幅决定的，特别是在写循环中，其中所有板线必须升到 $2V/3$ ，并返回到 0，以便减小干扰效应。如果铁电材料可以改进，除了 PL11 的所有板线（图 6 和 7）可以在整修读 / 写循环中保持在 $V/2$ ，生产较好的功率效率，因为仅仅是有源板线和存储器树需要被充电。速度也较高，但干扰电压将是 $V/2$ ，而不是 $V/3$ 。通过使用具有低介电常数的铁电材料，功率需求也可减小。

即使具有图 7 所示的时序，功率需求也比图 1 所示的其它类型存储器低得多。例如，假定 64 个板线并且为每个板线振幅和存储器树振幅积累 CV^2 能量，需要 0.5pJ 在 15ns 内读和写 1024 位，这对于 8GB/s 对应于 35 μ W。这与 HDD 相比是有优势的，HDD 在 10W 的功率下提供 200MB/s 的数据速率。这样，0T-FeRAM 在能量效率方面比 HDD 高一千万倍的数量级。

与本发明的功率需求相比，为了将纳米级体积加热到 600 $^{\circ}$ C，通过 OUM 单元的电流密度必须为 10^7 A/cm 2 ，而对于读，电流密度可能是这个数值的一半。对于截面为 11nm $\times$ 11nm 的 OUM 单元，电流需求为 12 μ A。二极管与相位改变单元之间的电压约为 1.5V，从而功率消耗为 18 μ W。因为需要至少 50ns 进行写，OUM 进行一位写所需的能量为 1pJ。对于多位 OUM，可以需要多脉冲进行编程并且总时间相应地变长。这样，0T-FeRAM 写的能量效率比这个例子中的 OUM 高 2000 倍。

因此，根据本发明的 3-D 铁电存储器可以替代 FLASH 存储器用于固态存储。并且，成本分析估计表明，本发明的 3-D 铁电存储

器将来可能替代 HDD。与 HDD 相比，本发明铁电存储器的极高性能也将消除计算机系统中对大量 DRAM 的需求。

虽然参考具体的实施例，包括当前实施本发明的优选形式，对本发明进行了描述，但本领域的一般技术人员应该意识到，上述系统和技术有很多变化和置换，这些都落在权利要求限定的本发明精神和范围内。

	SRAM	DRAM	HDD	FLASH	PROBE	QUM	MTJ-MRAM	3D-MRAM	MATRIX	1T FeRAM	0T FeRAM
单元尺寸	50F ²	8F ²	5F ²	5F ²	5F ²	5F ²	8F ²	5F ²	5F ²	8F ²	5F ²
最小“P”	10 nm	30 nm	10 nm	30 nm	3 nm	10 nm	40 nm	40 nm	10 nm	10 nm	10 nm
最多位/单元	1	1	1	4	1	2	1	1	1	1	1
最多层	1	1	1	1	1	4	1	12	12	1	1
最大密度	0.1 Tb/in ²	0.07 Tb/in ²	1 Tb/in ²	0.4 Tb/in ²	10 Tb/in ²	8 Tb/in ²	0.04 Tb/in ²	0.75 Tb/in ²	12 Tb/in ²	0.6 Tb/in ²	16 Tb/in ²
成本/面积 (AU)	10	10	1	10	10	16	10	16	16	10	16
最小成本/位 (AU)	100	140	1	22	1	2	250	20	1.3	15	1
保持时间	由功率定	0.1 sec	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs	> 10 yrs
耐用性	> 10 ¹⁵	> 10 ¹⁵	> 10 ¹²	10 ⁶	> 10 ⁵	> 10 ¹³	> 10 ¹⁵	> 10 ¹⁵	1	> 10 ¹⁴	> 10 ¹⁴
字节存取	是	是	否	否	否	是	是	是	是	是	否
最小读取时间	0.2 ns	1 ns	10 ⁶ ns	5 ns	10 ⁶ ns	5 ns	1 ns	10 ⁴ ns	10 ⁴ ns	1 ns	5 ns
最小写入时间	0.2 ns	1 ns	10 ⁶ ns	10 ⁶ ns	10 ⁶ ns	50 ns	1 ns	10 ⁴ ns	10 ⁴ ns	1 ns	10 ns
写能量/位	低-高	高	很高	很高	很高	高	中高	中高	高	低	低
收入 (2002)	\$4 Billion	\$17 Billion	\$20 Billion	\$8 Billion	DEV.	DEV.	DEV.	RES.	DEV.	\$0.1 Billion	RES.

图 1

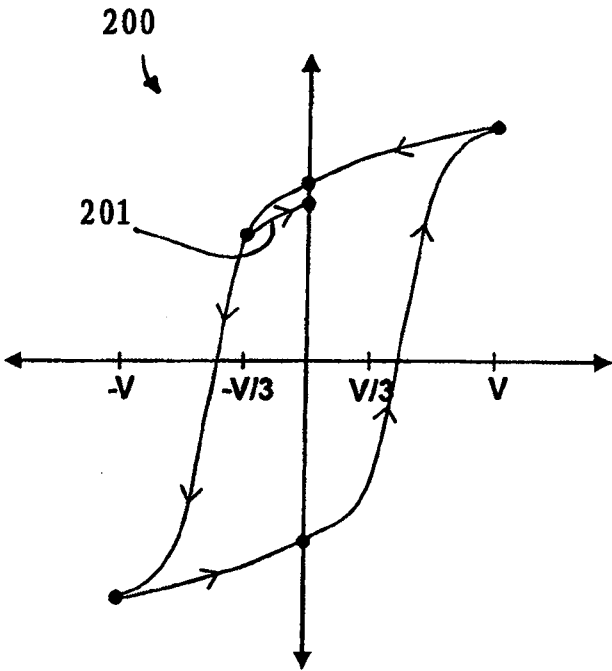
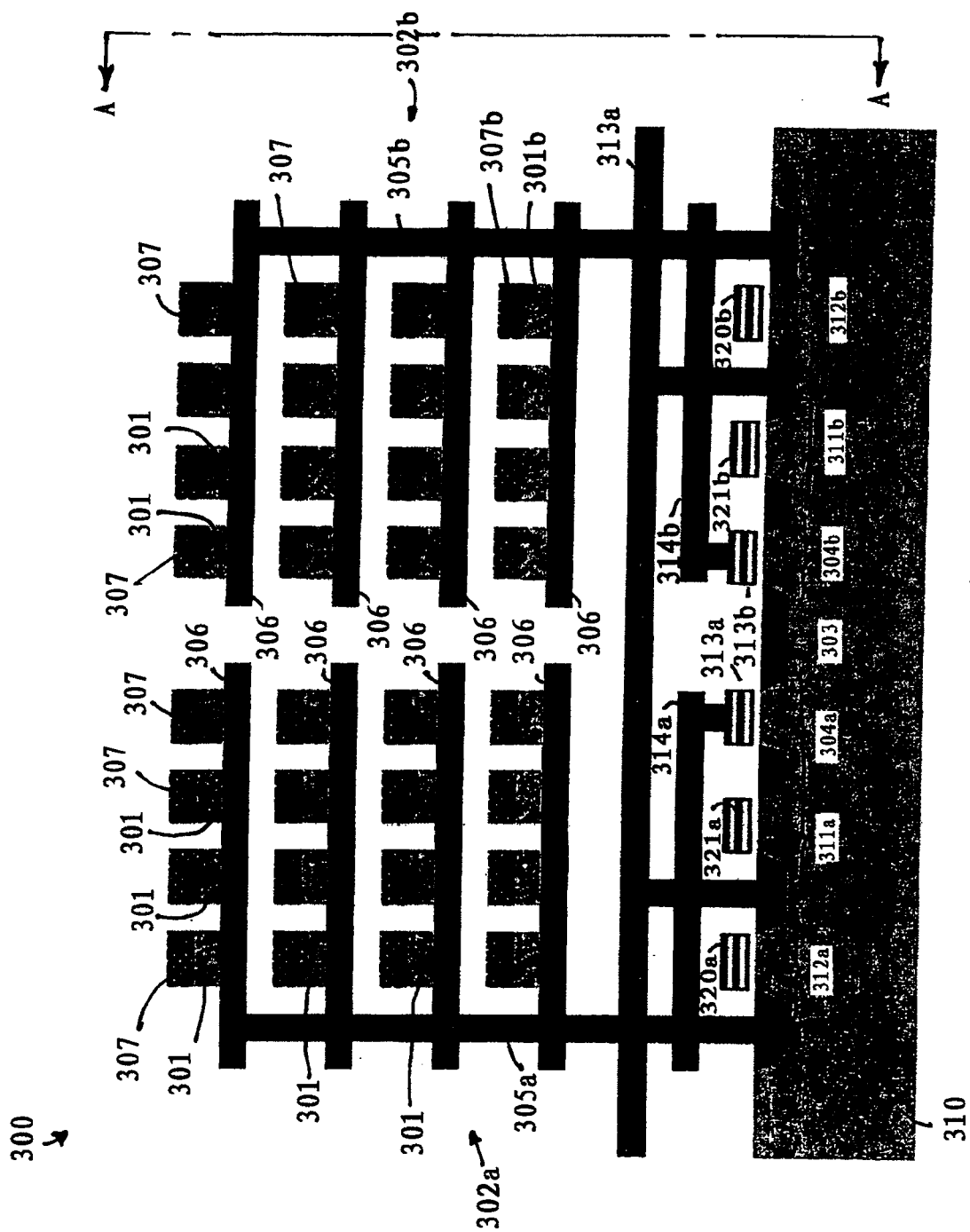


图 2



3
四

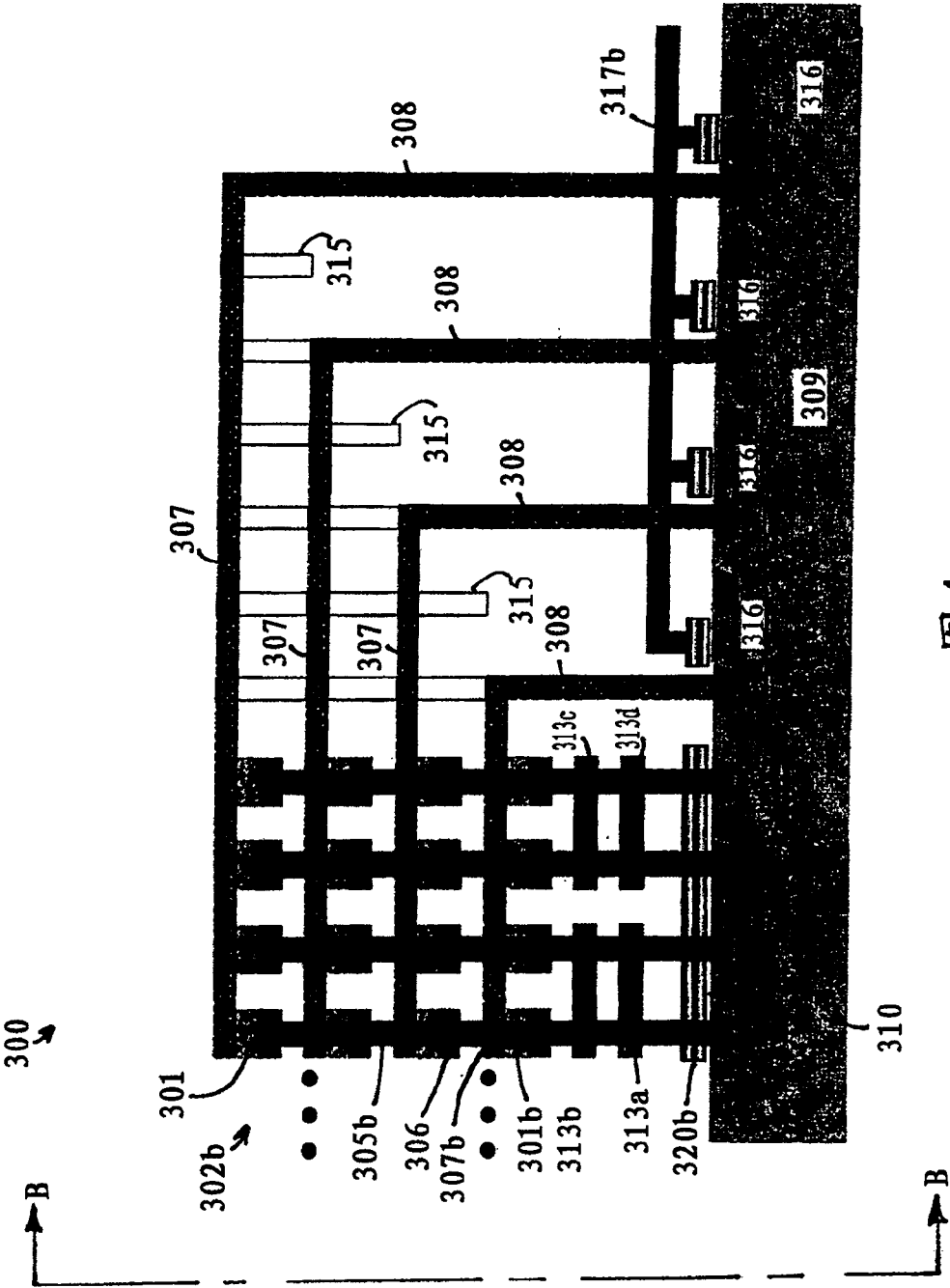


图4

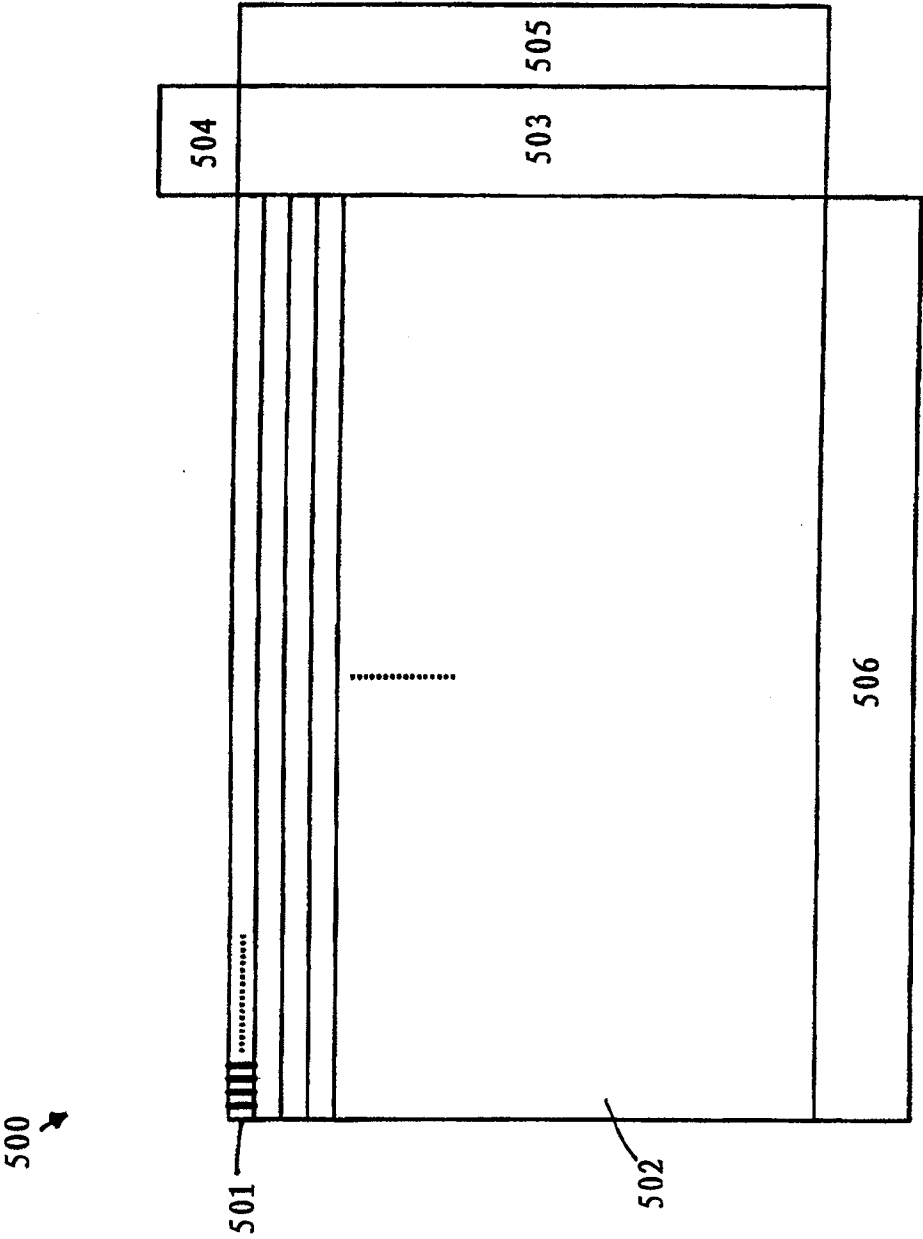


图5

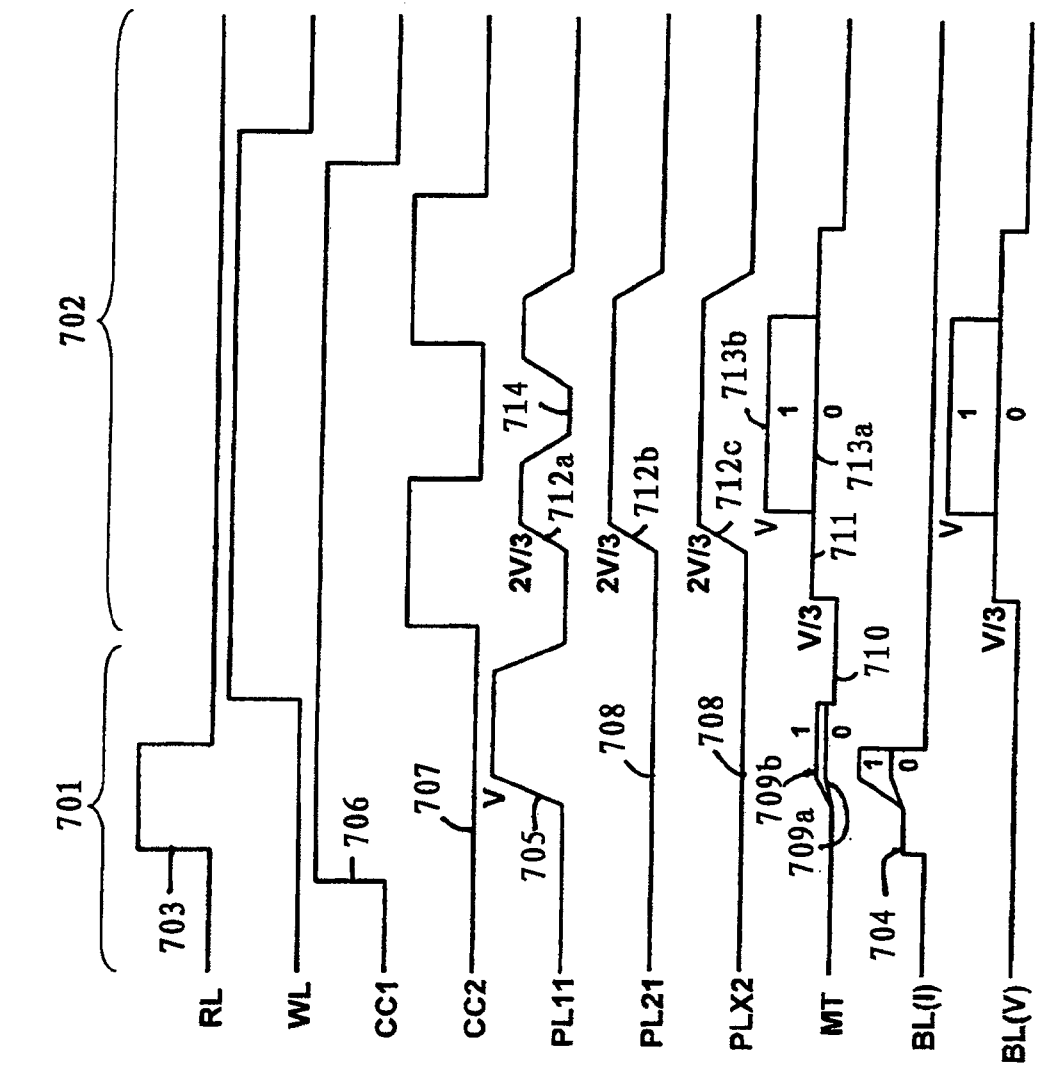
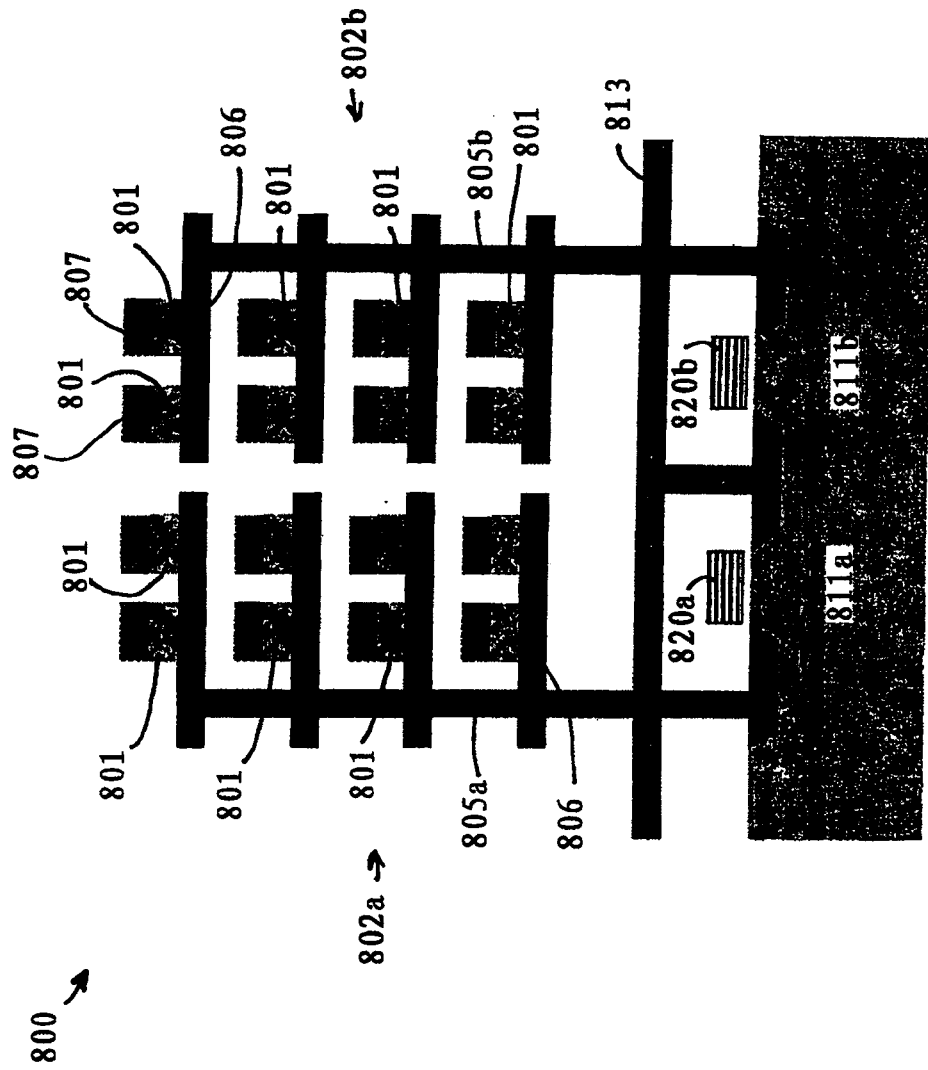


图7



8