

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-505486  
(P2004-505486A)

(43) 公表日 平成16年2月19日(2004.2.19)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H03K 5/08	H03K 5/08	5J039
H03K 5/1532	H03K 5/00	E

審査請求 未請求 予備審査請求 未請求 (全 36 頁)

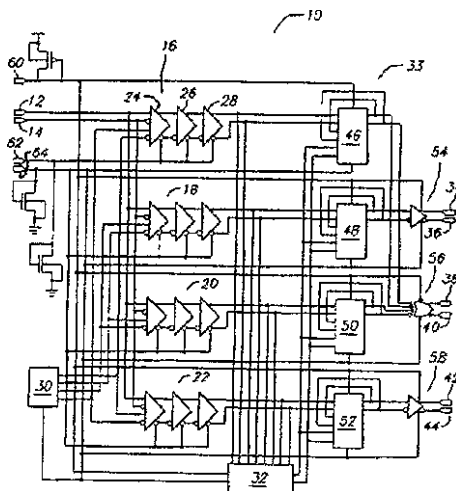
(21) 出願番号	特願2002-514884 (P2002-514884)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ Koninklijke Philips Electronics N. V. オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(86) (22) 出願日	平成13年7月19日 (2001.7.19)	(74) 代理人	100075812 弁理士 吉武 賢次
(85) 翻訳文提出日	平成14年3月22日 (2002.3.22)	(74) 代理人	100088889 弁理士 橘谷 英俊
(86) 国際出願番号	PCT/EP2001/008400		
(87) 国際公開番号	W02002/009281		
(87) 国際公開日	平成14年1月31日 (2002.1.31)		
(31) 優先権主張番号	09/625,084		
(32) 優先日	平成12年7月25日 (2000.7.25)		
(33) 優先権主張国	米国 (US)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP		

最終頁に続く

(54) 【発明の名称】 同相モードの不感差動オフセットコンパレータを用いる5レベル受信機

(57) 【要約】

マルチレベル符号化デジタル信号をバイナリ等価信号に変換する信号変換器が提供される。前記信号変換器は、基準電圧発生器、複数の4入力差動コンパレータ、タイミング回復回路及び信号変換回路を備えている。基準電圧発生器は、複数の漸進的拡大差動基準電圧を発生するように動作する。複数の差動コンパレータは、それぞれ差動入力電圧の振幅を、漸進的拡大差動基準電圧の各々専用の一つの振幅と比較し、差動入力電圧の振幅が差動基準電圧の振幅より大きい場合に第1の論理的意味を持つ差動出力電圧を発生し、差動入力電圧の振幅が差動基準電圧の振幅より小さい場合に第2の論理的意味を持つ差動出力電圧を発生するように動作する。各コンパレータはオフセット入力電圧を有する。タイミング回復回路は、差動出力電圧を差動コンパレータの各々から受信するように構成され、エッジ検出を介してクロックを取り出し、回復クロック信号を発生するように動作する。信号変換回路は、タイミング回復回路及び差動コンパレータと連結され、差動出力電圧をバイナリ等価信号に変換するように動作する。また、方法も提供される。



## 【特許請求の範囲】

## 【請求項 1】

マルチレベル符号化デジタル信号をバイナリ等価信号に変換する信号変換器であって、複数の漸進的拡大差動入力電圧を発生するように動作する基準電圧発生器と、複数の 4 入力差動コンパレータであって、各コンパレータがそれぞれ差動入力電圧の大きさを漸進的拡大差動基準電圧の各々専用の一つの大きさと比較し、前記差動入力電圧の大きさが前記差動基準電圧の大きさより大きい場合に第一の論理的意味を持つ差動出力電圧を発生し、前記差動入力電圧の大きさが前記差動基準電圧の大きさより小さい場合に第二の論理的意味を持つ差動出力電圧を発生し、かつ、各コンパレータがオフセット入力電圧を有している複数の 4 入力差動コンパレータと、  
前記各差動コンパレータから前記差動出力電圧を受信するように構成され、エッジ検出を介してクロックを取り出し、回復クロック信号を発生するように動作するタイミング回復回路と、  
前記タイミング回復回路及び前記差動コンパレータと連結され、前記差動出力電圧をバイナリ等価信号に変換するように動作する信号変換回路と、  
を備えていることを特徴とする信号変換器。

10

## 【請求項 2】

前記基準電圧発生器は、分圧回路を備えていることを特徴とする請求項 1 に記載の信号変換器。

## 【請求項 3】

前記基準電圧発生器は、複数の差動出力電圧を発生するように動作する一連の抵抗回路網を備えていることを特徴とする請求項 1 に記載の信号変換器。

20

## 【請求項 4】

各差動コンパレータは、同相モードの不感差動オフセットコンパレータを備えていることを特徴とする請求項 1 に記載の信号変換器。

## 【請求項 5】

各差動コンパレータにおいて、前記差動入力信号が前記差動基準電圧よりも大きいときに、前記各差動コンパレータの極性が正になることを特徴とする請求項 1 に記載の信号変換器。

## 【請求項 6】

前記タイミング回復回路は、エッジ検出を介してクロック信号を回復するように構成されていることを特徴とする請求項 1 に記載の信号変換器。

30

## 【請求項 7】

前記タイミング回復回路は、少なくとも一つのコンパレータと、遅延回路と、論理回路とを備えていることを特徴とする請求項 1 に記載の信号変換器。

## 【請求項 8】

前記論理回路は XOR ゲートを含み、前記少なくとも一つのコンパレータは、前記差動コンパレータの一つからの前記差動出力電圧を受信して増幅し、増幅差動出力電圧を発生するように構成された複数の増幅コンパレータを含み、前記遅延回路は前記増幅差動出力電圧を遅延させるように構成され、前記 XOR ゲートは、前記遅延された増幅差動出力電圧を前記差動出力電圧と論理的に比較するように構成されていることを特徴とする請求項 7 に記載の信号変換器。

40

## 【請求項 9】

前記論理回路は、一对の前記コンパレータに連結され、かつ、クロック回復を実行するように動作する少なくとも一つの OR ゲート信号をさらに備えていることを特徴とする請求項 8 に記載の信号変換器。

## 【請求項 10】

前記信号変換回路は複数のラッチを含み、各ラッチは、前記差動コンパレータの一つからの前記差動出力電圧と、前記回復クロック信号とを受信し、出力信号を発生するように構成されていることを特徴とする請求項 1 に記載の信号変換器。

50

## 【請求項 1 1】

前記複数の差動コンパレータは四つの 4 入力コンパレータを含み、前記複数のラッチは四つのラッチを含み、前記信号変換回路は、一对のバッファと、一つの排他的論理和 (XOR) ゲートとをさらに備え、前記バッファの一方は、前記ラッチの第一のものから出力信号を受信するよう構成され、前記バッファのもう一方は、前記ラッチの第二のものから出力信号を受信するよう構成され、かつ、前記 XOR ゲートは、前記ラッチの第三及び第四のもの各々から出力信号を受信するよう構成されていることを特徴とする請求項 1 0 に記載の信号変換器。

## 【請求項 1 2】

ディジタル - バイナリ信号変換回路であって、  
 複数の漸進的拡大差動基準信号を発生するように動作する基準信号発生器と、  
 複数の 4 入力式差動コンパレータであって、各差動コンパレータが、前記差動基準信号の専用の一つを受信するよう構成され、差動入力信号と前記差動基準信号の専用の一つの差を比較して、前記差動入力信号が前記差動基準信号より大きい場合に第一の論理値を持ち、前記差動入力信号が前記差動基準信号より小さい場合に第二の論理値を持つ差動出力信号を発生するように動作する複数の 4 入力式差動コンパレータと、  
 前記差動出力信号を前記差動コンパレータから受信するよう構成され、かつ、回復クロック信号を提供するクロックをエッジ検出を介して発生するように動作するタイミング回復回路と、  
 前記タイミング回復回路及び前記差動コンパレータと連結され、前記差動出力信号をバイナリ等価信号に変換するよう動作する信号変換回路と、  
 を備えていることを特徴とするディジタル - バイナリ信号変換回路。

10

20

## 【請求項 1 3】

前記複数の 4 入力差動コンパレータは四つの 4 入力差動コンパレータを含み、各コンパレータは、一連の拡大差動基準信号の専用の一つを受信し、前記差動コンパレータは、5 レベル符号化ディジタル信号の状態を前記差動入力信号から検出するよう動作することを特徴とする請求項 1 2 に記載の変換回路。

## 【請求項 1 4】

前記信号変換回路は、前記差動コンパレータの各々から差動出力電圧を受信し、前記差動出力電圧をバイナリ等価信号に変換することを特徴とする請求項 1 2 に記載の変換回路。

30

## 【請求項 1 5】

前記タイミング回復回路は、前記差動コンパレータの各々からの前記差動出力信号のエッジ検出を介してクロック回復を実行するよう動作する誤り回復回路を備えていることを特徴とする請求項 1 2 に記載の変換回路。

## 【請求項 1 6】

前記基準電圧発生器は、複数の差動出力電圧を発生するように動作する回路を備えていることを特徴とする請求項 1 2 に記載の変換回路。

## 【請求項 1 7】

前記 4 入力差動コンパレータの各々が、同相モードの不感差動オフセットコンパレータを含むことを特徴とする請求項 1 2 に記載の変換回路。

40

## 【請求項 1 8】

前記タイミング回復回路は、複数のコンパレータ及び論理回路を備えていることを特徴とする請求項 1 2 に記載の変換回路。

## 【請求項 1 9】

前記論理回路は XOR ゲートを含むことを特徴とする請求項 1 8 に記載の変換回路。

## 【請求項 2 0】

(N + 1) レベル符号化ディジタル入力信号をバイナリ等価信号に変換する信号変換器であって、  
 N 個の漸進的拡大差動基準信号を発生するように動作する基準信号発生器と、  
 (N + 1) レベル差動入力信号を N 個の個別の差動基準信号の一つと比較して、前記入力

50

信号が前記基準信号より大きい場合に第一の論理的意味を持つ差動出力信号を発生し、前記入力信号が前記基準信号より小さい場合に第二の論理的意味を持つ差動出力信号を発生するようにそれぞれ動作するN個の同相モード不感差動オフセットコンパレータと、前記差動コンパレータから前記N個の差動出力信号を受信するよう構成され、エッジ検出を介してクロックを回復し、回復クロック信号を発生するように動作するエッジ検出回路と、前記エッジ検出回路及び前記差動コンパレータと連結され、前記差動出力信号をバイナリ等価信号に変換するように動作する信号変換回路と、を備えていることを特徴とする信号変換器。

10

## 【請求項 2 1】

前記誤り回復回路は、複数の差動オフセットコンパレータを備えていることを特徴とする請求項 2 0 に記載の信号変換器。

## 【請求項 2 2】

前記基準信号発生器は、N個の漸進的拡大差動基準信号を発生する基準電圧発生器であり、前記入力信号は差動入力電圧を含むことを特徴とする請求項 2 0 に記載の信号変換器。

## 【請求項 2 3】

(N + 1) レベル符号化デジタル信号をバイナリ等価信号に変換する方法であって、N個の漸進的拡大差動基準信号を発生し、(N + 1) レベル差動入力信号を前記N個の基準信号のそれぞれと比較し、N個の比較済み基準信号のそれぞれに対して、前記入力信号が前記基準信号より大きい場合に第一の論理的意味を持つ差動出力信号を発生し、前記入力信号が前記基準信号より小さい場合に第二の論理的意味を持つ差動出力信号を発生し、クロック信号を回復するために、前記N個の差動出力信号をエッジ検出することによって、クロックを発生し、前記N個の差動出力信号をバイナリ等価信号に変換することを特徴とする方法。

20

## 【請求項 2 4】

前記誤り回復回路は、複数の差動オフセットコンパレータを備えていることを特徴とする請求項 2 3 に記載の方法。

## 【請求項 2 5】

前記基準信号発生器は、N個の漸進的拡大差動基準信号を発生する基準電圧発生器であり、前記入力信号は差動入力電圧を含むことを特徴とする請求項 2 3 に記載の方法。

30

## 【請求項 2 6】

タイミング回復回路は、差動出力電圧を複数の4入力差動コンパレータの各々から受信することを特徴とする請求項 2 3 に記載の方法。

## 【発明の詳細な説明】

## 【0 0 0 1】

## 【発明の属する技術分野】

本発明は、信号及びデータの送信技術に関し、より詳しくは、マルチレベルの符号化、及び、符号化されたデジタル信号をバイナリ等価信号に変換する技術に関する。

## 【0 0 0 2】

## 【従来の技術、及び、発明が解決しようとする課題】

例示的な毎秒  $4 \times 10^9$  ビットといった高周波数の信号送信は、問題を発生させることがある。まず、このような高周波数送信では、線路損が大きくなる。第2に、電磁障害 (EMI) が一般的に大きくなる。線路損及びEMIが大きいと、高周波数のデータ送信に望ましくない結果をもたらす傾向がある。逆に、クロックの出力レベルを比較的低下させると、ジッタが悪化する傾向がある。しかしながら、クロックの出力レベルを上げると、比較的高い周波数のデータ送信に対応できる。それゆえに、比較的線路損を低減して、EMIを低下させることに加えて、ジッタも低く抑えるよう試みることは、従来型の伝送技術が採用されているところに矛盾を与えるように見える。

40

## 【0 0 0 3】

50

したがって、線路損を比較的強く抑え、EMIを低減させながら、同時に、ジッタの減少を実現するための折衷案が必要となる。一つの技法には、マルチレベルの信号方式を用いることが必要とされる。

【0004】

マルチレベルで符号化されたデジタル信号をバイナリ等価信号に変換するシステムが提供されている。差動コンパレータのシステムを用いて差動入力信号を比較すると、マルチレベルの符号化を抽出することができる。

【0005】

【課題を解決するための手段】

本発明の一つの側面によれば、マルチレベルで符号化された信号をバイナリ等価信号に変換するための信号変換器が提供されている。信号変換器は、基準電圧発生器、複数の差動コンパレータ、誤り回復回路及び信号変換回路を備える。基準電圧発生器は、複数の漸進的に拡大する差動基準電圧を発生するように動作する。複数の差動コンパレータは、それぞれ、差動入力電圧を基準電圧と比較し、入力電圧が基準電圧より大きい場合に第1の論理的意味を持つ差動出力電圧を発生し、入力電圧が基準電圧よりも小さい場合に第2の論理的意味を持つ差動出力電圧を発生するように動作する。さらに、各コンパレータには、それぞれ、オフセット入力電圧がある。誤り回復回路は、差動コンパレータから差動出力電圧を受信するよう構成され、エッジ検出を介してクロックを回復して、回復クロック信号を発生させるように動作する。信号変換回路は、誤り回復回路及び差動コンパレータと連結され、差動出力電圧を同等の3ビットのバイナリ信号に変換するように動作する。

【0006】

本発明の一つの側面によれば、マルチレベルで符号化されたデジタル信号をバイナリ等価信号に変換するために、信号変換器が提供されている。信号変換器は、基準電圧発生器、複数の4入力式差動コンパレータ、タイミング回復回路及び信号変換回路を備える。基準電圧発生器は、複数の漸進的に拡大する差動基準電圧を発生するように動作する。複数の差動コンパレータは、それぞれ、差動入力電圧の振幅を、漸進的拡大基準電圧の各々専用の一つと比較し、差動入力電圧の振幅が差動基準電圧の振幅よりも大きい場合には第1の論理的意味を持つ差動出力電圧を発生し、差動入力電圧の振幅が差動基準電圧の振幅よりも小さい場合には第2の論理的意味を持つ差動出力電圧を発生する。各コンパレータには、オフセット入力電圧がある。タイミング回復回路は、差動出力電圧を差動コンパレータのそれぞれから受信するよう構成され、エッジ検出を介してクロックを取り出し、回復クロック信号を発生するように動作する。信号変換回路は、タイミング回復回路及び差動コンパレータと連結され、差動出力電圧をバイナリ等価信号に変換するように動作する。

【0007】

本発明のもう一つの側面によれば、 $(N+1)$ レベルで符号化されたデジタル信号をバイナリ等価信号に変換するための方法が提供されている。この方法は、 $N$ 個の漸進的に拡大する差動基準信号を発生し、 $(N+1)$ レベルの差動入力信号と $N$ 個の基準信号のそれぞれとを比較し、 $N$ 個の比較済み基準信号のそれぞれのために、入力信号が基準信号より大きい場合に第1の論理的意味を持つ差動出力信号を、入力信号が基準信号より小さい場合に第2の論理的意味を持つ差動出力信号を発生させ、クロック信号を回復するために $N$ 個の差動出力信号をエッジ検出することでクロックを発生させ、 $N$ 個の差動出力信号をバイナリ等価信号に変換することを含むものである。

【0008】

【発明の実施の形態】

本発明の好ましい実施形態は、添付図面に従って以下に説明する。

本発明の開示は、米国特許法の「科学及び実用技術の進歩を奨励するために (to promote the progress of science and useful arts)」(第1条第8項)という本質的な目標を奨励すべく提示される。

【0009】

本発明では、5レベルで符号化されたデジタル信号をバイナリ等価信号に変換する方法

及び装置が開示される。以下に、本発明を完全に理解するために、多くの具体的な細部を説明する。しかしながら、当業者にとっては、本発明の実施において、そうした具体的な細部を採用するには及ばないことが明らかになるであろう。他の場合においては、本発明が曖昧になるのを避けるために、周知の材料や方法については詳細に説明されていない。

【0010】

図1は、5レベル差動入力信号を本発明の教示に従って個別の四つの差動基準電圧と比較するために用いる電圧比較回路と部分ブロックの図を、参照番号10により示している。12と14という一対の入力リードは、四つの差動比較回路16、18、20及び22のそれぞれに、差動入力電圧を配送する。差動比較回路16、18、20及び22は、それぞれ、同相モードの不感差動オフセットコンパレータ24、第1の比較増幅器26及び第2の比較増幅器28を備えている。差動比較回路の16、18、20及び22は、同相モードの不感差動オフセットコンパレータ24を介して、入力リードの12及び14を經由して配送される5レベル差動入力信号を、基準電圧発生器30で発生した個別の四つの差動基準電圧と比較する。四つの差動基準電圧は、漸進的に拡大する差動基準電圧として発生し、比較回路16、18、20及び22にそれぞれ配送される。これらの漸進的拡大差動基準電圧は、可能な五つの差動入力電圧に対して中程度の振幅になるよう設定される。図4は、階段状の例示的な差動入力信号に重ね合わせた各差動基準電圧を示し、5レベル差動入力信号の各レベルを図示している。

10

【0011】

比較回路16、18、20及び22は、各回路からの出力信号を段階的に増幅する比較増幅器26及び28を備える。そうした出力信号は、それぞれ、信号変換回路33の各ラッチ46、48、50及び52に入力される。ラッチ46及び50は、「排他的論理和」(XOR)ゲート56に供給するよう構成されているが、ラッチ48及び52はそれぞれ、専用バッファ54及び58に供給する。バッファ54及び58並びにXORゲート56は、協働して、コンパレータからの四つの1ビット出力を3ビットバイナリ等価信号に変換する。後述するように、図12は、そのような変換を図示している。

20

【0012】

図1に示してあるように、差動入力電圧は、入力リード12及び14を經由して比較回路16乃至20のそれぞれのコンパレータ24に配送される。さらに、差動基準電圧は、基準電圧発生器30から各比較回路16乃至20のコンパレータ24に配送される。コンパレータ24は、コンパレータ24の入力信号差動NMOSFETペア及び基準入力差動NMOSFETペアに提供される均等のバイアス電流により差動出力電圧を発生する。入力差動電圧の振幅  $I = V(I) - V(IN)$  は、基準差動電圧の振幅  $R = V(R) - V(RN)$  と比較されるが、ここでは、 $I$  は、入力リード12及び14から提供される入力差動電圧の振幅であり、 $R$  は、基準電圧発生器30から各コンパレータ24に入力される基準差動電圧の振幅である。差動入力電圧の振幅が基準差動電圧の振幅より大きいとき、即ち、 $I > R$  の場合には、差動入力電圧の振幅は正であり、 $Z = V(Z) - V(ZN)$  となる。

30

【0013】

コンパレータ24は、低利得のNMOS差動ペアにより実現されるが、これは、NMOSFETの入力差動ペアと基準差動ペアがどちらも飽和しない、即ち、四つの差動NMOSFETトランジスタのすべてがMOSFET飽和状態で動作中であるように、実行される。さらに、入力信号の同相モード電圧は、同相モードの基準電圧と必ずしも一致する必要はない。

40

【0014】

正バイアス差動コンパレータ(PBIASdc)の入力信号は、入力リード60を經由して誤り回復回路32及びラッチ46乃至52に入力される。負バイアスオフセットコンパレータ(NBIASoc)の入力信号は、入力リード62を經由して比較回路16乃至22のコンパレータ24、26及び28に入力される。負バイアス差動コンパレータ(NBIASdc)の入力信号は、入力リード64を經由してラッチ46乃至52に入力される

50

。

## 【0015】

電圧比較回路10の動作にตอบสนองして、リード12及び14から入力される5レベル差動入力信号に対応する出力リードのペア34/36、38/40及び42/44において、3ビットのバイナリ出力信号が発生する。

## 【0016】

図2は、(図1の)基準電圧発生回路30の回路図を示している。より詳しくは、回路30は、分圧回路を構成する抵抗器梯子を備える。入力信号は、誤り回復回路32(図1を参照)から入力リード66経由で受信される。直列配列の抵抗器R1乃至R5は、それぞれ、出力リード68乃至71で四つの差動基準電圧を発生するように構成されている。こうした差動基準電圧は、本技術で既に周知の回路実装に準拠して、漸進的拡大差動基準電圧によって発生する。

10

## 【0017】

図3は、誤り回復回路32(図1を参照)を構成するエッジ検出回路の回路図である。誤り回復回路は、同相モード雑音を排除する差動論理回路である。誤り回復回路32は、エッジ検出を介してクロックを回復するクロック回復を実行するように構成される。誤り回復回路32は、バッファ72乃至75、「排他的論理和」(XOR)ゲート76乃至79及び4入力NANDゲート80、82及び84を備える。NANDゲート80及び82からの出力信号は、NANDゲート84に入力される。NANDゲート84は、出力リード86及び88において、論理ポジティブ(LP)及び論理ネガティブ(LN)からなる一

20

## 【0018】

誤り回復回路32は、(図1の)差動比較回路16、18、22及び22から、それぞれ入力リードペア92/94、94/96、98/100、102/104及び106/108を介して、入力信号を受信する。対応する出力信号は、出力リード86及び88から、(図1の)ラッチ46、48、50及び52のそれぞれに配送される。

## 【0019】

図1で示したように、誤り回復回路32は、エッジ検出を介してクロック回復を実行する。より詳しくは、四つの増幅比較回路16乃至22はそれぞれ、オリジナルの増幅コンパレータの値で、遅延され、排他的論理和が取られる。したがって、「1ショット」は一つのイベント、即ち、電圧変化のような入力の変更に対応し、1回限りの出力パルスが発生させる。結果となる四つの「1ショット」は、クロック回復を実行するために、(図3の)NANDゲート80、82及び84を介して論理和が取られる。

30

## 【0020】

図4は、可能な五つの差動入力電圧と、(図2の)基準電圧発生回路30で発生される四つの差動基準電圧を図示した第1のシミュレーションシートのプロット図である。より詳しくは、(図1の)入力リード12及び14経由で配送中の入力信号にとって可能な五つの差動入力電圧の値を示すために、階段状の(上がったたり下がったりの)例示的な差動入力電圧信号118が図示されている。四つの差動基準電圧信号110、112、114及び116は、(図2の)基準電圧発生器30の出力リード68乃至71からそれぞれ発生し、例示的な入力電圧信号118に重ね合わせて図示されている。信号110、112、114及び116の四つの差動基準電圧は、例示的信号118の可能な五つの差動入力電圧に対して中程度の振幅で示される。

40

## 【0021】

図5は、(図1の)差動比較回路16、18、20及び22のそれぞれからの出力信号120、122、124及び126を示した第1のシミュレーションシートのプロット図である。入力リード12及び14からの(図4の)差動入力信号118の値が差動基準電圧の値よりも大きい場合、差動入力電圧及び差動基準電圧の双方の極性に注目すると、対応するコンパレータの極性は正になる。

## 【0022】

50

図6は、連続的な2段階にわたる増幅の、差動比較増幅器26における第1段階を示している第1のシミュレーションシートのプロット図である。こういった第1段階の増幅は、比較増幅器、即ち、バッファ回路26を介して実行され、このバッファ回路が、比較回路28で提供される第2段階の増幅に対する出力を発生させる。

【0023】

図7は、連続的な2段階にわたる増幅の、差動比較増幅器、即ち、バッファ回路28における第2段階を示している第1のシミュレーションシートのプロット図である。したがって、比較増幅器26及び28は、比較回路16、18、20及び22中において、連続的な2段階にわたる増幅を提供する。

【0024】

図8は、図7の第2段階の差動比較増幅器の増幅済み信号を繰り返し示したものであり、信号を別々に分けて縦座標軸に沿って異なる尺度でプロットしている第2のシミュレーションシートのプロット図である。

【0025】

図9は、排他的論理和(XOR)ゲート76乃至79のそれぞれからの1ショットのXOR出力152、154、156及び158を示している第2のシミュレーションシートのプロット図である。

【0026】

図10は、(図3の)誤り回復回路32によって実行された回復済みクロック信号164の結果を示している第2のシミュレーションシートのプロット図である。出力信号160は、(図3の)NANDゲート84からの差動出力信号に対応する。出力信号162は、(図3の)NANDゲート82からの差動出力信号に対応する。出力信号164は、出力信号160及び162の論理和を取った結果から構成される。

【0027】

図11は、上記の図10に示された回復クロック信号164のプロット図で、さらに、回復クロック信号で駆動された四つのラッチ出力168、170、172及び174を示している。より詳しくは、ラッチ出力168、170、172及び174はそれぞれ、ラッチ46、48、50及び52によって発生する。

【0028】

図12は、(図1の)二つのバッファ54及び58並びに排他的論理和(XOR)ゲート56に供給するのに用いられる、(図11の)四つの駆動ラッチ出力168、170、172及び174を含む、コンパレータからの四つのビット出力を変換することにより発生する、3ビットバイナリ等価信号176、178及び180を図示したプロット図である。

【0029】

本発明については、法規に従って、体系的で秩序ある機能に関する多少とも詳細な説明を進めてきた。しかしながら、本書で開示した手段が、本発明の好ましい実施形態を構成するものである以上、本発明は、教示及び説明した特定の機能に限定されないことを理解すべきである。したがって、本発明は、同等の見解に準拠して適切に解釈された添付の請求書の妥当な範囲内にある限り、いかなる形式で請求しても、いかなる変更を加えて請求してもよい。

【図面の簡単な説明】

【図1】

本発明の教示に従って5レベル差動入力信号を四つの個別の差動基準電圧と比較するために用いる電圧比較回路及び部分ブロック図を示したものである。

【図2】

図1のブロックの一つに対応し、四つの差動基準電圧を発生させるよう構成されている基準電圧発生回路の回路図である。

【図3】

図1のブロックの一つに対応し、クロック回復を実行するよう構成されているエッジ検出

10

20

30

40

50

回路の回路図である。

【図 4】

可能性のある五つの差動入力電圧と、図 2 の基準電圧発生回路で発生した四つの差動基準電圧とを示している第 1 のシミュレーションシートのプロット図である。

【図 5】

図 1 の差動コンパレータの四つの出力を示している第 1 のシミュレーションシートのプロット図である。

【図 6】

差動比較増幅器における連続的な 2 段階にわたる増幅の第 1 段階を示している第 1 のシミュレーションシートのプロット図である。

10

【図 7】

差動比較増幅器における連続的な 2 段階にわたる増幅の第 2 段階を示している第 1 のシミュレーションシートのプロット図である。

【図 8】

図 7 の第 2 段階の差動比較増幅器の増幅済み信号を繰り返している第 2 のシミュレーションシートのプロット図である。

【図 9】

差動遅延からの 1 ショットの排他的論理和 (XOR) 出力を示している第 2 のシミュレーションシートのプロット図である。

【図 10】

図 3 の回路で結果的に実行された回復クロックを示している第 2 のシミュレーションシートのプロット図である。

20

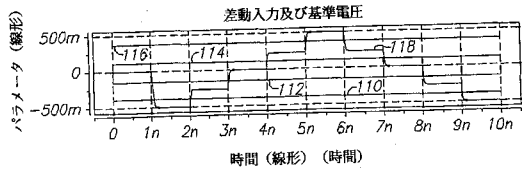
【図 11】

図 10 の回復クロック信号のプロット図において、さらに、回復クロック信号により駆動された四つのラッチ出力を図示している。

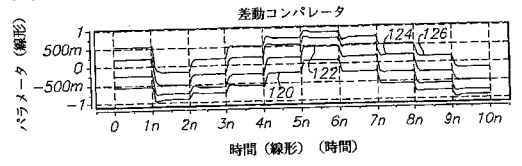
【図 12】

二つのバッファと一つの排他的論理和 (XOR) ゲートとに供給するのに用いる、図 11 の四つの駆動ラッチから構成されるコンパレータからの四つのビット出力を変換することにより発生した 3 ビットバイナリ等価信号のプロット図である。

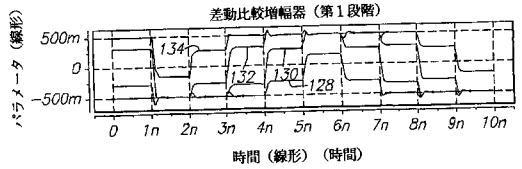
【 図 4 】



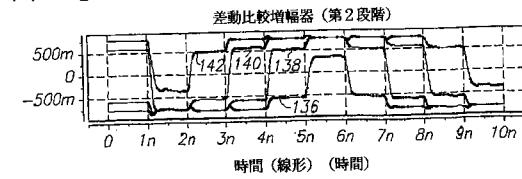
【 図 5 】



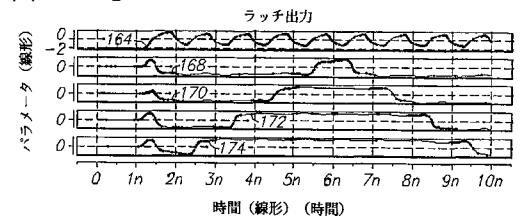
【 図 6 】



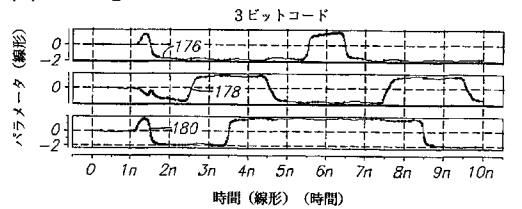
【 図 7 】



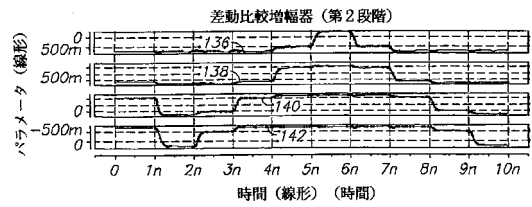
【 図 1 1 】



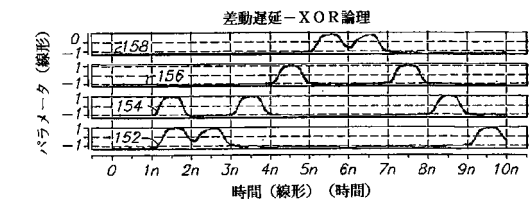
【 図 1 2 】



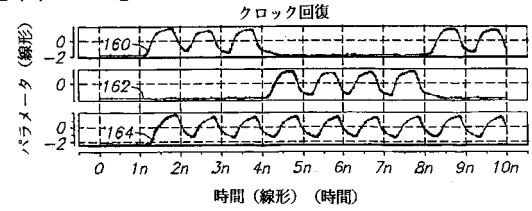
【 図 8 】



【 図 9 】



【 図 1 0 】



## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number  
**WO 02/09281 A2**

- (51) International Patent Classification: **H03K** 6, NL-5656 AA Eindhoven (NL). **LIEPOLD, Carl**, Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/08400
- (22) International Filing Date: 19 July 2001 (19.07.2001) (74) Agent: **DUIJVESTIJN, Adriaan, J.**, Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (25) Filing Language: English (81) Designated States (national): CN, JP.
- (26) Publication Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (30) Priority Data: 09/625,084 25 July 2000 (25.07.2000) US  
Published:  
— without international search report and to be republished upon receipt of that report
- (71) Applicant: **KONINKLIJKE PHILIPS ELECTRONICS N.V.** [NL/NL], Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).  
For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.
- (72) Inventors: **CICCONE, John**; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). **SESSIONS, D., C.**; Prof. Holstlaan



(54) Title: 5-ARY RECEIVER UTILIZING COMMON MODE INSENSITIVE DIFFERENTIAL OFFSET COMPARATOR

WO 02/09281 A2

(57) Abstract: A signal converter is provided for converting multiple level encoded digital signals into a binary equivalent signal. The signal converter includes a reference voltage generator, a plurality of four-input differential comparators, timing recovery circuitry, and signal conversion circuitry. The reference voltage generator is operative to generate a plurality of progressively larger differential reference voltages. The plurality of differential comparators are each operative to compare magnitude of a differential input voltage with magnitude of a dedicated one of the progressively larger differential reference voltages and produce a differential output voltage having a first logical sense if the magnitude of the differential input voltage is greater than the magnitude of the differential reference voltage, and having a second logical sense if the magnitude of the differential input voltage is less than the magnitude of the differential reference voltage. Each comparator has an offset input voltage. The timing recovery circuitry is configured to receive the differential output voltages from each of the differential comparators and is operative to derive a clock via edge detection and generate a recovered clock signal. The signal conversion circuitry is coupled with the timing recovery circuitry and the differential comparators and is operative to convert the differential output voltages into a binary equivalent. A method is also provided.

WO 02/09281

PCT/EP01/08400

5-ary receiver utilizing common mode insensitive differential offset comparator

The present invention relates generally to signal and data transmission technology and, more particularly, to multiple level encoding and the conversion of encoded digital signals into binary equivalents

5

Signal transmission of data at high frequency rates, such as at exemplary rates of  $4 \times 10^9$  bits/second, can generate problems. At such high frequency rates, line losses are higher. Secondly, electromagnetic interference (EMI) is generally higher. High line losses and high EMI tend to be undesirable consequences of high frequency data transmission rates. In contrast, jitter tends to be worse when clock power is relatively low. However, increased levels of clock power tend to correspond with relatively high frequency data transmission rates. Hence, attempts to achieve relatively low line loss and reduced EMI, in combination with reduced jitter, appear to present a conflict where traditional signal transmission techniques are employed.

10

15

Accordingly, a compromise is needed that enables the realization of relatively low line losses and reduced EMI while, at the same time, realizing reduced jitter. One technique involves the use of multiple level signaling schemes.

20

A system is provided for converting a multiple level encoded digital signal into a binary equivalent. A system of differential comparators are used to compare a differential input signal for purposes of extracting multiple level coding.

25

According to one aspect of the invention, a signal converter is provided for converting multiple level encoded digital signals into a binary equivalent. The signal converter includes a reference voltage generator, a plurality of differential comparators, error recovery circuitry, and signal conversion circuitry. The reference voltage generator is operative to generate a plurality of progressively larger differential reference voltages. The plurality of differential comparators are operative to compare a differential input voltage with the reference voltages and produce differential output voltages having first logical senses if

WO 02/09281

PCT/EP01/08400

2

the input voltage is greater than the reference voltages, and having second logical senses if the input voltage is less than the reference voltages, respectively. Furthermore, each comparator has an offset input voltage. The error recovery circuitry is configured to receive the differential output voltages from the differential comparators, and is operative to recover the clock via edge detection and generate a recovered clock signal. The signal conversion circuitry is coupled with the error recovery circuitry and the differential comparators, and is operative to convert the differential output voltages into a three-bit binary equivalent.

According to one aspect, a signal converter is provided for converting multiple level encoded digital signals into a binary equivalent signal. The signal converter includes a reference voltage generator, a plurality of four-input differential comparators, timing recovery circuitry, and signal conversion circuitry. The reference voltage generator is operative to generate a plurality of progressively larger differential reference voltages. The plurality of differential comparators are each operative to compare magnitude of a differential input voltage with magnitude of a dedicated one of the progressively larger differential reference voltages and produce a differential output voltage having a first logical sense if the magnitude of the differential input voltage is greater than the magnitude of the differential reference voltage, and having a second logical sense if the magnitude of the differential input voltage is less than the magnitude of the differential reference voltage. Each comparator has an offset input voltage. The timing recovery circuitry is configured to receive the differential output voltages from each of the differential comparators and is operative to derive a clock via edge detection and generate a recovered clock signal. The signal conversion circuitry is coupled with the timing recovery circuitry and the differential comparators and is operative to convert the differential output voltages into a binary equivalent.

According to another aspect of the invention, a method is provided for converting an (N+1)-level encoded digital signal into a binary equivalent signal. The method includes: generating N progressively larger differential reference signals; comparing the (N+1)-level differential input signal with each of the N reference signals; for each compared N reference signal, producing a differential output signal having first logical senses if the input signal is greater than the reference signal and having second logical senses if the input signal is less than the reference signal; generating a clock by edge detecting the N differential output signals so as to recover a clock signal; and converting the N differential output signals into a binary equivalent signal.

WO 02/09281

PCT/EP01/08400

3

Preferred embodiments of the invention are described below with reference to the following accompanying drawings.

Fig. 1 is an illustration of a voltage comparator circuit and partial block diagram used to compare a five level differential input signal to four separate differential reference voltages in accordance with the teachings of the present invention.

Fig. 2 is a circuit schematic of reference voltage generation circuitry corresponding to one of the blocks of Fig. 1 and configured to generate four differential reference voltages.

Fig. 3 is a circuit schematic of edge detection circuitry corresponding to one of the blocks of Fig. 1 and configured to implement clock-recovery.

Fig. 4 is a plot of a first simulation sheet illustrating the five possible differential input voltages and the four differential reference voltages generated by the reference voltage generation circuitry of Fig. 2.

Fig. 5 is a plot of a first simulation sheet illustrating four outputs of the differential comparators of Fig. 1.

Fig. 6 is a plot of a first simulation sheet illustrating a first stage of two successive stages of amplification for a differential comparator amplifier.

Fig. 7 is a plot of a first simulation sheet illustrating a second stage of two successive stages of amplification for a differential comparator amplifier.

Fig. 8 is a plot of a second simulation sheet repeating the second stage amplified differential comparator amplifier signals of Fig. 7.

Fig. 9 is a plot of a second simulation sheet showing one-shot exclusive-or (XOR) outputs from differential delay.

Fig. 10 is a plot of a second simulation sheet showing a resulting recovered clock implemented by the circuitry of Fig. 3.

Fig. 11 is a plot of the recovered clock signal of Fig. 10 and further illustrating four latch outputs that are driven by the recovered clock signal.

Fig. 12 is a plot of three-bit binary equivalents generated by the conversion of the four bit comparator outputs comprising the four drive latches of Fig. 11 which are used to feed two buffers and an exclusive-or (XOR) gate.

WO 02/09281

PCT/EP01/08400

4

This disclosure of the invention is submitted in furtherance of the constitutional purposes of the U.S. Patent Laws "to promote the progress of science and useful arts" (Article 1, Section 8).

5 A method and an apparatus for converting a five level encoded digital signal into a binary equivalent are disclosed. In the following description, numerous specific details are set forth in order to provide a thorough understanding of the present invention. It will be apparent, however, to one having ordinary skill in the art that the specific detail need not be employed to practice the present invention. In other instances, well known materials or methods have not been described in detail in order to avoid obscuring the present invention.

10 Fig. 1 illustrates a voltage comparator circuit and partial block diagram indicated by reference numeral 10 and used to compare a five level differential input signal to four separate differential reference voltages in accordance with the teachings of the present invention. A pair of input leads 12 and 14 deliver a differential input voltage to each of four differential comparator circuits 16, 18, 20 and 22. Each differential comparator circuit 16, 18, 15 20 and 22 comprises a common mode insensitive differential offset comparator 24, a first comparator amplifier 26 and a second comparator amplifier 28. Differential comparator circuits 16, 18, 20 and 22, via common mode insensitive differential offset comparator 24, are configured to compare a five level differential input signal delivered via input leads 12 and 14 with four separate differential reference voltages generated by a reference voltage 20 generator 30. The four differential reference voltages are generated to deliver progressively larger differential reference voltages to comparator circuits 16, 18, 20 and 22, respectively. These progressively larger differential reference voltages are configured to be intermediate in magnitude to the five possible differential input voltages. Fig. 4 illustrates each of the differential reference voltages superimposed with a stair stepped exemplary differential input 25 signal that illustrates each level of the five level differential input signal.

Comparator circuits 16, 18, 20 and 22 include comparator amplifiers 26 and 28 which amplify, in stages, the output signals from each circuit. Such output signals are input to respective latches 46, 48, 50 and 52 of signal conversion circuitry 33. Latches 46 and 50 are configured to feed an "exclusive-or" (XOR) gate 56; whereas latches 48 and 52 feed 30 dedicated buffers 54 and 58, respectively. Buffers 54 and 58 and XOR gate 56 cooperate to convert four single-bit comparator outputs to three-bit binary equivalents. Fig. 12 illustrates such conversion as described below.

As shown in Fig. 1, a differential input voltage is delivered via input leads 12 and 14 to comparator 24 of each comparator circuit 16-20. Additionally, a differential

WO 02/09281

PCT/EP01/08400

5

reference voltage is delivered from reference voltage generator 30 to comparator 24 of each comparator circuit 16-20. Comparator 24 produces a differential output voltage, with equal bias currents provided for an input signal differential NMOS pair and a reference input differential NMOS pair of comparator 24. An input differential voltage magnitude  $\Delta I = V(I) - V(IN)$  is compared to a reference differential voltage magnitude  $\Delta R = V(R) - V(RN)$ , where  $\Delta I$  is the input differential voltage magnitude provided by input leads 12 and 14, and  $\Delta R$  is the reference differential voltage magnitude input to each comparator 24 from reference voltage generator 30. If the differential input voltage magnitude is greater than the differential voltage magnitude,  $\Delta I > \Delta R$ , the differential input voltage magnitude will be positive,  $\Delta Z = V(Z) - V(ZN) > 0$ .

Comparator 24 is implemented with low gain NMOS differential pairs such that neither the input nor the reference NMOS differential pair is saturated, i.e. all four differential NMOS transistors are operating in MOSFET saturation. Furthermore, the common mode voltage of the input signal need not be the same as the common mode voltage of the reference voltage.

A positive biased differential comparator input signal (PBIASdc) is input via input lead 60 to error recovery circuitry 32 and latches 46-52. A negative biased offset comparator input signal (NBIASoc) is input via input lead 62 to comparators 24, 26 and 28 of comparator circuits 16-22. A negative biased differential comparator input signal (NBIASdc) is input via input lead 64 to latches 46-52.

In response to operation of voltage comparator circuit 10, a three-bit binary output signal is generated across pairs of output leads 34/36, 38/40 and 42/44 which corresponds to the five level differential input signal which is input at leads 12 and 14.

Fig. 2 illustrates a circuit schematic for reference voltage generation circuitry 30 (of Fig. 1). More particularly, circuitry 30 comprises a resistor ladder that forms a voltage divider circuit. An input signal is received via input lead 66 from error recovery circuitry 32 (see Fig. 1). A serial arrangement of resistors  $R_1$ - $R_5$  are configured to generate four differential reference voltages at output leads 68-71, respectively. Such differential reference voltages are generated with progressively larger differential reference voltages according to circuitry implementations already understood in the art.

Fig. 3 is a circuit schematic of edge detection circuitry comprising error recovery circuitry 32 (see Fig. 1). Error recovery circuitry is a differential logic circuit that keeps out common mode noise. Error recovery circuitry 32 is configured to implement clock-recovery which recovers the clock through edge detection. Error recovery circuitry 32

WO 02/09281

PCT/EP01/08400

6

includes buffers 72-75, "exclusive-or" (XOR) gates 76-79, and four input NAND gates 80, 82 and 84. The output signals from NAND gates 80 and 82 are input to NAND gate 84. NAND gate 84 generates a pair of output signals, comprising logic positive (LP) and logic negative (LN), at output leads 86 and 88.

5 Error recovery circuitry 32 receives input signals from each differential comparator circuit 16, 18, 20 and 22 (of Fig. 1) via input lead pairs 92/94, 94/96, 98/100, 102/104 and 106/108, respectively. A corresponding output signal is delivered from output leads 86 and 88 to each latch 46, 48, 50 and 52 (of Fig. 1).

10 As shown in Fig. 1, error recovery circuitry 32 implements clock recovery through edge detection. More particularly, each of four amplified comparator circuits 16-22 are delayed and XORed with the original amplified comparator value. Hence, a "one-shot" is implemented on each of the four amplified comparator circuits 16-22. "One-shot" corresponds with an event, or change in input such as a voltage change, causing a single output pulse. The resulting four "one-shots" are then ORed via NAND gates 80, 82 and 84  
15 (of Fig. 3) to implement clock-recovery.

Fig. 4 is a plot of a first simulation sheet illustrating the five possible differential input voltages and the four differential reference voltages generated by the reference voltage generation circuitry 30 (of Fig. 2). More particularly, a stair stepped (up and down) exemplary differential input voltage signal 118 is shown in order to illustrate the five  
20 possible differential input voltage values possible for an input signal being delivered via input leads 12 and 14 (of Fig. 1). Four differential reference voltage signals 110, 112, 114 and 116 are shown superimposed over exemplary input voltage signal 118, as generated by output leads 68-71, respectively, of reference voltage generator 30 (of Fig. 2). The four differential reference voltages of signals 110, 112, 114 and 116 are shown intermediate in magnitude to  
25 the five possible differential input voltages of exemplary signal 118.

Fig. 5 is a plot of a first simulation sheet illustrating four output signals 120, 122, 124 and 126 from differential comparator circuits 16, 18, 20 and 22, respectively (of Fig. 1). If the differential input signal 118 (of Fig. 4) from input leads 12 and 14 (of Fig. 1) is greater in value than the differential reference voltage, paying attention to polarity of both the  
30 differential input and reference voltages, then the polarity of the corresponding comparator will be positive.

Fig. 6 is a plot of a first simulation sheet illustrating a first stage of two successive stages of amplification for a differential comparator amplifier 26. Such first stage

WO 02/09281

PCT/EP01/08400

7

of amplification is implemented via comparator amplifier, or buffer circuit, 26 which generates an output to a second stage of amplification provided by comparator circuit 28.

Fig. 7 is a plot of a first simulation sheet illustrating a second stage of two successive stages of amplification for differential comparator amplifier, or buffer circuit, 28.

5 Accordingly, comparator amplifiers 26 and 28 provide two successive stages of amplification within each comparator circuit 16, 18, 20 and 22.

Fig. 8 is a plot of a second simulation sheet repeating the second stage amplified differential comparator amplifier signals of Fig. 7, but showing the signals separated and plotted to a different scale along the ordinate axis.

10 Fig. 9 is a plot of a second simulation sheet showing one-shot exclusive-or (XOR) outputs 152, 154, 156 and 158 from XOR gates 76-79, respectively.

Fig. 10 is a plot of a second simulation sheet showing a resulting recovered clock signal 164 implemented by error recovery circuitry 32 (of Fig. 3). Output signal 160 corresponds with the differential output signal from NAND gate 84 (of Fig. 3). Output signal 15 162 corresponds with the differential output signal from NAND gate 82 (of Fig. 3). Output signal 164 comprises output signals 160 and 162 ORed together.

Fig. 11 is a plot of the recovered clock signal 164 as shown above in Fig. 10, and further illustrating four latch outputs 168, 170, 172 and 174 that are driven by the recovered clock signal. More particularly, latch outputs 168, 170, 172 and 174 are generated 20 by latches 46, 48, 50 and 52, respectively (see Fig. 1).

Fig. 12 is a plot of three-bit binary equivalent signals 176, 178 and 180 generated by the conversion of the four bit comparator outputs comprising the four driven latch outputs 168, 170, 172 and 174 (of Fig. 11) which are used to feed two buffers 54 and 58 and an exclusive-or (XOR) gate 56 (of Fig. 1).

25 In compliance with the statute, the invention has been described in language more or less specific as to structural and methodical features. It is to be understood, however, that the invention is not limited to the specific features shown and described, since the means herein disclosed comprise preferred forms of putting the invention into effect. The invention is, therefore, claimed in any of its forms or modifications within the proper scope of the 30 appended claims appropriately interpreted in accordance with the doctrine of equivalents.

WO 02/09281

PCT/EP01/08400

8

## CLAIMS:

1. A signal converter (10) for converting multiple level encoded digital signals into a binary equivalent signal, comprising:
- a reference voltage generator(30) operative to generate a plurality of progressively larger differential input voltages;
- 5 - a plurality of four-input differential comparators (16, 18, 20, 22), each comparator operative to compare magnitude of a differential input voltage with magnitude of a dedicated one of the progressively larger differential reference voltages and produce a differential output voltage having a first logical sense if the magnitude of the differential input voltage is greater than the magnitude of the differential reference voltage, and having a
- 10 second logical sense if the magnitude of the differential input voltage is less than the magnitude of the differential reference voltage, respectively, and wherein each comparator has an offset input voltage;
- timing recovery circuitry (32) configured to receive the differential output voltages from each of the differential comparators and operative to derive a clock via edge
- 15 detection and generate a recovered clock signal; and
- signal conversion circuitry (54, 56, 58) coupled with the timing recovery circuitry and the differential comparators and operative to convert the differential output voltages into a binary equivalent.
- 20 2. The signal converter of claim 1 wherein the reference voltage generator comprises a voltage divider circuit.
3. The signal converter of claim 1 wherein the reference voltage generator comprises a series resistor network operative to generate a plurality of differential output
- 25 voltages.
4. The signal converter of claim 1 wherein each differential comparator comprises a common-mode insensitive differential offset comparator.

WO 02/09281

PCT/EP01/08400

9

5. The signal converter of claim 1 wherein, for each differential comparator, when the differential input signal is greater in value than the differential reference voltage, the polarity of the respective comparator will be positive.
- 5 6. The signal converter of claim 1 wherein the timing recovery circuitry is adapted to recover a clock signal via edge detection.
7. The signal converter of claim 1 wherein the timing recovery circuitry comprises at least one comparator, delay circuitry and logic circuitry.
- 10 8. The signal converter of claim 7 wherein the logic circuitry comprises an XOR gate, the at least one comparator comprises a plurality of amplified comparators configured to receive and amplify the differential output voltage from one of the differential comparators to produce an amplified differential output voltage, the delay circuitry adapted to delay the amplified differential output voltage, and the XOR gate adapted to logically compare the delayed, amplified differential output voltage with the differential output voltage.
- 15 9. The signal converter of claim 8 wherein the logic circuitry further comprises at least one OR gate signal coupled with a pair of the comparators and operative to implement clock recovery.
- 20 10. The signal converter of claim 1 wherein the signal conversion circuitry comprises a plurality of latches, each latch configured to receive the differential output voltage from one of the differential comparators, and the recovered clock signal, and generate an output signal.
- 25 11. The signal converter of claim 10 wherein the plurality of differential comparators comprises four four-input comparators, the plurality of latches comprises four latches, and the signal conversion circuitry further comprises a pair of buffers and an exclusive-or (XOR) gate, one of the buffers configured to receive an output signal from a first of the latches, another of the buffers configured to receive an output signal from a second of the latches, and the XOR gate configured to receive an output signal from each of a third and a fourth of the latches.
- 30

WO 02/09281

PCT/EP01/08400

10

12. A digital-to binary signal conversion circuit, comprising:  
- a reference signal generator operative to generate a plurality of progressively larger differential reference signals;  
- a plurality of four-input differential comparators, each differential  
5 comparator configured to receive a dedicated one of the differential reference signals and operative to compare the difference between a differential input signal and the dedicated one of the differential reference signals and produce a differential output signal having a first logical value if the differential input signal is greater than the differential reference signal, and having a second logical value if the differential input signal is less than the differential  
10 reference signal;  
- timing recovery circuitry configured to receive the differential output signals from the differential comparators and operative to generate a clock via edge detection that provides a recovered clock signal; and  
- signal conversion circuitry coupled with the timing recovery circuitry and the  
15 differential comparators and operative to convert the differential output signal into a binary equivalent signal.
13. The conversion circuit of claim 12 wherein the plurality of four-input differential comparators comprise four four-input differential comparators, each comparator  
20 receiving a dedicated one of a series of progressively larger differential reference signals, the differential comparators operative to detect the status of a five-level encoded digital signal from the differential input signal.
14. The conversion circuit of claim 12 wherein the signal conversion circuitry  
25 receives differential output voltages from each of the differential comparators and converts the differential output voltages into a binary equivalent.
15. The conversion circuit of claim 12 wherein the timing recovery circuitry  
30 comprises error recovery circuitry operative to implement clock recovery through edge detection of the differential output signals from each of the differential comparators.
16. The conversion circuit of claim 12 wherein the reference voltage generator comprises circuitry operative to generate a plurality of differential output voltages.

WO 02/09281

PCT/EP01/08400

11

17. The conversion circuit of claim 12 wherein each of the four-input differential comparators comprises a common-mode insensitive differential offset comparator.
18. The conversion circuit of claim 12 wherein the timing recovery circuitry  
5 comprises a plurality of comparators and logic circuitry.
19. The conversion circuit of claim 18 wherein the logic circuitry comprises an XOR gate.
- 10 20. A signal converter for converting an (N+1)-level encoded digital input signal into a binary equivalent signal, comprising:  
- a reference signal generator operative to generate N progressively larger differential reference signals;  
- N common-mode insensitive differential offset comparators each operative to  
15 compare an (N+1)-level differential input signal with one of the N separate differential reference signals and produce a differential output signal having first logical senses if the input signal is greater than the reference signal, and having second logical senses if the input signal is less than the reference signal;  
- edge detection circuitry configured to receive the N differential output  
20 signals from the differential comparators and operative to recover the clock via edge detection and generate a recovered clock signal; and  
- signal conversion circuitry coupled with the edge detection circuitry and the differential comparators and operative to convert the differential output signals into a binary equivalent signal.
- 25 21. The signal converter of claim 20 wherein the error recovery circuitry comprises a plurality of differential offset comparators.
22. The signal converter of claim 20 wherein the reference signal generator is a  
30 reference voltage generator that generates N progressively larger differential reference signals, and the input signal comprises a differential input voltage.
23. A method for converting an (N+1)-level encoded digital signal into a binary equivalent signal, comprising:

WO 02/09281

PCT/EP01/08400

12

- generating N progressively larger differential reference signals;
  - comparing the (N+1)-level differential input signal with each of the N reference signals;
  - for each compared N reference signal, producing a differential output signal
- 5 having first logical senses if the input signal is greater than the reference signal and having second logical senses if the input signal is less than the reference signal;
- generating a clock by edge detecting the N differential output signals so as to recover a clock signal; and
  - converting the N differential output signals into a binary equivalent signal.
- 10
24. The method of claim 23 wherein the error recovery circuitry comprises a plurality of differential offset comparators.
25. The method of claim 23 wherein the reference signal generator is a reference
- 15 voltage generator that generates N progressively larger differential reference signals, and the input signal comprises a differential input voltage.
26. The method of claim 23 wherein timing recovery circuitry receives differential output voltages from each of a plurality of four-input differential comparators.



2/6

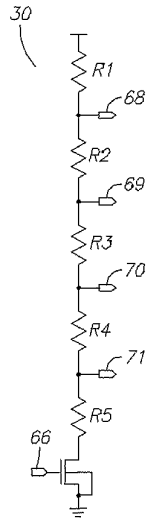


FIG.2

WO 02/09281

PCT/EP01/08400

3/6

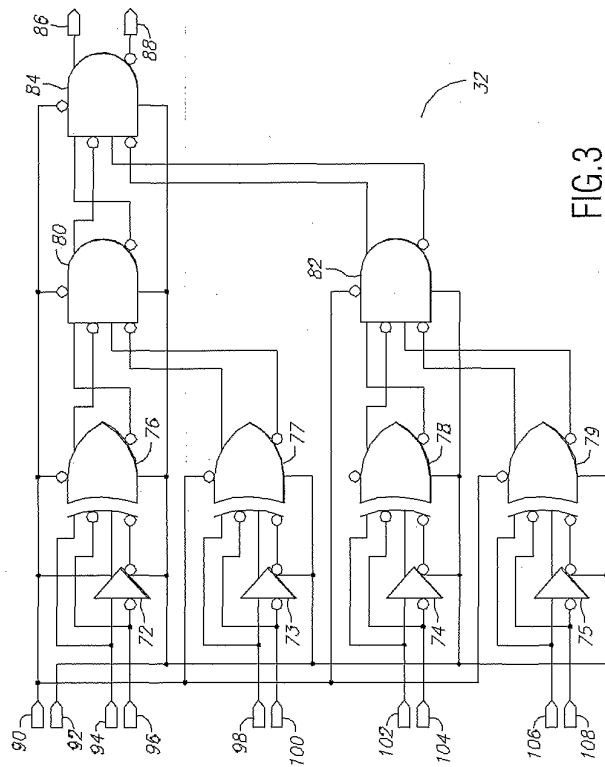


FIG.3

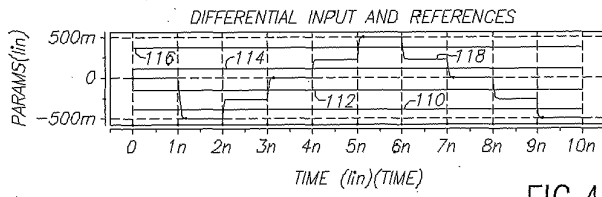


FIG.4

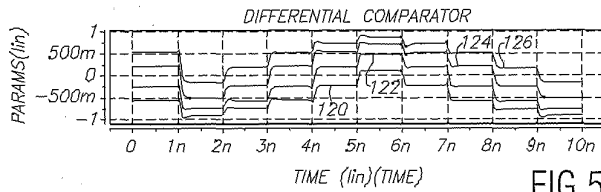


FIG.5

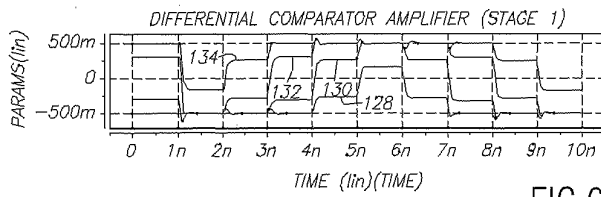


FIG.6

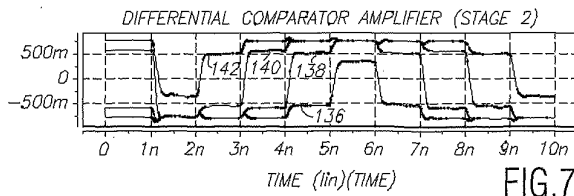


FIG.7

5/6

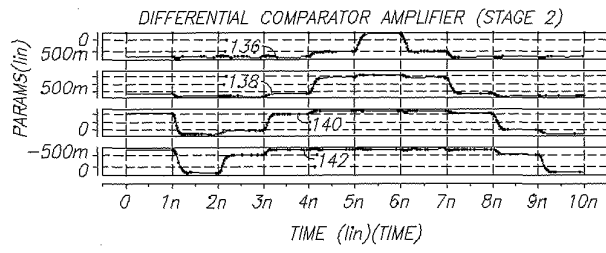


FIG.8

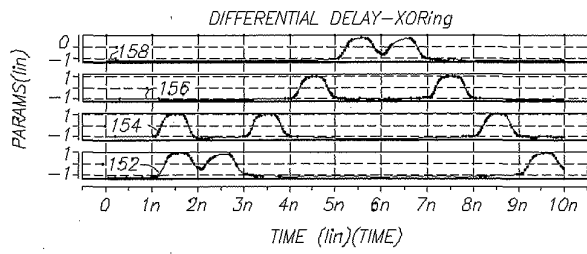


FIG.9

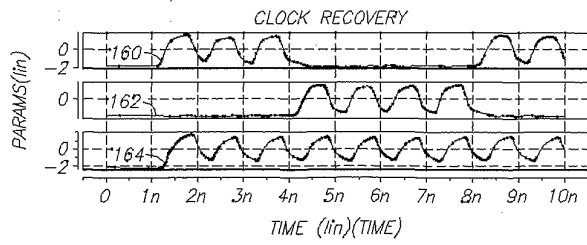


FIG.10

6/6

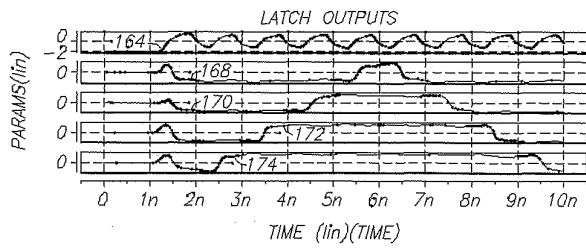


FIG.11

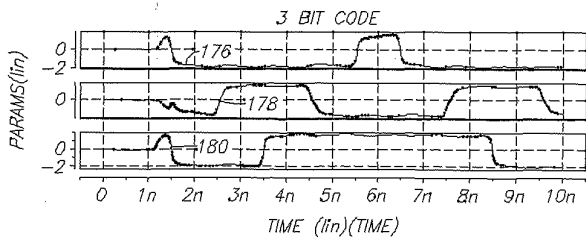


FIG.12

【 国際公開パンフレット ( コレクトバージョン ) 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number  
WO 02/09281 A3

- (51) International Patent Classification: **H04L 25/49**, H03M 5/20, 1/00
- (74) Agent: DUJVESTIJN, Adrianus, J.; Internationaal Octrooibureau B.V.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/08400
- (81) Designated States (national): CN, JP.
- (22) International Filing Date: 19 July 2001 (19.07.2001)
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/625,084 25 July 2000 (25.07.2000) US
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (88) Date of publication of the international search report: 6 June 2002
- (72) Inventors: CICCONE, John; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). SESSIONS, D., C.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). LIEPOLD, Carl; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

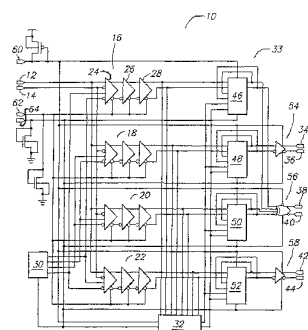
**Published:**  
 — with international search report  
 — before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/09281 A3

(54) Title: 5-ARY RECEIVER UTILIZING COMMON MODE INSENSITIVE DIFFERENTIAL OFFSET COMPARATOR



**(57) Abstract:** A signal converter is provided for converting multiple level encoded digital signals into a binary equivalent signal. The signal converter includes a reference voltage generator, a plurality of four-input differential comparators, timing recovery circuitry, and signal conversion circuitry. The reference voltage generator is operative to generate a plurality of progressively larger differential reference voltages. The plurality of differential comparators are each operative to compare magnitude of a differential input voltage with magnitude of a dedicated one of the progressively larger differential reference voltages and produce a differential output voltage having a first logical sense if the magnitude of the differential input voltage is greater than the magnitude of the differential reference voltage, and having a second logical sense if the magnitude of the differential input voltage is less than the magnitude of the differential reference voltage. Each comparator has an offset input voltage. The timing recovery circuitry is configured to receive the differential output voltages from each of the differential comparators and is operative to derive a clock via edge detection and generate a recovered clock signal. The signal conversion circuitry is coupled with the timing recovery circuitry and the differential comparators and is operative to convert the differential output voltages into a binary equivalent. A method is also provided.

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
31 January 2002 (31.01.2002)

PCT

(10) International Publication Number  
WO 02/09281 A3

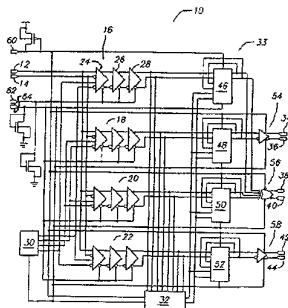
- (51) International Patent Classification: H04L 25/49; H03M 5/20, 1/00
- (52) International Application Number: PCT/EP01/08400
- (53) International Filing Date: 19 July 2001 (19.07.2001)
- (54) Filing Language: English
- (55) Publication Language: English
- (56) Priority Data: 09/625,084; 25 July 2000 (25.07.2000) US
- (57) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (58) Inventors: CICONE, John; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL); SESSIONS, D., C.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL); LIEPOLD, Carl; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (74) Agent: DULIVESTIJN, Adrianus, J.; Internationaal Octrooibureau B.V.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): CN, JP.
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (88) Date of publication of the international search report: 6 June 2002

Published:  
— with international search report  
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/09281 A3

(54) Title: 5-ARY RECEIVER UTILIZING COMMON MODE INSENSITIVE DIFFERENTIAL OFFSET COMPARATOR



(57) Abstract: A signal converter is provided for converting multiple level encoded digital signals into a binary equivalent signal. The signal converter includes a reference voltage generator, a plurality of four-input differential comparators, limiting recovery circuitry, and signal conversion circuitry. The reference voltage generator is operative to generate a plurality of progressively larger differential reference voltages. The plurality of differential comparators are each operative to compare magnitude of a differential input voltage with magnitude of a dedicated one of the progressively larger differential reference voltages and produce a differential output voltage having a first logical sense if the magnitude of the differential input voltage is greater than the magnitude of the differential reference voltage, and having a second logical sense if the magnitude of the differential input voltage is less than the magnitude of the differential reference voltage. Each comparator has an offset input voltage. The timing recovery circuitry is configured to receive the differential output voltages from each of the differential comparators and is operative to derive a clock via edge detection and generate a recovered clock signal. The signal conversion circuitry is coupled with the timing recovery circuitry and the differential comparators and is operative to convert the differential output voltages into a binary equivalent. A method is also provided.

(L) 60201491027



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP 01/08400
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04L25/49 H03M5/20 H03M1/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	F. MLINARSKY: "Gigabit Ethernet over Category 5" WWW.SCOPE.COM, 13 October 1997 (1997-10-13), XP002193483 page 1, line 1 -page 11, last line; figures 3,11 --- -/--	1-26
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
*A* document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*E* earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
*O* document referring to an oral disclosure, use, exhibition or other means		*S* document member of the same patent family
*P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 19 March 2002	Date of mailing of the international search report 03/04/2002	
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2340, Tx. 31 651 epo nl Fax. (+31-70) 340-3016	Authorized officer Van Staveren, M	

Form PCT/ISA/210 (second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

International Application No PCT/EP 01/08400
---

## C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT



Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	SHIH T ET AL.: "A FULLY DIFFERENTIAL COMPARATOR USING A SWITCHED-CAPACITOR DIFFERENCING CIRCUIT WITH COMMON-MODE REJECTION" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 2, 1 February 1997 (1997-02-01), pages 250-253, XP00722212 ISSN: 0018-9200 page 250, column 1, line 6 -column 2, line 4 page 251, column 2, line 37 -page 252, column 2, last line; figure 2	1-26
A	M. HATAMIAN ET AL.: "Design Considerations for Gigabit Ethernet 1000Base-T Twisted Pair Transceivers" IEEE 1998 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 11 - 14 May 1998, pages 335-342, XP010293978 Santa Clara, CA, USA figures 1,9	1,12,20, 23

1

Form PCT/ISA210 (continuation of secured sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP 01/08400

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H04L25/49 H03M5/20 H03M1/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	F. MLINARSKY: "Gigabit Ethernet over Category 5" WWW.SCOPE.COM, 13 October 1997 (1997-10-13), XP002193483 page 1, line 1 -page 11, last line; figures 3,11  --- -/-  (L)60201480401 	1-26
<div style="text-align: center;">  </div>		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document but published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document(s) referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed		
'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention 'X' document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone 'Y' document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. 'Z' document member of the same patent family		
Date of the actual completion of the international search 19 March 2002	Date of mailing of the international search report 03/04/2002	
Name and mailing address of the ISA European Patent Office, P.O. Box 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl Fax: (+31-70) 340-3016	Authorized officer Van Staveren, M	

Form PCT/ISA/210 (second sheet) (July 1999)

21

INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP 01/08400

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	SHIH T ET AL.: "A FULLY DIFFERENTIAL COMPARATOR USING A SWITCHED-CAPACITOR DIFFERENCING CIRCUIT WITH COMMON-MODE REJECTION" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 32, no. 2, 1 February 1997 (1997-02-01), pages 250-253, XP000722212 ISSN: 0018-9200 page 250, column 1, line 6 -column 2, line 4 page 251, column 2, line 37 -page 252, column 2, last line; figure 2	1-26
A	M. HATAMIAN ET AL.: "Design Considerations for Gigabit Ethernet 1000Base-T Twisted Pair Transceivers" IEEE 1998 CUSTOM INTEGRATED CIRCUITS CONFERENCE, 11 - 14 May 1998, pages 335-342, XP010293978 Santa Clara, CA, USA figures 1,9	1,12,20, 23

1

Form PCTA86/E-10 (continuation of second sheet) (July 1992)

---

フロントページの続き

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100112793

弁理士 高橋 佳大

(72)発明者 ジョン、シコーン

オランダ国5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

(72)発明者 ディー・シー・セッションズ

オランダ国5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

(72)発明者 カール、リーポルド

オランダ国5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

Fターム(参考) 5J039 AB03 DA08 DA18 KK00 KK04 KK11 KK13 KK18 KK28 MM08

NN01