

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年2月12日(2015.2.12)

【公表番号】特表2013-509824(P2013-509824A)

【公表日】平成25年3月14日(2013.3.14)

【年通号数】公開・登録公報2013-013

【出願番号】特願2012-537113(P2012-537113)

【国際特許分類】

H 03M 13/29 (2006.01)

【F I】

H 03M 13/29

【誤訳訂正書】

【提出日】平成26年12月15日(2014.12.15)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

競合の無いメモリ・アクセスを提供するターボ・デコーダを適用することを容易にする無線通信システムにおいて使用される方法であって、

事後確率(APP)ランダム・アクセス・メモリ(RAM)を特定することと、

前記APP RAMを、M個のRAMファイルへ構成することと、

すべてのAPP値を、2次置換多項式(QPP)ターボ・インタリーバに基づいて、少なくとも2つのインタリーブ・サブ・グループに分割することと、ここで、前記分割は、n = 1, ..., Mのうちのn番目のインタリーブ・サブ・グループを、n L + M k + j(j = 0, 1, 2, 3)のフォーマットでフォーマットすることを備え、ここで、前記Lは、前記インタリーブ・サブ・グループの長さであり、nは、前記M個のインタリーブ・サブ・グループのおのの内のインデックスであり、前記kは、サブ・グループ・インデックスである。

個別のインタリーブ・サブ・グループを、個別のAPP RAMファイルにマップすることと、

インタリーブ・サブ・グループ内の第1のAPP値と、別のインタリーブ・サブ・グループ内の第2のAPP値とに同時にアクセスすることと、
を備える方法。

【請求項2】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリーブ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いる、請求項1に記載の方法。

【請求項3】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリーブ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いるように隔離された、請求項1に記載の方法。

【請求項4】

Mが2である、請求項1に記載の方法。

【請求項5】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用す

ること、をさらに備える請求項 4 に記載の方法。

【請求項 6】

Mが 4 である、請求項 1 に記載の方法。

【請求項 7】

同時の読み取りおよび書き込みを提供するために、デュアル・ポート RAM 設計を利用すること、をさらに備える請求項 6 に記載の方法。

【請求項 8】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用すること、をさらに備える請求項 6 に記載の方法。

【請求項 9】

Mが 8 である、請求項 1 に記載の方法。

【請求項 10】

同時の読み取りおよび書き込みを提供するために、デュアル・ポート RAM 設計を利用すること、をさらに備える請求項 9 に記載の方法。

【請求項 11】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用すること、をさらに備える請求項 9 に記載の方法。

【請求項 12】

Mが 16 である、請求項 1 に記載の方法。

【請求項 13】

同時の読み取りおよび書き込みを提供するために、デュアル・ポート RAM 設計を利用すること、をさらに備える請求項 12 に記載の方法。

【請求項 14】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用すること、をさらに備える請求項 12 に記載の方法。

【請求項 15】

Mが 32 である、請求項 1 に記載の方法。

【請求項 16】

同時の読み取りおよび書き込みを提供するために、デュアル・ポート RAM 設計を利用すること、をさらに備える請求項 15 に記載の方法。

【請求項 17】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用すること、をさらに備える請求項 15 に記載の方法。

【請求項 18】

前記 QPP ターボ・インタリーバに関連するサブ・グループを持つメンバシップを保持することをさらに備え、

前記 QPP ターボ・インタリーバのサブ・グループに対するメンバシップは、APP RAM 内のサブ・グループのメンバシップに変わる、請求項 1 に記載の方法。

【請求項 19】

競合の無いメモリ・アクセスを提供するターボ・デコーダを適用する無線通信装置であって、

事後確率 (APP) ランダム・アクセス・メモリ (RAM) を特定し、

前記 APP RAM を、M 個の RAM ファイルへ構成し、

すべての APP 値を、2 次置換多項式 (QPP) ターボ・インタリーバに基づいて、少なくとも 2 つのインタリーブ・サブ・グループに分割し、ここで、前記分割は、 $n = 1, \dots, \dots, M$ のうちの n 番目のインタリーブ・サブ・グループを、 $nL + Mk + j$ ($j = 0, 1, 2, 3$) のフォーマットでフォーマットすることを備え、ここで、 n は、前記 M 個のインタリーブ・サブ・グループのおのおのの内のインデクスであり、前記 k は、サブ・グループ・インデクスである、

個別のインタリーブ・サブ・グループを、個別の APP RAM ファイルにマップし、

インタリープ・サブ・グループ内の第1のAPP値と、別のインタリープ・サブ・グループ内の第2のAPP値とに同時にアクセスする、
ように構成された少なくとも1つのプロセッサと、
前記少なくとも1つのプロセッサに接続されたメモリと、
を備える無線通信装置。

【請求項20】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリープ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いる、請求項19に記載の無線通信装置。

【請求項21】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリープ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いるように隔離された、請求項19に記載の無線通信装置。

【請求項22】

Mが2である、請求項19に記載の無線通信装置。

【請求項23】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項22に記載の無線通信装置。

【請求項24】

Mが4である、請求項19に記載の無線通信装置。

【請求項25】

同時の読み取りおよび書き込みを提供するために、デュアル・ポートRAM設計を利用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項24に記載の無線通信装置。

【請求項26】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項24に記載の無線通信装置。

【請求項27】

Mが8である、請求項19に記載の無線通信装置。

【請求項28】

同時の読み取りおよび書き込みを提供するために、デュアル・ポートRAM設計を利用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項27に記載の無線通信装置。

【請求項29】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項27に記載の無線通信装置。

【請求項30】

Mが16である、請求項19に記載の無線通信装置。

【請求項31】

同時の読み取りおよび書き込みを提供するために、デュアル・ポートRAM設計を利用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項30に記載の無線通信装置。

【請求項32】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する、ように構成された少なくとも1つのプロセッサをさらに備える請求項30に記載の無線通信装置。

【請求項 3 3】

Mが32である、請求項19に記載の無線通信装置。

【請求項 3 4】

同時の読み取りおよび書き込みを提供するために、デュアル・ポートRAM設計を利用する、よう構成された少なくとも1つのプロセッサをさらに備える請求項33に記載の無線通信装置。

【請求項 3 5】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する、よう構成された少なくとも1つのプロセッサをさらに備える請求項33に記載の無線通信装置。

【請求項 3 6】

前記QPPターボ・インタリーバに関連するサブ・グループを持つメンバシップを保持するように構成された少なくとも1つのプロセッサをさらに備え、

前記QPPターボ・インタリーバのサブ・グループに対するメンバシップは、APP RAM内のサブ・グループのメンバシップに変わる、請求項19に記載の無線通信装置。

【請求項 3 7】

競合の無いメモリ・アクセスを提供するターボ・デコーダを適用する無線通信装置であって、

事後確率(APP)ランダム・アクセス・メモリ(RAM)を特定する手段と、

前記APP RAMを、M個のRAMファイルへ構成する手段と、

すべてのAPP値を、2次置換多項式(QPP)ターボ・インタリーバに基づいて、少なくとも2つのインタリーブ・サブ・グループに分割する手段と、ここで、前記分割は、 $n = 1, \dots, M$ のうちのn番目のインタリーブ・サブ・グループを、 $nL + Mk + j$ ($j = 0, 1, 2, 3$)のフォーマットでフォーマットすることを備え、ここで、前記Lは、前記インタリーブ・サブ・グループの長さであり、nは、前記M個のインタリーブ・サブ・グループのおのの内のインデックスであり、前記kは、サブ・グループ・インデクスである、

個別のインタリーブ・サブ・グループを、個別のAPP RAMファイルにマップする手段と、

インタリーブ・サブ・グループ内の第1のAPP値と、別のインタリーブ・サブ・グループ内の第2のAPP値と同時にアクセスする手段と、
を備える無線通信装置。

【請求項 3 8】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリーブ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いる、請求項37に記載の無線通信装置。

【請求項 3 9】

前記ターボ・デコーダが、MAPパラレル・デコーダを備え、前記MAPパラレル・デコーダが、前記インタリーブ・サブ・グループのうちの少なくとも1つへの読み取りまたは書き込みのうちの少なくとも1つを用いるように隔離された、請求項37に記載の無線通信装置。

【請求項 4 0】

Mが2である、請求項37に記載の無線通信装置。

【請求項 4 1】

サブ・グループのための書き込みと読み取りとの間にクロック・サイクル・オフセットを適用する手段、をさらに備える請求項40に記載の無線通信装置。

【請求項 4 2】

Mが4である、請求項37に記載の無線通信装置。

【請求項 4 3】

同時の読み取りおよび書き込みを提供するために、デュアル・ポートRAM設計を利用する手段

、をさらに備える請求項 4 2 に記載の無線通信装置。

【請求項 4 4】

サブ・グループのための書込と読取との間にクロック・サイクル・オフセットを適用する手段、をさらに備える請求項 4 2 に記載の無線通信装置。

【請求項 4 5】

Mが 8 である、請求項 3 7 に記載の無線通信装置。

【請求項 4 6】

同時の読取および書込を提供するために、デュアル・ポート R A M 設計を利用する手段、をさらに備える請求項 4 5 に記載の無線通信装置。

【請求項 4 7】

サブ・グループのための書込と読取との間にクロック・サイクル・オフセットを適用する手段、をさらに備える請求項 4 5 に記載の無線通信装置。

【請求項 4 8】

Mが 1 6 である、請求項 4 5 に記載の無線通信装置。

【請求項 4 9】

同時の読取および書込を提供するために、デュアル・ポート R A M 設計を利用する手段、をさらに備える請求項 4 8 に記載の無線通信装置。

【請求項 5 0】

サブ・グループのための書込と読取との間にクロック・サイクル・オフセットを適用する手段、をさらに備える請求項 4 8 に記載の無線通信装置。

【請求項 5 1】

Mが 3 2 である、請求項 4 5 に記載の無線通信装置。

【請求項 5 2】

同時の読取および書込を提供するために、デュアル・ポート R A M 設計を利用する手段、をさらに備える請求項 5 1 に記載の無線通信装置。

【請求項 5 3】

サブ・グループのための書込と読取との間にクロック・サイクル・オフセットを適用する手段、をさらに備える請求項 5 1 に記載の無線通信装置。

【請求項 5 4】

前記 Q P P ター ボ・インタリーバに関連するサブ・グループを持つメンバシップを保持する手段をさらに備え、

前記 Q P P ター ボ・インタリーバのサブ・グループに対するメンバシップは、 A P P R A M 内のサブ・グループのメンバシップに変わる、請求項 3 7 に記載の無線通信装置。

【請求項 5 5】

競合の無いメモリ・アクセスを提供するター ボ・デコーダを適用する無線通信のためのコンピュータ読取可能な記録媒体であって、

少なくとも 1 つのコンピュータに対して、事後確率 (A P P) ランダム・アクセス・メモリ (R A M) を特定させるためのコードと、

少なくとも 1 つのコンピュータに対して、前記 A P P R A M を、 M 個の R A M ファイルへ構成させるためのコードと、

少なくとも 1 つのコンピュータに対して、すべての A P P 値を、 2 次置換多項式 (Q P P) ター ボ・インタリーバに基づいて、少なくとも 2 つのインタリーブ・サブ・グループに分割させるためのコードと、ここで、前記分割は、 $n = 1, \dots, M$ のうちの n 番目のインタリーブ・サブ・グループを、 $n L + M k + j$ ($j = 0, 1, 2, 3$) のフォーマットでフォーマットすることを備え、ここで、前記 L は、前記インタリーブ・サブ・グループの長さであり、 n は、前記 M 個のインタリーブ・サブ・グループのおのの内のインデクスであり、前記 k は、サブ・グループ・インデクスである、

少なくとも 1 つのコンピュータに対して、個別のインタリーブ・サブ・グループを、個別の A P P R A M ファイルにマップさせるためのコードと、

少なくとも 1 つのコンピュータに対して、インタリーブ・サブ・グループ内第 1 の A

PP 値と、別の インタリープ・サブ・グループ内の第 2 の APP 値とに 同時に アクセスさせるためのコードと、
を備えるコンピュータ読取可能な記録媒体。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0046

【訂正方法】変更

【訂正の内容】

【0046】

上記の実施の例では、クロック・サイクル毎に 4 つの読取と 4 つの書込とを含む、インデクス $m \cdot L + 2k$ 、 $m \cdot L + 2k + 1$ 、 $n \cdot L + L - 1 - 2k$ 、 $n \cdot L + L - 2 - 2k$ 、あるいは、 $(m \cdot L + 2k)$ 、 $(m \cdot L + 2k + 1)$ 、 $(n \cdot L + L - 1 - 2k)$ 、 $(n \cdot L + L - 2 - 2k)$ を持つ APP 値にアクセスする必要がある。同時の読取および書込は、デュアル・ポート RAM 設計によって解決される。4 つの読取または書込の間で競合が無いことを保証するために、一例として、全体で N 個の APP 値が、M = 4 のサブ・グループに分割される。これに対応して、4 つの RAM バンクが使用される。ここで、第 1 の RAM バンクが、P [4 i] の APP 値を含み、第 2 の RAM バンクが、P [4 i + 1] に関する APP 値を含み、第 3 の RAM バンクが、P [4 i + 2] に関する APP 値を含み、最後の RAM バンクが、P [4 i + 3] に関する APP 値を含みうる。L の典型的な値は、32 / 64 / 128 である。QPP のサブ・グループ・インタリープ特性によって、 $m \cdot L + 2k$ 、 $m \cdot L + 2k + 1$ 、 $n \cdot L + L - 1 - 2k$ 、 $n \cdot L + L - 2 - 2k$ であるか、あるいは、 $(m \cdot L + 2k)$ 、 $(m \cdot L + 2k + 1)$ 、 $(n \cdot L + L - 1 - 2k)$ 、 $(n \cdot L + L - 2 - 2k)$ である 4 つのアドレスが常に、異なる RAM バンクに格納された異なるサブ・グループに属することを、これら L の値を用いて確認することが容易である。この結果、上述した APP 値は常に、競合も衝突も無く、同時にアクセスされうる。

例として、

上記例におけるデュアル・ポート RAM は、APP 値を、8 つのインタリープ・サブ・グループへ分割することによって回避されうる。ここで、おのののサブ・グループは、個別の単一ポート RAM ファイルに格納される。単一ポート RAM は、任意の時間に、読取または書込されうる。クロック・サイクル毎の 4 つの読取および 4 つの書込は、1 つのクロック・サイクルにおいて、各 RAM ファイルからの 1 つである、8 つの値を読み取ること、および、次のクロック・サイクルにおいて、各 RAM ファイルについて 1 つである、8 つの値を書き込むこと等によって達成されうる。