



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년12월12일
(11) 등록번호 10-2055239
(24) 등록일자 2019년12월06일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0012978
(22) 출원일자 2013년02월05일
심사청구일자 2018년02월01일
(65) 공개번호 10-2013-0092463
(43) 공개일자 2013년08월20일
(30) 우선권주장
JP-P-2012-026624 2012년02월09일 일본(JP)
(56) 선행기술조사문헌
JP2004304167 A*
W02011024770 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 11 항

심사관 : 백형열

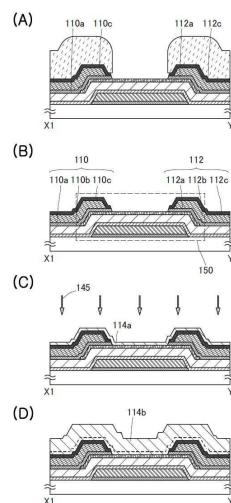
(54) 발명의 명칭 반도체 장치, 반도체 장치를 갖는 표시 장치, 반도체 장치를 갖는 전자 기기, 및 반도체 장치의 제작 방법

(57) 요약

본 발명은 산화물 반도체막이 사용된 반도체 장치에 있어서 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 트랜지스터의 제작 방법을 제공한다. 또한, 상기 트랜지스터를 갖는 반도체 장치를 제공한다. 또한, 상기 트랜지스터를 갖는 고성능 표시 장치를 제공한다.

산화물 반도체막에 접하는 소스 전극 및 드레인 전극의 제작 방법에 있어서, 제 1 금속막과 제 2 금속막을 형성하고, 상기 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하여 상기 제 2 금속막의 일부를 제 1 에칭으로 제거한다. 그 후, 제 1 금속막 및 제 2 금속막 위에 제 3 금속막을 형성하고, 상기 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하여 제 1 금속막 및 제 3 금속막의 일부를 제 2 에칭으로 제거한다. 또한, 제 2 에칭은 제 1 에칭에 의하여 제거된 제 2 금속막의 단부보다 외측의 제 1 금속막 및 제 3 금속막을 제거한다.

대표도 - 도4



명세서

청구범위

청구항 1

반도체 장치의 제작 방법으로서,

게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재하여 상기 게이트 전극 위에 산화물 반도체막을 형성하는 단계; 및

상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극을 형성하는 상기 단계는,

제 1 금속막을 형성하는 단계;

상기 제 1 금속막 위에 제 2 금속막을 형성하는 단계;

상기 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하고 제 1 에칭에 의해 상기 제 2 금속막을 부분적으로 제거하는 단계;

상기 제 1 금속막 및 상기 제 2 금속막 위에 상기 제 2 금속막을 덮도록 제 3 금속막을 형성하는 단계; 및

상기 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하고 제 2 에칭에 의해 상기 제 1 금속막 및 상기 제 3 금속막을 부분적으로 제거하는 단계를 포함하고,

상기 제 2 에칭은 상기 제 1 에칭에 의하여 제거되는 상기 제 2 금속막의 단부들보다 외측에서 상기 제 1 금속막 및 상기 제 3 금속막을 부분적으로 제거하는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 금속막은 구리 원소를 함유하는, 반도체 장치의 제작 방법.

청구항 3

반도체 장치의 제작 방법으로서,

게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재하여 상기 게이트 전극 위에 산화물 반도체막을 형성하는 단계; 및

상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극을 형성하는 상기 단계는,

제 1 금속막을 형성하는 단계;

상기 제 1 금속막 위에 제 2 금속막을 형성하는 단계;

상기 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하고 제 1 에칭에 의해 상기 제 2 금속막을 부분적으로 제거하는 단계;

상기 제 1 금속막 및 상기 제 2 금속막 위에 상기 제 2 금속막을 덮도록 제 3 금속막을 형성하는 단계; 및

상기 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하고 제 2 에칭에 의해 상기 제 1 금속막과 상기 제 3 금속막을 부분적으로 제거하는 단계를 포함하고,

상기 제 2 에칭을 거친 상기 제 1 금속막의 단부와 상기 제 3 금속막의 단부는, 상기 제 1 에칭을 거친 상기 제 2 금속막의 단부의 외측까지 연장되고,

상기 제 2 에칭을 거친 상기 제 1 금속막의 상기 단부와 상기 제 3 금속막의 상기 단부는 서로 접촉하고,

상기 제 2 금속막은 구리를 포함하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 소스 전극 및 상기 드레인 전극 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막에 산소를 도입하는 단계;

상기 제 1 절연막 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 알루미늄막을 형성하는 단계;

산화 알루미늄막을 형성하기 위해 상기 알루미늄막에 산소를 도입하는 단계; 및

상기 산화 알루미늄막 위에 평탄화 절연막을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 5

제 4 항에 있어서,

상기 알루미늄막에 산소를 도입하는 상기 단계는 산소 가스를 사용하는 플라즈마 처리에 의해 수행되는, 반도체 장치의 제작 방법.

청구항 6

반도체 장치의 제작 방법으로서,

게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재하여 상기 게이트 전극 위에 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극과 상기 드레인 전극을 형성한 후 상기 산화물 반도체막 위에 제 1 절연막을 형성하는 단계; 및

상기 제 1 절연막에 산소를 도입하는 단계를 포함하고,

상기 소스 전극 및 상기 드레인 전극을 형성하는 상기 단계는,

제 1 금속막을 형성하는 단계;

상기 제 1 금속막 위에 제 2 금속막을 형성하는 단계;

상기 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하고 제 1 에칭에 의해 상기 제 2 금속막을 부분적으로 제거하는 단계;

상기 제 1 금속막 및 상기 제 2 금속막 위에 상기 제 2 금속막을 덮도록 제 3 금속막을 형성하는 단계; 및

상기 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하고 제 2 에칭에 의해 상기 제 1 금속막과 상기 제 3 금속막을 부분적으로 제거하는 단계를 포함하고,

상기 제 2 에칭을 거친 상기 제 1 금속막의 단부와 상기 제 3 금속막의 단부는, 상기 제 1 에칭을 거친 상기 제 2 금속막의 단부의 외측까지 연장되고,

상기 제 2 에칭을 거친 상기 제 1 금속막의 상기 단부와 상기 제 3 금속막의 상기 단부는 서로 접촉하고,

상기 제 2 금속막은 구리를 포함하는, 반도체 장치의 제작 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 절연막 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 알루미늄막을 형성하는 단계;

산화 알루미늄막을 형성하기 위해 상기 알루미늄막에 산소를 도입하는 단계; 및

상기 산화 알루미늄막 위에 평탄화 절연막을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 6 항에 있어서,

상기 제 1 절연막에 산소를 도입하는 상기 단계는 산소 가스를 사용하는 플라즈마 처리에 의해 수행되는, 반도체 장치의 제작 방법.

청구항 9

제 1 항, 제 3 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 제 1 금속막 및 상기 제 3 금속막 각각은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 함유하는 금속막 또는 금속 질화물막인, 반도체 장치의 제작 방법.

청구항 10

제 1 항, 제 3 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 제 1 에칭은 웨트 에칭법인, 반도체 장치의 제작 방법.

청구항 11

제 1 항, 제 3 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 제 2 에칭은 드라이 에칭법인, 반도체 장치의 제작 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치, 및 반도체 장치의 제작 방법에 관한 것이다. 또한, 상기 반도체 장치를 갖는 표시 장치 및 전자 기기에 관한 것이다.

배경 기술

[0002] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용될 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 이 외 재료로서 산화물 반도체가 주목을 받고 있다.

[0003] 예를 들어, 산화물 반도체로서 Zn-O계 산화물 또는 In-Ga-Zn-O계 산화물을 사용하여 트랜지스터를 제작하는 기술이 개시(開示)되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0004] 또한, 트랜지스터가 사용된 표시 장치(예를 들어, 액정 패널, 유기 EL 패널)는 화면 크기가 대형화되는 추세이다. 트랜지스터 등의 액티브 소자가 사용된 표시 장치의 경우에는 화면 크기의 대형화에 따라, 소자에 인가되는 전압이 소자에 접속되는 배선의 위치에 따라서는 배선 저항으로 인하여 다르게 되기 때문에 표시 불균일이나 게조 불량 등이 생겨 표시 품질이 저하되는 문제가 있었다.

[0005] 또한, 표시 장치의 화면의 해상도는 하이비전 화질(HD, 1366×768), 풀 하이비전 화질(FHD, 1920×1080) 등 고정세화되는 경향이 있고, 해상도가 3840×2048, 또는 4096×2180이라는 소위 4K 디지털 시네마용 표시 장치의 개발도 시급하다.

[0006] 표시 장치의 화면 해상도가 향상됨에 따라 표시 장치의 구동 회로 등에 사용되는 구동 주파수도 높아지는 경향이 있으며 배선 또는 신호선 등에는 신호 지연이 적은 저저항 재료의 적용이 요구되고 있다.

[0007] 배선 또는 신호선 등에 사용되는 재료로서 종래에는 알루미늄막이 널리 사용되고 있었지만, 더 저저항화하기 위하여 구리막을 사용하는 연구 개발이 활발히 진행되고 있다. 그러나, 구리막은 하지막과의 밀착성이 약하다는 단점이나 구리막 내의 구리 원소가 트랜지스터의 반도체층에 확산됨으로써 트랜지스터 특성을 악화시키기 쉬운 등의 단점을 갖는다. 그러므로, 하지막과의 밀착성 개선, 및 구리 원소의 확산 방지를 위하여 질화 실리콘막과 상기 질화 실리콘막 위에 형성된 구리 합금층과, 상기 구리 합금층 위에 형성된 순구리층을 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 3 참조).

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

(특허문헌 0003) 일본국 특개2010-230965호 공보

발명의 내용

해결하려는 과제

- [0009] 특허문헌 1은 트랜지스터에 적용될 수 있는 반도체 박막에 실리콘계 반도체 재료를 사용하는 것을 전제로 한 것이다. 그러므로, 채널 형성 영역에 산화물 반도체막이 사용된 트랜지스터에 적용하기에는 최적의 제작 방법 또는 최적의 구조가 아니라는 문제가 있다.
- [0010] 상술한 바와 같은 문제를 감안하여 본 발명의 일 형태에서는 산화물 반도체막이 사용된 반도체 장치에 있어서 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 트랜지스터의 제작 방법을 제공하는 것을 목적 중 하나로 한다. 또한, 상기 트랜지스터를 갖는 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 상기 트랜지스터를 갖는 고성능 표시 장치를 제공하는 것을 목적 중 하나로 한다.

과제의 해결 수단

- [0011] 채널 형성 영역에 산화물 반도체막이 사용된 보텀 게이트 구조의 트랜지스터를 갖는 반도체 장치의 제작 방법에 있어서, 산화물 반도체막에 접하도록 소스 전극 및 드레인 전극을 형성한다. 소스 전극 및 드레인 전극은 제 1 금속막 내지 제 3 금속막으로 구성되며, 제 2 금속막에 구리 원소를 포함한 재료가 사용된다.
- [0012] 산화물 반도체막에 접하는 소스 전극 및 드레인 전극의 제작 방법으로서, 제 1 금속막과 제 2 금속막을 형성하고, 상기 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하여 상기 제 2 금속막의 일부를 제 1 에칭으로 제거한다. 그 후, 제 1 금속막 및 제 2 금속막 위에 제 3 금속막을 형성하고, 상기 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하여 제 1 금속막 및 제 3 금속막의 일부를 제 2 에칭으로 제거한다. 또한, 제 2 에칭은 제 1 에칭에 의하여 제거된 제 2 금속막의 단부보다 외측의 제 1 금속막 및 제 3 금속막을 제거한다. 이와 같은 제작 방법으로 함으로써 제 2 금속막은 제 1 금속막과 제 3 금속막으로 덮이므로(더 바람직하게는 싸이드로) 제 2 금속막에 사용된 구리 원소를 포함한 재료가 산화물 반도체막에 확산되는 것을 억제할 수 있다. 더 자세한 사항은 이하와 같다.
- [0013] 본 발명의 일 형태는 게이트 전극을 형성하는 공정과, 게이트 전극 위에 게이트 절연막을 형성하는 공정과, 게이트 전극과 중첩되는 위치에 게이트 절연막과 접하는 산화물 반도체막을 형성하는 공정과, 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 공정을 포함하는 반도체 장치의 제작 방법에 있어서, 소스 전극 및 드레인 전극은 제 1 금속막과 제 2 금속막을 형성하는 공정과, 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하여 제 2 금속막의 일부를 제 1 에칭으로 제거하는 공정과, 제 1 금속막 및 제 2 금속막 위에 제 3 금속막을 형성하는 공정과, 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하여 제 1 금속막 및 제 3 금속막의 일부를 제 2 에칭으로 제거하는 공정을 포함하고, 제 2 에칭은 제 1 에칭에 의하여 제거된 제 2 금속막의 단부보다 외측의 제 1 금속막 및 제 3 금속막을 제거하는 반도체 장치의 제작 방법이다.
- [0014] 상기 제작 방법에 있어서, 소스 전극 및 드레인 전극 위에 제 1 절연막을 형성하는 공정과, 제 1 절연막에 산소를 도입하는 공정과, 제 1 절연막 위에 제 2 절연막을 형성하는 공정과, 제 2 절연막 위에 알루미늄막을 형성하는 공정과, 알루미늄막에 산소를 도입하여 산화 알루미늄막을 형성하는 공정과, 산화 알루미늄막 위에 평탄화 절연막을 형성하는 공정을 더 포함하는 구성으로 하여도 좋다.
- [0015] 또한, 상기 각 제작 방법에 있어서 제 1 금속막 및 제 3 금속막은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막이면 좋다. 또한, 제 2 금속막은 구리 원소를 포함하면 좋다.
- [0016] 또한, 상기 각 제작 방법에 있어서 제 1 에칭은 웨트 에칭법을 사용하여 수행하고, 제 2 에칭은 드라이 에칭법을 사용하여 수행하면 좋다.
- [0017] 또한, 본 발명의 다른 일 형태는 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막에 접하여 있으며 게이트 전극과 중첩되는 위치에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극을 갖고, 소스 전극 및 드레인 전극은 제 1 금속막, 제 2 금속막, 및 제 3 금속막으로 이루어지고, 제 2 금속막은 제 1 금속막 및 제 3 금속막의 단부보다 내측의 영역에 형성되는 반도체 장치이다.
- [0018] 또한, 본 발명의 다른 일 형태는 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막에 접하여 있으며 게이트 전극과 중첩되는 위치에 형성된 산화물 반도체막과, 산화물 반도체막 위에 형성된 소스 전극 및 드레인 전극과, 소스 전극에 전기적으로 접속된 신호선을 갖고, 신호선은 제 1 금속막, 제 2 금속막, 및 제 3 금속막으로 이루어지고, 제 2 금속막은 제 1 금속막 및 제 3 금속막의 단부보다 내측의 영역에 형성되

고, 소스 전극 및 드레인 전극은 제 1 금속막 및 제 3 금속막으로 이루어지는 반도체 장치이다.

- [0019] 상기 구성에 있어서, 소스 전극 및 드레인 전극 위에, 산소 과잉형의 제 1 절연막과, 제 1 절연막 위에 형성된 제 2 절연막과, 제 2 절연막 위에 형성된 산화 알루미늄막과, 산화 알루미늄막 위에 형성된 평탄화 절연막을 더 포함하는 구성으로 하여도 좋다.
- [0020] 또한, 상기 각 구성에 있어서 제 1 금속막 및 제 3 금속막은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막이면 좋다. 또한, 제 2 금속막은 구리 원소를 포함하면 좋다.
- [0021] 또한, 상기 각 구성에 있어서, 게이트 전극은 텅스텐, 탄탈, 티타늄, 몰리브덴, 및 구리 중에서 선택된 하나 이상의 원소를 포함하면 좋다.
- [0022] 또한, 상기 반도체 장치를 갖는 표시 장치, 전자 기기도 본 발명의 범주에 포함되는 것으로 한다.

발명의 효과

- [0023] 산화물 반도체막이 사용된 반도체 장치에 있어서 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 트랜지스터의 제작 방법을 제공할 수 있다. 또한, 상기 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또한, 상기 트랜지스터를 갖는 고성능 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0024] 도 1(A)는 반도체 장치의 일 형태를 도시한 평면도이고, 도 1(B) 및 도 1(C)는 반도체 장치의 일 형태를 도시한 단면도.
- 도 2(A) 내지 도 2(E)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 3(A) 내지 도 3(D)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 4(A) 내지 도 4(D)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 5(A) 내지 도 5(C)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 6(A)는 반도체 장치의 일 형태를 도시한 평면도이고, 도 6(B)는 반도체 장치의 일 형태를 도시한 단면도.
- 도 7(A) 내지 도 7(D)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 8(A) 내지 도 8(D)는 반도체 장치의 제작 공정의 일례를 도시한 단면도.
- 도 9는 표시 장치의 일 형태를 도시한 평면도.
- 도 10은 표시 장치의 일 형태를 도시한 단면도.
- 도 11은 표시 장치의 일 형태를 도시한 단면도.
- 도 12(A) 내지 도 12(F)는 반도체 장치를 포함한 전자 기기의 일례를 도시한 도면.
- 도 13(A) 내지 도 13(D)는 반도체 장치를 포함한 태블릿형 단말의 일례를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하에서는 본 명세서에 개시된 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 아니하며 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 내용에 한정하여 해석되는 것은 아니다.
- [0026] 또한, 도면 등에 도시된 각 구성의 위치, 크기, 범위 등은 이해하기 쉽게 하기 위하여 실제 위치, 크기, 범위 등을 도시하지 않은 경우가 있다. 그러므로, 개시된 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

- [0027] 또한, 본 명세서 등에 있어서 '제 1', '제 2', '제 3' 등의 서수사는 구성 요소가 혼동되는 것을 피하기 위하여 붙인 것에 불과하고 수적으로 한정하는 것이 아님을 부기한다.
- [0028] 또한, 본 명세서 등에서 '위'나 '아래'라는 용어는 구성 요소의 위치 관계가 '바로 위' 또는 '바로 아래'임을 한정하는 것은 아니다. 예를 들어, '게이트 절연막 위의 게이트 전극'이라는 표현은 게이트 절연막과 게이트 전극 사이에 다른 구성 요소가 포함된 것을 제외하지 않는다.
- [0029] 또한, 본 명세서 등에서 '전극'이나 '배선'이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, '전극'은 '배선'의 일부로서 사용될 수 있고 그 반대도 마찬가지이다. 또한, '전극'이나 '배선'이라는 용어는 복수의 '전극'이나 '배선'이 일체가 되어 형성된 경우 등도 그 범주에 포함한다.
- [0030] 또한, '소스'나 '드레인'의 기능은 다른 극성을 갖는 트랜지스터를 채용하는 경우나 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 교체할 수 있다. 그러므로, 본 명세서 등에서 '소스'나 '드레인'이라는 용어는 교체하여 사용될 수 있는 것으로 한다.
- [0031] 또한, 본 명세서 등에서 '전기적으로 접속'이라는 표현은 '어떠한 전기적 작용을 갖는 것'을 통하여 접속된 경우를 그 범주에 포함한다. 여기서, '어떠한 전기적 작용을 갖는 것'은 접속 대상간에서의 전기 신호의 주고 받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다. 예를 들어, '어떠한 전기적 작용을 갖는 것'으로서는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 이 외 각종 기능을 갖는 소자 등이 그 범주에 포함된다.
- [0032] 본 명세서 등에 있어서 패터닝에는, 포토리소그래피 공정이 사용되는 것으로 한다. 다만, 패터닝은 포토리소그래피 공정에 한정되지 않고 포토리소그래피 공정 외의 공정이 사용될 수도 있다. 또한, 포토리소그래피 공정으로 형성된 마스크는 에칭 처리 후에 제거되는 것으로 한다.
- [0033] (실시형태 1)
- [0034] 본 실시형태에서는 도 1(A) 내지 도 5(C)를 사용하여 반도체 장치 및 반도체 장치의 제작 방법의 일 형태에 대하여 설명한다. 본 실시형태에서는 반도체 장치의 일례로서, 산화물 반도체막이 사용된 트랜지스터를 든다.
- [0035] <반도체 장치의 구성예 1>
- [0036] 도 1(A) 내지 도 1(C)는 트랜지스터(150)의 구성예를 도시한 것이다. 도 1(A)는 트랜지스터(150)의 평면도이고, 도 1(B)는 도 1(A)를 선분 X1-Y1에서 절단한 단면도이고, 도 1(C)는 도 1(A)를 선분 V1-W1에서 절단한 단면도이다. 또한, 도면의 복잡화를 피하기 위하여 도 1(A)에서는 트랜지스터(150)의 구성 요소의 일부(예를 들어, 게이트 절연막(106) 등)를 생략하여 도시하였다.
- [0037] 도 1(A) 내지 도 1(C)에 도시된 트랜지스터(150)는 기판(102) 위에 형성된 게이트 전극(104)과, 게이트 전극(104) 위에 형성된 게이트 절연막(106)과, 게이트 절연막(106)에 접하여 있으며 게이트 전극(104)과 중첩되는 위치에 형성된 산화물 반도체막(108)과, 산화물 반도체막(108) 위에 형성된 소스 전극(110) 및 드레인 전극(112)을 포함하여 구성된다.
- [0038] 또한, 게이트 전극(104)은 제 1 게이트 전극(104a)과 제 2 게이트 전극(104b)으로 구성된다. 제 1 게이트 전극(104a)에는 텅스텐, 탄탈, 티타늄, 및 폴리리튬 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막을 사용하는 것이 바람직하다. 또한, 제 2 게이트 전극(104b)은 구리 원소를 포함하는 것이 바람직하다. 예를 들어, 본 실시형태에서는 제 1 게이트 전극(104a)으로서 텅스텐막을 사용하고, 제 2 게이트 전극(104b)으로서 구리막을 사용한다. 게이트 전극(104)을 이와 같은 적층 구조로 함으로써 저저항의 게이트 전극(104)으로 할 수 있다. 또한, 제 1 게이트 전극(104a)을 제공함으로써, 기판(102)과 제 2 게이트 전극(104b)으로서 사용되는 구리막과의 밀착성을 향상시키는 것, 및/또는 제 2 게이트 전극(104b)으로서 사용되는 구리막 내의 구리 원소의 확산을 억제하는 것이 가능하게 된다.
- [0039] 또한, 게이트 절연막(106)은 제 1 게이트 절연막(106a)과 제 2 게이트 절연막(106b)으로 구성된다. 제 1 게이트 절연막(106a)은 제 2 게이트 전극(104b)으로서 사용되는 구리막 내의 구리 원소의 확산을 억제하는 기능을 가지면 좋고 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 산화 알루미늄막 등을 사용할 수 있다. 또한, 제 2 게이트 절연막(106b)은 나중에 형성되는 산화물 반도체막(108)에 산소를 공급하는 기능을 가지면 좋고 산화 실리콘막, 산화 질화 실리콘막 등을 사용할 수 있다. 예를 들어, 본 실시형태에서는 제 1 게이트 절연막(106a)으로서 질화 실리콘막을 사용하고, 제 2 게이트 절연막(106b)으로서 산화 질화 실리콘막을 사용한다. 게이트 절연막(106)을 이와 같은 적층 구조로 함으로써 게이트 전극(104)으로서 사용되는 구리막 내의

구리 원소의 확산을 억제하고, 또 나중에 형성되는 산화물 반도체막(108)에 산소를 공급할 수 있다.

- [0040] 또한, 소스 전극(110)은 제 1 금속막(110a)과, 제 2 금속막(110b)과, 제 3 금속막(110c)으로 구성되고, 드레인 전극(112)은 제 1 금속막(112a)과, 제 2 금속막(112b)과, 제 3 금속막(112c)으로 구성된다. 또한, 제 2 금속막(110b) 및 제 2 금속막(112b)은 제 1 금속막(110a) 및 제 3 금속막(110c)의 단부보다 내측의 영역, 및 제 1 금속막(112a) 및 제 3 금속막(112c)의 단부보다 내측의 영역에 각각 형성된다.
- [0041] 또한, 제 1 금속막(110a), 제 1 금속막(112a), 제 3 금속막(110c), 및 제 3 금속막(112c)으로서는 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막을 사용하는 것이 바람직하다. 또한, 제 2 금속막(110b) 및 제 2 금속막(112b)은 구리 원소를 포함하는 것이 바람직하다.
- [0042] 예를 들어, 본 실시형태에서는 제 1 금속막(110a) 및 제 1 금속막(112a)으로서 텅스텐막을 사용하고, 제 2 금속막(110b) 및 제 2 금속막(112b)으로서 구리막을 사용하고, 제 3 금속막(110c) 및 제 3 금속막(112c)으로서 질화 탄탈막을 사용한다. 또한, 제 2 금속막(110b) 및 제 2 금속막(112b)은 제 1 금속막(110a) 및 제 1 금속막(112a) 위에 형성되고 제 3 금속막(110c) 및 제 3 금속막(112c)으로 덮인다.
- [0043] 즉, 제 2 금속막(110b) 및 제 2 금속막(112b)으로서 사용되는 구리막은 하면이 제 1 금속막(110a) 및 제 1 금속막(112a)으로서 사용되는 텅스텐막으로 덮이고, 상면 및 측면이 제 3 금속막(110c) 및 제 3 금속막(112c)으로서 사용되는 질화 탄탈막으로 덮인다. 제 1 금속막(110a) 및 제 1 금속막(112a)과 제 3 금속막(110c) 및 제 3 금속막(112c)은 구리막 내의 구리 원소의 확산을 억제하는 배리어 메탈로서의 기능을 갖는다.
- [0044] 소스 전극(110) 및 드레인 전극(112)을 이와 같은 구성으로 함으로써, 저저항의 소스 전극(110) 및 드레인 전극(112)으로 할 수 있고, 또 소스 전극(110) 및 드레인 전극(112) 내에 사용된 구리막 내의 구리 원소가 외부에 확산되는 것을 억제할 수 있다.
- [0045] 소스 전극(110) 및 드레인 전극(112)의 형성 방법으로는 예를 들어, 산화물 반도체막(108) 위에 제 1 금속막과 제 2 금속막을 형성하고, 제 2 금속막 위에 제 1 포토리소그래피 공정을 수행하여 제 2 금속막의 일부를 제 1 에칭으로 제거하여 제 2 금속막(110b) 및 제 2 금속막(112b)을 형성한다. 그 후, 제 1 금속막 및 제 2 금속막(제 2 금속막(110b) 및 제 2 금속막(112b)) 위에 제 2 금속막을 덮도록 제 3 금속막을 형성한다. 그 후, 제 3 금속막 위에 제 2 포토리소그래피 공정을 수행하여 제 1 금속막 및 제 3 금속막의 일부를 제 2 에칭으로 제거하여 제 1 금속막(110a), 제 1 금속막(112a), 제 3 금속막(110c), 및 제 3 금속막(112c)을 형성한다. 이와 같은 제작 방법으로 함으로써 제 2 금속막으로서 사용되는 구리막이 산화물 반도체막(108)에 직접 접촉하지 않으므로 산화물 반도체막(108)의 백 채널부에 혼입될 우려가 있는 불순물(특히 구리 원소)이 확산되는 것을 억제할 수 있다.
- [0046] 또한, 소스 전극(110) 및 드레인 전극(112) 위에, 산소 과잉형의 제 1 절연막(114a)과, 제 1 절연막(114a) 위에 형성된 제 2 절연막(114b)과, 제 2 절연막(114b) 위에 형성된 산화 알루미늄막(116)과, 산화 알루미늄막(116) 위에 형성된 평탄화 절연막(118)을 더 포함하는 구성으로 하여도 좋다.
- [0047] 또한, 이 외 구성 요소의 자세한 사항에 대해서는 후술하는 도 1(A) 내지 도 1(C)에 도시된 트랜지스터(150)의 제작 방법에 있어서 도 2(A) 내지 도 5(C)를 사용하여 설명한다.
- [0048] <반도체 장치의 제작 방법 1>
- [0049] 우선, 기판(102) 위에 제 1 게이트 전극(104a)과 제 2 게이트 전극(104b)을 포함한 게이트 전극(104)을 형성한다(도 2(A) 참조).
- [0050] 기판(102)으로서 사용될 수 있는 기판에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 바륨 보로실리케이트 유리나 알루미늄 보로실리케이트 유리 등의 유리 기판 등, 전자 공업용으로서 사용되는 각종 유리 기판을 사용할 수 있다. 또한, 기판으로서는 열 팽창 계수가 $25 \times 10^{-7}/^{\circ}\text{C}$ 이상 $50 \times 10^{-7}/^{\circ}\text{C}$ 이하(바람직하게는 $30 \times 10^{-7}/^{\circ}\text{C}$ 이상 $40 \times 10^{-7}/^{\circ}\text{C}$ 이하)이고 변형점이 650°C 이상 750°C 이하(바람직하게는 700°C 이상 740°C 이하)인 기판을 사용하는 것이 바람직하다.
- [0051] 또한, 제 5세대($1000\text{mm} \times 1200\text{mm}$ 또는 $1300\text{mm} \times 1500\text{mm}$), 제 6세대($1500\text{mm} \times 1800\text{mm}$), 제 7세대($1870\text{mm} \times 2200\text{mm}$), 제 8세대($2200\text{mm} \times 2500\text{mm}$), 제 9세대($2400\text{mm} \times 2800\text{mm}$), 제 10세대($2880\text{mm} \times 3130\text{mm}$) 등의 대형 유리 기판을 사용하는 경우에는, 반도체 장치의 제작 공정에서의 가열 처리 등으로 인하여 기판이 수축됨으로써 미세한 가공이 어려워지는 경우가 있다. 그러므로, 상술한 바와 같은 대형 유리 기판을 기판으로서 사용하는 경우에는 수축이

적은 것을 사용하는 것이 바람직하다. 예를 들어, 기판으로서 바람직하게는 450℃, 더 바람직하게는 500℃의 온도로 1시간 동안 가열 처리를 수행한 후의 수축량이 20ppm 이하, 바람직하게는 10ppm 이하, 더 바람직하게는 5ppm 이하인 대형 유리 기판을 사용하면 좋다.

- [0052] 또한, 기판(102)으로서 가요성 기판을 사용하여 반도체 장치를 제작하여도 좋다. 가요성을 갖는 반도체 장치를 제작하기 위해서는 가요성 기판 위에 산화물 반도체막(108)을 포함한 트랜지스터(150)를 직접 제작하여도 좋고, 다른 제작 기판에 산화물 반도체막(108)을 포함한 트랜지스터(150)를 제작한 후에 박리하고 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 박리하고 가요성 기판에 전치하기 위하여 제작 기판과 산화물 반도체막을 포함한 트랜지스터(150)와의 사이에 박리층을 제공하면 좋다.
- [0053] 또한, 기판(102) 위에 하지 절연막을 제공하여도 좋다. 하지 절연막은 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 산화물 절연막, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등의 질화물 절연막을 형성하거나, 또는 상술한 재료들의 혼합 재료를 사용하여 형성할 수 있다.
- [0054] 또한, 기판(102)에 가열 처리를 수행하여도 좋다. 예를 들어, 고온의 가스를 사용하여 가열 처리를 수행하는 GRTA(Gas Rapid Thermal Anneal) 장치에서 650℃로 1분 내지 5분 동안의 가열 처리를 수행하면 좋다. 또한, GRTA에 있어서의 고온의 가스로서는 아르곤 등의 희가스, 또는 질소와 같이 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 전기로에서 500℃로 30분 내지 1시간 동안의 가열 처리를 수행하여도 좋다.
- [0055] 게이트 전극(104)은 텅스텐, 탄탈, 티타늄, 몰리브덴, 및 구리 중에서 선택된 하나 이상의 원소를 포함한 재료를 사용하여 형성할 수 있다. 본 실시형태에서는 제 2 게이트 전극(104b)으로서 스퍼터링법으로 막 두께 100nm 이상 400nm 이하의 구리막을 형성한다. 또한, 제 2 게이트 전극(104b)의 하층으로서, 구리막 내의 구리 원소의 확산을 억제하는 배리어 메탈로서 기능하는 제 1 게이트 전극(104a)을 형성한다. 본 실시형태에서는 제 1 게이트 전극(104a)으로서 스퍼터링법으로 막 두께 20nm 이상 100nm 이하의 질화 탄탈막을 형성한다.
- [0056] 또한, 본 실시형태에서는 제 1 게이트 전극(104a) 및 제 2 게이트 전극(104b)의 적층 구조에 대하여 설명하지만 이 구성에 한정되는 것은 아니다. 예를 들어, 제 2 게이트 전극(104b) 위에 제 3 게이트 전극을 더 제공하여도 좋다. 제 3 게이트 전극에는 제 1 게이트 전극(104a)과 같은 재료를 사용할 수 있다.
- [0057] 다음에, 기판(102) 및 게이트 전극(104) 위에, 제 1 게이트 절연막(106a)과 제 2 게이트 절연막(106b)을 포함한 게이트 절연막(106)을 형성한다(도 2(B) 참조).
- [0058] 제 1 게이트 절연막(106a)으로서 플라즈마 CVD법 또는 스퍼터링법 등으로 형성된 막 두께 10nm 이상 100nm 이하, 더 바람직하게는 막 두께 20nm 이상 50nm 이하의 질화물 절연막을 사용하는 것이 바람직하다. 예를 들어, 질화 실리콘막, 질화 산화 실리콘막 등을 들 수 있다. 기판(102) 및 게이트 전극(104)에 접하는 제 1 게이트 절연막(106a)으로서 질화물 절연막을 사용함으로써, 기판(102) 또는 게이트 전극(104)으로부터의 불순물 확산이 억제되는 효과가 나타난다. 특히, 게이트 전극(104)(보다 구체적으로는 제 2 게이트 전극(104b))에 구리 원소를 포함한 금속 재료를 사용한 경우에, 산화물 반도체막(108) 내에 구리 원소가 확산되는 것을 제 1 게이트 절연막(106a)에 의하여 억제할 수 있다.
- [0059] 본 실시형태에서는 제 1 게이트 절연막(106a)으로서 플라즈마 CVD법으로 형성된 막 두께 50nm의 질화 실리콘막을 사용한다. 질화 실리콘막의 성막 가스로서는 예를 들어, 실란(SiH_4)과 질소의 혼합 가스, 또는 실란과 질소와 암모니아(NH_3)의 혼합 가스 등을 사용할 수 있다.
- [0060] 제 2 게이트 절연막(106b)으로서 플라즈마 CVD법 또는 스퍼터링법 등으로 형성된 막 두께 100nm 이상 350nm 이하, 더 바람직하게는 막 두께 100nm 이상 200nm 이하의 산화물 절연막을 사용하는 것이 바람직하다. 예를 들어, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 산화 질화 실리콘막, 산화 질화 알루미늄막 등을 들 수 있다.
- [0061] 또한, 제 2 게이트 절연막(106b)의 재료로서 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄 실리케이트(HfSiO_xN_y ($x>0$, $y>0$)), 하프늄 알루미늄네이트(HfAl_xO_y ($x>0$, $y>0$))), 산화 란탄 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다.
- [0062] 본 실시형태에서는 제 2 게이트 절연막(106b)으로서 플라즈마 CVD법으로 막 두께 200nm의 산화 질화 실리콘막을

형성한다. 플라즈마 CVD법은 스퍼터링법과 비교하여 성막 시간을 축소시킬 수 있다. 또한, 플라즈마 CVD법은 스퍼터링법에 비하여 성막된 면 내에서의 막 두께 편차가 적고 파티클의 혼입도 일어나기 어렵다.

[0063] 또한, 제 2 게이트 절연막(106b)은 산화물 반도체막(108)에 접하는 절연막이므로 산소를 포함한 절연막으로 하는 것이 바람직하며 가능한 한 물, 수소 등의 불순물이 포함되지 않은 것이 바람직하다. 그러나, 플라즈마 CVD 법으로는 스퍼터링법과 비교하여 막 내의 수소 농도를 저감시키기 어렵다. 따라서, 성막된 제 2 게이트 절연막(106b)에 수소 원자의 저감, 더 바람직하게는 제거를 목적으로 한 가열 처리(탈수화 또는 탈수소화 처리)를 수행하여도 좋다.

[0064] 가열 처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다. 예를 들어, 가열 처리 장치의 하나인 전기로에 기판을 도입하고 게이트 절연막(106)에 진공(감압) 분위기하에서 650℃로 1시간 동안의 가열 처리를 수행한다.

[0065] 또한, 가열 처리 장치는 전기로에 한정되지 않고 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자기파)의 복사에 의하여 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 가열 처리를 수행하는 장치이다. 고온의 가스로서는 아르곤 등의 회가스, 또는 질소와 같이 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 가열 처리 장치로서 GRTA 장치를 사용하는 경우에는, 가열 처리 시간이 짧으므로 650℃ 내지 700℃의 고온으로 가열된 불활성 가스 중에서 기판을 가열하여도 좋다.

[0066] 가열 처리는 질소, 산소, 조건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 회가스(아르곤, 헬륨 등) 분위기하에서 수행하면 좋지만, 상기 질소, 산소, 조건조 공기, 또는 회가스 등의 분위기에는 물, 수소 등이 포함되지 않은 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소, 또는 회가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0067] 가열 처리에 의하여 게이트 절연막(106)의 탈수화 또는 탈수소화를 수행할 수 있어 트랜지스터의 특성 변동을 초래하는 수소, 또는 물 등의 불순물이 배제된 게이트 절연막(106)을 형성할 수 있다.

[0068] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는 여러 번 수행하여도 좋고, 다른 가열 처리를 겸하여도 좋다.

[0069] 다음에, 게이트 전극(104)과 중첩되는 위치에 게이트 절연막(106)에 접하는 산화물 반도체막(108)을 형성한다(도 2(C) 참조).

[0070] 산화물 반도체막(108)은 단층 구조이어도 좋고 적층 구조이어도 좋다. 또한, 비정질 구조이어도 좋고 결정성을 가져도 좋다. 산화물 반도체막(108)을 비정질 구조로 하는 경우에는 나중의 제작 공정에 있어서 산화물 반도체막(108)에 가열 처리를 수행함으로써 결정성 산화물 반도체막으로 하여도 좋다. 비정질 산화물 반도체막을 결정화시키기 위한 가열 처리의 온도는 250℃ 이상 700℃ 이하로, 바람직하게는 400℃ 이상, 더 바람직하게는 500℃ 이상, 더욱 바람직하게는 550℃ 이상으로 한다. 또한, 상기 가열 처리는 제작 공정에 있어서 다른 가열 처리를 겸할 수도 있다.

[0071] 산화물 반도체막(108)의 성막 방법으로는 스퍼터링법, MBE(Molecular Beam Epitaxy)법, 플라즈마 CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다.

[0072] 산화물 반도체막(108)을 성막함에 있어서 산화물 반도체막(108)에 포함되는 수소 농도는 가능한 한 저감되는 것이 바람직하다. 수소 농도를 저감시키기 위하여 예를 들어, 스퍼터링법으로 성막하는 경우에는 스퍼터링 장치의 성막실 내에 공급하는 분위기 가스로서 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도의 회가스(대표적으로는 아르곤), 산소, 및 회가스와 산소의 혼합 가스를 적절히 사용한다.

[0073] 또한, 처리실 내의 잔류 수분을 제거하면서 수소 및 물이 제거된 스퍼터링 가스를 도입하여 성막함으로써 성막된 산화물 반도체막(108)의 수소 농도를 저감시킬 수 있다. 처리실 내의 잔류 수분을 제거하기 위해서는 흡착형의 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩이 제공된 것이어도 좋다. 크라이오 펌프는 예를 들어, 수소 분자, 물(H₂O) 등 수소 원자를 포함한 화합물(더 바람직하게는 탄소 원자를 포함한 화합물도) 등의 배기 능력이

높기 때문에, 크라이오 펌프를 사용하여 배기된 처리실에서 성막된 산화물 반도체막(108)에 포함되는 불순물의 농도를 저감시킬 수 있다.

[0074] 또한, 본 실시형태에서는 원자수비가 In:Ga:Zn=1:1:1인 금속 산화물 타깃, 또는 원자수비가 In:Ga=2:1인 금속 산화물 타깃을 사용하여 스퍼터링법으로 산화물 반도체막(108)을 성막한다. 다만, 산화물 반도체막(108)을 성막하는 데 사용될 수 있는 타깃은 이들 타깃 재료, 및 조성에 한정되지 않는다. 또한, 산화물 반도체막(108)은 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 스퍼터링법으로 형성할 수 있다. 또한, 산화물 반도체막(108)을 성막하는 데 사용하는 타깃으로서는 단결정, 다결정 등 결정성을 갖는 타깃이 바람직하다. 결정성을 갖는 타깃을 사용함으로써 형성되는 박막도 결정성을 갖게 되고, 특히 형성된 박막에 있어서는 c축으로 배향된 결정이 되기 쉽다.

[0075] 또한, 산화물 반도체막(108)은 성막 직후에서 화학량론적 조성보다 산소가 많은 과포화 상태인 것이 바람직하다. 예를 들어, 스퍼터링법으로 산화물 반도체막(108)을 성막하는 경우에는 성막 가스에 있어서 산소가 차지하는 비율이 많은 조건으로 성막하는 것이 바람직하며 특히 산소 분위기(산소 가스 100%)에서 성막하는 것이 바람직하다. 예를 들어, 산화물 반도체막(108)으로서 In-Ga-Zn계 산화물(IGZO)을 사용하여 성막 가스에 있어서 산소가 차지하는 비율이 많은 조건(특히 산소 가스 100%의 분위기)에서 성막하면, 성막 온도를 300℃ 이상으로 하여도 막 내에서 Zn이 방출되는 것을 억제할 수 있다.

[0076] 또한, 원자수비가 In:Ga:Zn=1:1:1인 상술한 금속 산화물 타깃을 사용하여 산화물 반도체막(108)을 형성한 경우, 타깃의 조성과 기관 위에 형성된 박막의 조성은 다를 수 있다. 예를 들어, In:Ga:Zn=1:1:1의 금속 산화물 타깃을 사용한 경우에는 성막 조건에도 의존하지만, 박막인 산화물 반도체막(108)의 조성이 원자수비로 In:Ga:Zn=1:1:0.6 내지 0.8이 될 수 있다. 이것은 산화물 반도체막(108)의 성막 중에 Zn이 승화되는 것, 또는 In, Ga, Zn의 각 성분의 스퍼터링 레이트가 다른 것에 기인하는 것으로 생각된다.

[0077] 따라서, 원하는 조성의 박막을 형성하고자 하는 경우에는 금속 산화물 타깃의 조성을 미리 조정할 필요가 있다. 예를 들어, 박막인 산화물 반도체막(108)의 조성을 원자수비로 In:Ga:Zn=1:1:1로 하는 경우에는 금속 산화물 타깃의 조성을 원자수비로 In:Ga:Zn=1:1:1.5로 하면 좋다. 즉, 금속 산화물 타깃의 Zn의 함유율을 미리 많게 하면 좋다. 다만, 타깃의 조성은 상기 수치에 한정되는 것은 아니하며 성막 조건이나 형성되는 박막의 조성에 따라 적절히 조정할 수 있다. 또한, 금속 산화물 타깃의 Zn의 함유율을 많게 하면 얻어지는 박막의 결정성이 향상되어 바람직하다.

[0078] 또한, 산화물 반도체막(108)을 스퍼터링법으로 성막하는 경우에는, 성막하는 데 사용하는 금속 산화물 타깃의 상대 밀도를 90% 이상 100% 이하로, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상으로 한다. 상대 밀도가 높은 금속 산화물 타깃을 사용하면, 성막되는 산화물 반도체막(108)을 치밀한 막으로 할 수 있다.

[0079] 또한, 기관(102)을 고온으로 유지한 상태에서 산화물 반도체막(108)을 형성하는 것도 산화물 반도체막(108) 내에 포함될 수 있는 불순물 농도를 저감시키는 데 유효하다. 기관(102)을 가열하는 온도는 150℃ 이상 450℃ 이하로 하면 좋고, 바람직하게는 170℃ 이상 350℃ 이하로 하면 좋다. 또한, 성막시에 기관을 고온으로 가열함으로써 결정성 산화물 반도체막(108)을 형성할 수 있다.

[0080] 산화물 반도체막(108)에 사용하는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn 양쪽 모두를 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체가 사용되는 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스테빌라이저로서 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0081] 또한, 다른 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중에서 선택된 어느 1종류 또는 복수 종류를 가져도 좋다.

[0082] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물,

In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0083] 또한, 여기서 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물을 가리키고 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 포함되어도 좋다.

[0084] 또한, 산화물 반도체로서 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, 또 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M 은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, 또 n 은 정수임)으로 표기되는 재료를 사용하여도 좋다.

[0085] 예를 들어, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In}:\text{Ga}:\text{Zn}=2:2:1(=2/5:2/5:1/5)$, 또는 $\text{In}:\text{Ga}:\text{Zn}=3:1:2(=1/2:1/6:1/3)$ 인 In-Ga-Zn계 산화물이나 이 조성 근방의 산화물을 사용할 수 있다. 또는, 원자수비가 $\text{In}:\text{Sn}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In}:\text{Sn}:\text{Zn}=2:1:3(=1/3:1/6:1/2)$, 또는 $\text{In}:\text{Sn}:\text{Zn}=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 이 조성 근방의 산화물을 사용하면 좋다.

[0086] 그러나, 상술한 조성에 한정되지 않고 필요한 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 산화물을 사용하면 좋다. 또한, 필요한 반도체 특성을 얻기 위하여 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0087] 예를 들어, In-Sn-Zn계 산화물을 사용하는 경우에는 비교적 용이하게 높은 이동도를 얻을 수 있지만, In-Ga-Zn계 산화물을 사용한 경우에도 벌크 내 결함 밀도를 저감시킴으로써 이동도를 높일 수 있다.

[0088] 또한, 예를 들어, In, Ga, Zn의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=a:b:c(a+b+c=1)$ 인 산화물의 조성이 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=A:B:C(A+B+C=1)$ 인 산화물의 조성의 근방이란, a, b, c 가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족시키는 것을 말한다. r 은 예를 들어, 0.05로 하면 좋다. 다른 산화물의 경우도 마찬가지이다.

[0089] 또한, 산화물 반도체막(108)은 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막인 것이 바람직하다.

[0090] CAAC-OS막은 완전한 단결정이 아니고 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부를 갖는 결정-비정질 혼상 구조를 갖는 산화물 반도체층이다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM으로 CAAC-OS막에 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막에서는 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0091] CAAC-OS막에 포함되는 결정부는 c 축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab 면에 수직인 방향에서 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c 축에 수직인 방향에서 보아 금속 원자가 층 형상으로 배열되거나, 또는 금속 원자와 산소 원자가 층 형상으로 배열되어 있다. 또한, 다른 결정부간에서 a 축 및 b 축의 방향이 각각 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재하는 경우에는 85° 이상 95° 이하의 범위도 그 범주에 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재하는 경우에는 -5° 이상 5° 이하의 범위도 그 범주에 포함되는 것으로 한다.

[0092] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측에서 결정 성장시키는 경우에는 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물이 첨가됨으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0093] CAAC-OS막에 포함되는 결정부의 c 축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에 CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수 있다. 또한, 결정부의 c 축 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는 성막됨으로써 형성되거나, 또는 성막 후에 가열 처리 등의 결정화 처리가 수행됨으로써 형성된다.

[0094] CAAC-OS막이 사용된 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

- [0095] 산화물 반도체막(108)으로서 CAAC-OS막을 적용하는 경우, 상기 CAAC-OS막을 얻는 방법으로서 3가지 방법을 들 수 있다. 첫 번째 방법은 성막 온도를 100℃ 이상 450℃ 이하, 더 바람직하게는 150℃ 이상 400℃ 이하로 하고 산화물 반도체층을 성막하여 표면에 대략 수직으로 c축 배향시키는 방법이다. 두 번째 방법은 두께가 얇은 산화물 반도체층을 성막한 후, 200℃ 이상 700℃ 이하의 가열 처리를 수행하여 표면에 대략 수직으로 c축 배향시키는 방법이다. 세 번째 방법은 첫 번째 층으로서 두께가 얇은 산화물 반도체층을 성막한 후에 200℃ 이상 700℃ 이하의 가열 처리를 수행하고, 두 번째 층으로서 산화물 반도체층을 성막하여 표면에 대략 수직으로 c축 배향시키는 방법이다.
- [0096] 또한, 산화물 반도체막(108)으로서 CAAC-OS막 이외의 결정성 산화물 반도체막(단결정 또는 미결정)을 성막하는 경우에는 성막 온도는 특별히 한정되지 않는다.
- [0097] 또한, 산화물 반도체막(108)은, 에너지 간격이 2.8eV 내지 3.2eV이며 실리콘의 에너지 간격 1.1eV에 비하여 크다. 또한, 산화물 반도체막(108)의 진성 캐리어 밀도는 10^{-9} cm^{-3} 이며 실리콘의 진성 캐리어 밀도 10^{11} cm^{-3} 에 비하여 매우 작다.
- [0098] 산화물 반도체막(108)의 다수 캐리어(전자)는 트랜지스터의 소스로부터만 흐른다. 또한, 채널 형성 영역을 완전 공핍화하는 것이 가능하므로 트랜지스터의 오프 전류를 매우 작게 할 수 있다. 산화물 반도체막(108)이 사용된 트랜지스터의 오프 전류는 실온에서 10yA/ μm 이하, 85℃ 내지 95℃에서도 1zA/ μm 이하로 매우 작다.
- [0099] 또한, 산화물 반도체막(108)은 복수의 산화물 반도체층이 적층된 구조이어도 좋다. 예를 들어, 산화물 반도체막(108)을 제 1 산화물 반도체층과 제 2 산화물 반도체층의 적층으로 하고, 제 1 산화물 반도체층과 제 2 산화물 반도체층에 조성이 다른 금속 산화물을 사용하여도 좋다. 예를 들어, 제 1 산화물 반도체층에 3원계 금속 산화물을 사용하고 제 2 산화물 반도체층에 2원계 금속 산화물을 사용하여도 좋다. 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층 양쪽 모두에 3원계 금속 산화물을 사용하여도 좋다.
- [0100] 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층의 구성 원소를 동일하게 하고 양자의 조성을 달리하여도 좋다. 예를 들어, 제 1 산화물 반도체층의 원자수비를 In:Ga:Zn=1:1:1로 하고 제 2 산화물 반도체층의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체층의 원자수비를 In:Ga:Zn=1:3:2로 하고 제 2 산화물 반도체층의 원자수비를 In:Ga:Zn=2:1:3으로 하여도 좋다.
- [0101] 이때, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중, 게이트 전극에 가까운 측(채널 측)의 산화물 반도체층의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또한, 게이트 전극으로부터 먼 측(백 채널 측)의 산화물 반도체층의 In과 Ga의 함유율을 In≤Ga로 하면 좋다. 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하므로 In의 함유율을 증대시킴으로써 s궤도의 오버 랩이 많아질 경향이 있어 In>Ga의 조성을 갖는 산화물은 In≤Ga의 조성을 갖는 산화물에 비하여 높은 이동도를 구비한다. 또한, Ga는 In과 비교하여 산소 결손의 형성에너지가 커 산소 결손이 발생되기 어려우므로 In≤Ga의 조성을 갖는 산화물은 In>Ga의 조성을 갖는 산화물에 비하여 안정된 특성을 구비한다. 따라서, 채널 측에 In>Ga의 조성을 갖는 산화물 반도체층을 적용하고 백 채널 측에 In≤Ga의 조성을 갖는 산화물 반도체층을 적용함으로써, 트랜지스터의 이동도 및 신뢰성을 더욱 높일 수 있게 된다.
- [0102] 또한, 산화물 반도체막(108)을 적층 구조로 하는 경우, 제 1 산화물 반도체층과 제 2 산화물 반도체층에 각각 결정성이 다른 산화물 반도체를 적용하여도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 결정성을 갖는 산화물 반도체(예를 들어, CAAC-OS)가 적절히 조합된 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체층과 제 2 산화물 반도체층 중 어느 한쪽에 비정질 산화물 반도체를 적용하면 산화물 반도체의 내부 응력이나 외부에서의 응력이 완화되므로 트랜지스터의 특성 편차가 저감되고, 또 트랜지스터의 신뢰성을 더욱 높일 수 있게 된다. 한편, 비정질 산화물 반도체는 수소 등 도너가 되는 불순물을 흡수하기 쉽고, 또 산소 결손이 생기기 쉬우므로 n형화되기 쉽다. 그러므로, 채널 측의 산화물 반도체층에는 결정성을 갖는 산화물 반도체(예를 들어, CAAC-OS)를 적용하는 것이 바람직하다.
- [0103] 또한, 산화물 반도체막(108)을 적층한 경우의 조성, 및 결정성의 조합으로서는 예를 들어, 게이트 절연막(106) 측부터 차례로, 원자수비가 In:Ga:Zn=1:1:1 근방인 비정질 산화물 반도체층과 원자수비가 In:Ga:Zn=3:1:2 근방인 결정성 산화물 반도체층의 적층 구조, 또는 원자수비가 In:Ga:Zn=1:1:1 근방인 결정성 산화물 반도체층과 원자수비가 In:Ga:Zn=3:1:2 근방인 결정성 산화물 반도체층의 적층 구조를 들 수 있다. 또한, 이 외 적층 구성으로서는 원자수비가 In:Ga:Zn=3:1:2 근방인 결정성 산화물 반도체층과 원자수비가 In:Ga:Zn=1:1:1 근방인 결정성 산화물 반도체층의 적층 구조로 하여도 좋다. 또한, 이 외 적층 구성으로서는 원자수비가 In:Ga:Zn=1:1:1 근방

인 비정질 산화물 반도체층과 원자수비가 In:Ga:Zn=3:1:2 근방인 비정질 산화물 반도체층의 적층 구조, 또는 원자수비가 In:Ga:Zn=3:1:2 근방인 비정질 산화물 반도체층과 원자수비가 In:Ga:Zn=1:1:1 근방인 비정질 산화물 반도체층의 적층 구조로 하여도 좋다.

- [0104] 또한, 산화물 반도체막(108)을 성막하기 전에 산화물 반도체막(108)의 피성막면에 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어, 화학적 기계적 연마(Chemical Mechanical Polishing: CMP)법), 드라이 에칭 처리, 및 플라즈마 처리를 사용할 수 있다.
- [0105] 플라즈마 처리로서는 예를 들어, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 수행할 수 있다. 역 스퍼터링이란, 아르곤 분위기하에서 RF 전원을 사용하여 기판 측에 전압을 인가함으로써, 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법을 말한다. 또한, 아르곤 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다. 역 스퍼터링을 수행하면 산화물 반도체막(108)의 피성막면에 부착된 분말상 물질(파티클, 먼지라고도 함)을 제거할 수 있다.
- [0106] 평탄화 처리로서의 연마 처리, 드라이 에칭 처리, 플라즈마 처리는 여러 번 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 이들을 조합하여 수행하는 경우, 공정 순서는 특별히 한정되지 않고 산화물 반도체막(108)의 피성막면의 요철 상태에 따라 적절히 설정하면 좋다.
- [0107] 또한, 산화물 반도체막(108)을 형성한 후에 상기 산화물 반도체막(108)에 포함된 과잉 수소(물이나 수산기를 포함함)를 저감 또는 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 수행하는 것이 바람직하다. 가열 처리의 조건은 제 2 게이트 절연막(106b)에 수행하는 상술한 가열 처리와 같은 조건으로 할 수 있다.
- [0108] 이 가열 처리에 의하여, 산화물 반도체막(108)으로부터 n형 도전성을 부여하는 불순물인 수소를 저감, 더 바람직하게는 제거할 수 있다. 또한, 제 2 게이트 절연막(106b)으로서 산소를 포함한 절연막을 사용한 경우, 이 가열 처리에 의하여 제 2 게이트 절연막(106b)에 포함된 산소가 산화물 반도체막(108)에 공급된다. 산화물 반도체막(108)에 대한 탈수화 또는 탈수소화 처리에 의하여 산소가 동시에 탈리되더라도 산소를 제 2 게이트 절연막(106b)으로부터 공급함으로써 산화물 반도체막(108)의 산소 결손을 보전할 수 있다.
- [0109] 또한, 가열 처리에 의하여 산화물 반도체막(108)을 가열한 후, 가열 온도를 유지하면서, 또는 그 가열 온도로부터 서랭(徐冷)하면서 같은 노(爐)에 고순도의 산소 가스, 고순도의 일산화 이질소 가스, 또는 초건조 공기(CRDS(캐비티 링 다운 레이저 분광법(cavity ring down laser spectroscopy)) 방식의 이슬점 측정기를 사용하여 측정한 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기)를 도입하여도 좋다. 산소 가스 또는 일산화 이질소 가스에는 물, 수소 등이 함유되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉, 산소 가스 또는 일산화 이질소 가스 내의 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 탈수화 또는 탈수소화 처리를 사용한 불순물 배제 공정으로 동시에 감소되는, 산화물 반도체막(108)을 구성하는 주성분 재료인 산소를 산소 가스 또는 일산화 이질소 가스의 작용에 의하여 공급함으로써, 산화물 반도체막(108)을 고순도화 및 i형(진성)화할 수 있다.
- [0110] 탈수화 또는 탈수소화를 위한 가열 처리는 트랜지스터(150)의 제작 공정에서의 다른 가열 처리를 겸하여도 좋다.
- [0111] 다음에, 게이트 절연막(106) 및 산화물 반도체막(108) 위에 소스 전극 및 드레인 전극(이들과 같은 층으로 형성되는 배선을 포함함)이 되는 제 1 금속막(109a) 및 제 2 금속막(109b)을 형성한다(도 2(D) 참조).
- [0112] 제 1 금속막(109a)은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막인 것이 바람직하다. 본 실시형태에서는 제 1 금속막(109a)으로서 스퍼터링법으로 형성된 막 두께 50nm의 텅스텐막을 사용한다.
- [0113] 또한, 제 1 금속막(109a)을 적층 구조로 하여도 좋다. 예를 들어, 제 1 금속막(109a)의 1층째를 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막으로 하고, 제 1 금속막(109a)의 2층째를 질화 텅스텐, 질화 탄탈, 질화 티타늄, 및 질화 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속 질화물막의 적층 구조 등을 들 수 있다.
- [0114] 제 1 금속막(109a)은 산화물 반도체막(108)에 접하므로, 산화물 반도체막(108)으로부터 산소를 뽑아내 n형화시키지 않는 재료, 또는 산화물 반도체막(108)에 확산되어 n형화시키지 않는 재료를 사용한다. 또한, 제 1 금속막(109a)은 제 2 금속막(109b)에 사용되는 구리막으로부터 산화물 반도체막(108)에 구리 원소가 확산되는 것을

억제하는 재료(소위 배리어 메탈 재료)를 사용하는 것이 바람직하다.

- [0115] 제 2 금속막(109b)은 구리 원소를 포함한 막인 것이 바람직하다. 또한, 구리에 알루미늄, 금, 은, 아연, 주석, 니켈 등이 수wt% 첨가된 구리 합금 등을 사용하여도 좋다. 본 실시형태에서는 제 2 금속막(109b)으로서 스퍼터링법으로 형성된 막 두께 200nm의 구리막을 사용한다.
- [0116] 다음에, 제 2 금속막(109b) 위에 레지스트를 도포하고 제 1 패터닝을 수행함으로써 레지스트마스크(141)를 형성한다(도 2(E) 참조).
- [0117] 레지스트마스크(141)는 감광성 수지를 도포한 후에 상기 감광성 수지를 노광, 및 현상함으로써 형성할 수 있다. 또한, 감광성 수지는 포지티브형, 네거티브형의 어느 쪽 수지를 사용하여도 좋다. 또한, 레지스트마스크(141)를 잉크젯법으로 형성하여도 좋다. 레지스트마스크(141)를 잉크젯법으로 형성하는 경우에는 포토마스크를 사용하지 않아 제조 비용을 절감시킬 수 있다.
- [0118] 다음에, 제 2 금속막(109b)의 일부를 제 1 에칭으로 제거하여, 제 2 금속막(110b) 및 제 2 금속막(112b)을 형성한다(도 3(A) 참조).
- [0119] 제 2 금속막(109b)의 제거 방법으로는 웨트 에칭법을 사용하는 것이 적합하다. 또한, 웨트 에칭법에서 사용하는 약액으로서는 제 2 금속막(109b)을 에칭할 수 있으면서 제 1 금속막(109a)을 소실시키지 않는 약액을 사용하면 좋고 예를 들어, 제 1 금속막(109a)으로서 텅스텐막을 사용하고 제 2 금속막(109b)으로서 구리막을 사용한 경우의 약액은 물과 과산화 수소수와 카복실산의 혼합액, 또는 물과 인산과 질산과 황산과 황산 칼륨의 혼합액을 사용할 수 있다.
- [0120] 또한, 웨트 에칭의 시간을 조정하여 등방적으로 에칭함으로써, 제 2 금속막(110b) 및 제 2 금속막(112b)의 측면이 레지스트마스크(141) 측면보다 내측으로 후퇴된 형상으로 하여도 좋다.
- [0121] 다음에, 레지스트마스크(141)를 제거한다(도 3(B) 참조).
- [0122] 레지스트마스크(141)의 제거 방법으로는 박리액을 사용하는 습식 제거 방법, 또는 플라즈마 처리 등의 건식 제거 방법, 또는 이들 방법을 조합한 제거 방법 등을 사용할 수 있다.
- [0123] 다음에, 제 1 금속막(109a), 제 2 금속막(110b), 및 제 2 금속막(112b) 위에 제 3 금속막(109c)을 형성한다(도 3(C) 참조).
- [0124] 제 3 금속막(109c)은 제 1 금속막(109a)과 같은 방법 및 재료에 의하여 형성할 수 있다. 또한, 본 실시형태에서는 제 3 금속막(109c)으로서 스퍼터링법으로 형성된 막 두께 100nm의 질화탄탈막을 사용한다.
- [0125] 다음에, 제 3 금속막(109c) 위에 레지스트를 도포하고 제 2 패터닝을 수행함으로써 레지스트마스크(142)를 형성한다(도 3(D) 참조).
- [0126] 레지스트마스크(142)는 레지스트마스크(141)와 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0127] 다음에, 제 1 금속막(109a) 및 제 3 금속막(109c)의 일부를 제 2 에칭으로 제거하여 제 1 금속막(110a), 제 1 금속막(112a), 제 3 금속막(110c), 및 제 3 금속막(112c)을 형성한다(도 4(A) 참조).
- [0128] 또한, 제 2 에칭은 제 1 에칭에 의하여 제거된 제 2 금속막(110b) 및 제 2 금속막(112b)의 단부보다 외측의 제 1 금속막(109a) 및 제 3 금속막(109c)을 제거한다.
- [0129] 제 1 금속막(109a) 및 제 3 금속막(109c)의 제거 방법으로는 드라이 에칭법을 사용하는 것이 적합하다. 예를 들어, 제 1 금속막(109a)으로서 텅스텐막을 사용하고 제 3 금속막(109c)으로서 질화 탄탈막을 사용한 경우에는 드라이 에칭법에서 사용하는 가스로서 SF₆과 O₂의 혼합 가스, 또는 SF₆과 BCl₃의 혼합 가스 등을 사용할 수 있다.
- [0130] 또한, 제 1 금속막(109a) 및 제 3 금속막(109c)에 대한 에칭을 수행함에 있어서 산화물 반도체막(108)이 에칭으로 인하여 분단되지 않도록 에칭 조건을 최적화하는 것이 요구된다. 그러나, 제 1 금속막(109a) 및 제 3 금속막(109c)만을 에칭하면서 산화물 반도체막(108)을 전혀 에칭하지 않는 조건은 얻기 어려워, 산화물 반도체막(108)은 제 1 금속막(109a) 및 제 3 금속막(109c)이 에칭될 때 일부가 에칭됨으로써 흠부(오목부)를 갖게 될 경우도 있다.
- [0131] 다음에, 레지스트마스크(142)를 제거하여, 제 1 금속막(110a), 제 2 금속막(110b), 및 제 3 금속막(110c)으로

이루어진 소스 전극(110)과, 제 1 금속막(112a), 제 2 금속막(112b), 및 제 3 금속막(112c)으로 이루어진 드레인 전극(112)을 형성한다(도 4(B) 참조).

- [0132] 소스 전극(110) 및 드레인 전극(112)의 형성 방법을 상술한 바와 같이 함으로써 산화물 반도체막(108)(보다 구체적으로는 백 채널 측)이 제 2 금속막(110b) 및 제 2 금속막(112b)으로서 사용된 구리막과 접촉되지 않으므로 구리 원소가 산화물 반도체막(108)에 부착되거나 또는 확산되는 것을 억제할 수 있다.
- [0133] 또한, 레지스트마스크(142)의 제거 방법은 레지스트마스크(141)의 제거 방법과 마찬가지로 할 수 있다.
- [0134] 또한, 소스 전극(110) 및 드레인 전극(112)을 형성한 후에 산화물 반도체막(108)(보다 구체적으로는 백 채널 측)을 청정화하는 것이 바람직하다. 산화물 반도체막(108)의 청정화 처리로서는 예를 들어, 산소 플라즈마 처리, 또는 희석된 불화 수소산 처리에 의한 세정 처리 등이 효과적이다. 이와 같이 청정화함으로써, 소스 전극(110) 및 드레인 전극(112)을 형성하는 데 사용한 에칭 가스의 성분, 또는 레지스트마스크(142)의 잔사(殘渣) 등을 산화물 반도체막(108)으로부터 제거할 수 있어 산화물 반도체막(108)을 보다 고순도화할 수 있다.
- [0135] 또한, 소스 전극(110) 및 드레인 전극(112)을 형성한 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다.
- [0136] 상술한 공정을 거쳐 본 실시형태에 기재된 트랜지스터(150)가 형성된다.
- [0137] 다음에, 트랜지스터(150) 위, 보다 구체적으로는 산화물 반도체막(108), 소스 전극(110), 및 드레인 전극(112) 위에 제 1 절연막(114a)을 형성한다. 그 후, 제 1 절연막(114a) 및 산화물 반도체막(108)에 산소(145)를 도입한다(도 4(C) 참조).
- [0138] 제 1 절연막(114a)은 플라즈마 CVD법, 스퍼터링법으로 형성할 수 있고, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 산화 질화 실리콘막, 또는 산화 질화 알루미늄막 등의 산화물 절연막을 사용할 수 있다. 제 1 절연막(114a)의 막 두께는 50nm 이상 100nm 이하로 하는 것이 바람직하다.
- [0139] 또한, 제 1 절연막(114a)은 산소 과잉형의 산화물 절연막으로 하는 것이 바람직하다. 산소 과잉형의 산화물 절연막으로 함으로써 산화물 반도체막(108)에 산소를 적합하게 공급할 수 있다.
- [0140] 본 실시형태에서는 제 1 절연막(114a)으로서 플라즈마 CVD법으로 막 두께 30nm의 산화 질화 실리콘막을 형성한다. 제 1 절연막(114a)의 성막 조건은 예를 들어, SiH_4 와 N_2O 의 가스 유량비를 $\text{SiH}_4:\text{N}_2\text{O}=20\text{sccm}:3000\text{sccm}$ 으로 하고, 압력을 200Pa로 하고, RF 전원 전력(전원 출력)을 100W로 하고, 기판 온도를 $350^\circ\text{C} \pm 15^\circ\text{C}$ 로 하면 좋다. 또한, 제 1 절연막(114a)은 산화물 반도체막(108)과 접하는 절연막이므로 게이트 절연막(106)과 마찬가지로 가능한 한 물, 수소 등 불순물이 포함되지 않은 것이 바람직하다.
- [0141] 산소(145)로서는 적어도 산소 라디칼, 오존, 산소 원자, 산소 이온(분자 이온, 클러스터 이온을 포함함) 중 어느 것이 포함된다.
- [0142] 예를 들어, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용하여 제 1 절연막(114a)에 산소(145)를 도입할 수 있다. 또한, 이온 주입법에는 가스 클러스터 이온 빔을 사용하여도 좋다. 또한, 산소(145)를 도입함에 있어서는 제 1 절연막(114a) 전체 면을 한 번에 처리하여도 좋고 예를 들어, 선형 이온 빔을 사용하여도 좋다. 선형 이온 빔을 사용하는 경우에는 기판 또는 이온 빔 상대적으로 이동(스캔: scan)시킴으로써 제 1 절연막(114a) 전체 면에 산소(145)를 도입할 수 있다.
- [0143] 산소(145)를 공급하기 위한 가스로서는 O를 함유한 가스를 사용하면 좋고, 예를 들어 O_2 가스, N_2O 가스, CO_2 가스, CO 가스, NO_2 가스 등을 사용할 수 있다. 또한, 산소를 공급하기 위한 가스에 회가스(예를 들어 Ar)를 함유시켜도 좋다.
- [0144] 또한, 예를 들어, 이온 주입법으로 산소를 도입하는 경우, 산소(145)의 도즈량은 $1 \times 10^{13} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하는 것이 바람직하고, 산소 도입 처리 후의 제 1 절연막(114a) 내의 산소 함유량이 제 1 절연막(114a)의 화학량론적 조성을 넘을 정도로 하는 것이 바람직하다. 또한, 산소의 주입 깊이는 주입 조건에 따라 적절히 제어하면 좋다.
- [0145] 또한, 제 1 절연막(114a)으로서 산화물 절연막(예를 들어, 산화 실리콘막 또는 산화 질화 실리콘막)을 사용하는 경우, 상기 산화물 절연막에 있어서 산소는 주된 성분 재료 중 하나이다. 그러므로, 산화물 절연막 내의 산소

농도를 SIMS(Secondary Ion Mass Spectrometry) 등의 방법을 사용하여 정확하게 어림잡기 어렵다. 즉, 산화물 절연막에 산소가 의도적으로 첨가되었는지 여부를 판별하기 어렵다고 할 수 있다. 또한, 제 1 절연막(114a)에 포함된 과잉 산소가 나중에 수행되는 공정에서 산화물 반도체막(108)에 공급되는 경우에 대해서도 마찬가지로 말할 수 있다.

[0146] 그런데, 산소에는 ^{17}O 나 ^{18}O 라는 동위체가 존재하며 자연계에서의 이들의 존재 비율은 각각 산소 원자 전체의 0.038%, 0.2% 정도인 것이 알려져 있다. 즉, 산화물 반도체막에 접하는 절연막 내(본 실시형태에서는 제 1 절연막(114a)) 또는 산화물 반도체막 내에서의 이들 동위체의 농도는 SIMS 등의 방법으로 어림잡을 수 있을 정도가 되므로, 이들의 농도를 측정함으로써 산화물 반도체막에 접하는 절연막 내, 또는 산화물 반도체막 내의 산소 농도를 더 정확하게 어림잡을 수 있게 될 경우가 있다. 따라서, 이들의 농도를 측정함으로써 산화물 반도체막에 접하는 절연막에 산소가 첨가되었는지 여부를 판별하여도 좋다.

[0147] 상술한 바와 같이, 산소(145)의 도입 처리에 의하여 산소 과잉형의 제 1 절연막(114a)이 형성된다. 산소 과잉형의 제 1 절연막(114a)으로 함으로써, 트랜지스터의 제작 공정 중의 가열 처리에 기인하는 고상 확산에 의하여 산화물 반도체막(108)에 산소를 공급할 수 있다. 또한, 산소(145)의 도입 처리에 의하여 제 1 절연막(114a)을 통하여 산화물 반도체막(108)으로 산소를 도입하여도 좋다.

[0148] 다음에, 제 1 절연막(114a) 위에 제 2 절연막(114b)을 형성한다(도 4(D) 참조).

[0149] 제 2 절연막(114b)은 플라즈마 CVD법, 스퍼터링법으로 형성할 수 있고, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막을 사용할 수 있다. 제 2 절연막(114b)의 막 두께는 50nm 이상 500nm 이하로 하는 것이 바람직하다.

[0150] 본 실시형태에서는 제 2 절연막(114b)으로서 플라즈마 CVD법으로 막 두께 370nm의 산화 질화 실리콘막을 형성한다. 제 2 절연막(114b)의 성막 조건은 예를 들어, SiH_4 와 N_2O 의 가스 유량비를 $\text{SiH}_4:\text{N}_2\text{O}=30\text{sccm}:4000\text{sccm}$ 으로 하고, 압력을 200Pa로 하고, RF 전원 전력(전원 출력)을 150W로 하고, 기판 온도를 $220^\circ\text{C}\pm 15^\circ\text{C}$ 로 하면 좋다.

[0151] 또한, 제 1 절연막(114a)과 제 2 절연막(114b)을 같은 재료로 형성한 경우에는 제 1 절연막(114a)과 제 2 절연막(114b)의 계면을 명확하게 알 수 없는 경우가 있다. 그러므로, 본 실시형태에서는 제 1 절연막(114a)과 제 2 절연막(114b)의 계면을 파선으로 나타내었다.

[0152] 또한, 제 1 절연막(114a)과 마찬가지로, 제 2 절연막(114b)에는 가능한 한 물, 수소 등 불순물이 포함되지 않은 것이 바람직하다. 따라서, 본 실시형태에서는 성막 후의 제 2 절연막(114b)에 수소 원자의 제거를 목적으로 한 가열 처리(탈수화 또는 탈수소화 처리)를 수행한다.

[0153] 가열 처리의 온도는 예를 들어, 250°C 이상 600°C 이하, 바람직하게는 300°C 이상 600°C 이하로 할 수 있다. 본 실시형태에서는 350°C 로 1시간 동안의 가열 처리를 수행한다.

[0154] 다음에, 제 2 절연막(114b) 위에 알루미늄막(115)을 형성한다(도 5(A) 참조).

[0155] 알루미늄막(115)은 스퍼터링법, 증착법, CVD법 등으로 형성하는 것이 바람직하다. 또한, 알루미늄막(115)의 막 두께는 3nm 이상 10nm 이하로 하는 것이 바람직하다. 본 실시형태에서는 스퍼터링법을 사용하여 막 두께 5nm의 알루미늄막을 형성한다.

[0156] 또한, 제 2 절연막(114b) 위에 형성되는 알루미늄막(115)은 나중에 산소의 도입 처리가 수행됨으로써 산화 알루미늄막이 되고 트랜지스터의 배리어막으로서 기능하는 막이다. 상기 산화 알루미늄막은 수소나 물 등의 불순물과 산소의 양쪽 모두가 트랜지스터에 들어가지 않도록 막을 투과시키지 않는 차단 효과(블로킹 효과)가 높은, 즉 배리어성을 갖는다.

[0157] 다음에, 알루미늄막(115)에 산소(147)를 도입한다. 이로써 알루미늄막(115)이 산화 알루미늄막(116)이 된다(도 5(B) 참조).

[0158] 산소(147)는 상술한 산소(145)와 같은 방법으로 도입할 수 있다.

[0159] 또한, 산소(147)의 도입에 의하여 알루미늄막(115)을 통하여 제 2 절연막(114b)의 일부의 막 중에 산소를 도입하여도 좋다. 이로써 제 2 절연막(114b)에, 앞선 가열 처리에 의하여 탈리될 수 있는 산소를 보전함과 동시에, 화학량론적 조성보다 산소를 과잉으로 포함한 영역을 형성할 수 있다. 또한, 이 화학량론적 조성을 넘는 산소를 포함한 영역은 제 2 절연막(114b)의 일부에 존재하면 좋다. 또한, 산소의 주입 깊이는 주입 조건에 따라 적

절히 제어하면 좋다.

- [0160] 또한, 산화 알루미늄막(116)에도 화학량론적 조성을 넘는 산소를 포함한 영역이 형성될 수 있다. 다만, 산소의 도입 처리에 의하여 형성된 산화 알루미늄막(116)은 화학량론적 조성에 일치된 산소를 포함할 필요는 없고 약간의 도전성을 가져도 좋다. 예를 들어, Al_2O_x 로 표기되는 산화 알루미늄막의 경우, x 는 1 이상 3.5 이하로 하는 것이 바람직하다. 또한, 산화 알루미늄막(116)이 도전성을 갖는 경우에는 그 저항률 ρ 를 $10^{10} \Omega \cdot m$ 이상 $10^{19} \Omega \cdot m$ 이하, 바람직하게는 $10^{10} \Omega \cdot m$ 이상 $10^{18} \Omega \cdot m$ 이하, 더 바람직하게는 $10^{11} \Omega \cdot m$ 이상 $10^{15} \Omega \cdot m$ 이하로 하는 것이 바람직하다. 산화 알루미늄막(116)이 상술한 범위의 저항률을 가짐으로써 트랜지스터(150)의 정전 파괴를 방지할 수 있게 된다.
- [0161] 또한, 산화 알루미늄막(116)은 알루미늄막(115)을 산화시켜 형성되는 막이다. 알루미늄막(115)을 산화시켜 산화 알루미늄막(116)을 형성함으로써, 스퍼터링법으로 산화 알루미늄막을 성막하는 경우와 비교하여 생산성을 높일 수 있다.
- [0162] 또한, 산소(147)를 알루미늄막(115)에 도입한 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리에 의하여 제 1 절연막(114a) 또는 제 2 절연막(114b)에 포함된 산소를 산화물 반도체막(108)에 공급함으로써 산화물 반도체막(108)의 산소 결손을 보전하여도 좋다. 가열 처리의 온도는 예를 들어, $250^\circ C$ 이상 $600^\circ C$ 이하, 바람직하게는 $300^\circ C$ 이상 $600^\circ C$ 이하로 할 수 있다. 본 실시형태에서는 $300^\circ C$ 로 1시간 동안의 가열 처리를 수행한다.
- [0163] 다음에, 산화 알루미늄막(116) 위에 평탄화 절연막(118)을 형성한다(도 5(C) 참조).
- [0164] 평탄화 절연막(118)으로서 트랜지스터(150)의 요철을 평탄화할 수 있으면 좋고 예를 들어, 폴리이미드계 수지, 아크릴계 수지, 폴리이미드아미드계 수지, 벤조사이클로부텐계 수지, 폴리아미드계 수지, 에폭시계 수지 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에 저유전율 재료(low-k 재료), 실록 산계 수지 등을 사용할 수 있다. 또한, 이들 재료로 형성된 절연막을 복수로 적층함으로써 평탄화 절연막(118)을 형성하여도 좋다. 본 실시형태에서는 평탄화 절연막(118)으로서 $1.5 \mu m$ 의 아크릴계 수지를 사용한다.
- [0165] 상술한 바와 같이, 본 실시형태에 기재된 트랜지스터(150)는 채널 형성 영역에 산화물 반도체막이 사용되고, 게이트 전극, 소스 전극, 및 드레인 전극에 저저항 재료인 구리가 사용된다. 또한, 소스 전극 및 드레인 전극을 형성할 때 산화물 반도체막의 백 채널 측이 구리막과 접촉되지 않으므로 구리 원소가 산화물 반도체막에 부착되거나 또는 확산되는 것을 억제할 수 있다. 또한, 게이트 전극, 소스 전극, 및 드레인 전극은 각각 구리막이 사용되고, 또 구리 원소의 확산을 억제할 수 있는 배리어 메탈을 갖는다. 그러므로, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 트랜지스터를 제공할 수 있다.
- [0166] 상술한 바와 같이, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0167] (실시형태 2)
- [0168] 본 실시형태에서는 실시형태 1에 기재된 반도체 장치의 변형예, 및 실시형태 1에 기재된 반도체 장치의 제작 방법과는 다른 제작 방법에 대하여 도 6(A) 내지 도 8(D)를 사용하여 설명한다. 또한, 도 1(A) 내지 도 5(C)에 나타난 부호에 관해서는 동일한 부호를 사용하고 그 반복 설명을 생략한다.
- [0169] <반도체 장치의 구성에 2>
- [0170] 도 6(A) 및 도 6(B)는 트랜지스터(250) 및 신호선 영역(260)의 구성예를 도시한 것이다. 도 6(A)는 트랜지스터(250) 및 신호선 영역(260)의 평면도이고, 도 6(B)는 도 6(A)를 선분 X2-Y2에서 절단한 단면도이다. 또한, 도면의 복잡화를 피하기 위하여 도 6(A)에서는 트랜지스터(250) 및 신호선 영역(260)의 구성 요소의 일부(예를 들어, 게이트 절연막(206), 제 2 금속막(210b) 등)을 생략하여 도시하였다.
- [0171] 도 6(A) 및 도 6(B)에 도시된 반도체 장치는 기판(102) 위에 형성된 게이트 전극(204)과, 게이트 전극(204) 위에 형성된 게이트 절연막(206)과, 게이트 절연막(206)에 접하여 있으며 게이트 전극(204)과 중첩되는 위치에 형성된 산화물 반도체막(108)과, 산화물 반도체막(108) 위에 형성된 소스 전극(210) 및 드레인 전극(212)과, 소스 전극(210)에 전기적으로 접속된 신호선(232)을 갖고, 신호선(232)은 제 1 금속막(210a), 제 2 금속막(210b), 및 제 3 금속막(210c)으로 이루어지고, 제 2 금속막(210b)은 제 1 금속막(210a) 및 제 3 금속막(210c)의 단부보다 내측의 영역에 형성되고, 소스 전극(210) 및 드레인 전극(212)은 제 1 금속막(210a), 제 1 금속막(212a), 제 3

금속막(210c), 및 상기 제 3 금속막(212c)으로 구성된다.

[0172] 또한, 게이트 전극(204)은 제 1 게이트 전극(204a)과 제 2 게이트 전극(204b)으로 구성된다. 제 1 게이트 전극(204a)에는 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막을 사용하는 것이 바람직하다. 또한, 제 2 게이트 전극(204b)은 구리 원소를 포함하는 것이 바람직하다. 예를 들어, 본 실시형태에서는 제 1 게이트 전극(204a)으로서 텅스텐막을 사용하고, 제 2 게이트 전극(204b)으로서 구리막을 사용한다. 게이트 전극(204)을 이와 같은 적층 구조로 함으로써 저저항의 게이트 전극(204)으로 할 수 있다. 또한, 제 1 게이트 전극(204a)을 제공함으로써, 기판(102)과 제 2 게이트 전극(204b)으로서 사용되는 구리막과의 밀착성을 향상시키는 것, 및/또는 제 2 게이트 전극(204b)으로서 사용되는 구리막 내의 구리 원소의 확산을 억제하는 것이 가능하게 된다.

[0173] 또한, 게이트 절연막(206)은 제 1 게이트 절연막(206a)과 제 2 게이트 절연막(206b)으로 구성된다. 제 1 게이트 절연막(206a)은 제 2 게이트 전극(204b)으로서 사용되는 구리막 내의 구리 원소의 확산을 억제하는 기능을 가지면 좋고 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 산화 알루미늄막 등을 사용할 수 있다. 또한, 제 2 게이트 절연막(206b)은 나중에 형성되는 산화물 반도체막(108)에 산소를 공급하는 기능을 가지면 좋고 산화 실리콘막, 산화 질화 실리콘막 등을 사용할 수 있다. 예를 들어, 본 실시형태에서는 제 1 게이트 절연막(206a)으로서 질화 실리콘막을 사용하고, 제 2 게이트 절연막(206b)으로서 산화 질화 실리콘막을 사용한다. 게이트 절연막(206)을 이와 같은 적층 구조로 함으로써 게이트 전극(204)으로서 사용되는 구리막 내의 구리 원소의 확산을 억제하고, 또 나중에 형성되는 산화물 반도체막(108)에 산소를 공급할 수 있다.

[0174] 또한, 제 1 금속막(210a), 제 1 금속막(212a), 제 3 금속막(210c), 및 제 3 금속막(212c)으로서는 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막을 사용하는 것이 바람직하다.

[0175] 예를 들어, 본 실시형태에서는 제 1 금속막(210a) 및 제 1 금속막(212a)으로서 텅스텐막을 사용하고, 제 3 금속막(210c) 및 제 3 금속막(212c)으로서 질화 탄탈막을 사용한다.

[0176] 또한, 제 2 금속막(210b)은 구리 원소를 포함하는 것이 바람직하다. 본 실시형태에서는 제 2 금속막(210b)으로서 구리막을 사용한다.

[0177] 이와 같이, 트랜지스터(250)에 사용되는 소스 전극(210) 및 드레인 전극(212)의 구성은 신호선(232)의 구성과는 다르다. 구리막이 사용된 신호선(232)을 소스 전극(210) 및 드레인 전극(212)에 전기적으로 접속함으로써 배선 저항에 기인하는 신호 지연 등을 억제할 수 있다. 또한, 트랜지스터(250)에 사용되는 소스 전극(210) 및 드레인 전극(212)에 구리 원소를 포함한 재료를 사용하지 않음으로써 산화물 반도체막(108)에 확산될 우려가 있는 구리 원소를 떨어진 위치에 배치할 수 있어 효과적이다. 또한, 반도체 제작 공정에 있어서 신호선(232), 소스 전극(210), 및 드레인 전극(212)을 동일한 공정으로 제작할 수 있어 제조 비용을 절감시킬 수 있다는 우수한 효과가 나타난다.

[0178] 다음에, 도 7(A) 내지 도 8(D)를 사용하여 도 6(A) 및 도 6(B)에 도시된 트랜지스터(250) 및 신호선 영역(260)의 제작 방법에 대하여 설명한다.

[0179] <반도체 장치의 제작 방법 2>

[0180] 우선, 기판(102) 위에 게이트 전극(204), 게이트 절연막(206), 및 산화물 반도체막(108)을 형성한다. 또한, 게이트 전극(204), 게이트 절연막(206), 및 산화물 반도체막(108)에 대해서는 실시형태 1에 기재된 도 2(A) 내지 도 2(D)의 공정을 참조하여 형성할 수 있다. 그 후, 게이트 절연막(206) 및 산화물 반도체막(108) 위에 소스 전극 및 드레인 전극, 및 신호선이 되는 제 1 금속막(209a) 및 제 2 금속막(209b)을 형성한다(도 7(A) 참조).

[0181] 제 1 금속막(209a)은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막인 것이 바람직하다. 본 실시형태에서는 제 1 금속막(209a)으로서 스퍼터링법으로 형성된 막 두께 50nm의 텅스텐막을 사용한다.

[0182] 또한, 제 1 금속막(209a)을 적층 구조로 하여도 좋다. 예를 들어, 제 1 금속막(209a)의 1층층을 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막으로 하고, 제 1 금속막(209a)의 2층층을 질화 텅스텐, 질화 탄탈, 질화 티타늄, 및 질화 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속 질화물막의 적층 구조 등을 들 수 있다.

[0183] 제 1 금속막(209a)은 산화물 반도체막(108)에 접하므로, 산화물 반도체막(108)으로부터 산소를 뽑아내 n형화시

키지 않는 재료, 또는 산화물 반도체막(108)에 확산되어 n형화시키지 않는 재료를 사용한다. 또한, 제 1 금속막(209a)은 제 2 금속막(209b)에 사용되는 구리막으로부터 산화물 반도체막(108)에 구리 원소가 확산되는 것을 억제하는 재료를 사용하는 것이 바람직하다.

- [0184] 또한, 제 2 금속막(209b)은 구리 원소를 포함한 막인 것이 바람직하다. 또한, 구리에 알루미늄, 금, 은, 아연, 주석, 니켈 등이 수wt% 첨가된 구리 합금 등을 사용하여도 좋다. 본 실시형태에서는 제 2 금속막(209b)으로서 스퍼터링법으로 형성된 막 두께 200nm의 구리막을 사용한다.
- [0185] 다음에, 제 2 금속막(209b) 위에 레지스트를 도포하고 제 1 패터닝을 수행함으로써 레지스트마스크(241)를 형성한다(도 7(B) 참조).
- [0186] 레지스트마스크(241)는 실시형태 1에 기재된 레지스트마스크(141)와 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0187] 다음에, 제 2 금속막(209b)의 일부를 제 1 에칭으로 제거하여, 제 2 금속막(210b)을 형성한다(도 7(C) 참조).
- [0188] 제 2 금속막(209b)의 제거 방법으로는 웨트 에칭법을 사용하는 것이 적합하다. 또한, 웨트 에칭법에서 사용하는 약액으로서는 제 2 금속막(209b)을 에칭할 수 있으면서 제 1 금속막(209a)을 소실시키지 않는 약액을 사용하면 좋고 예를 들어, 제 1 금속막(209a)으로서 텅스텐막을 사용하고 제 2 금속막(209b)으로서 구리막을 사용하는 경우의 약액으로서는 물과 과산화 수소수와 카복실산의 혼합액, 또는 물과 인산과 질산과 황산과 황산 칼륨의 혼합액 등을 사용할 수 있다.
- [0189] 또한, 웨트 에칭의 시간을 조정하여 등방적으로 에칭함으로써, 제 2 금속막(210b)의 측면이 레지스트마스크(241) 측면보다 내측으로 후퇴된 형상으로 하여도 좋다.
- [0190] 이와 같이, 제 1 에칭을 수행할 때 신호선 영역(260)에는 제 2 금속막(209b)이 남게 하고 산화물 반도체막(108)이 형성된 영역에서는 제 2 금속막(209b)을 제거한다.
- [0191] 다음에, 레지스트마스크(241)를 제거하고 제 1 금속막(209a) 및 제 2 금속막(210b) 위에 제 3 금속막(209c)을 형성한다(도 7(D) 참조).
- [0192] 또한, 레지스트마스크(241)의 제거 방법은 실시형태 1에 기재된 레지스트마스크(141)의 제거 방법과 마찬가지로 할 수 있다.
- [0193] 제 3 금속막(209c)은 제 1 금속막(209a)과 같은 방법 및 재료에 의하여 형성할 수 있다. 또한, 본 실시형태에서는 제 3 금속막(209c)으로서 스퍼터링법으로 형성된 막 두께 100nm의 질화 탄탈막을 사용한다.
- [0194] 다음에, 제 3 금속막(209c) 위에 레지스트를 도포하고 제 2 패터닝을 수행함으로써 레지스트마스크(242)를 형성한다(도 8(A) 참조).
- [0195] 레지스트마스크(242)는 레지스트마스크(241)와 같은 재료 및 방법에 의하여 형성할 수 있다.
- [0196] 다음에, 제 1 금속막(209a) 및 제 3 금속막(209c)의 일부를 제 2 에칭으로 제거하여 제 1 금속막(210a), 제 1 금속막(212a), 제 3 금속막(210c), 및 제 3 금속막(212c)을 형성한다(도 8(B) 참조).
- [0197] 또한, 제 2 에칭은 제 1 에칭에 의하여 제거된 제 2 금속막(210b)의 단부보다 외측의 제 1 금속막(209a) 및 제 3 금속막(209c)을 제거한다.
- [0198] 제 1 금속막(209a) 및 제 3 금속막(209c)의 제거 방법으로는 드라이 에칭법을 사용하는 것이 적합하다. 예를 들어, 제 1 금속막(209a)으로서 텅스텐막을 사용하고 제 3 금속막(209c)으로서 질화 탄탈막을 사용한 경우에는 드라이 에칭법에서 사용하는 가스로서 SF₆과 O₂의 혼합 가스, 또는 SF₆과 BCl₃의 혼합 가스 등을 사용할 수 있다.
- [0199] 또한, 제 1 금속막(209a) 및 제 3 금속막(209c)에 대한 에칭을 수행함에 있어서 산화물 반도체막(108)이 에칭으로 인하여 분단되지 않도록 에칭 조건을 최적화하는 것이 요구된다. 그러나, 제 1 금속막(209a) 및 제 3 금속막(209c)만을 에칭하면서 산화물 반도체막(108)을 전혀 에칭하지 않는 조건은 얻기 어려워, 산화물 반도체막(108)은 제 1 금속막(209a) 및 제 3 금속막(209c)이 에칭될 때 일부가 에칭됨으로써 홈부(오목부)를 갖게 될 경우도 있다.
- [0200] 다음에, 레지스트마스크(242)를 제거하여, 제 1 금속막(210a) 및 제 3 금속막(210c)으로 이루어진 소스 전극

(210)과, 제 1 금속막(212a) 및 제 3 금속막(212c)으로 이루어진 드레인 전극(212)을 형성한다. 또한, 신호선 영역(260)에서는 제 1 금속막(210a), 제 2 금속막(210b), 및 제 3 금속막(210c)으로 이루어진 신호선(232)이 형성된다(도 8(C) 참조).

[0201] 상술한 바와 같이, 제 2 금속막(210b)으로서 구리막이 사용된 신호선(232)과, 제 2 금속막(210b)이 사용되지 않은 소스 전극(210) 및 드레인 전극(212)을 동일 공정으로 제작할 수 있다.

[0202] 레지스트마스크(242)의 제거 방법은 레지스트마스크(241)의 제거 방법과 마찬가지로 할 수 있다.

[0203] 또한, 신호선(232), 소스 전극(210), 및 드레인 전극(212)을 형성한 후에 산화물 반도체막(108)(보다 구체적으로는 백 채널 층)을 청정화하는 것이 바람직하다. 산화물 반도체막(108)의 청정화 처리로서는 예를 들어, 산소 플라즈마 처리, 또는 희석된 불화 수소산 처리에 의한 세정 처리 등이 효과적이다. 이와 같이 청정화함으로써, 소스 전극(210) 및 드레인 전극(212)을 형성하는 데 사용한 에칭 가스의 성분, 또는 레지스트마스크(242)의 잔사 등을 산화물 반도체막(108)으로부터 제거할 수 있어 산화물 반도체막(108)을 보다 고순도화할 수 있다.

[0204] 또한, 신호선(232), 소스 전극(210), 및 드레인 전극(212)을 형성한 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리의 온도는 250℃ 이상 650℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 변형점 미만으로 한다.

[0205] 상술한 공정을 거쳐 본 실시형태에 기재된 트랜지스터(250) 및 신호선 영역(260)이 형성된다.

[0206] 다음에, 트랜지스터(250) 및 신호선 영역(260) 위에 제 1 절연막(114a), 제 2 절연막(114b), 산화 알루미늄막(116), 및 평탄화 절연막(118)을 형성한다(도 8(D) 참조).

[0207] 제 1 절연막(114a), 제 2 절연막(114b), 산화 알루미늄막(116), 및 평탄화 절연막(118)은 실시형태 1에 기재된 공정을 참조하여 형성할 수 있다.

[0208] 이와 같이, 트랜지스터(250)의 소스 전극(210) 및 드레인 전극(212)의 구성은 신호선 영역(260)의 신호선(232)의 구성과는 다르다. 구리막이 사용된 신호선(232)을 소스 전극(210) 및 드레인 전극(212)에 전기적으로 접속함으로써 배선 저항에 기인하는 신호 지연 등을 억제할 수 있다. 또한, 트랜지스터(250)에 사용되는 소스 전극(210) 및 드레인 전극(212)에 구리 원소를 포함한 재료를 사용하지 않음으로써 산화물 반도체막(108)에 확산될 우려가 있는 구리 원소를 떨어진 위치에 배치할 수 있어 효과적이다. 또한, 반도체 제작 공정에 있어서 신호선(232), 소스 전극(210), 및 드레인 전극(212)을 동일한 공정으로 제작할 수 있어 제조 비용을 절감시킬 수 있다는 우수한 효과가 나타난다.

[0209] 상술한 바와 같이, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0210] (실시형태 3)

[0211] 실시형태 1 및 실시형태 2에서 예시한 트랜지스터 및 신호선을 사용하여 표시 기능을 갖는 표시 장치를 제작할 수 있다. 또한, 트랜지스터를 포함한 구동 회로의 일부 또는 전체를, 동일 기판 위에 화소부와 일체로 형성하여 시스템 온 패넬을 형성할 수 있다. 도 9를 사용하여 표시 장치의 일례에 대하여 설명한다.

[0212] 도 9에 있어서 제 1 기판(300) 위에 제공된 화소부(302)와, 소스 드라이버 회로부(304) 및 게이트 드라이버 회로부(306)를 둘러싸도록 실재(312)가 제공되어 있다. 또한, 화소부(302), 소스 드라이버 회로부(304), 및 게이트 드라이버 회로부(306) 위에 제 2 기판(301)이 제공되어 있다. 따라서, 화소부(302), 소스 드라이버 회로부(304), 및 게이트 드라이버 회로부(306)는 제 1 기판(300)과 실재(312)와 제 2 기판(301)에 의하여 표시 소자와 함께 밀봉되어 있다.

[0213] 또한, 도 9에 있어서 제 1 기판(300) 위에 있어서 실재(312)로 둘러싸인 영역과는 다른 영역에, 화소부(302), 소스 드라이버 회로부(304), 및 게이트 드라이버 회로부(306)에 전기적으로 접속된 FPC 단자부(308)(FPC: flexible printed circuit)가 제공되어 있고, FPC 단자부(308)에는 FPC(316)가 접속되고, 화소부(302), 소스 드라이버 회로부(304), 및 게이트 드라이버 회로부(306)에 주어지는 각종 신호 및 전위는 FPC(316)에 의하여 공급된다.

[0214] 또한, 도 9에 있어서 화소부(302), 소스 드라이버 회로부(304), 게이트 드라이버 회로부(306), 및 FPC 단자부(308) 각각에 신호선(310)이 접속되어 있다. FPC(316)에 의하여 공급되는 각종 신호 및 전위는 신호선(310)을 통하여 화소부(302), 소스 드라이버 회로부(304), 게이트 드라이버 회로부(306), 및 FPC 단자부(308)에 주어진

다.

- [0215] 또한, 도 9는 소스 드라이버 회로부(304) 및 게이트 드라이버 회로부(306)를 화소부(302)와 같이 제 1 기관(300)에 형성하는 예를 도시한 것이지만, 이 구성에 한정되지 않는다. 예를 들어, 게이트 드라이버 회로부(306)만을 제 1 기관(300)에 형성하여도 좋고, 소스 드라이버 회로부(304)만을 제 1 기관(300)에 형성하여도 좋다. 이 경우, 별도로 준비된 소스 드라이버 회로, 또는 게이트 드라이버 회로 등이 형성된 기관(예를 들어, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기관)을 제 1 기관(300)에 실장하는 구성으로 하여도 좋다.
- [0216] 또한, 별도로 형성된 구동 회로 기관의 접속 방법은 특별히 한정되지 않고 COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다.
- [0217] 또한, 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 상기 패널에 컨트롤러를 포함한 IC 등이 실장된 상태의 모듈을 그 범주에 포함한다.
- [0218] 또한, 본 명세서에서 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 말한다. 또한, 커넥터, 예를 들어 FPC 또는 TAB 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP 끝에 프린트 배선판이 제공된 모듈, 또는 COG 방식에 의하여 표시 소자에 구동 회로 기관 또는 IC가 직접 실장된 모듈도 모두 표시 장치의 범주에 포함되는 것으로 한다.
- [0219] 또한, 제 1 기관(300) 위에 제공된 화소부(302), 소스 드라이버 회로부(304), 및 게이트 드라이버 회로부(306)는 트랜지스터를 복수로 갖고 상기 트랜지스터에 실시형태 1 및 실시형태 2에서 예시한 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 2에 기재된 트랜지스터가 적용된 경우에 대하여 설명한다.
- [0220] 또한, 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하며 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0221] 표시 장치에 제공되는 표시 소자의 일 형태에 대하여 도 10 및 도 11을 사용하여 설명한다. 도 10 및 도 11은 도 9에 도시된 표시 장치를 파선 Q-R에서 절단한 단면도에 상당한다.
- [0222] 도 10에 도시된 표시 장치는 제 1 기관(300) 위에 제공된 FPC 단자부(308)에, 제 1 금속막(360a), 제 2 금속막(360b), 및 제 3 금속막(360c)으로 이루어진 단자 전극(360)을 갖고, 단자 전극(360)은 이방성 도전막(380)을 통하여 FPC(316)가 갖는 단자에 전기적으로 접속되어 있다.
- [0223] 단자 전극(360)은 트랜지스터(350) 및 트랜지스터(352)의 소스 전극 및 드레인 전극과 동일한 공정, 또 신호선(310)과 동일한 공정으로 형성된다.
- [0224] 또한, 제 1 기관(300) 위에 제공된 화소부(302)와, 소스 드라이버 회로부(304)는 트랜지스터를 복수로 갖고, 도 10 및 도 11에서는 화소부(302)에 포함된 트랜지스터(350)와, 소스 드라이버 회로부(304)에 포함된 트랜지스터(352)를 예시하였다.
- [0225] 또한, 본 실시형태에서는 화소부(302)에 포함된 트랜지스터(350)와 소스 드라이버 회로부(304)에 포함된 트랜지스터(352)의 크기가 동일한 구성으로 하였지만 이에 한정되지 않는다. 화소부(302) 및 소스 드라이버 회로부(304)에 사용되는 트랜지스터는 크기(L/W) 또는 그 개수를 적절히 변경할 수 있다. 또한, 도 10 및 도 11에 도시되지 않은 게이트 드라이버 회로부(306)는, 접속 대상 또는 접속 방법 등은 다르지만 그 구성을 소스 드라이버 회로부(304)와 마찬가지로 할 수 있다.
- [0226] 또한, 도 10 및 도 11에 도시된 트랜지스터(350), 트랜지스터(352), 및 신호선(310)은 상술한 실시형태 2에 기재된 트랜지스터(250) 및 신호선(232)과 같은 구성으로 할 수 있다.
- [0227] 즉, 트랜지스터(350) 및 트랜지스터(352)는 제 1 금속막과 제 3 금속막으로 이루어진 소스 전극 및 드레인 전극을 갖고, 신호선(310)은 제 1 금속막과 제 2 금속막과 제 3 금속막으로 이루어진 배선을 갖는다. 제 1 금속막과 제 3 금속막은 텅스텐, 탄탈, 티타늄, 및 몰리브덴 중에서 선택된 하나 이상의 원소를 포함한 금속막 또는 금속 질화물막이고, 제 2 금속막은 구리 원소를 포함한 재료로 형성된다.
- [0228] 또한, 단자 전극(360)은 신호선(310)과 같은 구성을 가지며 제 1 금속막과 제 2 금속막과 제 3 금속막으로 구성되어 있다.

- [0229] 이와 같이, 트랜지스터(350) 및 트랜지스터(352)에 있어서 소스 전극 및 드레인 전극은 구리막을 사용함이 없이 구성되어 있고, 신호선(310) 및 단자 전극(360)은 구리막을 사용하여 구성되어 있다. 트랜지스터(350), 트랜지스터(352), 신호선(310), 및 단자 전극(360)을 사용함으로써 안정된 전기 특성을 갖고 또 저저항의 전극 또는 배선을 갖는 표시 장치를 제공할 수 있다.
- [0230] 또한, 도 10 및 도 11에 있어서 트랜지스터(350) 및 트랜지스터(352) 위에 절연막(364), 보호 절연막(366), 및 평탄화 절연막(368)이 제공되어 있다.
- [0231] 본 실시형태에서는 절연막(364)으로서 산화 질화 실리콘막을 사용하고, 보호 절연막(366)으로서 산화 알루미늄막을 사용한다. 또한, 절연막(364) 및 보호 절연막(366)은 스퍼터링법이나 플라즈마 CVD법에 의하여 형성할 수 있다.
- [0232] 절연막(364)으로서 제공되는 산화 질화 실리콘막은 산화물 반도체막과 접하여 제공되며 산화물 반도체막에 산소를 공급할 수 있다.
- [0233] 보호 절연막(366)으로서 제공되는 산화 알루미늄막은 수소, 물 등 불순물과 산소의 양쪽 모두를 투과시키지 않는 차단 효과(블로킹 효과)가 높다. 따라서, 산화 알루미늄막은 제작 공정중 및 제작 후에 있어서 변동 요인이 되는 수소, 물 등 불순물이 산화물 반도체막에 혼입되는 것을 방지하고, 산화물 반도체막을 구성하는 주성분 재료인 산소가 산화물 반도체막으로부터 방출되는 것을 방지하는 보호 절연막으로서 기능한다.
- [0234] 또한, 평탄화 절연막(368)으로서는 폴리이미드계 수지, 아크릴계 수지, 폴리이미드아미드계 수지, 벤조사이클로부텐계 수지, 폴리아미드계 수지, 에폭시계 수지 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이들 재료로 형성된 절연막을 복수로 적층함으로써 평탄화 절연막(368)을 형성하여도 좋다.
- [0235] 또한, 본 실시형태에 기재된 표시 장치는 소스 드라이버 회로부(304)에 형성된 트랜지스터(352) 위에는 평탄화 절연막(368)이 제공되고, 평탄화 절연막(368) 위에 있어서 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 도전막(370a)이 제공된 구성을 갖는다. 그러나, 이 구성에 한정되지 않으므로 도전막(370a)을 제공하지 않은 구성으로 하여도 좋다. 도전막(370a)을 산화물 반도체막의 채널 형성 영역과 중첩되는 위치에 제공함으로써 BT 시험 전후에서의 트랜지스터(352)의 문턱값 전압 변화량을 저감시킬 수 있다. 또한, 도전막(370a)은 그 전위가 트랜지스터(352)의 게이트 전극의 전위와 같아도 좋고 달라도 좋으며, 제 2 게이트 전극으로서 기능할 수도 있다. 또한, 도전막(370a)의 전위가 GND, 0V, 또는 플로팅 상태이어도 좋다.
- [0236] 또한, 도전막(370a)은 외부의 전기장을 차폐하는, 즉 외부의 전기장이 내부(트랜지스터(352)를 포함한 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전기 차폐 기능)도 갖는다. 도전막(370a)의 차폐 기능에 의하여, 정전기 등 외부의 전기장의 영향으로 트랜지스터(352)의 전기적 특성이 변동되는 것을 방지할 수 있다. 또한, 도전막(370a)은 트랜지스터(352)와 중첩되도록 광범위하게 제공하여도 좋다. 이로써 정전기 차폐 기능이 더욱 향상될 것으로 기대된다.
- [0237] 또한, 본 실시형태에 기재된 표시 장치는 화소부(302)에 형성된 트랜지스터(350) 위에 평탄화 절연막(368)이 제공되고, 평탄화 절연막(368) 위에, 소스 전극 또는 드레인 전극에 접속되는 도전막(370b)이 제공된 구성을 갖는다. 도전막(370b)은 화소부(302)에 있어서 화소 전극으로서의 기능을 갖는다.
- [0238] 화소부(302)에 제공된 트랜지스터(350)는 표시 소자에 전기적으로 접속되어 표시 패널을 구성한다. 표시 소자는 표시할 수 있는 것이면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.
- [0239] 도 10에 도시된 표시 장치는 표시 소자로서 액정 소자가 사용된 액정 표시 장치의 예이다. 도 10에 있어서 표시 소자인 액정 소자(402)는 도전막(370b), 대향 전극(404), 및 액정층(406)을 포함한다. 또한, 배향막으로서 기능하는 절연막(410) 및 절연막(412)이 액정층(406)을 협지(挾持)하도록 제공되어 있다. 대향 전극(404)은 제 2 기관(301) 측에 제공되고, 도전막(370b)과 대향 전극(404)은 액정층(406)을 개재(介在)하여 적층된 구성이다.
- [0240] 또한, 스페이서(435)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상 스페이서이며, 액정층(406)의 막 두께(셀 갭)를 제어하기 위하여 제공된다. 또한, 구 형상 스페이서가 사용되어도 좋다.
- [0241] 표시 소자로서 액정 소자를 사용하는 경우에는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭(cholesteric)상, 스멕틱(smectic)상, 큐빅(cubic)상, 키랄 네마틱(chiral nematic)상, 등방상 등을 나타낸다.
- [0242] 또한, 횡전계 방식을 채용하는 경우, 배향막을 필요로 하지 않는 블루상을 나타내는 액정을 사용하여도 좋다.

블루상은 액정상의 하나이며, 콜레스테릭 액정을 계속적으로 승온한 경우에 콜레스테릭상에서 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현되기 때문에, 온도 범위를 개선하기 위하여 수wt% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물은 응답 속도가 짧고, 광학적 등방성을 가지므로 배향 처리가 불필요하며 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 좋으므로 러빙 처리도 불필요하게 되어, 러빙 처리로 인한 정전 파괴를 방지할 수 있고 제작 공정중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다. 산화물 반도체막이 사용된 트랜지스터는 정전기의 영향으로 트랜지스터의 전기적 특성이 현저히 변동되어 설계 범위를 벗어날 우려가 있다. 그러므로, 산화물 반도체막이 사용된 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 보다 효과적이다.

[0243] 또한, 액정 재료의 고유 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서 고유 저항의 값은 20℃에서 측정된 값이다.

[0244] 액정 표시 장치에 제공되는 유지 용량의 크기는 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하가 유지될 수 있도록 설정한다. 유지 용량의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 고순도이고, 또 산소 결손의 형성이 억제된 산화물 반도체막을 갖는 트랜지스터를 사용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량 크기를 갖는 유지 용량을 제공할 수 있다.

[0245] 본 실시형태에서 사용하는 고순도이고, 또 산소 결손의 형성이 억제된 산화물 반도체막을 갖는 트랜지스터는, 오프 상태에서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등 전기 신호의 유지 시간을 길게 할 수 있고 전원 온(on) 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있어 소비 전력이 억제되는 효과를 얻을 수 있다.

[0246] 또한, 본 실시형태에서 사용하는 고순도이고, 또 산소 결손의 형성이 억제된 산화물 반도체막을 갖는 트랜지스터에서는 비교적 높은 전계 효과 이동도가 얻어지므로 고속 구동이 가능하다. 예를 들어, 이와 같은 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용되는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉, 별도로 구동 회로로서, 실리콘 웨이퍼 등으로 형성된 반도체 장치를 사용할 필요가 없어 반도체 장치의 부품 점수를 삭감할 수 있다. 또한, 화소부에도 고속 구동이 가능한 트랜지스터를 사용함으로써 고화질의 화상을 제공할 수 있다.

[0247] 또한, 화소부의 스위칭 트랜지스터, 및 구동 회로부에 사용되는 드라이버 트랜지스터에 접속되는 신호선으로서 구리 원소를 포함한 배선을 사용한다. 그러므로, 배선 저항에 기인하는 신호 지연 등이 적어 대화면의 표시 장치에 사용될 수 있게 된다.

[0248] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0249] 또한, 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치로 하여도 좋다. 수직 배향 모드로서는 몇 가지 예를 들 수 있고, 예를 들어 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드 등을 사용할 수 있다. 또한, VA형 액정 표시 장치에도 적용될 수 있다. VA형 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식이 채용된 액정 표시 장치의 하나이다. VA형 액정 표시장치는, 전압이 인가되지 않을 때에 액정 분자가 패널 면에 대하여 수직 방향을 향한다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어 분자가 각각 다른 방향으로 배향되도록 굴리된 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용할 수 있다.

[0250] 또한, 표시 장치에 있어서 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등 광학 부재(광학 기판) 등을 적절히 제공한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 이용하여도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용하여도 좋다.

[0251] 또한, 화소부에서의 표시 방식은 프로그레시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시를 수행하는 경우에 화소에서 제어되는 색 요소로서는 RGB(R은 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타냄), 또는 RGB에 옐로, 시안, 마젠타 등 중에서 선택된 하나 이상이 추가된 것을 들 수 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 다만, 개

시된 발명은 컬러 표시의 표시 장치로 한정되지 않고 흑백 표시의 표시 장치에 적용될 수도 있다.

- [0252] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로루미네선스(electroluminescence)를 이용한 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용한 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.
- [0253] 유기 EL 소자는 발광 소자에 전압이 인가됨으로써 한 쌍의 전극으로부터 전자 및 정공 각각이 발광성 유기 화합물을 포함한 층에 주입되어, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써 발광성 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아갈 때에 발광한다. 이러한 메커니즘 때문에, 이와 같은 발광 소자는 전류 여기형 발광 소자라고 불린다.
- [0254] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 나뉜다. 분산형 무기 EL 소자는 발광 재료의 입자가 바인더 내에 분산된 발광층을 갖고, 그 발광 메커니즘은 도너 준위와 억셉터 준위를 이용한 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체층으로 협지되고, 또 이것이 전극 사이에 끼워진 구조를 가지며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이(轉移)를 이용한 국재(局在)형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용한 것을 예로 들어 설명한다.
- [0255] 발광 소자는 발광을 추출하기 위하여, 적어도 한 쌍의 전극 중 한쪽이 투광성을 가지면 좋다. 또한, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대측의 면으로부터 발광을 추출하는 전면 발광형이나, 기판 측의 면으로부터 발광을 추출하는 배면 발광형이나, 기판 측의 면 및 기판과는 반대측의 면 양쪽 모두로부터 발광을 추출하는 양면 발광 구조의 발광 소자가 있지만, 이 중 어느 발광 구조의 발광 소자도 적용될 수 있다.
- [0256] 도 11은 표시 소자로서 발광 소자가 사용된 표시 장치의 예를 도시한 것이다. 표시 소자인 발광 소자(450)는 화소부(302)에 제공된 트랜지스터(350)와 전기적으로 접속되어 있다. 또한, 발광 소자(450)의 구성은 도전막(370b), 전계 발광층(452), 상부 전극(454)의 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 소자(450)로부터 추출하는 광의 방향 등에 맞추어, 발광 소자(450)의 구성은 적절히 변경될 수 있다.
- [0257] 격벽(456)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히, 격벽(456)에 감광성 수지 재료를 사용하는 것이 바람직하다. 예를 들어, 상기 감광성 수지를 사용하여 격벽(456)을 형성하는 경우, 평탄화 절연막(368) 및 도전막(370b) 위에 감광성 수지 재료를 도포하고 원하는 영역에 광을 조사함으로써 도전막(370b) 위의 일부에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 갖는 경사면이 되도록 형성할 수 있다.
- [0258] 전계 발광층(452)은 단일 층으로 구성되어도 좋고 복수의 층이 적층되어 구성되어도 좋다.
- [0259] 발광 소자(450)에 산소, 수소, 물, 이산화탄소 등이 침입되지 않도록 상부 전극(454) 및 격벽(456) 위에 보호막을 형성하여도 좋다. 보호막으로서 질화 실리콘막, 질화 산화 실리콘막 등을 형성할 수 있다. 또한, 제 1 기판(300), 제 2 기판(301), 및 실재(312)에 의하여 밀봉된 공간에는 충전재(458)가 제공되어 있다. 이와 같이, 패널이 외기에 폭로되지 않도록 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재를 사용하여 패키징(봉입)하는 것이 바람직하다.
- [0260] 충전재(458)로서는 질소나 아르곤 등의 불활성 기체 외에 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴계 수지, 폴리이미드계 수지, 에폭시계 수지, 실리콘(silicone)계 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 예를 들어, 충전재(458)로서 질소를 사용하면 좋다.
- [0261] 또한, 필요에 따라 발광 소자의 광 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시킴으로써 눈부심을 저감시킬 수 있는 눈부심 방지(anti-glare) 처리를 수행할 수 있다.
- [0262] 또한, 도 10 및 도 11에 도시된 제 1 기판(300) 및 제 2 기판(301)으로서는 유리 기판 외에 가요성을 갖는 기판을 사용할 수도 있고 예를 들어, 투광성을 갖는 플라스틱 기판 등을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일이 PVF 필름이나 폴리에스테르 필름에 끼워진 구조의 시트를 사용할 수도 있다.
- [0263] 상술한 바와 같이, 실시형태 1 및 실시형태 2에 기재된 트랜지스터 또는 신호선을 적용하여 다양한 기능을 갖는

표시 장치를 제공할 수 있다.

[0264] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시될 수 있다.

[0265] (실시형태 4)

[0266] 본 명세서에 개시된 반도체 장치는 다양한 전자 기기(게임기도 포함함)에 적용될 수 있다. 전자 기기로서는 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 전자 종이, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말(PDA), 휴대 단말(스마트폰, 태블릿 PC 등을 포함함), 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다. 상술한 실시형태에서 설명한 반도체 장치를 포함한 전자 기기의 예에 대하여 도 12(A) 내지 도 13(D)를 사용하여 설명한다.

[0267] 도 12(A)에 도시된 노트북형 퍼스널 컴퓨터는 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등으로 구성되어 있다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시부(3003)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 노트북형 퍼스널 컴퓨터로 할 수 있다.

[0268] 도 12(B)에 도시된 휴대 정보 단말(PDA)은 본체(3021)에 표시부(3023)와, 외부 인터페이스(3025)와, 조작 버튼(3024) 등이 제공되어 있다. 또한, 조작용 부속품으로서 스타일러스(stylus; 3022)가 있다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시부(3023)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 휴대 정보 단말(PDA)로 할 수 있다.

[0269] 도 12(C)는 전자 서적의 일례를 도시한 것이다. 예를 들어, 전자 서적(2700)은 2개의 하우징(하우징(2701) 및 하우징(2703))으로 구성되어 있다. 하우징(2701) 및 하우징(2703)은 축(軸)부(2711)에 의하여 일체가 되어 있어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 할 수 있다. 이와 같은 구성에 의하여 종이 서적과 같은 동작을 할 수 있다.

[0270] 하우징(2701)에는 표시부(2705)가 제공되고, 하우징(2703)에는 표시부(2707)가 제공되어 있다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써 예를 들어, 오른쪽 표시부(도 12(C)에서는 표시부(2705))에 문장을 표시하고, 왼쪽 표시부(도 12(C)에서는 표시부(2707))에 화상을 표시할 수 있다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시부(2705) 및 표시부(2707)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 전자 서적으로 할 수 있다. 표시부(2705)로서 반투과형 또는 반사형의 액정 표시 장치를 사용하는 경우, 비교적 밝은 상황하에서 사용되는 것도 예상되므로 태양 전지를 제공하여 태양 전지에 의한 발전 및 배터리에서의 충전을 수행할 수 있도록 하여도 좋다. 또한, 배터리로서는 리튬 이온 전지를 사용하면 소형화를 도모할 수 있는 등 이점이 있다.

[0271] 또한, 도 12(C)는 하우징(2701)에 조작부 등을 구비한 예를 도시한 것이다. 예를 들어, 하우징(2701)에 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일한 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0272] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선으로 전자 서적 서버에서 원하는 서적 데이터 등을 구입하여 다운로드하는 구성으로 할 수도 있다.

[0273] 도 12(D)에 도시된 휴대 전화는 2개의 하우징(하우징(2800) 및 하우징(2801))으로 구성된다. 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등이 구비되어 있다. 또한, 하우징(2800)에는 휴대 전화의 충전을 수행하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등이 구비되어 있다. 또한, 안테나는 하우징(2801) 내부에 제공되어 있다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시 패널(2802)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 휴대 전화로 할 수 있다.

[0274] 또한, 표시 패널(2802)에는 터치 패널이 구비되어 있고, 도 12(D)는 영상으로 표시된 복수의 조작키(2805)를 점선으로 도시한 것이다. 또한, 태양 전지 셀(2810)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장되어 있다.

[0275] 표시 패널(2802)의 표시 방향은 사용 형태에 따라 적절히 변화된다. 또한, 표시 패널(2802)의 동일 면상에 카

메라용 렌즈(2807)가 구비되어 있어 영상 통화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화시의 사용에 한정되지 않고 영상 통화, 녹음, 재생 등에 사용될 수 있다. 또한, 하우징(2800)과 하우징(2801)은, 슬라이드됨으로써 도 12(D)에 도시된 바와 같이 전개된 상태에서부터 닫힌 상태로 할 수 있고, 휴대하기에 적합한 소형화가 가능하다.

- [0276] 외부 접속 단자(2808)는 AC 어댑터, 및 USB 케이블 등의 각종 케이블과 접속 가능하여, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입함으로써 더 많은 데이터 저장 및 데이터 이동에 대응할 수 있다.
- [0277] 또한, 상기 기능에 더하여 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.
- [0278] 도 12(E)에 도시된 디지털 비디오 카메라는 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등으로 구성되어 있다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시부(A)(3057) 및 표시부(B)(3055)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 디지털 비디오 카메라로 할 수 있다.
- [0279] 도 12(F)는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치(9600)는 하우징(9601)에 표시부(9603)가 제공되어 있다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)로 하우징(9601)이 지지된 구성을 도시하였다. 상술한 어느 실시형태에 기재된 반도체 장치를 표시부(9603)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 텔레비전 장치로 할 수 있다.
- [0280] 텔레비전 장치(9600)는 하우징(9601)이 구비한 조작 스위치나, 별체의 리모트 컨트롤러에 의하여 조작할 수 있다. 또한, 리모트 컨트롤러에, 상기 리모트 컨트롤러에서 출력되는 정보를 표시하는 표시부를 제공하는 구성으로 하여도 좋다.
- [0281] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 단방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.
- [0282] 도 13(A) 내지 13d는 태블릿형 단말의 일례를 도시한 것이며, 도 13(A) 내지 도 13(C)는 태블릿형 단말(5000)의 도면이고, 도 13(D)는 태블릿형 단말(6000)의 도면이다.
- [0283] 도 13(A) 내지 도 13(C)에 있어서, 도 13(A)는 태블릿형 단말(5000)의 정면도, 도 13(B)는 측면도, 도 13(C)는 배면도를 각각 도시한 것이다. 또한, 도 13(D)는 태블릿형 단말(6000)의 정면도를 도시한 것이다.
- [0284] 태블릿형 단말(5000)은 하우징(5001), 표시부(5003), 전원 버튼(5005), 전면 카메라(5007), 배면 카메라(5009), 제 1 외부 접속 단자(5011), 및 제 2 외부 접속 단자(5013) 등으로 구성되어 있다.
- [0285] 또한, 표시부(5003)는 하우징(5001)에 제공되어 있고, 터치 패널로서도 사용될 수 있다. 예를 들어, 표시부(5003)상에 아이콘(5015) 등을 표시시켜 메일이나, 스케줄 관리 등의 작업을 할 수 있다. 또한, 하우징(5001)에는 정면 측에 전면 카메라(5007)가 제공되어 있어, 사용자 측의 영상을 촬영할 수 있다. 또한, 하우징(5001)에는 배면 측에 배면 카메라(5009)가 제공되어 있어, 사용자와 반대 측의 영상을 촬영할 수 있다. 또한, 하우징(5001)에는 제 1 외부 접속 단자(5011) 및 제 2 외부 접속 단자(5013)가 구비되어 있고, 예를 들어, 제 1 외부 접속 단자(5011)를 통하여 이어폰 등에 음성을 출력하고, 제 2 외부 접속 단자(5013)로 데이터의 이동 등을 수행할 수 있다.
- [0286] 다음에, 도 13(D)에 도시된 태블릿형 단말(6000)은 제 1 하우징(6001), 제 2 하우징(6003), 힌지부(hinge portion)(6005), 제 1 표시부(6007), 제 2 표시부(6009), 전원 버튼(6011), 제 1 카메라(6013), 제 2 카메라(6015) 등으로 구성되어 있다.
- [0287] 또한, 제 1 표시부(6007)는 제 1 하우징(6001)에 제공되어 있고, 제 2 표시부(6009)는 제 2 하우징(6003)에 제공되어 있다. 제 1 표시부(6007) 및 제 2 표시부(6009)는 예를 들어, 제 1 표시부(6007)를 표시용 패널로서 사용하고, 제 2 표시부(6009)를 터치 패널로서 사용한다. 제 1 표시부(6007)에 표시된 텍스트 아이콘(6017)을 확인하고 제 2 표시부(6009)에 표시된 아이콘(6019), 또는 키보드(6021)(실제로는 제 2 표시부(6009)에 표시된 키보드 화상)를 사용하여 화상의 선택, 또는 문자의 입력 등을 할 수 있다. 제 1 표시부(6007)를 터치 패널로 하고 제 2 표시부(6009)를 표시용 패널로 한 구성이나, 제 1 표시부(6007) 및 제 2 표시부(6009) 양쪽 모두를 터치 패널로 한 구성으로 하여도 좋은 것은 물론이다.

- [0288] 또한, 제 1 하우징(6001)과, 제 2 하우징(6003)은 힌지부(6005)에 의하여 접속되어 있어 제 1 하우징(6001)과 제 2 하우징(6003)을 개폐할 수 있다. 이와 같은 구성으로 함으로써, 태블릿형 단말(6000)을 휴대할 때 제 1 하우징(6001)에 제공된 제 1 표시부(6007)와, 제 2 하우징(6003)에 제공된 제 2 표시부(6009)를 닫힘으로써 제 1 표시부(6007) 및 제 2 표시부(6009)의 표면(예를 들어, 플라스틱 기판 등)을 보호할 수 있어 적합하다.
- [0289] 또한, 제 1 하우징(6001)과 제 2 하우징(6003)은 힌지부(6005)에 의하여 분리될 수 있는 구성으로 하여도 좋다(소위 컨버터블형). 이와 같은 구성으로 함으로써 예를 들어, 제 1 하우징(6001)을 세로 방향으로, 제 2 하우징(6003)을 가로 방향으로 하여 사용하는 등 사용 범위가 넓어지므로 적합하다.
- [0290] 또한, 제 1 카메라(6013) 및 제 2 카메라(6015)로 3D 화상을 촬영할 수도 있다.
- [0291] 또한, 태블릿형 단말(5000) 및 태블릿형 단말(6000)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 예를 들어, 무선으로 인터넷 등에 접속하여, 원하는 정보를 구입하고 다운로드하는 구성으로 할 수도 있다.
- [0292] 또한, 태블릿형 단말(5000) 및 태블릿형 단말(6000)은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시된 정보를 터치 입력에 의하여 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 외광의 광량에 따라 표시 휘도를 최적화할 수 있는 광 센서나, 자이로(gyroscope)나 가속도 센서 등 기울기를 검출하는 센서 등의 검출 장치를 제공하여도 좋다.
- [0293] 상술한 어느 실시형태에 기재된 반도체 장치를 태블릿형 단말(5000)의 표시부(5003), 태블릿형 단말(6000)의 제 1 표시부(6007) 또는/및 제 2 표시부(6009)에 적용함으로써, 안정된 전기 특성을 갖고, 또 배선 저항에 기인하는 신호 지연이 적은 태블릿형 단말로 할 수 있다.
- [0294] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시될 수 있다.

부호의 설명

- [0295] 102: 기판
- 104: 게이트 전극
- 104a: 제 1 게이트 전극
- 104b: 제 2 게이트 전극
- 106: 게이트 절연막
- 106a: 제 1 게이트 절연막
- 106b: 제 2 게이트 절연막
- 108: 산화물 반도체막
- 109a: 제 1 금속막
- 109b: 제 2 금속막
- 109c: 제 3 금속막
- 110: 소스 전극
- 110a: 제 1 금속막
- 110b: 제 2 금속막
- 110c: 제 3 금속막
- 112: 드레인 전극
- 112a: 제 1 금속막
- 112b: 제 2 금속막

112c: 제 3 금속막
 114a: 제 1 절연막
 114b: 제 2 절연막
 115: 알루미늄막
 116: 산화 알루미늄막
 118: 평탄화 절연막
 141: 레지스트마스크
 142: 레지스트마스크
 145: 산소
 147: 산소
 150: 트랜지스터
 204: 게이트 전극
 204a: 제 1 게이트 전극
 204b: 제 2 게이트 전극
 206: 게이트 절연막
 206a: 제 1 게이트 절연막
 206b: 제 2 게이트 절연막
 208: 산화물 반도체막
 209a: 제 1 금속막
 209b: 제 2 금속막
 209c: 제 3 금속막
 210: 소스 전극
 210a: 제 1 금속막
 210b: 제 2 금속막
 210c: 제 3 금속막
 212: 드레인 전극
 212a: 제 1 금속막
 212c: 제 3 금속막
 232: 신호선
 241: 레지스트마스크
 242: 레지스트마스크
 250: 트랜지스터
 260: 신호선 영역
 300: 기판
 301: 기판
 302: 화소부

304: 소스 드라이버 회로부
 306: 게이트 드라이버 회로부
 308: FPC 단자부
 310: 신호선
 312: 실재
 316: FPC
 350: 트랜지스터
 352: 트랜지스터
 360: 단자 전극
 360a: 제 1 금속막
 360b: 제 2 금속막
 360c: 제 3 금속막
 364: 절연막
 366: 보호 절연막
 368: 평탄화 절연막
 370a: 도전막
 370b: 도전막
 380: 이방성 도전막
 402: 액정 소자
 404: 대향 전극
 406: 액정층
 408: 액정층
 410: 절연막
 412: 절연막
 435: 스페이서
 450: 발광 소자
 452: 전계 발광층
 454: 상부 전극
 456: 격벽
 458: 충전재
 2700: 전자 서적
 2701: 하우징
 2703: 하우징
 2705: 표시부
 2707: 표시부
 2711: 측부

2721: 전원
 2723: 조작키
 2725: 스피커
 2800: 하우징
 2801: 하우징
 2802: 표시 패널
 2803: 스피커
 2804: 마이크로폰
 2805: 조작키
 2806: 포인팅 디바이스
 2807: 카메라용 렌즈
 2808: 외부 접속 단자
 2810: 태양 전지 셀
 2811: 외부 메모리 슬롯
 3001: 본체
 3002: 하우징
 3003: 표시부
 3004: 키보드
 3021: 본체
 3022: 스타일러스
 3023: 표시부
 3024: 조작 버튼
 3025: 외부 인터페이스
 3051: 본체
 3053: 접안부
 3054: 조작 스위치
 3056: 배터리
 5000: 태블릿형 단말
 5001: 하우징
 5003: 표시부
 5005: 전원 버튼
 5007: 전면 카메라
 5009: 배면 카메라
 5011: 외부 접속 단자
 5013: 외부 접속 단자
 5015: 아이콘

6000: 태블릿형 단말

6001: 하우징

6003: 하우징

6005: 힌지부

6007: 표시부

6009: 표시부

6011: 전원 버튼

6013: 카메라

6015: 카메라

6017: 텍스트 아이콘

6019: 아이콘

6021: 키보드

9600: 텔레비전 장치

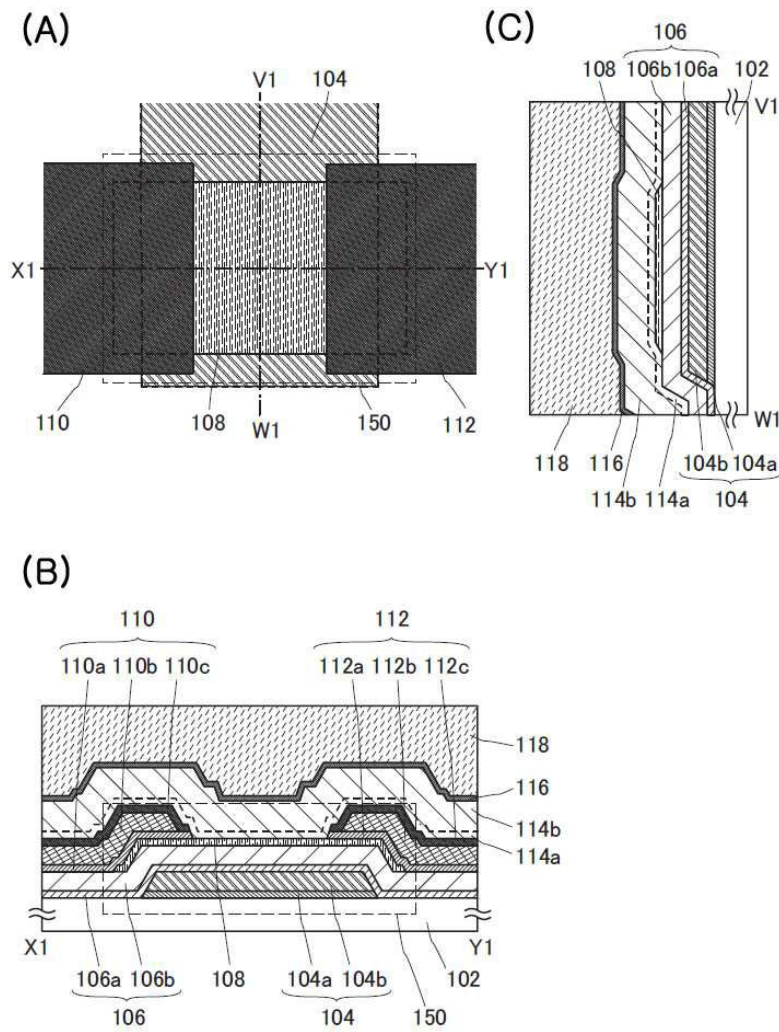
9601: 하우징

9603: 표시부

9605: 스탠드

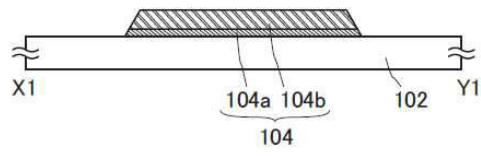
도면

도면1

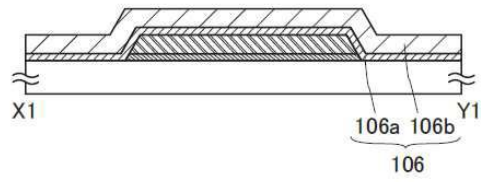


도면2

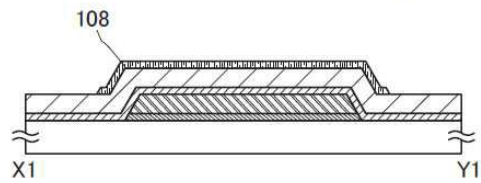
(A)



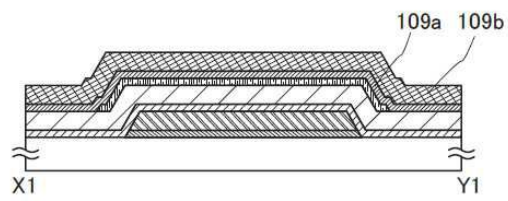
(B)



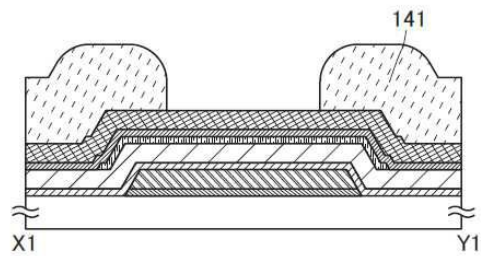
(C)



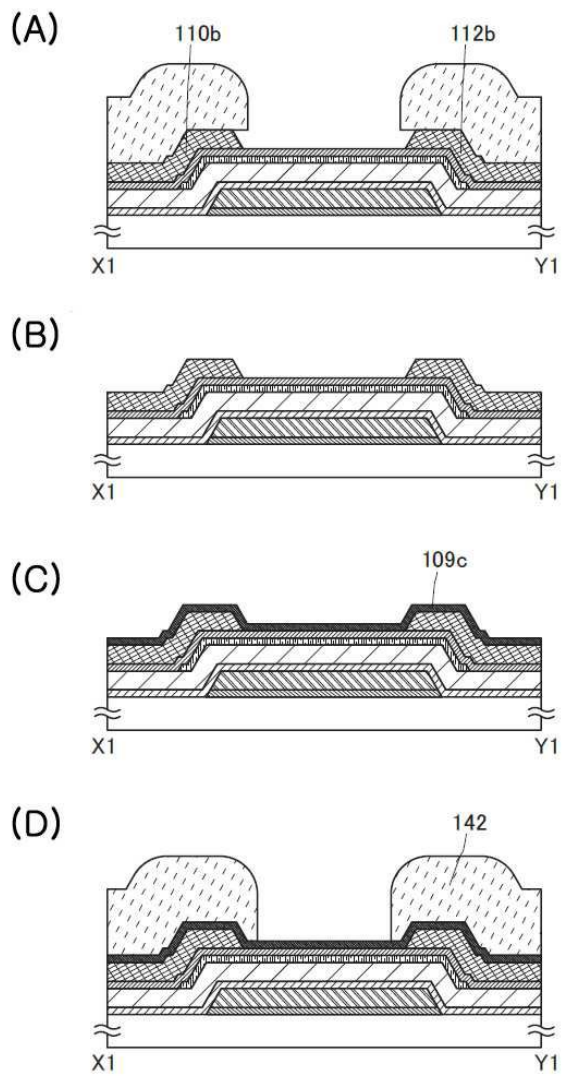
(D)



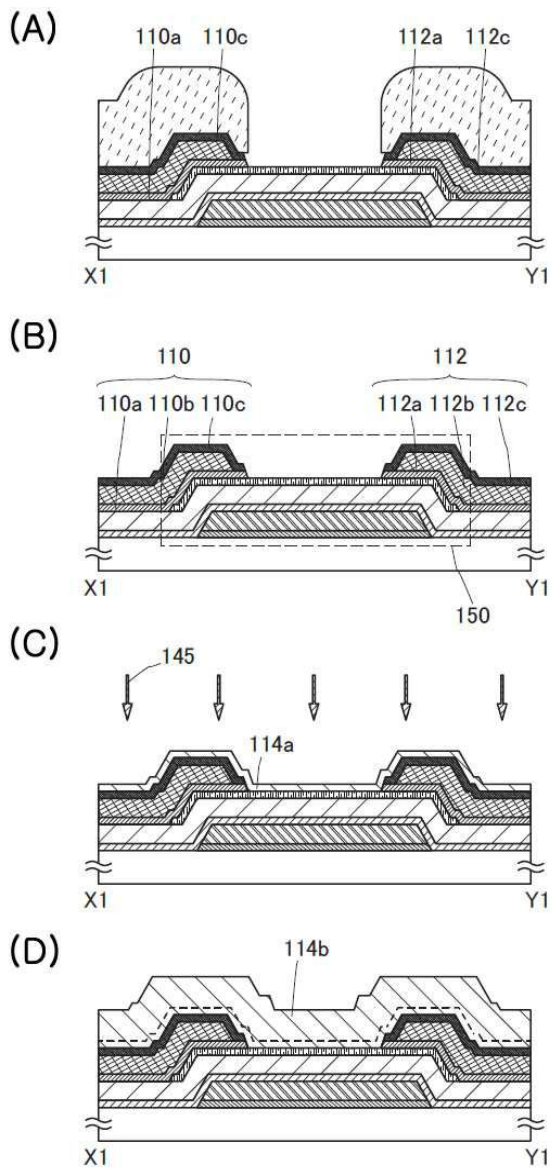
(E)



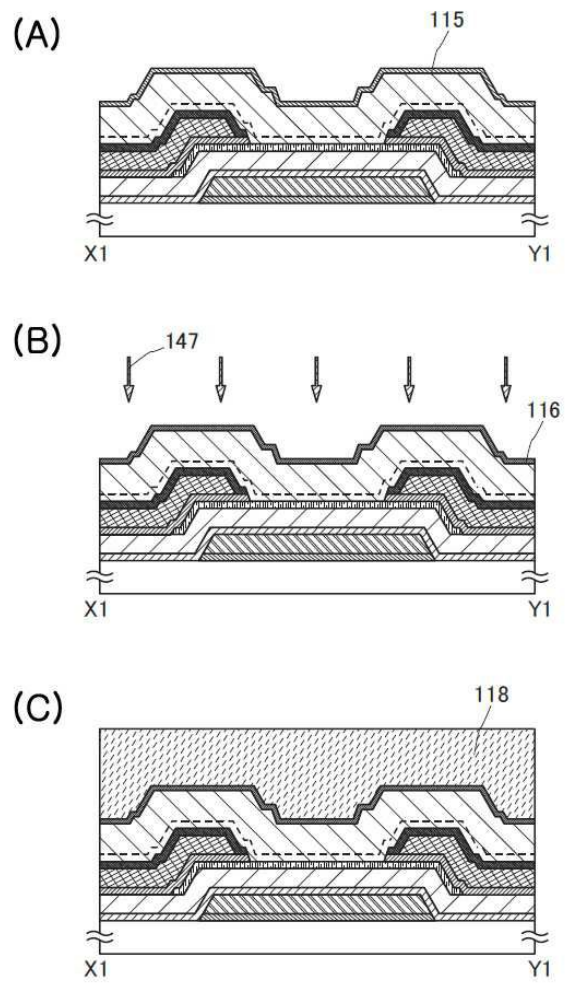
도면3



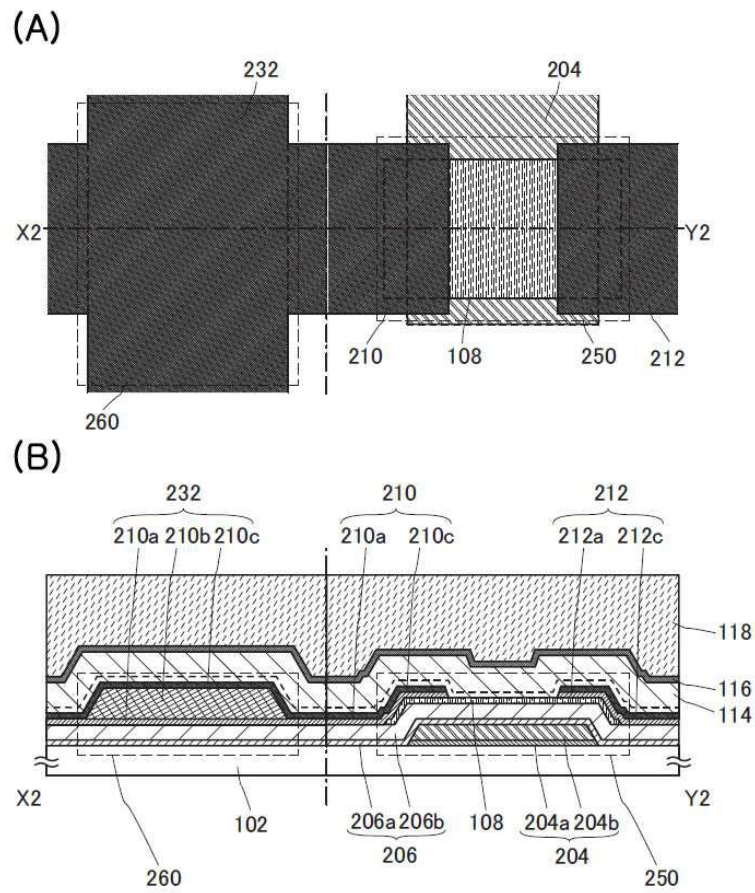
도면4



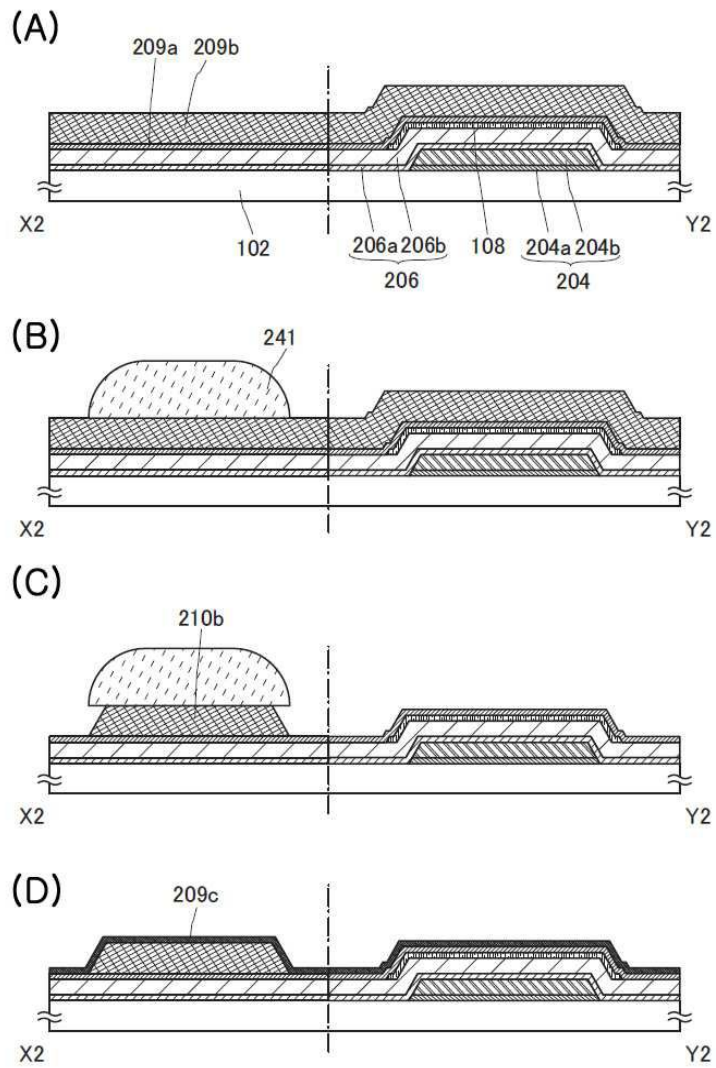
도면5



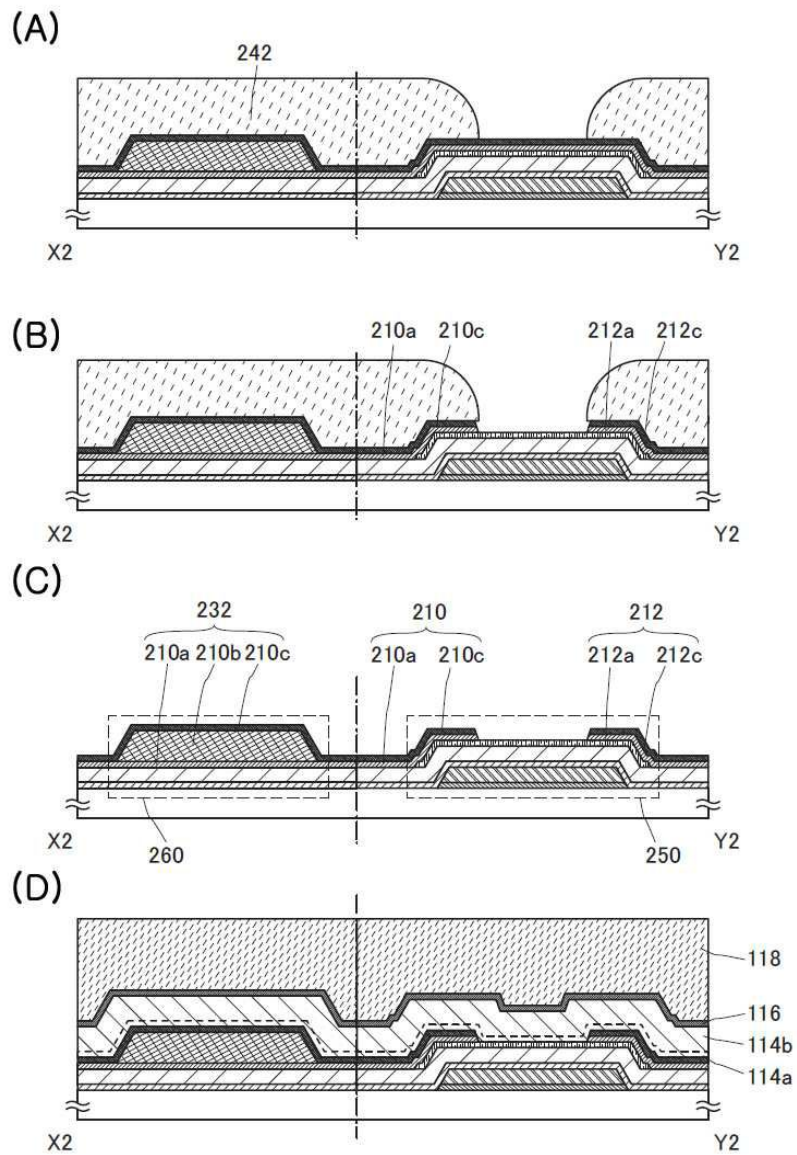
도면6



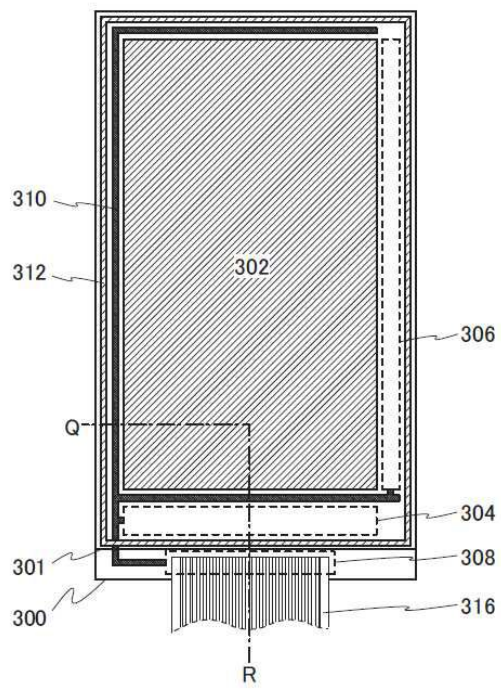
도면7



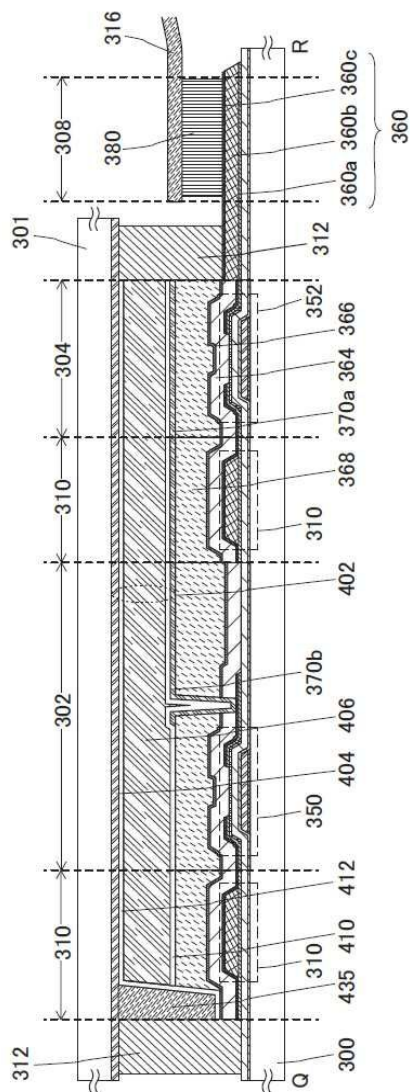
도면8



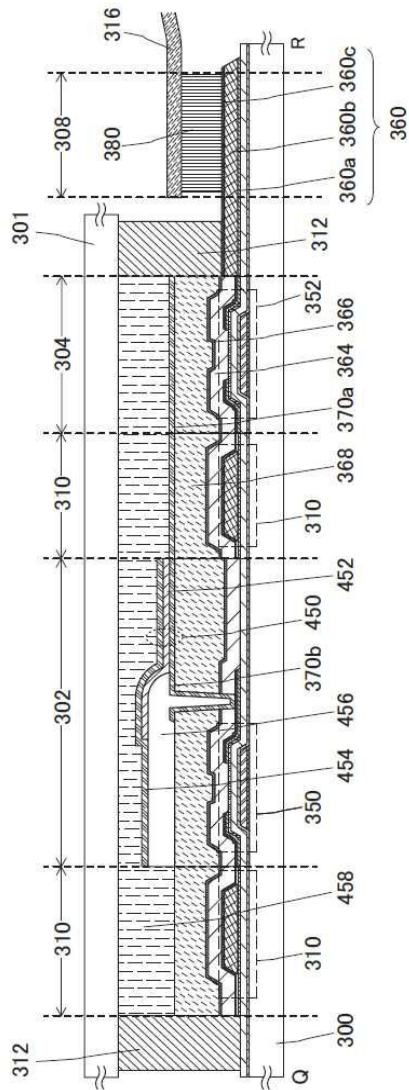
도면9



도면10

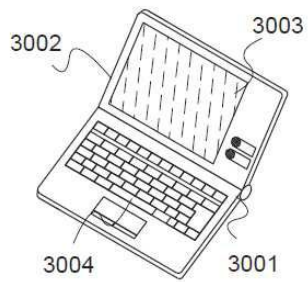


도면11

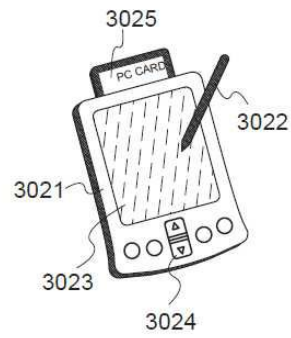


도면12

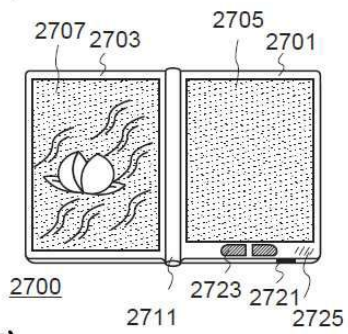
(A)



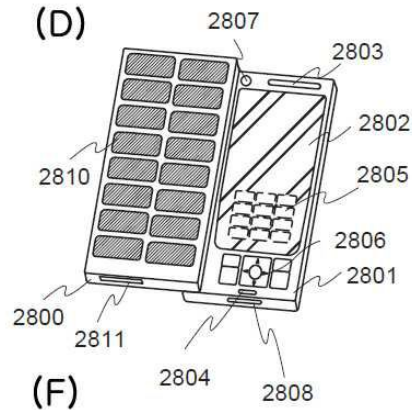
(B)



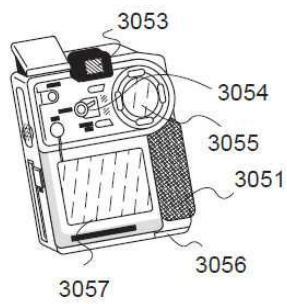
(C)



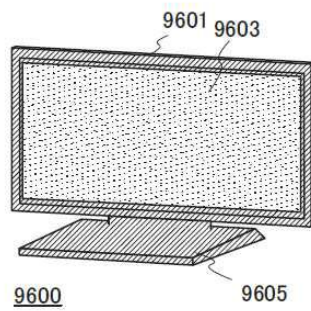
(D)



(E)



(F)



도면13

