



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I679577 B

(45)公告日：中華民國 108 (2019) 年 12 月 11 日

(21)申請案號：107111571

(22)申請日：中華民國 107 (2018) 年 04 月 02 日

(51)Int. Cl. : **G06F7/502 (2006.01)****G06F7/57 (2006.01)**

(30)優先權：2017/04/14 美國

15/488,019

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：羅 哈里 RAO, HARI (US)

(74)代理人：陳長文

(56)參考文獻：

TW 200809690A

US 6985917B2

US 7424507B1

US 2006212505A1

審查人員：簡大翔

申請專利範圍項數：30 項 圖式數：11 共 45 頁

(54)名稱

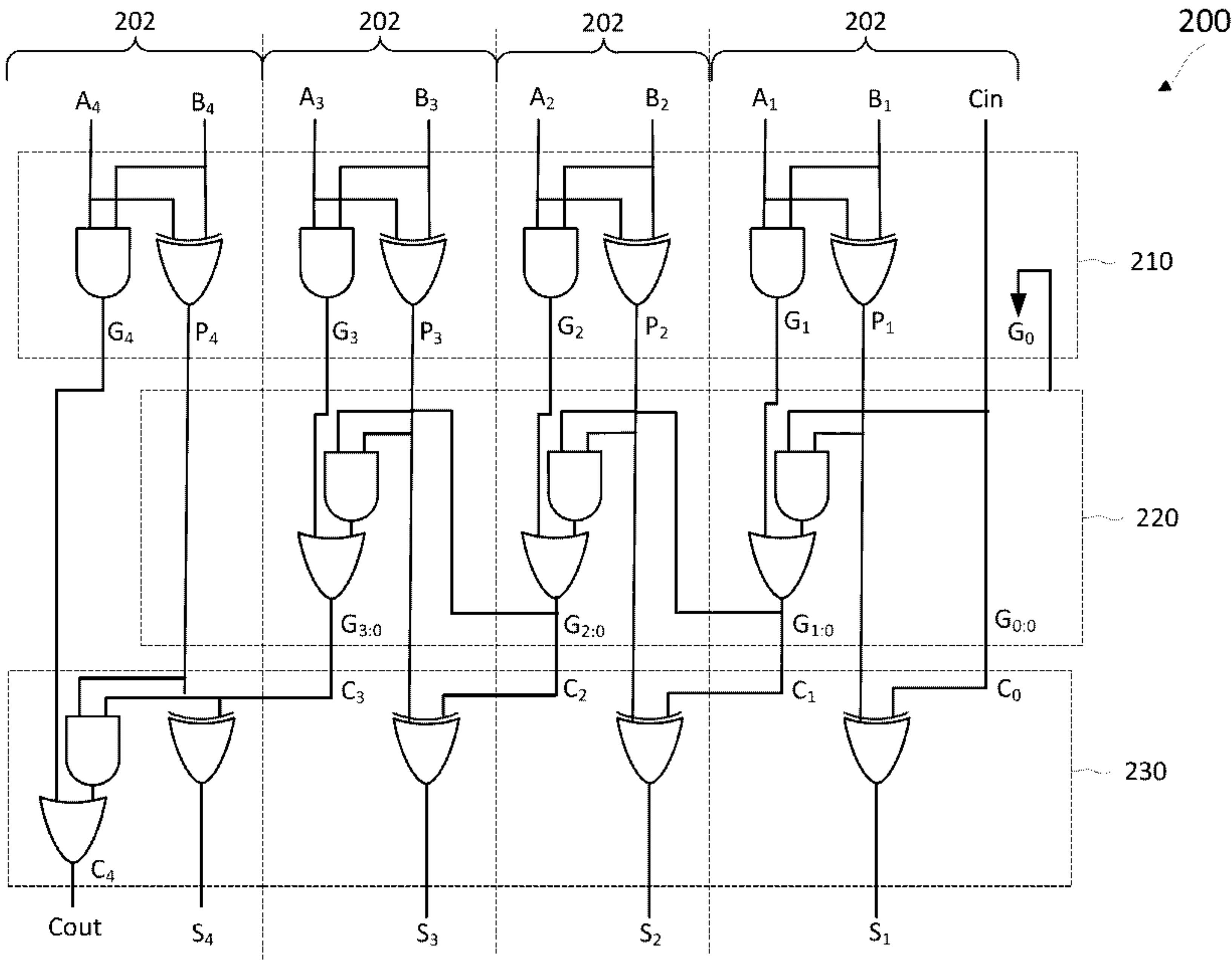
多位元加法器設備與用於執行算術運算之設備及方法

(57)摘要

一種多位元加法器設備，其包含：一全加器級，其經組態以接收第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些；及一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些；一進位產生級，其耦接至該全加器級及該半加器級，其中該進位產生級包括至少一個串列傳播產生(PG)組件；及一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，其中該複數個 LSB 中之該至少一些之一數目不同於該複數個 MSB 中之該至少一些之一數目。

A multi-bit adder apparatus comprising: a full adder stage configured to receive at least some of a plurality of least significant bits (LSBs) of first data and second data; and a half adder stage configured to receive at least some of a plurality of most significant bits (MSBs) of the first data and the second data; a carry generation stage coupled to the full adder stage and the half adder stage, wherein the carry generation stage includes at least one serial propagate-generate(PG) component; and a post summing stage coupled to the carry generation stage and the half adder stage and configured to generate a partial sum output of the first data and the second data, wherein a number of the at least some of the plurality of LSBs is different from a number of the at least some of the plurality of MSBs.

指定代表圖：



【圖2】

符號簡單說明：

200 . . . 連波進位加法器(RCA)

202 . . . 位元級

210 . . . 按位元傳播產生(PG)產生級

220 . . . 群組傳播產生(PG)產生級

230 . . . 後總和產生級

C₁ . . . 第一進位輸出位元

C₂ . . . 第二進位輸出位元

C₃ . . . 進位輸出位元

C₄ . . . 最終進位輸出

Cin . . . 進位輸入位元

Cout . . . 最終進位輸出

G₀ . . . 產生輸出

G₁ . . . 產生輸出

G₂ . . . 產生輸出

G₃ . . . 產生輸出

G_{0 : 0} . . . 群組產生輸出

G_{1 : 0} . . . 群組產生輸出

G_{2 : 0} . . . 群組產生輸出

G_{3 : 0} . . . 群組產生輸出

P₁ . . . 傳播輸出

P₂ . . . 傳播輸出

P₃ . . . 傳播輸出



I679577

【發明摘要】

【中文發明名稱】

多位元加法器設備與用於執行算術運算之設備及方法

【英文發明名稱】

MULTI-BIT ADDER APPARATUS, AND APPARATUS AND METHOD FOR PERFORMING ARITHMETIC OPERATIONS

【中文】

一種多位元加法器設備，其包含：一全加器級，其經組態以接收第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些；及一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些；一進位產生級，其耦接至該全加器級及該半加器級，其中該進位產生級包括至少一個串列傳播產生(PG)組件；及一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，其中該複數個LSB中之該至少一些之一數目不同於該複數個MSB中之該至少一些之一數目。

【英文】

A multi-bit adder apparatus comprising: a full adder stage configured to receive at least some of a plurality of least significant bits (LSBs) of first data and second data; and a half adder stage configured to receive at least some of a plurality of most significant bits (MSBs) of the first data and the second data; a carry generation stage coupled to the full adder stage and the half adder stage, wherein the carry generation stage includes at least one serial propagate-generate(PG) component; and a post summing stage coupled to the carry generation stage and the half adder stage and

configured to generate a partial sum output of the first data and the second data, wherein a number of the at least some of the plurality of LSBs is different from a number of the at least some of the plurality of MSBs.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

200	漣波進位加法器(RCA)
202	位元級
210	按位元傳播產生(PG)產生級
220	群組傳播產生(PG)產生級
230	後總和產生級
C ₁	第一進位輸出位元
C ₂	第二進位輸出位元
C ₃	進位輸出位元
C ₄	最終進位輸出
C _{in}	進位輸入位元
C _{out}	最終進位輸出
G ₀	產生輸出
G ₁	產生輸出
G ₂	產生輸出
G ₃	產生輸出
G _{0:0}	群組產生輸出
G _{1:0}	群組產生輸出

$G_{2:0}$	群組產生輸出
$G_{3:0}$	群組產生輸出
P_1	傳播輸出
P_2	傳播輸出
P_3	傳播輸出

【發明說明書】

【中文發明名稱】

多位元加法器設備與用於執行算術運算之設備及方法

【英文發明名稱】

MULTI-BIT ADDER APPARATUS, AND APPARATUS AND METHOD FOR PERFORMING ARITHMETIC OPERATIONS

【技術領域】

本申請案係關於用於執行算術運算之數位電路，且更特定而言，係關於具有用於改良能效之變數組態之加法器。

【先前技術】

由於加法為用於許多數位信號處理運算之重要函數，故加法器廣泛地用於諸如攝影機及圖形處理器之多媒體子系統中。舉例而言，可使用乘加運算之重複步驟來實施數位濾波。諸如減法、正負號反轉、乘法、除法、比較、平方根、對數、雙曲線、三角之其他數學運算亦可包括各種加法步驟。

習知的電路合成軟體工具通常集中於最佳化面積及/或速度而非功率，尤其是針對加法器及乘法器。舉例而言，習知的電路合成軟體工具可使用漣波進位加法器(ripple carry adder；RCA)來合成加法器。該軟體工具可藉由運用進位跨越加法器(carry-skip adder)、進位預看加法器(carry-look-ahead adder)或進位選擇加法器(carry-select adder)來替換RCA而最佳化處理延遲以符合時序約束。然而，進位跨越加法器、進位預看加法器及進位選擇加法器相比於RCA通常使用較多邏輯，且因此相比於RCA消耗較多功率。雖然一些電路合成軟體工具可針對功率消耗提供一些控制，

但該等控制可能並不有效或足以符合針對某些應用之功率約束。當經合成電路用於諸如個人電腦(PC)之主機系統或主機時，可能並不非常關心高功率消耗。然而，用於多媒體應用之行動裝置可能會受到功率限制。因此，可能需要用於合成可平衡速度、功率及/或面積之加法器的改良式系統及技術。

【發明內容】

提供高能效多位元加法器。各種實施例包括針對最高有效位元(MSB)級中之一些使用並列進位電路系統以針對較低有效位元級提供加速及串列或漣波進位電路系統以提供功率節省之加法器。加速係指輸入被接收之時間至輸出被計算之時間的延遲之縮減。具體言之，各種實施例包括具有並列MSB級之數目與串列較低有效位元級之數目之間的不均勻分隔的加法器。

根據一項實施例，一種多位元加法器設備包括：一全加器級，其經組態以接收第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些；及一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些，其中該半加器級包括至少一個半加器；一進位產生級，其耦接至該全加器級及該半加器級，其中該進位產生級包括耦接至該至少一個半加器之輸出之至少一個串列傳播產生(PG)組件；及一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，其中該複數個LSB中之該至少一些之一數目不同於該複數個MSB中之該至少一些之一數目。

根據一實施例，一種設備包括：一處理組件，其包括一多位元加法器，其中該多位元加法器包括：一全加器級，其經組態以接收第一資料及

第二資料之複數個最低有效位元(LSB)中之至少一些；及一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些，其中該半加器級包括至少一個半加器；一進位產生級，其耦接至該全加器級及該半加器級，其中該進位產生級包括耦接至該至少一個半加器之輸出之至少一個串列傳播產生(PG)組件；及一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，其中該複數個LSB中之該至少一些之一數目不同於該複數個MSB中之該至少一些之一數目。

根據另一實施例，一種方法包括：經由至少一個全加器基於第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些而產生一中間進位輸出；經由至少一個半加器基於該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些而產生一當前傳播輸出及一當前產生輸出，其中該複數個MSB中之該至少一些之一數目不同於該複數個LSB中之該至少一些之一數目；經由至少一個串列傳播產生(PG)組件基於至少該當前傳播輸出及該當前產生輸出而產生一串列傳播輸出及一串列產生輸出；及基於至少該串列傳播輸出、該串列產生輸出、該當前傳播輸出及該中間進位輸出而產生一部分總和輸出。

根據另一實施例，一種設備包括：用於基於第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些而產生一中間進位輸出的構件；用於基於該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些而產生一當前傳播輸出及一當前產生輸出的構件，其中該複數個MSB中之該至少一些之一數目不同於該複數個LSB中之該至少一些之一數目；用於基於至少該當前傳播輸出及該當前產生輸出而產生一串列傳播輸

出及一串列產生輸出的構件；及用於基於至少該串列傳播輸出、該串列產生輸出、該當前傳播輸出及該中間進位輸出而產生一部分總和輸出的構件。

【圖式簡單說明】

圖1為展示根據一項實施例之漣波進位加法器(RCA)的繪示。

圖2為展示根據一項實施例之RCA之邏輯閘級實施方案的繪示。

圖3展示根據一項實施例之變數功率加法器組態方案。

圖4為根據一項實施例之將加速應用於三個MSB級之實例4位元加法器的繪示。

圖5為根據一項實施例之將加速應用於兩個MSB級之實例4位元加法器的繪示。

圖6為根據一項實施例之將加速應用於一個MSB級之實例4位元加法器的繪示。

圖7為根據一項實施例之實例串列PG組件的繪示。

圖8為根據一項實施例之實例並列PG組件的繪示。

圖9為根據一項實施例之實例求和組件的繪示。

圖10為根據一項實施例之實例計算裝置的繪示。

圖11為根據一項實施例之基於預定功率延遲度量而執行多位元加法之實例方法的流程圖。

【實施方式】

相關申請案之交叉參考

本申請案主張2017年4月14日申請之美國非臨時專利申請案第15/488,019號的優先權，該非臨時專利申請案之全部內容特此以引用之方

式併入，就如同其全部內容在下文中被完全闡述且出於所有適用目的。

實例電路實施例

各種實施例藉由基於功率延遲乘積(power-delay product；PDP)度量而非單一功率度量或單一延遲度量來變化加法器之並列度而提供高能效加法器。舉例而言，加法器可經組態以針對**MSB**級中之一些使用並列進位電路系統且針對剩餘較低有效位元級使用串列進位電路系統。並列電路系統被稱作加速電路系統。在設計時間期間藉由變化使用加速電路系統之並列**MSB**級之數目來調整並列度。在一項實施例中，加法器包括全加器(**FA**)級、半加器(**HA**)級、進位產生級及後求和級。**FA**級包括串列進位電路系統且對**LSB**進行運算。**HA**級、進位產生級及後求和級包括並列進位電路系統且對**MSB**進行運算。

在以上實例實施例中，**FA**級經組態以接收第一資料及第二資料之**LSB**。**FA**級包括經組態以自經接收**LSB**產生部分總和及中間進位輸出之一或多個串列**FA**。**HA**級經組態以接收第一資料及第二資料之**MSB**且執行按位元**PG**。**HA**級包括各自經組態以針對**MSB**輸入對產生總和輸出及進位輸出之一或多個並列**HA**。每一輸入對係由第一資料之位元及來自第二資料之位元形成，其中該等位元具有相同數量級。總和輸出可類似於傳播產生(**PG**)網路之傳播輸出。進位輸出可類似於**PG**網路之產生輸出。在一些實施例中，**HA**級之至少一部分可與**FA**級並列地運算。

繼續以上實例實施例，進位產生級包括串列**PG**級及並列**PG**級。串列**PG**級包括一或多個串列**PG**組件。每一串列**PG**組件耦接至**HA**之輸出，且經組態以基於**HA**之傳播輸出而輸出**HA**之傳播與產生輸出或下一較低位元階或下一最低有效**HA**之傳播與產生輸出。在一些實施例中，串列**PG**級之

至少一部分可與FA級並列地運算。並列PG級包括一或多個並列PG組件。每一並列PG組件耦接至串列PG組件及FA級之輸出，且經組態以基於串列PG組件之傳播輸出而輸出串列PG組件之產生輸出或FA級之中間進位輸出。最高有效並列PG組件之輸出可對應於第一資料及第二資料之總和之最終進位輸出。

繼續以上實例實施例，後求和級包括一或多個並列求和組件。每一求和組件耦接至並列PG組件之輸出，且經組態以將並列PG組件之產生輸出與具有相同位元階或相同有效值之HA之傳播輸出相加以產生部分總和。由求和組件產生之部分總和對應於第一資料及第二資料之總和之MSB。

另外實施例可將上文所描述之加法器包括於計算裝置中。舉例而言，計算裝置可進一步包括耦接至加法器之計算組件。計算組件可經組態以執行定點運算及/或浮點運算，其可與用於加法之加法器介接。在一些實施例中，計算裝置可包括具有不同並列度之眾多加法器。

各種實施例可包括優於習知系統之優勢。舉例而言，各種實施例可在設計階段期間用以允許電路設計者選擇具有適量並列度之加法器來滿足時序約束，但仍運用漣波進位機制來處理足夠數位以節省功率及空間。彼情形允許高能效設計，其亦可經定製以符合特定時序約束。舉例而言，設計者可運用加速電路系統來遞增地增加MSB級之數目，直至加法器符合某一PDP約束。接著，可使用標準胞元(standard cell)來編譯加法器且將其作為單元(unit)或系統匣(tray)而釋放。系統匣可使加法器之胞元或電路系統保持在平面佈置圖上彼此實體地接近，且因此可進一步改良速度、面積及功率消耗。各種實施例可針對加法器設計以精細粒度(例如，以位元

級之步級)提供加速相對於功率之精確控制。雖然在4位元加法器之內容背景中描述所揭示之實施例，但所揭示之實施例可應用於任何多位元加法器，諸如3位元加法器、8位元加法器、16位元加法器及32位元加法器。

圖1為展示根據一項實施例之RCA 100的繪示。圖1出於論述簡單之目的而將RCA 100繪示為4位元加法器，但將認識到，本發明之實施例可縮放以添加更多或更少數目個位元。RCA 100包括複數個全加器(FA) 110。FA 110被展示為 110_{b0} 、 110_{b1} 、 110_{b2} 及 110_{b3} 。每一FA 110包括被表示為A、B及Ci之三個輸入埠，及被表示為S及Ci之兩個輸出埠。對於每一FA 110，輸入埠A經組態以自第一運算元接收位元，且輸入埠B經組態以自第二運算元接收位元。在輸入埠A及B處接收之輸入位元具有相等量值或有效值。輸入埠Ci經組態以自下一最低有效或低位元階FA 110接收進位輸出位元。每一FA 110經組態以將自輸入埠A、B及Ci接收之輸入位元相加以分別在輸出埠S及Ci處產生總和及進位輸出。可使用任何合適電路組態來實施FA 110。在一些實施例中，可應用布林(Boolean)因子分解及/或布林變換技術以縮減電晶體計數、延遲及/或功率。舉例而言，可使用通過閘、傳輸閘、通過閘及/或多米諾骨牌閘(domino gate)來實施FA 110。

作為一實例，RCA 100將第一運算元A與第二運算元B相加以產生結果或總和S及進位輸出位元Cout。第一運算元A包括自LSB至MSB的被表示為 $A<0>$ 、 $A<1>$ 、 $A<2>$ 及 $A<3>$ 之4個位元。第二運算元B包括自LSB至MSB的被表示為 $B<0>$ 、 $B<1>$ 、 $B<2>$ 及 $B<3>$ 之4個位元。結果S包括自LSB至MSB的被表示為 $S<0>$ 、 $S<1>$ 、 $S<2>$ 及 $S<3>$ 之4個位元。在第一時段期間， $FA\ 110_{b0}$ 將被表示為Cin之進位輸入位元與第一運算元A之LSB $A<0>$ 及第二運算元B之LSB $B<0>$ 相加，以產生結果S之最低有效結果位

元 $S<0>$ 及被表示為 C_1 之第一進位輸出位元。在下一時段期間，FA 110_{b1}將進位輸出位元 C_1 、第一運算元A之下一MSB $A<1>$ 及第二運算元B之下一MSB $B<1>$ 相加，以產生下一最高有效結果位元 $S<1>$ 及被表示為 C_2 之第二進位輸出位元。重複此程序，直至將被表示為 C_3 之進位輸出位元與第一運算元A之MSB $A<3>$ 及第二運算元B之MSB $B<3>$ 相加，以產生最高有效結果位元 $S<3>$ 及被表示為Cout之後進位輸出或最終進位輸出位元。

可看出，每一FA 110之進位輸出位元為下一最高有效FA 110之進位輸入，且因此每一FA 110可能不會開始，直至先前最低有效FA 110完成。因此，最低有效結果位元 $S<0>$ 之產生與最高有效結果位元 $S<3>$ 之產生之間存在時間延遲。因而，N位元RCA之時間延遲按N之階。

圖2為展示根據一項實施例之相似於RCA 100之RCA 200之邏輯閘級實施方案的繪示。RCA 200包括按位元PG產生級210、群組PG產生級220、後總和產生級230及位元級202。位元級202之數目取決於運算元之位元寬度。位元級202橫跨按位元PG產生級210、群組PG產生級220及後總和產生級230。每一位元級202對應於RCA 100之FA 110。

對於每一第i位元級202，按位元PG產生級210經組態以針對被表示為 (A_i, B_i) 之每一對輸入位元產生被表示為 G_i 之產生輸出及被表示為 P_i 之傳播輸出，其中 A_i 及 B_i 分別對應於具有相等量值之運算元A位元及運算元B位元。產生輸出 G_i 及傳播輸出 P_i 可分別使用邏輯及閘(logical-AND gate)及互斥或閘(exclusive-OR gate)予以實施，且如下文所展示而表達：

$$G_i = A_i \cdot B_i, \quad (1)$$

$$P_i = A_i \oplus B_i, \quad (2)$$

其中i自1至N而變化，且N表示位元級202之數目。產生輸出 G_i 指示

是否針對第*i*位元級202產生進位。當輸入位元 A_i 及 B_i 兩者皆為真或具有值1時產生進位。傳播輸出 P_i 指示自先前第(*i*-1)位元級202接收之進位 C_{i-1} 是否傳播至當前第*i*位元級202。當 A_i 或 B_i 為真時，傳播輸出 P_i 為真。按位元PG級210可針對所有位元級202並列地產生該等產生輸出(例如， G_0 、 G_1 、 G_2 及 G_3)及該等傳播輸出(例如， P_0 、 P_1 、 P_2 及 P_3)。

對於每一第*i*位元級202，群組PG產生級220經組態以基於第*i*位元級202之產生輸出 G_i 及傳播輸出 P_i 及下一低位元階或有效第(*i*-1)位元級202之產生輸出 G_{i-1} 及傳播輸出 P_{i-1} 而產生被表示為 $G_{i:0}$ 或 C_i 之群組產生輸出。當傳播輸出 P_i 為假時，群組PG產生級220在群組產生輸出 $G_{i:0}$ 處輸出產生輸出 G_i 。相反地，當傳播輸出 P_i 為真時，群組PG產生級220在群組產生輸出 $G_{i:0}$ 處輸出先前產生輸出 $G_{i-1:0}$ 。群組產生輸出 $G_{i:0}$ 可使用邏輯及閘及邏輯或閘予以實施，且如下文所展示而表達：

$$G_{i:0} = C_i = G_i + P_i \cdot G_{i-1:0} \quad (3)$$

群組PG產生級220串列地產生群組產生輸出(例如， $G_{0:0}$ 、 $G_{1:0}$ 、 $G_{2:0}$ 及 $G_{3:0}$)。

對於每一第*i*位元級202，後總和產生級230經組態以產生被表示為 S_i 之總和。另外，後總和產生級230在最高有效位元級202處產生被表示為 C_{out} 或 C_4 之最終進位輸出。總和 S_i 可使用互斥或閘予以實施，且如下文所展示而表達：

$$S_i = C_i + P_i \quad (4)$$

最終進位輸出 C_{out} 可使用邏輯及閘及邏輯或閘予以實施，且如下文所展示而表達：

$$C_{out} = C_N + P_N \cdot C_{N-1} \quad (5)$$

雖然RCA 200使用並列首碼運算來實施加法，但群組產生輸出(例如，進位)自LSB至MSB串列地漣波，且因此可具有緩慢效能。因而，RCA 200可能不符合一些應用之時序約束。諸如進位跨越加法器、進位預看加法器及/或進位選擇加法器之其他加法器設計可包括用於進位之並列計算，且因此可改良處理速度或時間延遲。然而，此等加法器設計相比於RCA 200可使用較多電晶體且具有較少功率效率及/或較少面積效率。

圖3展示根據一項實施例之變數功率加法器組態方案300。方案300基於目標PDP度量而非單獨地基於目標功率或目標延遲來組態加法器。PDP度量為瓦特每百萬赫茲(MHz)之量度，且因此指示功率效率。方案300使用具有用於數個MSB之並列進位電路系統及用於剩餘數目個LSB之串列進位電路系統——諸如FA 110——的基於並列PG之加法器310，以取捨速度而實現功率節省。雖然在具有三個加速組態306、307及308之4位元加法器之內容背景中說明方案300，但方案300可應用於具有1至N-1個加速組態之N位元加法器，其中N為大於1之正整數。

作為一實例，每一組態306、307及308將第一運算元A與第二運算元B相加以產生總和S及進位輸出位元Cout。組態306、307及308提供功率延遲取捨之遞增步級。第一運算元A包括自LSB至MSB的被表示為A<0>、A<1>、A<2>及A<3>之4個位元。第二運算元B包括自LSB至MSB的被表示為B<0>、B<1>、B<2>及B<3>之4個位元。結果S包括自LSB至MSB的被表示為S<0>、S<1>、S<2>及S<3>之4個位元。

組態306使用一個FA 110以將LSB輸入對(A<0>, B<0>)及基於並列PG之加法器310相加以向三個MSB級302提供加速。組態306被稱作加速三組態。基於並列PG之加法器310可包括如本文中更詳細地所描述之PG

計算之各種級。如所展示，第一基於並列PG之加法器310對輸入對(A<1>, B<1>)進行運算，第二基於並列PG之加法器310對輸入對(A<2>, B<2>)進行運算，且第三基於並列PG之加法器310對輸入對(A<3>, B<3>)進行運算。第一、第二及第三基於並列PG之加法器310並列地運算以計算如由箭頭309所展示之中間進位。第一、第二及第三基於並列PG之加法器310可與FA 110並列地運算。雖然基於並列PG之加法器310可提供加速或改良時間延遲，但基於並列PG之加法器310相比於使用FA 110包括較多電晶體邏輯且因此可消耗較多功率。

組態307使用兩個FA 110以將兩個LSB對(A<0>, B<0>)及(A<1>, B<1>)相加，且使用基於並列PG之加法器310以下兩個MSB級302中提供加速。因此，組態307被稱作加速二組態。如所展示，第一基於並列PG之加法器310對輸入對(A<2>, B<2>)進行運算，且第二基於並列PG之加法器310對輸入對(A<3>, B<3>)進行運算。第一及第二基於並列PG之加法器310並列地運算以計算如由箭頭309所展示之中間進位。FA 110串列地運算，且可與基於並列PG之加法器310並列地運算。雖然組態307相比於組態306提供較少加速，但組態307相比於組態306具有更高能效。

組態308使用三個FA 110以對三個LSB對(A<0>, B<0>)、(A<1>, B<1>)及(A<2>, B<2>)進行運算，且使用基於並列PG之加法器310在MSB級302中提供加速。因此，組態308被稱作加速一組態。基於並列PG之加法器310對輸入對(A<3>, B<3>)進行運算以計算如由箭頭309所展示之中間進位。相似於組態307，FA 110串列地運算，但可與基於並列PG之加法器310並列地運算。雖然組態308相比於組態306及307提供較少加速，但組態308相比於組態306及307兩者可具有更高能效。方案300可進

一步包括不具有加速之組態，例如，加速零組態，其退化成與RCA 100相同的組態。

為了基於目標PDP而組態加法器，在動作320處，方案300例如基於針對特定應用及/或裝置之時序及功率約束而判定目標PDP。在動作322處，方案300基於經判定目標PDP而自組態306、307及308選擇加法器組態。可看出，組態306、307及308以位元級302之步級提供變數功率速度取捨。因此，方案300可用於加法器設計中來以遞增步級取捨速度而實現功率節省。為了進一步改良能效，方案300可針對特定組態306、307或308產生FA 110及基於並列PG之加法器310作為單元或系統匣。因而，用於FA 110及基於並列PG之加法器310的電路組件或胞元可被定位成在平面佈置圖上彼此接近而非分散。

圖4為根據一項實施例之將加速應用於三個MSB級402之實例4位元加法器400的繪示。加法器400具有與組態306相似的組態，且提供組態306中的基於並列PG之加法器310之內部組件及互連件的更詳細視圖。加法器400包括FA級410、HA級420、進位產生級430及後求和級440。FA級410對運算元A及運算元B之LSB進行運算。運算元A可自LSB至MSB被表示為 $A<0>$ 、 $A<1>$ 、 $A<2>$ 及 $A<3>$ 。運算元B可自LSB至MSB被表示為 $B<0>$ 、 $B<1>$ 、 $B<2>$ 及 $B<3>$ 。HA級420、進位產生級430及後求和級440對應於基於並列PG之加法器310，且對運算元A之三個MSB及運算元B之三個MSB進行運算。

FA級410包括LSB級404中之FA 110。FA 110在輸入埠A、B及Ci處分別接收 $A<0>$ 、 $B<0>$ 及被表示為Cin之進位輸入。FA 110計算輸入對 $(A<0>, B<0>)$ 之總和，且在輸出埠S處產生被表示為 $S<0>$ 之最低有效總和

位元且在輸出埠Co處產生總和之中間進位。

HA級420耦接至FA級410。HA級420包括經組態以計算按位元PG之複數個HA 422。每一MSB級402包括對輸入對(A<1>, B<1>)、(A<2>, B<2>)或(A<3>, B<3>)進行運算之對應HA。最低有效MSB級402包括對輸入對(A<0>, B<0>)進行運算之額外HA 422。每一HA 422包括被表示為A及B之輸入埠，及被表示為Co及S之輸出埠。輸入埠A經組態以自運算元A接收位元。輸入埠B經組態以自運算元B接收位元。在輸入埠A及B處接收之輸入位元具有相等量值或有效值。每一HA 422經組態以根據方程式(1)而在輸出埠Co處自經接收輸入位元產生一產生輸出，且根據方程式(2)而在輸出埠S處自經接收輸入位元產生一傳播輸出。由於HA 422之運算彼此獨立，故HA 422可被組態為並列電路系統。另外，HA 422之運算獨立於FA級410。因此，HA 422可經組態以與FA級410並列地運算。舉例而言，HA 422及FA 110可包括並列運算組件。

進位產生級430耦接至HA級420及FA級410。進位產生級430包括串列PG級432及並列PG級436。串列PG級432包括複數個串列PG組件434，每一MSB級402中一個。每一串列PG組件434包括被表示為Gi、Pi、Gi-1及Pi-1之輸入埠，及被表示為Go及Po之輸出埠。輸入埠Gi及Pi分別耦接至當前位元階或當前MSB級402之HA 422之輸出埠Co及S。輸入埠Gi-1及Pi-1分別耦接至下一較低位元階或先前MSB級402之串列PG組件434之輸出埠Go及Po。然而，最低有效串列PG組件434之輸入埠Gi-1及Pi-1分別耦接至最低有效HA 422之輸出埠Co及S。每一串列PG組件434經組態以基於在輸入埠Pi處接收之輸入而輸出當前位元階之HA之產生輸出及傳播輸出或傳播下一較低位元階之串列PG組件434之產生輸出及傳播輸出。本文中

更詳細地描述串列PG組件434之內部電路系統。由於每一串列PG組件434之運算取決於下一較低位元階之串列PG組件434，故串列PG組件434經組態以串列地運算。然而，串列PG組件434中之一些可取決於FA級410及HA級420之時序而與FA級410並列地運算。

並列PG級436包括複數個並列PG組件438，每一MSB級402中一個。每一並列PG組件438包括被表示為 G_i 、 P_i 及 G_{i-1} 之輸入埠，及被表示為 G_o 之輸出埠。輸入埠 G_i 及 P_i 分別耦接至當前位元階之串列PG組件434之輸出埠 G_o 及 P_o 。輸入埠 G_{i-1} 耦接至FA 110之輸出埠 C_o 。每一並列PG組件438經組態以基於在輸入埠 P_i 處接收之輸入而輸出當前位元階之串列PG組件之產生輸出或由FA 110輸出之中間進位。本文中更詳細地描述並列PG組件438之內部電路系統。由於並列PG組件438之運算彼此獨立，故並列PG組件438可經組態以並列地運算。最高位元階之並列PG組件438之輸出對應於被表示為 C_{out} 之後進位輸出或最終進位輸出。

後求和級440耦接至HA級420及進位產生級430。後求和級440包括複數個求和組件442，每一MSB級402中一個。每一求和組件442包括被表示為 G_i 及 P_i 之輸入埠，及被表示為 S 之輸出埠。輸入埠 G_i 耦接至當前位元階之並列PG組件438之輸出埠 G_o 。輸入埠 P_i 耦接至當前位元階之HA 422之輸出埠 S 。每一求和組件442經組態以在輸出埠 S 處自在輸入埠 G_i 及 P_i 處接收之輸入產生部分總和輸出。如所展示，求和組件442產生被表示為 $S<1>$ 、 $S<2>$ 及 $S<3>$ 之三個最高有效總和位元。本文中更詳細地描述求和組件442之內部電路系統。

可看出，加速係藉由HA 422當中的並列運算、FA級410與HA級420之間的並列運算、FA級410與串列PG級432之間的並列運算、並列PG組件

438當中的並列運算及/或求和組件442當中的並列運算而提供。

圖5為根據一項實施例之將加速應用於兩個MSB級502之實例4位元加法器500的繪示。加法器500具有與組態307相似的組態，且提供組態307中的基於並列PG之加法器310之內部組件及互連件的更詳細視圖。加法器500包括FA級510、HA級520、進位產生級530及後求和級540，其中進位產生級530包括串列PG級532及並列PG級536。FA級510、HA級520、串列PG級532、並列PG級536及後求和級540實質上相似於FA級410、HA級420、串列PG級432、並列PG級436及後求和級440。然而，HA級520、串列PG級532、並列PG級536及後求和級540對兩個MSB級502進行運算以提供2位元加速，且FA級510對剩餘兩個LSB級504進行運算以提供功率節省。

FA級510包括經組態以對兩個LSB輸入對($A<0>$, $B<0>$)及($A<1>$, $B<1>$)進行運算之兩個FA 110。最高有效LSB級504中之FA 110在輸出埠Co處產生中間進位。

HA級520包括經組態以對兩個MSB輸入對($A<2>$, $B<2>$)及($A<3>$, $B<3>$)進行運算之兩個HA 422。HA級520進一步包括最低有效MSB級502中之第三HA 422，其經組態以對由FA級510運算之最高有效LSB對($A<1>$, $B<1>$)進行運算。HA 422為並列HA，且可與FA級510並列地運算。

串列PG級532包括經組態以對兩個MSB輸入對($A<2>$, $B<2>$)及($A<3>$, $B<3>$)進行運算之兩個串列PG組件434。串列PG組件434可與FA級510並列地運算。並列PG級536包括經組態以對兩個MSB輸入對($A<2>$, $B<2>$)及($A<3>$, $B<3>$)及由FA級510輸出之中間進位進行運算的兩個並列

PG組件438。

後求和級540包括經組態以對兩個MSB輸入對(A<2>, B<2>)及(A<3>, B<3>)及HA 422之輸出埠S處之傳播輸出進行運算的兩個求和組件442。

圖6為根據一項實施例之將加速應用於一個MSB級602之實例4位元加法器600的繪示。加法器600具有與組態308相似的組態，且提供組態308中的基於並列PG之加法器310之內部組件及互連件的更詳細視圖。加法器600包括FA級610、HA級620、進位產生級630及後求和級640，其中進位產生級630包括串列PG級632及並列PG級636。FA級610實質上相似於FA級410及510。HA級620實質上相似於HA級420及520。串列PG級632實質上相似於串列PG級432及532。並列PG級636實質上相似於並列PG級436及536。後求和級640實質上相似於後求和級440及540。然而，HA級620、串列PG級632、並列PG級636及後求和級640對MSB級602進行運算以提供1位元加速，且FA級610對剩餘三個LSB級604進行運算。

FA級610包括經組態以對三個LSB輸入對(A<0>, B<0>)、(A<1>, B<1>)、(A<2>, B<2>)進行運算之三個FA 110。最高有效LSB級604中之FA 110在輸出埠Co處產生中間進位。

HA級620包括經組態以對MSB輸入對(A<3>, B<3>)進行運算之一個HA 422。HA級620進一步包括最低有效MSB級602中之第三HA 422，其經組態以對由FA級610運算之LSB之MSB輸入對(A<2>, B<2>)進行運算。HA 422為並列HA，且可與FA級610並列地運算。

串列PG級632包括經組態以對MSB輸入對(A<3>, B<3>)進行運算之一個串列PG組件434。串列PG組件434可與FA級610並列地運算。並列PG

級636包括經組態以對MSB輸入對(A<3>, B<3>)及由FA級610輸出之中間進位進行運算的一個並列PG組件438。後求和級640包括經組態以對MSB輸入對(A<3>, B<3>)及HA 422之輸出埠S處之傳播輸出進行運算的一個求和組件442。

圖7為根據一項實施例之實例串列PG組件700的繪示。串列PG組件700相似於串列PG組件434，且提供串列PG組件434之內部組件及互連件的更詳細視圖。串列PG組件700包括被表示為 G_i 、 P_i 、 G_{i-1} 及 P_{i-1} 之輸入埠，及被表示為 G_o 及 P_o 之輸出埠。串列PG組件700基於自輸入埠 G_i 、 P_i 及 G_{i-1} 接收之輸入信號而在輸出埠 G_o 處使用邏輯及閘及邏輯或閘來產生輸出信號，如下文所展示而表達：

$$G_o = G_i + P_i \cdot G_{i-1} \quad (6)$$

串列PG組件700基於自輸入埠 G_i 、 P_i 及 P_{i-1} 接收之輸入信號而在輸出埠 P_o 處使用邏輯及閘來產生輸出信號，如下文所展示而表達：

$$P_o = P_i + P_{i-1} \quad (7)$$

因而，當輸入 P_i 處之輸入信號為假時，串列PG組件700將自輸入埠 G_i 及 P_i 接收之輸入信號分別輸出至輸出埠 G_o 及 P_o 。否則，串列PG組件700將在輸入埠 G_{i-1} 及 P_{i-1} 處接收之輸入信號分別輸出至輸出埠 G_o 及 P_o 。

圖8為根據一項實施例之實例並列PG組件800的繪示。並列PG組件800相似於並列PG組件438，且提供並列PG組件438之內部組件及互連件的更詳細視圖。並列PG組件800包括被表示為 G_i 、 P_i 及 G_{i-1} 之輸入埠，及被表示為 G_o 之輸出埠。並列PG組件800基於自輸入埠 G_i 、 P_i 及 G_{i-1} 接收之輸入信號而在輸出埠 G_o 處使用邏輯及閘及邏輯或閘來產生輸出信號，如下文所展示而表達：

$$G_o = G_i + P_i \cdot G_{i-1} \text{。} \quad (8)$$

因而，當輸入 P_i 處之輸入信號為假時，並列PG組件800將自輸入埠 G_i 處接收之輸入信號輸出至輸出埠 G_o 。否則，並列PG組件800將在輸入埠 G_{i-1} 處接收之輸入信號輸出至輸出埠 G_o 。

圖9為根據一項實施例之實例求和組件900的繪示。求和組件900相似於求和組件442，且提供求和組件442之內部組件及互連件的更詳細視圖。求和組件900包括被表示為 G_i 及 P_i 之輸入埠，及被表示為 S 之輸出埠。求和組件900基於自輸入埠 G_i 及 P_i 接收之輸入信號而在輸出埠 S 處使用互斥或閘來產生輸出信號，如下文所展示而表達：

$$S = G_i \oplus P_i \text{。} \quad (9)$$

圖10為根據一項實施例之實例計算裝置1000的繪示。計算裝置1000可為行動裝置、多媒體裝置，或可受到功率限制之任何裝置。計算裝置1000包括處理組件1010。處理組件1010包括一或多個計算組件1012及一或多個多位元加法器1014。多位元加法器1014可根據方案300予以組態，且可具有與組態306、307及308以及加法器400、500及600相似的組態。在一實施例中，至少一個多位元加法器1014具有加速MSB級及漣波進位LSB級之不均勻分隔。舉例而言，多位元加法器1014可為 K 位元加法器，且可包括 N 個加速MSB級及 $(K-N)$ 個漣波進位LSB級，其中 N 及 $(K-N)$ 不相等。在一些實施例中，多位元加法器1014可具有不同加速架構。舉例而言，一個多位元加法器1014可具有三個加速MSB級，另一多位元加法器1014可具有兩個加速MSB級，且又一多位元加法器1014可具有零個加速級。計算裝置1000可進一步包括記憶體、輸入埠、輸出埠、匯流排子系統、時脈子系統、電力子系統，及任何應用特定子系統。

計算組件1012可包括經組態以執行浮點運算及/或定點運算之邏輯及電路系統。浮點運算及/或定點運算可包括減法、乘法、除法、正負號反轉及/或比較。計算組件1012可經進一步組態以計算雙曲線、平方根、三角、對數函數及/或任何進階數學函數。

計算組件1012耦接至多位元加法器1014。計算組件1012可使用由多位元加法器1014計算之加法來執行運算中之至少一些。作為一實例，計算組件1012可經組態以執行乘法，其中將被乘數乘以乘數。乘法可包括將被乘數與乘數之每一二進位數位相乘以產生部分乘積，且將部分乘積求和以產生最終乘積。在一實施例中，多位元加法器1014可經組態以將部分乘積相加以產生最終乘積。在另一實施例中，將遍及部分乘積具有相等量值之二進位數位相加以例如藉由使用進位儲存加法器(carry-save adder)來產生進位位元集合及總和位元集合。進位位元集合可形成一向量，且總和位元集合可形成另一向量。在此實施例中，多位元加法器1014可經組態以將進位位元之向量與總和位元之向量相加以產生最終乘積。

現在將論述用於圖4至圖10之電路的實例使用方法。

實例使用方法

圖11為根據一項實施例之用於基於預定功率延遲度量而執行多位元加法之實例方法1100的流程圖。方法1100可由圖3至圖6所繪示之加法器執行。在實例方法1100中，關於圖3至圖6中之組態來執行動作。具體言之，加法器係根據PDP度量——例如，目標PDP——而使用方案300予以組態。加速MSB級之數目被選擇為符合預定PDP度量。舉例而言，在電路設計階段期間，電路設計者可自不具有加速MSB級的諸如RCA 100及200之高功率效率RCA開始，且遞增地增加加速MSB級之數目，直至加法器

符合各別功率延遲度量之時序約束及功率約束兩者。

加法器接收第一資料及第二資料。第一資料及第二資料各者可包括數個二進位位元。在圖4至圖6之實例中，第一資料可對應於運算元A且第二資料可對應於運算元B。加法器可具有加速MSB級(例如，MSB級402、502及602)之數目與漣波進位LSB級(例如，LSB級404、504及604)之數目之間的不均勻分隔。下文在區塊1110至1140處所描述之動作係針對第一資料及第二資料而執行。

方法1100在區塊1110處開始，其包括基於第一資料及第二資料之至少一些LSB而產生中間進位輸出，例如經由諸如FA 110之至少一個FA。中間進位輸出對應於由最高有效FA 110產生之進位輸出。

在區塊1120處，方法1100包括基於第一資料及第二資料之至少一些MSB而產生當前傳播輸出及當前產生輸出，例如經由諸如HA 422之至少一個HA。在圖4至圖6之實例中，當前傳播輸出及當前產生輸出可分別對應於第i位元級處之HA 422的輸出埠S及Co處之輸出。

在區塊1130處，方法1100包括基於至少當前傳播輸出及當前產生輸出而產生串列傳播輸出及串列產生輸出，例如經由諸如串列PG組件434及700之串列PG組件。在圖4至圖6之實例中，串列傳播輸出及串列產生輸出可分別對應於第i位元級處之串列PG組件434的輸出埠Po及Go處之輸出。

產生串列傳播輸出及串列產生輸出包括：當當前傳播輸出為假時，將當前傳播輸出及當前產生輸出分別傳播至串列傳播輸出及串列產生輸出。產生串列傳播輸出及串列產生輸出包括：當當前傳播輸出為真時，將先前傳播輸出及先前產生輸出分別傳播至串列傳播輸出及串列產生輸出。

在一項實施例中，先前產生輸出及先前傳播輸出分別對應於第(i-1)

位元級中之串列PG組件之產生輸出及傳播輸出，該串列PG組件例如對第一資料及第二資料之下一較低位元階MSB進行運算。在另一實施例中，先前產生輸出及先前傳播輸出分別對應於HA之進位輸出及總和輸出，該HA對第一資料及第二資料之至少一些LSB之MSB進行運算。

在區塊1140處，方法1100包括基於至少串列傳播輸出、串列產生輸出及中間進位輸出而產生部分總和輸出。在圖4至圖6之實例中，部分總和輸出可對應於第i位元級處之求和組件442的輸出埠S處之輸出。舉例而言，可使用諸如並列PG組件438之並列PG組件基於串列傳播輸出及串列產生輸出而產生並列產生輸出，且可基於並列產生輸出及當前傳播輸出而產生部分總和輸出。

實施例之範疇並不限於圖11所展示之特定方法。其他實施例可添加、省略、重新配置或修改一或多個動作。舉例而言，產生中間進位輸出的區塊1110之動作及產生當前傳播輸出及當前產生輸出的區塊1120之動作可同時發生。替代地，產生中間進位輸出的區塊1110之動作及產生串列傳播輸出及串列產生輸出的區塊1130之動作可同時發生。換言之，方法1100中之區塊之配置並不限於動作之特定次序。

熟習此項技術者至此應瞭解且取決於即將到來的特定應用，可在本發明之裝置的材料、設備、組態及使用方法方面及該等材料、設備、組態及使用方法作出許多修改、取代及變化，而不脫離本發明之精神及範疇。鑒於此情形，本發明之範疇不應限於本文中所繪示及描述之特定實施例之範疇，此係因為該等實施例僅僅作為其一些實例，實際上，本發明之範疇應與下文中所附之申請專利範圍及其功能等效物之範疇完全相稱。

【符號說明】

100	漣波進位加法器(RCA)
110	全加器(FA)
110 _{b0}	全加器(FA)
110 _{b1}	全加器(FA)
110 _{b2}	全加器(FA)
110 _{b3}	全加器(FA)
200	漣波進位加法器(RCA)
202	位元級
210	按位元傳播產生(PG)產生級
220	群組傳播產生(PG)產生級
230	後總和產生級
300	變數功率加法器組態方案
302	最高有效位元(MSB)級
306	組態
307	組態
308	組態
309	箭頭
310	基於並列傳播產生(PG)之加法器
320	動作
322	動作
400	4位元加法器
402	最高有效位元(MSB)級
404	最低有效位元(LSB)級

410	全加器(FA)級
420	半加器(HA)級
422	半加器(HA)
430	進位產生級
432	串列傳播產生(PG)級
434	串列傳播產生(PG)組件
436	並列傳播產生(PG)級
438	並列傳播產生(PG)組件
440	後求和級
442	求和組件
500	4位元加法器
502	最高有效位元(MSB)級
504	最低有效位元(LSB)級
510	全加器(FA)級
520	半加器(HA)級
530	進位產生級
532	串列傳播產生(PG)級
536	並列傳播產生(PG)級
540	後求和級
600	4位元加法器
602	最高有效位元(MSB)級
604	最低有效位元(LSB)級
610	全加器(FA)級

620	半加器(HA)級
630	進位產生級
632	串列傳播產生(PG)級
636	並列傳播產生(PG)級
640	後求和級
700	串列傳播產生(PG)組件
800	並列傳播產生(PG)組件
1000	計算裝置
1010	處理組件
1012	計算組件
1014	多位元加法器
1100	方法
1110	區塊
1120	區塊
1130	區塊
1140	區塊
A	第一運算元
B	第二運算元
C ₁	第一進位輸出位元
C ₂	第二進位輸出位元
C ₃	進位輸出位元
C ₄	最終進位輸出
C _i	輸入埠

Cin	進位輸入位元
Cout	最終進位輸出
G ₀	產生輸出
G ₁	產生輸出
G ₂	產生輸出
G ₃	產生輸出
G _{0:0}	群組產生輸出
G _{1:0}	群組產生輸出
G _{2:0}	群組產生輸出
G _{3:0}	群組產生輸出
G _o	輸出埠
G _i	輸入埠
G _{i-1}	輸入埠
P ₀	傳播輸出
P ₁	傳播輸出
P ₂	傳播輸出
P ₃	傳播輸出
P _i	輸入埠
P _{i-1}	輸入埠
P _o	輸出埠
S	輸出埠

【發明申請專利範圍】

【第1項】

一種多位元加法器設備，其包含：

一全加器級，其經組態以接收第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些；

一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些，其中該半加器級包括至少一個半加器；

一進位產生級，其耦接至該全加器級及該半加器級，其中該進位產生級包括耦接至該至少一個半加器之輸出之至少一個串列傳播產生(PG)組件；及

一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，

其中該複數個LSB中之該至少一些之一數目不同於該複數個MSB中之該至少一些之一數目。

【第2項】

如請求項1之多位元加法器設備，其中該全加器級包括至少一個全加器，且其中該至少一個全加器及該至少一個半加器包含並列運算組件。

【第3項】

如請求項1之多位元加法器設備，其中該全加器級包括至少一個全加器，且其中該至少一個全加器及該至少一個串列PG組件包含並列運算組件。

【第4項】

如請求項1之多位元加法器設備，其中該半加器級包括複數個半加

器，該複數個半加器包含並列運算組件。

【第5項】

如請求項4之多位元加法器設備，其中該複數個半加器之一數目與一目標功率延遲乘積(PDP)度量相關聯。

【第6項】

如請求項1之多位元加法器設備，其中該至少一個半加器之該等輸出包括一當前傳播輸出及一當前產生輸出，其中該半加器級包括為該至少一個半加器之一下一高位元階半加器之一第二半加器，其中該第二半加器經組態以基於該複數個MSB中之該至少一些而產生一先前傳播輸出及一先前產生輸出，且其中該串列PG組件進一步耦接至該當前傳播輸出、該當前產生輸出、該先前傳播輸出及該先前產生輸出。

【第7項】

如請求項6之多位元加法器設備，其中該串列PG組件包括：

一第一邏輯及閘，其包括：

耦接至該當前傳播輸出及該先前傳播輸出之輸入埠；及

產生一串列傳播輸出之一輸出埠；

一第二邏輯及閘，其包括耦接至該當前傳播輸出及該先前產生輸出之輸入埠；及

一第一邏輯或閘，其包括：

耦接至該第二邏輯及閘之一輸出及該當前產生輸出之輸入埠；及

產生一串列產生輸出之一輸出埠。

【第8項】

如請求項7之多位元加法器設備，其中該全加器級包括經組態以基於

該複數個LSB中之該至少一些而產生一中間進位輸出之至少一個全加器，且其中該進位產生級進一步包括至少一個並列PG組件，該至少一個並列PG組件包括：

一第三邏輯及閘，其包括耦接至該串列傳播輸出及該中間進位輸出之輸入埠；及

一第二邏輯或閘，其包括：

耦接至該第三邏輯及閘之一輸出及該串列產生輸出之輸入埠；及

產生一後進位輸出之一輸出埠。

【第9項】

如請求項8之多位元加法器設備，其中該後求和級包括一互斥或閘，該互斥或閘包括：

耦接至該後進位輸出及該至少一個半加器之該當前傳播輸出之輸入埠；及

產生該部分總和輸出之一輸出埠。

【第10項】

一種用於執行算術運算之設備，其包含：

一處理組件，其包括一多位元加法器，其中該多位元加法器包括：

一全加器級，其經組態以接收第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些；及

一半加器級，其經組態以接收該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些，其中該半加器級包括至少一個半加器；

一進位產生級，其耦接至該全加器級及該半加器級，其中該進位

產生級包括耦接至該至少一個半加器之輸出之至少一個串列傳播產生(PG)組件；及

一後求和級，其耦接至該進位產生級及該半加器級，且經組態以產生該第一資料及該第二資料之一部分總和輸出，

其中該複數個LSB中之該至少一些之一數目不同於該複數個MSB中之該至少一些之一數目。

【第11項】

如請求項10之設備，其中該處理組件進一步包括耦接至該多位元加法器之至少一個計算組件，且其中該至少一個計算組件與一定點運算或一浮點運算中之至少一者相關聯。

【第12項】

如請求項11之設備，其中該至少一個計算組件與一乘法相關聯，且其中該計算組件經組態以產生形成該第一資料及該第二資料之至少兩個部分乘積。

【第13項】

如請求項10之設備，其中該全加器級包括至少一個全加器，且其中該至少一個全加器及該至少一個半加器包含並列運算組件。

【第14項】

如請求項10之設備，其中該全加器級包括至少一個全加器，且其中該至少一個全加器及該至少一個串列PG組件包含並列運算組件。

【第15項】

如請求項10之設備，其中該至少一個半加器之該等輸出包括一當前傳播輸出及一當前產生輸出，其中該半加器級包括為該至少一個半加器之

一下一高階半加器之一第二半加器，其中該第二半加器經組態以基於該複數個**MSB**中之該至少一些而產生一先前傳播輸出及一先前產生輸出，其中該串列**PG**組件經組態以基於該當前傳播輸出而將該先前傳播輸出或該當前傳播輸出傳播至一串列傳播輸出，且其中該串列**PG**組件經組態以基於該當前傳播輸出而將該先前產生輸出或該當前產生輸出傳播至一串列產生輸出。

【第16項】

如請求項15之設備，其中該全加器級包括基於該複數個**LSB**中之該至少一些而產生一中間進位輸出之至少一個全加器，其中該進位產生級進一步包括經組態以基於該串列傳播輸出而將該中間進位輸出或該串列產生輸出傳播至一後進位輸出之至少一個並列**PG**組件。

【第17項】

如請求項16之設備，其中該後求和級經組態以基於該後進位輸出及該至少一個半加器之該當前傳播輸出而產生該部分總和輸出。

【第18項】

一種用於執行算術運算之方法，其包含：

經由至少一個全加器基於第一資料及第二資料之複數個最低有效位元(**LSB**)中之該至少一些而產生一中間進位輸出；

經由至少一個半加器基於該第一資料及該第二資料之複數個最高有效位元(**MSB**)中之該至少一些而產生一當前傳播輸出及一當前產生輸出，其中該複數個**MSB**中之該至少一些之一數目不同於該複數個**LSB**中之該至少一些之一數目；

經由至少一個串列傳播產生(**PG**)組件基於至少該當前傳播輸出及該

當前產生輸出而產生一串列傳播輸出及一串列產生輸出；及

基於至少該串列傳播輸出、該串列產生輸出、該當前傳播輸出及該中間進位輸出而產生一部分總和輸出。

【第19項】

如請求項18之方法，其中該產生該當前傳播輸出及該當前產生輸出係與該產生該中間進位輸出同時。

【第20項】

如請求項18之方法，其中該產生該串列傳播輸出及該串列產生輸出係與該產生該中間進位輸出同時。

【第21項】

如請求項18之方法，其中該產生該串列傳播輸出及該串列產生輸出包括：

基於該當前傳播輸出而將該當前傳播輸出或一先前傳播輸出傳播至該串列傳播輸出；及

基於該當前傳播輸出而將該當前產生輸出或一先前產生輸出傳播至該串列產生輸出。

【第22項】

如請求項21之方法，其進一步包含經由一第二半加器基於該複數個MSB中之該至少一些之一第一位元而產生該先前傳播輸出及該先前產生輸出，其中該當前傳播輸出及該當前產生輸出係基於該複數個MSB中之該至少一些之一第二位元而產生，且其中該第二位元為該第一資料中之該第一位元之一下一較低階位元。

【第23項】

如請求項21之方法，其進一步包含經由一第二半加器基於該複數個LSB中之該至少一些之MSB而產生該先前傳播輸出及該先前產生輸出。

【第24項】

如請求項21之方法，其中該產生該部分總和輸出包括：

經由至少一個並列PG組件基於該串列傳播輸出而將該中間進位輸出或該串列產生輸出傳播至一後進位輸出；及

將至少該當前傳播輸出及該後進位輸出求和。

【第25項】

一種用於執行算術運算之設備，其包含：

用於基於第一資料及第二資料之複數個最低有效位元(LSB)中之至少一些而產生一中間進位輸出的構件；

用於基於該第一資料及該第二資料之複數個最高有效位元(MSB)中之至少一些而產生一當前傳播輸出及一當前產生輸出的構件，其中該複數個MSB中之該至少一些之一數目不同於該複數個LSB中之該至少一些之一數目；

用於基於至少該當前傳播輸出及該當前產生輸出而產生一串列傳播輸出及一串列產生輸出的構件；及

用於基於至少該串列傳播輸出、該串列產生輸出、該當前傳播輸出及該中間進位輸出而產生一部分總和輸出的構件。

【第26項】

如請求項25之設備，其中該用於產生該中間進位輸出的構件經進一步組態以與以下操作中之至少一者同時產生該中間進位輸出：該產生該當前傳播輸出及該當前產生輸出，或該產生該串列傳播輸出及該串列產生輸

出。

【第27項】

如請求項25之設備，其中該用於產生該串列傳播輸出及該串列產生輸出的構件經進一步組態以：

基於該當前傳播輸出而將該當前傳播輸出或一先前傳播輸出傳播至該串列傳播輸出；及

基於該當前傳播輸出而將該當前產生輸出或一先前產生輸出傳播至該串列產生輸出。

【第28項】

如請求項27之設備，其進一步包含用於基於該複數個MSB中之該至少一些之一第一位元而產生該先前傳播輸出及該先前產生輸出的構件，其中該當前傳播輸出及該當前產生輸出係基於該複數個MSB中之該至少一些之一第二位元而產生，且其中該第二位元為該第一資料中之該第一位元之一下一較低階位元。

【第29項】

如請求項27之設備，其進一步包含用於基於該複數個LSB中之該至少一些之MSB而產生該先前傳播輸出及該先前產生輸出的構件。

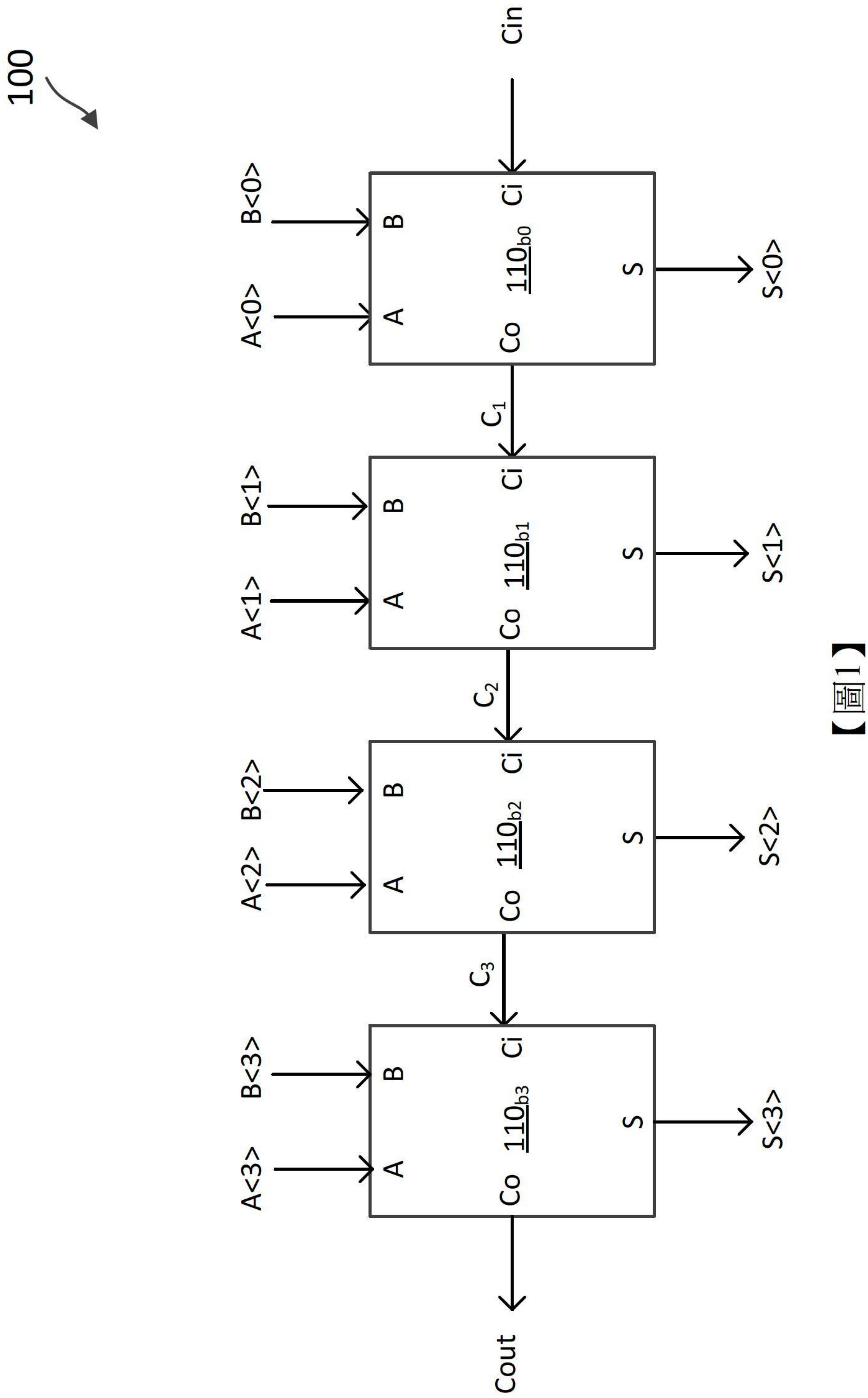
【第30項】

如請求項27之設備，其中該用於產生該部分總和輸出的構件經進一步組態以：

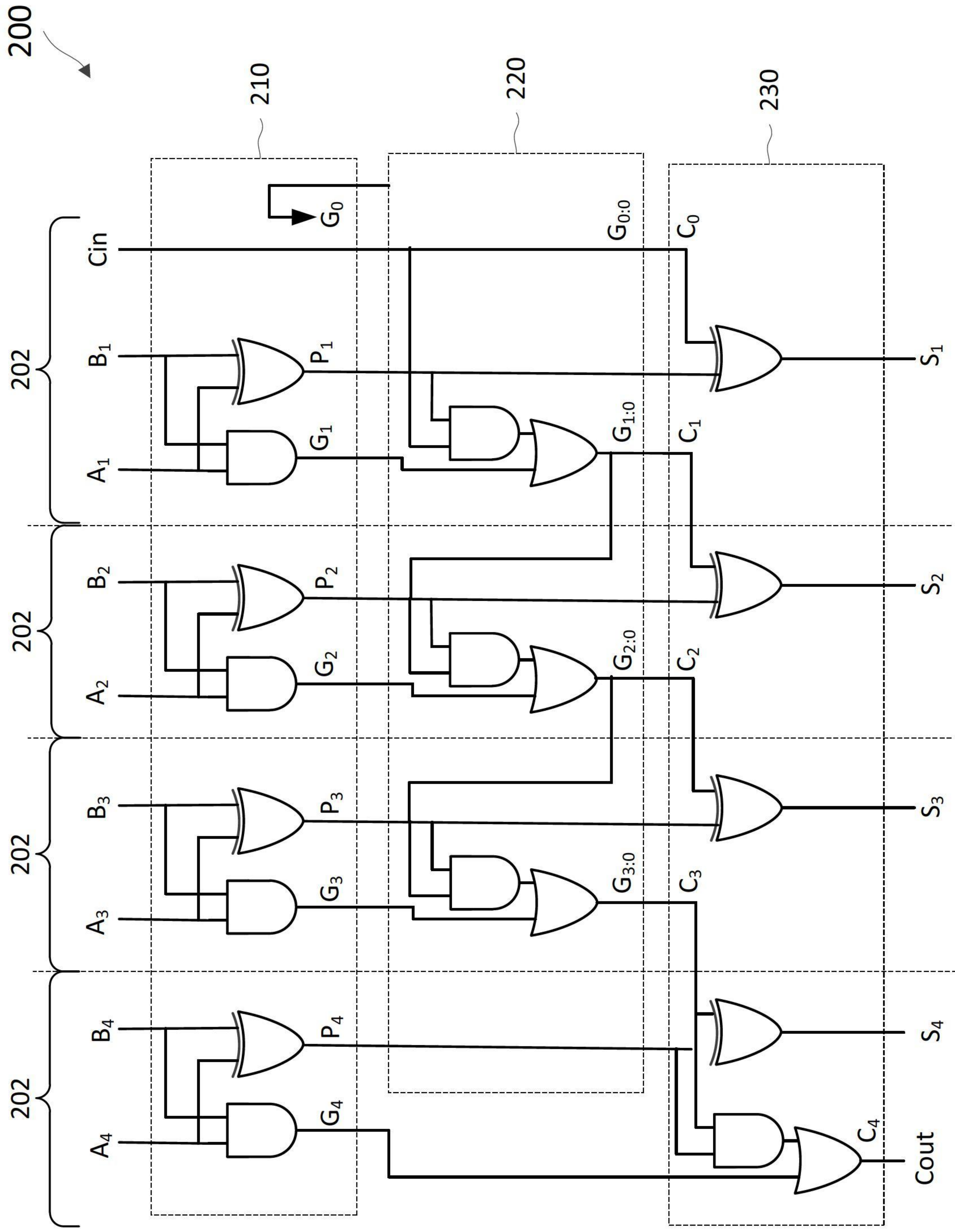
基於該串列傳播輸出而將該中間進位輸出或該串列產生輸出傳播至一後進位輸出；及

將至少該當前傳播輸出及該後進位輸出求和。

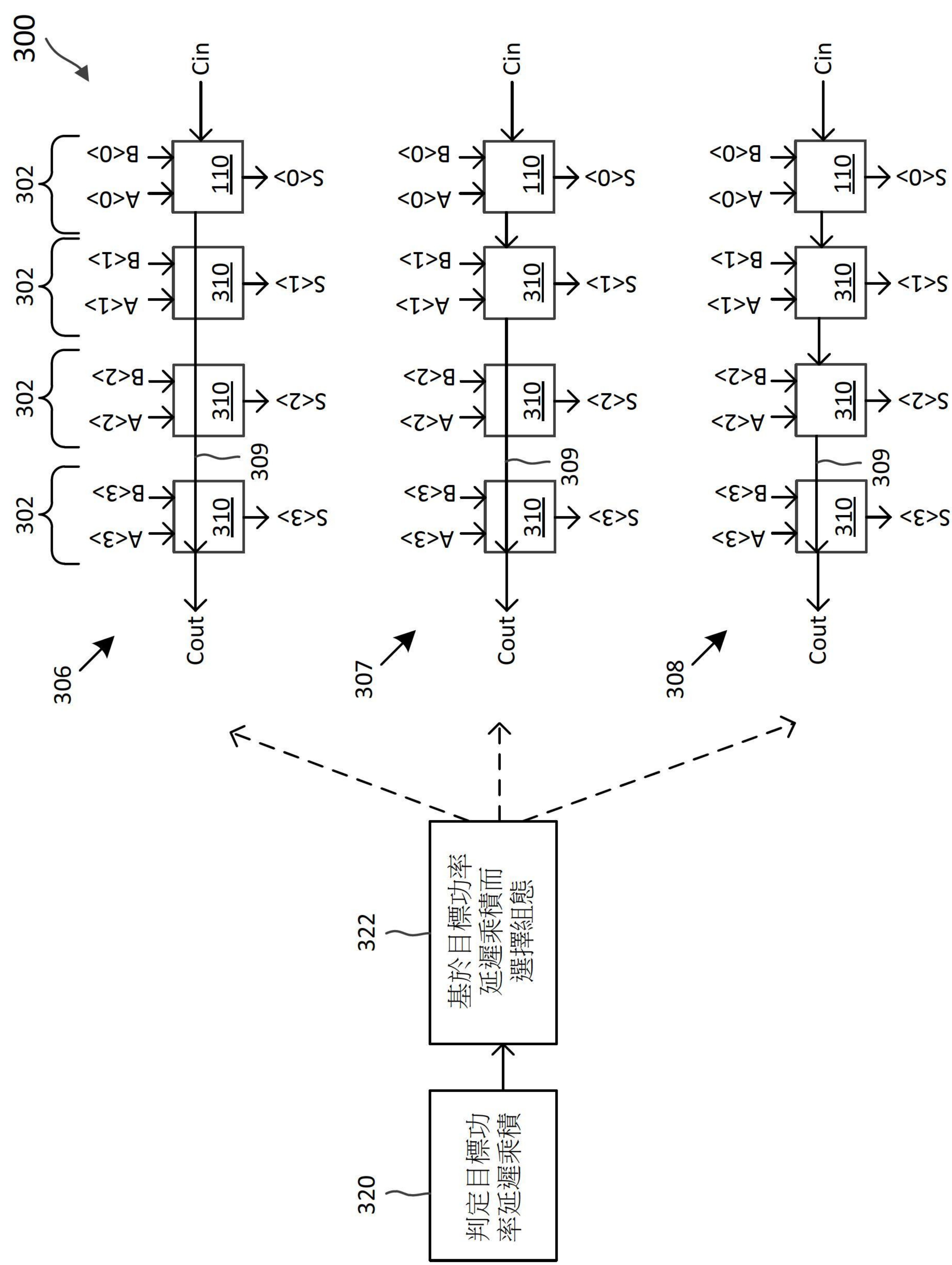
【發明圖式】



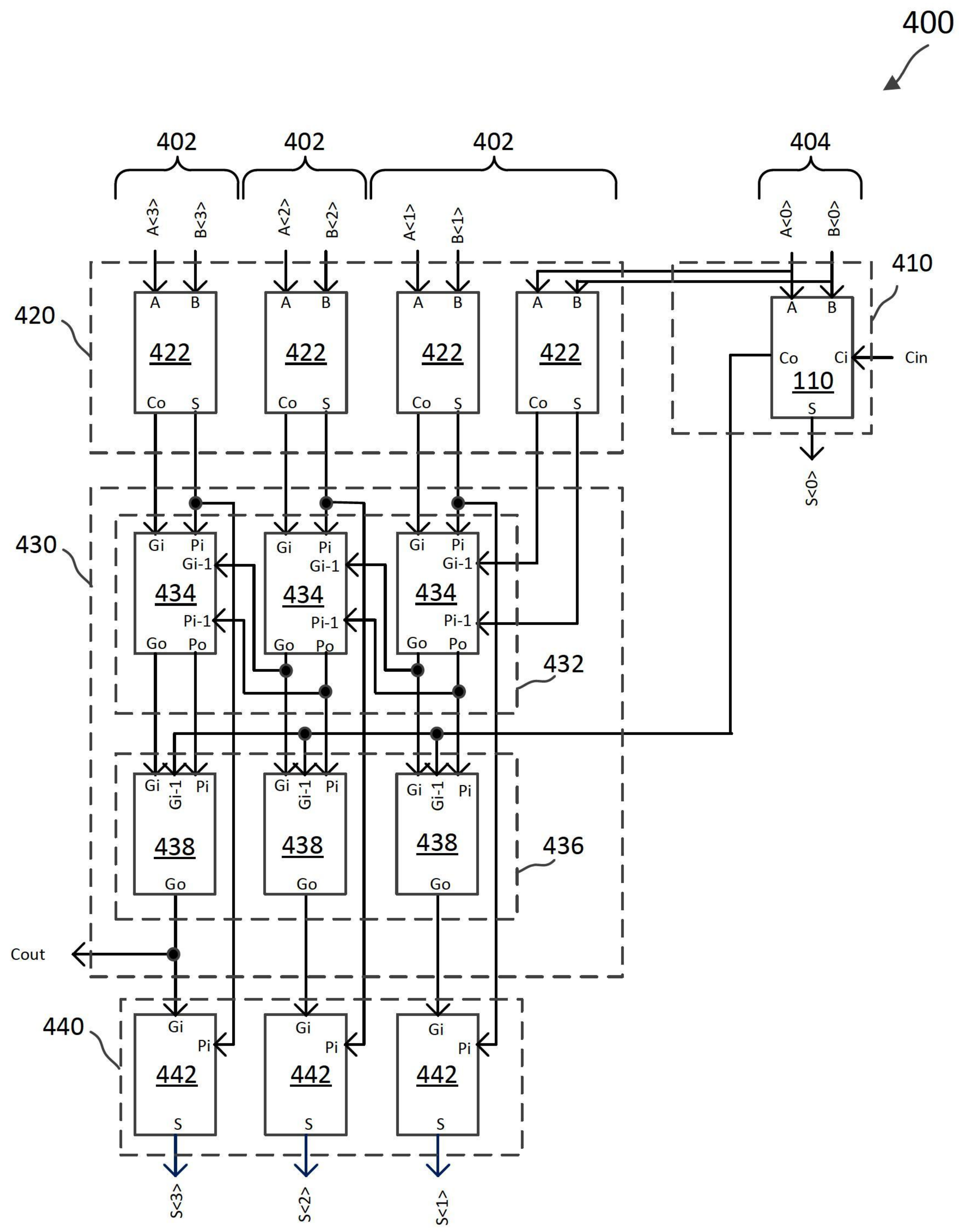
【圖1】



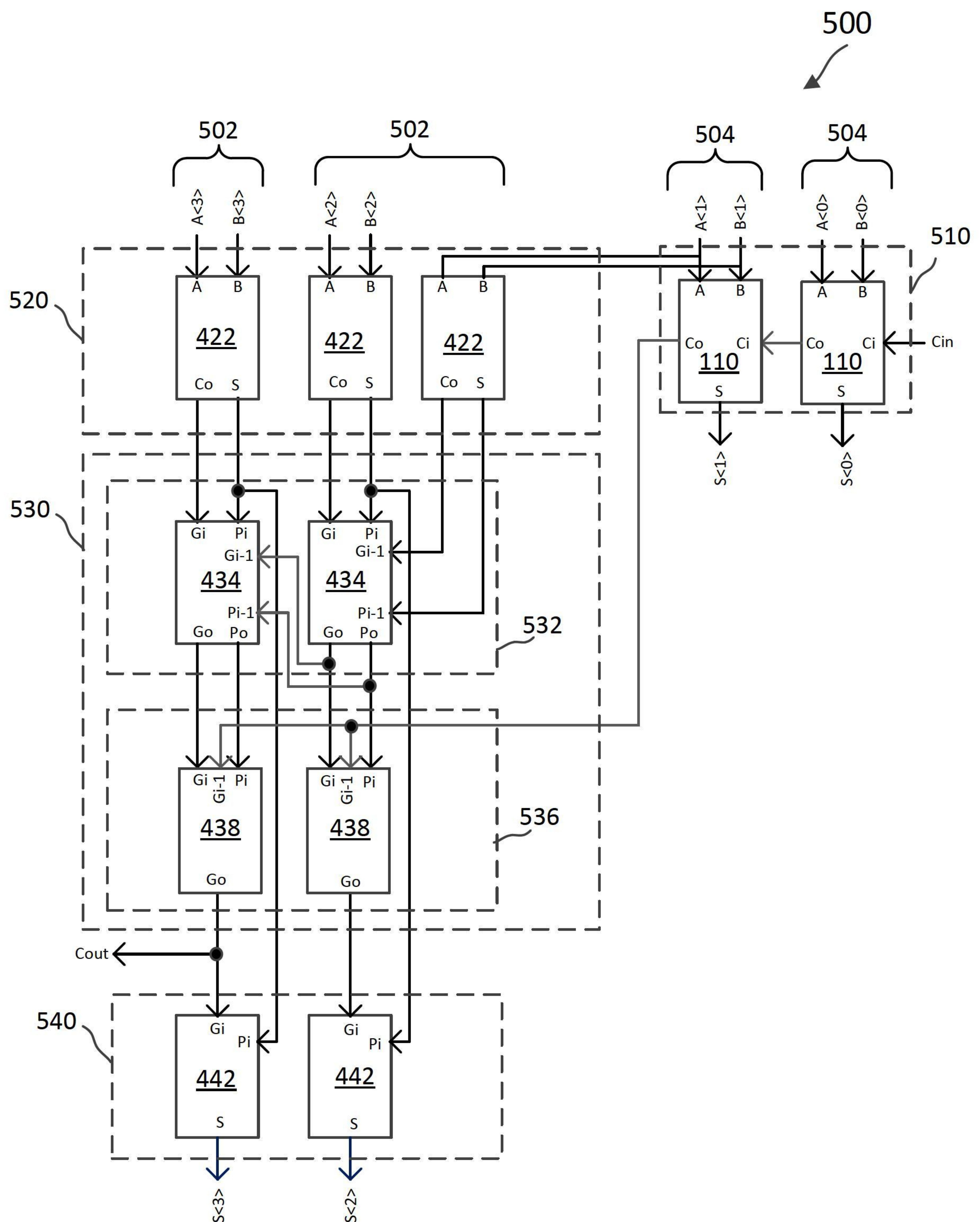
【圖2】



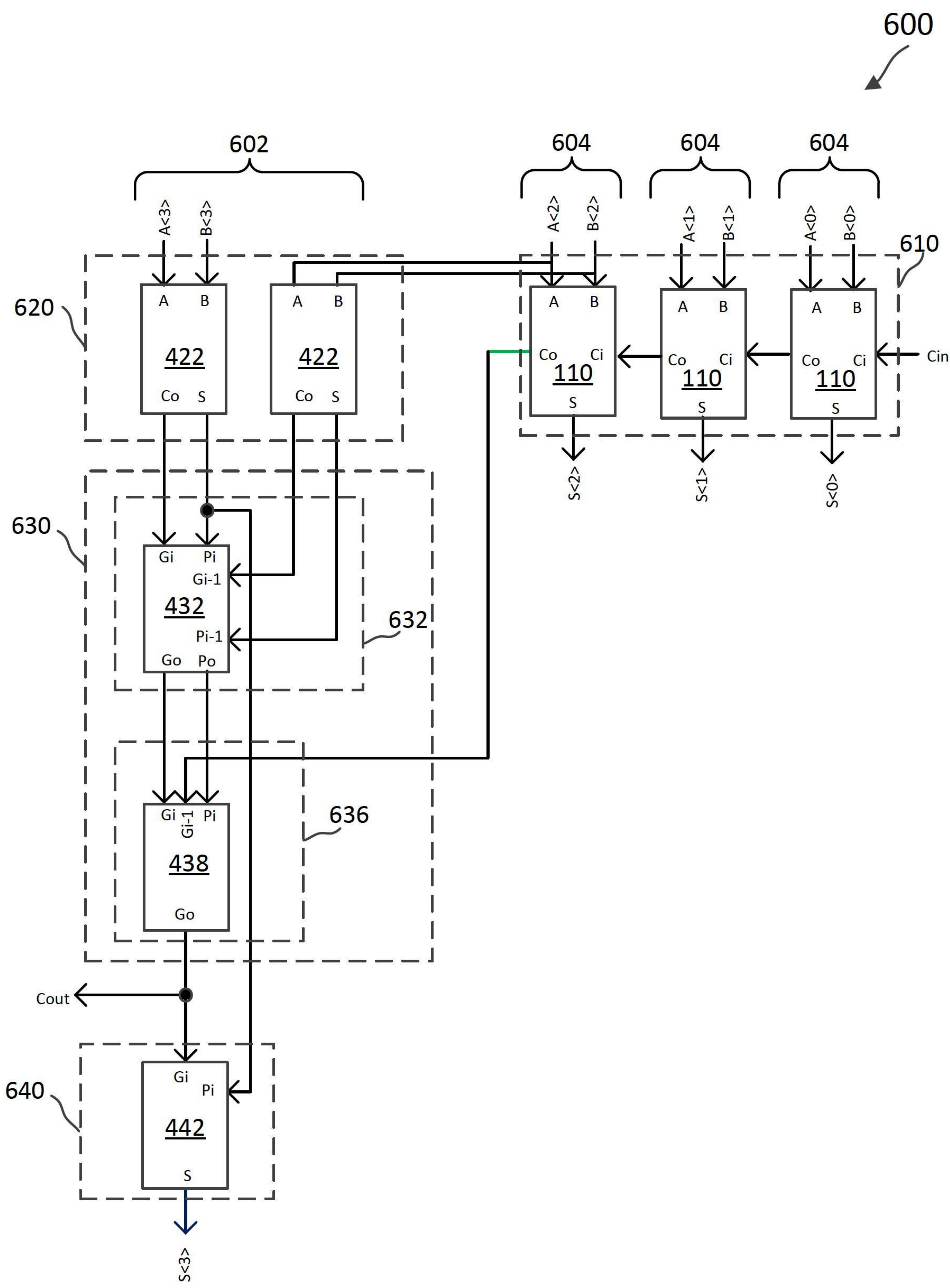
【圖3】



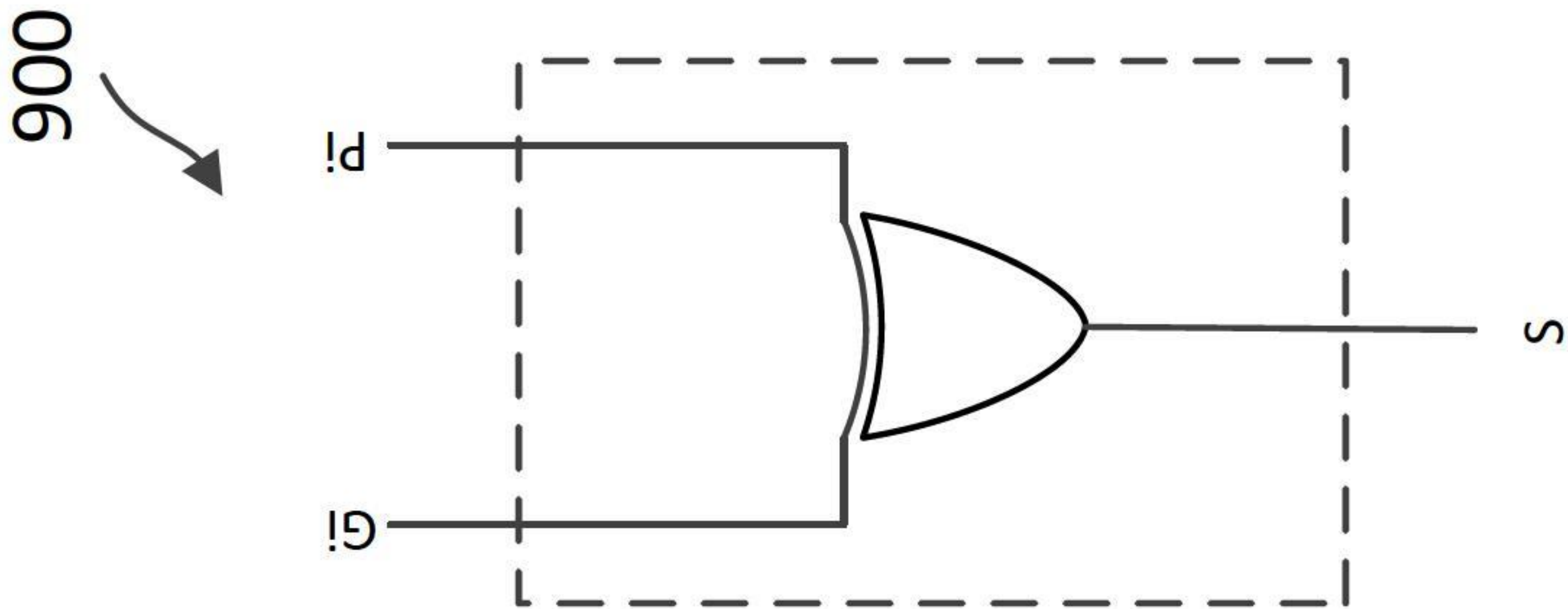
【圖4】



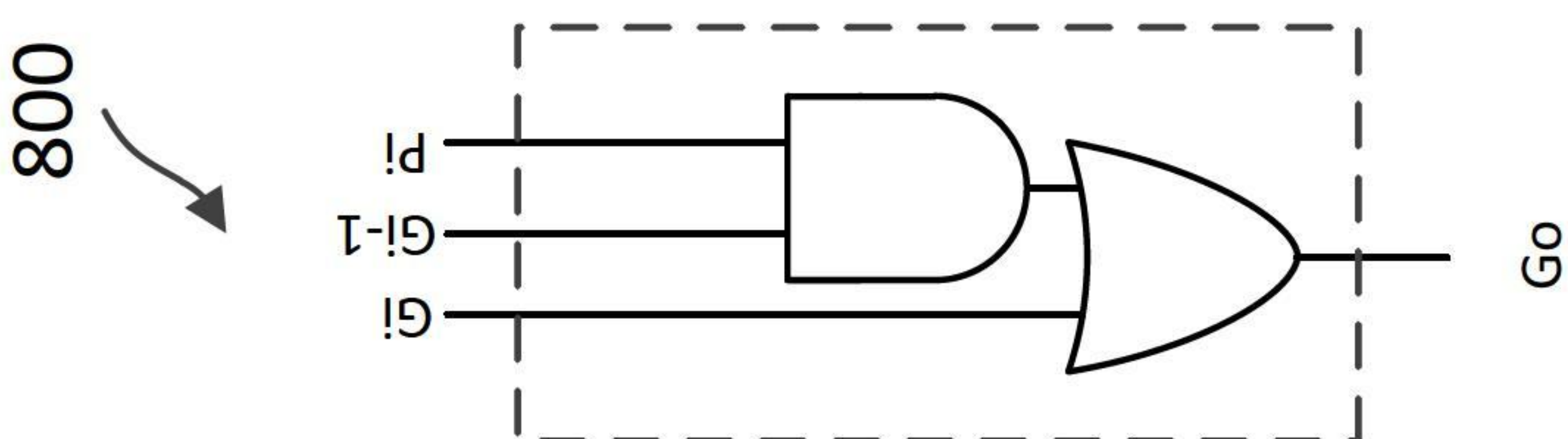
【圖5】



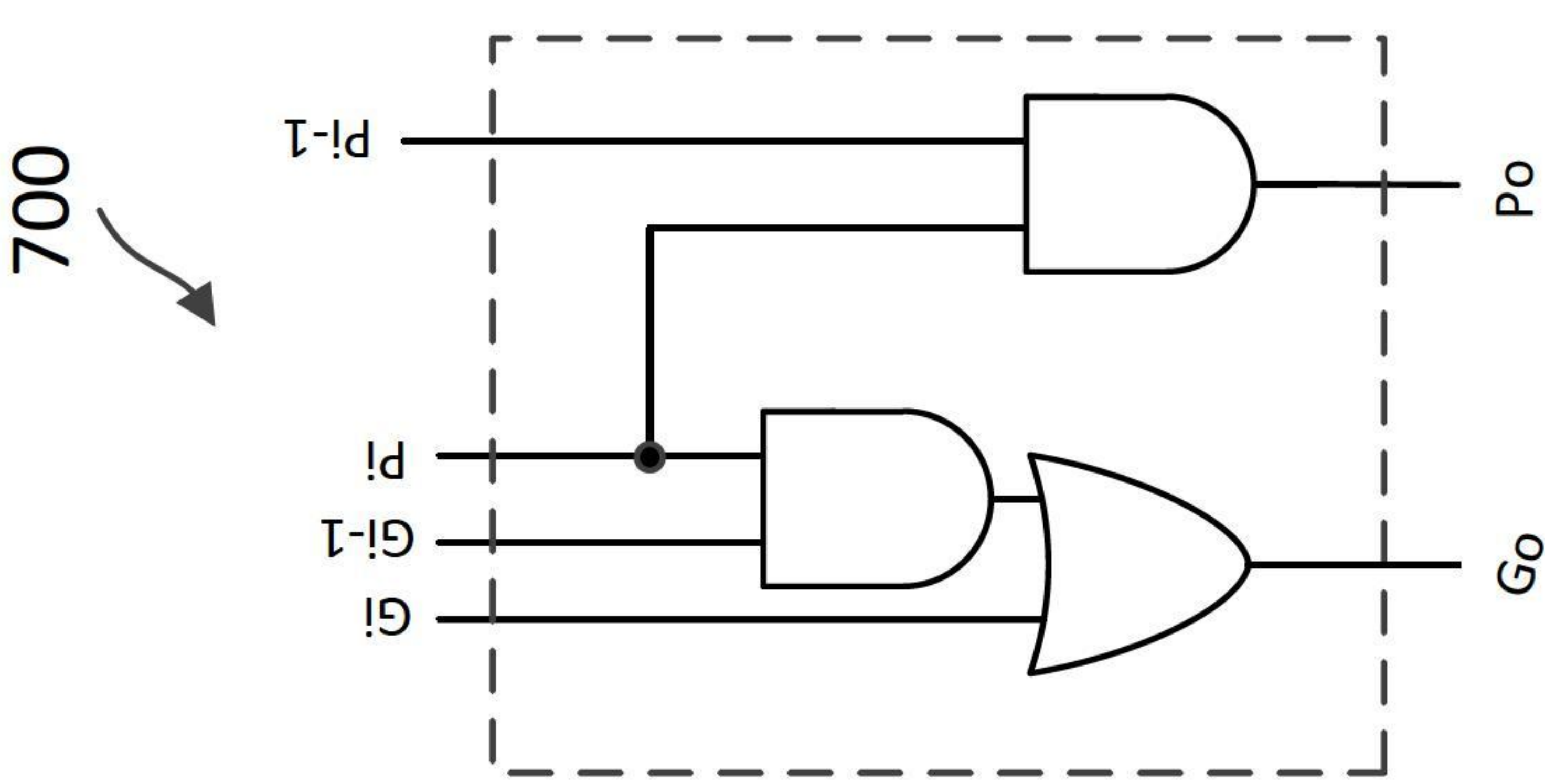
【圖6】



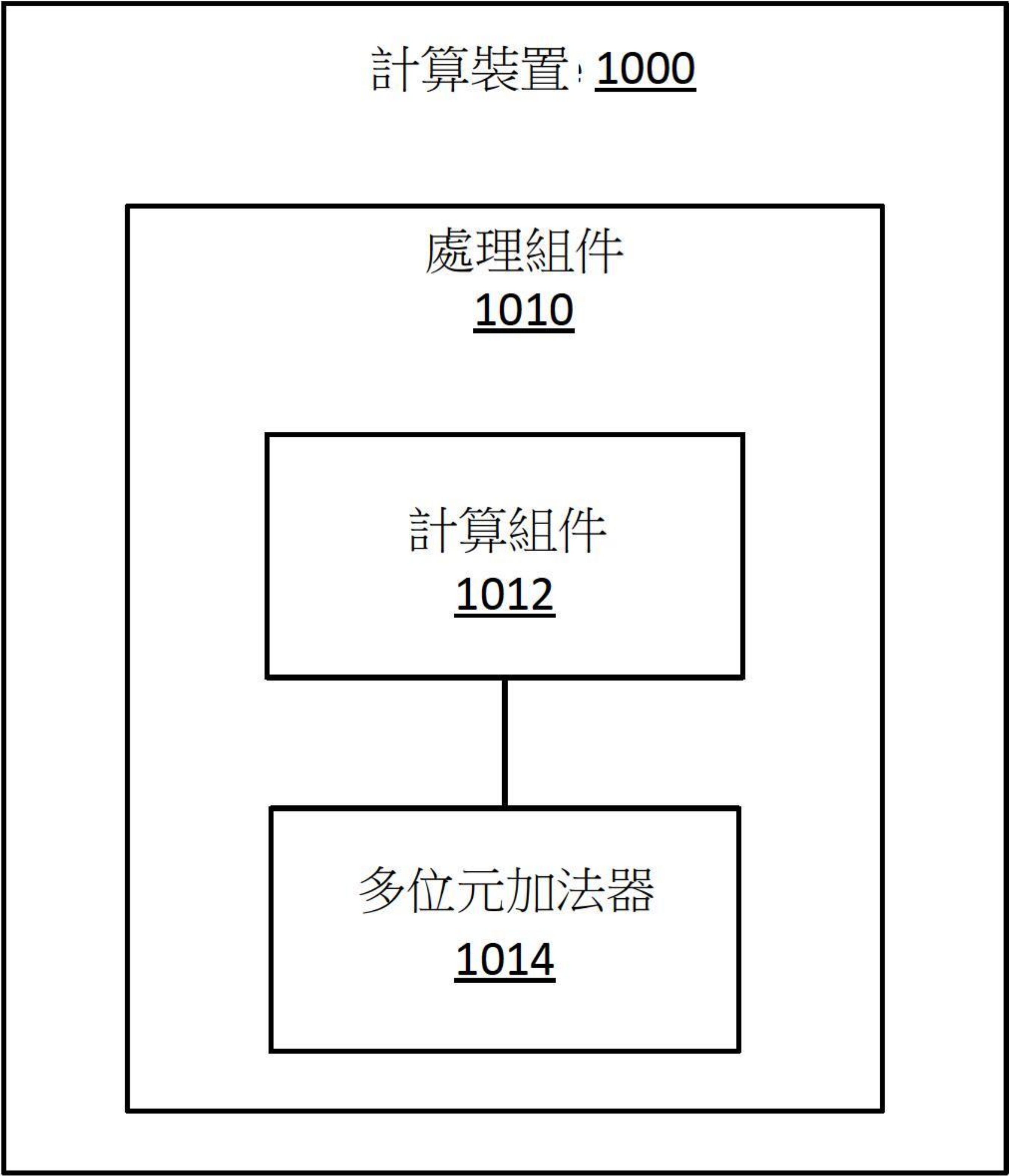
【圖9】



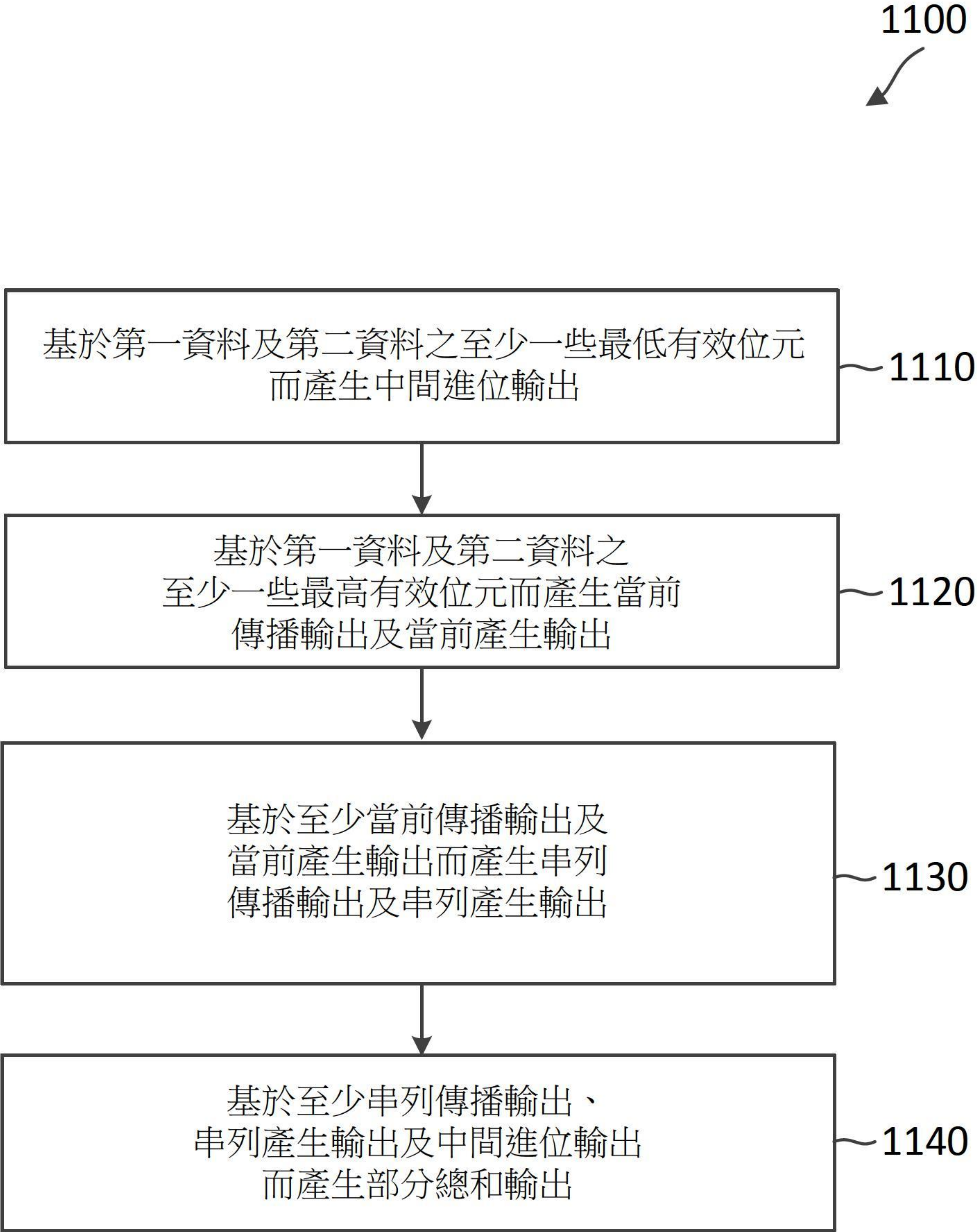
【圖8】



【圖7】



【圖10】



【圖11】