

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03K 17/00

(45) 공고일자 1993년03월 12일
(11) 공고번호 특1993-0001746

(21) 출원번호	특1984-0008007	(65) 공개번호	특1985-0005055
(22) 출원일자	1984년12월 15일	(43) 공개일자	1985년08월 19일
(30) 우선권주장	562176 1983년12월 16일 미국(US)		
(71) 출원인	아메리칸 텔리폰 앤드 텔레그라프 캄파니 알. 씨. 윈터 미합중국, 뉴욕 10022, 뉴욕, 매디슨 애비뉴 550		
(72) 발명자	조나단 실즈 터너 미합중국, 미조리 63130, 유니버시티 시티, 워싱턴 7436 레너드 프랭크 와이어트 미합중국, 일리노이 60540, 네이퍼빌, 밸리 드라이브 500		
(74) 대리인	이병호		

심사관 : 이택수 (책자공보 제3166호)

(54) 자기 경로 선택 교환망

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

자기 경로 선택 교환망

[도면의 간단한 설명]

제1도는 본 발명을 이용하는 패킷 교환망의 블록선도.

제2도는 본 발명의 주체인 제1도와 패킷 스위치의 블록선도.

제3도 내지 제10도는 트렁크 제어기(104)의 입력에서 트렁크 제어기(109)의 입력까지 패킷의 통신동안 수행된 패킷 변형도.

제11도는 패킷 스위치(107)의 스위치 노드(200-7)에 대한 상세 블록선도.

제12도는 스위치 노드(200-7)의 입력 제어(1101)에 대한 상세 블록선도.

제13도는 어드레스 회전 회로(1206)에 대한 상세 블록선도.

제14도는 스위치 노드(200-7)의 출력 제어 (1102)에 대한 상세 블록선도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------|----------------|
| 100 : 중앙처리기 | 102 : 트렁크 제어기 |
| 107 : 패킷 스위치 | 1104 : 분배 플립플롭 |
| 1100 : 입력 제어 | 1102 : 출력 제어 |
| 1200 : 입력 시프트 레지스터 | 1202 : 길이 레지스터 |
| 1203 : 버퍼 시프트 레지스터 | 1205 : 데이터 선택기 |
| 1206 : 어드레스 회전 회로 | 1207 : 멀티플렉서 |

[발명의 상세한 설명]

본 발명은 정보 신호의 패킷 교환에 대한 방법 및 패킷 교환 구조(architecture)에 관한 것이다. 특

히 본 발명은 패킷내의 어드레스 정보에 입각한 패킷의 경로를 선택하고 교환망을 통하여 교대 경로를 정하는 경로 선택 분배 계위로 배열된 고속 패킷 스위치의 통합 회로망을 갖는 패킷 교환 구조에 관한 것이다.

자기 경로 선택 교환 노드를 사용하는 것과 같은 패킷 교환망은 패킷에 포함된 어드레스 정보를 기초로 하여 패킷을 통신한다. 이러한 자기 경로 선택망에서는, 일반적으로 그 교환망의 각 입력과 출력쌍 사이에 단지 하나의 유일한 경로 선택단이 있다. 이 특성은 교환망내의 장애 교환 노드가 그 노드만을 분배하는 두 경로의 교차점에 위치될 수 있으므로 장애 진단을 쉽게 한다. 단지 하나의 유일한 경로 선택의 존재로 인한 문제는 신뢰성 및 역량을 감소시켜 불균형된 통신량 조건하에서 동작한다는 것이다. 신뢰성은 단일 노드 또는 노드들간의 링크의 결함으로 많은 경로선택을 이용할 수 없게 하기 때문에 문제이다. 통신량 문제는 특정한 통신량 패턴으로 많은 양의 통신을 하는 다수의 경로 선택이 하나의 노드를 통하여 전달되기 때문에 발생한다. 이것이 일어날때, 이들 경로상와 통신 용량은 단일 노드의 것에 제한된다.

자기 경로 선택 패킷 교환망의 포텐셜 신뢰성 및 통신량 문제점을 극복하는 한 방법은 패킷 교환망이 트렁크(trunk) 제어기에 의해 양단에서 종단된 각 트렁크를 갖는 트렁크들에 의해 상호 접속되는 고속 패킷 시스템을 포함하는 것이다. 각 교환망은 이중 교환 배열로 구성된다. 결함이 없는 조건동안, 이중 교환망 배열은 명목상으로 동작하고, 어떤 주어진 트렁크 제어기는 이중교환망 배열과 함께 동작하여 각 배열과 그 트렁크 제어기에 부착된 트렁크 사이의 패킷의 경로 선택을 회전 또는 교체시킴으로써 패킷 교환의 작업량을 분배한다. 한 교환 배열이 실패하는 경우엔, 그 실패는 패킷을 비실패 교환 배열에만 경로 선택하는 트렁크 제어기에 의해 자동적으로 검출된다. 이 기법은 교환 배열을 이중으로 하는 추가적인 코스트(cost)로 인하여 단일의 비이중 배열보다 비경제적이다. 또한, 통신량의 불균형은 패킷을 경로 선택하는데 유용한 두경로(한 경로는 각 교환 배열을 통한)만이 있으므로 절반으로 감소된다.

자기 경로 선택 교환망에서 신뢰성 및 통신량 문제점을 완화시키는 한 공지된 방법에는 자기 경로 선택 교환망의 입력에서 뱅안(banyan) 스위칭 노드의 여분 계위를 이용하는 것이 포함되어 상술된 문제점들을 해결한다. 상기 보고는 교환하는 상기 여분단이 교환망의 다른 계위와 동일하고 어드레스하는 여분의 비트를 교환망을 통하여 경로 선택되는 각 패킷의 어드레스 필드에 부가하여 이용되는 것을 제안한다. 여분의 어드레스 비트는 교환망의 외부에서 하드웨어나 소프트웨어는 상기 비트를 사용하여 과중한 통신량을 실패 하거나 위험에 직면하게 되는 노드를 피하게 된다. 보고에 의해 제안된 방법이 교환망을 통하여 하나이상의 경로 선택을 추가하는 것을 허용하는 까닭에, 사용하기 위한 경로 선택은 패킷 교환망의 외부에서 이루어지는 것을 요구한다.

상술된 문제점은 분배 및 경로 선택 교환의 계위를 구비하는 패킷 교환망이 교환 노드의 불균형된 통신량 상태 및 장애를 보상하는 구성 실시예에서 기술된 바와 같이 본 발명의 원리에 따라 해결될 수 있다. 분배 계위의 교환 노드는 교체 경로 선택 알고리즘을 기초로 하여 패킷을 다운스트림 교환 노드에 경로 선택하는 교환망을 통해서 통신량을 분배하고 다운스트림 교환 노드의 강하를 자동적으로 보상한다. 교환망의 구조는 초기 교환망의 계위가 교환망의 나머지 계위에서 경로 선택 계위에 따르는 교체 분배 및 경로선택 계위를 구비하는 것과 같다. 교체 분배 및 경로 선택 계위 장점은 불균형된 통신량 상태에 연관된 문제점이 교환망의 초기 계위에서 모든 분배 계위의 위치보다도 오히려 더 큰 정도로 보상된다는 것이다. 이유는 초기 경로 선택 계위가 최종 수신처로 패킷을 집중하기 시작하여 다음 분배 노드가 어떠한 과부하된 다운스트림 경로 선택 노드를 더욱 효율적으로 우회하기 때문이다.

분배 계위에서 각 교환 노드는 교체 교환 알고리즘을 기초로 하여 다운스트림 교환 노드의 서브셋(subset)중 하나로 패킷을 교체적으로 통신하는 패킷 수신과 다운스트림 교환 노드에서 선택된 노드의 사용 가능성에 응답한다. 경로 선택 계위에서 각 교환 노드는 패킷을 다운스트림 교환 노드로 통신하는 각 패킷에 포함된 어드레스 정보에 응답한다. 각 분배 교환 노드는 신호를 기억하고 이들 신호를 수정하는 수단을 구비하여 그 다음 패킷이 통신될 다운스트림 교환 노드의 서브 셋트중 그 다음것을 경로 선택하도록 한다. 만일 경로 선택된 다운스트림 패킷이 무용하다면, 분배 노드는 자동적으로 패킷을 서브 셋트내의 다른 유용 다운스트림 교환 노드로 경로 선택한다.

유리하게도, 두 경로 선택과 분배 교환 노드는 회로 설계에 있어서 동일하고 외부 신호에 응답하여 경로선택 또는 분배노드의 기능을 수행한다. 이 외부 신호에 응답하여, 경로 선택 계위의 교환 노드는 또한 어드레스 정보를 회전시켜 다운스트림 노드에 의해 즉시 사용되도록 어드레스 정보를 위치시킨다.

이하 첨부된 도면을 참조하여 본 발명은 더욱 상세히 기술될 것이다.

제1도는 트렁크(117, 119)와 같은 다수의 고속 트렁크를 취급하는 예시적인 패킷 교환로망을 도시한 것이다. 먼저, 제1도의 패킷 교환망을 구성하는 서브 시스템의 일반적으로 기술이 주어진 다음, 패킷 스위치 (107)와 본 발명의 초점인 그 구성요소들에 대한 기술이 주어진다. 제1도에서 도시된 바와 같이, 패킷 스위치(107)은 다수의 트렁크 제어기로 단말처리되고 중앙 처리기의 트렁크 제어기(102)를 통하여 중앙 처리기(100)와 협력한다. 트렁크에 전송된 각 트렁크 패킷은 그 패킷이 패킷 교환망을 통해서 취해지는 경로 선택을 지정하는 논리 어드레스를 포함한다. 각 트렁크 제어기는 논리 어드레스를 수신처 트렁크 제어기에 패킷을 전달하도록 스위치(107)에 의해 사용된 스위치 어드레스로 변환하기 위해 번역 테이블을 포함하고 있는 메모리로 이루어져 있다. 번역 정보는 호출 설정 및 호출 회답 패킷에 응답하여 트렁크 제어기(102) 및 스위치 (107)를 통하여 중앙 처리기(100)에 의해 각 트렁크 제어기의 메모리내에 기억된다. 스위치(107)의 전체적인 기능을 설명하기 위해서, 트렁크 제어기(104, 108)와 스위치 (107)를 통하여 트렁크(118)에서 트렁크(119)까지 제3도에 도시된 패킷의 경로 선택을 고려한다. 제3도에서 도시된 패킷의 수신시에, 트렁크 제어기(104)는 제4도에 도시된 바와 같이 스위치 패킷내에 트렁크 패킷을 어셈블한다. 스위치 패킷은 플래그 필드와 스위치(107)를 통하여 패킷을 트렁크 제어기(108)에 경로 선택하는데 필요한 정보를 제외하고는 제3도의 트렁크 패킷의 모든 정보를 포함한다. 스위치(107)는 수신처 트렁크 제어기 필드에 응답하

여 상기 경로 선택을 수행한다. 스위치(107)로부터 나온 스위치 패킷의 수신에 응답하여, 트렁크 제어기(108)는 트렁크 제어기(104)에 의해 수신된 최초의 트렁크 패킷을 제거시키고, 필요한 플래그 필드를 부가하여, 트렁크(119)상에 상기 트렁크 패킷을 전송한다.

패킷 스위치(107)는 제2도에 보다 상세히 도시되어 있다. 스위치(107)는 다수의 스위치 노드 계위를 포함한다. 각 노드 계위는 분배 노드 또는 경로 선택 노드중 하나로 구성되고 각각 분배 또는 경로 계위라고 불려져 있다. 예를 들어, 분배 노드(200-0) 내지 (200-7)은 분배 계위(200)로 구성된다. 경로 선택 노드는 수신처 트렁크 제어기 필드의 최상위 어드레스에 응답하여 적당한 출력 링크를 선택하고 그 다음 경로 선택 노드의 준비로 수신처 트렁크 제어기 필드내에 포함된 어드레스를 우측으로 한 비트 회전시킨다. 분배 노드는 스위치 패킷에 응답하여 내부 플립플롭에 의해 정해진 출력상에 스위치 패킷을 재전송하려고 자동적으로 시도한다. 그러나, 만일 소정의 출력 링크가 통화중이면, 분배 노드는 연결된 다른 출력 링크상에 스위치 패킷을 전송한다. 내부 플립플롭은 각 패킷의 전송후에, 토글(toggle)된다. 그 결과는 분배 노드가 스위치 패킷의 전송시에 출력 링크 사이를 교체하도록 시도한다는 것이다.

각 분배 노드가 두 출력 링크중 한 링크상에 수신된 스위치 패킷을 전송하므로, 어느 한 트렁크 제어기에서 수신처 트렁크 제어기로 패킷 스위치를 통하여 전송하는 동안 패킷이 취해지는 스위치(107)를 통하여 여러 경로가 존재한다. 스위치 (107)를 통하여 어떤 두 트렁크 제어기 사이에 유용한 다른 경로 선택을 도시하기 위해서 두가지 실시예가 지금부터 주어진다. 실시예는 트렁크 제어기 (104, 108) 사이의 패킷 전송을 가정 하고 또한 이들 두 경로 선택에 대한 각각의 분배 계위의 분배 플립플롭이 소정의 값을 갖고 제1경로 선택 이 링크(207, 208, 209, 210, 211, 212)에 있는 식으로 링크가 유용하다고 가정한다. 분배 플립플롭의 상태로 인하여 제2경로 선택은(213, 214, 215, 216, 217, 212)일 것이다.

트렁크 제어기(104)가 제3도에 도시된 바와 같이 트렁크 패킷을 수신할때, 제어기 (104)는 필요한 어드레스 번역 및 어셈블리 동작을 수행하여 제4도에 도시된 바와 같이 상기 트렁크 패킷을 스위치 패킷으로 변환한다. 트렁크 제어기에 의해 트렁크 패킷을 스위치 패킷으로의 변형은 상술된 제이. 에스. 튜너케이스 5에서 상세히 기술되어 있어서 여기서는 반복하지 않는다. 제4도에 도시된 스위치 패킷의 형성후에, 트렁크 제어기(104)는 도선(131)를 통하여 상기 스위치 패킷을 노드(200-7)에 전송한다. 노드(200-7)가 분배 노드이므로, 그 자체의 출력에 연결된 두 링크중 한 링크에 스위치 패킷을 경로 선택한다. 노드(200-7)가 링크(207)를 통하여 스위치 패킷을 노드(210-3)에 경로 선택한다고 가정하자. 링크(207)를 통하여 경로 선택된 스위치 패킷의 구성은 제5도에 도시되어 있고 제4도의 스위치 패킷과 동일하다. 노드(210-3)는 제5도에 도시된 바와 같이 "0"인 수신처 트렁크 제어기 필드의 최상위 비트에 응답하여 링크(208)를 통하여 패킷을 노드(202-1)에 경로 선택한다. 노드(201-3)도 또한 스위치 패킷에 응답하여 수신처 트렁크 제어기 필드를 좌측으로 1비트만큼 회전시킨다. 수신처 트렁크 제어기 필드의 상기 회전 효과는 제6도에 도시되어 있고 이는 노드(202-1)에 전송된 패킷이다.

노드(202-1)는 분배 노드이고 본 예로서, 노드(204-0)의 내부 플립플롭이 링크(209)를 지정한다고 가정 하여 링크(208)를 통하여 수신된 스위치 패킷을 링크(209)를 통하여 노드(203-0)에 경로 선택한다. 링크(209)를 통하여 경로 선택 패킷은 제7도에 도시되어 있다. 노드(203-0)가 경로 선택 노드이므로, 이는 수신처 트렁크 제어기 필드의 최상위 비트에 응답하여 링크(210)를 통하여 스위치 패킷을 노드(204-0)에 경로 선택한다. 링크(210)를 통하여 경로 선택된 스위치 패킷은 제8도에 도시되어 있다. 제8도에 도시된 바와 같이, 노드(203-0)는 수신처 트렁크 제어기 필드상 좌회전을 수행한다. 노드(204-0)는 노드(204-0)의 내부 플립플롭이 링크(211)를 지정한다고 가정하여 링크(210)를 통하여 수신된 스위치 패킷을 링크(211)를 통하여 노드(205-0)에 전송한다. 노드(205-0)에 전송된 패킷은 제9도에 도시되어 있다. 경로 선택 노드인 노드(205-0)는 "0"인 수신처 제어 필드의 최상위 비트를 갖는 스위치 패킷에 응답하여 제10도에 도시된 바와 같이 수신처 트렁크 제어기 필드를 회전시킨 후에 링크(212)를 통하여 노드(206-0)에 상기 패킷을 경로 선택한다. 또한 경로 선택 노드인 노드(206-0)는 "1"인 수신처 트렁크 제어기 필드의 최상위 비트에 응답하여 도선(132)을 통하여 트렁크 제어기(108)에 상기 패킷을 경로 선택한다.

트렁크 제어기 (104)로부터 그들의 내부 분배 플립플롭의 소정의 상태로 인하여 두 링크 사이의 패킷을 분배 노드가 교대로 경로 선택한다고 가정하는 트렁크 제어기(108)까지 기술된 제2경로를 지금부터 기술하기로 한다. 제4도에 도시된 스위치 패킷에 응답하여, 노드(200-7)는 링크(123)를 통하여 노드(201-7)에 상기 패킷을 경로 선택한다. 경로 선택된 패킷은 제5도에 도시된 것과 동일하다. 노드(201-7)는 "0"인 수신처 트렁크 제어기 필드의 최상위 비트에 응답하여 링크(214)를 통하여 노드(202-3)에 상기 패킷을 경로 선택한다. 링크(214)를 통하여 경로 선택된 패킷은 제6도에 도시되어 있다. 노드(202-3)는 그 패킷에 응답하여 그 패킷이 링크(215)를 통하여 노드(203-3)에 경로 선택한다고 가정하면, 수신처 트렁크 제어기 필드의 최상위 비트간 "0"이므로 노드(203-0)는 그 패킷에 응답하여 링크(216)를 통하여 노드(204-1)에 그 패킷을 경로 선택한다. 노드(204-1)는 그 패킷에 응답하여 링크(217)를 통하여 노드(205-0)에 패킷을 경로 선택한다. 노드(205-0)는 "0"인 수신처 트렁크 제어기 필드의 최상위 비트에 응답하여 노드(206-0)에 링크(212)를 통하여 패킷을 경로 선택한다. 노드(206-0)에 경로 선택된 패킷은 제10도에 도시되어 있다. 앞의 경로 선택에서와 같이, 노드(206-0)는 패킷에 응답하여 그 패킷을 도선(132)을 통하여 트렁크 제어기(108)에 전송한다.

스위치 노드(200-7)는 제11도에 보다 상세히 도시되어 있다. 노드(200-7)는 입력 제어 유니트(1100, 1101)와 출력 제어 유니트(1102, 1103)를 구비한다. (200-7)과 같은 분배 노드는 (201-7)과 같은 경로 선택 노드와 설계상 동일하고 가로안의 번호는 제11도가 노드(201-7)를 도시하는 케이스에 대한 링크의 연결을 표시한다. 노드의 두형의 사이의 차이점은 노드가 도선(1112)을 통하여 노드(200-7)의 경우에서 디스에이블 신호를 수신하는지 또는 수신하지 않는지의 여부이다. 만일 노드가 디스에이블 신호를 수신한다면, 노드는 경로 선택 기능을 수행하고 반면에 노드가 디스에이블 신호를 수신하지 않는다면, 노드는 분배 기능을 수행한다. 노드(200-7)가 분배 노드이므로, 디스에이블 신호는 도선(1112)을 통하여 전송되지 않는다. 도선(131)상에 수신된 패킷에 응답하여, 입력 제어(110

1)는 분배 플립플롭(1105)의 상태가 "0"일때 상기 패킷을 케이블(1110)을 통하여 출력 제어(1102)에 경로 선택하려고 시도하거나, 또는, 입력 제어(1101)는 분배 플립플롭(1105)의 상태가 "1"일때 케이블(111)을 통하여 출력 제어(1103)에 상기 패킷을 경로 선택하려고 시도한다. 만일 분배 플립플롭(1105)에 의해 지정된 출력 제어기 통신중이면, 입력 제어(1101)는 다른 출력 제어에 패킷을 경로 선택하려고 시도한다. 출력 제어기 통신중인지를 결정하기 위해서, 입력 제어(1101)는 케이블(1110, 1111)을 통하여 요청 및 인가 신호의 전송을 이용한다. 예를 들어, 출력 제어(1102)가 통신중인지의 여부를 결정하려면, 입력 제어(1101)는 케이블(1110)을 통하여 출력 제어(1102)에 요청 신호를 전송한다. 만일 출력 제어(1102)가 유희이면, 제어(1102)는 입력 제어(1101)에 다시 인가 신호를 전송한다. 인가 신호의 수신시에, 입력 제어(1101)는 케이블(1110)을 통하여 출력 제어(1102)에 패킷의 전송을 개시한다. 입력 제어(1100)는 설계 및 동작상 입력 제어(1101)와 동일하다.

출력제어(1102)는 링크(207)를 모니터하고 후술한 바와 같이, 링크(207)가 통신중인지 아니면 유희인지의 여부를 내부적으로 기억한다. 입력 제어(1101 또는 1100)중 어느 하나로부터 나온 데이터의 수신시에, 출력 제어(1102)는 상기 정보를 링크(207)를 통하여 노드(201-3)에 재전송한다. 출력 제어(1103)는 설계 및 기능상 출력 제어(1102)와 유사하다.

상술된 바와 같이, 경로 선택 노드는 노드(200-7)와 같은 분배 노드와 설계상 동일하다. 경로 선택 노드에 의해 수행된 기능은 분배 노드와는 다른데 그 이유는 경로 선택 노드가 트렁크 수신처 제어 필드의 최상위 비트에 응답하여 패킷이 어느 출력 제어에 경로 선택되어지는가를 결정하기 때문이다. 예를 들어, 만일 노드(200-7)가 도선(1112)을 통하여 디스에이블 신호를 수신한다면, 노드(200-7)는 다음의 경로 선택 노드 기능을 수행할 것이다. 입력 제어(1101)는 링크상에 수신된 패킷에 응답하여 트렁크 수신처 제어 필드의 최상위 비트가 "0"일때, 상기 패킷을 출력 제어(1102)에 경로 선택하거나 또는 트렁크 수신처 제어 필드의 최상위 비트가 "1"일때, 상기 패킷을 출력 제어(1103)에 경로 선택한다. 입력 제어(1101)에서 지정된 출력 제어까지 패킷을 전송하는 동안, 입력 제어(1101)는 트렁크 수신처 제어 필드의 최상위 비트를 최하위 비트 위치로 좌측 이동시킨다. 이 좌측 이동 동작은 그 다음 경로 선택 노드가 트렁크 수신처 제어 필드의 최상위 비트상에 그 자체의 경로 선택 결정의 근거로 할 수 있도록 트렁크 수신처 제어 필드가 적당한 상태로 있는 것을 확실하게 한다.

노드가 경로 선택 기능을 수행할때, 분배 플립플롭은 사용되지 않는다. 트렁크 수신처 제어 필드의 최상위 비트에 의해 지정된 출력 제어기 통신중이면, 입력 제어는 패킷을 버퍼하고 지정된 출력 제어기가 유희일 때 까지 대기한다.

입력 제어(1101)는 제12도에 보다 상세히 도시되어 있다. 입력 제어(1101)는 그 자체의 관련된 스위치 노드가 분배 노드나 경로 선택 노드로서 기능하도록 조정될 수 있다. 입력 제어(1101)는 도선(1112)을 거쳐서 백플랜으로부터 선택적으로 연결될 수 있는 인에이블 신호를 거쳐서 분배 또는 경로 선택기능중 어느 한 기능을 수행하도록 구성된다. 분배 노드로 동작할때, 어드레스 레지스터(1201) 및 어드레스 회전 회로(1206)는 제어기(1204)를 통하여 디스에이블된다. 경로 선택 모드로 동작할때, 분배 플립플롭(1105)은 제어기(1204)에 의해 디스에이블된다.

스위치 노드(200-7)내의 분배 기능을 수행하는 입력 제어(1101)의 동작을 살펴본다면, 입력 회로(1201)는 케이블(131)을 거쳐 트렁크 제어기(1041)로부터 패킷을 수신하고, 제어기(1204)의 제어하에 케이블(131)을 거쳐 링크 개방 신호를 트렁크 제어기(104)에 전송한다. 링크 개방 신호의 기능은 제14도의 출력 제어(1103)와 관련하여 후술되어 있다. 인입 패킷은 입력 시프트 레지스터(1200)로 시프트된다. 입력 시프트 레지스터(1200)는 패킷의 시작을 나타내는 개시 비트를 검출하는데 이용된다. 입력 시프트 레지스터(1200)로부터, 패킷은 하나의 완전한 패킷을 버퍼링할 수 있는 버퍼 시프트 레지스터(1203)로 시프트된다. 버퍼 시프트 레지스터(1203)는 64비트 각각이 저장된 후 출력을 제공한다. 제어기(1204)의 제어하에 상기 출력은 데이터 선택기(1205)에 의해 선택될 수 있으며 버퍼 시프트 레지스터(1203)의 사용되지 않는 부분은 통과된다. 이와 같은 통과 기능을 패킷이 출력 회로로 전송되기 시작하기 전에 전체의 패킷을 버퍼시킬 필요가 없을때 및 입력 회로(1100)를 통해 패킷의 전송 속도를 상승시키고자할때 행해진다. 멀티플렉서(1207)는 제어기(1204)의 제어하에 데이터가 전송될 케이블(110 또는 1111)을 선택한다. 입력 제어(1101)는 출력 제어(1102) 및 링크(207)를 거쳐 스위치 노드(201-3)로 패킷을 분배하던지 출력 제어(1103) 및 링크(213)를 거쳐 스위치 노드(201-7)로 패킷을 분배한다. 만일 선택된 스위치 노드가 이미 다른 패킷을 수용하고 있다면, 입력 제어(1101)는 두개의 스위치 노드 사이에 패킷을 분배한다.

패킷은 케이블(131)을 거쳐 트렁크 제어기(104)로부터 수신되어 도선(1211)을 통해 제공된 시스템 클럭 속도로 레지스터(1200)로 시프트된다. 패킷의 개시가 레지스터(1200)로 완전히 시프트되었다는 것을 나타내는 비트 위치 9에 개시 비트가 도달될때, 도선(1212)상의 신호를 통해 제어기(1204)에 그와 같은 상태를 알린다. 제어기(1204)가 상기 신호를 수신하면, 입력 제어(1101)는 도선(1232)을 통한 분배 플립플롭(1105)의 상태에 따라 요구 신호를 출력 제어(1102 또는 1103)로 전송한다. 만일, 플립플롭(1105)의 출력이 "0"이면, 이는 출력 제어(1103)가 처음의 패킷을 수신했다는 것을 나타내며, 제어기(1104)는 요구 신호를 출력 제어(1102)에 전송한다. 플립플롭(1105)의 출력이 "1"이면, 출력제어(1102)는 마지막 패킷을 수신했다는 것을 나타내며, 제어기(1104)는 요구 신호를 출력 제어(1103)에 전송한다. 동시에, 인입된 패킷은 입력 시프트 레지스터(1200)를 통해 버퍼 시프트 레지스터(1203)내로 시프트된다. 플립플롭(1105)이 상태 "0"이라면, 입력 제어(1101)는 요구 신호를 케이블(1110)을 거쳐 출력 제어(1102)에 전송한다. 출력 제어(1102)가 패킷을 수신하도록 준비되는 즉시, 패킷은 케이블(1110)을 통해 입력 제어(1101)에 인가 신호를 보낸다. 상기 인가 신호를 수신함에 따라, 제어기(1204)는 데이터 선택기(1205)로 하여금 레지스터(1203)로 시프트된 패킷을 디스에이블 어드레스 회전 회로(1206), 멀티플렉서(1207), 케이블(1110)을 거쳐 출력 제어(1102)로 진행하도록 한다. 데이터 선택기(1205)는 인가 신호를 수신함과 동시에 패킷이 출력 제어로 진행하는 것을 허용한다. 이와 같은 방법으로, 전 패킷이 레지스터(1203)에 의해 버퍼될 필요가 없으며, 따라서 패킷의 더욱 빠른 전송을 허용한다. 상기 인가 신호의 존재는 제어기(1204)로 하여금 도선(1231)을 통해 플립플롭(1105)의 상태를 변화시키도록 한다. 따라서, 다음 패킷이 수신될때 제어기

(1204)는 요구 신호를 출력 제어(1103)에 전송하게 된다.

만일, 출력 제어(1102)가 선정된 주기내에 요구신호에 응답하지 않는다면, 제어기 (1204)는 출력 제어(1102)에 대한 요구 신호를 제거하고 출력 제어(1103)에 요구 신호를 전송한다. 만일, 출력 제어(1103)가 선정된 주기후에도 도구신호에 응답하지 않는다면, 제어기(1204)는 출력 (1103), (1302)중 어느 하나가 인가 신호에 응답할때 까지 두개의 출력 제어에 각각 요구 신호를 교대로 보낸다. 이와 같은 동작이 발생하는 동안, 인입되는 패킷은 버퍼 시프트 레지스터(1200)에 의해 버퍼된다. 설정된 주기는 도선(1211)을 거쳐 시스템 클럭(134)으로부터 수신된 클럭 펄스를 카운팅하므로써 결정된다.

경로 선택 노드(201-1)내의 기능을 수행하는 입력 제어(1101)의 동작을 살펴보면, 상기 동작을 설명하기 위해, 케이블 및 도선 번호는 괄호내에 도시되어 있다. 입력 제어(1101)는 디스플레이 신호를 통해 경로 선택 기능을 수행하도록 구성되는데, 상기 디스플레이 신호는 도선(1121)을 통해 백플랜으로부터 연결된다. 경로 선택 모드로 동작할때, 분배 플립플롭(1105)는 제어기(1204)에 의해 디스플레이된다.

입력 회로(1210)는 노드(200-7)로부터 인입되는 패킷을 수신하고, 제어기 (1204)의 제어하에 케이블(213)을 거쳐 링크 개방 신호를 노드(200-7)에 전송한다. 링크 개방 신호의 기능을 출력 제어(1203)와 관련하여 후술하기로 한다. 입력 시프트 레지스터(1200)는 상술된 바와 같이 개시 비트를 검출하는데 이용된다. 추가로, 입력 시프트 레지스터(1200)는 길이 레지스터(1202)내에 저장된 네트워크 패킷 길이 필드를 추출하며, 어드레스 레지스터(1201)내에 저장된 네트워크 어드레스 필드중의 최상위 비트를 추출하는데 이용된다. 버퍼 시프트 레지스터(1103)는 상술된 바와 같이 하나의 완전한 패킷을 버퍼링하는데 이용된다. 어드레스 회전 회로(1106)는 상술된 바와 같이 패킷의 나머지 부분인 어드레스가 선택된 출력 제어로 전송되기 전에 네트워크 어드레스 필드를 좌측으로 회전시키는 동작을 한다. 제어기(1104)의 제어하에 멀티플렉서(1107)는 인입되는 패킷의 어드레스 필드에 따라 데이터가 전송된 케이블(1110 또는 1111)을 선택한다. 입력 제어(1101)의 동작은 제5도에 도시된 패킷의 전송을 다루는 실시예를 이용하므로써 더욱 상세히 설명될 것이다. 입력 시프트 레지스터(1200)는 도선(1211)을 거쳐 시스템 클럭(161)에 의해 연속적으로 클럭된다. 데이터가 입력 케이블(213)을 거쳐 수신될때, 데이터는 입력 시프트 레지스터(1200)를 통해 클럭된다. 개시 비트가 입력 시프트 레지스터(1200)의 비트 위치(9)에 도달되면, 제어기(1204)는 상기 비트를 검출하여 도선(213)상에 펄스를 전송한다. 이 펄스는 길이 레지스터(1202)로 하여금 네트워크 패킷 길이 필드를 저장하도록 하며, 어드레스 레지스터(1201)로 하여금 네트워크 어드레스 필드중의 최상위 비트를 저장하도록 하는데, 상기 최상위 비트는 입력 시프트 레지스터(1200)의 비트 스위치에 존재한다.

최상위 어드레스 비트는 패킷이 출력 제어(1102)로 전송되어 한다는 것을 나타내는 것이기 때문에, 제어기(1204)는 요구 신호를 도선(1110)을 통해 출력 제어(1102)에 전송한다. 이와 같은 요구 신호가 전송되면, 데이터는 입력 시프트 레지스터(1200)에서 다수의 출력 단자를 갖는 버퍼 시프트 레지스터(1203)로 시프트된다. 상기 다수의 출력 단자는 버퍼 시프트 레지스터(1203)내의 다른 비트 위치에 접속된다. 제어기(1204)가 도선(110)을 거쳐 출력 제어(1102)로부터 인가 신호를 수신하면, 제어기(1204)는 버퍼 시프트 레지스터(1203)의 출력에서 패킷의 개시비트가 버퍼 시프트 레지스터(1203)내에 도달되는가를 계산한다. 이는 출력 제어(1102)로 패킷의 전송이 가능한 빨리 이루어지도록 하기 위해 행해진다. 이와 같은 계산을 기초로 하여, 제어기(1204)는 데이터 선택기(1205)가 버퍼 시프트 레지스터(1203)의 지정된 출력을 선택하도록 제어한다. 제어 정보는 케이블(1217)을 거쳐 데이터 선택기(1205)에 전송된다. 데이터 선택기(1205)는 선택된 출력으로부터의 데이터를 도선(1216)을 거쳐 어드레스 회전 회로(1206)에 전송한다. 데이터가 전송되기전에, 제어기(1204)는 도선(1219)을 거쳐 패킷 신호의 개시를 전송하므로써 어드레스 회전 회로(1206)를 리셋트한다. 그후, 제어기(1204)는 길이 레지스터(1202)내에 저장되어 케이블(1220)을 거쳐 판독되는 패킷 길이 정보를 이용하여, 패킷의 마지막부가 입력 시프트 레지스터내로 인입되는 시간을 결정한다. 상기 동작이 발생하여 시프트 레지스터(1203)로부터 전송이 시작될때, 제어기(1204)는 도선(1205)을 거쳐 링크 개방 신호를 전송한다. 상기 신호는 3단 구동기(1209)와 입력도선(131)을 거쳐 입력 포트(503-60)에 재전송된다. 링크 개방 신호는 입력 제어(1000)가 다른 패킷을 수신할 준비가 되었다는 것을 나타낸다. 이와 같은 기능은 출력 제어 회로와 함께 후에 기술할 것이다.

어드레스 회전 회로(1206)는 제13도에 더욱 상세히 도시되어 있다. 회로(1206)의 목적은 어드레스 필드를 1비트씩 왼쪽으로 회전시켜 최상위 비트가 최하위 비트로 되도록 하는데 있다. 상기 회전은 각 입력 제어가 단지 최상위 비트만을 디코드시키기 때문에 필요하다. 시프트 레지스터(1300), (1303)는 1비트 시프트 레지스터 터이며, 데이터 선택기(1302)는 시프트 레지스터(1300)의 출력이나 시프트 레지스터(1303)의 출력을 선택하는데 이용되며, 제어 회로(1309)는 어드레스회전 회로의 동작을 제어한다. 제어 회로(1309)가 도선(1219)을 거쳐 제어기(1204)로부터 패킷 신호의 개시를 수신할때, 제어 회로는 도선(1307)을 거쳐 시프트 레지스터(1300)에, 도선(1305)을 거쳐 시프트 레지스터(1303)에 클럭 신호를 전송한다. 제어 회로(1309)는 도선(1218)상부로 전송될 시프트 레지스터(1303)의 출력을 선택하도록 도선(1308)을 거쳐 데이터 선택기(1302)를 조정한다. 그후, 제어 회로(1309)는 도선(1218)을 거쳐 전송될 비트의 수를 계산한다. 네트워크 어드레스 필드의 최상위 비트가 시프트 레지스터(1303)내에 포함될때, 제어 회로(1309)는 도선(1305)을 거쳐 시프트 레지스터(1303)로의 클럭 신호 전송을 중지하며, 데이터 선택기(1302)를 조정하여 시프트 레지스터(1300)의 출력을 선택하도록 한다. 그후, 제어 회로(1309)는 네트워크 어드레스 필드의 나머지 비트가 도선(118)을 거쳐 전송될때까지 기다린다. 이와 같은 상태에서, 제어 회로(1309)는 시프트 레지스터(1303)로 출력 신호를 전송하기 시작하며, 데이터 선택기(1302)를 조정하여 시프트 레지스터(1303)의 출력을 선택하도록 한다. 이와 같은 동작은 네트워크 어드레스 필드의 최상위 비트가 회전되는 결과를 낳게한다.

출력 제어(1103)는 제14도에 더욱 상세히 도시되어 있다. 제어 회로(1400)는 입력 제어(1100), (1101)로부터 케이블(1108), (1111)을 거쳐 전송되는 요구 신호에 응답한다. 만일, 플립플롭(1401)이 세트되면, 제어 회로(1400)는 상술된 케이블중 하나를 거쳐 요구된 입력 제어에 인가 신호를 전송하므로써 상기 요구 신호에 응답하게 된다. 상기 요구에 응답을 한후, 제어 회로(1400)는 데이터

선택기(1403)를 조정하여 적절한 케이블(1108 또는 1111)로부터의 데이터 도선을 선택한다. 제어 회로(1400)는 적절한 제어 정보를 케이블(1408)을 거쳐 데이터 선택기(1403)에 전송한다. 데이터 선택기(1403)는 선택된 입력 단자상에 수신된 정보를 도선(1407)으로 전송한다. 3단 장치(1402)는 도선(1407)상의 정보를 취하여 링크(213)를 거쳐 이들 데이터를 스위치 노드(201-7)의 부분인 입력 회로에 전송한다. 제어회로(1400)는 도선(1409)을 거쳐 3단 장치(1402)의 출력을 제공한다.

제14도에 도시된 출력 제어(1103)의 동작은 데이터의 패킷을 케이블(1111)을 통하여 전달하는 입력 제어(1101)의 실시예를 고찰함으로써 더욱 상세히 설명될 것이다. 입력 제어(1101)가 도선(1111)을 통하여 요구 신호를 전달할때, 만일 링크가 다른 입력 제어 회로중 하나에 의해서 사용되지 않고 플립플롭(1401)의 출력이 셋트되면 제어 회로(1400)는 도선(1111)을 통하여 인가 신호를 입력 제어(1101)에 전송한다. 플립플롭(1401)이 셋트된다고 가정을 하면, 제어 회로(1400)는 인가 신호를 입력 제어(1001)에 전송하고 케이블(1408)을 통하여 데이터 선택기(1403)를 조정하여 도선(1111)상에 전송되는 데이터를 선택하고 이 데이터를 도선(1407)에 재전송한다. 또한, 제어 회로(1400)는 3단 장치(1402)를 인에이블하여 도선(1407)상의 정보를 링크(213)에 전송한다.

입력 제어(1101)가 전 패킷을 전송할 후에는, 도선(1111)에서 요구 신호를 제거시킨다. 일단 한번 요구 신호가 도선(1111)에서 제거되면, 제어 회로(1400)는 요구 신호를 도선(1409)을 통하여 플립플롭(1401)에 전송한다. 일단 스위치 노드(201-7)의 입력 제어가 다른 패킷을 수신할 수 있게 되면, 도선(1406), 3단 장치(1411), 링크(213)를 통하여 개방 링크 신호를 전송한다. 개방 링크 신호는 5 입력에 의해 플립플롭(1401)을 셋트시킨다. 일단 플립플롭(1401)이 셋트되면, 제어 회로(1400)는 입력 제어에서 나온 요구 신호에 다시 한번 응답한다.

상술된 실시예는 단지 본 발명의 원리를 설명하기 위한 것에 불과하므로, 본 기술에 숙련된 사람에게 의해서 본 발명의 사상 및 범주를 벗어남이 없이 다른 장치가 고안될 수 있다.

(57) 청구의 범위

청구항 1

교환망 입력 포트에서 교환망 출력포트까지 어드레스 경로 선택 정보를 각각 포함하고 있는 패킷을 통신하기 위해 다수의 분배 계위와 다수의 경로 선택 계위를 포함하는 교환망(102 내지 109)에 있어서, 상기 분배 계위(200, 202, 204)의 각각은 상기 어드레스 경로 선택 정보에 관계없이 상기 패킷중 하나의 수신에 각각 응답하여 상기 계위를 다음 계위의 상기 노드 서브 세트의 하나에 상기 하나의 패킷을 교대로 통신하는 다수의 스위치 노드를 포함하고, 상기 경로 선택 계위(201, 203, 205, 206)의 각각은 상기 하나의 패킷의 또다른 수신과 상기 하나의 패킷의 어드레스 경로 선택 정보에 각각 응답하여 상기 하나의 패킷을 상기 계위중 또다른 다음 계위에 통신하는 스위치 노드를 포함하는 것을 특징으로 하는 자기 경로 선택 교환망.

청구항 2

제1항에 있어서, 상기 분배 계위에 있는 상기 스위치 노드의 각각은 상기 계위중 다음 계위의 스위치 노드 서브 세트의 하나를 교대로 지정하는 신호를 기억하는 수단(1105)을 포함하고, 상기 기억 수단은 상기 패킷중 또다른 패킷의 수신 및 상기 기억된 신호에 또한 응답하여 상기 패킷중 상기 다른 패킷의 통신을 위해 상기 계위의 다음 계위의 상기 스위치 서브 세트의 또다른 하나를 교대로 선택하는 것을 특징으로 하는 자기 경로 선택 교환망.

청구항 3

제1항에 있어서, 상기 경로 선택 및 분배 계위의 상기 스위치 노드의 각각은 상기 어드레스 정보에 응답하여 상기 하나의 패킷을 통신하기 위해 제1신호에 응답하는 수단(1204, 1207)과, 상기 하나의 패킷을 교대로 통신하기 위해 제2신호에 응답하는 수단(1105)을 포함하는 것을 특징으로 하는 자기 경로 선택 교환망.

청구항 4

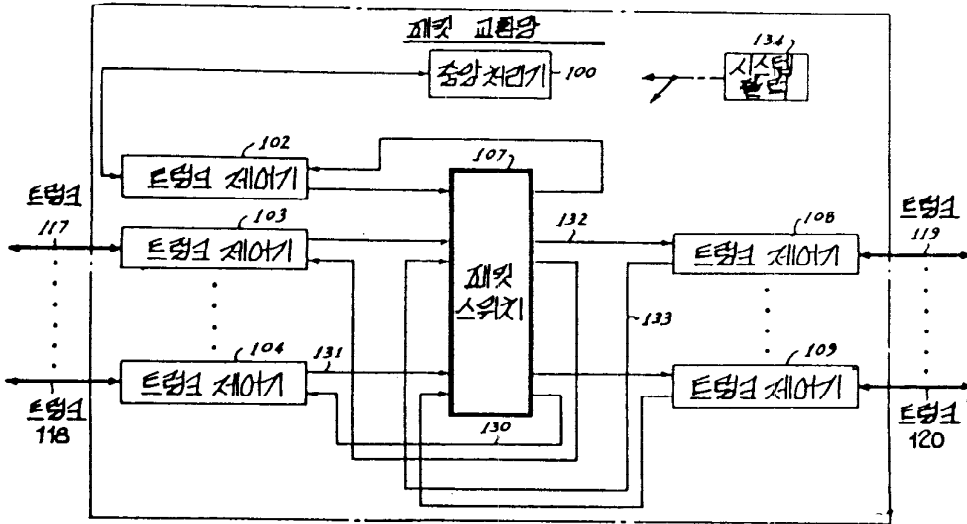
제3항에 있어서, 상기 하나의 패킷의 상기 어드레스 경로 선택 정보는 다수의 어드레스 비트 신호를 포함하고 상기 경로 선택 계위의 상기 스위치 노드의 각각은 상기 제1신호에 응답하여 상기 하나의 패킷을 상기 계위의 다른 다음 계위에 통신하기 전에 상기 하나의 패킷에 있는 상기 다수의 어드레스 비트 신호중에서 소정수의 어드레스 비트 신호를 재위치시키는 수단(1206)을 포함하는 것을 특징으로 하는 자기 경로 선택 교환망

청구항 5

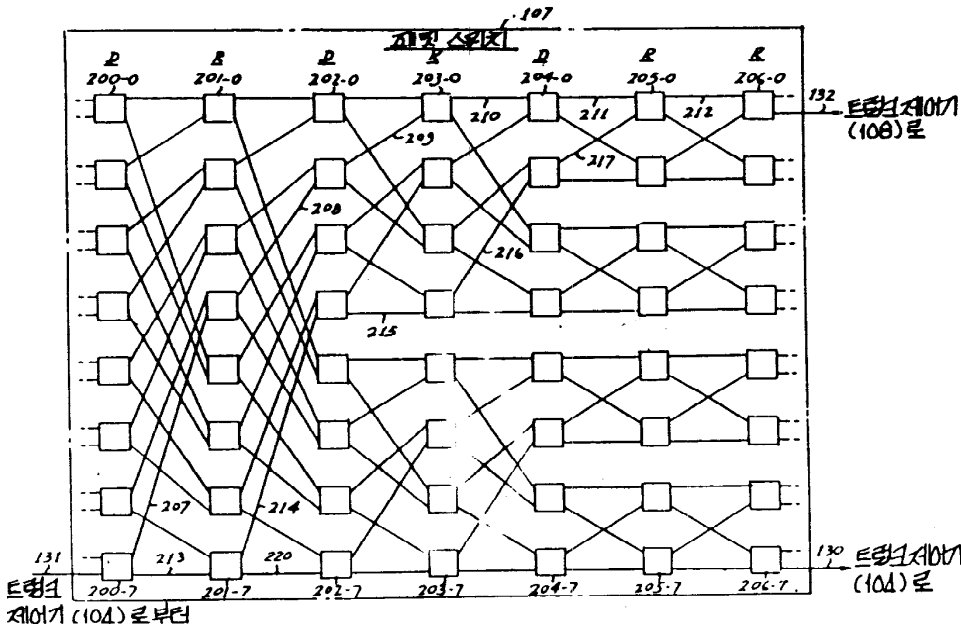
제4항에 있어서, 상기 소정수의 상기 어드레스 비트 신호는 상기 다수의 어드레스 비트 신호중에서 최상위 어드레스 비트 신호를 포함하고, 상기 재위치 수단을 상기 최상위 비트 신호를 상기 다수의 어드레스 비트 신호중에서 하위 비트 신호 위치에 재할당시키고 상기 다수의 어드레스 비트 신호중에서 하위 비트 신호를 최상위 비트 신호 위치에 재할당시키는 것을 특징으로 하는 자기 경로 선택 교환망.

도면

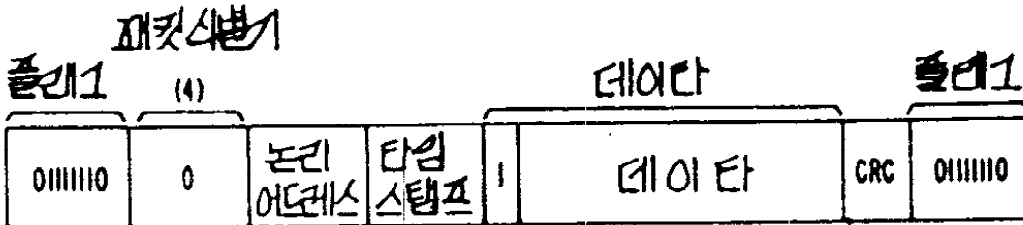
도면1



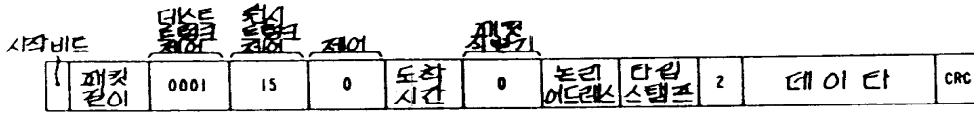
도면2



도면3



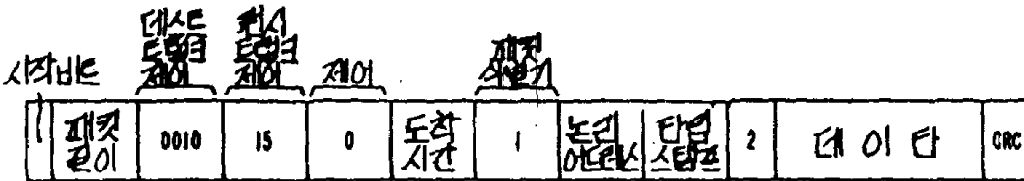
도면4



도면5



도면6



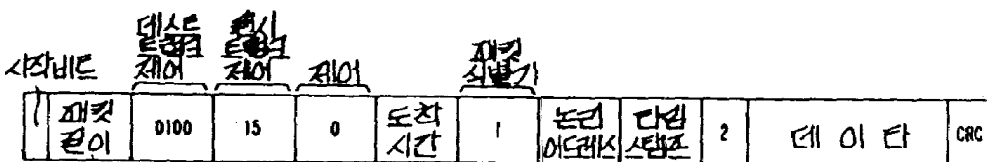
도면7



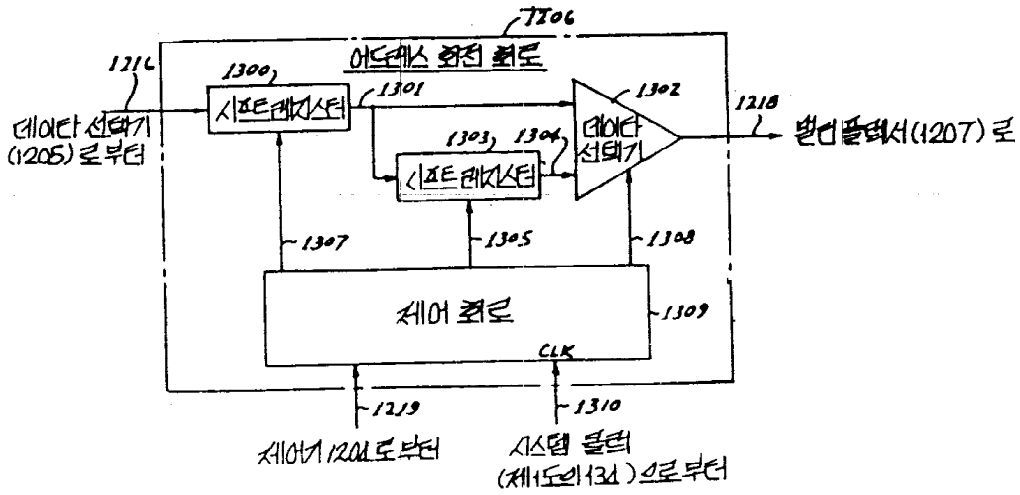
도면8



도면9



도면 13



도면 14

