

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016 年 1 月 7 日 (07.01.2016)



(10) 国际公布号  
**WO 2016/000280 A1**

- (51) 国际专利分类号:  
*G09G 3/20* (2006.01) *G09G 3/36* (2006.01)
- (21) 国际申请号: PCT/CN2014/082530
- (22) 国际申请日: 2014 年 7 月 18 日 (18.07.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201410318442.0 2014 年 7 月 4 日 (04.07.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 虞晓江 (YU, Xiaojiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: COMPLEMENTARY GOA CIRCUIT FOR FLAT PANEL DISPLAY

(54) 发明名称: 用于平板显示的互补型 GOA 电路

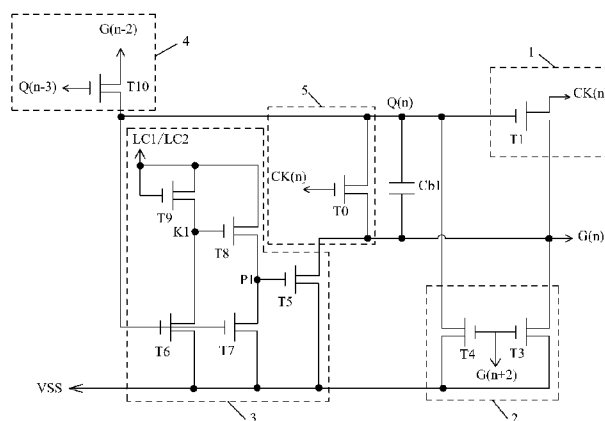


图 3 / Fig. 3

(57) Abstract: A complementary GOA (Gate Driver on Array) circuit for flat panel display comprises a plurality of cascaded GOA units. The complementary GOA circuit charges an nth-level horizontal scanning line G(n) according to the control of the nth-level GOA unit; the nth-level GOA unit comprises a pull-up circuit module, a pull-down circuit module, a pull-down holding circuit module, a pull-up control circuit module, a pull-down circuit module of an nth-level grid signal point Q(n) and a bootstrap capacitor; the pull-up circuit module, the pull-down circuit module, the pull-down holding circuit module, the pull-down circuit module of the nth-level grid signal point Q(n), and the bootstrap capacitor are electrically connected with the nth-level grid signal point Q(n) and the nth-level horizontal scanning line G(n); and the pull-up control circuit module is electrically connected with the nth-level grid signal point Q(n). The complementary GOA circuit for flat panel display can reduce the size of the pull-down holding circuit module of the GOA circuit to obtain a GOA circuit with reduced size, enabling the GOA circuit to apply to narrow-bezel or bezel-less flat panel display products.

(57) 摘要:

[见续页]



WO 2016/000280 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

---

一种用于平板显示的互补型 GOA 电路，包括级联的多个 GOA 单元，按照第  $n$  级 GOA 单元控制对显示区域第  $n$  级水平扫描线  $G(n)$  充电，该第  $n$  级 GOA 单元包括上拉电路模块、下拉电路模块、下拉维持电路模块、上拉控制电路模块、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块、及自举电容；该上拉电路模块、下拉电路模块、下拉维持电路模块、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块、及自举电容分别与第  $n$  级栅极信号点  $Q(n)$  及该第  $n$  级水平扫描线  $G(n)$  电性连接，该上拉控制电路模块与该第  $n$  级栅极信号点  $Q(n)$  电性连接。该用于平板显示的互补型 GOA 电路，可以减小 GOA 电路的下拉维持电路模块的尺寸，获得尺寸精简的 GOA 电路，使 GOA 电路适用于窄边框或无边框的平板显示产品。

## 用于平板显示的互补型 GOA 电路

### 技术领域

5 本发明涉及显示技术领域，尤其涉及一种用于平板显示的互补型 GOA 电路。

### 背景技术

GOA (Gate Driver on Array, 阵列基板行驱动) 技术是将作为栅极开关电路的 TFT (Thin Film Transistor, 薄膜场效应晶体管) 集成于阵列基板上, 从而省掉原先设置在阵列基板外的栅极驱动集成电路部分, 从材料成本和工艺步骤两个方面来降低产品的成本。GOA 技术是目前 TFT-LCD (Thin Film Transistor-Liquid Crystal Display, 薄膜场效应晶体管液晶显示器) 技术领域常用的一种栅极驱动电路技术, 其制作工艺简单, 具有良好的应用前景。GOA 电路的功能主要包括: 利用上一行栅线输出的高电平信号对移位寄存器单元中的电容充电, 以使本行栅线输出高电平信号, 再利用下一行栅线输出的高电平信号实现复位。

GOA 技术可以使用显示面板的现有制程将控制水平扫描线的驱动电路制作在面板显示区周围的基板上, 使之替代 IC (integrated circuit, 集成电路) 来完成水平扫描线的驱动。GOA 技术能简化显示面板的制作工序, 降低成本, 并可使显示面板更适合制作窄边框或无边框的显示产品, 近年来在平板显示领域得到广泛应用。

请参阅图 1, 为现有用于平板显示的 GOA 电路的单级架构示意图。包括: 级联的多个 GOA 单元, 按照第  $n$  级 GOA 单元控制对显示区域第  $n$  级水平扫描线  $G(n)$  充电, 该第  $n$  级 GOA 单元包括上拉电路模块 100、下拉电路模块 200、下拉维持电路模块 300、上拉控制电路模块 400、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块 500、及自举电容  $C_b$ ; 该上拉电路模块 100、下拉维持电路模块 300 及自举电容  $C_b$  分别与第  $n$  级栅极信号点  $Q(n)$  和该第  $n$  级水平扫描线  $G(n)$  连接, 该下拉电路模块 200、上拉控制电路模块 400、及第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块 500 分别与该第  $n$  级栅极信号点  $Q(n)$  连接;

所述上拉电路模块 100 包括: 直接控制给显示区域第  $n$  级水平扫描线  $G(n)$  进行充电的薄膜晶体管 T21, 其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ , 薄膜晶体管 T21 的漏极和源极分别输入该第  $n$  级时钟信号  $CK(n)$  和连接该

第  $n$  级水平扫描线  $G(n)$ , 所述薄膜晶体管 T21 栅极的第  $n$  级栅极信号点  $Q(n)$  的电位可直接影响该第  $n$  级时钟信号  $CK(n)$  对第  $n$  级水平扫描线  $G(n)$  充电;

所述下拉电路模块 200 包括对第  $n$  级栅极信号点  $Q(n)$  进行放电的薄膜晶体管 T41, 薄膜晶体管 T41 的栅极电性连接于该第  $n+2$  级水平扫描线  $G(n+2)$ , 薄膜晶体管 T41 的漏极和源极分别连接第  $n$  级栅极信号点  $Q(n)$  和输入直流低电压  $VSS$ , 薄膜晶体管 T41 可以在第  $n+2$  级水平扫描线  $G(n+2)$  处于高电位时打开进行放电;

所述下拉维持电路模块 300 包括的一组薄膜晶体管可以在 GOA 电路非充电时期保持第  $n$  级栅极信号点  $Q(n)$  与第  $n$  级水平扫描线  $G(n)$  的低电位。

所述下拉维持电路模块 300 包括: 薄膜晶体管 T32, 其栅极电性连接于第一电路点 P, 漏极和源极分别连接第  $n$  级水平扫描线  $G(n)$  和输入直流低电压  $VSS$ ; 薄膜晶体管 T33, 其栅极电性连接于第二电路点 K, 漏极和源极分别电性连接于第  $n$  级水平扫描线  $G(n)$  和输入直流低电压  $VSS$ ; 薄膜晶体管 T42, 其栅极电性连接于第一电路点 P, 漏极和源极分别电性连接于第  $n$  级水平扫描线  $G(n)$  和第  $n$  级栅极信号点  $Q(n)$ ; 薄膜晶体管 T43, 其栅极电性连接于第二电路点 K, 漏极和源极分别电性连接于第  $n$  级水平扫描线  $G(n)$  和第  $n$  级栅极信号点  $Q(n)$ ; 薄膜晶体管 T52, 其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ , 漏极和源极分别电性连接于第一电路点 P 和输入直流低电压  $VSS$ ; 薄膜晶体管 T62, 其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ , 漏极和源极分别电性连接于第二电路点 K 和输入直流低电压  $VSS$ ; 薄膜晶体管 T53, 其栅极输入第一低频时钟信号  $LC1$ , 漏极和源极分别输入第一低频时钟信号  $LC1$  和连接第一电路点 P; 薄膜晶体管 T54, 其栅极输入第二低频时钟信号  $LC2$ , 漏极和源极分别输入第一低频时钟信号  $LC1$  和连接第一电路点 P; 薄膜晶体管 T63, 其栅极输入第二低频时钟信号  $LC2$ , 漏极和源极分别输入第二低频时钟信号  $LC2$  和连接第二电路点 K; 薄膜晶体管 T64, 其栅极输入第一低频时钟信号  $LC1$ , 漏极和源极分别输入第二低频时钟信号  $LC2$  和连接第二电路点 K;

所述上拉控制电路模块 400 包括薄膜晶体管 T11, 其栅极输入来自第  $n-2$  级 GOA 单元的开动信号  $ST(n-2)$ , 漏极和源极分别连接第  $n-2$  级水平扫描线  $G(n-2)$  和第  $n$  级栅极信号点  $Q(n)$ ;

所述第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块 500 包括薄膜晶体管 T22, 其栅极电性连接于该第  $n$  级栅极信号点  $Q(n)$ , 漏极和源极分别输入第  $n$  级时钟信号  $CK(n)$  和输出开动信号  $ST(n)$ 。

工作时, 所述下拉维持电路模块 300 中的第一电路点 P 与第二电路点

K 交替受第一低频时钟信号 LC1 与第二低频时钟信号 LC2 的充电而处于高电位，从而交替控制薄膜晶体管 T32&T42 或 T33&T43 的打开，以维持第 n 级水平扫描线 G(n)或第 n 级栅极信号点 Q(n)在非充电时期的低电位，并避免薄膜晶体管长时间受栅极电压应力的影响；薄膜晶体管 T52 与薄膜晶体管 T62 可在第 n 级栅极信号点 Q(n)处于高电位时打开，而将第一电路点 P、第二电路点 K 的电位拉低以关闭薄膜晶体管 T32、薄膜晶体管 T42、薄膜晶体管 T33、及薄膜晶体管 T43，使之不影响第 n 级水平扫描线 G(n)和第 n 级栅极信号点 Q(n)充电；所述薄膜晶体管 T11 与薄膜晶体管 T22 可以控制将前级 GOA 电路的开动信号 ST 传递给本级 GOA 电路，使 GOA 电路可以逐级充放电；所述第 n 级栅极信号点 Q(n)与第 n 级水平扫描线 G(n)之间所连接的有自举功能的自举电容 Cb，可在第 n 级水平扫描线 G(n)电位提升时通过自举电容 Cb 的耦合效应使第 n 级栅极信号点 Q(n)电位提升，从而获得更高的第 n 级栅极信号点 Q(n)电位及更小的 GOA 充电信号的阻容延迟(RC delay)。

如图 1 所示的用于平板显示的 GOA 电路单级架构中 GOA 单元采用 14 个薄膜晶体管 (Thin Film Transistor, TFT) 元件。

对于目前大部分的 GOA 电路，例如图 1 所示的 GOA 电路，上拉控制电路模块 400 中薄膜晶体管 T11 栅极的峰值电位约等于第 n-2 级水平扫描线 G(n-2)的电位  $V_{G(n-2)}$ ，因此，第 n 级栅极信号点 Q(n)可被薄膜晶体管 T11 充至的电位约等于  $V_{G(n-2)} - V_{th}$ ，第 n 级栅极信号点 Q(n)在自举前可被充至的电位易受到薄膜晶体管 T11 阈值电压  $V_{th}$  漂移的影响。

请参阅图 2，为现有用于平板显示的 GOA 电路的多级架构示意图。图 2 给出了现有用于平板显示的 GOA 电路的一种多级连接方法，第一低频时钟信号 LC1、第一低频时钟信号 LC2、直流低电压 VSS、及 4 个高频时钟信号 CK1~CK4 的金属线放置于面板左右两侧各级 GOA 电路的外围。数个提供数据信号的数据线，数个提供扫描信号的扫描线，数个像素 P 阵列排布，每一像素 P 电性连接于一条数据线及一条扫描线；数个移位寄存器依序排列 S(n-3)、S(n-2)、S(n-1)、S(n)，每一移位寄存器分别输出一栅极信号，以扫描显示装置中对应的扫描线 (gate line)，各移位寄存器分别电性连接第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS、四个高频时钟信号 CK1~CK4 中的一个高频时钟信号。具体地，第 n 级 GOA 电路分别接受第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS、高频时钟信号 CK1~CK4 中的 1 个高频时钟信号、第 n-2 级 GOA 电路产生的 G(n-2)信号和开动信号 ST(n-2)、第 n+2 级 GOA 电路产生的 G(n+2)

信号，并产生  $G(n)$ 、 $ST(n)$  和  $Q(n)$  信号。

由此可见，现有用于平板显示的 GOA 电路中使用的薄膜晶体管元件数量较多，并且在显示面板的左、右两侧都需要两条金属线来传输第一低频时钟信号  $LC1$  与第二低频时钟信号  $LC2$ ，既不利于制作成本的降低，也不利于 GOA 电路尺寸的缩减。

## 发明内容

本发明的目的在于提供一种用于平板显示的互补型 GOA 电路，可以减小 GOA 电路的下拉维持电路模块的尺寸，可以获得尺寸精简的 GOA 电路，使 GOA 电路适合用于窄边框或无边框的平板显示产品。

为实现上述目的，本发明提供一种用于平板显示的互补型 GOA 电路，包括：级联的多个 GOA 单元，按照第  $n$  级 GOA 单元控制对显示区域第  $n$  级水平扫描线  $G(n)$  充电，该第  $n$  级 GOA 单元包括上拉电路模块、下拉电路模块、下拉维持电路模块、上拉控制电路模块、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块、及自举电容  $Cb1$ ；所述上拉电路模块、下拉电路模块、下拉维持电路模块、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块、及自举电容  $Cb1$  分别与第  $n$  级栅极信号点  $Q(n)$  及该第  $n$  级水平扫描线  $G(n)$  电性连接，所述上拉控制电路模块与该第  $n$  级栅极信号点  $Q(n)$  电性连接。

所述上拉电路模块包括：直接控制给显示区域第  $n$  级水平扫描线  $G(n)$  进行充电的薄膜晶体管  $T1$ ，其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ ，薄膜晶体管  $T1$  的漏极和源极分别输入该第  $n$  级时钟信号  $CK(n)$  和连接该第  $n$  级水平扫描线  $G(n)$ ，所述薄膜晶体管  $T1$  栅极的第  $n$  级栅极信号点  $Q(n)$  的电位可直接影响该第  $n$  级时钟信号  $CK(n)$  对第  $n$  级水平扫描线  $G(n)$  充电。

所述下拉电路模块包括：在充电结束时对第  $n$  级水平扫描线  $G(n)$  进行放电的薄膜晶体管  $T3$  与对第  $n$  级栅极信号点  $Q(n)$  进行放电的薄膜晶体管  $T4$ ；薄膜晶体管  $T3$  的栅极电性连接于第  $n+2$  级水平扫描线  $G(n+2)$ ，漏极和源极分别电性连接第  $n$  级水平扫描线  $G(n)$  与输入直流低电压  $VSS$ ；薄膜晶体管  $T4$  的栅极电性连接于该第  $n+2$  级水平扫描线  $G(n+2)$ ，薄膜晶体管  $T4$  的漏极和源极分别连接第  $n$  级栅极信号点  $Q(n)$  和输入直流低电压  $VSS$ ，薄膜晶体管  $T3$  与薄膜晶体管  $T4$  可以在第  $n+2$  级水平扫描线  $G(n+2)$  处于高电位时打开进行放电。

所述下拉维持电路模块包括：薄膜晶体管  $T5$ ，其栅极电性连接于第一电路点  $P1$ ，漏极和源极分别连接第  $n$  级水平扫描线  $G(n)$  和输入直流低电压  $VSS$ ；薄膜晶体管  $T6$ ，其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ ，漏极和

源极分别电性连接于第二电路点 K1 和输入直流低电压 VSS；薄膜晶体管 T7，其栅极电性连接于第 n 级栅极信号点 Q(n)，漏极和源极分别电性连接于第一电路点 P1 和输入直流低电压 VSS；薄膜晶体管 T8，其栅极电性连接于第二电路点 K1，其漏极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2，其源极电性连接第一电路点 P；薄膜晶体管 T9，其栅极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2，其漏极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2，其源极电性连接第二电路点 K1。

所述第一电路点 P1 可以周期性受第一低频时钟信号 LC1 或第二低频时钟信号 LC2 的充电而处于高电位，从而控制薄膜晶体管 T5 的打开，以维持第 n 级水平扫描线 G(n) 在非充电时期的低电位；所述薄膜晶体管 T6 与薄膜晶体管 T7 可在第 n 级栅极信号点 Q(n) 处于高电位时打开，而将第一电路点 P1 电位拉低以关闭薄膜晶体管 T5，使之不影响第 n 级水平扫描线 G(n) 充电。

所述上拉控制电路模块包括薄膜晶体管 T10，其栅极输入第 n-3 级栅极信号点 Q(n-3)，漏极和源极分别电性连接第 n-2 级水平扫描线 G(n-2) 和第 n 级栅极信号点 Q(n)，所述第 n-3 级栅极信号点 Q(n-3) 控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管 T10 的打开。

所述第 n 级栅极信号点 Q(n) 的下拉电路模块包括薄膜晶体管 T0，其栅极输入第 n 级时钟信号 CK(n)，漏极和源极分别电性连接于第 n 级栅极信号点 Q(n) 与第 n 级水平扫描线 G(n)。

所述 GOA 单元采用 10 个薄膜晶体管元件。

在显示面板的左、右两侧都需要一条金属线来传输第一低频时钟信号 LC1 或第二低频时钟信号 LC2。

采用 Eldo SPICE 软件模拟，在第一低频时钟信号 LC1 处于开启状态时及第二低频时钟信号 LC2 处于开启状态时均能正常输出第 n 级水平扫描线 G(n) 的波形，且两种情况下的第 n 级水平扫描线 G(n) 的波形基本重合。

本发明还提供一种用于平板显示的互补型 GOA 电路，包括：级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线 G(n) 充电，该第 n 级 GOA 单元包括上拉电路模块、下拉电路模块、下拉维持电路模块、上拉控制电路模块、第 n 级栅极信号点 Q(n) 的下拉电路模块、及自举电容 Cb1；所述上拉电路模块、下拉电路模块、下拉维持电路模块、第 n 级栅极信号点 Q(n) 的下拉电路模块、及自举电容 Cb1 分别与第 n 级栅极信号点 Q(n) 及该第 n 级水平扫描线 G(n) 电性连接，所述上拉控制电路模块与该第 n 级栅极信号点 Q(n) 电性连接；

所述上拉电路模块包括：直接控制给显示区域第 n 级水平扫描线 G(n)

进行充电的薄膜晶体管 T1, 其栅极电性连接于第 n 级栅极信号点 Q(n), 薄膜晶体管 T1 的漏极和源极分别输入该第 n 级时钟信号 CK(n) 和连接该第 n 级水平扫描线 G(n), 所述薄膜晶体管 T1 栅极的第 n 级栅极信号点 Q(n) 的电位可直接影响该第 n 级时钟信号 CK(n) 对第 n 级水平扫描线 G(n) 充电;

5 所述下拉电路模块包括: 在充电结束时对第 n 级水平扫描线 G(n) 进行放电的薄膜晶体管 T3 与对第 n 级栅极信号点 Q(n) 进行放电的薄膜晶体管 T4; 薄膜晶体管 T3 的栅极电性连接于第 n+2 级水平扫描线 G(n+2), 漏极和源极分别电性连接第 n 级水平扫描线 G(n) 与输入直流低电压 VSS; 薄膜晶体管 T4 的栅极电性连接于该第 n+2 级水平扫描线 G(n+2), 薄膜晶体管 T4 的漏极和源极分别连接第 n 级栅极信号点 Q(n) 和输入直流低电压 VSS, 10 薄膜晶体管 T3 与薄膜晶体管 T4 可以在第 n+2 级水平扫描线 G(n+2) 处于高电位时打开进行放电;

所述下拉维持电路模块包括: 薄膜晶体管 T5, 其栅极电性连接于第一电路点 P1, 漏极和源极分别连接第 n 级水平扫描线 G(n) 和输入直流低电压 VSS; 薄膜晶体管 T6, 其栅极电性连接于第 n 级栅极信号点 Q(n), 漏极和源极分别电性连接于第二电路点 K1 和输入直流低电压 VSS; 薄膜晶体管 T7, 其栅极电性连接于第 n 级栅极信号点 Q(n), 漏极和源极分别电性连接于第一电路点 P1 和输入直流低电压 VSS; 薄膜晶体管 T8, 其栅极电性连接于第二电路点 K1, 其漏极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2, 其源极电性连接第一电路点 P; 薄膜晶体管 T9, 其栅极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2, 其漏极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2, 其源极电性连接第二电路点 K1; 20

所述第一电路点 P1 可以周期性受第一低频时钟信号 LC1 或第二低频时钟信号 LC2 的充电而处于高电位, 从而控制薄膜晶体管 T5 的打开, 以维持第 n 级水平扫描线 G(n) 在非充电时期的低电位; 所述薄膜晶体管 T6 与薄膜晶体管 T7 可在第 n 级栅极信号点 Q(n) 处于高电位时打开, 而将第一电路点 P1 电位拉低以关闭薄膜晶体管 T5, 使之不影响第 n 级水平扫描线 G(n) 充电; 25

所述上拉控制电路模块包括薄膜晶体管 T10, 其栅极输入第 n-3 级栅极信号点 Q(n-3), 漏极和源极分别电性连接第 n-2 级水平扫描线 G(n-2) 和第 n 级栅极信号点 Q(n), 所述第 n-3 级栅极信号点 Q(n-3) 控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管 T10 的打开; 30

所述第 n 级栅极信号点 Q(n) 的下拉电路模块包括薄膜晶体管 T0, 其栅极输入第 n 级时钟信号 CK(n), 漏极和源极分别电性连接于第 n 级栅极信号点 Q(n) 与第 n 级水平扫描线 G(n);

所述 GOA 单元采用 10 个薄膜晶体管元件；

在显示面板的左、右两侧都需要一条金属线来传输第一低频时钟信号 LC1 或第二低频时钟信号 LC2；

采用 Eldo SPICE 软件模拟，在第一低频时钟信号 LC1 处于开启状态时  
5 及第二低频时钟信号 LC2 处于开启状态时均能正常输出第  $n$  级水平扫描线  $G(n)$  的波形，且两种情况下的第  $n$  级水平扫描线  $G(n)$  的波形基本重合。

本发明的有益效果：本发明提供一种用于平板显示的互补型 GOA 电路，通过显示面板左右两边 GOA 电路的下拉维持电路模块( $G(n)$  pull down)进行互补的方法，来减小 GOA 电路的下拉维持电路模块的尺寸，从而缩减  
10 GOA 电路的尺寸，缩减 GOA 电路的尺寸可以使 GOA 电路更适合用于窄边框或无边框的显示产品，并且可以减少 GOA 电路区在显示面板制作过程中受尘埃影响的机会，有利于面板良率的提升。并且，本发明中 GOA 电路的上、下级之间的信号传递方法相较于目前主流的方法做了改进，用一个峰值电压更高的第  $n-3$  级栅极信号点  $Q(n-3)$  来控制负责 GOA 电路的上、下级  
15 之间信号传递的薄膜晶体管的打开，使 GOA 电路上、下级之间的信号传递受薄膜晶体管阈值电压漂移的影响较目前方法更小，因此，可使 GOA 电路的输出受薄膜晶体管元件阈值电压漂移的影响变小，应用本发明的 GOA 电路可以制作窄边框或无边框的平板显示产品。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本  
20 发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

## 附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的  
25 的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有用于平板显示的 GOA 电路的单级架构示意图；

图 2 为现有用于平板显示的 GOA 电路的多级架构示意图；

图 3 为本发明用于平板显示的互补型 GOA 电路的单级架构示意图；

30 图 4 为本发明用于平板显示的互补型 GOA 电路的时序图；

图 5 为本发明用于平板显示的互补型 GOA 电路的多级架构示意图；

图 6 为本发明用于平板显示的互补型 GOA 电路的输出波形的模拟图。

## 具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。栅极驱动模块包括：

请参阅图 3，为本发明用于平板显示的互补型 GOA 电路的单级架构示意图。包括：级联的多个 GOA 单元，按照第  $n$  级 GOA 单元控制对显示区域第  $n$  级水平扫描线  $G(n)$  充电，该第  $n$  级 GOA 单元包括上拉电路模块 1、下拉电路模块 2、下拉维持电路模块 3、上拉控制电路模块 4、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块 5、及自举电容  $Cb1$ ；所述上拉电路模块 1、下拉电路模块 2、下拉维持电路模块 3、第  $n$  级栅极信号点  $Q(n)$  的下拉电路模块 5、及自举电容  $Cb1$  分别与第  $n$  级栅极信号点  $Q(n)$  及该第  $n$  级水平扫描线  $G(n)$  电性连接，所述上拉控制电路模块 4 与该第  $n$  级栅极信号点  $Q(n)$  电性连接；

所述上拉电路模块 1 包括：直接控制给显示区域第  $n$  级水平扫描线  $G(n)$  进行充电的薄膜晶体管  $T1$ ，其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ ，薄膜晶体管  $T1$  的漏极和源极分别输入该第  $n$  级时钟信号  $CK(n)$  和连接该第  $n$  级水平扫描线  $G(n)$ ，所述薄膜晶体管  $T1$  栅极的第  $n$  级栅极信号点  $Q(n)$  的电位可直接影响该第  $n$  级时钟信号  $CK(n)$  对第  $n$  级水平扫描线  $G(n)$  充电；

所述下拉电路模块 2 包括：在充电结束时对第  $n$  级水平扫描线  $G(n)$  进行放电的薄膜晶体管  $T3$  与对第  $n$  级栅极信号点  $Q(n)$  进行放电的薄膜晶体管  $T4$ ；薄膜晶体管  $T3$  的栅极电性连接于第  $n+2$  级水平扫描线  $G(n+2)$ ，漏极和源极分别电性连接第  $n$  级水平扫描线  $G(n)$  与输入直流低电压  $VSS$ ；薄膜晶体管  $T4$  的栅极电性连接于该第  $n+2$  级水平扫描线  $G(n+2)$ ，薄膜晶体管  $T4$  的漏极和源极分别连接第  $n$  级栅极信号点  $Q(n)$  和输入直流低电压  $VSS$ ，薄膜晶体管  $T3$  与薄膜晶体管  $T4$  可以在第  $n+2$  级水平扫描线  $G(n+2)$  处于高电位时打开进行放电；

所述下拉维持电路模块 3 包括的一组薄膜晶体管可以在 GOA 电路非充电时期保持第  $n$  级水平扫描线  $G(n)$  的低电位。所述下拉维持电路模块 3 包括：薄膜晶体管  $T5$ ，其栅极电性连接于第一电路点  $P1$ ，漏极和源极分别连接第  $n$  级水平扫描线  $G(n)$  和输入直流低电压  $VSS$ ；薄膜晶体管  $T6$ ，其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ ，漏极和源极分别电性连接于第二电路点  $K1$  和输入直流低电压  $VSS$ ；薄膜晶体管  $T7$ ，其栅极电性连接于第  $n$  级栅极信号点  $Q(n)$ ，漏极和源极分别电性连接于第一电路点  $P1$  和输入直流低电压  $VSS$ ；薄膜晶体管  $T8$ ，其栅极电性连接于第二电路点  $K1$ ，其漏极输入第一低频时钟信号  $LC1$  或第二低频时钟信号  $LC2$ ，其源极电性连接第一电路点  $P$ ；薄膜晶体管  $T9$ ，其栅极输入第一低频时钟信号  $LC1$  或第二低频

时钟信号 LC2, 其漏极输入第一低频时钟信号 LC1 或第二低频时钟信号 LC2, 其源极电性连接第二电路点 K1; 所述第一电路点 P1 可以周期性受第一低频时钟信号 LC1 或第二低频时钟信号 LC2 的充电而处于高电位, 从而控制薄膜晶体管 T5 的打开, 以维持第 n 级水平扫描线 G(n) 在非充电时期的低电位, 并避免薄膜晶体管长时间受栅极电压应力的影响; 所述薄膜晶体管 T6 与薄膜晶体管 T7 可在第 n 级栅极信号点 Q(n) 处于高电位时打开, 而将第一电路点 P1 电位拉低以关闭薄膜晶体管 T5, 使之不影响第 n 级水平扫描线 G(n) 充电。

所述上拉控制电路模块 4 包括薄膜晶体管 T10, 其栅极输入第 n-3 级栅极信号点 Q(n-3), 漏极和源极分别电性连接第 n-2 级水平扫描线 G(n-2) 和第 n 级栅极信号点 Q(n); 所述第 n-3 级栅极信号点 Q(n-3) 控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管 T10 的打开, 所述薄膜晶体管 T10 可以控制将第 n-3 级 GOA 电路的栅极信号点 Q(n-3) 信号传递给本级 GOA 电路, 使 GOA 信号可以逐级传递;

所述第 n 级栅极信号点 Q(n) 的下拉电路模块 5 包括薄膜晶体管 T0, 其栅极输入第 n 级时钟信号 CK(n), 漏极和源极分别电性连接于第 n 级栅极信号点 Q(n) 与第 n 级水平扫描线 G(n); 所述第 n 级栅极信号点 Q(n) 的下拉电路模块 5 可以在非充电时期维持第 n 级栅极信号点 Q(n) 的低电位。

所述第 n 级栅极信号点 Q(n) 与第 n 级水平扫描线 G(n) 之间连接有自举功能的自举电容 Cb1, 可在第 n 级水平扫描线 G(n) 电位提升时通过自举电容 Cb1 的耦合效应使第 n 级栅极信号点 Q(n) 电位提升, 从而获得更高的第 n 级栅极信号点 Q(n) 电位及更小的 GOA 充电信号的阻容延迟。

图 4 所示的本发明的 GOA 电路单级架构中 GOA 单元仅用了 10 个薄膜晶体管元件, 而如图 1 所示的目前用于平板显示的 GOA 电路单级架构中 GOA 单元采用 14 个薄膜晶体管元件。由此可见, 本发明可以通过显示面板两侧 GOA 电路的下拉维持电路模块互补的方法来减少 GOA 电路的薄膜晶体管元件个数。

如图 3 所示, 本发明中负责上、下级间信号传递的薄膜晶体管 T10 的栅极输入第 n-3 级栅极信号点 Q(n-3), 漏极和源极分别电性连接第 n-2 级水平扫描线 G(n-2) 和第 n 级栅极信号点 Q(n); 根据半导体器件物理常识, 如果要使第 n 级栅极信号点 Q(n) 接受到来自薄膜晶体管 T10 的充电, 薄膜晶体管 T10 的栅极与源极间的电压差  $V_{gs}$  须不小于其阈值电压  $V_{th}$ , 即  $V_{gs}-V_{th} \geq 0$ 。

请参阅图 4 并结合图 3, 图 4 为本发明用于平板显示的互补型 GOA 电

路的时序图。图 4 中  $t_1 \sim t_4$  为第  $n$  级水平扫描线  $G(n)$  充电前的准备时间,  $t_4 \sim t_5$  为  $G(n)$  的充电时间,  $t_5$  后第  $n$  级水平扫描线  $G(n)$  被放电。本发明用于平板显示的互补型 GOA 电路的工作过程为:  $t_1$  时, 第  $n-3$  级时钟信号  $CK(n-3)$  的电位开始抬升, 第  $n-3$  级栅极信号点  $Q(n-3)$  自举到高电位 (约等于 2 倍第  $n-3$  级水平扫描线  $G(n-3)$  的高电位), 但薄膜晶体管  $T_{10}$  的漏极电性连接的第  $n-2$  级水平扫描线  $G(n-2)$  为低电位, 第  $n$  级栅极信号点  $Q(n)$  未充电。  $t_2$  时, 第  $n-2$  级时钟信号  $CK(n-2)$  的电位开始抬升, 第  $n-2$  级水平扫描线  $G(n-2)$  被充至高电位, 第  $n-3$  级栅极信号点  $Q(n-3)$  仍维持高的自举电位 (明显高于第  $n-2$  级水平扫描线  $G(n-2)$  的高电位), 薄膜晶体管  $T_{10}$  打开给第  $n$  级栅极信号点  $Q(n)$  充电。第  $n$  级栅极信号点  $Q(n)$  电位抬升后, 可打开薄膜晶体管  $T_6$  与薄膜晶体管  $T_7$ , 从而拉低第一电路点  $P_1$  电位以关闭薄膜晶体管  $T_5$ , 使之不影响第  $n$  级水平扫描线  $G(n)$  充电。  $t_3$  时, 第  $n-3$  级时钟信号  $CK(n-3)$  的电位开始下降, 第  $n-3$  级栅极信号点  $Q(n-3)$  的电位也下降, 第  $n$  级水平扫描线  $G(n)$  维持高电位, 第  $n$  级栅极信号点  $Q(n)$  电位基本保持不变。  $t_4$  时, 第  $n$  级时钟信号  $CK(n)$  的电位开始抬升, 薄膜晶体管  $T_1$  打开, 第  $n$  级栅极信号点  $Q(n)$  自举到更高电位并控制薄膜晶体管  $T_1$  给第  $n$  级水平扫描线  $G(n)$  充电, 第  $n$  级水平扫描线  $G(n)$  电位抬升。  $t_5$  时, 第  $n$  级时钟信号  $CK(n)$  开始下降, 第  $n+2$  级水平扫描线  $G(n+2)$  电位抬升, 薄膜晶体管  $T_3$  与薄膜晶体管  $T_4$  打开, 以确保第  $n$  级水平扫描线  $G(n)$  与第  $n$  级栅极信号点  $Q(n)$  被拉至低电位。薄膜晶体管  $T_6$  与薄膜晶体管  $T_7$  在第  $n$  级栅极信号点  $Q(n)$  电位拉低后关闭, 薄膜晶体管  $T_4$  与薄膜晶体管  $T_0$  可正常周期性打开, 以维持第  $n$  级水平扫描线  $G(n)$  与第  $n$  级栅极信号点  $Q(n)$  在非充电时期的低电位。

如图 4 所示, 本发明上拉控制电路模块 4 中薄膜晶体管  $T_{10}$  的栅极输入的第  $n-3$  级栅极信号点  $Q(n-3)$  在自举后的电位约是第  $n-2$  级水平扫描线  $G(n-2)$  高电位  $V_{G(n-2)}$  的 2 倍, 即  $2V_{G(n-2)}$ , 因此, 第  $n$  级栅极信号点  $Q(n)$  可被薄膜晶体管  $T_{10}$  充至约等于  $V_{G(n-2)}$ , 第  $n$  级栅极信号点  $Q(n)$  在自举前可被充至的电位不易受到薄膜晶体管  $T_{10}$  阈值电压  $V_{th}$  漂移的影响。

请参阅图 5 并结合图 3, 图 5 为本发明用于平板显示的互补型 GOA 电路的多级架构示意图。图 5 给出了本发明用于平板显示的互补型 GOA 电路的一种多级连接方法, 显示区域的每条扫描线 (gate line) 的两端连接有 GOA 电路 (其单级电路的架构可参见图 3), GOA 电路可以从左、右两边对扫描线进行充电和放电, 以获得均匀的充电效果。第一低频时钟信号  $LC_1$  与第二低频时钟信号  $LC_2$  中的一个低频时钟信号、直流低电压  $V_{SS}$ 、及四个高频时钟信号  $CK_1 \sim CK_4$  的金属线放置于面板两侧各级 GOA 电路的外围。数

个提供数据信号的数据线，数个提供扫描信号的扫描线，数个像素 P 阵列排布，每一像素 P 电性连接于一条数据线及一条扫描线；数个移位寄存器依序排列 S(n-3)、S(n-2)、S(n-1)、S(n)，每一移位寄存器分别输出一栅极信号，以扫描显示装置中对应的扫描线，各移位寄存器分别电性连接第一低频时钟信号 LC1 或第二低频时钟信号 LC2 中的一个低频时钟信号、直流低电压 VSS、四个高频时钟信号 CK1~CK4 中的一个高频时钟信号。具体地，第 n 级 GOA 电路分别接受第一低频时钟信号 LC1 或第二低频时钟信号 LC2 中的一个低频时钟信号、直流低电压 VSS、四个高频时钟信号 CK1~CK4 中的一个高频时钟信号、第 n-2 级 GOA 电路产生的第 n-2 级栅极信号以扫描显示装置中对应的扫描线 G(n-2)、第 n-3 级 GOA 电路产生的第 n-3 级栅极信号点 Q(n-3)、第 n+2 级 GOA 电路产生的第 n+2 级栅极信号以扫描显示装置中对应的扫描线 G(n+2)，并产生第 n 级栅极信号以扫描显示装置中对应的扫描线 G(n) 和第 n-3 级栅极信号点 Q(n)。图 5 所示的多级连接方法可以保证 GOA 信号能逐级传递，并且各级 GOA 电路可以逐级从左、右两边对显示区的水平扫描线进行充电和放电。

与背景技术中图 2 所示的 GOA 电路相比，图 2 所示的 GOA 电路在显示面板的左、右两侧都需要两条金属线来传输第一低频时钟信号 LC1 与第二低频时钟信号 LC2，而如图 5 所示的本发明的 GOA 电路在显示面板的左、右两侧都仅需要一条金属线来传输第一低频时钟信号 LC1 或第二低频时钟信号 LC2。

请参阅图 6 并结合图 3、图 5，图 6 为本发明用于平板显示的互补型 GOA 电路的输出波形的模拟图，采用的模拟软件为 Eldo SPICE 软件。依照本发明用 Eldo SPICE 软件建立多级 GOA 电路，并代入某显示面板生产线所制备的非晶硅薄膜晶体管元件的特性参数，对 GOA 电路在第一低频时钟信号 LC1 处于开启 (on) 状态及第二低频时钟信号 LC2 处于打开状态时的第 n 级水平扫描线 G(n) 的输出进行模拟。由图 6 的模拟结果可见，本发明用于平板显示的互补型 GOA 电路在第一低频时钟信号 LC1 处于开启状态时及第二低频时钟信号 LC2 处于开启状态时均能正常输出第 n 级水平扫描线 G(n) 的波形，且两种情况下的第 n 级水平扫描线 G(n) 的波形基本重合。Eldo SPICE 软件模拟结果显示本发明 GOA 电路可以正常给显示面板的扫描线充电。

综上所述，本发明提供一种用于平板显示的互补型 GOA 电路，通过显示面板左右两边 GOA 电路的下拉维持电路模块 (G(n) pull down) 进行互补的方法，来减小 GOA 电路的下拉维持电路模块的尺寸，从而缩减 GOA 电

路的尺寸，缩减 GOA 电路的尺寸可以使 GOA 电路更适合用于窄边框或无边框的显示产品，并且可以减少 GOA 电路区在显示面板制作过程中受尘埃影响的机会，有利于面板良率的提升。并且，本发明中 GOA 电路的上、下级之间的信号传递方法相较于目前主流的方法做了改进，用一个峰值电压更高的第  $n-3$  级栅极信号点  $Q(n-3)$  来控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管的打开，使 GOA 电路上、下级之间的信号传递受薄膜晶体管阈值电压漂移的影响较目前方法更小，因此，可使 GOA 电路的输出受薄膜晶体管元件阈值电压漂移的影响变小，应用本发明的 GOA 电路可以制作窄边框或无边框的平板显示产品。

10 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

## 权 利 要 求

1、一种用于平板显示的互补型 GOA 电路，包括：级联的多个 GOA 单元，按照第  $n$  级 GOA 单元控制对显示区域第  $n$  级水平扫描线充电，该第  $n$  级 GOA 单元包括上拉电路模块、下拉电路模块、下拉维持电路模块、上拉控制电路模块、第  $n$  级栅极信号点的下拉电路模块、及自举电容；所述上拉电路模块、下拉电路模块、下拉维持电路模块、第  $n$  级栅极信号点的下拉电路模块、及自举电容分别与第  $n$  级栅极信号点及该第  $n$  级水平扫描线电性连接，所述上拉控制电路模块与该第  $n$  级栅极信号点电性连接。

2、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述上拉电路模块包括：直接控制给显示区域第  $n$  级水平扫描线进行充电的薄膜晶体管，其栅极电性连接于第  $n$  级栅极信号点，薄膜晶体管的漏极和源极分别输入该第  $n$  级时钟信号和连接该第  $n$  级水平扫描线，所述薄膜晶体管栅极的第  $n$  级栅极信号点的电位可直接影响该第  $n$  级时钟信号对第  $n$  级水平扫描线充电。

3、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述下拉电路模块包括：在充电结束时对第  $n$  级水平扫描线进行放电的薄膜晶体管与对第  $n$  级栅极信号点进行放电的薄膜晶体管；薄膜晶体管的栅极电性连接于第  $n+2$  级水平扫描线，漏极和源极分别电性连接第  $n$  级水平扫描线与输入直流低电压；薄膜晶体管的栅极电性连接于该第  $n+2$  级水平扫描线，薄膜晶体管的漏极和源极分别连接第  $n$  级栅极信号点和输入直流低电压，薄膜晶体管与薄膜晶体管可以在第  $n+2$  级水平扫描线处于高电位时打开进行放电。

4、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述下拉维持电路模块包括：薄膜晶体管，其栅极电性连接于第一电路点，漏极和源极分别连接第  $n$  级水平扫描线和输入直流低电压；薄膜晶体管，其栅极电性连接于第  $n$  级栅极信号点，漏极和源极分别电性连接于第二电路点和输入直流低电压；薄膜晶体管，其栅极电性连接于第  $n$  级栅极信号点，漏极和源极分别电性连接于第一电路点和输入直流低电压；薄膜晶体管，其栅极电性连接于第二电路点，其漏极输入第一低频时钟信号或第二低频时钟信号，其源极电性连接第一电路点；薄膜晶体管，其栅极输入第一低频时钟信号或第二低频时钟信号，其漏极输入第一低频时钟信号或第二低频时钟信号，其源极电性连接第二电路点。

5 5、如权利要求 4 所述的用于平板显示的互补型 GOA 电路，其中，所述第一电路点可以周期性受第一低频时钟信号或第二低频时钟信号的充电而处于高电位，从而控制薄膜晶体管的打开，以维持第 n 级水平扫描线在非充电时期的低电位；所述薄膜晶体管与薄膜晶体管可在第 n 级栅极信号点处于高电位时打开，而将第一电路点电位拉低以关闭薄膜晶体管，使之不影响第 n 级水平扫描线充电。

10 6、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述上拉控制电路模块包括薄膜晶体管，其栅极输入第 n-3 级栅极信号点，漏极和源极分别电性连接第 n-2 级水平扫描线和第 n 级栅极信号点，所述第 n-3 级栅极信号点控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管的打开。

15 7、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述第 n 级栅极信号点的下拉电路模块包括薄膜晶体管，其栅极输入第 n 级时钟信号，漏极和源极分别电性连接于第 n 级栅极信号点与第 n 级水平扫描线。

8、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，所述 GOA 单元采用 10 个薄膜晶体管元件。

20 9、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，在显示面板的左、右两侧都需要一条金属线来传输第一低频时钟信号或第二低频时钟信号。

10、如权利要求 1 所述的用于平板显示的互补型 GOA 电路，其中，采用 Eldo SPICE 软件模拟，在第一低频时钟信号处于开启状态时及第二低频时钟信号处于开启状态时均能正常输出第 n 级水平扫描线的波形，且两种情况下的第 n 级水平扫描线的波形基本重合。

25 11、一种用于平板显示的互补型 GOA 电路，包括：级联的多个 GOA 单元，按照第 n 级 GOA 单元控制对显示区域第 n 级水平扫描线充电，该第 n 级 GOA 单元包括上拉电路模块、下拉电路模块、下拉维持电路模块、上拉控制电路模块、第 n 级栅极信号点的下拉电路模块、及自举电容；所述上拉电路模块、下拉电路模块、下拉维持电路模块、第 n 级栅极信号点的下拉电路模块、及自举电容分别与第 n 级栅极信号点及该第 n 级水平扫描线电性连接，所述上拉控制电路模块与该第 n 级栅极信号点电性连接；

其中，所述上拉电路模块包括：直接控制给显示区域第 n 级水平扫描线进行充电的薄膜晶体管，其栅极电性连接于第 n 级栅极信号点，薄膜晶体管的漏极和源极分别输入该第 n 级时钟信号和连接该第 n 级水平扫描线，

所述薄膜晶体管栅极的第  $n$  级栅极信号点的电位可直接影响该第  $n$  级时钟信号对第  $n$  级水平扫描线充电；

其中，所述下拉电路模块包括：在充电结束时对第  $n$  级水平扫描线进行放电的薄膜晶体管与对第  $n$  级栅极信号点进行放电的薄膜晶体管；薄膜晶体管的栅极电性连接于第  $n+2$  级水平扫描线，漏极和源极分别电性连接第  $n$  级水平扫描线与输入直流低电压；薄膜晶体管的栅极电性连接于该第  $n+2$  级水平扫描线，薄膜晶体管的漏极和源极分别连接第  $n$  级栅极信号点和输入直流低电压，薄膜晶体管与薄膜晶体管可以在第  $n+2$  级水平扫描线处于高电位时打开进行放电；

其中，所述下拉维持电路模块包括：薄膜晶体管，其栅极电性连接于第一电路点，漏极和源极分别连接第  $n$  级水平扫描线和输入直流低电压；薄膜晶体管，其栅极电性连接于第  $n$  级栅极信号点，漏极和源极分别电性连接于第二电路点和输入直流低电压；薄膜晶体管，其栅极电性连接于第  $n$  级栅极信号点，漏极和源极分别电性连接于第一电路点和输入直流低电压；薄膜晶体管，其栅极电性连接于第二电路点，其漏极输入第一低频时钟信号或第二低频时钟信号，其源极电性连接第一电路点；薄膜晶体管，其栅极输入第一低频时钟信号或第二低频时钟信号，其漏极输入第一低频时钟信号或第二低频时钟信号，其源极电性连接第二电路点；

其中，所述第一电路点可以周期性受第一低频时钟信号或第二低频时钟信号的充电而处于高电位，从而控制薄膜晶体管的打开，以维持第  $n$  级水平扫描线在非充电时期的低电位；所述薄膜晶体管与薄膜晶体管可在第  $n$  级栅极信号点处于高电位时打开，而将第一电路点电位拉低以关闭薄膜晶体管，使之不影响第  $n$  级水平扫描线充电；

其中，所述上拉控制电路模块包括薄膜晶体管，其栅极输入第  $n-3$  级栅极信号点，漏极和源极分别电性连接第  $n-2$  级水平扫描线和第  $n$  级栅极信号点，所述第  $n-3$  级栅极信号点控制负责 GOA 电路的上、下级之间信号传递的薄膜晶体管的打开；

其中，所述第  $n$  级栅极信号点的下拉电路模块包括薄膜晶体管，其栅极输入第  $n$  级时钟信号，漏极和源极分别电性连接于第  $n$  级栅极信号点与第  $n$  级水平扫描线；

其中，所述 GOA 单元采用 10 个薄膜晶体管元件；

其中，在显示面板的左、右两侧都需要一条金属线来传输第一低频时钟信号或第二低频时钟信号；

其中，采用 Eldo SPICE 软件模拟，在第一低频时钟信号处于开启状态

时及第二低频时钟信号处于开启状态时均能正常输出第  $n$  级水平扫描线的波形，且两种情况下的第  $n$  级水平扫描线的波形基本重合。



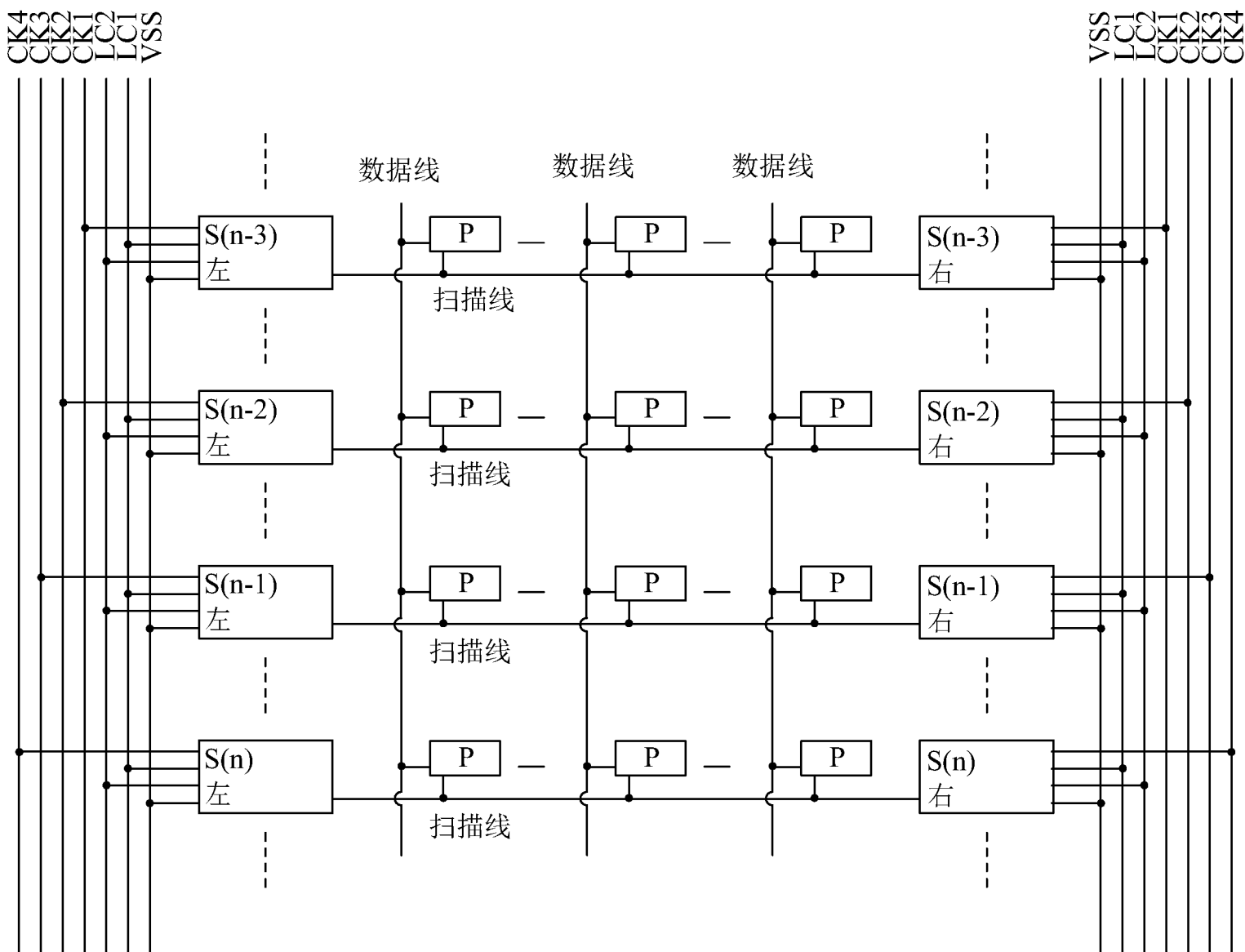


图2

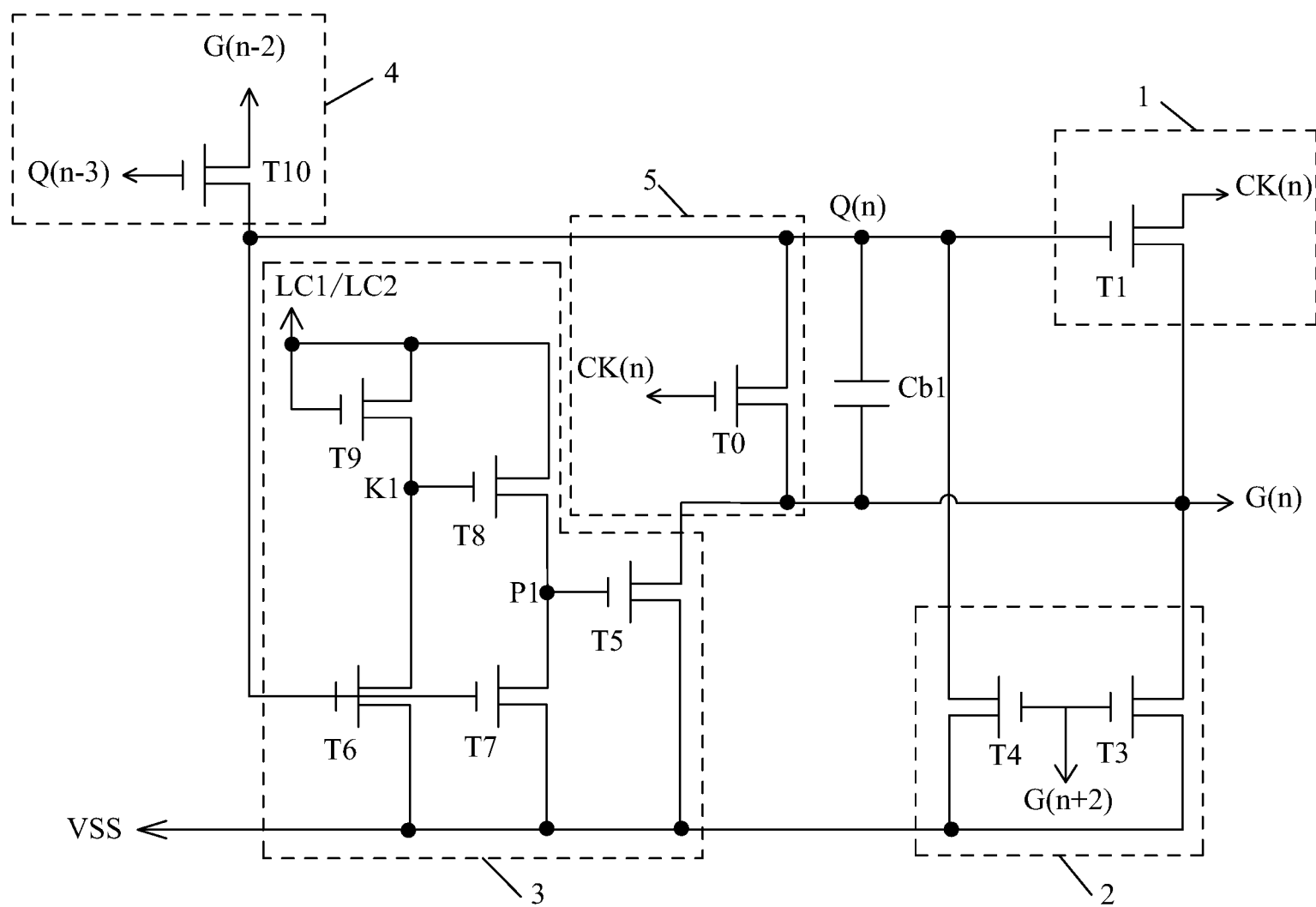


图3

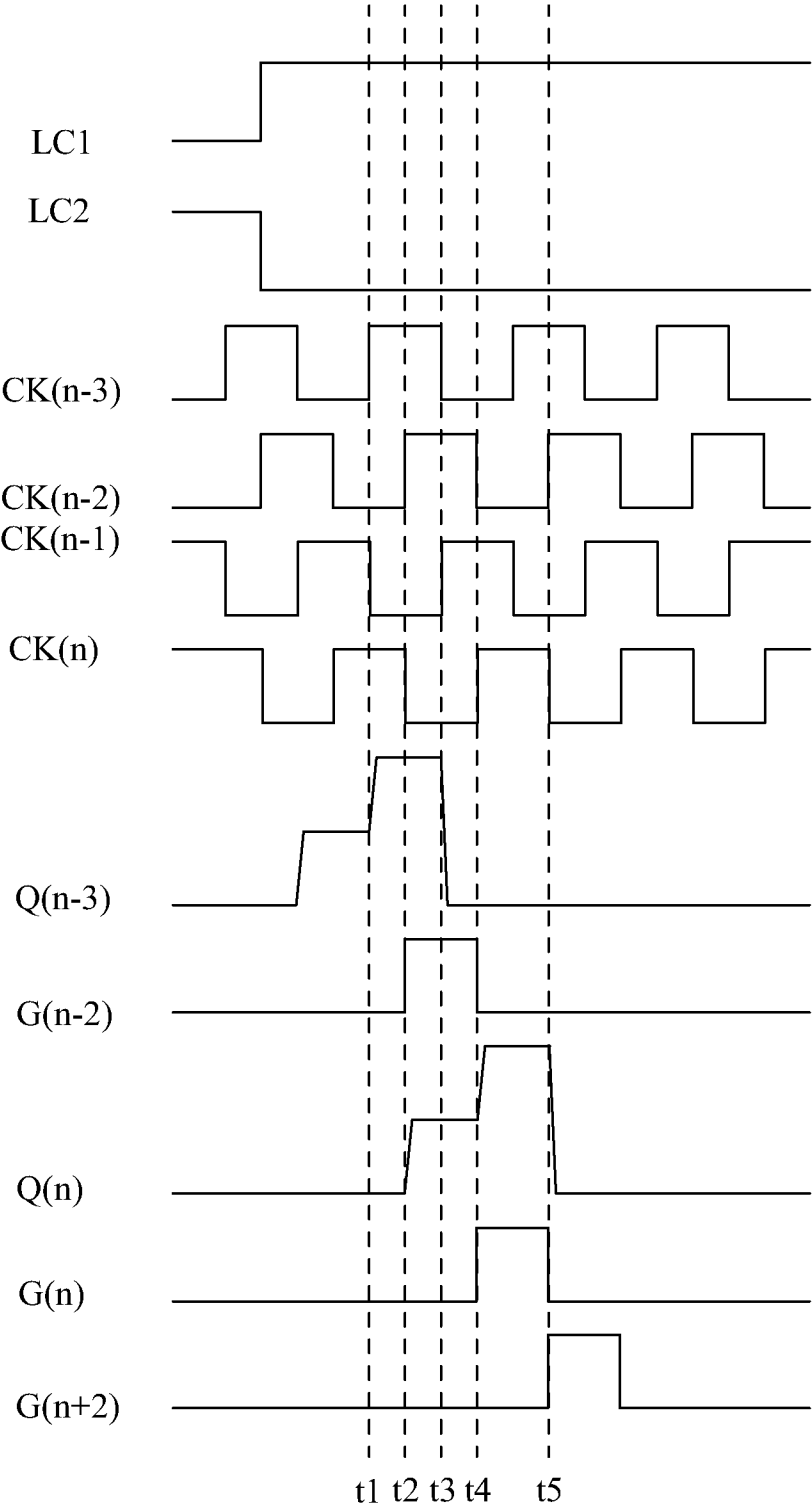


图4

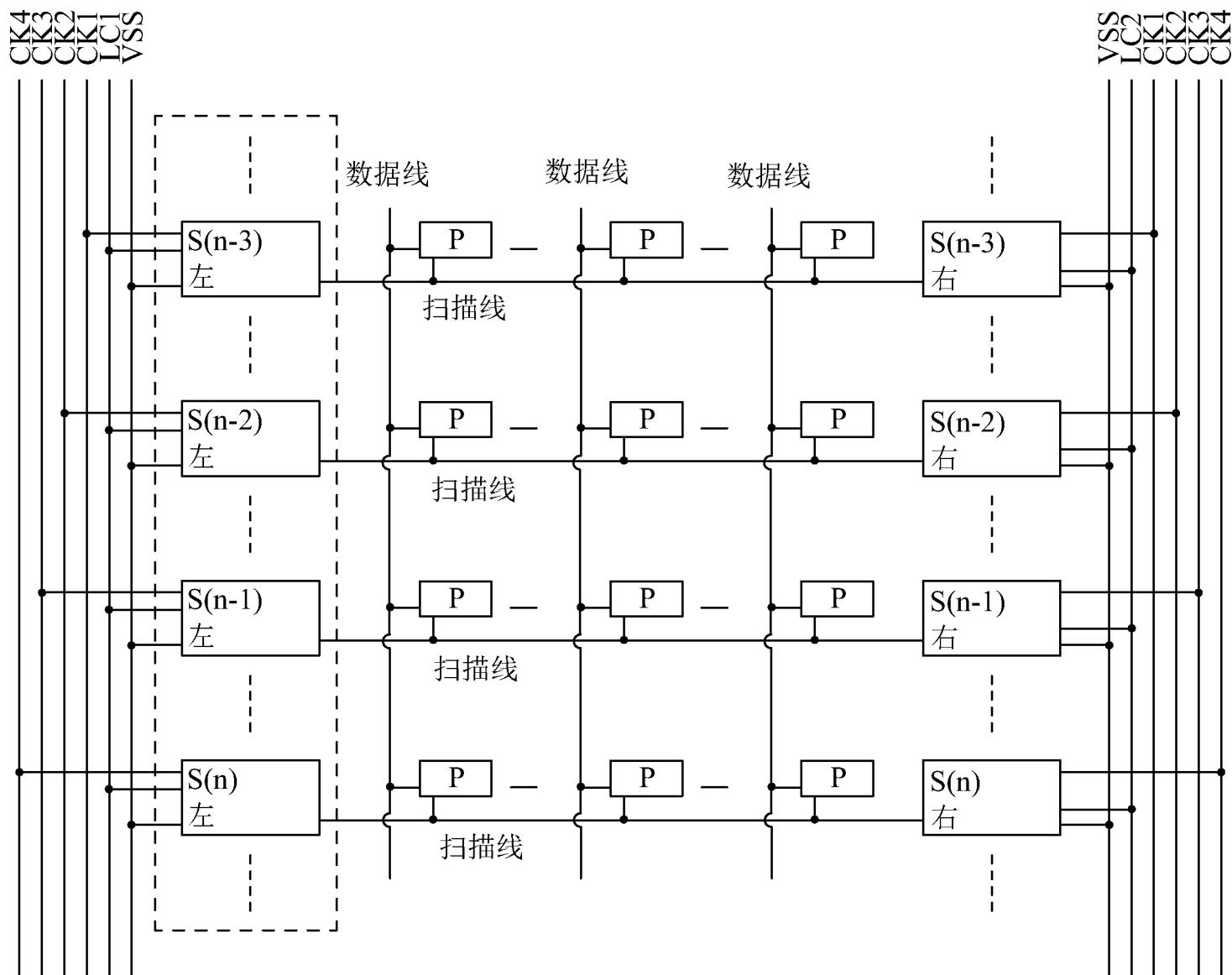


图5

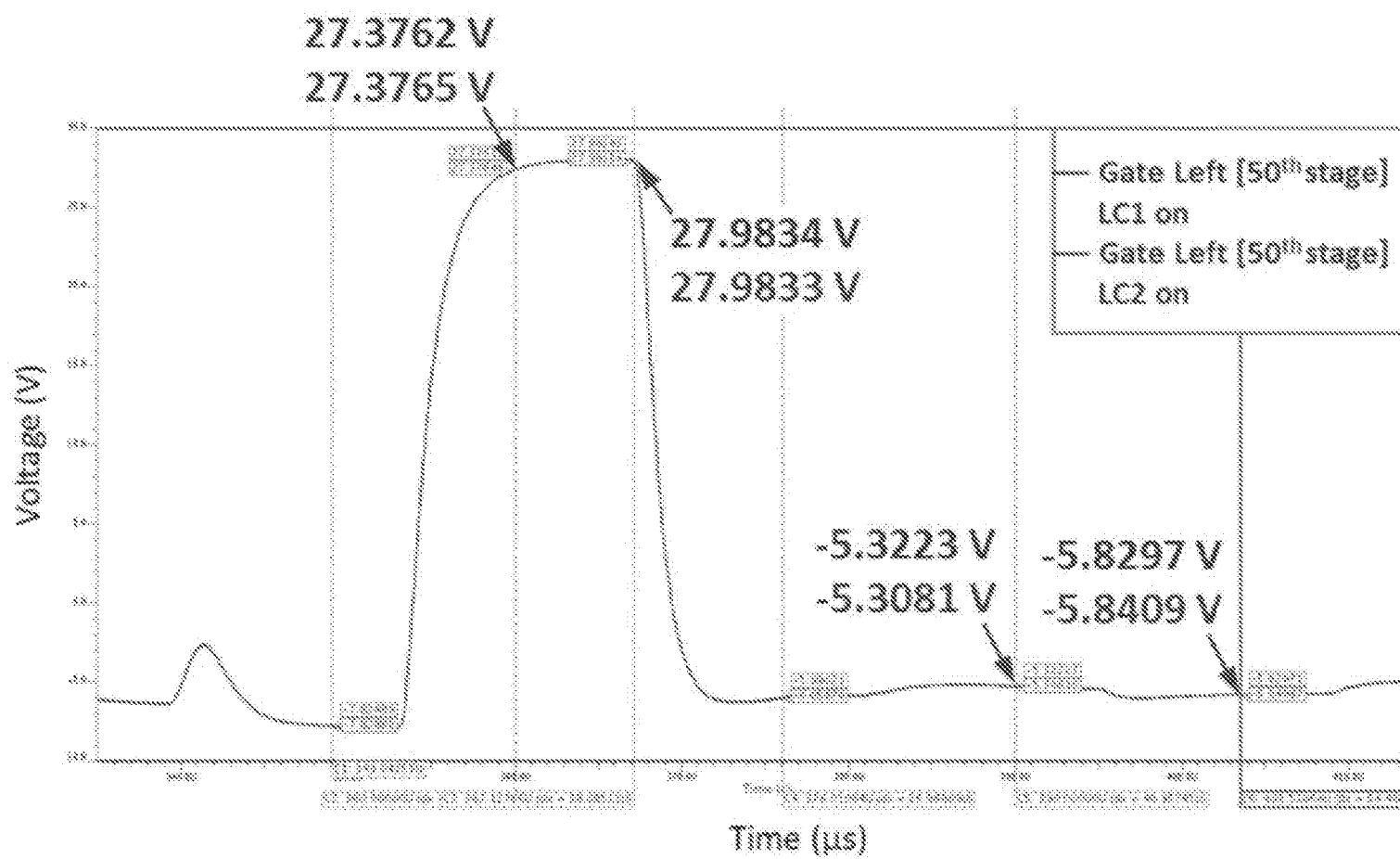


图6

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2014/082530**

## A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNABS, CNTXT, USTXT, CNKI, IEEE: gate driver on array, Gate driver array, GOA, pull 1w up, pull 1w down, maintain

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                           | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | CN 103680388 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), abstract, description, paragraphs 38-45, and figure 1 | 1-3, 7-10             |
| X         | CN 103680386 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), abstract, description, paragraphs 40-49, and figure 1 | 1-3, 8-10             |
| X         | CN 103680451 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 26 March 2014 (26.03.2014), abstract, description, paragraphs 36-43, and figure 1 | 1-3, 8-10             |
| A         | CN 103745700 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 April 2014 (23.04.2014), the whole document                                    | 1-11                  |
| A         | CN 103310755 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 18 September 2013 (18.09.2013), the whole document                                | 1-11                  |
| A         | US 2011150169 A1 (AU OPTRONICS CORP.), 23 June 2011 (23.06.2011), the whole document                                                                         | 1-11                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                                    |                                                                                           |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>15 December 2014 (15.12.2014)                                                                                                                         | Date of mailing of the international search report<br><b>09 January 2015 (09.01.2015)</b> |
| Name and mailing address of the ISA/CN:<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No.: (86-10) 62019451 | Authorized officer<br><b>WANG, Xun</b><br>Telephone No.: (86-10) <b>62413643</b>          |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2014/082530**

| Patent Documents referred<br>in the Report | Publication Date  | Patent Family  | Publication Date |
|--------------------------------------------|-------------------|----------------|------------------|
| CN 103680388 A                             | 26 March 2014     | None           |                  |
| CN 103680386 A                             | 26 March 2014     | None           |                  |
| CN 103680451 A                             | 26 March 2014     | None           |                  |
| CN 103745700 A                             | 23 April 2014     | None           |                  |
| CN 103310755 A                             | 18 September 2013 | None           |                  |
| US 2011150169 A1                           | 23 June 2011      | TW 201123728 A | 01 July 2011     |
|                                            |                   | TW I384756 B   | 01 February 2013 |
|                                            |                   | US 8098791 B2  | 17 January 2012  |

## 国际检索报告

国际申请号

PCT/CN2014/082530

## A. 主题的分类

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPDOC, WPI, CNABS, CNTXT, USTXT, CNKI, IEEE: 阵列基板行驱动, 上拉, 下拉, 维持, Gate driver array, GOA, pull lw up, pull lw down, maintain

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                     | 相关的权利要求  |
|------|---------------------------------------------------------------------------------------|----------|
| X    | CN 103680388 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26)<br>说明书摘要, 说明书38-45段, 附图1 | 1-3、7-10 |
| X    | CN 103680386 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26)<br>说明书摘要, 说明书40-49段, 附图1 | 1-3、8-10 |
| X    | CN 103680451 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26)<br>说明书摘要, 说明书36-43段, 附图1 | 1-3、8-10 |
| A    | CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23)<br>全文                    | 1-11     |
| A    | CN 103310755 A (深圳市华星光电技术有限公司) 2013年 9月 18日 (2013 - 09 - 18)<br>全文                    | 1-11     |
| A    | US 2011150169 A1 (AU OPTRONICS CORP.) 2011年 6月 23日 (2011 - 06 - 23)<br>全文             | 1-11     |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

## \* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2014年 12月 15日

国际检索报告邮寄日期

2015年 1月 09日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)  
北京市海淀区蓟门桥西土城路6号  
100088 中国

传真号 (86-10)62019451

授权官员

王迅

电话号码 (86-10)62413643

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/082530

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 |           |    | 公布日<br>(年/月/日) |
|-------------|------------|----|----------------|------|-----------|----|----------------|
| CN          | 103680388  | A  | 2014年 3月 26日   | 无    |           |    |                |
| CN          | 103680386  | A  | 2014年 3月 26日   | 无    |           |    |                |
| CN          | 103680451  | A  | 2014年 3月 26日   | 无    |           |    |                |
| CN          | 103745700  | A  | 2014年 4月 23日   | 无    |           |    |                |
| CN          | 103310755  | A  | 2013年 9月 18日   | 无    |           |    |                |
| US          | 2011150169 | A1 | 2011年 6月 23日   | TW   | 201123728 | A  | 2011年 7月 01日   |
|             |            |    |                | TW   | I384756   | B  | 2013年 2月 01日   |
|             |            |    |                | US   | 8098791   | B2 | 2012年 1月 17日   |

表 PCT/ISA/210 (同族专利附件) (2009年7月)