

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-80253
(P2006-80253A)

(43) 公開日 平成18年3月23日(2006.3.23)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 B	5 F O 3 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F O 8 3
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z	
HO 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 26 頁)

(21) 出願番号	特願2004-261859 (P2004-261859)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年9月9日(2004.9.9)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
		(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	丸田 昌直 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

最終頁に続く

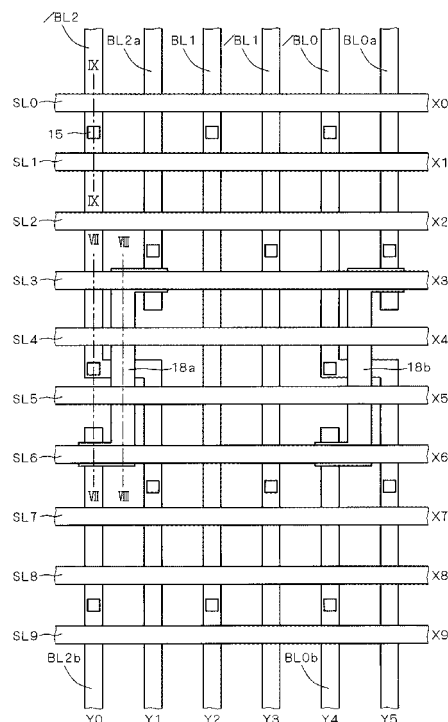
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ビット線交差方式を採用して隣接ビット線間の容量を低減する効果を維持しつつも、ダミーメモリセルを無くしてメモリセルアレイの面積の増大を回避し得る半導体記憶装置を得る。

【解決手段】第2配線層内には、交差配線18a, 18bとシャント配線SL0~SL2, SL7~SL9とが形成されている。交差領域TR3, TR4は、第X3~X6行に属している。シャント配線SL0~SL2, SL7~SL9は、交差領域TR3, TR4が属さない第X0~X2, X7~X9行にそれぞれ属している。第4配線層内には、シャント配線SL3~SL6が形成されている。シャント配線SL3~SL6は、交差領域TR3, TR4が属する第X3~X6行にそれぞれ属している。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

行列状に配設された複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイの行ごとに設けられた複数のワード線と、前記メモリセルアレイの列ごとに設けられた複数のビット線と、複数の配線層が積層された多層配線構造とを備える半導体記憶装置において、

前記複数のビット線には、ビット線本体部分が形成された配線層とは異なる第 1 の配線層内に形成された交差配線を用いて互いに交差する第 1 及び第 2 のビット線が含まれ、

前記複数のワード線には、

前記第 1 及び第 2 のビット線が交差する交差領域を通らない行に属する第 1 のワード線と、

前記交差領域を通る行に属する第 2 のワード線とが含まれ、

前記半導体記憶装置は、

前記第 1 のワード線に接続され、前記第 1 のワード線に沿って前記第 1 の配線層内に形成された第 1 の金属配線と、

前記第 2 のワード線に接続され、前記第 2 のワード線に沿って第 2 の配線層内に形成された第 2 の金属配線と

をさらに備える、半導体記憶装置。

【請求項 2】

前記第 2 のワード線及び前記第 2 の金属配線はそれぞれ複数であり、

複数の前記第 2 の金属配線は、所定ピッチで互いに平行に形成されており、

前記第 2 の配線層内において、最外端の前記第 2 の金属配線に対して前記所定ピッチかつ平行に形成され、前記第 2 の金属配線と同一の上面形状を有する、少なくとも一対の第 3 の金属配線をさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 2 の配線層内において行方向に延在して形成され、所定電位に固定された複数の第 3 の金属配線と、

第 3 の配線層内において列方向に延在して形成され、前記複数の第 3 の金属配線と電氣的に接続され、前記所定電位に固定された複数の第 4 の金属配線と

をさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 4】

平面視上前記第 2 の金属配線を覆うように、前記第 2 の配線層よりも上層の配線層内に形成され、所定電位に固定された金属膜をさらに備える、請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記複数のメモリセルのうち、前記第 2 のワード線に接続されたメモリセルは、冗長メモリセルとして割り当てられている、請求項 1 に記載の半導体記憶装置。

【請求項 6】

行列状に配設された複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイの行ごとに設けられた複数のワード線と、前記メモリセルアレイの列ごとに設けられた複数のビット線と、複数の配線層が積層された多層配線構造とを備える半導体記憶装置において、

前記複数のビット線には、ビット線本体部分が形成された配線層とは異なる第 1 の配線層内に形成された交差配線を用いて互いに交差する第 1 及び第 2 のビット線が含まれ、

前記複数のワード線には、

前記第 1 及び第 2 のビット線が交差する交差領域を通らない行に属する第 1 のワード線と、

前記交差領域を通る行に属する第 2 のワード線とが含まれ、

10

20

30

40

50

前記半導体記憶装置は、

前記第1のワード線に接続され、前記第1のワード線に沿って第2の配線層内に形成された第1の金属配線と、

前記第2のワード線に接続され、前記第2のワード線に沿って前記第2の配線層内に形成された第2の金属配線と

をさらに備える、半導体記憶装置。

【請求項7】

前記第1の配線層内に形成され、前記交差配線とは異なる他の配線をさらに備え、

前記他の配線は、前記交差配線を迂回して形成されている、請求項6に記載の半導体記憶装置。

10

【請求項8】

前記第1の配線層内に形成され、前記交差配線とは異なる他の配線をさらに備え、

前記交差配線と隣接する部分の前記他の配線の幅は、前記交差配線と隣接しない部分の前記他の配線の幅よりも狭い、請求項6に記載の半導体記憶装置。

【請求項9】

前記第1の配線層内に形成され、前記交差配線とは異なる他の配線をさらに備え、

前記他の配線は、前記交差配線を内包する枠状の上面形状を部分的に有している、請求項6に記載の半導体記憶装置。

【請求項10】

前記第2の金属配線の材質、幅、及び膜厚は、前記第1の金属配線の材質、幅、及び膜厚とそれぞれ同一である、請求項1又は6に記載の半導体記憶装置。

20

【請求項11】

前記交差領域内において、前記第1のビット線は、

第1の列に属する第1部分と、

前記第1の列に隣接する第2の列に属する第2部分と、

前記第1部分と前記第2部分とを接続する第3部分と

を有し、

前記交差領域内において、前記第2のビット線は、

前記第2の列に属して前記第1部分に隣接する第4部分と、

前記第1の列に属して前記第2部分に隣接し、前記交差配線を介して前記第4部分に接続された第5部分と

30

を有し、

前記第1部分と前記第2部分とは、前記第3部分の上面の中央点を中心として点対称の関係で配設されており、

前記第4部分と前記第5部分とは、前記中央点を中心として点対称の関係で配設されており、

前記交差配線は、前記中央点を中心として点対称の上面形状を有している、請求項1又は6に記載の半導体記憶装置。

【請求項12】

前記複数のビット線のうち、第 n 列に属するビット線は、第3の配線層内に形成されており、第 $(n+1)$ 列に属するビット線は、第4の配線層内に形成されている、請求項1又は6に記載の半導体記憶装置。

40

【請求項13】

前記第3及び第4の配線層は、低誘電率の層間絶縁膜を有する、請求項12に記載の半導体記憶装置。

【請求項14】

前記メモリセルアレイに隣接して配設されたセンスアンプ領域をさらに備え、

3点交差のビット線交差方式において、前記交差領域は、前記センスアンプ領域まで延在する部分を含めたビット線長を4等分することによって規定されている、請求項1～13のいずれか一つに記載の半導体記憶装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、隣接ビット線間の容量を低減するためにビット線交差方式が採用された半導体記憶装置の構造に関する。

【背景技術】

【0002】

半導体記憶装置は、行列状に配設された複数のメモリセルを有するメモリセルアレイと、メモリセルアレイの行ごとに設けられた複数のワード線と、メモリセルアレイの列ごとに設けられた複数のビット線とを備えている。このような半導体記憶装置において、メモリセルの高集積化が進むと、ビット線の形成ピッチが狭くなり、隣接ビット線間の容量に起因する干渉ノイズが無視できなくなる。この干渉ノイズを低減するために、相補ビット線対をメモリセルアレイ上の所定の箇所で交差させる、ビット線交差方式の半導体記憶装置が知られている。

10

【0003】

ビット線交差方式が採用された従来の半導体記憶装置では、ポリシリコンから成るワード線はゲート酸化膜を介して半導体基板上に形成され、金属から成るビット線は多層配線構造の第1層配線として形成され、相補ビット線対を交差させるための金属から成る交差配線は第2層配線として形成されている。そして、ワード線の抵抗を低減するためにワード線に沿って配設される金属配線（以下「シャント配線」と称する）は、交差配線と同じく第2層配線として形成されている。

20

【0004】

なお、ビット線交差方式が採用された従来の半導体記憶装置は、例えば下記特許文献1～8に開示されている。

【0005】

【特許文献1】特開2001-168300号公報

【特許文献2】特開平9-102588号公報

【特許文献3】特開平11-87641号公報

【特許文献4】特開平4-94569号公報

【特許文献5】特開平3-72674号公報

30

【特許文献6】特開平1-200663号公報

【特許文献7】特開平1-200662号公報

【特許文献8】米国特許第5550769号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記した従来の半導体記憶装置では、交差配線及びシャント配線がいずれも第2層配線として形成されているため、交差配線が形成されている領域（以下「交差領域」と称する）ではシャント配線を形成することができない。従って、シャント配線が形成されているか否かでワード線の抵抗の不均一が生じるため、交差領域を通る行に属するメモリセルは無効なメモリセル（ダミーメモリセル）として扱われている。回路レイアウトの関係から1つの交差領域に対して4行分のメモリセルが無効となるため、3点交差のビット線交差方式では、 $4 \times 3 = 12$ 行分のメモリセルがダミーメモリセルとなる。このように、従来の半導体記憶装置には、交差配線及びシャント配線が同一の配線層に形成されるため、ダミーメモリセルの存在に起因してメモリセルアレイの面積が増大するという問題がある。

40

【0007】

本発明はかかる問題を解決するために成されたものであり、ビット線交差方式を採用して隣接ビット線間の容量を低減する効果を維持しつつも、ダミーメモリセルを無くしてメモリセルアレイの面積の増大を回避し得る半導体記憶装置を得ることを目的とする。

50

【課題を解決するための手段】

【0008】

第1の発明に係る半導体記憶装置は、行列状に配設された複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイの行ごとに設けられた複数のワード線と、前記メモリセルアレイの列ごとに設けられた複数のビット線と、複数の配線層が積層された多層配線構造とを備える半導体記憶装置において、前記複数のビット線には、ビット線本体部分が形成された配線層とは異なる第1の配線層内に形成された交差配線を用いて互いに交差する第1及び第2のビット線が含まれ、前記複数のワード線には、前記第1及び第2のビット線が交差する交差領域を通らない行に属する第1のワード線と、前記交差領域を通る行に属する第2のワード線とが含まれ、前記半導体記憶装置は、前記第1のワード線に接続され、前記第1のワード線に沿って前記第1の配線層内に形成された第1の金属配線と、前記第2のワード線に接続され、前記第2のワード線に沿って第2の配線層内に形成された第2の金属配線とをさらに備える。

10

【0009】

第2の発明に係る半導体記憶装置は、行列状に配設された複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイの行ごとに設けられた複数のワード線と、前記メモリセルアレイの列ごとに設けられた複数のビット線と、複数の配線層が積層された多層配線構造とを備える半導体記憶装置において、前記複数のビット線には、ビット線本体部分が形成された配線層とは異なる第1の配線層内に形成された交差配線を用いて互いに交差する第1及び第2のビット線が含まれ、前記複数のワード線には、前記第1及び第2のビット線が交差する交差領域を通らない行に属する第1のワード線と、前記交差領域を通る行に属する第2のワード線とが含まれ、前記半導体記憶装置は、前記第1のワード線に接続され、前記第1のワード線に沿って第2の配線層内に形成された第1の金属配線と、前記第2のワード線に接続され、前記第2のワード線に沿って前記第2の配線層内に形成された第2の金属配線とをさらに備える。

20

【発明の効果】

【0010】

第1及び第2の発明によれば、ダミーメモリセルを無くしてメモリセルアレイの面積の増大を回避することができる。

【発明を実施するための最良の形態】

30

【0011】

実施の形態1.

図1は、3点交差のビット線交差方式が採用された半導体記憶装置の全体構成を簡略化して示す回路図である。メモリセルアレイ内におけるビット線BLの全長を4等分することによって領域AR1~AR4が規定され、各領域AR1~AR4の境界において、所定の相補ビット線対が交差されている。具体的には、ビット線BL1とビット線/BL1とは、領域AR1と領域AR2との境界に対応する交差領域TR1と、領域AR3と領域AR4との境界に対応する交差領域TR2とにおいて、それぞれ交差している。また、ビット線BL2とビット線/BL2とは、領域AR2と領域AR3との境界に対応する交差領域TR3において交差しており、ビット線BL0とビット線/BL0とは、領域AR2と領域AR3との境界に対応する交差領域TR4において交差している。

40

【0012】

例えばビット線BL1は、領域AR1においてはビット線/BL0と容量C1を構成し、領域AR2においてはビット線BL2と容量C2を構成し、領域AR3においてはビット線/BL2と容量C3を構成し、領域AR4においてはビット線BL0と容量C4を構成する。ビット線BL1に隣接するビット線BL0が例えばH(High)レベルになると、ビット線BL0の相補ビット線であるビット線/BL0はL(Low)レベルとなる。その結果、ビット線BL1がHレベルのビット線BL0から受ける容量C4に起因する干渉ノイズは、Lレベルのビット線/BL0から受ける容量C1に起因する干渉ノイズによって打ち消される。同様に、ビット線BL1がビット線BL2から受ける容量C2に起因する

50

干渉ノイズは、ビット線 / B L 2 から受ける容量 C 3 に起因する干渉ノイズによって打ち消される。

【 0 0 1 3 】

図 2 は、メモリセルアレイのレイアウト構成を示す上面図である。図 2 では、10 行 × 6 列分のレイアウト構成のみを抜き出して示している。所定の形成パターンを有する素子分離絶縁膜 3 によって、複数の素子形成領域 A C が行列状に規定されている。行方向（紙面の左右方向）で互いに隣接する素子形成領域 A C 同士は、列方向（紙面の上下方向）に関する素子形成領域 A C のピッチの 1 / 2 だけ、列方向にずれて形成されている。つまり、いわゆるハーフピッチのレイアウト構成を成している。

【 0 0 1 4 】

また、行方向に延在する複数のワード線 W L 0 ~ W L 9 が、列方向に等間隔に並んで形成されている。1 つの素子形成領域 A C 上に 2 本のワード線 W L が形成されることにより、各素子形成領域 A C ごとに 2 個のメモリセルが構成されている。各メモリセルはキャパシタ 1 3 を備えており、キャパシタ 1 3 は、コンタクトプラグ 9 を介して素子形成領域 A C に接続されている。

【 0 0 1 5 】

図 3 ~ 6 は、本発明の実施の形態 1 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。図 3 は第 1 配線層の構造を示しており、図 4 は第 1 配線層を含めて第 2 配線層の構造を示しており、図 5 は第 1 及び第 2 配線層を含めて第 3 配線層の構造を示しており、図 6 は第 1 及び第 2 配線層を含めて第 4 配線層の構造を示している。

【 0 0 1 6 】

図 3 を参照して、第 1 配線層内には、複数のビット線 B L が形成されている。ビット線 / B L 2 は、第 Y 0 列及び第 Y 1 列に属している。ビット線 / B L 2 のうち第 Y 0 列に属する部分と第 Y 1 列に属する部分とは、第 1 配線層内で互いに繋がっている。ビット線 B L 2 は、第 Y 1 列に属する部分（ビット線 B L 2 a ）と、第 Y 0 列に属する部分（ビット線 B L 2 b ）とを有している。ビット線 B L 2 a とビット線 B L 2 b とは、第 1 配線層内では互いに分離されている。ビット線 B L 1 は第 Y 2 列に属し、ビット線 / B L 1 は第 Y 3 列に属する。ビット線 / B L 0 は、第 Y 4 列及び第 Y 5 列に属している。ビット線 / B L 0 のうち第 Y 4 列に属する部分と第 Y 5 列に属する部分とは、第 1 配線層内で互いに繋がっている。ビット線 B L 0 は、第 Y 5 列に属する部分（ビット線 B L 0 a ）と、第 Y 4 列に属する部分（ビット線 B L 0 b ）とを有している。ビット線 B L 0 a とビット線 B L 0 b とは、第 1 配線層内では互いに分離されている。各ビット線 B L は、所定の箇所に形成されたコンタクトプラグ 1 5 を介して、図 2 に示した素子形成領域 A C にそれぞれ接続されている。

【 0 0 1 7 】

図 4 を参照して、第 2 配線層内には、交差配線 1 8 a , 1 8 b とシャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 とが形成されている。交差配線 1 8 a は交差領域 T R 3 内に形成されており、交差配線 1 8 b は交差領域 T R 4 内に形成されている。交差領域 T R 3 , T R 4 は、第 X 3 ~ X 6 行に属している。

【 0 0 1 8 】

交差領域 T R 3 に関して、交差配線 1 8 a は、コンタクトプラグ 1 9 a を介してビット線 B L 2 a に接続された一端と、コンタクトプラグ 1 9 b を介してビット線 B L 2 b に接続された他端とを有している。つまり、第 1 配線層内に形成されたビット線 B L 2 a とビット線 B L 2 b とは、第 2 配線層内に形成された交差配線 1 8 a 及びコンタクトプラグ 1 9 a , 1 9 b を介して、互いに接続されている。交差領域 T R 4 に関して同様に、第 1 配線層内に形成されたビット線 B L 0 a とビット線 B L 0 b とは、第 2 配線層内に形成された交差配線 1 8 b 及びコンタクトプラグ 1 9 c , 1 9 d を介して、互いに接続されている。

【 0 0 1 9 】

シャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 は、交差領域 T R 3 , T R 4 が属さない

10

20

30

40

50

第 X 0 ~ X 2 , X 7 ~ X 9 行にそれぞれ属している。シャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 は、図 2 に示したワード線 W L 0 ~ W L 2 , W L 7 ~ W L 9 に沿ってそれぞれ形成されており、後述する杭打ち領域 2 7 内においてワード線 W L 0 ~ W L 2 , W L 7 ~ W L 9 にそれぞれ接続されている。

【 0 0 2 0 】

図 5 を参照して、第 3 配線層内には、G N D 電位又は V D D 電位を与える電源配線やグローバル I O 線 (G I O) 等の配線 2 1 が形成されている。図 5 に示した例では、配線 2 1 は列方向に沿って延在している。

【 0 0 2 1 】

図 6 を参照して、第 4 配線層内には、シャント配線 S L 3 ~ S L 6 が形成されている。シャント配線 S L 3 ~ S L 6 は、交差領域 T R 3 , T R 4 が属する第 X 3 ~ X 6 行にそれぞれ属している。シャント配線 S L 3 ~ S L 6 は、図 2 に示したワード線 W L 3 ~ W L 6 に沿ってそれぞれ形成されており、後述する杭打ち領域 2 7 内においてワード線 W L 3 ~ W L 6 にそれぞれ接続されている。

10

【 0 0 2 2 】

第 4 配線層内に形成されているシャント配線 S L 3 ~ S L 6 の材質、配線幅、及び膜厚を、第 2 配線層内に形成されているシャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 の材質、配線幅、及び膜厚と等しくすることにより、全てのシャント配線 S L 0 ~ S L 9 の抵抗値を同一に設定することができる。その結果、シャント配線 S L 0 ~ S L 9 によって低減されたワード線 W L 0 ~ W L 9 の実効的な抵抗値がほぼ等しくなり、メモリセルへのアクセス速度が行ごとにばらつくことを回避できる。後述する実施の形態 2 ~ 9 についても同様である。

20

【 0 0 2 3 】

図 7 ~ 9 は、それぞれ図 6 に示したライン VII - VII , VIII - VIII , IX - IX に沿った位置に関する断面構造を示す断面図である。図 7 を参照して、N ウェル 1 上に P ウェル 2 が形成されており、P ウェル 2 の上面内に素子分離絶縁膜 3 が形成されている。また、P ウェル 2 の上面内には、いずれも N 型のソース領域 4 及びドレイン領域 5 が形成されている。P ウェル 2 の上面上には、メモリセルトランジスタのゲート電極として機能するワード線 W L 4 , W L 5 が、ゲート酸化膜を介して形成されている。素子分離絶縁膜 3 上には、ワード線 W L 3 , W L 6 が形成されている。ワード線 W L の材質は、例えばポリシリコンである。ワード線 W L の側面及び上面上には、シリコン酸化膜やシリコン窒化膜等の絶縁膜 7 が形成されている。

30

【 0 0 2 4 】

例えば U S G 膜から成る層間絶縁膜 8 内には、コンタクトプラグ 9 が形成されている。ソース領域 4 は、コンタクトプラグ 9 を介してキャパシタ 1 3 に接続されている。キャパシタ 1 3 は、キャパシタ下部電極 1 0 、キャパシタ誘電体膜 1 1 、及びキャパシタ上部電極 1 2 を有している。

【 0 0 2 5 】

第 1 配線層は、層間絶縁膜 1 4 とビット線 / B L 2 , B L 2 b とを有している。層間絶縁膜 1 4 の材質は例えば U S G 膜であり、ビット線 / B L 2 , B L 2 b の材質は例えば銅又はアルミニウム等の金属である。ビット線 / B L 2 , B L 2 b はダマシンプロセスによって層間絶縁膜 1 4 の上面内に形成されており、第 1 配線層の上面は平坦化されている。ビット線 / B L 2 は、層間絶縁膜 1 4 , 8 内に形成されたコンタクトプラグ 1 5 を介して、ドレイン領域 5 に接続されている。

40

【 0 0 2 6 】

第 2 配線層は、層間絶縁膜 1 7 と交差配線 1 8 a とを有している。層間絶縁膜 1 7 の材質は例えば U S G 膜であり、交差配線 1 8 a の材質は例えば銅又はアルミニウム等の金属である。交差配線 1 8 a はダマシンプロセスによって層間絶縁膜 1 7 の上面内に形成されており、第 2 配線層の上面は平坦化されている。交差配線 1 8 a は、層間絶縁膜 1 7 内に形成されたコンタクトプラグ 1 9 を介して、ビット線 B L 2 b に接続されている。

50

【 0 0 2 7 】

第 3 配線層は、層間絶縁膜 2 0 と配線 2 1 とを有している。層間絶縁膜 2 0 の材質は例えば U S G 膜であり、配線 2 1 の材質は例えば銅又はアルミニウム等の金属である。配線 2 1 はダマシンプロセスによって層間絶縁膜 2 0 の上面内に形成されており、第 3 配線層の上面は平坦化されている。

【 0 0 2 8 】

第 4 配線層は、層間絶縁膜 2 2 とシャント配線 S L 3 ~ S L 6 とを有している。層間絶縁膜 2 2 の材質は例えば U S G 膜であり、シャント配線 S L 3 ~ S L 6 の材質は例えば銅又はアルミニウム等の金属である。シャント配線 S L 3 ~ S L 6 はダマシンプロセスによって層間絶縁膜 2 2 の上面内に形成されており、第 4 配線層の上面は平坦化されている。シャント配線 S L 3 ~ S L 6 は、それぞれワード線 W L 3 ~ W L 6 の上方に形成されている。

10

【 0 0 2 9 】

図 8 を参照して、交差配線 1 8 a は、第 2 配線層が有する層間絶縁膜 1 7 の上面内に形成されている。図 9 を参照して、シャント配線 S L 0 , S L 1 は、第 2 配線層が有する層間絶縁膜 1 7 の上面内に形成されている。シャント配線 S L 0 , S L 1 は、それぞれワード線 W L 0 , W L 1 の上方に形成されている。

【 0 0 3 0 】

図 1 0 は、本実施の形態 1 に係る半導体記憶装置の全体構成を示すブロック図である。メモリセルアレイは、所定本数のビット線 B L 及びワード線 W L ごとに、複数の領域（「マツト」とも称される）に分割されている。列方向に関するマツトの両側にはセンスアンブ帯 2 5 が配設されており、行方向に関するマツトの両側には杭打ち部 2 7 が形成されている。杭打ち部 2 7 においては、対応するワード線 W L とシャント配線 S L とが、コンタクトプラグを介して互いに接続されている。図 1 0 において、太線で示したシャント配線 S L は第 4 配線層内に形成されたシャント配線であり、その他のシャント配線 S L は第 2 配線層内に形成されたシャント配線である。3 点交差のビット線交差方式が採用されているため、合計 1 2 本のシャント配線 S L が第 4 配線層内に形成されている。また、各シャント配線 S L の下方に配設されている全てのワード線 W L は、ワードドライバ 2 6 に接続されている。シャント配線 S L によってワード線 W L の実効的な抵抗値が低下するため、ワードドライバ 2 6 から遠い位置に配設されているメモリセルにおいても、十分なアクセス速度を確保することができる。

20

30

【 0 0 3 1 】

このように本実施の形態 1 に係る半導体記憶装置によれば、ワード線 W L 0 ~ W L 2 , W L 7 ~ W L 9 は、第 2 配線層内に形成されたシャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 にそれぞれ接続されている。一方、ワード線 W L 3 ~ W L 6 に関しては、交差配線 1 8 a , 1 8 b の存在に起因して第 2 配線層内にシャント配線を形成することができないが、第 4 配線層内にシャント配線 S L 3 ~ S L 6 が形成されており、ワード線 W L 3 ~ W L 6 はシャント配線 S L 3 ~ S L 6 にそれぞれ接続されている。そのため、ワード線 W L 3 ~ W L 6 に接続されているメモリセルは、他のワード線 W L 0 ~ W L 2 , W L 7 ~ W L 9 に接続されているメモリセルと同様に、有効なメモリセルとして機能する。その結果、ダミーメモリセルが無くなるため、交差配線の存在に起因してメモリセルアレイの面積が増大することを回避することができる。

40

【 0 0 3 2 】

実施の形態 2 .

図 1 1 は、図 4 に示した交差領域 T R 3 の構造を拡大して示す上面図である。交差領域 T R 3 内において、ビット線 / B L 2 は、第 Y 0 列に属して列方向に延在する第 1 部分 3 0 と、第 Y 1 列に属して列方向に延在する第 2 部分 3 1 と、行方向に延在して第 1 部分 3 0 と第 2 部分 3 1 とを接続する第 3 部分 3 2 とを有している。第 1 部分 3 0 と第 2 部分 3 1 とは、行方向及び列方向に関する第 3 部分 3 2 の上面の中央点 3 5 を中心として、点対称の関係で配設されている。

50

【0033】

また、交差領域TR3内において、ビット線BL2aは第4部分33を有している。第4部分33は、第Y1列に属して列方向に延在し、ビット線/BL2の第1部分30に隣接する。同様に、交差領域TR3内において、ビット線BL2bは第5部分34を有している。第5部分34は、第Y0列に属して列方向に延在し、ビット線/BL2の第2部分31に隣接する。第4部分33と第5部分34とは、交差配線18aを介して互いに接続されている。また、第4部分33と第5部分34とは、中央点35を中心として点対称の関係で配設されている。

【0034】

また、交差配線18aは、中央点35を中心として点対称の上面形状を有している。図11に示した例では、交差配線18aは、中央点35を通過して列方向に延在する幹部分と、幹部分の上端から行方向(右方向)に突出する枝部分と、幹部分の下端から行方向(左方向)に突出する枝部分とを有している。

10

【0035】

図11では、交差領域TR3の構造について説明したが、図1に示した他の交差領域TR1, TR2, TR4の構造についても同様である。

【0036】

本実施の形態2に係る半導体記憶装置によれば、抵抗値や隣接ビット線との容量値等の電気特性を、互いに相補の関係にあるビット線BL2, /BL2間でほぼ等しくすることができる。

20

【0037】

本実施の形態2に係る発明は、後述する実施の形態3~9についても適用可能である。

【0038】

実施の形態3.

図12は、上記実施の形態1を基礎として、本発明の実施の形態3に係る第4配線層の構造を示す上面図である。複数のシャント配線SL3~SL6は、所定のピッチで等間隔かつ平行に形成されている。最外端のシャント配線SL3, SL6の外側には、一对の金属配線38, 39が、シャント配線SL3~SL6と平行に形成されている。金属配線38, 39は、シャント配線SL3~SL6と同一の上面形状を有しており、また、シャント配線SL3~SL6のピッチと同一のピッチで形成されている。つまり、シャント配線SL3とシャント配線SL4との間隔は、シャント配線SL3と金属配線38との間隔に等しく、シャント配線SL6とシャント配線SL5との間隔は、シャント配線SL6と金属配線39との間隔に等しい。

30

【0039】

図12には一对の金属配線38, 39のみを示したが、複数対の金属配線が形成されていてもよい。つまり、金属配線38, 39の外側に、金属配線38, 39と同一構造の追加の金属配線が、同一ピッチかつ平行に形成されていてもよい。

【0040】

本実施の形態3に係る半導体記憶装置によれば、シャント配線SL3~SL6を形成する際に金属配線38, 39を併せて形成することにより、シャント配線SL3~SL6の形成プロセスにおいて、金属配線38, 39は光学的ダミーパターンとして機能する。その結果、最外端のシャント配線SL3, SL6を精度良く形成できるため、仕上がり形状を全てのシャント配線SL3~SL6間で均一にすることができる。

40

【0041】

本実施の形態3に係る発明は、後述する実施の形態4~9についても適用可能である。

【0042】

実施の形態4.

図13は、上記実施の形態1を基礎として、本発明の実施の形態4に係る半導体記憶装置の構造の一部を抜き出して示す上面図である。第4配線層内には、シャント配線SL3~SL6と金属配線40とが形成されている。金属配線40は、シャント配線SL3~S

50

L 6 と平行に、行方向に延在して形成されている。金属配線 4 0 には、GND 電位、VDD 電位、ビット線プリチャージ電位、セルプレート電位、又はメモリセルの基板電位が供給されている。

【0043】

また、第 3 配線層内には、複数の金属配線 4 1 が形成されている。金属配線 4 1 は、金属配線 4 0 と直行するように、列方向に延在して形成されている。これにより、行方向に延在する金属配線 4 0 と列方向に延在する金属配線 4 1 とによって、金属配線群による網目構造が構成されている。

【0044】

金属配線 4 1 は、コンタクトプラグ 4 2 を介して、金属配線 4 0 に接続されている。金属配線 4 1 には、金属配線 4 0 の電位と同様に、GND 電位、VDD 電位、ビット線プリチャージ電位、セルプレート電位、又はメモリセルの基板電位が供給されている。

【0045】

なお、図 5 に示したように第 3 配線層内に配線 2 1 を形成する都合上、配線 2 1 とは別の電位が供給される配線 4 1 を第 3 配線層内に形成できない場合には、配線 4 1 を第 5 配線層内に形成することもできる。

【0046】

本実施の形態 4 に係る半導体記憶装置によれば、所定の電位が供給される金属配線 4 1 , 4 2 をメモリセルアレイの上方において網目状に張り巡らせることにより、電源から電位供給点に至るまでの電圧降下を回避でき、チップ性能の安定化を図ることができる。

【0047】

また、シャント配線 S L 3 ~ S L 6 と平行に延在する金属配線 4 0 を、シャント配線 S L 3 ~ S L 6 と同一の配線層（上記の例では第 4 配線層）内に形成したため、金属配線 4 0 を他の配線層（例えば第 5 配線層）内に形成する場合と比較すると、必要な配線層の数を削減することができる。

【0048】

本実施の形態 4 に係る発明は、後述する実施の形態 5 ~ 9 についても適用可能である。

【0049】

実施の形態 5 .

図 1 4 は、上記実施の形態 1 を基礎として、本発明の実施の形態 5 に係る半導体記憶装置の構造の一部を抜き出して示す上面図である。第 4 配線層内にはシャント配線 S L 3 ~ S L 6 が形成されており、第 4 配線層よりも上層の配線層（この例では第 5 配線層とする）内には、金属膜 4 4 が形成されている。図 1 4 に示すように、シャント配線 S L 3 ~ S L 6 は、平面視上、金属膜 4 4 によって完全に覆われている。また、金属膜 4 4 の電位は、GND 電位又は VDD 電位に固定されている。

【0050】

図 1 5 は、図 1 4 に示したライン XV - XV に沿った位置に関して、第 4 及び第 5 配線層の断面構造を示す断面図である。第 5 配線層は、例えば USG 膜から成る層間絶縁膜 4 5 と、ダマシプロセスによって層間絶縁膜 4 5 の上面内に形成された、例えば銅から成る金属膜 4 4 とを有している。

【0051】

本実施の形態 5 に係る半導体記憶装置によれば、金属膜 4 4 は外部ノイズからシャント配線 S L 3 ~ S L 6 を保護するシールドとして機能するため、半導体記憶装置の動作の安定化を図ることができる。

【0052】

なお、第 2 配線層内に形成されているシャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 に関しては、第 3 配線層内に複数形成されている配線 2 1（図 5 参照）がシールドとしても機能することとなる。

【0053】

本実施の形態 5 に係る発明は、後述する実施の形態 6 ~ 9 についても適用可能である。

10

20

30

40

50

【 0 0 5 4 】

実施の形態 6 .

図 1 6 は、本発明の実施の形態 6 に係る半導体記憶装置の全体構成を示すブロック図である。本実施の形態 6 に係る半導体記憶装置では、メモリセルアレイを構成する複数のメモリセルのうち、図 1 に示した交差領域 T R 1 ~ T R 4 のいずれかを通る行に属するワード線 W L に接続されたメモリセルを、救済用の冗長メモリセルとして割り当てる。図 1 6 において太線で示された合計 1 2 本のシャント配線 4 9 は、図 6 に示したように第 4 配線層内に形成されたシャント配線であり、いずれかの交差領域 T R を通るシャント配線である。そこで、本実施の形態 6 では、これらのシャント配線 4 9 に対応する合計 1 2 本のワード線 W L に接続されたメモリセルを、冗長メモリセルとして割り当てる。

10

【 0 0 5 5 】

第 2 配線層内に形成されたシャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 と、第 4 配線層内に形成されたシャント配線 S L 3 ~ S L 6 とでは、杭打ち部 2 7 においてシャント配線 S L とワード線 W L とを接続するためのコンタクトプラグの高さが異なる。そのため、厳密には、シャント配線 S L 0 ~ S L 2 , S L 7 ~ S L 9 に接続されたワード線 W L 0 ~ W L 2 , W L 7 ~ W L 9 と、シャント配線 S L 3 ~ S L 6 に接続されたワード線 W L 3 ~ W L 6 とでは、実効的な抵抗値がわずかに相違する。

【 0 0 5 6 】

そこで、本実施の形態 6 に係る半導体記憶装置のようにシャント配線 S L 3 ~ S L 6 に対応するメモリセルを冗長メモリセルとして割り当てることにより、冗長メモリセルではない正規のメモリセルに関しては、実効的なワード線 W L の抵抗値を均一にすることができる。しかも、従来の半導体記憶装置においてダミーメモリセルとして扱われていたメモリセルを冗長メモリセルとして活用できるため、新たに冗長メモリセルを形成するためにメモリセルアレイの面積が増大するという事態を回避することができる。

20

【 0 0 5 7 】

本実施の形態 6 に係る発明は、後述する実施の形態 8 , 9 についても適用可能である。

【 0 0 5 8 】

実施の形態 7 .

図 1 7 ~ 1 9 は、本発明の実施の形態 7 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。図 1 7 は第 1 配線層の構造を示しており、図 1 8 は第 1 配線層を含めて第 2 配線層の構造を示しており、図 1 9 は第 1 及び第 2 配線層を含めて第 3 配線層の構造を示している。

30

【 0 0 5 9 】

図 1 7 を参照して、第 1 配線層内には、複数のビット線 B L が形成されている。ビット線 B L 2 , / B L 2 , B L 1 , / B L 1 , B L 0 , / B L 0 の構造は、図 3 に示した構造と同様である。ビット線 B L 3 は第 Y 6 列に属し、ビット線 / B L 3 は第 Y 7 列に属する。図示は省略してあるが、各ビット線 B L は、所定の箇所に形成されたコンタクトプラグ 1 5 を介して、図 2 に示した素子形成領域 A C にそれぞれ接続されている。

【 0 0 6 0 】

図 1 8 を参照して、第 2 配線層内には、交差配線 1 8 a , 1 8 b と配線 5 0 とが形成されている。図 4 に示した構造と同様に、交差配線 1 8 a はビット線 B L 2 a とビット線 B L 2 b とを接続し、交差配線 1 8 b はビット線 B L 0 a とビット線 B L 0 b とを接続する。配線 5 0 は、図 5 に示した配線 2 1 と同様に、G N D 電位又は V D D 電位を与える電源配線やグローバル I O 線等の配線である。配線 5 0 は、交差配線 1 8 a , 1 8 b との接触を回避すべく、交差配線 1 8 a , 1 8 b を迂回するように折れ曲がって形成されている。

40

【 0 0 6 1 】

図 1 9 を参照して、第 3 配線層内には、シャント配線 S L 0 ~ S L 9 が形成されている。シャント配線 S L 0 ~ S L 9 は、それぞれ第 X 0 ~ X 9 行に属している。シャント配線 S L 0 ~ S L 9 は、図 2 に示したワード線 W L 0 ~ W L 9 に沿ってそれぞれ形成されており、図 1 0 , 1 6 に示した杭打ち領域 2 7 内においてワード線 W L 0 ~ W L 9 にそれぞれ

50

接続されている。

【0062】

図20は、図19に示したラインXX-XXに沿った位置に関して、第1～第3配線層の断面構造を示す断面図である。第1配線層は、層間絶縁膜14とビット線BL2a、/BL2とを有している。層間絶縁膜14の材質は例えばUSG膜であり、ビット線BL2a、/BL2の材質は例えば銅又はアルミニウム等の金属である。ビット線BL2a、/BL2はダマシンプロセスによって層間絶縁膜14の上面内に形成されており、第1配線層の上面は平坦化されている。

【0063】

第2配線層は、層間絶縁膜51、交差配線18a、及び配線50を有している。層間絶縁膜51の材質は例えばUSG膜であり、交差配線18a及び配線50の材質は例えば銅又はアルミニウム等の金属である。交差配線18a及び配線50はダマシンプロセスによって層間絶縁膜51の上面内に形成されており、第2配線層の上面は平坦化されている。

10

【0064】

第3配線層は、層間絶縁膜52とシャント配線SL0～SL9とを有している。層間絶縁膜52の材質は例えばUSG膜であり、シャント配線SL0～SL9の材質は例えば銅又はアルミニウム等の金属である。シャント配線SL0～SL9はダマシンプロセスによって層間絶縁膜52の上面内に形成されており、第3配線層の上面は平坦化されている。

【0065】

このように本実施の形態7に係る半導体記憶装置によれば、上記実施の形態1に係る半導体記憶装置と同様に、シャント配線SL3～SL6を形成することによってダミーメモリセルが無くなるため、交差配線の存在に起因してメモリセルアレイの面積が増大することを回避することができる。

20

【0066】

また、第1配線層内にはビット線BLが形成され、第2配線層内には交差配線18a、18b及び配線50が形成され、第3配線層内にはシャント配線SL0～SL9が形成される。従って、多層配線構造が第1～第4配線層を備える上記実施の形態1に係る半導体記憶装置と比較すると、必要な配線層の数を削減することができる。

【0067】

図21は、図18に示した第2配線層に関する第1の変形例を示す上面図である。図18に示した配線50の代わりに、配線54が形成されている。配線54は、配線50と同様に、GND電位又はVDD電位を与える電源配線やグローバルIO線等の配線である。配線54は、交差配線18a、18bに隣接しない第1部分55と、交差配線18a、18bに隣接する第2部分56とを備えている。第1部分55の幅W1は、第2部分56の幅W2よりも広い。第2部分56の幅W2が第1部分55の幅W1よりも狭いことにより、配線54と交差配線18a、18bとの接触が回避されている。また、第1部分55の幅W1が第2部分56の幅W2よりも広いことにより、配線54の抵抗値の低減が図られている。図18に示した配線50の代わりに図21に示した配線54を採用した場合であっても、上記と同様の効果を得ることができる。

30

【0068】

図22は、図18に示した第2配線層に関する第2の変形例を示す上面図である。図18に示した配線50の代わりに、配線58が形成されている。配線58は、配線50と同様に、GND電位又はVDD電位を与える電源配線やグローバルIO線等の配線である。配線58は、交差配線18a、18bに隣接する箇所において、上面形状が棒状の棒状部分59を有している。棒状部分59の内側には開口60が規定されており、平面視上、交差配線18a、18bは棒状部分59に接触することなく開口60内に形成されている。換言すれば、交差配線18a、18bは棒状部分59に内包されている。交差配線18a、18bが棒状部分59に内包されることにより、配線58と交差配線18a、18bとの接触が回避されている。図18に示した配線50の代わりに図22に示した配線58を採用した場合であっても、上記と同様の効果を得ることができる。

40

50

【 0 0 6 9 】

実施の形態 8 .

図 2 3 ~ 2 5 は、本発明の実施の形態 8 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。図 2 3 は第 1 配線層の構造を示しており、図 2 4 は第 1 配線層を含めて第 2 配線層の構造を示しており、図 2 5 は第 1 及び第 2 配線層を含めて第 3 配線層の構造を示している。

【 0 0 7 0 】

図 2 3 を参照して、第 1 配線層内には、ビット線 / B L 2 a , B L 2 b , B L 1 , / B L 0 a , B L 0 b , B L 3 が形成されている。ビット線 / B L 2 a , B L 2 b は、第 Y 0 列に属している。ビット線 B L 1 は、第 Y 2 列に属している。ビット線 / B L 0 a , B L 0 b は、第 Y 4 列に属している。ビット線 B L 3 は、第 Y 6 列に属している。 10

【 0 0 7 1 】

図 2 4 を参照して、第 1 配線層内には、ビット線 B L 2 a , / B L 2 b , / B L 1 , B L 0 a , / B L 0 b , / B L 3 が形成されている。ビット線 B L 2 a , / B L 2 b は、第 Y 1 列に属している。ビット線 / B L 1 は、第 Y 3 列に属している。ビット線 B L 0 a , / B L 0 b は、第 Y 5 列に属している。ビット線 / B L 3 は、第 Y 7 列に属している。

【 0 0 7 2 】

ビット線 B L 2 a は、コンタクトプラグ 6 3 a を介してビット線 B L 2 b に接続されている。ビット線 / B L 2 b は、コンタクトプラグ 6 3 b を介してビット線 / B L 2 a に接続されている。ビット線 B L 0 a は、コンタクトプラグ 6 3 c を介してビット線 B L 0 b 20 に接続されている。ビット線 / B L 0 b は、コンタクトプラグ 6 3 d を介してビット線 / B L 0 a に接続されている。

【 0 0 7 3 】

図 2 5 を参照して、第 3 配線層内には、シャント配線 S L 0 ~ S L 9 が形成されている。シャント配線 S L 0 ~ S L 9 は、それぞれ第 X 0 ~ X 9 行に属している。シャント配線 S L 0 ~ S L 9 は、図 2 に示したワード線 W L 0 ~ W L 9 に沿ってそれぞれ形成されており、図 1 0 , 1 6 に示した杭打ち領域 2 7 内においてワード線 W L 0 ~ W L 9 にそれぞれ接続されている。

【 0 0 7 4 】

なお、図示は省略するが、図 5 に示した電源配線やグローバル I O 線等の配線 2 1 は、 30 第 2 及び第 3 配線層内には形成できないため、第 4 配線層内に形成されている。

【 0 0 7 5 】

図 2 6 は、本実施の形態 8 に係る半導体記憶装置の全体構成を簡略化して示す回路図である。図 2 6 に示したビット線 B L 0 , / B L 0 , B L 1 , / B L 1 , B L 2 , / B L 2 のうち、太線で示した部分は第 2 配線層内に形成されており、それ以外の部分は第 1 配線層内に形成されている。

【 0 0 7 6 】

図 2 7 は、図 2 5 に示したライン XXVII - XXVII に沿った位置に関して、第 1 ~ 第 3 配線層の断面構造を示す断面図である。第 1 配線層は、層間絶縁膜 6 4 とビット線 / B L 2 a , B L 1 , / B L 0 a , B L 3 とを有している。層間絶縁膜 6 4 の材質は例えば U S G 膜 40 であり、ビット線 / B L 2 a , B L 1 , / B L 0 a , B L 3 の材質は例えば銅又はアルミニウム等の金属である。ビット線 / B L 2 a , B L 1 , / B L 0 a , B L 3 はダマシンプロセスによって層間絶縁膜 6 4 の上面内に形成されており、第 1 配線層の上面は平坦化されている。

【 0 0 7 7 】

第 2 配線層は、層間絶縁膜 6 5 とビット線 B L 2 a , / B L 1 , B L 0 a , / B L 3 とを有している。層間絶縁膜 6 5 の材質は例えば U S G 膜であり、ビット線 B L 2 a , / B L 1 , B L 0 a , / B L 3 の材質は例えば銅又はアルミニウム等の金属である。ビット線 B L 2 a , / B L 1 , B L 0 a , / B L 3 はダマシンプロセスによって層間絶縁膜 6 5 の上面内に形成されており、第 2 配線層の上面は平坦化されている。 50

【0078】

第3配線層は、層間絶縁膜66とシャント配線SL0とを有している。層間絶縁膜66の材質は例えばUSG膜であり、シャント配線SL0の材質は例えば銅又はアルミニウム等の金属である。シャント配線SL0はダマシンプロセスによって層間絶縁膜66の上面内に形成されており、第3配線層の上面は平坦化されている。

【0079】

図26, 27から明らかなように、第 n (n : 自然数) 列に属するビット線BLと、第 $(n+1)$ 列に属するビット線BLとは、互いに異なる配線層内に形成されている。

【0080】

図28は、代表的にビット線BL1とビット線/BL1との間の容量を説明するための模式図である。層間絶縁膜64, 65の材質がUSG膜である場合、その比誘電率 ϵ_1 は約4.3である。

【0081】

ビット線/BL1がビット線BL1と同一の配線層内に形成されている場合は、ビット線BL1, /BL1間の距離を d_1 、ビット線BL1, /BL1の側面の面積を S とすると、ビット線BL1, /BL1間の結合容量 C_{b1} は、 $C_{b1} = \epsilon_1 \times S / d_1$ となる。

【0082】

一方、ビット線/BL1がビット線BL1と異なる配線層内に形成されている場合は、ビット線BL1, /BL1間の距離を d_2 とすると、ビット線BL1, /BL1間の結合容量 C_{b2} は、 $C_{b2} = \epsilon_1 \times S / d_2$ となる。

【0083】

図28から明らかなように $d_2 > d_1$ であるため、 $C_{b2} < C_{b1}$ となる。つまり、互いに隣接するビット線BL同士を異なる配線層内に形成することにより、同一の配線層内に形成されている場合と比較すると、ビット線間の結合容量を低減することができる。

【0084】

ビット線間の結合容量 C_b が低減されると、結合容量 C_b とセル容量 C_s との比である C_b / C_s 比を小さくすることができる。その結果、メモリセルからのデータの読み出し時にセンスアンプが認識すべき信号電圧が高くなるため、DRAMメモリセルの読み出しマージンを向上することができる。

【0085】

図29は、変形例として、図27に対応させて第1~第4配線層の断面構造を示す断面図である。第1配線層は層間絶縁膜67を有しており、層間絶縁膜67の材質は例えばUSG膜である。第2配線層は、層間絶縁膜68とビット線/BL2a, BL1, /BL0a, BL3とを有している。層間絶縁膜68の材質は、第1配線層の層間絶縁膜67よりも比誘電率が低い材質、例えばSiOC膜等のいわゆるLow-k材料である。USG膜の比誘電率 ϵ_1 は約4.3であり、SiOCの比誘電率 ϵ_2 は約2.8である。

【0086】

第3配線層は、層間絶縁膜69とビット線BL2a, /BL1, BL0a, /BL3とを有している。層間絶縁膜69の材質は、層間絶縁膜68と同様に例えばSiOC膜である。第4配線層は、層間絶縁膜66とシャント配線SL0とを有している。層間絶縁膜66の材質は、USG膜であってもSiOC膜であってもよい。

【0087】

図30は、代表的にビット線BL1とビット線/BL1との間の容量を説明するための模式図である。ビット線BL1, /BL1間の結合容量 C_{b3} は、 $C_{b3} = \epsilon_2 \times S / d_2$ となる。層間絶縁膜64, 65の材質がUSG膜である図27に示した構造と比較すると、 $\epsilon_2 < \epsilon_1$ であるため、 $C_{b3} < C_{b2}$ となる。つまり、Low-k材料から成る層間絶縁膜68, 69を採用することにより、図27に示した構造よりもビット線間の結合容量を低減することができる。

【0088】

これにより、 C_b / C_s 比をさらに小さくできるため、DRAMメモリセルの読み出し

マージンをさらに向上することが可能となる。

【0089】

なお、図29に示した構造では、SiOC膜から成る層間絶縁膜68の下にUSG膜から成る層間絶縁膜67を形成しているが、その理由は、SiOC膜をシリコン基板上に直接形成すると、SiOC膜の膜剥がれが生じやすいためである。従って、図7に示したように、シリコン基板上には層間絶縁膜8が形成され、層間絶縁膜8上に第1配線層を形成する場合には、図29に示した構造から層間絶縁膜67を省略することもできる。

【0090】

実施の形態9.

上記実施の形態1~8では3点交差のビット線交差方式を前提として説明したが、上記実施の形態1~8に係る発明は、1点交差のビット線交差方式にも適用可能である。以下、代表的に上記実施の形態1に係る発明を1点交差のビット線交差方式に適用した例について説明する。

【0091】

図31~33は、本発明の実施の形態9に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。図31は第1配線層の構造を示しており、図32は第1配線層を含めて第2配線層の構造を示しており、図33は第1及び第2配線層を含めて第4配線層の構造を示している。なお、図示は省略するが、第3配線層内には、図5と同様に配線21が形成されている。

【0092】

図31を参照して、第1配線層内には、複数のビット線BLが形成されている。ビット線/BL0は、第Y0列及び第Y1列に属している。ビット線/BL0のうち第Y0列に属する部分と第Y1列に属する部分とは、第1配線層内で互いに繋がっている。ビット線/BL1は、第Y1列及び第Y3列に属している。ビット線/BL1のうち第Y1列に属する部分と第Y3列に属する部分とは、第1配線層内で互いに繋がっている。ビット線BL1は、第Y2列に属する部分(ビット線BL1a)と、第Y0列に属する部分(ビット線BL1b)とを有している。ビット線BL1aとビット線BL1bとは、第1配線層内では互いに分離されている。ビット線BL0は、第Y3列に属する部分(ビット線BL0a)と、第Y2列に属する部分(ビット線BL0b)とを有している。ビット線BL0aとビット線BL0bとは、第1配線層内では互いに分離されている。図示は省略するが、各ビット線BLは、所定の箇所に形成されたコンタクトプラグ15を介して、図2に示した素子形成領域ACにそれぞれ接続されている。

【0093】

図32を参照して、第2配線層内には、交差配線75,76とシャント配線SL0,SL1,SL6,SL7とが形成されている。交差配線75,76は交差領域TR内に形成されている。交差領域TRは、第X2~X5行に属している。シャント配線SL0,SL1は、交差領域TRが属さない第X0,X1,X6,X7行にそれぞれ属している。

【0094】

交差配線75は、コンタクトプラグ77を介してビット線BL1aに接続された一端と、コンタクトプラグ78を介してビット線BL1bに接続された他端とを有している。つまり、第1配線層内に形成されたビット線BL1aとビット線BL1bとは、第2配線層内に形成された交差配線75及びコンタクトプラグ77,78を介して、互いに接続されている。同様に、第1配線層内に形成されたビット線BL0aとビット線BL0bとは、第2配線層内に形成された交差配線76及びコンタクトプラグ79,80を介して、互いに接続されている。

【0095】

図33を参照して、第4配線層内には、シャント配線SL2~SL5が形成されている。シャント配線SL2~SL5は、交差領域TRが属する第X2~X5行にそれぞれ属している。

【0096】

上記実施の形態 1 ~ 8 に係る発明を 1 点交差のビット線交差方式に適用した場合であっても、それぞれの実施の形態と同様の効果を得ることができる。

【0097】

実施の形態 10 .

図 34 は、3 点交差のビット線交差方式が採用された、本発明の実施の形態 10 に係る半導体記憶装置の全体構成を簡略化して示す回路図である。図 10 , 16 に示したように、列方向に関するマットの両側には、センスアンプ帯 25 が配設されている。図 34 に示したセンスアンプ 90 ~ 92 は、図 10 , 16 に示したセンスアンプ帯 25 の一部を構成するものである。

【0098】

本実施の形態 10 に係る半導体記憶装置では、センスアンプ 90 ~ 92 が形成されているセンスアンプ領域まで延在する部分を含めたビット線 BL の全長を 4 等分することによって、領域 AR 11 , AR 22 , AR 33 , AR 44 が規定される。そして、各領域 AR 11 , AR 22 , AR 33 , AR 44 の境界において、所定の相補ビット線対が交差されている。例えば、ビット線 BL 1 とビット線 /BL 1 とは、領域 AR 11 と領域 AR 22 との境界に対応する交差領域 TR 1 と、領域 AR 33 と領域 AR 44 との境界に対応する交差領域 TR 2 とにおいて、それぞれ交差している。

【0099】

本実施の形態 10 に係る半導体記憶装置によれば、隣接ビット線間の容量が真に等しくなるため、ビット線交差方式を採用することによるノイズ低減効果を最大限に発揮させることができる。

【0100】

なお、上記実施の形態 1 ~ 10 では、DRAM のビット線 BL を対象として本発明を適用する例について説明したが、本発明は、DRAM 以外のメモリ（例えば SRAM）のビット線にも適用することができる。また、本発明は、第 1 方向に延在して一部に交差領域を含む複数の第 1 の配線と、第 1 方向に垂直な第 2 方向に延在する複数の第 2 の配線と、第 2 の配線を低抵抗化するために第 2 の配線に接続された第 3 の配線とを備える多層配線構造であれば、どのようなものにも適用することができる。例えば、ビット線以外の GIO 線等の配線にも適用することができる。

【図面の簡単な説明】

【0101】

【図 1】3 点交差のビット線交差方式が採用された半導体記憶装置の全体構成を簡略化して示す回路図である。

【図 2】メモリセルアレイのレイアウト構成を示す上面図である。

【図 3】本発明の実施の形態 1 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 4】本発明の実施の形態 1 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 5】本発明の実施の形態 1 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 6】本発明の実施の形態 1 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 7】図 6 に示したライン VII - VII に沿った位置に関する断面構造を示す断面図である。

【図 8】図 6 に示したライン VIII - VIII に沿った位置に関する断面構造を示す断面図である。

【図 9】図 6 に示したライン IX - IX に沿った位置に関する断面構造を示す断面図である。

【図 10】本発明の実施の形態 1 に係る半導体記憶装置の全体構成を示すブロック図である。

【図 11】本発明の実施の形態 2 に係る半導体記憶装置に関して、図 4 に示した交差領域

10

20

30

40

50

の構造を拡大して示す上面図である。

【図 1 2】本発明の実施の形態 3 に係る半導体記憶装置が備える第 4 配線層の構造を示す上面図である。

【図 1 3】本発明の実施の形態 4 に係る半導体記憶装置の構造の一部を抜き出して示す上面図である。

【図 1 4】本発明の実施の形態 5 に係る半導体記憶装置の構造の一部を抜き出して示す上面図である。

【図 1 5】図 1 4 に示したライン XV - XV に沿った位置に関して、第 4 及び第 5 配線層の断面構造を示す断面図である。

【図 1 6】本発明の実施の形態 6 に係る半導体記憶装置の全体構成を示すブロック図である。 10

【図 1 7】本発明の実施の形態 7 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 1 8】本発明の実施の形態 7 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 1 9】本発明の実施の形態 7 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 2 0】図 1 9 に示したライン XX - XX に沿った位置に関して、第 1 ~ 第 3 配線層の断面構造を示す断面図である。

【図 2 1】図 1 8 に示した第 2 配線層に関する第 1 の変形例を示す上面図である。 20

【図 2 2】図 1 8 に示した第 2 配線層に関する第 2 の変形例を示す上面図である。

【図 2 3】本発明の実施の形態 8 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 2 4】本発明の実施の形態 8 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 2 5】本発明の実施の形態 8 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 2 6】本発明の実施の形態 8 に係る半導体記憶装置の全体構成を簡略化して示す回路図である。

【図 2 7】図 2 5 に示したライン XXVII - XXVII に沿った位置に関して、第 1 ~ 第 3 配線層の断面構造を示す断面図である。 30

【図 2 8】隣接ビット線間の容量を説明するための模式図である。

【図 2 9】本発明の実施の形態 8 に係る半導体記憶装置が備える多層配線構造の変形例を示す断面図である。

【図 3 0】隣接ビット線間の容量を説明するための模式図である。

【図 3 1】本発明の実施の形態 9 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 3 2】本発明の実施の形態 9 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。

【図 3 3】本発明の実施の形態 9 に係る半導体記憶装置が備える多層配線構造の構成を示す上面図である。 40

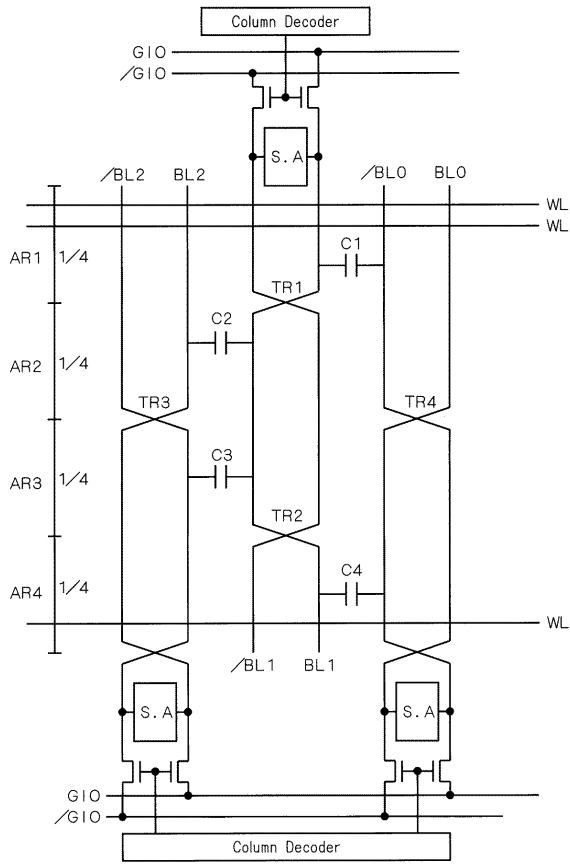
【図 3 4】本発明の実施の形態 10 に係る半導体記憶装置の全体構成を簡略化して示す回路図である。

【符号の説明】

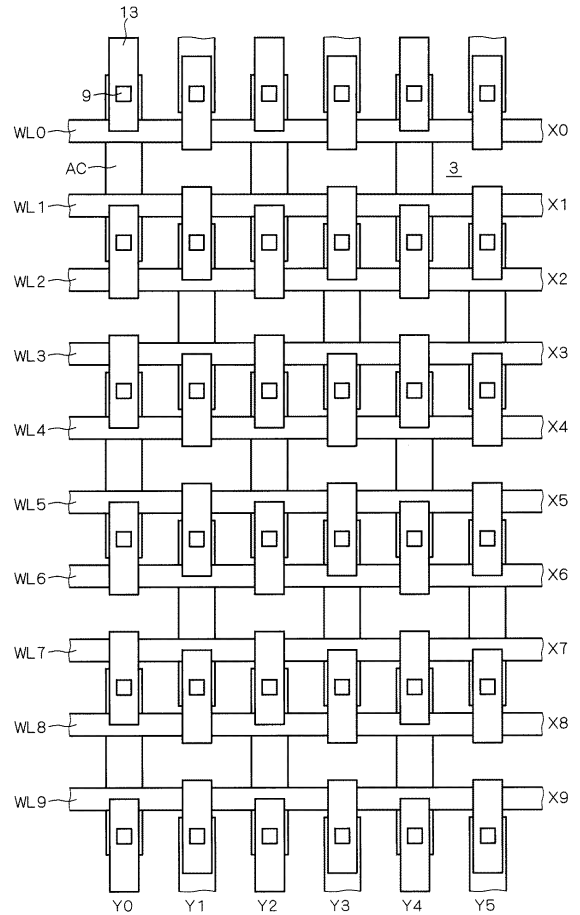
【0102】

WL0 ~ WL9 ワード線、BL0 ~ BL3, /BL0 ~ /BL3 ビット線、TR, TR1 ~ TR4 交差領域、SL0 ~ SL9 シェント配線、18a, 18b 交差配線、21, 50, 54, 58 配線、25 センスアンプ帯、30 第 1 部分、31 第 2 部分、32 第 3 部分、33 第 4 部分、34 第 5 部分、35 中央点、38, 39, 40, 41 金属配線、44 金属膜、59 枠状部分、68, 69 層間絶縁膜。 50

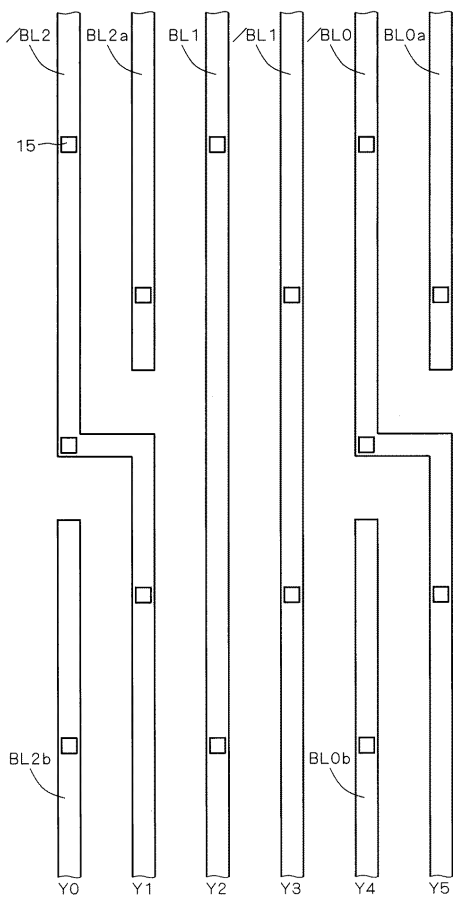
【 図 1 】



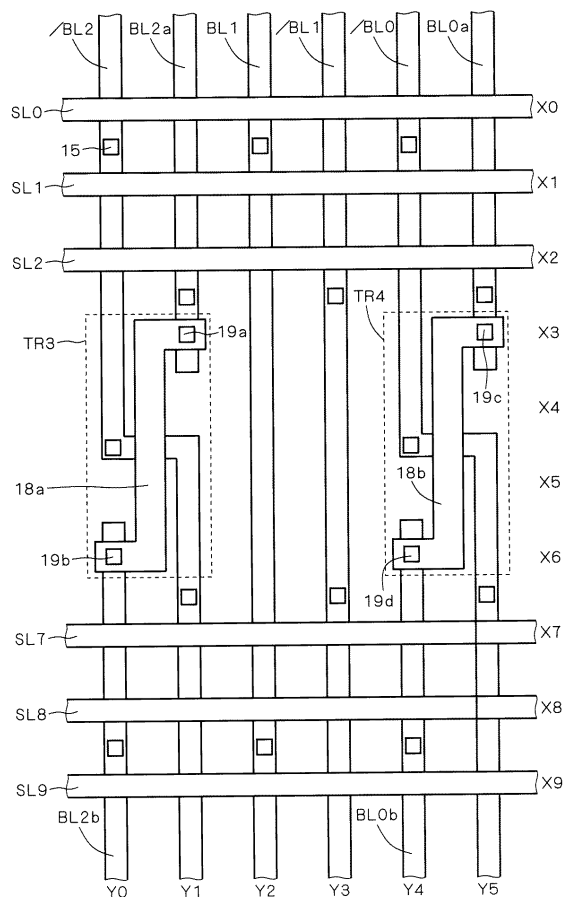
【 図 2 】



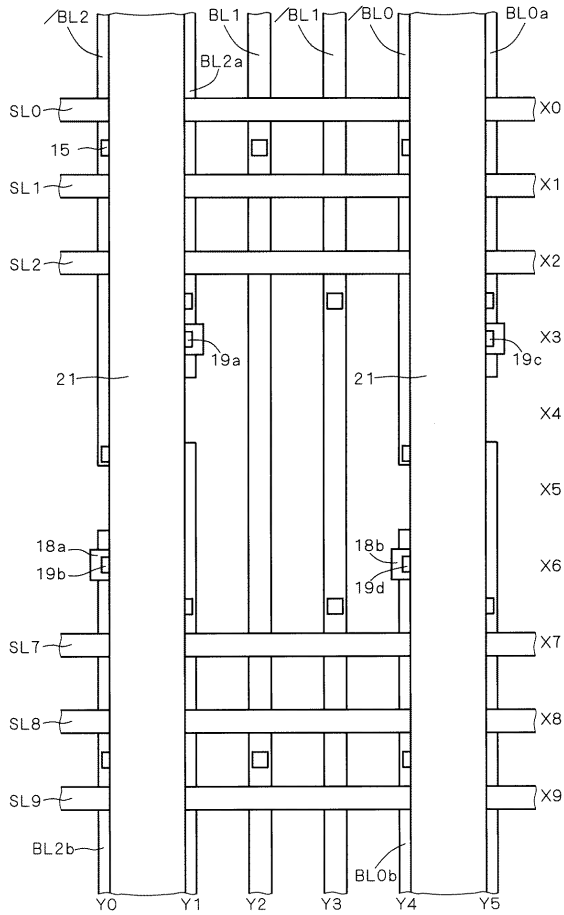
【 図 3 】



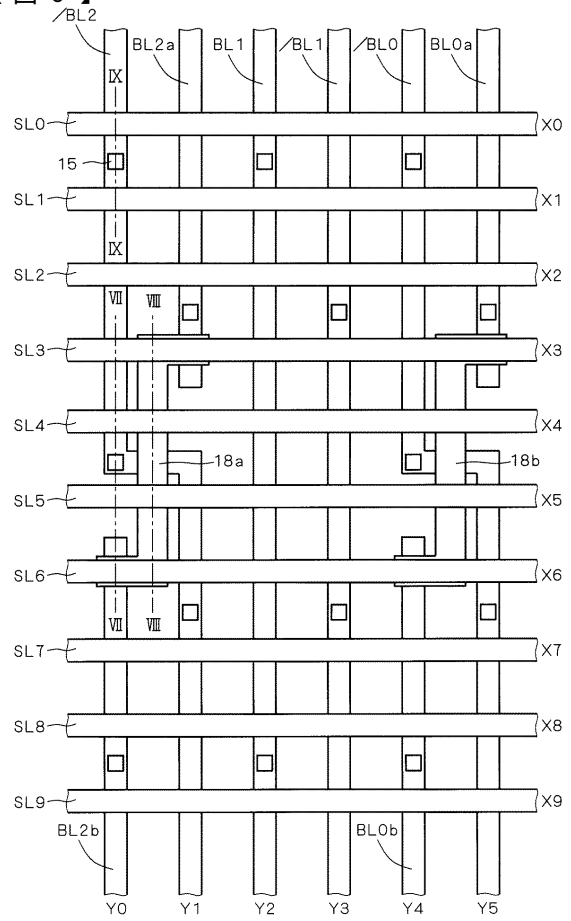
【 図 4 】



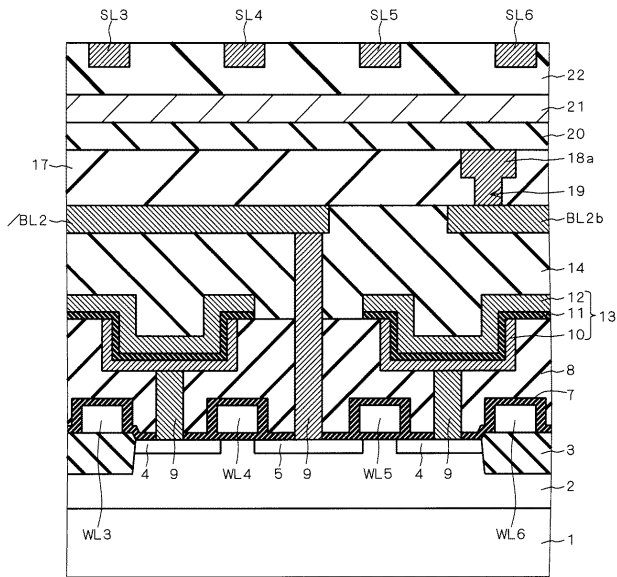
【 図 5 】



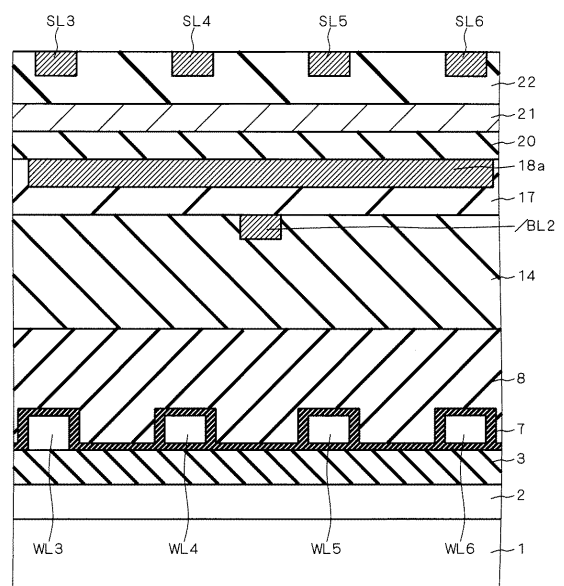
【 図 6 】



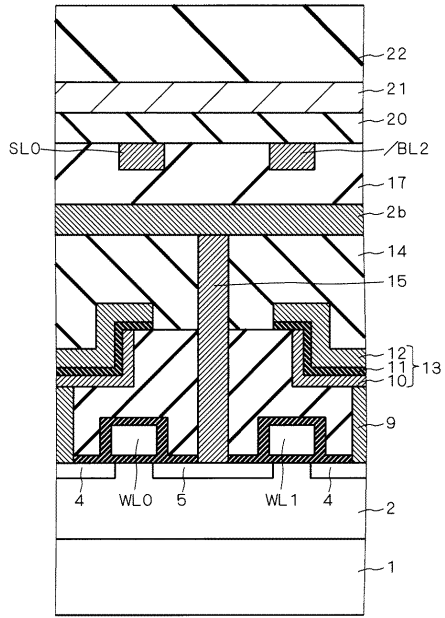
【 図 7 】



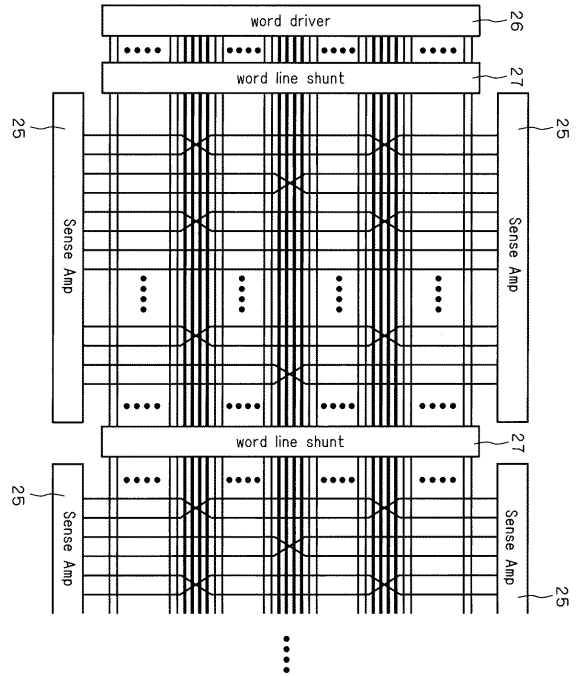
【 図 8 】



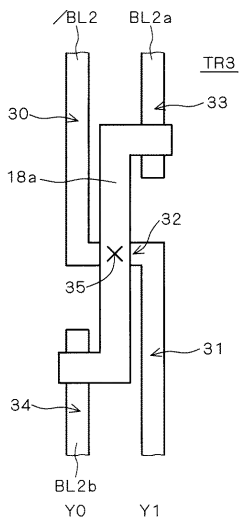
【 図 9 】



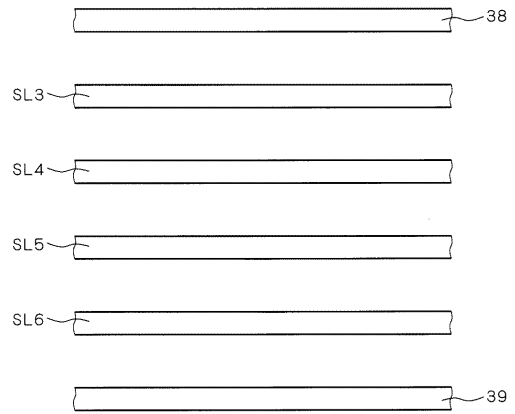
【 図 10 】



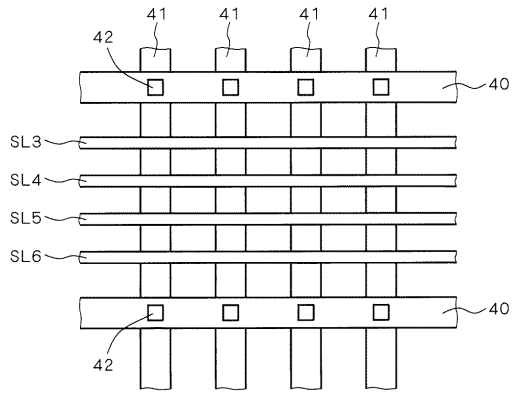
【 図 11 】



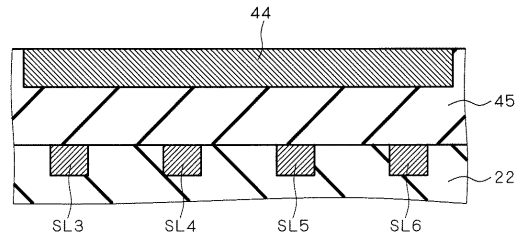
【 図 12 】



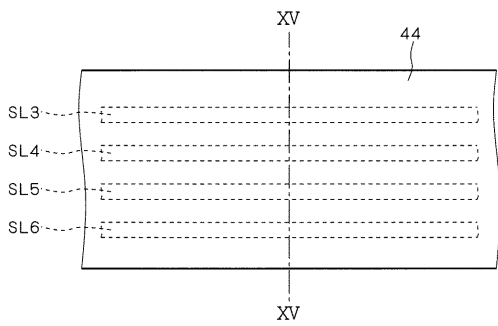
【 図 1 3 】



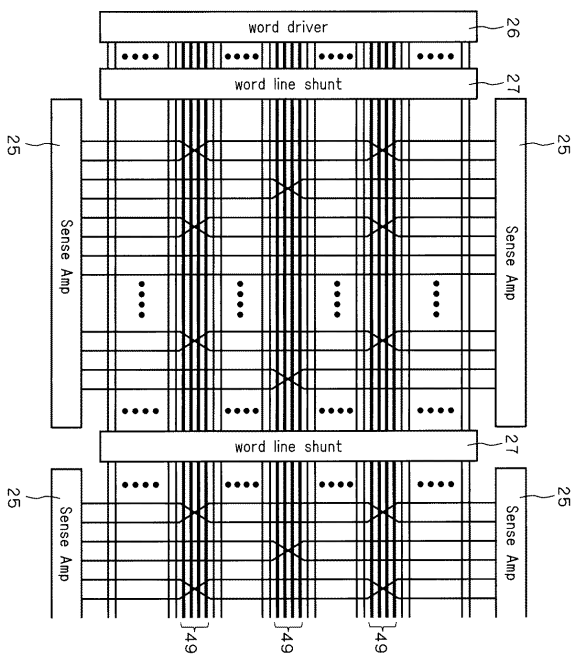
【 図 1 5 】



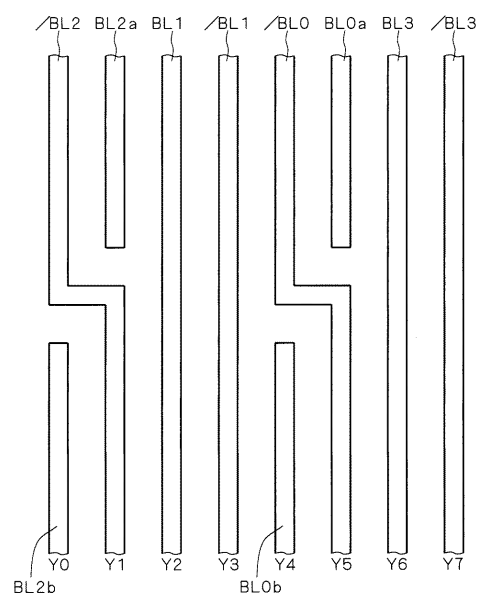
【 図 1 4 】



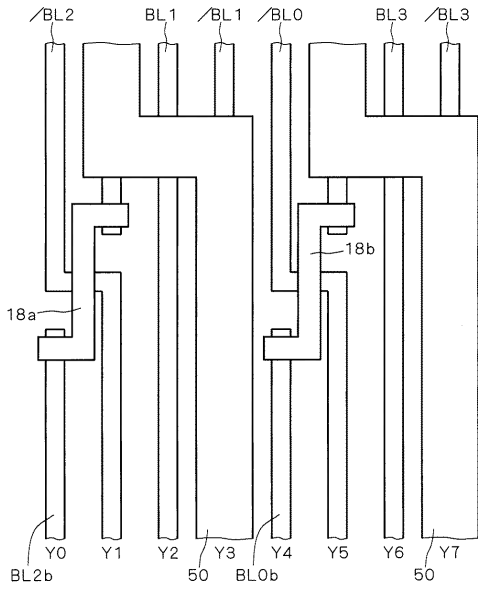
【 図 1 6 】



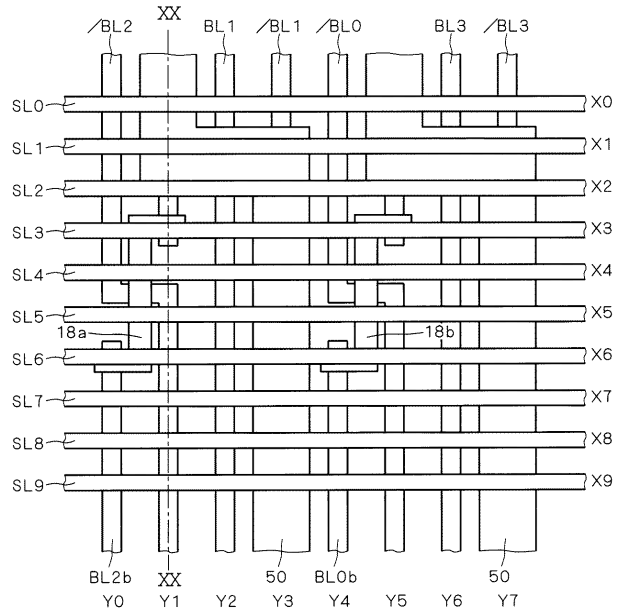
【 図 1 7 】



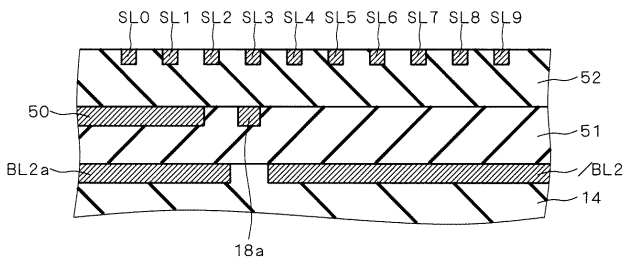
【 図 18 】



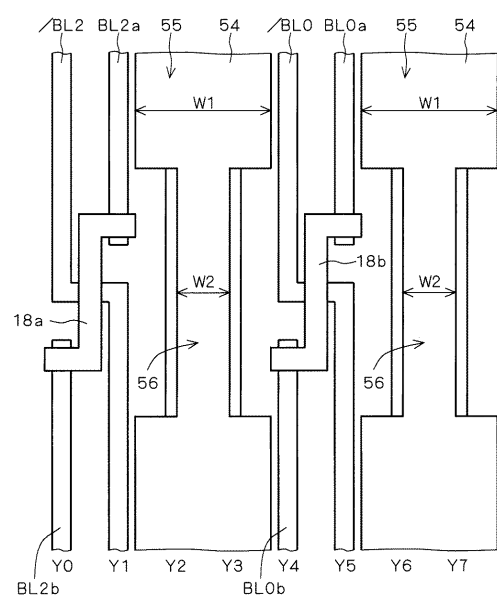
【 図 19 】



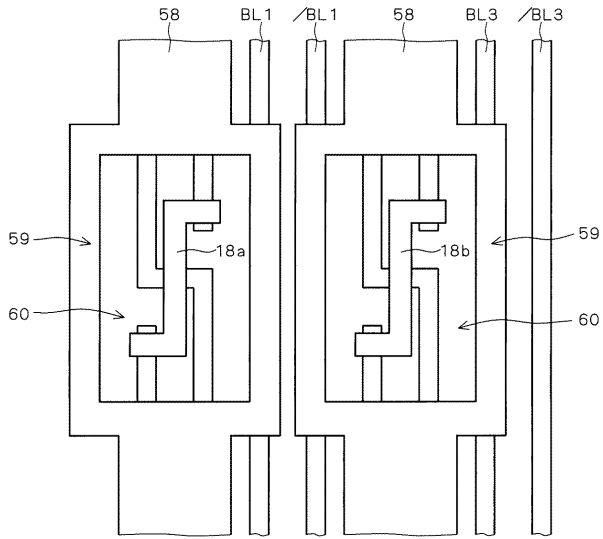
【 図 20 】



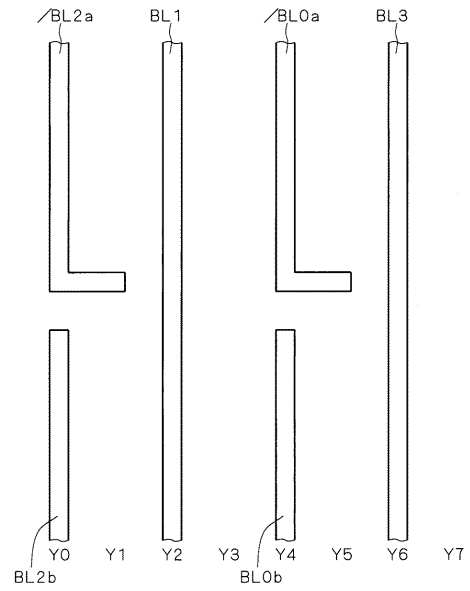
【 図 21 】



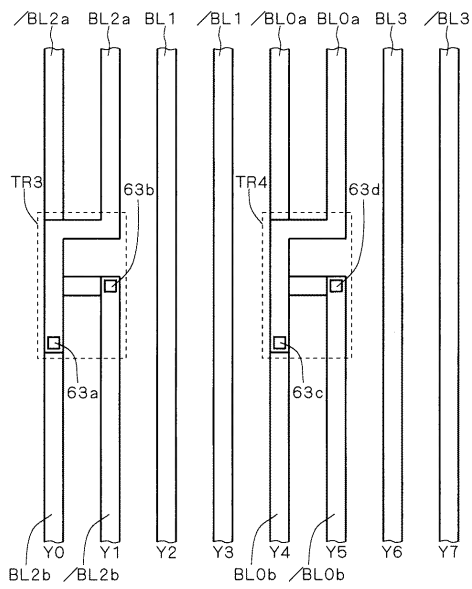
【 図 2 2 】



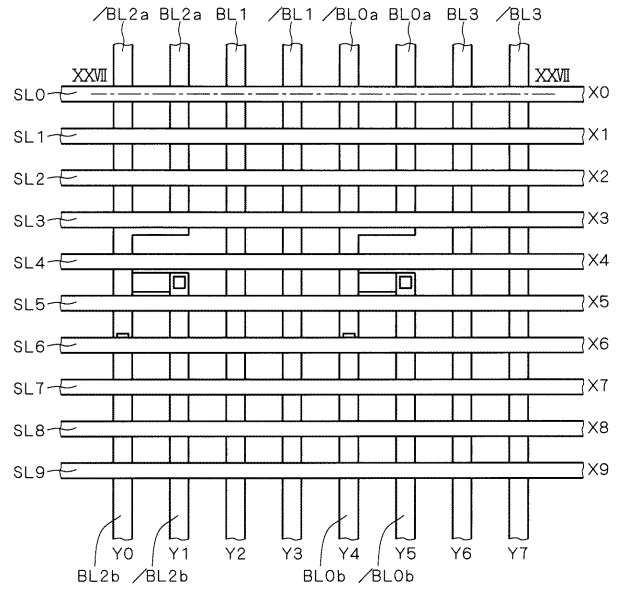
【 図 2 3 】



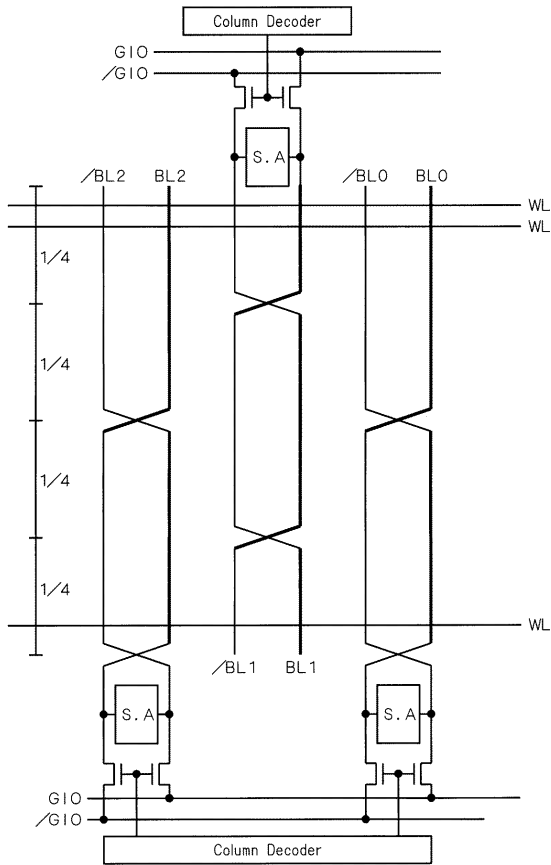
【 図 2 4 】



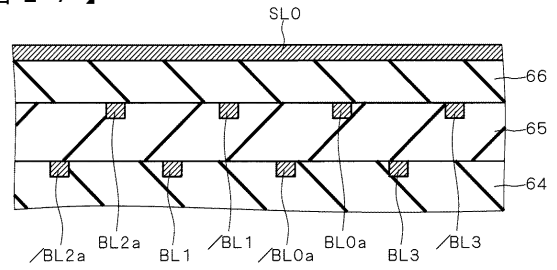
【 図 2 5 】



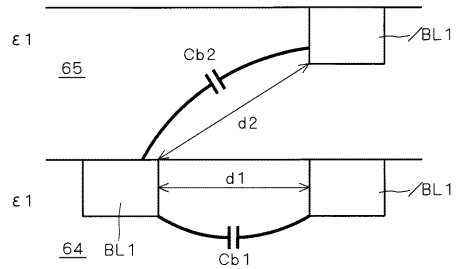
【 図 2 6 】



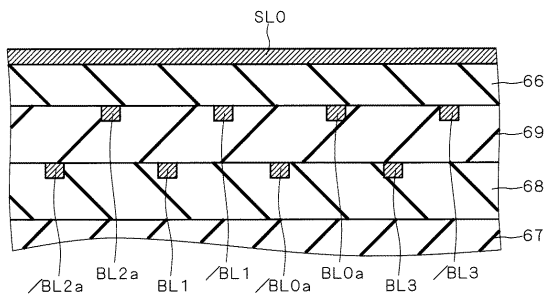
【 図 2 7 】



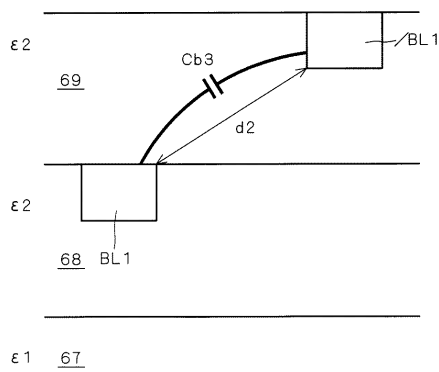
【 図 2 8 】



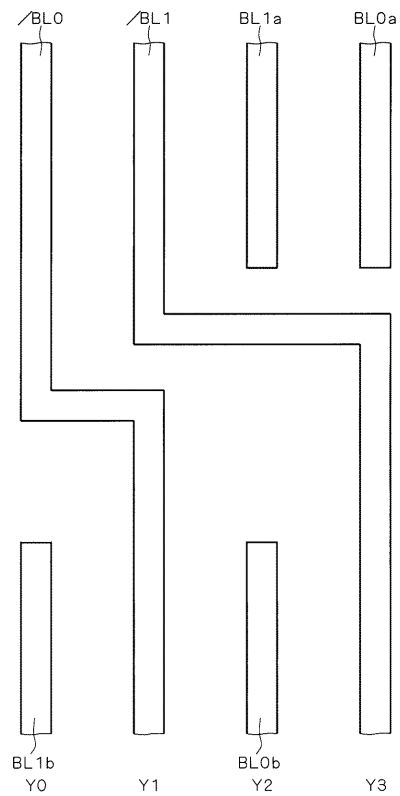
【 図 2 9 】



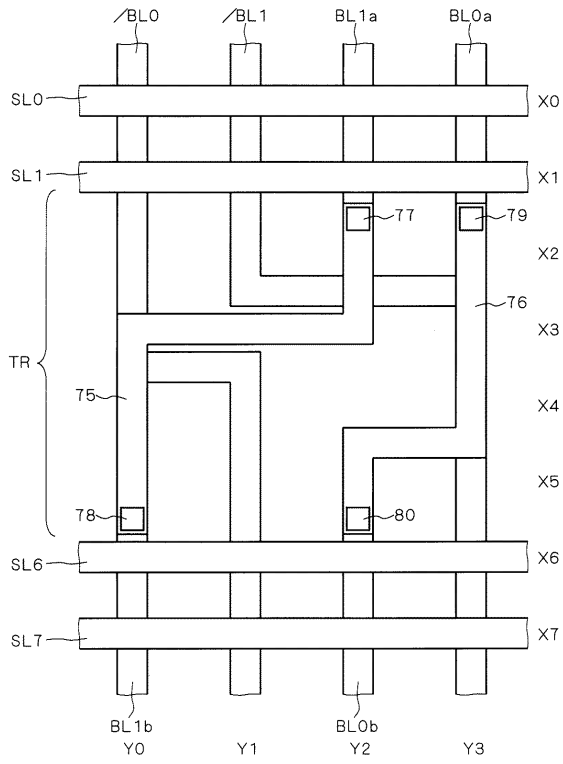
【 図 3 0 】



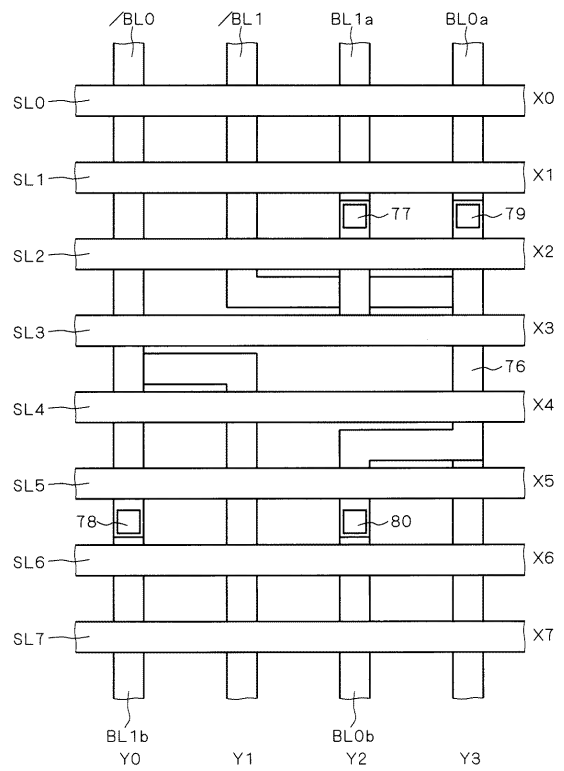
【 図 3 1 】



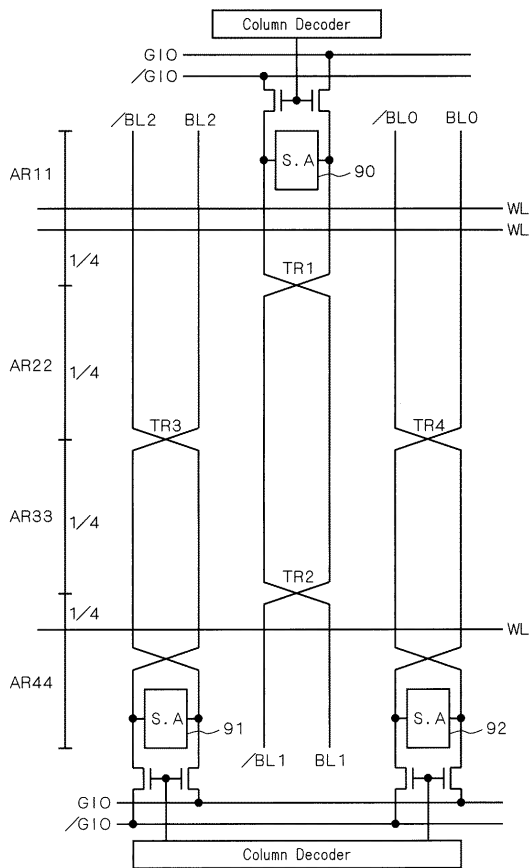
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

(72)発明者 佐野 友彦
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 行天 隆幸
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 山崎 裕之
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 大田 清人
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 広瀬 雅庸
大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F033 HH04 HH08 HH11 JJ01 JJ08 JJ11 KK01 KK08 KK11 MM02
RR01 RR04 RR06 UU04 VV03 VV06 VV10 VV16 XX00 XX24
5F083 AD24 AD31 BS00 GA09 GA13 JA36 JA37 JA56 KA02 LA03
LA05 LA14 LA15 MA06 MA16 MA17 MA20 ZA28