

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016년 7월 7일 (07.07.2016)



(10) 국제공개번호
WO 2016/108366 A1

- (51) 국제특허분류:
H04N 21/235 (2011.01) H04N 21/236 (2011.01)
H04N 21/234 (2011.01) H04J 11/00 (2006.01)
- (21) 국제출원번호: PCT/KR2015/006924
- (22) 국제출원일: 2015년 7월 6일 (06.07.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
62/097,138 2014년 12월 29일 (29.12.2014) US
62/097,558 2014년 12월 29일 (29.12.2014) US
62/098,318 2014년 12월 30일 (30.12.2014) US
62/099,592 2015년 1월 5일 (05.01.2015) US
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 150-721 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 백중섭 (BAEK, Jongseob); 137-893 서울시 서초구 양재대로 11길 19 LG 전자 특허센터, Seoul (KR).
고우석 (KO, Woosuk); 137-893 서울시 서초구 양재대

로 11길 19 LG 전자 특허센터, Seoul (KR). 백서영 (BAEK, Seoyoung); 137-893 서울시 서초구 양재대로 11길 19 LG 전자 특허센터, Seoul (KR). 홍성룡 (HONG, Sungryong); 137-893 서울시 서초구 양재대로 11길 19 LG 전자 특허센터, Seoul (KR).

(74) 대리인: 김용인 (KIM, Yong In) 등; 138-861 서울시 송파구 올림픽로 82, 7층 KBK 특허법률사무소, Seoul (KR).

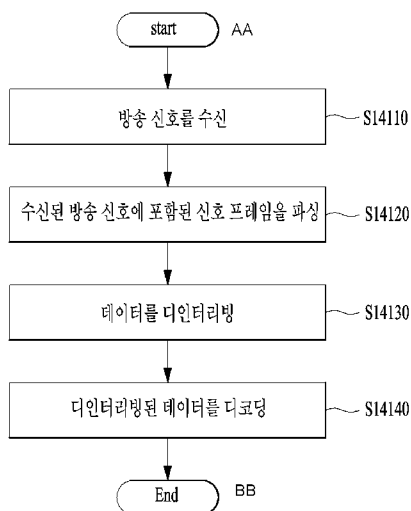
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,

[다음 쪽 계속]

(54) Title: BROADCAST SIGNAL TRANSMISSION APPARATUS, BROADCAST SIGNAL RECEPTION APPARATUS, BROADCAST SIGNAL TRANSMISSION METHOD, AND BROADCAST SIGNAL RECEPTION METHOD

(54) 발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법, 및 방송 신호 수신 방법



S14110 ... Receive broadcast signals
S14120 ... Parse signal frames included in received broadcast signals
S14130 ... Deinterleave data
S14140 ... Decode deinterleaved data
AA ... Start
BB ... End

(57) Abstract: A broadcast signal reception method, according to one embodiment of the present invention, may comprise the steps of: receiving broadcast signals; demodulating the received broadcast signals by means of an orthogonal frequency division multiplex (OFDM) scheme; parsing at least one or more signal frame from the demodulated broadcast signals, wherein one signal frame includes service data corresponding to at least one physical path; time-deinterleaving the service data included in the at least one or more signal frame; and decoding the time-deinterleaved service data.

(57) 요약서: 본 발명의 일 실시예에 따른 방송 신호 수신 방법은 방송 신호들을 수신하는 단계; 상기 수신한 방송 신호들을 OFDM (Orthogonal Frequency Division Multiplex) 방식으로 디모듈레이팅하는 단계; 상기 디모듈레이팅된 방송 신호들로부터 적어도 하나의 신호 프레임을 파싱(parsing)하는 단계로서, 하나의 신호 프레임은 적어도 하나의 피지컬 경로(physical path)에 대응하는 서비스 데이터를 포함하고; 상기 적어도 하나의 신호 프레임에 포함된 서비스 데이터를 타임 디인터리빙하는 단계; 상기 타임 디인터리빙된 서비스 데이터를 디코딩하는 단계를 포함할 수 있다.



KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU,
TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU,
LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 방송 신호 송신 장치, 방송 신호 수신 장치, 방송 신호 송신 방법, 및 방송 신호 수신 방법

기술분야

- [1] 본 발명은 방송 신호 송신 장치, 방송 신호 수신 장치, 및 방송 신호 송수신 방법에 관한 것이다.

배경기술

- [2] 아날로그 방송 신호 송신이 종료됨에 따라, 디지털 방송 신호를 송수신하기 위한 다양한 기술이 개발되고 있다. 디지털 방송 신호는 아날로그 방송 신호에 비해 더 많은 양의 비디오/오디오 데이터를 포함할 수 있고, 비디오/오디오 데이터뿐만 아니라 다양한 종류의 부가 데이터를 더 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [3] 즉, 디지털 방송 시스템은 HD(High Definition) 이미지, 멀티채널(multi channel, 다채널) 오디오, 및 다양한 부가 서비스를 제공할 수 있다. 그러나, 디지털 방송을 위해서는, 많은 양의 데이터 전송에 대한 데이터 전송 효율, 송수신 네트워크의 견고성(robustness), 및 모바일 수신 장치를 고려한 네트워크 유연성(flexibility)이 향상되어야 한다.

과제 해결 수단

- [4] 본 발명의 일 실시예에 따른 방송 신호 수신 방법은 방송 신호들을 수신하는 단계; 상기 수신한 방송 신호들을 OFDM (Orthogonal Frequency Division Multiplex) 방식으로 디모듈레이팅하는 단계; 상기 디모듈레이팅된 방송 신호들로부터 적어도 하나 이상의 신호 프레임을 파싱(parsing)하는 단계로서, 하나의 신호 프레임은 적어도 하나의 피지컬 경로(physical path)에 대응하는 서비스 데이터를 포함하고; 상기 적어도 하나 이상의 신호 프레임에 포함된 서비스 데이터를 타임 디인터리빙하는 단계; 상기 타임 디인터리빙된 서비스 데이터를 디코딩하는 단계를 포함할 수 있다.
- [5] 또한 본 발명의 일 실시예에 따른 방송 신호 수신 방법의 상기 타임 디인터리빙 단계는 단일 피지컬 경로 모드인 경우 제1 컨볼루셔널 디인터리빙하는 단계를 포함하고, 복수 피지컬 경로 모드인 경우 제2 컨볼루셔널 디인터리빙, 블록 디인터리빙 및 셀 디인터리빙하는 단계를 포함할 수 있다.
- [6] 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 방송 신호들을 수신하는 수신부; 상기 수신한 방송 신호들을 OFDM (Orthogonal Frequency Division Multiplex) 방식으로 디모듈레이팅하는 디모듈레이터; 상기 디모듈레이팅된 방송 신호들로부터 적어도 하나 이상의 신호 프레임을 파싱(parsing)하는 프레임 파서로서, 하나의 신호 프레임은 적어도 하나의 피지컬 경로(physical path)에

대응하는 서비스 데이터를 포함하고; 상기 적어도 하나 이상의 신호 프레임에 포함된 서비스 데이터를 타임 디인터리빙하는 타임 디인터리버; 상기 타임 디인터리빙된 서비스 데이터를 디코딩하는 디코더를 포함할 수 있다.

- [7] 또한 본 발명의 일 실시예에 따른 방송 신호 수신 장치의 상기 타임 디인터리버는 단일 피지컬 경로 모드인 경우 제1 컨볼루셔널 디인터리버를 포함하고, 복수 피지컬 경로 모드인 경우 제2 컨볼루셔널 디인터리버, 블록 디인터리버 및 셀 디인터리버를 포함할 수 있다.

발명의 효과

- [8] 본 발명은 서비스 특성에 따라 데이터를 처리하여 각 서비스 또는 서비스 컴포넌트에 대한 QoS (Quality of Service)를 제어함으로써 다양한 방송 서비스를 제공할 수 있다.
- [9] 본 발명은 동일한 RF (radio frequency) 신호 대역폭을 통해 다양한 방송 서비스를 전송함으로써 전송 유연성(flexibility)을 달성할 수 있다.
- [10] 본 발명은 MIMO (Multiple-Input Multiple-Output) 시스템을 이용하여 데이터 전송 효율 및 방송 신호의 송수신 견고성(Robustness)을 향상시킬 수 있다.
- [11] 본 발명에 따르면, 모바일 수신 장치를 사용하거나 실내 환경에 있더라도, 어려 없이 디지털 방송 신호를 수신할 수 있는 방송 신호 송신 및 수신 방법 및 장치를 제공할 수 있다.

도면의 간단한 설명

- [12] 본 발명에 대해 더욱 이해하기 위해 포함되며 본 출원에 포함되고 그 일부를 구성하는 첨부된 도면은 본 발명의 원리를 설명하는 상세한 설명과 함께 본 발명의 실시예를 나타낸다.
- [13] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 구조를 나타낸다.
- [14] 도 2는 본 발명의 일 실시예에 따른 인풋 포매팅(Input formatting, 입력 포맷) 블록을 나타낸다.
- [15] 도 3은 본 발명의 다른 일 실시예에 따른 인풋 포매팅(Input formatting, 입력 포맷) 블록을 나타낸다.
- [16] 도 4는 본 발명의 다른 일 실시예에 따른 인풋 포매팅(Input formatting, 입력 포맷) 블록을 나타낸다.
- [17] 도 5는 본 발명의 일 실시예에 따른 BICM (bit interleaved coding & modulation) 블록을 나타낸다.
- [18] 도 6은 본 발명의 다른 일 실시예에 따른 BICM 블록을 나타낸다.
- [19] 도 7은 본 발명의 일 실시예에 따른 프레임 빌딩(Frame Building, 프레임 생성) 블록을 나타낸다.
- [20] 도 8은 본 발명의 일 실시예에 따른 OFDM (orthogonal frequency division multiplexing) 제너레이션(generation, 생성) 블록을 나타낸다.

- [21] 도 9는 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치의 구조를 나타낸다.
- [22] 도 10은 본 발명의 일 실시예에 따른 프레임 구조를 나타낸다.
- [23] 도 11은 본 발명의 일 실시예에 따른 프레임의 시그널링 계층 구조를 나타낸다.
- [24] 도 12는 본 발명의 일 실시예에 따른 프리앰블 시그널링 데이터를 나타낸다.
- [25] 도 13은 본 발명의 일 실시예에 따른 PLS1 데이터를 나타낸다.
- [26] 도 14는 본 발명의 일 실시예에 따른 PLS2 데이터를 나타낸다.
- [27] 도 15는 본 발명의 다른 일 실시예에 따른 PLS2 데이터를 나타낸다.
- [28] 도 16은 본 발명의 일 실시예에 따른 프레임의 로지컬(logical, 논리) 구조를 나타낸다.
- [29] 도 17은 본 발명의 일 실시예에 따른 PLS (physical layer signalling) 매핑을 나타낸다.
- [30] 도 18은 본 발명의 일 실시예에 따른 EAC (emergency alert channel) 매핑을 나타낸다.
- [31] 도 19는 본 발명의 일 실시예에 따른 FIC (fast information channel) 매핑을 나타낸다.
- [32] 도 20은 본 발명의 일 실시예에 따른 DP(data pipe, 데이터 파이프)의 타입을 나타낸다.
- [33] 도 21은 본 발명의 일 실시예에 따른 DP(data pipe, 데이터 파이프) 매핑을 나타낸다.
- [34] 도 22는 본 발명의 일 실시예에 따른 FEC (forward error correction) 구조를 나타낸다.
- [35] 도 23은 본 발명의 일 실시예에 따른 비트 인터리빙을 나타낸다.
- [36] 도 24는 본 발명의 일 실시예에 따른 셀-워드 디멀티플렉싱을 나타낸다.
- [37] 도 25는 본 발명의 일 실시예에 따른 타임 인터리빙을 나타낸다.
- [38] 도 26은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 기본 동작을 나타낸다.
- [39] 도 27은 본 발명의 다른 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 동작을 나타낸다.
- [40] 도 28은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 대각선 방향 읽기 패턴을 나타낸다.
- [41] 도 29는 본 발명의 일 실시예에 따른 각 인터리빙 어레이(array)로부터 인터리빙된 XFECBLOCK을 나타낸다.
- [42] 도 30은 본 발명의 일 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [43] 도 31은 본 발명의 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [44] 도 32는 본 발명의 일 실시예에 따른 TI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [45] 도 33은 본 발명의 일 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.

- [46] 도 34는 본 발명의 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [47] 도 35는 본 발명의 일 실시예에 따른 TDI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [48] 도 36은 본 발명의 일 실시예에 따른 베리어블 데이터 레이트(variable data-rate) 시스템을 나타낸 개념도이다.
- [49] 도 37은 본 발명의 또 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [50] 도 38은 본 발명의 다른 실시예에 따른 TI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [51] 도 39는 본 발명의 일 실시예에 따른 TI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.
- [52] 도 40은 본 발명의 또 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [53] 도 41은 본 발명의 또 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [54] 도 42는 본 발명의 일 실시예에 따른 라이팅(writing) 방법을 나타낸다.
- [55] 도 43은 본 발명의 일 실시예에 따른 TDI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.
- [56] 도 44 는 본 발명의 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [57] 도 45는 본 발명에 따른 다이아고날 슬로프들의 실시예를 나타낸 도면이다.
- [58] 도 46은 본 발명의 일 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [59] 도 47은 본 발명의 일 실시예에 따른 TDI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [60] 도 48은 본 발명의 다른 실시예에 따른 variable data-rate 시스템을 나타낸 개념도이다.
- [61] 도 49는 본 발명의 일 실시예에 따른 TDI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.
- [62] 도 50은 본 발명의 일 실시예에 따른 IF 단위의 TI 패턴 베리에이션 (Pattern Variation)을 나타낸다.
- [63] 도 51은 본 발명의 일 실시예에 따른 IF 인터리빙을 도시한 도면이다.
- [64] 도 52는 본 발명의 일 실시예에 따른 CI를 나타낸 도면이다.
- [65] 도 53은 본 발명의 다른 실시예에 따른 CI를 나타낸 도면이다.
- [66] 도 54는 본 발명의 일 실시예에 따른 CI의 출력 IF들을 나타낸 도면이다.
- [67] 도 55는 본 발명의 다른 실시예에 따른 타임 인터리버를 나타낸다.
- [68] 도 56은 본 발명의 일 실시예에 따른 블록 인터리버의 동작을 나타낸 도면이다.
- [69] 도 57은 본 발명의 다른 실시예에 따른 블록 인터리버의 동작을 나타낸 도면이다.

- [70] 도 58은 본 발명의 다른 실시예에 따른 타임 디인터리버를 나타낸 도면이다.
- [71] 도 59는 본 발명의 다른 실시예에 따른 CI를 나타낸 도면이다.
- [72] 도 60은 본 발명의 일 실시예에 따른 컨벌루셔널 인터리버와 블록 인터리버간의 인터페이스 프로세싱을 나타낸 도면이다.
- [73] 도 61은 본 발명의 다른 실시예에 따른 블록 인터리빙을 나타낸 도면이다.
- [74] 도 62는 본 발명의 다른 실시예에 따른 variable data-rate 시스템을 나타낸 개념도이다.
- [75] 도 63은 본 발명의 블록 인터리빙의 라이팅(writing) 및 리딩 (reading) 오퍼레이션의 일 실시예를 나타낸다.
- [76] 도 64는 본 발명의 일 실시예에 따른 블록 인터리빙을 나타낸 수학적식이다.
- [77] 도 65는 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들을 나타낸 도면이다.
- [78] 도 66은 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 리딩 (reading) 동작을 나타낸 수학적식이다.
- [79] 도 67은 본 발명의 일 실시예에 따른 타임 인터리빙의 프로세스를 나타낸 순서도이다.
- [80] 도 68은 본 발명의 일 실시예에 따른 시프트 밸류 및 맥시멈 TI 블록의 크기를 결정하는 과정을 나타낸 수학적식이다.
- [81] 도 69는 본 발명의 일 실시예에 따른 라이팅 (writing) 오퍼레이션을 나타낸다.
- [82] 도 70은 본 발명의 일 실시예에 따른 리딩 (reading) 오퍼레이션을 나타낸다.
- [83] 도 71은 본 발명의 일 실시예에 따른 리딩 (reading) 오퍼레이션에서 스킵 오퍼레이션이 수행된 결과를 나타낸다.
- [84] 도 72는 본 발명의 일 실시예에 따른 타임 디인터리빙의 라이팅 (writing) 과정을 나타낸다.
- [85] 도 73은 본 발명의 다른 실시예에 따른 타임 디인터리빙의 라이팅 (writing) 과정을 나타낸다.
- [86] 도 74는 본 발명의 다른 실시예에 따른 타임 디인터리빙의 리딩 (reading) 오퍼레이션을 나타내는 수학적식이다.
- [87] 도 75는 본 발명의 일 실시예에 따른 타임 디인터리빙의 프로세스를 나타낸 순서도이다.
- [88] 도 76은 본 발명의 다른 실시예에 따른 타임 인터리버를 나타낸 블록도이다.
- [89] 도 77는 트위스티드 블록 인터리빙 동작을 나타낸 도면이다.
- [90] 도 78는 컨볼루션 인터리빙 동작을 나타낸 도면이다.
- [91] 도 79은 컨볼루션 인터리버의 리딩 동작(reading operation)에 따른 출력(output) 프레임을 나타낸다.
- [92] 도 80은 본 발명의 일 실시예에 따른 타임 디인터리버를 나타낸 블록도이다.
- [93] 도 81은 타임 인터리버 및 타임 디인터리버의 메모리 구성(memory configuration)을 도시한 도면이다.

- [94] 도 82는 본 발명의 일 실시예에 따른 타임 디인터리빙 동작을 나타낸 도면이다
- [95] 도 83은 본 발명의 일 실시예에 따른 타임 인터리버의 구조를 나타낸 도면이다.
- [96] 도 84은 컨볼루션 인터리빙 이후 리딩 오퍼레이션(reading operation) 동작을 나타낸 도면이다.
- [97] 도 85는 본 발명의 일 실시예에 따른 타임 디인터리버(Time Deinterleaver)의 구조를 나타낸 도면이다.
- [98] 도 86은 본 발명의 일 실시예에 따른 컨볼루션 디인터리빙 동작을 나타낸 도면이다.
- [99] 도 87는 본 발명의 일 실시예에 따른 트위스티드 디인터리빙 동작을 나타낸 도면이다.
- [100] 도 88는 PLP 개수에 따라 적용하는 인터리빙 타입을 표로 도시한 도면이다.
- [101] 도 89은 상술한 하이브리드 타임 인터리버 구조의 제 1 실시예를 포함하는 블록도이다.
- [102] 도 90은 상술한 하이브리드 타임 인터리버 구조의 제 2 실시예를 포함하는 블록도이다.
- [103] 도 91은 하이브리드 타임 디인터리버의 구조의 제 1 실시예를 포함하는 블록도이다.
- [104] 도 92는 하이브리드 타임 디인터리버의 구조의 제 2 실시예를 포함하는 블록도이다.
- [105] 도 93은 본 발명의 일 실시예에 따른 인터리버 구조를 나타내는 도면이다.
- [106] 도 94는 PLP 모드가 M-PLP인 경우, 본 발명의 일 실시예에 따른 인터리버의 구조를 나타낸 도면이다.
- [107] 도 95는 도 93 내지 도 94에서 설명한 인터리버의 동작에 상응하는 디인터리버의 구조를 나타낸 도면이다.
- [108] 도 96은 셀 인터리버의 리딩-라이팅(reading-writing) 동작 과정을 나타낸 수학적식이다.
- [109] 도 97은 본 발명의 일 실시예에 따른 셀 인터리버에 적용될 수 있는 쉬프트 밸류(shift value)와 이에 따른 인터리빙 시퀀스를 수학적식으로 나타낸 도면이다.
- [110] 도 98은 VBR(variable bit rate) 시스템인 경우 트위스티드 리딩(twisted reading) 동작에 필요한 관련 파라미터(parameter) 정의 및 버추얼 FEC 블록(virtual FEC block)을 나타낸 도면이다.
- [111] 도 99는 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.
- [112] 도 100 은 VBR(variable bit rate) 시스템이며 쉬프트 밸류(shift value, ST)가 1로 고정된 경우, 트위스티드 리딩(twisted reading) 동작에 필요한 관련 파라미터(parameter) 정의 및 버추얼 FEC 블록(virtual FEC block)을 나타낸 도면이다.
- [113] 도 101은 쉬프트 밸류(ST)가 1로 고정된 경우, 본 발명의 일 실시예에 따른

버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.

- [114] 도 102는 쉬프트 밸류(ST)에 따른 본 발명의 일 실시예에 따른 트위스티드 리딩 (twisted reading) 동작을 나타낸다.
- [115] 도 103은 기존의 블록 인터리버의 리딩 동작을 나타내는 실시예이다.
- [116] 도 104는 본 발명의 일 실시예에 따른 컨볼루션 인터리버의 동작에 필요한 파라미터들을 나타낸다.
- [117] 도 105는 본 발명의 일 실시예에 따른 NGH-CI의 구조를 나타낸다.
- [118] 도 106은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다.
- [119] 도 107은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다.
- [120] 도 108은 본 발명의 일 실시예에 따른 NGH-CDI의 구조를 나타낸다.
- [121] 도 109는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다.
- [122] 도 110은 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다.
- [123] 도 111은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다.
- [124] 도 112는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다.
- [125] 도 113은 본 발명의 일 실시예에 따른 인터리버 구조를 나타내는 도면이다.
- [126] 도 114는 PLP 모드가 M-PLP인 경우, 본 발명의 일 실시예에 따른 인터리버의 구조를 나타낸 도면이다.
- [127] 도 115는 도 113 내지 도 114에서 설명한 인터리버의 동작에 상응하는 디인터리버
- [128] 의 구조를 나타낸 도면이다.
- [129] 도 116은 본 발명의 다른 실시예에 따른 셀 인터리버에 적용될 수 있는 쉬프트 밸류(shift value)와 이에 따른 인터리빙 시퀀스를 수학적식으로 나타낸 도면이다.
- [130] 도 117은 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.
- [131] 도 118은 본 발명의 일 실시예에 따라 쉬프트 밸류(ST)가 1로 고정된 경우, 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.
- [132] 도 119는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다.
- [133] 도 120은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다.

- [134] 도 121은 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다.
- [135] 도 122는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다.
- [136] 도 123은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다.
- [137] 도 124는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다.
- [138] 도 125는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다.
- [139] 도 126은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버의 구조를 나타내는 도면이다.
- [140] 도 127은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버에서 사용되는 파라미터들을 나타낸다.
- [141] 도 128은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버 및 시그널링 정보를 생성하는 방법을 나타낸다.
- [142] 도 129는 본 발명의 일 실시예에 따른 방송 신호 송신 장치가 인터리빙 관련 시그널링 정보를 획득하기 위한 방법을 나타낸다.
- [143] 도 130은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버의 동작을 나타낸 도면이다.
- [144] 도 131은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버가 프레임을 구성하는 방법을 나타낸다.
- [145] 도 132는 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버가 프레임을 구성하는 방법을 나타낸다.
- [146] 도 133은 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 구조를 나타내는 도면이다.
- [147] 도 134는 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 동작 방법을 나타낸다.
- [148] 도 135는 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 동작 방법을 나타낸다.
- [149] 도 136은 본 발명의 일 실시예에 따른 타임 인터리버를 나타낸다.
- [150] 도 137은 본 발명의 일 실시예에 따른 타임 인터리빙 시그널링 정보 중 일부를 나타낸다.
- [151] 도 138은 본 발명의 일 실시예에 따른 타임 인터리빙 시그널링 정보 중 다른 일부를 나타낸다.
- [152] 도 139는 본 발명의 일 실시예에 따른 타임 디인터리버를 나타낸다.
- [153] 도 140은 본 발명의 일 실시예에 따른 방송 신호 송신 장치의 동작 방법을 나타낸 도면이다.

- [154] 도 141은 본 발명의 일 실시예에 따른 방송 신호 수신 장치의 동작 방법을 나타낸 도면이다.

발명의 실시를 위한 최선의 형태

- [155] 본 발명의 바람직한 실시예에 대해 구체적으로 설명하며, 그 예는 첨부된 도면에 나타낸다. 첨부된 도면을 참조한 아래의 상세한 설명은 본 발명의 실시예에 따라 구현될 수 있는 실시예만을 나타내기보다는 본 발명의 바람직한 실시예를 설명하기 위한 것이다. 다음의 상세한 설명은 본 발명에 대한 철저한 이해를 제공하기 위해 세부 사항을 포함한다. 그러나 본 발명이 이러한 세부 사항 없이 실행될 수 있다는 것은 당업자에게 자명하다.
- [156] 본 발명에서 사용되는 대부분의 용어는 해당 분야에서 널리 사용되는 일반적인 것들에서 선택되지만, 일부 용어는 출원인에 의해 임의로 선택되며 그 의미는 필요에 따라 다음 설명에서 자세히 서술한다. 따라서 본 발명은 용어의 단순한 명칭이나 의미가 아닌 용어의 의도된 의미에 근거하여 이해되어야 한다.
- [157] 본 발명은 차세대 방송 서비스에 대한 방송 신호 송신 및 수신 장치 및 방법을 제공한다. 본 발명의 일 실시예에 따른 차세대 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스, UHDTV 서비스 등을 포함한다. 본 발명은 일 실시예에 따라 비-MIMO (non-Multiple Input Multiple Output) 또는 MIMO 방식을 통해 차세대 방송 서비스에 대한 방송 신호를 처리할 수 있다. 본 발명의 일 실시예에 따른 비-MIMO 방식은 MISO (Multiple Input Single Output) 방식, SISO (Single Input Single Output) 방식 등을 포함할 수 있다.
- [158] 이하에서는 설명의 편의를 위해 MISO 또는 MIMO 방식은 두 개의 안테나를 사용하지만, 본 발명은 두 개 이상의 안테나를 사용하는 시스템에 적용될 수 있다. 본 발명은 특정 용도에 요구되는 성능을 달성하면서 수신기 복잡도를 최소화하기 위해 최적화된 세 개의 피지컬 프로파일(PHY profile) (베이스(base), 핸드헬드(handheld), 어드벤스(advanced) 프로파일)을 정의할 수 있다. 피지컬 프로파일은 해당하는 수신기가 구현해야 하는 모든 구조의 서브셋이다.
- [159] 세 개의 피지컬 프로파일은 대부분의 기능 블록을 공유하지만, 특정 블록 및/또는 파라미터에서는 약간 다르다. 추후에 추가로 피지컬 프로파일이 정의될 수 있다. 시스템 발전을 위해, 퓨처 프로파일은 FEF (future extension frame)을 통해 단일 RF (radio frequency) 채널에 존재하는 프로파일과 멀티플렉싱 될 수도 있다. 각 피지컬 프로파일에 대한 자세한 내용은 후술한다.
- [160] 1. 베이스 프로파일
- [161] 베이스 프로파일은 주로 루프 톱(roof-top) 안테나와 연결되는 고정된 수신 장치의 주된 용도를 나타낸다. 베이스 프로파일은 어떤 장소로 이동될 수 있지만 비교적 정지된 수신 범주에 속하는 휴대용 장치도 포함할 수 있다. 베이스 프로파일의 용도는 약간의 개선된 실행에 의해 핸드헬드 장치 또는 차량용으로 확장될 수 있지만, 이러한 사용 용도는 베이스 프로파일 수신기 동작에서는

기대되지 않는다.

- [162] 수신기의 타겟 신호 대 잡음비 범위는 대략 10 내지 20 dB인데, 이는 기존 방송 시스템(예를 들면, ATSC A/53)의 15 dB 신호 대 잡음비 수신 능력을 포함한다. 수신기 복잡도 및 소비 전력은 핸드헬드 프로파일을 사용할 배터리로 구동되는 핸드헬드 장치에서만 중요하지 않다. 베이스 프로파일에 대한 중요 시스템 파라미터가 아래 표 1에 기재되어 있다.

- [163] 표 1

[표1]

LDPC 코드워드 길이	16K, 64K 비트
컨스텔레이션 사이즈	4~10 bpcu (bits per channel use)
타임 디인터리빙 메모리 사이즈	$\leq 2^{19}$ 데이터 셀
파일럿 패턴	고정 수신에 대한 파일럿 패턴
FFT 사이즈	16K, 32K points

- [164] 2. 핸드헬드 프로파일

- [165] 핸드헬드 프로파일은 배터리 전원으로 구동되는 핸드헬드 및 차량용 장치에서의 사용을 위해 설계된다. 해당 장치는 보행자 또는 차량 속도로 이동할 수 있다. 수신기 복잡도뿐만 아니라 소비 전력은 핸드헬드 프로파일의 장치의 구현을 위해 매우 중요하다. 핸드헬드 프로파일의 타겟 신호 대 잡음비 범위는 대략 0 내지 10 dB이지만, 더 낮은 실내 수신을 위해 의도된 경우 0 dB 아래에 달하도록 설정될 수 있다.

- [166] 저 신호 대 잡음비 능력뿐만 아니라, 수신기 이동성에 의해 나타난 도플러 효과에 대한 복원력은 핸드헬드 프로파일의 가장 중요한 성능 속성이다. 핸드헬드 프로파일에 대한 중요 시스템 파라미터가 아래 표 2에 기재되어 있다.

- [167] 표 2

[표2]

LDPC 코드워드 길이	16K 비트
컨스텔레이션 사이즈	2~8 bpcu
타임 디인터리빙 메모리 사이즈	$\leq 2^{18}$ 데이터 셀
파일럿 패턴	이동 및 실내 수신에 대한 파일럿 패턴
FFT 사이즈	8K, 16K points

- [168] 3. 어드벤스 프로파일

- [169] 어드벤스 프로파일은 더 큰 실행 복잡도에 대한 대가로 더 높은 채널 능력을 제공한다. 해당 프로파일은 MIMO 송신 및 수신을 사용할 것을 요구하며, UHDTV 서비스는 타겟 용도이고, 이를 위해 해당 프로파일이 특별히 설계된다. 향상된 능력은 주어진 대역폭에서 서비스 수의 증가, 예를 들면, 다수의 SDTV 또는 HDTV 서비스를 허용하는 데도 사용될 수 있다.

- [170] 어드벤스 프로파일의 타겟 신호 대 잡음비 범위는 대략 20 내지 30 dB이다. MIMO 전송은 초기에는 기존의 타원 분극 전송 장비를 사용하고, 추후에 전출력

교차 분극 전송으로 확장될 수 있다. 어드벤스 프로파일에 대한 중요 시스템 파라미터가 아래 표 3에 기재되어 있다.

[171] 표 3

[표3]

LDPC 코드워드 길이	16K, 64K 비트
컨스텔레이션 사이즈	8~12 bpcu
타임 디인터리빙 메모리 사이즈	$\leq 2^{19}$ 데이터 셀
파일럿 패턴	고정 수신에 대한 파일럿 패턴
FFT 사이즈	16K, 32K points

[172] 이 경우, 베이스 프로파일은 지상파 방송 서비스 및 모바일 방송 서비스 모두에 대한 프로파일로 사용될 수 있다. 즉, 베이스 프로파일은 모바일 프로파일을 포함하는 프로파일의 개념을 정의하기 위해 사용될 수 있다. 또한, 어드벤스 프로파일은 MIMO를 갖는 베이스 프로파일에 대한 어드벤스 프로파일 및 MIMO를 갖는 핸드헬드 프로파일에 대한 어드벤스 프로파일로 구분될 수 있다. 그리고 해당 세 프로파일은 설계자의 의도에 따라 변경될 수 있다.

[173] 다음의 용어 및 정의는 본 발명에 적용될 수 있다. 다음의 용어 및 정의는 설계에 따라 변경될 수 있다.

[174] 보조 스트림: 퓨처 익스텐션(future extension, 추후 확장) 또는 방송사나 네트워크 운영자에 의해 요구됨에 따라 사용될 수 있는 아직 정의되지 않은 변조 및 코딩의 데이터를 전달하는 셀의 시퀀스

[175] 베이스 데이터 파이프(base data pipe): 서비스 시그널링 데이터를 전달하는 데이터 파이프

[176] 베이스밴드 프레임 (또는 BBFRAME): 하나의 FEC 인코딩 과정 (BCH 및 LDPC 인코딩)에 대한 입력을 형성하는 Kbch 비트의 집합

[177] 셀(cell): OFDM 전송의 하나의 캐리어에 의해 전달되는 변조값

[178] 코딩 블록(coded block): PLS1 데이터의 LDPC 인코딩된 블록 또는 PLS2 데이터의 LDPC 인코딩된 블록들 중 하나

[179] 데이터 파이프(data pipe): 하나 또는 다수의 서비스 또는 서비스 컴포넌트를 전달할 수 있는 서비스 데이터 또는 관련된 메타데이터를 전달하는 물리 계층(physical layer)에서의 로지컬 채널

[180] 데이터 파이프 유닛(DPU, data pipe unit): 데이터 셀을 프레임에서의 데이터 파이프에 할당할 수 있는 기본 유닛

[181] 데이터 심볼(data symbol): 프리앰블 심볼이 아닌 프레임에서의 OFDM 심볼 (프레임 시그널링 심볼 및 프레임 엣지(edge) 심볼은 데이터 심볼에 포함된다.)

[182] DP_ID: 해당 8비트 필드는 SYSTEM_ID에 의해 식별된 시스템 내에서 데이터 파이프를 유일하게 식별한다.

[183] 더미 셀(dummy cell): PLS (physical layer signalling) 시그널링, 데이터 파이프, 또는 보조 스트림을 위해 사용되지 않은 남아 있는 용량을 채우는 데 사용되는

- 의사 랜덤값을 전달하는 셀
- [184] FAC (emergency alert channel, 비상 정보 채널): EAS 정보 데이터를 전달하는 프레임 중 일부
- [185] 프레임(frame): 프리앰블로 시작해서 프레임 엣지 심볼로 종료되는 물리 계층(physical layer) 타임 슬롯
- [186] 프레임 리피티션 유닛(frame repetition unit, 프레임 반복 단위): 슈퍼 프레임(super-frame)에서 8회 반복되는 FEF를 포함하는 동일한 또는 다른 피지컬 프로파일에 속하는 프레임의 집합
- [187] FIC (fast information channel, 고속 정보 채널): 서비스와 해당 베이스 데이터 파이프 사이에서의 매핑 정보를 전달하는 프레임에서 로지컬 채널
- [188] FECBLOCK: 데이터 파이프 데이터의 LDPC 인코딩된 비트의 집합
- [189] FFT 사이즈: 기본 주기 T의 사이클로 표현된 액티브 심볼 주기 T_s 와 동일한 특정 모드에 사용되는 명목상의 FFT 사이즈
- [190] 프레임 시그널링 심볼(frame signaling symbol): PLS 데이터의 일부를 전달하는, FFT 사이즈, 가드 인터벌(guard interval), 및 스캐터(scattered) 파일럿 패턴의 특정 조합에서 프레임의 시작에서 사용되는 더 높은 파일럿 밀도를 갖는 OFDM 심볼
- [191] 프레임 엣지 심볼(frame edge symbol): FFT 사이즈, 가드 인터벌, 및 스캐터 파일럿 패턴의 특정 조합에서 프레임의 끝에서 사용되는 더 높은 파일럿 밀도를 갖는 OFDM 심볼
- [192] 프레임 그룹(frame-group): 슈퍼 프레임에서 동일한 피지컬 프로파일 타입을 갖는 모든 프레임의 집합
- [193] 퓨처 익스텐션 프레임(future extension frame, 추후 확장 프레임): 프리앰블로 시작하는, 추후 확장에 사용될 수 있는 슈퍼 프레임 내에서 물리 계층(physical layer) 타임 슬롯
- [194] 퓨처캐스트(futurecast) UTB 시스템: 입력이 하나 이상의 MPEG2-TS 또는 IP (Internet protocol) 또는 일반 스트림이고 출력이 RF 시그널인 제안된 물리 계층(physical layer) 방송 시스템
- [195] 인풋 스트림(input stream, 입력 스트림): 시스템에 의해 최종 사용자에게 전달되는 서비스의 조화(ensemble)를 위한 데이터의 스트림
- [196] 노멀(normal) 데이터 심볼: 프레임 시그널링 심볼 및 프레임 엣지 심볼을 제외한 데이터 심볼
- [197] 피지컬 프로파일(PHY profile): 해당하는 수신기가 구현해야 하는 모든 구조의 서브셋
- [198] PLS: PLS1 및 PLS2로 구성된 물리 계층(physical layer) 시그널링 데이터
- [199] PLS1: PLS2를 디코딩하는 데 필요한 파라미터뿐만 아니라 시스템에 관한 기본 정보를 전달하는 고정된 사이즈, 코딩, 변조를 갖는 FSS (frame signalling symbol)로 전달되는 PLS 데이터의 첫 번째 집합
- [200] NOTE: PLS1 데이터는 프레임 그룹의 듀레이션(duration) 동안 일정하다.

- [201] PLS2: 데이터 파이프 및 시스템에 관한 더욱 상세한 PLS 데이터를 전달하는 FSS로 전송되는 PLS 데이터의 두 번째 집합
- [202] PLS2 다이내믹(dynamic, 동적) 데이터: 프레임마다 다이내믹(dynamic, 동적)으로 변화하는 PLS2 데이터
- [203] PLS2 스테틱(static, 정적) 데이터: 프레임 그룹의 듀레이션 동안 스테틱(static, 정적)인 PLS2 데이터
- [204] 프리앰블 시그널링 데이터(preamble signaling data): 프리앰블 심볼에 의해 전달되고 시스템의 기본 모드를 확인하는 데 사용되는 시그널링 데이터
- [205] 프리앰블 심볼(preamble symbol): 기본 PLS 데이터를 전달하고 프레임의 시작에 위치하는 고정된 길이의 파일럿 심볼
- [206] NOTE: 프리앰블 심볼은 시스템 신호, 그 타이밍, 주파수 오프셋, 및 FFT 사이즈를 검출하기 위해 고속 초기 밴드 스캔에 주로 사용된다.
- [207] 추후 사용(future use)을 위해 리저브드(reserved): 현재 문서에서 정의되지 않지만 추후에 정의될 수 있음
- [208] 슈퍼 프레임(superframe): 8개의 프레임 반복 단위의 집합
- [209] 타임 인터리빙 블록(time interleaving block, TI block): 타임 인터리버 메모리의 하나의 용도에 해당하는, 타임 인터리빙이 실행되는 셀의 집합
- [210] 타임 인터리빙 그룹(time interleaving group, TI group): 정수, 다이내믹(dynamic, 동적)으로 변화하는 XFECBLOCK의 수로 이루어진, 특정 데이터 파이프에 대한 다이내믹(dynamic, 동적) 용량 할당이 실행되는 단위
- [211] NOTE: 타임 인터리빙 그룹은 하나의 프레임에 직접 매핑되거나 다수의 프레임에 매핑될 수 있다. 타임 인터리빙 그룹은 하나 이상의 타임 인터리빙 블록을 포함할 수 있다.
- [212] 타입 1 데이터 파이프(Type 1 DP): 모든 데이터 파이프가 프레임에 TDM (time division multiplexing) 방식으로 매핑되는 프레임의 데이터 파이프
- [213] 타입 2 데이터 파이프(Type 2 DP): 모든 데이터 파이프가 프레임에 FDM 방식으로 매핑되는 프레임의 데이터 파이프
- [214] XFECBLOCK: 하나의 LDPC FECBLOCK의 모든 비트를 전달하는 N_{cells} 셀들의 집합
- [215] 도 1은 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치의 구조를 나타낸다.
- [216] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 인풋 포맷 블록 (Input Format block) (1000), BICM (bit interleaved coding & modulation) 블록(1010), 프레임 빌딩 블록 (Frame building block) (1020), OFDM (orthogonal frequency division multiplexing) 제너레이션 블록 (OFDM generation block)(1030), 및 시그널링 생성 블록(1040)을 포함할 수 있다. 방송 신호 송신 장치의 각 블록의 동작에 대해 설명한다.
- [217] IP 스트림/패킷 및 MPEG2-TS은 주요 입력 포맷이고, 다른 스트림 타입은 일반

스트림으로 다루어진다. 이들 데이터 입력에 추가로, 관리 정보가 입력되어 각 입력 스트림에 대한 해당 대역폭의 스케줄링 및 할당을 제어한다. 하나 또는 다수의 TS 스트림, IP 스트림 및/또는 일반 스트림 입력이 동시에 허용된다.

- [218] 인풋 포맷 블록(1000)은 각각의 입력 스트림을 독립적인 코딩 및 변조가 적용되는 하나 또는 다수의 데이터 파이프로 디멀티플렉싱 할 수 있다. 데이터 파이프는 견고성(robustness) 제어를 위한 기본 단위이며, 이는 QoS (Quality of Service)에 영향을 미친다. 하나 또는 다수의 서비스 또는 서비스 컴포넌트가 하나의 데이터 파이프에 의해 전달될 수 있다. 인풋 포맷 블록(1000)의 자세한 동작은 후술한다.
- [219] 데이터 파이프는 하나 또는 다수의 서비스 또는 서비스 컴포넌트를 전달할 수 있는 서비스 데이터 또는 관련 메타데이터를 전달하는 물리 계층(physical layer)에서의 로지컬 채널이다.
- [220] 또한, 데이터 파이프 유닛은 하나의 프레임에서 데이터 셀을 데이터 파이프에 할당하기 위한 기본 유닛이다.
- [221] 인풋 포맷 블록(1000)에서, 패리티(parity) 데이터는 에러 정정을 위해 추가되고, 인코딩된 비트 스트림은 복소수값 컨스텔레이션 심볼에 매핑된다. 해당 심볼은 해당 데이터 파이프에 사용되는 특정 인터리빙 깊이에 걸쳐 인터리빙 된다. 어드벤스 프로파일에 있어서, BICM 블록(1010)에서 MIMO 인코딩이 실행되고 추가 데이터 경로가 MIMO 전송을 위해 출력에 추가된다. BICM 블록(1010)의 자세한 동작은 후술한다.
- [222] 프레임 빌딩 블록(1020)은 하나의 프레임 내에서 입력 데이터 파이프의 데이터 셀을 OFDM 실볼로 매핑할 수 있다. 매핑 후, 주파수 영역 다이버시티를 위해, 특히 주파수 선택적 페이딩 채널을 방지하기 위해 주파수 인터리빙이 이용된다. 프레임 빌딩 블록(1020)의 자세한 동작은 후술한다.
- [223] 프리앰블을 각 프레임의 시작에 삽입한 후, OFDM 제너레이션 블록(1030)은 사이클릭 프리픽스(cyclic prefix)을 가드 인터벌로 갖는 기존의 OFDM 변조를 적용할 수 있다. 안테나 스페이스 다이버시티를 위해, 분산된(distributed) MISO 방식이 송신기에 걸쳐 적용된다. 또한, PAPR (peak-to-average power ratio) 방식이 시간 영역에서 실행된다. 유연한 네트워크 방식을 위해, 해당 제안은 다양한 FFT 사이즈, 가드 인터벌 길이, 해당 파일럿 패턴의 집합을 제공한다. OFDM 제너레이션 블록(1030)의 자세한 동작은 후술한다.
- [224] 시그널링 생성 블록(1040)은 각 기능 블록의 동작에 사용되는 물리 계층(physical layer) 시그널링 정보를 생성할 수 있다. 해당 시그널링 정보는 또한 관심 있는 서비스가 수신기 측에서 적절히 복구되도록 전송된다. 시그널링 생성 블록(1040)의 자세한 동작은 후술한다.
- [225] 도 2, 3, 4는 본 발명의 실시예에 따른 인풋 포맷 블록(1000)을 나타낸다. 각 도면에 대해 설명한다.
- [226] 도 2는 본 발명의 일 실시예에 따른 인풋 포맷 블록을 나타낸다. 도 2는 입력

- 신호가 단일 입력 스트림(single input stream)일 때의 인풋 포맷 블록을 나타낸다.
- [227] 도 2에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.
- [228] 물리 계층(physical layer)으로의 입력은 하나 또는 다수의 데이터 스트림으로 구성될 수 있다. 각각의 데이터 스트림은 하나의 데이터 파이프에 의해 전달된다. 모드 어댑테이션(mode adaptaion, 모드 적응) 모듈은 입력되는 데이터 스트림을 BBF (baseband frame)의 데이터 필드로 슬라이스한다. 해당 시스템은 세 가지 종류의 입력 데이터 스트림, 즉 MPEG2-TS, IP, GS (generic stream)을 지원한다. MPEG2-TS는 첫 번째 바이트가 동기 바이트(0x47)인 고정된 길이(188 바이트)의 패킷을 특징으로 한다. IP 스트림은 IP 패킷 헤더 내에서 시그널링되는 가변 길이 IP 데이터그램 패킷으로 구성된다. 해당 시스템은 IP 스트림에 대해 IPv4와 IPv6을 모두 지원한다. GS는 캡슐화 패킷 헤더 내에서 시그널링되는 가변 길이 패킷 또는 일정 길이 패킷으로 구성될 수 있다.
- [229] (a)는 신호 데이터 파이프에 대한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록(2000) 및 스트림 어댑테이션(stream adaptation, 스트림 적응)(2010)을 나타내고, (b)는 PLS 데이터를 생성 및 처리하기 위한 PLS 생성 블록(2020) 및 PLS 스크램블러(2030)를 나타낸다. 각 블록의 동작에 대해 설명한다.
- [230] 입력 스트림 스플리터는 입력된 TS, IP, GS 스트림을 다수의 서비스 또는 서비스 컴포넌트(오디오, 비디오 등) 스트림으로 분할한다. 모드 어댑테이션(mode adaptaion, 모드 적응) 모듈(2010)은 CRC 인코더, BB (baseband) 프레임 슬라이서, 및 BB 프레임 헤더 삽입 블록으로 구성된다.
- [231] CRC 인코더는 유저 패킷 (user packet, UP)레벨에서의 에러 검출을 위한 세 종류의 CRC 인코딩, 즉 CRC-8, CRC-16, CRC-32를 제공한다. 산출된 CRC 바이트는 UP 뒤에 첨부된다. CRC-8은 TS 스트림에 사용되고, CRC-32는 IP 스트림에 사용된다. GS 스트림이 CRC 인코딩을 제공하지 않으면, 제안된 CRC 인코딩이 적용되어야 한다.
- [232] BB 프레임 슬라이서는 입력을 내부 로지컬 비트 포맷에 매핑한다. 첫 번째 수신 비트는 MSB라고 정의한다. BB 프레임 슬라이서는 가용 데이터 필드 용량과 동일한 수의 입력 비트를 할당한다. BBF 페이로드와 동일한 수의 입력 비트를 할당하기 위해, UP 스트림이 BBF의 데이터 필드에 맞게 슬라이스된다.
- [233] BB 프레임 헤더 삽입 블록은 2바이트의 고정된 길이의 BBF 헤더를 BB 프레임의 앞에 삽입할 수 있다. BBF 헤더는 STUFFI (1비트), SYNCN (13비트), 및 RFU (2비트)로 구성된다. 고정된 2바이트 BBF 헤더뿐만 아니라, BBF는 2바이트 BBF 헤더 끝에 확장 필드(1 또는 3바이트)를 가질 수 있다.
- [234] 스트림 어댑테이션(stream adaptation, 스트림 적응)(2010)은 스테핑(stuffing) 삽입 블록 및 BB 스크램블러로 구성된다. 스테핑 삽입 블록은 스테핑 필드를 BB 프레임의 페이로드에 삽입할 수 있다. 스트림 어댑테이션(stream adaptation, 스트림 적응)에 대한 입력 데이터가 BB 프레임을 채우기에 충분하면, STUFFI는

- 0으로 설정되고, BBF는 스테핑 필드를 갖지 않는다. 그렇지 않으면, STUFFI는 1로 설정되고, 스테핑 필드는 BBF 헤더 직후에 삽입된다. 스테핑 필드는 2바이트의 스테핑 필드 헤더 및 가변 사이즈의 스테핑 데이터를 포함한다.
- [235] BB 스크램블러는 에너지 분산을 위해 완전한 BBF를 스크램블링한다. 스크램블링 시퀀스는 BBF와 동기화된다. 스크램블링 시퀀스는 피드백 시프트 레지스터에 의해 생성된다.
- [236] PLS 생성 블록(2020)은 PLS 데이터를 생성할 수 있다. PLS는 수신기에서 피지컬 레이어(physical layer) 데이터 파이프에 접속할 수 있는 수단을 제공한다. PLS 데이터는 PLS1 데이터 및 PLS2 데이터로 구성된다.
- [237] PLS1 데이터는 PLS2 데이터를 디코딩하는 데 필요한 파라미터뿐만 아니라 시스템에 관한 기본 정보를 전달하는 고정된 사이즈, 코딩, 변조를 갖는 프레임에서 FSS로 전달되는 PLS 데이터의 첫 번째 집합이다. PLS1 데이터는 PLS2 데이터의 수신 및 디코딩을 가능하게 하는 데 요구되는 파라미터를 포함하는 기본 송신 파라미터를 제공한다. 또한, PLS1 데이터는 프레임 그룹의 듀레이션 동안 일정하다.
- [238] PLS2 데이터는 데이터 파이프 및 시스템에 관한 더욱 상세한 PLS 데이터를 전달하는 FSS로 전송되는 PLS 데이터의 두 번째 집합이다. PLS2는 수신기가 원하는 데이터 파이프를 디코딩하는 데 충분한 정보를 제공하는 파라미터를 포함한다. PLS2 시그널링은 PLS2 스테틱(static, 정적) 데이터(PLS2-STAT 데이터) 및 PLS2 다이내믹(dynamic, 동적) 데이터(PLS2-DYN 데이터)의 두 종류의 파라미터로 더 구성된다. PLS2 스테틱(static, 정적) 데이터는 프레임 그룹의 듀레이션 동안 스테틱(static, 정적)인 PLS2 데이터이고, PLS2 다이내믹(dynamic, 동적) 데이터는 프레임마다 다이내믹(dynamic, 동적)으로 변화하는 PLS2 데이터이다.
- [239] PLS 데이터에 대한 자세한 내용은 후술한다.
- [240] PLS 스크램블러(2030)는 에너지 분산을 위해 생성된 PLS 데이터를 스크램블링할 수 있다.
- [241] 전술한 블록은 생략될 수도 있고 유사 또는 동일 기능을 갖는 블록에 의해 대체될 수도 있다.
- [242] 도 3은 본 발명의 다른 일 실시예에 따른 인풋 포맷 블록을 나타낸다.
- [243] 도 3에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.
- [244] 도 3은 입력 신호가 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)에 해당하는 경우 인풋 포맷 블록의 모드 어댑테이션(mode adaptaion, 모드 적응) 블록을 나타낸다.
- [245] 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 처리하기 위한 인풋 포맷 블록의 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 다수 입력 스트림을 독립적으로 처리할 수 있다.

- [246] 도 3을 참조하면, 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 각각 처리하기 위한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 인풋 스트림 스플리터 (input stream splitter) (3000), 인풋 스트림 싱크로나이저 (input stream synchronizer) (3010), 컴펜세이팅 딜레이(compensatin delay, 보상 지연) 블록(3020), 널 패킷 딜리션 블록 (null packet deletion block) (3030), 헤더 컴프레션 블록 (header compression block) (3040), CRC 인코더 (CRC encoder) (3050), BB 프레임 슬라이서(BB frame slicer) (3060), 및 BB 헤더 삽입 블록 (BB header insertion block) (3070)을 포함할 수 있다. 모드 어댑테이션(mode adaptaion, 모드 적응) 블록의 각 블록에 대해 설명한다.
- [247] CRC 인코더(3050), BB 프레임 슬라이서(3060), 및 BB 헤더 삽입 블록(3070)의 동작은 도 2를 참조하여 설명한 CRC 인코더, BB 프레임 슬라이서, 및 BB 헤더 삽입 블록의 동작에 해당하므로, 그 설명은 생략한다.
- [248] 인풋 스트림 스플리터(3000)는 입력된 TS, IP, GS 스트림을 다수의 서비스 또는 서비스 컴포넌트(오디오, 비디오 등) 스트림으로 분할한다.
- [249] 인풋 스트림 싱크로나이저(3010)는 ISSY라 불릴 수 있다. ISSY는 어떠한 입력 데이터 포맷에 대해서도 CBR (constant bit rate) 및 일정한 종단간 전송(end-to-end transmission) 지연을 보장하는 적합한 수단을 제공할 수 있다. ISSY는 TS를 전달하는 다수의 데이터 파이프의 경우에 항상 이용되고, GS 스트림을 전달하는 다수의 데이터 파이프에 선택적으로 이용된다.
- [250] 컴펜세이팅 딜레이(compensatin delay, 보상 지연) 블록(3020)은 수신기에서 추가로 메모리를 필요로 하지 않고 TS 패킷 재결합 메커니즘을 허용하기 위해 ISSY 정보의 삽입에 뒤따르는 분할된 TS 패킷 스트림을 지연시킬 수 있다.
- [251] 널 패킷 딜리션 블록(3030)은 TS 입력 스트림 경우에만 사용된다. 일부 TS 입력 스트림 또는 분할된 TS 스트림은 VBR (variable bit-rate) 서비스를 CBR TS 스트림에 수용하기 위해 존재하는 많은 수의 널 패킷을 가질 수 있다. 이 경우, 불필요한 전송 오버헤드를 피하기 위해, 널 패킷은 확인되어 전송되지 않을 수 있다. 수신기에서, 제거된 널 패킷은 전송에 삽입된 DNP(deleted null-packet, 삭제된 널 패킷) 카운터를 참조하여 원래 존재했던 정확한 장소에 재삽입될 수 있어, CBR이 보장되고 타임 스탬프(PCR) 갱신의 필요가 없어진다.
- [252] 헤더 컴프레션 블록(3040)은 TS 또는 IP 입력 스트림에 대한 전송 효율을 증가시키기 위해 패킷 헤더 압축을 제공할 수 있다. 수신기는 헤더의 특정 부분에 대한 선형적인(a priori) 정보를 가질 수 있기 때문에, 이 알려진 정보(known information)는 송신기에서 삭제될 수 있다.
- [253] TS에 대해, 수신기는 동기 바이트 구성(0x47) 및 패킷 길이(188 바이트)에 관한 선형적인 정보를 가질 수 있다. 입력된 TS가 하나의 PID만을 갖는 콘텐츠를 전달하면, 즉, 하나의 서비스 컴포넌트(비디오, 오디오 등) 또는 서비스 서브 컴포넌트(SVC 베이스 레이어, SVC 인헨스먼트 레이어, MVC 베이스 뷰, 또는 MVC 의존 뷰)에 대해서만, TS 패킷 헤더 압축이 TS에 (선택적으로) 적용될 수

있다. TS 패킷 헤더 압축은 입력 스트림이 IP 스트림인 경우 선택적으로 사용된다. 상기 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

- [254] 도 4는 본 발명의 다른 실시예에 따른 인풋 포맷 블록을 나타낸다.
- [255] 도 4에 도시된 인풋 포맷 블록은 도 1을 참조하여 설명한 인풋 포맷 블록(1000)의 일 실시예에 해당한다.
- [256] 도 4는 입력 신호가 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)에 해당하는 경우 인풋 포맷 블록의 스트림 어댑테이션(stream adaptation, 스트림 적응) 블록을 나타낸다.
- [257] 도 4를 참조하면, 멀티 인풋 스트림(multi input stream, 다수의 입력 스트림)을 각각 처리하기 위한 모드 어댑테이션(mode adaptaion, 모드 적응) 블록은 스케줄러(4000), 1-프레임 딜레이(delay) 블록(4010), 스테리핑 삽입 블록(4020), 인 밴드(In-band) 시그널링 블록(4030), BB 프레임 스�크램블러(4040), PLS 생성 블록(4050), PLS 스�크램블러(4060)를 포함할 수 있다. 스트림 어댑테이션(stream adaptation, 스트림 적응) 블록의 각 블록에 대해 설명한다.
- [258] 스테리핑 삽입 블록(4020), BB 프레임 스�크램블러(4040), PLS 생성 블록(4050), PLS 스�크램블러(4060)의 동작은 도 2를 참조하여 설명한 스테리핑 삽입 블록, BB 스�크램블러, PLS 생성 블록, PLS 스�크램블러(4060)의 동작에 해당하므로 그 설명은 생략한다.
- [259] 스케줄러(4000)는 각 데이터 파이프의 FECBLOCK의 양으로부터 전체 프레임에 걸쳐 전체의 셀 할당을 결정할 수 있다. PLS, EAC 및 FIC에 대한 할당을 포함해서, 스케줄러는 프레임의 FSS의 PLS 셀 또는 인 밴드(In-band) 시그널링으로 전송되는 PLS2-DYN 데이터의 값을 생성한다. FECBLOCK, EAC, FIC에 대한 상세한 내용은 후술한다.
- [260] 1-프레임 딜레이(delay) 블록(4010)은 다음 프레임에 관한 스케줄링 정보가 데이터 파이프에 삽입될 인 밴드(In-band) 시그널링 정보에 관한 현 프레임들 통해 전송될 수 있도록 입력 데이터를 하나의 전송 프레임만큼 지연시킬 수 있다.
- [261] 인 밴드(In-band) 시그널링 블록(4030)은 PLS2 데이터의 지연되지 않은 부분을 프레임의 데이터 파이프에 삽입할 수 있다.
- [262] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.
- [263] 도 5는 본 발명의 일 실시예에 따른 BICM 블록을 나타낸다.
- [264] 도 5에 도시된 BICM 블록은 도 1을 참조하여 설명한 BICM 블록(1010)의 일 실시예에 해당한다.
- [265] 전술한 바와 같이, 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 지상파 방송 서비스, 모바일 방송 서비스, UHD TV 서비스 등을 제공할 수 있다.

- [266] QoS가 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치에 의해 제공되는 서비스의 특성에 의존하므로, 각각의 서비스에 해당하는 데이터는 서로 다른 방식을 통해 처리되어야 한다. 따라서, 본 발명의 일 실시예에 따른 BICM 블록은 SISO, MISO, MIMO 방식을 각각의 데이터 경로에 해당하는 데이터 파이프에 독립적으로 적용함으로써 각 데이터 파이프를 독립적으로 처리할 수 있다. 결과적으로, 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 송신 장치는 각각의 데이터 파이프를 통해 전송되는 각 서비스 또는 서비스 컴포넌트에 대한 QoS를 조절할 수 있다.
- [267] (a)는 베이스 프로파일 및 핸드헬드 프로파일에 의해 공유되는 BICM 블록을 나타내고, (b)는 어드벤스 프로파일의 BICM 블록을 나타낸다.
- [268] 베이스 프로파일 및 핸드헬드 프로파일에 의해 공유되는 BICM 블록 및 어드벤스 프로파일의 BICM 블록은 각각의 데이터 파이프를 처리하기 위한 복수의 처리 블록을 포함할 수 있다.
- [269] 베이스 프로파일 및 핸드헬드 프로파일에 대한 BICM 블록 및 어드벤스 프로파일에 대한 BICM 블록의 각각의 처리 블록에 대해 설명한다.
- [270] 베이스 프로파일 및 핸드헬드 프로파일에 대한 BICM 블록의 처리 블록(5000)은 데이터 FEC 인코더(5010), 비트 인터리버(5020), 컨스텔레이션 매핑(mapper)(5030), SSD (signal space diversity) 인코딩 블록(5040), 타임 인터리버(5050)를 포함할 수 있다.
- [271] 데이터 FEC 인코더(5010)는 외부 코딩(BCH) 및 내부 코딩(LDPC)을 이용하여 FECBLOCK 절차를 생성하기 위해 입력 BBF에 FEC 인코딩을 실행한다. 외부 코딩(BCH)은 선택적인 코딩 방법이다. 데이터 FEC 인코더(5010)의 구체적인 동작에 대해서는 후술한다.
- [272] 비트 인터리버(5020)는 효율적으로 실현 가능한 구조를 제공하면서 데이터 FEC 인코더(5010)의 출력을 인터리빙하여 LDPC 코드 및 변조 방식의 조합으로 최적화된 성능을 달성할 수 있다. 비트 인터리버(5020)의 구체적인 동작에 대해서는 후술한다.
- [273] 컨스텔레이션 매핑(5030)은 QPSK, QAM-16, 불균일 QAM (NUQ-64, NUQ-256, NUQ-1024) 또는 불균일 컨스텔레이션 (NUC-16, NUC-64, NUC-256, NUC-1024)을 이용해서 베이스 및 핸드헬드 프로파일에서 비트 인터리버(5020)로부터의 각각의 셀 워드를 변조하거나 어드벤스 프로파일에서 셀 워드 디멀티플렉서(5010-1)로부터의 셀 워드를 변조하여 파워가 정규화된 컨스텔레이션 포인트 c_i 를 제공할 수 있다. 해당 컨스텔레이션 매핑은 데이터 파이프에 대해서만 적용된다. NUQ가 임의의 형태를 갖는 반면, QAM-16 및 NUQ는 정사각형 모양을 갖는 것이 관찰된다. 각각의 컨스텔레이션이 90도의 배수만큼 회전되면, 회전된 컨스텔레이션은 원래의 것과 정확히 겹쳐진다. 회전 대칭 특성으로 인해 실수 및 허수 컴포넌트의 용량 및 평균 파워가 서로 동일해진다. NUQ 및 NUC는 모두 각 코드 레이트(code rate)에 대해 특별히

정의되고, 사용되는 특정 하나는 PLS2 데이터에 보관된 파라미터 DP_MOD에 의해 시그널링 된다.

- [274] SSD 인코딩 블록(5040)은 2차원, 3차원, 4차원에서 셀을 프리코딩하여, 어려운 페이딩 조건에서 수신 견고성(robustness)을 증가시킬 수 있다.
- [275] 타임 인터리버(5050)는 데이터 파이프 레벨에서 동작할 수 있다. 타임 인터리빙의 파라미터는 각각의 데이터 파이프에 대해 다르게 설정될 수 있다. 타임 인터리버(5050)의 구체적인 동작에 관해서는 후술한다.
- [276] 어드벤스 프로파일에 대한 BICM 블록의 처리 블록(5000-1)은 데이터 FEC 인코더, 비트 인터리버, 컨스텔레이션 매핑, 및 타임 인터리버를 포함할 수 있다.
- [277] 단, 처리 블록(5000-1)은 셀 워드 디멀티플렉서(5010-1) 및 MIMO 인코딩 블록(5020-1)을 더 포함한다는 점에서 처리 블록(5000)과 구별된다.
- [278] 또한, 처리 블록(5000-1)에서의 데이터 FEC 인코더, 비트 인터리버, 컨스텔레이션 매핑, 타임 인터리버의 동작은 전술한 데이터 FEC 인코더(5010), 비트 인터리버(5020), 컨스텔레이션 매핑(5030), 타임 인터리버(5050)의 동작에 해당하므로, 그 설명은 생략한다.
- [279] 셀 워드 디멀티플렉서(5010-1)는 어드벤스 프로파일의 데이터 파이프가 MIMO 처리를 위해 단일 셀 워드 스트림을 이중 셀 워드 스트림으로 분리하는 데 사용된다. 셀 워드 디멀티플렉서(5010-1)의 구체적인 동작에 관해서는 후술한다.
- [280] MIMO 인코딩 블록(5020-1)은 MIMO 인코딩 방식을 이용해서 셀 워드 디멀티플렉서(5010-1)의 출력을 처리할 수 있다. MIMO 인코딩 방식은 방송 신호 송신을 위해 최적화되었다. MIMO 기술은 용량 증가를 얻기 위한 유망한 방식이지만, 채널 특성에 의존한다. 특별히 방송에 대해서, 서로 다른 신호 전파 특성으로 인한 두 안테나 사이의 수신 신호 파워 차이 또는 채널의 강한 LOS 컴포넌트는 MIMO로부터 용량 이득을 얻는 것을 어렵게 한다. 제안된 MIMO 인코딩 방식은 MIMO 출력 신호 중 하나의 위상 랜덤화 및 회전 기반 프리코딩을 이용하여 이 문제를 극복한다.
- [281] MIMO 인코딩은 송신기 및 수신기 모두에서 적어도 두 개의 안테나를 필요로 하는 2x2 MIMO 시스템을 위해 의도된다. 두 개의 MIMO 인코딩 모드는 본 제안인 FR-SM (full-rate spatial multiplexing) 및 FRFD-SM (full-rate full-diversity spatial multiplexing)에서 정의된다. FR-SM 인코딩은 수신기 측에서의 비교적 작은 복잡도 증가로 용량 증가를 제공하는 반면, FRFD-SM 인코딩은 수신기 측에서의 큰 복잡도 증가로 용량 증가 및 추가적인 다이버시티 이득을 제공한다. 제안된 MIMO 인코딩 방식은 안테나 극성 배치를 제한하지 않는다.
- [282] MIMO 처리는 어드벤스 프로파일 프레임에 요구되는데, 이는 어드벤스 프로파일 프레임에서의 모든 데이터 파이프가 MIMO 인코더에 의해 처리된다는 것을 의미한다. MIMO 처리는 데이터 파이프 레벨에서 적용된다. 컨스텔레이션 매핑 출력의 페어(pair, 쌍)인 NUQ ($e_{1,i}$ 및 $e_{2,i}$)는 MIMO 인코더의 입력으로 공급된다. MIMO 인코더 출력 페어(pair, 쌍)($g_{1,i}$ 및 $g_{2,i}$)은 각각의 송신 안테나의

동일한 캐리어 k 및 OFDM 심볼 l에 의해 전송된다.

[283] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.

[284] 도 6은 본 발명의 다른 실시예에 따른 BICM 블록을 나타낸다.

[285] 도 6에 도시된 BICM 블록은 도 1을 참조하여 설명한 BICM 블록(1010)의 일 실시예에 해당한다.

[286] 도 6은 PLS, EAC, 및 FIC의 보호를 위한 BICM 블록을 나타낸다. EAC는 EAS 정보 데이터를 전달하는 프레임의 일부이고, FIC는 서비스와 해당하는 베이스 데이터 파이프 사이에서 매핑 정보를 전달하는 프레임에서의 로지컬 채널이다. EAC 및 FIC에 대한 상세한 설명은 후술한다.

[287] 도 6을 참조하면, PLS, EAC, 및 FIC의 보호를 위한 BICM 블록은 PLS FEC 인코더(6000), 비트 인터리버(6010), 및 컨스텔레이션 매핑(6020)를 포함할 수 있다.

[288] 또한, PLS FEC 인코더(6000)는 스크램블러, BCH 인코딩/제로 삽입 블록, LDPC 인코딩 블록, 및 LDPC 패리티 평처링(puncturing) 블록을 포함할 수 있다. BICM 블록의 각 블록에 대해 설명한다.

[289] PLS FEC 인코더(6000)는 스크램블링된 PLS 1/2 데이터, EAC 및 FIC 섹션을 인코딩할 수 있다.

[290] 스크램블러는 BCH 인코딩 및 쇼트닝(shortening) 및 평처링된 LDPC 인코딩 전에 PLS1 데이터 및 PLS2 데이터를 스크램블링 할 수 있다.

[291] BCH 인코딩/제로 삽입 블록은 PLS 보호를 위한 쇼트닝된 BCH 코드를 이용하여 스크램블링된 PLS 1/2 데이터에 외부 인코딩을 수행하고, BCH 인코딩 후에 제로 비트를 삽입할 수 있다. PLS1 데이터에 대해서만, 제로 삽입의 출력 비트가 LDPC 인코딩 전에 퍼뮤테이션(permutation) 될 수 있다.

[292] LDPC 인코딩 블록은 LDPC 코드를 이용하여 BCH 인코딩/제로 삽입 블록의 출력을 인코딩할 수 있다. 완전한 코딩 블록을 생성하기 위해, C_{ldpc} 및 패리티 비트 P_{ldpc} 는 각각의 제로가 삽입된 PLS 정보 블록 I_{ldpc} 로부터 조직적으로 인코딩되고, 그 뒤에 첨부된다.

[293] 수학식 1

[수식1]

$$C_{ldpc} = [I_{ldpc} \ P_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$

[294] PLS1 및 PLS2에 대한 LDPC 코드 파라미터는 다음의 표 4와 같다.

[295] 표 4

[표4]

시그 널링 타입	K_{sig}	K_{bch}	N_{bch_parity}	K_{ldpc} ($=N_{bch}$)	N_{ldpc}	N_{ldpc_parity}	코드 레이트 (code rate)	Q_{ldpc}
PLS1	342	1020	60	1080	4320	3240	1/4	36
PLS2	<1021 >1020			2160	7200	5040	3/10	56

- [296] LDPC 패리티 펄칭 블록은 PLS1 데이터 및 PLS2 데이터에 대해 펄칭을 수행할 수 있다.
- [297] 쇼트닝이 PLS1 데이터 보호에 적용되면, 일부 LDPC 패리티 비트는 LDPC 인코딩 후에 펄칭된다. 또한, PLS2 데이터 보호를 위해, PLS2의 LDPC 패리티 비트가 LDPC 인코딩 후에 펄칭된다. 이들 펄칭된 비트는 전송되지 않는다.
- [298] 비트 인터리버(6010)는 각각의 쇼트닝 및 펄칭된 PLS1 데이터 및 PLS2 데이터를 인터리빙할 수 있다.
- [299] 컨스텔레이션 매핑(6020)은 비트 인터리빙된 PLS1 데이터 및 PLS2 데이터를 컨스텔레이션에 매핑할 수 있다.
- [300] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.
- [301] 도 7은 본 발명의 일 실시예에 따른 프레임 빌딩 블록(frame building block)을 나타낸다.
- [302] 도 7에 도시한 프레임 빌딩 블록은 도 1을 참조하여 설명한 프레임 빌딩 블록(1020)의 일 실시예에 해당한다.
- [303] 도 7을 참조하면, 프레임 빌딩 블록은 딜레이 컴펜세이션(delay compensation, 지연보상) 블록(7000), 셀 매핑(cell mapper) (7010), 및 프리퀀시 인터리버(frequency interleaver) (7020)를 포함할 수 있다. 프레임 빌딩 블록의 각 블록에 관해 설명한다.
- [304] 딜레이 컴펜세이션(delay compensation, 지연보상) 블록(7000)은 데이터 파이프와 해당하는 PLS 데이터 사이의 타이밍을 조절하여 송신기 측에서 데이터 파이프와 해당하는 PLS 데이터 간의 동시성(co-time)을 보장할 수 있다. 인풋 포맷 블록 및 BICM 블록으로 인한 데이터 파이프의 지연을 다룸으로써 PLS 데이터는 데이터 파이프만큼 지연된다. BICM 블록의 지연은 주로 타임 인터리버(5050)로 인한 것이다. 인 밴드(In-band) 시그널링 데이터는 다음 타임 인터리빙 그룹의 정보를 시그널링될 데이터 파이프보다 하나의 프레임 앞서 전달되도록 할 수 있다. 딜레이 컴펜세이션(delay compensation, 지연보상) 블록은 그에 맞추어 인 밴드(In-band) 시그널링 데이터를 지연시킨다.
- [305] 셀 매핑(7010)은 PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 및 더미 셀을

프레임 내에서 OFDM 심볼의 액티브(active) 캐리어에 매핑할 수 있다. 셀 매핑(7010)의 기본 기능은 각각의 데이터 파이프, PLS 셀, 및 EAC/FIC 셀에 대한 타임 인터리빙에 의해 생성된 데이터 셀을, 존재한다면, 하나의 프레임 내에서 각각의 OFDM 심볼에 해당하는 액티브(active) OFDM 셀의 어레이에 매핑하는 것이다. (PSI(program specific information)/SI와 같은) 서비스 시그널링 데이터는 개별적으로 수집되어 데이터 파이프에 의해 보내질 수 있다. 셀 매핑은 프레임 구조의 구성 및 스케줄러에 의해 생성된 다이나믹 인포메이션(dynamic information, 동적 정보)에 따라 동작한다. 프레임에 관한 자세한 내용은 후술한다.

- [306] 주파수 인터리버(7020)는 셀 매핑(7010)로부터 의해 수신된 데이터 셀을 랜덤하게 인터리빙하여 주파수 다이버시티를 제공할 수 있다. 또한, 주파수 인터리버(7020)는 단일 프레임에서 최대의 인터리빙 이득을 얻기 위해 다른 인터리빙 시드(seed) 순서를 이용하여 두 개의 순차적인 OFDM 심볼로 구성된 OFDM 심볼 페어(pair, 쌍)에서 동작할 수 있다.
- [307] 전술한 블록은 생략되거나 유사 또는 동일 기능을 갖는 블록으로 대체될 수 있다.
- [308] 도 8은 본 발명의 일 실시예에 따른 OFDM 제너레이션 블록을 나타낸다.
- [309] 도 8에 도시된 OFDM 제너레이션 블록은 도 1을 참조하여 설명한 OFDM 제너레이션 블록(1030)의 일 실시예에 해당한다.
- [310] OFDM 제너레이션 블록은 프레임 빌딩 블록에 의해 생성된 셀에 의해 OFDM 캐리어를 변조하고, 파일럿을 삽입하고, 전송을 위한 시간 영역 신호를 생성한다. 또한, 해당 블록은 순차적으로 가드 인터벌을 삽입하고, PAPR 감소 처리를 적용하여 최종 RF 신호를 생성한다.
- [311] 도 8을 참조하면, OFDM 제너레이션 블록은 파일럿 및 리저브드 톤 삽입 블록 (pilot and reserved tone insertion block) (8000), 2D-eSFN (single frequency network) 인코딩 블록(8010), IFFT (inverse fast Fourier transform) 블록(8020), PAPR 감소 블록(8030), 가드 인터벌 삽입 블록 (guard interval insertion block)(8040), 프리앰블 삽입 블록 (preamble insertion block)(8050), 기타 시스템 삽입 블록(8060), 및 DAC 블록(8070)을 포함할 수 있다. OFDM 제너레이션 블록의 각 블록에 대해 설명한다.
- [312] 파일럿 및 리저브드 톤 삽입 블록(8000)은 파일럿 및 리저브드 톤을 삽입할 수 있다.
- [313] OFDM 심볼 내의 다양한 셀은 수신기에서 선형적으로 알려진 전송된 값을 갖는 파일럿으로 알려진 참조 정보로 변조된다. 파일럿 셀의 정보는 분산 파일럿, 연속 파일럿, 엣지 파일럿, FSS (frame signalling symbol) 파일럿, 및 FES (frame edge symbol) 파일럿으로 구성된다. 각 파일럿은 파일럿 타입 및 파일럿 패턴에 따라 특정 증가 파워 레벨에서 전송된다. 파일럿 정보의 값은 주어진 심볼에서 하나가 각각의 전송 캐리어에 대한 것인 일련의 값들에 해당하는 참조

시퀀스에서 유도된다. 파일럿은 프레임 동기화, 주파수 동기화, 시간 동기화, 채널 추정, 전송 모드 식별을 위해 사용될 수 있고, 또한 위상 잡음을 추적하기 위해 사용될 수 있다.

- [314] 참조 시퀀스로부터 취한 참조 정보는 프레임의 프리앰블, FSS 및 FES를 제외한 모든 심볼에서 분산 파일럿 셀에서 전송된다. 연속 파일럿은 프레임의 모든 심볼에 삽입된다. 연속 파일럿의 수 및 위치는 FFT 사이즈 및 분산 파일럿 패턴에 모두 의존한다. 엣지 캐리어들은 프리앰블 심볼을 제외한 모든 심볼 내의 엣지 파일럿들과 동일하다. 엣지 캐리어들은 스펙트럼의 엣지까지 주파수 인터폴레이션(interpolation, 보간)을 허용하기 위해 삽입된다. FSS 파일럿들은 FSS에 삽입되고, FES 파일럿들은 FES에 삽입된다. FSS 파일럿들 및 FES 파일럿들은 프레임의 엣지까지 시간 인터폴레이션(interpolation, 보간)을 허용하기 위해 삽입된다.
- [315] 본 발명의 일 실시예에 따른 시스템은 매우 견고한 전송 모드를 지원하기 위해 분산 MISO 방식이 선택적으로 사용되는 SFN을 지원한다. 2D-eSFN은 다수의 송신 안테나를 사용하는 분산 MISO 방식으로서, 각 안테나는 SFN 네트워크에서 각각 다른 송신기에 위치할 수 있다.
- [316] 2D-eSFN 인코딩 블록(8010)은 SFN 구성에서 시간 및 주파수 다이버시티를 생성하기 위해 2D-eSFN 처리를 하여 다수의 송신기로부터 전송된 신호의 위상을 왜곡시킬 수 있다. 따라서, 장시간 동안의 낮은 평면 페이딩 또는 깊은 페이딩으로 인한 버스트 오류가 경감될 수 있다.
- [317] IFFT 블록(8020)은 OFDM 변조 방식을 이용하여 2D-eSFN 인코딩 블록(8010)으로부터의 출력을 변조할 수 있다. 파일럿 (또는 리저브드 톤)으로 지정되지 않은 데이터 심볼에서의 모든 셀은 주파수 인터리버로부터의 데이터 셀 중 하나를 전달한다. 셀들은 OFDM 캐리어에 매핑된다.
- [318] PAPR 감소 블록(8030)은 시간 영역에서 다양한 PAPR 감소 알고리즘을 이용하여 입력 신호에 PAPR 감소를 실행한다.
- [319] 가드 인터벌 삽입블록(8040)은 가드 인터벌을 삽입할 수 있고, 프리앰블 삽입 블록(8050)은 신호 앞에 프리앰블을 삽입할 수 있다. 프리앰블의 구조에 대한 자세한 내용은 후술한다.
- [320] 기타 시스템 삽입 블록(8060)은 방송 서비스를 제공하는 둘 이상의 서로 다른 방송 송신/수신 시스템의 데이터가 동일한 RF 신호 대역에서 동시에 전송될 수 있도록 시간 영역에서 복수의 방송 송신/수신 시스템의 신호를 멀티플렉싱 할 수 있다. 이 경우, 둘 이상의 서로 다른 방송 송신/수신 시스템은 서로 다른 방송 서비스를 제공하는 시스템을 말한다. 서로 다른 방송 서비스는 지상파 방송 서비스, 모바일 방송 서비스 등을 의미할 수 있다. 각각의 방송 서비스에 관련된 데이터는 서로 다른 프레임을 통해 전송될 수 있다.
- [321] DAC 블록(8070)은 입력된 디지털 신호를 아날로그 신호로 변환하여 출력할 수 있다. DAC 블록(8070)으로부터 출력된 신호는 물리 계층 프로파일에 따라

다수의 출력 안테나를 통해 전송될 수 있다. 본 발명의 일 실시예에 따른 송신 안테나는 수직 또는 수평 극성을 가질 수 있다.

- [322] 전술한 블록은 설계에 따라 생략되거나 유사 또는 동일한 기능을 갖는 블록으로 대체될 수 있다.
- [323] 도 9는 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치의 구조를 나타낸다.
- [324] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치는 도 1을 참조하여 설명한 차세대 방송 서비스에 대한 방송 신호 송신 장치에 대응할 수 있다.
- [325] 본 발명의 일 실시예에 따른 차세대 방송 서비스에 대한 방송 신호 수신 장치는 동기 및 복조 모듈 (synchronization & demodulation module) (9000), 프레임 파싱 모듈 (frame parsing module) (9010), 디매핑 및 디코딩 모듈 (demapping & decoding module) (9020), 출력 프로세서 (output processor) (9030), 및 시그널링 디코딩 모듈 (signaling decoding module) (9040)을 포함할 수 있다. 방송 신호 수신 장치의 각 모듈의 동작에 대해 설명한다.
- [326] 동기 및 복조 모듈(9000)은 m개의 수신 안테나를 통해 입력 신호를 수신하고, 방송 신호 수신 장치에 해당하는 시스템에 대해 신호 검출 및 동기화를 실행하고, 방송 신호 송신 장치에 의해 실행되는 절차의 역과정에 해당하는 복조를 실행할 수 있다.
- [327] 프레임 파싱 모듈(9010)은 입력 신호 프레임을 파싱하고, 사용자에게 의해 선택된 서비스가 전송되는 데이터를 추출할 수 있다. 방송 신호 송신 장치가 인터리빙을 실행하면, 프레임 파싱 모듈(9010)은 인터리빙의 역과정에 해당하는 디인터리빙을 실행할 수 있다. 이 경우, 추출되어야 하는 신호 및 데이터의 위치가 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 디코딩함으로써 획득되어, 방송 신호 송신 장치에 의해 생성된 스케줄링 정보가 복원될 수 있다.
- [328] 디매핑 및 디코딩 모듈(9020)은 입력 신호를 비트 영역 데이터로 변환한 후, 필요에 따라 비트 영역 데이터들을 디인터리빙할 수 있다. 디매핑 및 디코딩 모듈(9020)은 전송 효율을 위해 적용된 매핑에 대한 디매핑을 실행하고, 디코딩을 통해 전송 채널에서 발생한 에러를 정정할 수 있다. 이 경우, 디매핑 및 디코딩 모듈(9020)은 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 디코딩함으로써 디매핑 및 디코딩을 위해 필요한 전송 파라미터를 획득할 수 있다.
- [329] 출력 프로세서(9030)는 전송 효율을 향상시키기 위해 방송 신호 송신 장치에 의해 적용되는 다양한 압축/신호 처리 절차의 역과정을 실행할 수 있다. 이 경우, 출력 프로세서(9030)는 시그널링 디코딩 모듈(9040)로부터 출력된 데이터에서 필요한 제어 정보를 획득할 수 있다. 출력 프로세서(9030)의 출력은 방송 신호 송신 장치에 입력되는 신호에 해당하고, MPEG-TS, IP 스트림 (v4 또는 v6) 및 GS일 수 있다.

- [330] 시그널링 디코딩 모듈(9040)은 동기 및 복조 모듈(9000)에 의해 복조된 신호로부터 PLS 정보를 획득할 수 있다. 전술한 바와 같이, 프레임 파싱 모듈(9010), 디매핑 및 디코딩 모듈(9200), 출력 프로세서(9300)는 시그널링 디코딩 모듈(9040)로부터 출력된 데이터를 이용하여 그 기능을 실행할 수 있다.
- [331] 도 10은 본 발명의 일 실시예에 따른 프레임 구조를 나타낸다.
- [332] 도 10은 프레임 타임의 구성에 및 슈퍼 프레임에서의 FRU (frame repetition unit, 프레임 반복 단위)를 나타낸다. (a)는 본 발명의 일 실시예에 따른 슈퍼 프레임을 나타내고, (b)는 본 발명의 일 실시예에 따른 FRU를 나타내고, (c)는 FRU에서의 다양한 피지컬 프로파일(PHY profile)의 프레임을 나타내고, (d)는 프레임의 구조를 나타낸다.
- [333] 슈퍼 프레임은 8개의 FRU로 구성될 수 있다. FRU는 프레임의 TDM에 대한 기본 멀티플렉싱 단위이고, 슈퍼 프레임에서 8회 반복된다.
- [334] FRU에서 각 프레임은 피지컬 프로파일(베이스, 핸드헬드, 어드벤스 프로파일) 중 하나 또는 FEF에 속한다. FRU에서 프레임의 최대 허용수는 4이고, 주어진 피지컬 프로파일은 FRU에서 0회 내지 4회 중 어느 횟수만큼 나타날 수 있다(예를 들면, 베이스, 베이스, 핸드헬드, 어드벤스). 피지컬 프로파일 정의는 필요시 프리앰블에서의 PHY_PROFILE의 리저브드 값을 이용하여 확장될 수 있다.
- [335] FEF 부분은 포함된다면 FRU의 끝에 삽입된다. FEF가 FRU에 포함되는 경우, FEF의 최대수는 슈퍼 프레임에서 8이다. FEF 부분들이 서로 인접할 것이 권장되지 않는다.
- [336] 하나의 프레임은 다수의 OFDM 심볼 및 프리앰블로 더 분리된다. (d)에 도시한 바와 같이, 프레임은 프리앰블, 하나 이상의 FSS, 노멀 데이터 심볼, FES를 포함한다.
- [337] 프리앰블은 고속 퓨처캐스트 UTB 시스템 신호 검출을 가능하게 하고, 신호의 효율적인 송신 및 수신을 위한 기본 전송 파라미터의 집합을 제공하는 특별한 심볼이다. 프리앰블에 대한 자세한 내용은 후술한다.
- [338] FSS의 주된 목적은 PLS 데이터를 전달하는 것이다. 고속 동기화 및 채널 추정을 위해, 이에 따른 PLS 데이터의 고속 디코딩을 위해, FSS는 노멀 데이터 심볼보다 고밀도의 파일럿 패턴을 갖는다. FES는 FSS와 완전히 동일한 파일럿을 갖는데, 이는 FES에 바로 앞서는 심볼에 대해 외삽(extrapolation) 없이 FES 내에서의 주파수만의 인터폴레이션(interpolation, 보간) 및 시간적 보간(temporal interpolation)을 가능하게 한다.
- [339] 도 11은 본 발명의 일 실시예에 따른 프레임의 시그널링 계층 구조(signaling hierarchy structure)를 나타낸다.
- [340] 도 11은 시그널링 계층 구조를 나타내는데, 이는 세 개의 주요 부분인 프리앰블 시그널링 데이터(11000), PLS1 데이터(11010), 및 PLS2 데이터(11020)로 분할된다. 매 프레임마다 프리앰블 신호에 의해 전달되는 프리앰블의 목적은

프레임의 기본 전송 파라미터 및 전송 타입을 나타내는 것이다. PLS1은 수신기가 관심 있는 데이터 파이프에 접속하기 위한 파라미터를 포함하는 PLS2 데이터에 접속하여 디코딩할 수 있게 한다. PLS2는 매 프레임마다 전달되고, 두 개의 주요 부분인 PLS2-STAT 데이터와 PLS2-DYN 데이터로 분할된다. PLS2 데이터의 스태틱(static, 정적) 및 다이내믹(dynamic, 동적) 부분에는 필요시 패딩이 뒤따른다.

[341] 도 12는 본 발명의 일 실시예에 따른 프리앰블 시그널링 데이터를 나타낸다.

[342] 프리앰블 시그널링 데이터는 수신기가 프레임 구조 내에서 PLS 데이터에 접속하고 데이터 파이프를 추적할 수 있게 하기 위해 필요한 21비트의 정보를 전달한다. 프리앰블 시그널링 데이터에 대한 자세한 내용은 다음과 같다.

[343] PHY_PROFILE: 해당 3비트 필드는 현 프레임의 피지컬 프로파일 타입을 나타낸다. 서로 다른 피지컬 프로파일 타입의 매핑은 아래 표 5에 주어진다.

[344] 표 5

[표5]

값	피지컬 프로파일
000	베이스 프로파일
001	핸드헬드 프로파일
010	어드벤스 프로파일
011~110	리저브드
111	FEF

[345]

[346] FFT_SIZE: 해당 2비트 필드는 아래 표 6에서 설명한 바와 같이 프레임 그룹 내에서 현 프레임의 FFT 사이즈를 나타낸다.

[347] 표 6

[표6]

Value	FFT 사이즈
00	8K FFT
01	16K FFT
10	32K FFT
11	리저브드

[348] GI_FRACTION: 해당 3비트 필드는 아래 표 7에서 설명한 바와 같이 현 슈퍼 프레임에서의 가드 인터벌 일부(fraction) 값을 나타낸다.

[349] 표 7

[표7]

값	GI_FRACTION
000	1/5
001	1/10
010	1/20
011	1/40
100	1/80
101	1/160
110~111	리저브드

- [350] EAC_FLAG: 해당 1비트 필드는 EAC가 현 프레임에 제공되는지 여부를 나타낸다. 해당 필드가 1로 설정되면, EAS가 현 프레임에 제공된다. 해당 필드가 0으로 설정되면, EAS가 현 프레임에서 전달되지 않는다. 해당 필드는 슈퍼 프레임 내에서 다이나믹(dynamic, 동적)으로 전환될 수 있다.
- [351] PILOT_MODE: 해당 1비트 필드는 현 프레임 그룹에서 현 프레임에 대해 파일럿 모드가 모바일 모드인지 또는 고정 모드인지 여부를 나타낸다. 해당 필드가 0으로 설정되면, 모바일 파일럿 모드가 사용된다. 해당 필드가 1로 설정되면, 고정 파일럿 모드가 사용된다.
- [352] PAPR_FLAG: 해당 1비트 필드는 현 프레임 그룹에서 현 프레임에 대해 PAPR 감소가 사용되는지 여부를 나타낸다. 해당 필드가 1로 설정되면, 톤 예약(tone reservation)이 PAPR 감소를 위해 사용된다. 해당 필드가 0으로 설정되면, PAPR 감소가 사용되지 않는다.
- [353] FRU_CONFIGURE: 해당 3비트 필드는 현 슈퍼 프레임에서 존재하는 FRU의 피지컬 프로파일 타입 구성을 나타낸다. 현 슈퍼 프레임에서 모든 프리앰블에서의 해당 필드에서, 현 슈퍼 프레임에서 전달되는 모든 프로파일 타입이 식별된다. 해당 3비트 필드는 아래 표 8에 나타난 바와 같이 각각의 프로파일에 대해 다르게 정의된다.

[354] 표 8

[표8]

	커런트(current) PHY_PROFILE = '000' (베이스)	커런트(current) PHY_PROFILE = '001' (핸드헬드)	커런트(current) PHY_PROFILE = '010' (어드벤스)	커런트(current) PHY_PROFILE = '111' (FEF)
FRU_CONFIGURE = 000	베이스 프로파일만 존재	핸드헬드 프로파일만 존재	어드벤스 프로파일만 존재	FEF만 존재
FRU_CONFIGURE = 1XX	핸드헬드 프로파일 존재	베이스 프로파일 존재	베이스 프로파일 존재	베이스 프로파일 존재
FRU_CONFIGURE = XIX	어드벤스 프로파일 존재	어드벤스 프로파일 존재	핸드헬드 프로파일 존재	핸드헬드 프로파일 존재
FRU_CONFIGURE = XX1	FEF 존재	FEF 존재	FEF 존재	어드벤스 프로파일 존재

[355] RESERVED: 해당 7비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

[356]

[357] 도 13은 본 발명의 일 실시예에 따른 PLS1 데이터를 나타낸다.

[358] PLS1 데이터는 PLS2의 수신 및 디코딩을 가능하게 하기 위해 필요한 파라미터를 포함한 기본 전송 파라미터를 제공한다. 전송한 바와 같이, PLS1 데이터는 하나의 프레임 그룹의 전체 듀레이션 동안 변화하지 않는다. PLS1 데이터의 시그널링 필드의 구체적인 정의는 다음과 같다.

[359] PREAMBLE_DATA: 해당 20비트 필드는 EAC_FLAG를 제외한 프리앰블 시그널링 데이터의 카피이다.

[360] NUM_FRAME_FRU: 해당 2비트 필드는 FRU당 프레임 수를 나타낸다.

[361] PAYLOAD_TYPE: 해당 3비트 필드는 프레임 그룹에서 전달되는 페이로드 데이터의 포맷을 나타낸다. PAYLOAD_TYPE은 표 9에 나타난 바와 같이 시그널링 된다.

[362] 표 9

[표9]

값	페이로드 타입
1XX	TS가 전송됨
X1X	IP 스트림이 전송됨
XX1	GS가 전송됨

[363] NUM_FSS: 해당 2비트 필드는 현 프레임에서 FSS의 수를 나타낸다.

[364] SYSTEM_VERSION: 해당 8비트 필드는 전송되는 신호 포맷의 버전을 나타낸다. SYSTEM_VERSION은 주 버전 및 부 버전의 두 개의 4비트 필드로 분리된다.

[365] 주 버전: SYSTEM_VERSION 필드의 MSB인 4비트는 주 버전 정보를 나타낸다. 주 버전 필드에서의 변화는 호환이 불가능한 변화를 나타낸다. 디폴트 값은 0000이다. 해당 표준에서 서술된 버전에 대해, 값이 0000으로 설정된다.

[366] 부 버전: SYSTEM_VERSION 필드의 LSB인 4비트는 부 버전 정보를 나타낸다. 부 버전 필드에서의 변화는 호환이 가능하다.

[367] CELL_ID: 이는 ATSC 네트워크에서 지리적 셀을 유일하게 식별하는 16비트 필드이다. ATSC 셀 커버리지는 퓨처캐스트 UTB 시스템당 사용되는 주파수 수에 따라 하나 이상의 주파수로 구성될 수 있다. CELL_ID의 값이 알려지지 않거나 특정되지 않으면, 해당 필드는 0으로 설정된다.

[368] NETWORK_ID: 이는 현 ATSC 네트워크를 유일하게 식별하는 16비트 필드이다.

[369] SYSTEM_ID: 해당 16비트 필드는 ATSC 네트워크 내에서 퓨처캐스트 UTB

시스템을 유일하게 식별한다. 퓨처캐스트 UTB 시스템은 입력이 하나 이상의 입력 스트림(TS, IP, GS)이고 출력이 RF 신호인 지상파 방송 시스템이다. 퓨처캐스트 UTB 시스템은 존재한다면 FEF 및 하나 이상의 피지컬 프로파일을 전달한다. 동일한 퓨처캐스트 UTB 시스템은 서로 다른 입력 스트림을 전달하고 서로 다른 지리적 영역에서 서로 다른 RF를 사용할 수 있어, 로컬 서비스 삽입을 허용한다. 프레임 구조 및 스케줄링은 하나의 장소에서 제어되고, 퓨처캐스트 UTB 시스템 내에서 모든 전송에 대해 동일하다. 하나 이상의 퓨처캐스트 UTB 시스템은 모두 동일한 피지컬 구조 및 구성을 갖는다는 동일한 SYSTEM_ID 의미를 가질 수 있다.

- [370] 다음의 루프(loop)는 각 프레임 타입의 길이 및 FRU 구성을 나타내는 FRU_PHY_PROFILE, FRU_FRAME_LENGTH, FRU_GI_FRACTION, RESERVED로 구성된다. 루프(loop) 사이즈는 FRU 내에서 4개의 피지컬 프로파일(FEF 포함)이 시그널링되도록 고정된다. NUM_FRAME_FRU가 4보다 작으면, 사용되지 않는 필드는 제로로 채워진다.
- [371] FRU_PHY_PROFILE: 해당 3비트 필드는 관련된 FRU의 (i+1)번째 프레임(i는 루프(loop) 인덱스)의 피지컬 프로파일 타입을 나타낸다. 해당 필드는 표 8에 나타난 것과 동일한 시그널링 포맷을 사용한다.
- [372] FRU_FRAME_LENGTH: 해당 2비트 필드는 관련된 FRU의 (i+1)번째 프레임의 길이를 나타낸다. FRU_GI_FRACTION와 함께 FRU_FRAME_LENGTH를 사용하면, 프레임 듀레이션의 정확한 값이 얻어질 수 있다.
- [373] FRU_GI_FRACTION: 해당 3비트 필드는 관련된 FRU의 (i+1)번째 프레임의 가드 인터벌 일부 값을 나타낸다. FRU_GI_FRACTION은 표 7에 따라 시그널링 된다.
- [374] RESERVED: 해당 4비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [375] 다음의 필드는 PLS2 데이터를 디코딩하기 위한 파라미터를 제공한다.
- [376] PLS2_FEC_TYPE: 해당 2비트 필드는 PLS2 보호에 의해 사용되는 FEC 타입을 나타낸다. FEC 타입은 표 10에 따라 시그널링 된다. LDPC 코드에 대한 자세한 내용은 후술한다.

[377] 표 10

[표10]

콘텐츠	PLS2 FEC 타입
00	4K-1/4 및 7K-3/10 LDPC 코드
01 ~ 11	리저브드(reserved)

- [378] PLS2_MOD: 해당 3비트 필드는 PLS2에 의해 사용되는 변조 타입을 나타낸다. 변조 타입은 표 11에 따라 시그널링 된다.
- [379] 표 11

[표11]

값	PLS2_MODE
000	BPSK
001	QPSK
010	QAM-16
011	NUQ-64
100~111	리저브드(reserved)

- [380] PLS2_SIZE_CELL: 해당 15비트 필드는 현 프레임 그룹에서 전달되는 PLS2에 대한 모든 코딩 블록의 *사이즈(QAM 셀의 수로 특정됨)*인 $C_{total_partial_block}$ 를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [381] PLS2_STAT_SIZE_BIT: 해당 14비트 필드는 현 프레임 그룹에 대한 PLS2-STAT의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [382] PLS2_DYN_SIZE_BIT: 해당 14비트 필드는 현 프레임 그룹에 대한 PLS2-DYN의 사이즈를 비트수로 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [383] PLS2_REP_FLAG: 해당 1비트 플래그는 PLS2 반복 모드가 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, PLS2 반복 모드는 활성화된다. 해당 필드의 값이 0으로 설정되면, PLS2 반복 모드는 비활성화된다.
- [384] PLS2_REP_SIZE_CELL: 해당 15비트 필드는 PLS2 반복이 사용되는 경우 현 프레임 그룹의 매 프레임마다 전달되는 PLS2에 대한 부분 코딩 블록의 *사이즈(QAM 셀의 수로 특정됨)*인 $C_{total_partial_block}$ 를 나타낸다. 반복이 사용되지 않는 경우, 해당 필드의 값은 0과 동일하다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [385] PLS2_NEXT_FEC_TYPE: 해당 2비트 필드는 다음 프레임 그룹의 매 프레임에서 전달되는 PLS2에 사용되는 FEC 타입을 나타낸다. FEC 타입은 표 10에 따라 시그널링 된다.
- [386] PLS2_NEXT_MOD: 해당 3비트 필드는 다음 프레임 그룹의 매 프레임에서 전달되는 PLS2에 사용되는 변조 타입을 나타낸다. 변조 타입은 표 11에 따라 시그널링 된다.
- [387] PLS2_NEXT_REP_FLAG: 해당 1비트 플래그는 PLS2 반복 모드가 다음 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, PLS2 반복 모드는 활성화된다. 해당 필드의 값이 0으로 설정되면, PLS2 반복 모드는 비활성화된다.
- [388] PLS2_NEXT_REP_SIZE_CELL: 해당 15비트 필드는 PLS2 반복이 사용되는 경우 다음 프레임 그룹의 매 프레임마다 전달되는 PLS2에 대한 전체 코딩 블록의 *사이즈(QAM 셀의 수로 특정됨)*인 $C_{total_full_block}$ 를 나타낸다. 다음 프레임 그룹에서 반복이 사용되지 않는 경우, 해당 필드의 값은 0과 동일하다. 해당 값은

현 프레임 그룹의 전체 듀레이션 동안 일정하다.

[389] PLS2_NEXT_REP_STAT_SIZE_BIT: 해당 14비트 필드는 다음 프레임 그룹에 대한 PLS2-STAT의 크기를 비트수로 나타낸다. 해당 값은 현 프레임 그룹에서 일정하다.

[390] PLS2_NEXT_REP_DYN_SIZE_BIT: 해당 14비트 필드는 다음 프레임 그룹에 대한 PLS2-DYN의 크기를 비트수로 나타낸다. 해당 값은 현 프레임 그룹에서 일정하다.

[391] PLS2_AP_MODE: 해당 2비트 필드는 현 프레임 그룹에서 PLS2에 대해 추가 패리티가 제공되는지 여부를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다. 아래의 표 12는 해당 필드의 값을 제공한다. 해당 필드의 값이 00으로 설정되면, 현 프레임 그룹에서 추가 패리티가 PLS2에 대해 사용되지 않는다.

[392] 표 12

[표12]

값	PLS2-AP 모드
00	추가 패리티가 제공되지 않음
01	API 모드
10~11	리저브드(reserved)

[393] PLS2_AP_SIZE_CELL: 해당 15비트 필드는 PLS2의 추가 패리티 비트의 크기(QAM 셀의 수로 특정됨)를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.

[394] PLS2_NEXT_AP_MODE: 해당 2비트 필드는 다음 프레임 그룹의 매 프레임마다 PLS2 시그널링에 대해 추가 패리티가 제공되는지 여부를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다. 표 12는 해당 필드의 값을 정의한다.

[395] PLS2_NEXT_AP_SIZE_CELL: 해당 15비트 필드는 다음 프레임 그룹의 매 프레임마다 PLS2의 추가 패리티 비트의 크기(QAM 셀의 수로 특정됨)를 나타낸다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.

[396] RESERVED: 해당 32비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

[397] CRC_32: 전체 PLS1 시그널링에 적용되는 32비트 에러 검출 코드

[398]

[399] 도 14는 본 발명의 일 실시예에 따른 PLS2 데이터를 나타낸다.

[400] 도 14는 PLS2 데이터의 PLS2-STAT 데이터를 나타낸다. PLS2-STAT 데이터는 프레임 그룹 내에서 동일한 반면, PLS2-DYN 데이터는 현 프레임에 대해 특정한 정보를 제공한다.

[401] PLS2-STAT 데이터의 필드에 대해 다음에 구체적으로 설명한다.

- [402] FIC_FLAG: 해당 1비트 필드는 FIC가 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, FIC는 현 프레임에서 제공된다. 해당 필드의 값이 0으로 설정되면, FIC는 현 프레임에서 전달되지 않는다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [403] AUX_FLAG: 해당 1비트 필드는 보조 스트림이 현 프레임 그룹에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, 보조 스트림은 현 프레임에서 제공된다. 해당 필드의 값이 0으로 설정되면, 보조 프레임은 현 프레임에서 전달되지 않는다. 해당 값은 현 프레임 그룹의 전체 듀레이션 동안 일정하다.
- [404] NUM_DP: 해당 6비트 필드는 현 프레임 내에서 전달되는 데이터 파이프의 수를 나타낸다. 해당 필드의 값은 1에서 64 사이이고, 데이터 파이프의 수는 NUM_DP+1이다.
- [405] DP_ID: 해당 6비트 필드는 피지컬 프로파일 내에서 유일하게 식별한다.
- [406] DP_TYPE: 해당 3비트 필드는 데이터 파이프의 타입을 나타낸다. 이는 아래의 표 13에 따라 시그널링 된다.
- [407] 표 13
- [표13]

값	데이터 파이프 타입
000	타입 1 데이터 파이프
001	타입 2 데이터 파이프
010~111	리저브드(reserved)

- [408] DP_GROUP_ID: 해당 8비트 필드는 현 데이터 파이프가 관련되어 있는 데이터 파이프 그룹을 식별한다. 이는 수신기가 동일한 DP_GROUP_ID를 갖게 되는 특정 서비스와 관련되어 있는 서비스 컴포넌트의 데이터 파이프에 접속하는 데 사용될 수 있다.
- [409] BASE_DP_ID: 해당 6비트 필드는 관리 계층에서 사용되는 (PSI/SI와 같은) 서비스 시그널링 데이터를 전달하는 데이터 파이프를 나타낸다. BASE_DP_ID에 의해 나타내는 데이터 파이프는 서비스 데이터와 함께 서비스 시그널링 데이터를 전달하는 노멀 데이터 파이프이거나, 서비스 시그널링 데이터만을 전달하는 전용 데이터 파이프일 수 있다.
- [410] DP_FEC_TYPE: 해당 2비트 필드는 관련된 데이터 파이프에 의해 사용되는 FEC 타입을 나타낸다. FEC 타입은 아래의 표 14에 따라 시그널링 된다.
- [411] 표 14

[표14]

값	FEC_TYPE
00	16K LDPC
01	64K LDPC
10 ~ 11	리저브드(reserved)

[412] DP_COD: 해당 4비트 필드는 관련된 데이터 파이프에 의해 사용되는 코드 레이트(code rate)을 나타낸다. 코드 레이트(code rate)은 아래의 표 15에 따라 시그널링 된다.

[413] 표 15

[표15]

값	코드 레이트(code rate)
0000	5/15
0001	6/15
0010	7/15
0011	8/15
0100	9/15
0101	10/15
0110	11/15
0111	12/15
1000	13/15
1001 ~ 1111	리저브드(reserved)

[414] DP_MOD: 해당 4비트 필드는 관련된 데이터 파이프에 의해 사용되는 변조를 나타낸다. 변조는 아래의 표 16에 따라 시그널링 된다.

[415] 표 16

[표16]

값	변조
0000	QPSK
0001	QAM-16
0010	NUQ-64
0011	NUQ-256
0100	NUQ-1024
0101	NUC-16
0110	NUC-64
0111	NUC-256
1000	NUC-1024
1001~1111	리저브드(reserved)

[416] DP_SSD_FLAG: 해당 1비트 필드는 SSD 모드가 관련된 데이터 파이프에서 사용되는지 여부를 나타낸다. 해당 필드의 값이 1로 설정되면, SSD는 사용된다. 해당 필드의 값이 0으로 설정되면, SSD는 사용되지 않는다.

[417] 다음의 필드는 PHY_PROFILE가 어드벤스 프로파일을 나타내는 010과 동일할 때에만 나타난다.

[418] DP_MIMO: 해당 3비트 필드는 어떤 타입의 MIMO 인코딩 처리가 관련된 데이터 파이프에 적용되는지 나타낸다. MIMO 인코딩 처리의 타입은 아래의 표 17에 따라 시그널링 된다.

[419] 표 17

[표17]

값	MIMO 인코딩
000	FR-SM
001	FRFD-SM
010~111	리저브드(reserved)

[420] DP_TI_TYPE: 해당 1비트 필드는 타임 인터리빙의 타입을 나타낸다. 0의 값은 하나의 타임 인터리빙 그룹이 하나의 프레임에 해당하고 하나 이상의 타임 인터리빙 블록을 포함하는 것을 나타낸다. 1의 값은 하나의 타임 인터리빙 그룹이 하나보다 많은 프레임으로 전달되고 하나의 타임 인터리빙 블록만을 포함하는 것을 나타낸다.

[421] DP_TI_LENGTH: 해당 2비트 필드(허용된 값은 1, 2, 4, 8뿐이다)의 사용은 다음과 같은 DP_TI_TYPE 필드 내에서 설정되는 값에 의해 결정된다.

[422] DP_TI_TYPE의 값이 1로 설정되면, 해당 필드는 각각의 타임 인터리빙 그룹이 매핑되는 프레임의 수인 P_I 를 나타내고, 타임 인터리빙 그룹당 하나의 타임 인터리빙 블록이 존재한다 ($N_{TI}=1$). 해당 2비트 필드로 허용되는 P_I 의 값은 아래의 표 18에 정의된다.

[423] DP_TI_TYPE의 값이 0으로 설정되면, 해당 필드는 타임 인터리빙 그룹당 타임 인터리빙 블록의 수 N_{TI} 를 나타내고, 프레임당 하나의 타임 인터리빙 그룹이 존재한다 ($P_I=1$). 해당 2비트 필드로 허용되는 P_I 의 값은 아래의 표 18에 정의된다.

[424] 표 18

[표18]

2비트 필드	P_I	N_{TI}
00	1	1
01	2	2
10	4	3
11	8	4

[425] DP_FRAME_INTERVAL: 해당 2비트 필드는 관련된 데이터 파이프에 대한 프레임 그룹 내에서 프레임 간격(I_{JUMP})을 나타내고, 허용된 값은 1, 2, 4, 8 (해당하는 2비트 필드는 각각 00, 01, 10, 11)이다. 프레임 그룹의 모든 프레임에 나타나지 않는 데이터 파이프에 대해, 해당 필드의 값은 순차적인 프레임 사이의

간격과 동일하다. 예를 들면, 데이터 파이프가 1, 5, 9, 13 등의 프레임에 나타나면, 해당 필드의 값은 4로 설정된다. 모든 프레임에 나타나는 데이터 파이프에 대해, 해당 필드의 값은 1로 설정된다.

[426] DP_TL_BYPASS: 해당 1비트 필드는 타임 인터리버(5050)의 가용성을 결정한다. 데이터 파이프에 대해 타임 인터리빙이 사용되지 않으면, 해당 필드 값은 1로 설정된다. 반면, 타임 인터리빙이 사용되면, 해당 필드 값은 0으로 설정된다.

[427] DP_FIRST_FRAME_IDX: 해당 5비트 필드는 현 데이터 파이프가 발생하는 슈퍼 프레임의 첫 번째 프레임의 인덱스를 나타낸다. DP_FIRST_FRAME_IDX의 값은 0에서 31 사이이다.

[428] DP_NUM_BLOCK_MAX: 해당 10비트 필드는 해당 데이터 파이프에 대한 DP_NUM_BLOCKS의 최대값을 나타낸다. 해당 필드의 값은 DP_NUM_BLOCKS와 동일한 범위를 갖는다.

[429] DP_PAYLOAD_TYPE: 해당 2비트 필드는 주어진 데이터 파이프에 의해 전달되는 페이로드 데이터의 타입을 나타낸다. DP_PAYLOAD_TYPE은 아래의 표 19에 따라 시그널링 된다.

[430] 표 19

[표19]

값	페이로드 타입
00	TS.
01	IP
10	GS
11	리저브드(reserved)

[431] DP_INBAND_MODE: 해당 2비트 필드는 현 데이터 파이프가 인 밴드(In-band) 시그널링 정보를 전달하는지 여부를 나타낸다. 인 밴드(In-band) 시그널링 타입은 아래의 표 20에 따라 시그널링 된다.

[432] 표 20

[표20]

값	인 밴드 모드(In-band mode)
00	인 밴드(In-band) 시그널링이 전달되지 않음
01	INBAND-PLS만 전달됨
10	INBAND-ISSY만 전달됨
11	INBAND-PLS 및 INBAND-ISSY가 전달됨

[433] DP_PROTOCOL_TYPE: 해당 2비트 필드는 주어진 데이터 파이프에 의해

전달되는 페이로드의 프로토콜 타입을 나타낸다. 페이로드의 프로토콜 타입은 입력 페이로드 타입이 선택되면 아래의 표 21에 따라 시그널링 된다.

[434] 표 21

[표21]

값	DP_PAYLOAD_TYPE 이 TS인 경우	DP_PAYLOAD_TYPE 이 IP인 경우	DP_PAYLOAD_TYPE 이 GS인 경우
00	MPEG2-TS	IPv4	(Note)
01	리저브드(reserved)	IPv6	리저브드(reserved)
10	리저브드(reserved)	리저브드(reserved)	리저브드(reserved)
11	리저브드(reserved)	리저브드(reserved)	리저브드(reserved)

[435] DP_CRC_MODE: 해당 2비트 필드는 CRC 인코딩이 인풋 포맷 블록에서 사용되는지 여부를 나타낸다. CRC 모드는 아래의 표 22에 따라 시그널링 된다.

[436] 표 22

[표22]

값	CRC 모드
00	사용되지 않음
01	CRC-8
10	CRC-16
11	CRC-32

[437] DNP_MODE: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 널 패킷 삭제 모드를 나타낸다. DNP_MODE는 아래의 표 23에 따라 시그널링 된다. DP_PAYLOAD_TYPE이 TS ('00')가 아니면, DNP_MODE는 00의 값으로 설정된다.

[438] 표 23

[표23]

값	널 패킷 삭제 모드
00	사용되지 않음
01	DNP-NORMAL
10	DNP-OFFSET
11	리저브드(reserved)

[439] ISSY_MODE: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 ISSY 모드를 나타낸다. ISSY_MODE는 아래의 표 24에 따라 시그널링 된다. DP_PAYLOAD_TYPE이 TS ('00')가 아니면, ISSY_MODE는 00의 값으로 설정된다.

[440] 표 24

[표24]

값	ISSY 모드
00	사용되지 않음
01	ISSY-UP
10	ISSY-BBF
11	리저브드(reserved)

- [441] HC_MODE_TS: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되는 경우에 관련된 데이터 파이프에 의해 사용되는 TS 헤더 압축 모드를 나타낸다. HC_MODE_TS는 아래의 표 25에 따라 시그널링 된다.

[442] 표 25

[표25]

값	헤더 압축 모드
00	HC_MODE_TS 1
01	HC_MODE_TS 2
10	HC_MODE_TS 3
11	HC_MODE_TS 4

- [443] HC_MODE_IP: 해당 2비트 필드는 DP_PAYLOAD_TYPE이 IP ('01')로 설정되는 경우에 IP 헤더 압축 모드를 나타낸다. HC_MODE_IP는 아래의 표 26에 따라 시그널링 된다.

[444] 표 26

[표26]

값	헤더 압축 모드
00	압축 없음
01	HC_MODE_IP 1
10~11	리저브드(reserved)

- [445] PID: 해당 13비트 필드는 DP_PAYLOAD_TYPE이 TS ('00')로 설정되고 HC_MODE_TS가 01 또는 10으로 설정되는 경우에 TS 헤더 압축을 위한 PID 수를 나타낸다.

- [446] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

- [447] 다음 필드는 FIC_FLAG가 1과 동일할 때만 나타난다.

- [448] FIC_VERSION: 해당 8비트 필드는 FIC의 버전 넘버를 나타낸다.

- [449] FIC_LENGTH_BYTE: 해당 13비트 필드는 FIC의 길이를 바이트 단위로 나타낸다.

- [450] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.

- [451] 다음 필드는 AUX_FLAG가 1과 동일할 때만 나타난다.

- [452] NUM_AUX: 해당 4비트 필드는 보조 스트림의 수를 나타낸다. 제로는 보조 스트림이 사용되지 않는 것을 나타낸다.
- [453] AUX_CONFIG_RFU: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [454] AUX_STREAM_TYPE: 해당 4비트는 현 보조 스트림의 타입을 나타내기 위한 추후 사용을 위해 리저브드(reserved)된다.
- [455] AUX_PRIVATE_CONFIG: 해당 28비트 필드는 보조 스트림을 시그널링 하기 위한 추후 사용을 위해 리저브드(reserved)된다.
- [456]
- [457] 도 15는 본 발명의 다른 일 실시예에 따른 PLS2 데이터를 나타낸다.
- [458] 도 15는 PLS2 데이터의 PLS2-DYN을 나타낸다. PLS2-DYN 데이터의 값은 하나의 프레임 그룹의 듀레이션 동안 변화할 수 있는 반면, 필드의 사이즈는 일정하다.
- [459] PLS2-DYN 데이터의 필드의 구체적인 내용은 다음과 같다.
- [460] FRAME_INDEX: 해당 5비트 필드는 슈퍼 프레임 내에서 현 프레임의 프레임 인덱스를 나타낸다. 슈퍼 프레임의 첫 번째 프레임의 인덱스는 0으로 설정된다.
- [461] PLS_CHANGE_COUNTER: 해당 4비트 필드는 구성이 변화하기 전의 슈퍼 프레임의 수를 나타낸다. 구성이 변화하는 다음 슈퍼 프레임은 해당 필드 내에서 시그널링 되는 값에 의해 나타낸다. 해당 필드의 값이 0000으로 설정되면, 이는 어떠한 예정된 변화도 예측되지 않는 것을 의미한다. 예를 들면, 1의 값은 다음 슈퍼 프레임에 변화가 있다는 것을 나타낸다.
- [462] FIC_CHANGE_COUNTER: 해당 4비트 필드는 구성(즉, FIC의 콘텐츠)이 변화하기 전의 슈퍼 프레임의 수를 나타낸다. 구성이 변화하는 다음 슈퍼 프레임은 해당 필드 내에서 시그널링 되는 값에 의해 나타낸다. 해당 필드의 값이 0000으로 설정되면, 이는 어떠한 예정된 변화도 예측되지 않는 것을 의미한다. 예를 들면, 0001의 값은 다음 슈퍼 프레임에 변화가 있다는 것을 나타낸다.
- [463] RESERVED: 해당 16비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [464] 다음 필드는 현 프레임에서 전달되는 데이터 파이프와 관련된 파라미터를 설명하는 NUM_DP에서의 루프(loop)에 나타난다.
- [465] DP_ID: 해당 6비트 필드는 피지컬 프로파일 내에서 데이터 파이프를 유일하게 나타낸다.
- [466] DP_START: 해당 15비트 (또는 13비트) 필드는 DPU 어드레싱(addressing) 기법을 사용하여 데이터 파이프의 첫 번째의 시작 위치를 나타낸다. DP_START 필드는 아래의 표 27에 나타난 바와 같이 피지컬 프로파일 및 FFT 사이즈에 따라 다른 길이를 갖는다.
- [467] 표 27

[표27]

피지컬 프로파일	DP_START 필드 사이즈	
	64K	16K
베이스	13 비트	15 비트
핸드헬드	-	13 비트
어드벤스	13 비트	15 비트

- [468] DP_NUM_BLOCK: 해당 10비트 필드는 현 데이터 파이프에 대한 현 타임 인터리빙 그룹에서 FEC 블록의 수를 나타낸다. DP_NUM_BLOCK의 값은 0에서 1023 사이에 있다.
- [469] RESERVED: 해당 8비트 필드는 추후 사용을 위해 리저브드(reserved)된다.
- [470] 다음의 필드는 EAC와 관련된 FIC 파라미터를 나타낸다.
- [471] EAC_FLAG: 해당 1비트 필드는 현 프레임에서 EAC의 존재를 나타낸다. 해당 비트는 프리앰블에서 EAC_FLAG와 같은 값이다.
- [472] EAS_WAKE_UP_VERSION_NUM: 해당 8비트 필드는 자동 활성화 지시의 버전 넘버를 나타낸다.
- [473] EAC_FLAG 필드가 1과 동일하면, 다음의 12비트가 EAC_LENGTH_BYTE 필드에 할당된다. EAC_FLAG 필드가 0과 동일하면, 다음의 12비트가 EAC_COUNTER에 할당된다.
- [474] EAC_LENGTH_BYTE: 해당 12비트 필드는 EAC의 길이를 바이트로 나타낸다.
- [475] EAC_COUNTER: 해당 12비트 필드는 EAC가 도달하는 프레임 전의 프레임의 수를 나타낸다.
- [476] 다음 필드는 AUX_FLAG 필드가 1과 동일한 경우에만 나타난다.
- [477] AUX_PRIVATE_DYN: 해당 48비트 필드는 보조 스트림을 시그널링 하기 위한 추후 사용을 위해 리저브드(reserved)된다. 해당 필드의 의미는 설정 가능한 PLS2-STAT에서 AUX_STREAM_TYPE의 값에 의존한다.
- [478] CRC_32: 전체 PLS2에 적용되는 32비트 에러 검출 코드.
- [479] 도 16은 본 발명의 일 실시예에 따른 프레임의 로지컬(logical) 구조를 나타낸다.
- [480] 전술한 바와 같이, PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 더미 셀은 프레임에서 OFDM 심볼의 액티브(active) 캐리어에 매핑된다. PLS1 및 PLS2는 처음에 하나 이상의 FSS에 매핑된다. 그 후, EAC가 존재한다면 EAC 셀은 바로 뒤따르는 PLS 필드에 매핑된다. 다음에 FIC가 존재한다면 FIC 셀이 매핑된다. 데이터 파이프는 PLS 다음에 매핑되거나, EAC 또는 FIC가 존재하는 경우, EAC 또는 FIC 이후에 매핑된다. 타입 1 데이터 파이프가 처음에 매핑되고, 타입 2 데이터 파이프가 다음에 매핑된다. 데이터 파이프의 타입의 구체적인 내용은 후술한다. 일부 경우, 데이터 파이프는 EAS에 대한 일부 특수 데이터 또는 서비스 시그널링 데이터를 전달할 수 있다. 보조 스트림 또는 스트림은 존재한다면 데이터 파이프를 다음에 매핑되고 여기에는 차례로 더미 셀이

뒤따른다. 전송한 순서, 즉, PLS, EAC, FIC, 데이터 파이프, 보조 스트림, 및 더미 셀의 순서로 모두 함께 매핑하면 프레임에서 셀 용량을 정확히 채운다.

[481] 도 17은 본 발명의 일 실시예에 따른 PLS 매핑을 나타낸다.

[482] PLS 셀은 FSS의 액티브(active) 캐리어에 매핑된다. PLS가 차지하는 셀의 수에 따라, 하나 이상의 심볼이 FSS로 지정되고, FSS의 수 NFSS는 PLS1에서의 NUM_FSS에 의해 시그널링된다. FSS는 PLS 셀을 전달하는 특수한 심볼이다. 경고성 및 지연 시간(latency)은 PLS에서 중대한 사안이므로, FSS는 높은 파일럿 밀도를 가지고 있어 고속 동기화 및 FSS 내에서의 주파수만의 인터폴레이션(interpolation, 보간)을 가능하게 한다.

[483] PLS 셀은 도 17의 예에 나타낸 바와 같이 하향식으로 FSS의 액티브(active) 캐리어에 매핑된다. PLS1 셀은 처음에 첫 FSS의 첫 셀부터 셀 인덱스의 오름차순으로 매핑된다. PLS2 셀은 PLS1의 마지막 셀 직후에 뒤따르고, 매핑은 첫 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 PLS 셀의 총 수가 하나의 FSS의 액티브(active) 캐리어의 수를 초과하면, 매핑은 다음 FSS로 진행되고 첫 FSS와 완전히 동일한 방식으로 계속된다.

[484] PLS 매핑이 완료된 후, 데이터 파이프가 다음에 전달된다. EAC, FIC 또는 둘 다 현 프레임에 존재하면, EAC 및 FIC는 PLS와 노멀 데이터 파이프 사이에 배치된다.

[485] 도 18은 본 발명의 일 실시예에 따른 EAC 매핑을 나타낸다.

[486] EAC는 EAS 메시지를 전달하는 전용 채널이고 EAS에 대한 데이터 파이프에 연결된다. EAS 지원은 제공되지만, EAC 자체는 모든 프레임에 존재할 수도 있고 존재하지 않을 수도 있다. EAC가 존재하는 경우, EAC는 PLS2 셀의 직후에 매핑된다. PLS 셀을 제외하고 FIC, 데이터 파이프, 보조 스트림 또는 더미 셀 중 어느 것도 EAC 앞에 위치하지 않는다. EAC 셀의 매핑 절차는 PLS와 완전히 동일하다.

[487] EAC 셀은 도 18의 예에 나타낸 바와 같이 PLS2의 다음 셀부터 셀 인덱스의 오름차순으로 매핑된다. EAS 메시지 크기에 따라, 도 18에 나타낸 바와 같이 EAC 셀은 적은 심볼을 차지할 수 있다.

[488] EAC 셀은 PLS2의 마지막 셀 직후에 뒤따르고, 매핑은 마지막 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 EAC 셀의 총 수가 마지막 FSS의 남아 있는 액티브(active) 캐리어의 수를 초과하면, EAC 매핑은 다음 심볼로 진행되며, FSS와 완전히 동일한 방식으로 계속된다. 이 경우 EAC의 매핑이 이루어지는 다음 심볼은 노멀 데이터 심볼이고, 이는 FSS보다 더 많은 액티브(active) 캐리어를 갖는다.

[489] EAC 매핑이 완료된 후, 존재한다면 FIC가 다음에 전달된다. FIC가 전송되지 않으면(PLS2 필드에서 시그널링으로), 데이터 파이프가 EAC의 마지막 셀 직후에 뒤따른다.

[490] 도 19는 본 발명의 일 실시예에 따른 FIC 매핑을 나타낸다.

- [491] (a)는 EAC 없이 FIC 셀의 매핑의 예를 나타내고, (b)는 EAC와 함께 FIC 셀의 매핑의 예를 나타낸다.
- [492] FIC는 고속 서비스 획득 및 채널 스캔을 가능하게 하기 위해 계층간 정보(cross-layer information)를 전달하는 전용 채널이다. 해당 정보는 주로 데이터 파이프 사이의 채널 바인딩 (channel binding) 정보 및 각 방송사의 서비스를 포함한다. 고속 스캔을 위해, 수신기는 FIC를 디코딩하고 방송사 ID, 서비스 수, BASE_DP_ID와 같은 정보를 획득할 수 있다. 고속 서비스 획득을 위해, FIC뿐만 아니라 베이스 데이터 파이프도 BASE_DP_ID를 이용해서 디코딩될 수 있다. 베이스 데이터 파이프가 전송하는 콘텐츠를 제외하고, 베이스 데이터 파이프는 노멀 데이터 파이프와 정확히 동일한 방식으로 인코딩되어 프레임에 매핑된다. 따라서, 베이스 데이터 파이프에 대한 추가 설명이 필요하지 않다. FIC 데이터가 생성되어 관리 계층에서 소비된다. FIC 데이터의 콘텐츠는 관리 계층 사양에 설명된 바와 같다.
- [493] FIC 데이터는 선택적이고, FIC의 사용은 PLS2의 스테틱(static, 정적)인 부분에서 FIC_FLAG 파라미터에 의해 시그널링 된다. FIC가 사용되면, FIC_FLAG는 1로 설정되고, FIC에 대한 시그널링 필드는 PLS2의 스테틱(static, 정적)인 부분에서 정의된다. 해당 필드에서 시그널링되는 것은 FIC_VERSION이고, FIC_LENGTH_BYTE. FIC는 PLS2와 동일한 변조, 코딩, 타임 인터리빙 파라미터를 사용한다. FIC는 PLS2_MOD 및 PLS2_FEC와 같은 동일한 시그널링 파라미터를 공유한다. FIC 데이터는 존재한다면 PLS2 후에 매핑되거나, EAC가 존재하는 경우 EAC 직후에 매핑된다. 노멀 데이터 파이프, 보조 스트림, 또는 더미 셀 중 어느 것도 FIC 앞에 위치하지 않는다. FIC 셀을 매핑하는 방법은 EAC와 완전히 동일하고, 이는 다시 PLS와 동일하다.
- [494] PLS 후의 EAC가 존재하지 않는 경우, FIC 셀은 (a)의 예에 나타난 바와 같이 PLS2의 다음 셀부터 셀 인덱스의 오름차순으로 매핑된다. FIC 데이터 사이즈에 따라, (b)에 나타난 바와 같이, FIC 셀은 수 개의 심볼에 대해서 매핑된다.
- [495] FIC 셀은 PLS2의 마지막 셀 직후에 뒤따르고, 매핑은 마지막 FSS의 마지막 셀 인덱스까지 아래방향으로 계속된다. 필요한 FIC 셀의 총 수가 마지막 FSS의 남아 있는 액티브(active) 캐리어의 수를 초과하면, 나머지 FIC 셀의 매핑은 다음 심볼로 진행되며 이는 FSS와 완전히 동일한 방식으로 계속된다. 이 경우, FIC가 매핑되는 다음 심볼은 노멀 데이터 심볼이며, 이는 FSS보다 더 많은 액티브(active) 캐리어를 갖는다.
- [496] EAS 메시지가 현 프레임에서 전송되면, EAC는 FIC 보다 먼저 매핑되고 (b)에 나타난 바와 같이 EAC의 다음 셀부터 FIC 셀은 셀 인덱스의 오름차순으로 매핑된다.
- [497] FIC 매핑이 완료된 후, 하나 이상의 데이터 파이프가 매핑되고, 이후 존재한다면 보조 스트림, 더미 셀이 뒤따른다.
- [498] 도 20은 본 발명의 일 실시예에 따른 데이터 파이프의 타입을 나타낸다.

- [499] (a)는 타입 1 데이터 파이프를 나타내고, (b)는 타입 2 데이터 파이프를 나타낸다.
- [500] 선행하는 채널, 즉 PLS, EAC, FIC가 매핑된 후, 데이터 파이프의 셀이 매핑된다. 데이터 파이프는 매핑 방법에 따라 두 타입 중 하나로 분류된다.
- [501] 타입 1 데이터 파이프: 데이터 파이프가 TDM에 의해 매핑된다.
- [502] 타입 2 데이터 파이프: 데이터 파이프가 FDM에 의해 매핑된다.
- [503] 데이터 파이프의 타입은 PLS2의 스태틱(static, 정적)인 부분에서 DP_TYPE 필드에 의해 나타낸다. 도 20은 타입 1 데이터 파이프 및 타입 2 데이터 파이프의 매핑 순서를 나타낸다. 타입 1 데이터 파이프는 우선 셀 인덱스의 오름차순으로 매핑된 후, 마지막 셀 인덱스에 도달한 후, 심볼 인덱스가 1씩 증가된다. 다음 심볼 내에서, 데이터 파이프는 $p = 0$ 을 시작으로 셀 인덱스의 오름차순으로 계속 매핑된다. 하나의 프레임에서 함께 매핑되는 다수의 데이터 파이프와 함께, 각각의 타입 1 데이터 파이프는 데이터 파이프의 TDM과 유사하게 시간으로 그루핑된다.
- [504] 타입 2 데이터 파이프는 우선 심볼 인덱스의 오름차순으로 매핑되고, 프레임의 마지막 OFDM 심볼에 도달한 후, 셀 인덱스는 1씩 증가하고, 심볼 인덱스는 첫 번째 가용 심볼로 되돌아 간 후, 그 심볼 인덱스부터 증가한다. 하나의 프레임에서 다수의 데이터 파이프를 매핑한 후, 각각의 타입 2 데이터 파이프는 데이터 파이프의 FDM과 유사하게 주파수로 그루핑된다.
- [505] 타입 1 데이터 파이프 및 타입 2 데이터 파이프는 필요시 프레임에서 공존할 수 있는데, 타입 1 데이터 파이프가 항상 타입 2 데이터 파이프에 선행한다는 제한이 있다. 타입 1 및 타입 2 데이터 파이프를 전달하는 OFDM 셀의 총 수는 데이터 파이프의 전송에 사용할 수 있는 OFDM 셀의 총 수를 초과할 수 없다.
- [506] 수학적식 2
- [수식2]
- $$D_{DP1} + D_{DP2} \leq D_{DP}$$
- [507] 이때, D_{DP1} 은 타입 1 데이터 파이프가 차지하는 OFDM 셀의 수에 해당하고, D_{DP2} 은 타입 2 데이터 파이프가 차지하는 셀의 수에 해당한다. PLS, EAC, FIC가 모두 타입 1 데이터 파이프와 마찬가지로 방식으로 매핑되므로, PLS, EAC, FIC는 모두 "타입 1 매핑 규칙"에 따른다. 따라서, 대체로 타입 1 매핑이 항상 타입 2 매핑에 선행한다.
- [508] 도 21은 본 발명의 일 실시예에 따른 데이터 파이프 매핑을 나타낸다.
- [509] (a)는 타입 1 데이터 파이프를 매핑하기 위한 OFDM 셀의 어드레싱을 나타내고, (b)는 타입 2 데이터 파이프를 매핑하기 위한 OFDM 셀의 어드레싱을 나타낸다.
- [510] 타입 1 데이터 파이프(0, ..., $DDP1-1$)를 매핑하기 위한 OFDM 셀의 어드레싱은 타입 1 데이터 파이프의 액티브(active) 데이터 셀에 대해 정의된다. 어드레싱 방식은 각각의 타입 1 데이터 파이프에 대한 타임 인터리빙으로부터의 셀이

액티브(active) 데이터 셀에 할당되는 순서를 정의한다. 어드레싱 방식은 또한 PLS2의 다이나믹(dynamic, 동적) 부분에서 데이터 파이프의 위치를 시그널링하는 데 사용된다.

- [511] EAC 및 FIC 없이, 어드레스 0은 마지막 FSS에서 PLS를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. EAC가 전송되고, FIC가 해당하는 프레임에 없으면, 어드레스 0은 EAC를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. FIC가 해당하는 프레임에서 전송되면, 어드레스 0은 FIC를 전달하는 마지막 셀에 바로 뒤따르는 셀을 말한다. 타입 1 데이터 파이프에 대한 어드레스 0은 (a)에 나타난 바와 같은 두 가지 서로 다른 경우를 고려해서 산출될 수 있다. (a)의 예에서, PLS, EAC, FIC는 모두 전송된다고 가정한다. EAC와 FIC 중 하나 또는 모두가 생략되는 경우로의 확장은 자명하다. (a)의 좌측에 나타난 바와 같이 FIC까지 모든 셀을 매핑한 후에 FSS에 남아 있는 셀이 있으면.
- [512] 타입 2 데이터 파이프(0, ..., DDP2-1)를 매핑하기 위한 OFDM 셀의 어드레싱은 타입 2 데이터 파이프의 액티브(active) 데이터 셀에 대해 정의된다. 어드레싱 방식은 각각의 타입 2 데이터 파이프에 대한 타임 인터리빙으로부터의 셀이 액티브(active) 데이터 셀에 할당되는 순서를 정의한다. 어드레싱 방식은 또한 PLS2의 다이나믹(dynamic, 동적) 부분에서 데이터 파이프의 위치를 시그널링하는 데 사용된다.
- [513] (b)에 나타난 바와 같이, 세 가지 약간 다른 경우가 가능하다. (b)의 좌측에 나타난 첫 번째 경우에, 마지막 FSS에 있는 셀은 타입 2 데이터 파이프 매핑에 사용될 수 있다. 중앙에 나타난 두 번째 경우에, FIC는 노멀 심볼의 셀을 차지하지만, 해당 심볼에서의 FIC 셀의 수는 C_{FSS} 보다 크지 않다. (b)의 우측에 나타난 세 번째 경우는 해당 심볼에 매핑된 FIC 셀의 수가 C_{FSS} 를 초과한다는 점을 제외하고 두 번째 경우와 동일하다.
- [514] PLS, EAC, FIC가 타입 1 데이터 파이프와 동일한 "타입 1 매핑 규칙"에 따르므로, 타입 1 데이터 파이프가 타입 2 데이터 파이프에 선행하는 경우로의 확장은 자명하다.
- [515] 데이터 파이프 유닛(DPU)은 프레임에서 데이터 셀을 데이터 파이프에 할당하는 기본 단위이다.
- [516] DPU는 프레임에서 데이터 파이프의 위치를 찾아내기 위한 시그널링 단위로 정의된다. 셀 매핑(7010)은 각각의 데이터 파이프에 대해 타임 인터리빙에 의해 생성된 셀을 매핑할 수 있다. 타임 인터리버(5050)는 일련의 타임 인터리빙 블록을 출력하고, 각각의 타임 인터리빙 블록은 XFECBLOCK의 가변 수를 포함하고, 이는 결국 셀의 집합으로 구성된다. XFECBLOCK에서의 셀의 수 N_{cells} 는 FECBLOCK 사이즈, N_{ldpc} , 컨스텔레이션 심볼당 전송되는 비트 수에 의존한다. DPU는 주어진 피지컬 프로파일에서 지원되는 XFECBLOCK에서의 셀의 수 N_{cells} 의 모든 가능한 값의 최대 공약수로 정의된다. 셀에서의 DPU의 길이는 L_{DPU} 로 정의된다. 각각의 피지컬 프로파일은 FECBLOCK 사이즈의 서로 다른 조합 및

컨스텔레이션 심볼당 다른 비트 수를 지원하므로, L_{DPU} 는 피지컬 프로파일을 기초로 정의된다.

[517] 도 22는 본 발명의 일 실시예에 따른 FEC 구조를 나타낸다.

[518] 도 22는 비트 인터리빙 전의 본 발명의 일 실시예에 따른 FEC 구조를 나타낸다. 전술한 바와 같이, 데이터 FEC 인코더는 외부 코딩(BCH) 및 내부 코딩(LDPC)을 이용하여 FECBLOCK 절차를 생성하기 위해 입력 BBF에 FEC 인코딩을 실행할 수 있다. 도시된 FEC 구조는 FECBLOCK에 해당한다. 또한, FECBLOCK 및 FEC 구조는 LDPC 코드워드의 길이에 해당하는 동일한 값을 갖는다.

[519] 도 22에 도시된 바와 같이, BCH 인코딩이 각각의 BBF(K_{bch} 비트)에 적용된 후, LDPC 인코딩이 BCH - 인코딩된 BBF(K_{ldpc} 비트 = N_{bch} 비트)에 적용된다.

[520] N_{ldpc} 의 값은 64800 비트 (롱 FECBLOCK) 또는 16200 비트 (쇼트 FECBLOCK)이다.

[521] 아래의 표 28 및 표 29는 롱 FECBLOCK 및 쇼트 FECBLOCK 각각에 대한 FEC 인코딩 파라미터를 나타낸다.

[522] 표 28

[표28]

LDPC 비율	N_{ldpc}	K_{ldpc}	K_{bch}	BCH 에러 정정 능력	$N_{bch}-K_{bch}$
5/15	64800	21600	21408	12	192
6/15		25920	25728		
7/15		30240	30048		
8/15		34560	34368		
9/15		38880	38688		
10/15		43200	43008		
11/15		47520	47328		
12/15		51840	51648		
13/15		56160	55968		

[523] 표 29

[표29]

LDPC 비율	N_{ldpc}	K_{ldpc}	K_{bch}	BCH 에러 정정 능력	$N_{bch}-K_{bch}$
5/15	16200	5400	5232	12	168
6/15		6480	6312		
7/15		7560	7392		
8/15		8640	8472		
9/15		9720	9552		
10/15		10800	10632		
11/15		11880	11712		
12/15		12960	12792		
13/15		14040	13872		

- [524] BCH 인코딩 및 LDPC 인코딩의 구체적인 동작은 다음과 같다.
- [525] 12-에러 정정 BCH 코드가 BBF의 외부 인코딩에 사용된다. 쇼트 FECBLOCK 및 롱 FECBLOCK에 대한 BBF 생성 다항식은 모든 다항식을 곱함으로써 얻어진다.
- [526] LDPC 코드는 외부 BCH 인코딩의 출력을 인코딩하는 데 사용된다. 완성된 B_{ldpc} (FECBLOCK)를 생성하기 위해, P_{ldpc} (패리티 비트)가 각각의 I_{ldpc} (BCH - 인코딩된 BBF)로부터 조직적으로 인코딩되고, I_{ldpc} 에 첨부된다. 완성된 B_{ldpc} (FECBLOCK)는 다음의 수학식으로 표현된다.

[527] 수학식 3

[수식3]

$$B_{ldpc} = [I_{ldpc} \ P_{ldpc}] = [i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$$

[528] 롱 FECBLOCK 및 쇼트 FECBLOCK에 대한 파라미터는 위의 표 28 및 29에 각각 주어진다.

[529] 롱 FECBLOCK에 대해 $N_{ldpc} - K_{ldpc}$ 패리티 비트를 계산하는 구체적인 절차는 다음과 같다.

[530] 1) 패리티 비트 초기화

[531] 수학식 4

[수식4]

$$p_0 = p_1 = p_2 = \dots = p_{N_{ldpc}-K_{ldpc}-1} = 0$$

[532] 2) 패리티 체크 매트릭스의 어드레스의 첫 번째 행에서 특정된 패리티 비트 어드레스에서 첫 번째 정보 비트 i_0 누산(accumulate). 패리티 체크 매트릭스의 어드레스의 상세한 내용은 후술한다. 예를 들면, 비율 13/15에 대해,

[533] 수학식 5

[수식5]

$$p_{983} = p_{983} \oplus i_0 \quad p_{2815} = p_{2815} \oplus i_0$$

$$p_{4837} = p_{4837} \oplus i_0 \quad p_{4989} = p_{4989} \oplus i_0$$

$$p_{6138} = p_{6138} \oplus i_0 \quad p_{6458} = p_{6458} \oplus i_0$$

$$p_{6921} = p_{6921} \oplus i_0 \quad p_{6974} = p_{6974} \oplus i_0$$

$$p_{7572} = p_{7572} \oplus i_0 \quad p_{8260} = p_{8260} \oplus i_0$$

$$p_{8496} = p_{8496} \oplus i_0$$

[534] 3) 다음 359개의 정보 비트 i_s , $s=1, 2, \dots, 359$ 에 대해, 다음의 수학식을 이용하여 패리티 비트 어드레스에서 i_s 누산(accumulate).

[535] 수학식 6

[수식6]

$$\{x + (s \bmod 360) \times Q_{ldpc}\} \bmod (N_{ldpc} - K_{ldpc})$$

[536] 여기서, x는 첫 번째 비트 i_0 에 해당하는 패리티 비트 누산기의 어드레스를 나타내고, Q_{ldpc} 는 패리티 체크 매트릭스의 어드레스에서 특정된 코드 레이트(code rate) 의존 상수이다. 상기 예인, 비율 13/15에 대한, 따라서 정보 비트 i_1 에 대한 $Q_{ldpc} = 24$ 에 계속해서, 다음 동작이 실행된다.

[537] 수학식 7

[수식7]

$$P_{1007} = P_{1007} \oplus i_1 \quad P_{2839} = P_{2839} \oplus i_1$$

$$P_{4861} = P_{4861} \oplus i_1 \quad P_{5013} = P_{5013} \oplus i_1$$

$$P_{6162} = P_{6162} \oplus i_1 \quad P_{6482} = P_{6482} \oplus i_1$$

$$P_{6945} = P_{6945} \oplus i_1 \quad P_{6998} = P_{6998} \oplus i_1$$

$$P_{7596} = P_{7596} \oplus i_1 \quad P_{8284} = P_{8284} \oplus i_1$$

$$P_{8520} = P_{8520} \oplus i_1$$

[538] 4) 361번째 정보 비트 i_{360} 에 대해, 패리티 비트 누산기의 어드레스는 패리티 체크 매트릭스의 어드레스의 두 번째 행에 주어진다. 마찬가지로, 다음 359개의 정보 비트 i_s , $s = 361, 362, \dots, 719$ 에 대한 패리티 비트 누산기의 어드레스는 수학식 6을 이용하여 얻어진다. 여기서, x는 정보 비트 i_{360} 에 해당하는 패리티 비트 누산기의 어드레스, 즉 패리티 체크 매트릭스의 두 번째 행의 엔트리를 나타낸다.

[539] 5) 마찬가지로, 360개의 새로운 정보 비트의 모든 그룹에 대해, 패리티 체크 매트릭스의 어드레스로부터의 새로운 행은 패리티 비트 누산기의 어드레스를 구하는 데 사용된다.

[540] 모든 정보 비트가 이용된 후, 최종 패리티 비트가 다음과 같이 얻어진다.

[541] 6) $i=1$ 로 시작해서 다음 동작을 순차적으로 실행

[542] 수학식 8

[수식8]

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

[543] 여기서 p_i , $i=0, 1, \dots, N_{ldpc} - K_{ldpc} - 1$ 의 최종 콘텐츠는 패리티 비트 p_i 와 동일하다.

[544] 표 30

[표30]

코드 레이트(code rate)	Q_{ldpc}
5/15	120
6/15	108
7/15	96
8/15	84
9/15	72
10/15	60
11/15	48
12/15	36
13/15	24

[545] 표 30을 표 31로 대체하고, 롱 FECBLOCK에 대한 패리티 체크 매트릭스의 어드레스를 쇼트 FECBLOCK에 대한 패리티 체크 매트릭스의 어드레스로 대체하는 것을 제외하고, 쇼트 FECBLOCK에 대한 해당 LDPC 인코딩 절차는 롱 FECBLOCK에 대한 tLDPC 인코딩 절차에 따른다.

[546] 표 31

[표31]

코드 레이트(code rate)	Q_{ldpc}
5/15	30
6/15	27
7/15	24
8/15	21
9/15	18
10/15	15
11/15	12
12/15	9
13/15	6

[547] 도 23은 본 발명의 일 실시예에 따른 비트 인터리빙을 나타낸다.

[548] LDPC 인코더의 출력은 비트 인터리빙되는데, 이는 QCB (quasi-cyclic block) 인터리빙 및 내부 그룹 인터리빙이 뒤따르는 패리티 인터리빙으로 구성된다.

[549] (a)는 QCB 인터리빙을 나타내고, (b)는 내부 그룹 인터리빙을 나타낸다.

[550] FECBLOCK은 패리티 인터리빙될 수 있다. 패리티 인터리빙의 출력에서, LDPC 코드워드는 롱 FECBLOCK에서 180개의 인접하는 QCB으로 구성되고, 쇼트 FECBLOCK에서 45개의 인접하는 QCB으로 구성된다. 롱 또는 쇼트 FECBLOCK에서의 각각의 QCB는 360비트로 구성된다. 패리티 인터리빙된

LDPC 코드워드는 QCB 인터리빙에 의해 인터리빙된다. QCB 인터리빙의 단위는 QCB이다. 패리티 인터리빙의 출력에서의 QCB는 도 23에 나타난 바와 같이 QCB 인터리빙에 의해 퍼뮤테이션되는데, 여기서 FECBLOCK 길이에 따라 $N_{\text{cells}} = 64800/\eta_{\text{MOD}}$ 또는 $16200/\eta_{\text{MOD}}$ 이다. QCB 인터리빙 패턴은 변조 타입 및 LDPC 코드 레이트(code rate)의 각 조합에 고유하다.

[551] QCB 인터리빙 후에, 내부 그룹 인터리빙이 아래의 표 32에 정의된 변조 타입 및 차수(η_{MOD})에 따라 실행된다. 하나의 내부 그룹에 대한 QCB의 수 $N_{\text{QCB_IG}}$ 도 정의된다.

[552] 표 32

[표32]

변조 타입	η_{mod}	$N_{\text{QCB_IG}}$
QAM-16	4	2
NUC-16	4	4
NUQ-64	6	3
NUC-64	6	6
NUQ-256	8	4
NUC-256	8	8
NUQ-1024	10	5
NUC-1024	10	10

[553] 내부 그룹 인터리빙 과정은 QCB 인터리빙 출력의 $N_{\text{QCB_IG}}$ 개의 QCB로 실행된다. 내부 그룹 인터리빙은 360개의 열 및 $N_{\text{QCB_IG}}$ 개의 행을 이용해서 내부 그룹의 비트를 기입하고 판독하는 과정을 포함한다. 기입 동작에서, QCB 인터리빙 출력으로부터의 비트가 행 방향으로 기입된다. 판독 동작은 열 방향으로 실행되어 각 행에서 m 개의 비트를 판독한다. 여기서 m 은 NUC의 경우 1과 같고 NUQ의 경우 2와 같다.

[554] 도 24는 본 발명의 일 실시예에 따른 셀-워드 디멀티플렉싱을 나타낸다.

[555] 도 24에서, (a)는 8 및 12 bpcu MIMO에 대한 셀-워드 디멀티플렉싱을 나타내고, (b)는 10 bpcu MIMO에 대한 셀-워드 디멀티플렉싱을 나타낸다.

[556] 비트 인터리빙 출력의 각각의 셀 워드($c_{0,l}, c_{1,l}, \dots, c_{n_{\text{mod}}-1,l}$)는 하나의 XFECBLOCK에 대한 셀-워드 디멀티플렉싱 과정을 설명하는 (a)에 나타난 바와 같이 ($d_{1,0,m}, d_{1,1,m}, \dots, d_{1,n_{\text{mod}}-1,m}$) 및 ($d_{2,0,m}, d_{2,1,m}, \dots, d_{2,n_{\text{mod}}-1,m}$)로 디멀티플렉싱된다.

[557] MIMO 인코딩을 위해 다른 타입의 NUQ를 이용하는 10 bpcu MIMO 경우에, NUQ-1024에 대한 비트 인터리버가 재사용된다. 비트 인터리버 출력의 각각의 셀 워드 ($c_{0,l}, c_{1,l}, \dots, c_{9,l}$)는 (b)에 나타난 바와 같이 ($d_{1,0,m}, d_{1,1,m}, \dots, d_{1,3,m}$) 및 ($d_{2,0,m}, d_{2,1,m}, \dots, d_{2,5,m}$)로 디멀티플렉싱된다.

[558] 도 25는 본 발명의 일 실시예에 따른 타임 인터리빙을 나타낸다.

[559] (a) 내지 (c)는 타임 인터리빙 모드의 예를 나타낸다.

- [560] 타임 인터리버는 데이터 파이프 레벨에서 동작한다. 타임 인터리빙의 파라미터는 각각의 데이터 파이프에 대해 다르게 설정될 수 있다.
- [561] PLS2-STAT 데이터의 일부에 나타나는 다음의 파라미터는 타임 인터리빙을 구성한다.
- [562] DP_TI_TYPE (허용된 값: 0 또는 1): 타임 인터리빙 모드를 나타낸다. 0은 타임 인터리빙 그룹당 다수의 타임 인터리빙 블록(하나 이상의 타임 인터리빙 블록)을 갖는 모드를 나타낸다. 이 경우, 하나의 타임 인터리빙 그룹은 하나의 프레임에 (프레임간 인터리빙 없이) 직접 매핑된다. 1은 타임 인터리빙 그룹당 하나의 타임 인터리빙 블록만을 갖는 모드를 나타낸다. 이 경우, 타임 인터리빙 블록은 하나 이상의 프레임에 걸쳐 확산된다(프레임간 인터리빙).
- [563] DP_TI_LENGTH: DP_TI_TYPE = '0'이면, 해당 파라미터는 타임 인터리빙 그룹당 타임 인터리빙 블록의 수 N_{Ti} 이다. DP_TI_TYPE = '1'인 경우, 해당 파라미터는 하나의 타임 인터리빙 그룹으로부터 확산되는 프레임의 수 P_i 이다.
- [564] DP_NUM_BLOCK_MAX (허용된 값: 0 내지 1023): 타임 인터리빙 그룹당 XFECBLOCK의 최대 수를 나타낸다.
- [565] DP_FRAME_INTERVAL (허용된 값: 1, 2, 4, 8): 주어진 피지컬 프로파일의 동일한 데이터 파이프를 전달하는 두 개의 순차적인 프레임 사이의 프레임의 수 I_{JUMP} 를 나타낸다.
- [566] DP_TI_BYPASS (허용된 값: 0 또는 1): 타임 인터리빙이 데이터 프레임에 이용되지 않으면, 해당 파라미터는 1로 설정된다. 타임 인터리빙이 이용되면, 0으로 설정된다.
- [567] 추가로, PLS2-DYN 데이터로부터의 파라미터 DP_NUM_BLOCK은 데이터 그룹의 하나의 타임 인터리빙 그룹에 의해 전달되는 XFECBLOCK의 수를 나타낸다.
- [568] 타임 인터리빙이 데이터 프레임에 이용되지 않으면, 다음의 타임 인터리빙 그룹, 타임 인터리빙 동작, 타임 인터리빙 모드는 고려되지 않는다. 그러나 스케줄러부터의 다이내믹(dynamic, 동적) 구성 정보를 위한 딜레이 컴펜세이션(delay compensation, 지연보상) 블록은 여전히 필요하다. 각각의 데이터 파이프에서, SSD/MIMO 인코딩으로부터 수신한 XFECBLOCK은 타임 인터리빙 그룹으로 그룹핑된다. 즉, 각각의 타임 인터리빙 그룹은 정수 개의 XFECBLOCK의 집합이고, 다이내믹(dynamic, 동적)으로 변화하는 수의 XFECBLOCK을 포함할 것이다. 인덱스 n 의 타임 인터리빙 그룹에 있는 XFECBLOCK의 수는 $N_{xBLOCK_Group}(n)$ 로 나타내고, PLS2-DYN 데이터에서 DP_NUM_BLOCK으로 시그널링된다. 이때, $N_{xBLOCK_Group}(n)$ 은 최소값 0에서 가장 큰 값이 1023인 최대값 $N_{xBLOCK_Group_MAX}$ (DP_NUM_BLOCK_MAX에 해당)까지 변화할 수 있다.
- [569] 각각의 타임 인터리빙 그룹은 하나의 프레임에 직접 매핑되거나 P_i 개의 프레임에 걸쳐 확산된다. 또한 각각의 타임 인터리빙 그룹은 하나 이상(N_{Ti} 개)의

타임 인터리빙 블록으로 분리된다. 여기서 각각의 타임 인터리빙 블록은 타임 인터리버 메모리의 하나의 사용에 해당한다. 타임 인터리빙 그룹 내의 타임 인터리빙 블록은 약간의 다른 수의 XFECBLOCK을 포함할 수 있다. 타임 인터리빙 그룹이 다수의 타임 인터리빙 블록으로 분리되면, 타임 인터리빙 그룹은 하나의 프레임에만 직접 매핑된다. 아래의 표 33에 나타낸 바와 같이, 타임 인터리빙에는 세 가지 옵션이 있다(타임 인터리빙을 생략하는 추가 옵션 제외).

[570] 표 33

[표33]

모드	설명
옵션 1	(a)에 나타낸 바와 같이 각각의 타임 인터리빙 그룹은 하나의 타임 인터리빙 블록을 포함하고 하나의 프레임에 직접 매핑된다. 해당 옵션은 $DP_TI_TYPE = '0'$ 및 $DP_TI_LENGTH = '1'(N_{TI}=1)$ 에 의해 PLS2-STAT에서 시그널링된다.
옵션 2	각각의 타임 인터리빙 그룹은 하나의 타임 인터리빙 블록을 포함하고 하나 이상의 프레임에 매핑된다. (b)는 하나의 타임 인터리빙 그룹이 두 개의 프레임, 즉 $DP_TI_LENGTH = '2'(P_T=2)$ 및 $DP_FRAME_INTERVAL (I_{JUMP} = 2)$ 에 매핑되는 예를 나타낸다. 이것은 낮은 데이터를 서비스에 더 높은 시간 다이버시티를 제공한다. 해당 옵션은 $DP_TI_TYPE = '1'$ 에 의해 PLS2-STAT에서 시그널링된다.
옵션 3	(c)에 나타낸 바와 같이 각각의 타임 인터리빙 그룹은 다수의 타임 인터리빙 블록으로 분리되고 하나의 프레임에 직접 매핑된다. 각각의 타임 인터리빙 블록은 데이터 파이프에 대해 최대의 비트율(bit rate)을 제공하도록 풀(full) 타임 인터리빙 메모리를 사용할 수 있다. 해당 옵션은 $P_T=1$ 이면서 $DP_TI_TYPE = '0'$ 및 $DP_TI_LENGTH = N_{TI}$ 에 의해 PLS2-STAT에서 시그널링된다.

[571] 각각의 데이터 파이프에서, 타임 인터리빙 메모리는 입력된 XFECBLOCK (SSD/MIMO 인코딩 블록으로부터 출력된 XFECBLOCK)을 저장한다. 입력된 XFECBLOCK은

$$(d_{n,s,0,0}, d_{n,s,0,1}, \dots, d_{n,s,0,N_{cells}-1}, d_{n,s,1,0}, \dots, d_{n,s,1,N_{cells}-1}, \dots, d_{n,s,N_{sBLOCK_TI}(n,s)-1,0}, \dots, d_{n,s,N_{sBLOCK_TI}(n,s)-1,N_{cells}-1}),$$

로 정의된다고 가정한다. 여기서, $d_{n,s,r,q}$ 는 n번째 타임 인터리빙 그룹의 s번째

타임 인터리빙 블록에서 r번째 XFECBLOCK의 q번째 셀이고, 다음과 같은 SSD 및 MIMO 인코딩의 출력을 나타낸다.

[572]

$$d_{n,s,r,q} = \begin{cases} f_{n,s,r,q} & , \text{the output of SSD} \cdots \text{encoding} \\ g_{n,s,r,q} & , \text{the output of MIMO encoding} \end{cases}$$

[573] 또한, 타임 인터리버(5050)로부터 출력된 XFECBLOCK은

$(h_{n,s,0}, h_{n,s,1}, \dots, h_{n,s,i}, \dots, h_{n,s,N_{xBLOCK_TI}(n,s) \times N_{cells}-1})$ 로 정의된다고 가정한다. 여기서,

$h_{n,s,i}$ 는 n번째 타임 인터리빙 그룹의 s번째 타임 인터리빙 블록에서 i번째(
 $i = 0, \dots, N_{xBLOCK_TI}(n,s) \times N_{cells} - 1$) 출력 셀이다.

[574] 일반적으로, 타임 인터리버는 프레임 생성 과정 이전에 데이터 파이프 데이터에 대한 버퍼로도 작용할 것이다. 이는 각각의 데이터 파이프에 대해 2개의 메모리 बैं크로 달성된다. 첫 번째 타임 인터리빙 블록은 첫 번째 बैं크에 기입된다. 첫 번째 बैं크에서 판독되는 동안 두 번째 타임 인터리빙 블록이 두 번째 बैं크에 기입된다.

[575] 타임 인터리빙은 트위스트된 행-열 블록 인터리버이다. n번째 타임 인터리빙 그룹의 s번째 타임 인터리빙 블록에 대해, 열의 수 N_c 가 $N_{xBLOCK_TI}(n,s)$ 와 동일한 반면, 타임 인터리빙 메모리의 행의 수 N_r 는 셀의 수 N_{cell} 와 동일하다(즉, $N_r = N_{cell}$).

[576] 도 26은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 기본 동작을 나타낸다.

[577] 도 26(a)는 타임 인터리버에서 기입 동작을 나타내고, 도 26(b)는 타임 인터리버에서 판독 동작을 나타낸다. (a)에 나타낸 바와 같이, 첫 번째 XFECBLOCK은 타임 인터리빙 메모리의 첫 번째 열에 열 방향으로 기입되고, 두 번째 XFECBLOCK은 다음 열에 기입되고, 이러한 동작이 이어진다. 그리고 인터리빙 어레이에서, 셀이 대각선 방향으로 판독된다. (b)에 나타낸 바와 같이 첫 번째 행으로부터 (가장 왼쪽 열을 시작으로 행을 따라 오른쪽으로) 마지막 행까지 대각선 방향 판독이 진행되는 동안, N_r 개의 셀이 판독된다. 구체적으로, $z_{n,s,i} (i = 0, \dots, N_r N_c)$ 이 순차적으로 판독될 타임 인터리빙 메모리 셀 위치라고 가정하면, 이러한 인터리빙 어레이에서의 판독 동작은 아래 식에서와 같이 행 인덱스 $R_{n,s,i}$, 열 인덱스 $C_{n,s,i}$, 관련된 트위스트 파라미터 $T_{n,s,i}$ 를 산출함으로써 실행된다.

[578] 수학적식 9

[수식9]

$$\begin{aligned} & GENERATE(R_{n,s,i}, C_{n,s,i}) = \\ & \{ \\ & R_{n,s,i} = \text{mod}(i, N_r), \\ & T_{n,s,i} = \text{mod}(S_{\text{shift}} \times R_{n,s,i}, N_c), \\ & C_{n,s,i} = \text{mod}(T_{n,s,i} + \left\lfloor \frac{i}{N_r} \right\rfloor, N_c) \\ & \} \end{aligned}$$

[579] 여기서,

S_{shift}
는

$$N_{\text{xBLOCK_TI}}(n, s)$$

에 상관없이 대각선 방향 판독 과정에 대한 공통 시프트 값이고, 시프트 값은 아래 식에서와 같이 PLS2-STAT에서 주어진

$$N_{\text{xBLOCK_TI_MAX}}$$

에 의해 결정된다.

[580] 수학식 10

[수식10]

$$\begin{aligned} & \text{for } \begin{cases} N'_{\text{xBLOCK_TI_MAX}} = N_{\text{xBLOCK_TI_MAX}} + 1, & \text{if } N_{\text{xBLOCK_TI_MAX}} \bmod 2 = 0 \\ N'_{\text{xBLOCK_TI_MAX}} = N_{\text{xBLOCK_TI_MAX}}, & \text{if } N_{\text{xBLOCK_TI_MAX}} \bmod 2 = 1 \end{cases} \\ & S_{\text{shift}} = \frac{N'_{\text{xBLOCK_TI_MAX}} - 1}{2} \end{aligned}$$

[581] 결과적으로, 판독될 셀 위치는 좌표

$$z_{n,s,i} = N_r C_{n,s,i} + R_{n,s,i}$$

에 의해 산출된다.

[582] 도 27은 본 발명의 다른 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 동작을 나타낸다.

[583] 더 구체적으로, 도 27은

$$N_{\text{xBLOCK_TI}}(0,0) = 3$$

,

$$N_{xBLOCK_TI}(1,0) = 6$$

$$N_{xBLOCK_TI}(2,0) = 5$$

일 때 가상 XFECBLOCK을 포함하는 각각의 타임 인터리빙 그룹에 대한 타임 인터리빙 메모리에서 인터리빙 어레이를 나타낸다.

[584] 변수

$$N_{xBLOCK_TI}(n,s) = N_r$$

는

$$N'_{xBLOCK_TI_MAX}$$

보다 작거나 같을 것이다. 따라서,

$$N_{xBLOCK_TI}(n,s)$$

에 상관없이 수신기 측에서 단일 메모리 디인터리빙을 달성하기 위해, 트위스트된 행-열 블록 인터리버용 인터리빙 어레이는 가상 XFECBLOCK을 타임 인터리빙 메모리에 삽입함으로써

$$N_r \times N_c = N_{cells} \times N'_{xBLOCK_TI_MAX}$$

의 크기로 설정되고, 판독 과정은 다음 식과 같이 이루어진다.

[585] 수식식 11

[수식11]

$$p = 0;$$

$$\text{for } i = 0; i < N_{cells} N'_{xBLOCK_TI_MAX}; i = i + 1$$

$$\{ \text{GENERATE}(R_{n,s,i}, C_{n,s,i});$$

$$V_i = N_r C_{n,s,j} + R_{n,s,j}$$

$$\text{if } V_i < N_{cells} N_{xBLOCK_TI}(n,s)$$

{

$$Z_{n,s,p} = V_i; p = p + 1;$$

}

}

[586] 타임 인터리빙 그룹의 수는 3으로 설정된다. 타임 인터리버의 옵션은 DP_TI_TYPE='0', DP_FRAME_INTERVAL='1', DP_TI_LENGTH='1', 즉 NTI=1,

IJUMP=1, PI=1에 의해 PLS2-STAT 데이터에서 시그널링된다. 각각 Ncells = 30인 XFECBLOCK의 타임 인터리빙 그룹당 수는 각각의 NxBLOCK_TI(0,0) = 3, NxBLOCK_TI(1,0) = 6, NxBLOCK_TI(2,0) = 5에 의해 PLS2-DYN 데이터에서 시그널링된다. XFECBLOCK의 최대 수는 NxBLOCK_Group_MAX에 의해 PLS2-STAT 데이터에서 시그널링 되고, 이는

$$\left\lfloor \frac{N_{xBLOCK_Group_MAX}}{N_{TI}} \right\rfloor = N_{xBLOCK_TI_MAX} = 6$$

로 이어진다.

[587] 도 28은 본 발명의 일 실시예에 따른 트위스트된 행-열 블록 인터리버의 대각선 방향 판독 패턴을 나타낸다.

[588] 더 구체적으로, 도 28은 파라미터

$$N'_{xBLOCK_TI_MAX} = 7$$

및 Sshift=(7-1)/2=3을 갖는 각각의 인터리빙 어레이로부터의 대각선 방향 판독 패턴을 나타낸다. 이때 위에 유사 코드로 나타낸 판독 과정에서,

$$V_i \geq N_{cells} N_{xBLOCK_TI}(n, s)$$

이면, Vi의 값이 생략되고, Vi의 다음 계산값이 사용된다.

[589] 도 29는 본 발명의 일 실시예에 따른 각각의 인터리빙 어레이로부터의 인터리빙된 XFECBLOCK을 나타낸다.

[590] 도 29는 파라미터

$$N'_{xBLOCK_TI_MAX} = 7$$

및 Sshift=3을 갖는 각각의 인터리빙 어레이로부터 인터리빙된 XFECBLOCK을 나타낸다.

[591] 도 30은 본 발명의 일 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.

[592] 상술한 바와 같이 본 발명의 일 실시예에 따른 방송 신호 송신 장치에 포함된 타임 인터리버 (Time interleaver 또는 타임 인터리버 블록)는 여러 개의 FEC 블록 (FEC block)들에 속하는 셀 (cell)들을 서로 시간 축에 따라 인터리빙하여 출력하는 과정을 수행한다.

[593] TI 그룹은 정수, 다이내믹(dynamic)하게 변화하는 FEC 블록의 개수로 이루어진, 특정 DP에 대한 다이내믹 용량 할당이 실행되는 단위이다.

[594] 타임 인터리빙 블록 (TI 블록)은 타임 인터리버 메모리의 하나의 용도에 해당하는, 타임 인터리빙이 실행되는 셀의 집합이다.

[595] FEC 블록은 DP 데이터의 인코딩된 비트들의 집합 또는 인코딩된 비트들을 전송하는 셀들의 집합이다.

[596] 각각의 타임 인터리빙 그룹 (TI 그룹)은 하나의 프레임에 직접 매핑되거나 복수개의 프레임에 걸쳐 확산된다. 또한 각각의 타임 인터리빙 그룹은 하나

이상(NTI개)의 타임 인터리빙 블록으로 분리된다. 여기서 각각의 타임 인터리빙 블록은 타임 인터리버 메모리의 하나의 사용에 해당한다. TI 그룹 내의 TI 블록은 약간의 다른 수의 FECBLOCK을 포함할 수 있다.

- [597] 타임 인터리빙을 통해 각 FEC 블록의 셀들은 타임 인터리빙 템스 (time interleaving depth)만큼의 특정 구간 내에 분산되어 전송됨으로써 다이버시티 게인 (diversity gain)을 얻을 수 있다. 본 발명의 일 실시예에 따른 타임 인터리버는 DP 레벨에서 작동할 수 있다.
- [598] 또한, 본 발명의 일 실시예에 따른 타임 인터리버는 서로 다른 입력 FEC block들을 주어진 메모리에 순차적으로 배열 (writing operation)한 후 사선 (diagonal, 다이아고널) 방향으로 인터리빙하는 과정(diagonal reading operation)을 포함하는 타임 인터리빙을 수행할 수 있다. 본 발명의 일 실시예에 따른 타임 인터리빙은 다이아고널 타입 타임 인터리빙 (diagonal-type Time interleaving) 또는 다이아고널 타입 TI (diagonal-type TI) 라고 호칭될 수 있다.
- [599] 일반적으로 타임 인터리버는 프레임 빌딩 처리에 앞서 DP 데이터를 대한 버퍼 (buffer)로 작동할 수 있다. 상술한 DP 데이터를 위한 버퍼 (buffer)의 역할은 각 DP를 위한 두 개의 메모리 뱅크 (memory bank)에 의해 달성될 수 있다. 첫 번째 TI 블록은 첫 번째 뱅크에 배열 (writing operation) 된다. 첫 번째 뱅크가 인터리빙 (reading operation) 등을 수행하는 동안, 두 번째 TI 블록은 두 번째 뱅크에 배열 (writing operation) 된다. 구체적인 수행 장치의 명칭이나 수행 장치의 위치 또는 수행 장치의 기능 등은 설계자의 의도에 따라 변경 가능하다.
- [600] 본 발명의 일 실시예에 따른 하나의 TI 블록은 N_c 개의 FEC 블록들로 구성될 수 있으며, FEC 블록의 길이는 $N_r \times 1$ 로 가정할 수 있다. 따라서 본 발명의 일 실시예에 따른 TI 메모리는 $N_r \times N_c$ 행렬의 크기와 동일한 크기를 가질 수 있다. 또한, 본 발명의 일 실시예에 따른 타임 인터리빙의 템스 (depth)는 FEC 블록 길이와 동일하다.
- [601] 도면에 도시된 (a)는 본 발명의 일 실시예에 따른 타임 인터리빙의 라이팅 디렉션 (writing direction)을 도시한 도면이며, (b)는 본 발명의 일 실시예에 따른 타임 인터리빙의 리딩 디렉션 (reading direction) 을 도시한 도면이다.
- [602] 구체적으로, (a)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 입력된 FEC 블록들을 $N_r \times N_c$ 의 크기를 갖는 TI 메모리에 컬럼방향으로 순차적으로 라이팅 (컬럼 와이즈 라이팅, Column-wise writing) 할 수 있다. 첫 번째 FEC블록(FECBLOCK) 0은 TI 메모리의 첫 번째 컬럼에 배열된다. 이후, 두 번째 FEC블록1 은 TI 메모리의 두 번째 컬럼에 배열된다. N_c 번째 FEC블록까지 차례로 TI 메모리의 컬럼에 배열된다.
- [603] 이후, (b)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 컬럼 (column) 방향으로 배열 (writing) 된 FEC 블록들을 사선 (diagonal) 방향으로 리딩 (reading) 할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 한 주기 (one period) 동안, 다이아고널 리딩 (diagonal reading)

할 수 있다.

- [604] 즉, 첫 번째에 행부터 마지막 행까지 다이아고널 와이즈 리딩을 하는 동안 (즉, 가장 왼쪽 컬럼에서 시작하여 오른쪽 행방향을 따라 읽는다.) N_r 개의 셀들은 도 16의 (b)에 도시된 바와 같이 출력된다.
- [605] 특히, 첫 번째 주기 다이아고널 리딩 (diagonal reading) 과정은 메모리 행렬의 (0,0)에서 시작하여 행(row)의 맨 하단의 셀을 읽을 때까지 수행되므로, 서로 다른 FEC 블록들 내의 셀들을 고르게 인터리빙될 수 있다. 다음 주기의 다이아고널 리딩 (diagonal reading)은 그림에서 ① ② ③ ... 순서대로 진행될 수 있다
- [606] 도 31은 본 발명의 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [607] 도 31은 상술한 다이아고널 타입 TI (diagonal-type TI)의 라이팅(writing) 동작 과정과 리딩(reading) 동작 과정의 다른 실시예를 나타낸다.
- [608] 본 발명의 일 실시예에 따른 하나의 TI 블록은 4개의 FEC 블록들로 구성이 되며, 각 FEC 블록길이는 8개의 셀로 구성될 수 있다. 따라서 TI 메모리 크기는 8 x 4 행렬 배열 (또는 32x1)의 크기와 동일하며, 열(column)의 길이와 행(row)의 길이는 각각 FEC 블록 길이 (또는 타임 인터리빙 depth)와 FEC 개수와 같음을 알 수 있다.
- [609] 도 31의 좌측에 도시된 TI 인풋 FEC 블록들 (TI input FEC block)에 대응하는 블록은 타임 인터리버에 순차적으로 입력되는 FEC 블록들을 나타낸다.
- [610] 도 31의 가운데에 도시된 TI FEC 블록들에 대응하는 블록은 TI 메모리에 저장된 i번째 FEC 블록의 n번째 셀 값들을 나타내며, TI 메모리 인덱스에 대응하는 도면은 TI 메모리에 저장된 FEC 블록의 셀들의 순서를 지시하는 메모리 인덱스들을 나타낸다.
- [611] (a)는 TI 라이팅 동작 (TI writing operation)을 나타낸다. 상술한 바와 같이, 순차적으로 입력된 FEC 블록들은 TI 메모리에 컬럼 방향으로 순차적으로 라이팅(writing)될 수 있다. 따라서 각 FEC 블록의 셀들은 순차적으로 저장되어 TI 메모리 인덱스에 라이팅(writing) 된다.
- [612] (b)는 TI 리딩 동작(TI reading operation)을 나타낸다. 도면에 도시된 바와 같이, TI 메모리에 저장된 셀 값들은 메모리 인덱스 0, 9, 18, 27... 에 따라 다이아고널(diagonal)하게 리딩(reading)되어 출력될 수 있다. 또한 다이아고널 와이즈 리딩(diagonal-wise reading)이 시작되는 셀의 위치 또는 다이아고널 와이즈 리딩 패턴(diagonal-wise reading pattern)은 설계자의 의도에 따라 변경 가능하다.
- [613] 도 31의 우측에 도시된 TI 아웃풋 FEC 블록들(TI output FEC blocks)에 대응하는 블록은, 본 발명의 일 실시예에 따른 다이아고널 타입 TI (diagonal-type TI)를 통해 출력된 셀 값들을 순차적으로 나타낸다. TI 아웃풋 메모리 인덱스(TI output memory indexes)에 대응하는 블록은 다이아고널 타입 TI(diagonal-type TI)를 통해 출력된 셀 값들에 대응하는 메모리 인덱스들을 나타낸다.
- [614] 결과적으로, 본 발명의 일 실시예에 따른 타임 인터리버는 순차적으로

입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고널 타입 TI(diagonal-type TI) 수행을 할 수 있다.

[615] 도 32는 본 발명의 일 실시예에 따른 TI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.

[616] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고널 타입 TI(diagonal-type TI)를 수행할 수 있다.

[617] 도 32에 도시된 (a)는 상술한 순차적으로 입력되는 FEC 블록들에 대해 다이아고널 타입 TI를 위한 메모리 인덱스를 생성시키는 메모리 인덱스 생성과정을 나타내며, (b)는 메모리 인덱스 발생 과정을 나타낸 수학적식이다.

[618] 본 발명의 일 실시예에 따른 방송 신호 수신 장치에 포함된 타임 디인터리버(또는 타임 디인터리버 블록)는 상술한 다이아고널 타입 TI의 역과정을 수행할 수 있다. 즉, 본 발명의 일 실시예에 따른 타임 디인터리버는 다이아고널 타입 TI이 수행되어 전송된 FEC 블록들을 입력받고 TI 메모리에 사선(diagonal) 방향으로 라이팅 동작(writing operation)을 수행 후 순차적으로 리딩 동작(reading operation)을 수행하여 타임 디인터리빙을 수행할 수 있다. 본 발명의 일 실시예에 따른 타임 디인터리빙은 다이아고널 타입 TDI 또는 다이아고널 타입 타임 디인터리빙이라고 호칭될 수 있다. 구체적인 수행 장치의 명칭이나 수행 장치의 위치 또는 수행 장치의 기능 등은 설계자의 의도에 따라 변경 가능하다.

[619] 도 33은 본 발명의 일 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.

[620] 도 33에 도시된 타임 디인터리빙 과정은 도 16에서 설명한 타임 인터리빙 과정의 역과정에 해당한다.

[621] (a)는 본 발명의 일 실시예에 따른 타임 디인터리빙의 라이팅 디렉션(writing direction)을 도시한 도면이며, (b)는 본 발명의 일 실시예에 따른 타임 디인터리빙의 리딩 디렉션(reading direction)을 도시한 도면이다.

[622] 구체적으로 (a)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 타임 디인터리버는 송신측에서 다이아고널 타입 TI이 수행된 FEC 블록들을 입력받고, TDI(타임 디인터리버, time deinterleaver) 메모리에 사선 방향으로 라이팅(Diagonal-wise writing)할 수 있다.

[623] 이 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 한 주기(one period) 동안, 다이아고널 라이팅(diagonal writing)을 수행할 수 있다.

[624] 특히, 첫 번째 주기 다이아고널 라이팅(diagonal writing)은 메모리 행렬의 (0,0)에서 시작하여 행의 맨 하단의 셀을 읽을 때까지 수행된다. 각 주기의 다이아고널 라이팅(diagonal writing)은 그림에서 ① ② ③ ... 순서대로 진행될 수 있다.

[625] 또한 (b)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 타임 디인터리버는 사선 방향으로 라이팅된 FEC 블록들을 컬럼 방향으로 순차적으로

리딩(Column-wise reading) 할 수 있다.

- [626] 도 34는 본 발명의 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [627] 도 34에 도시된 타임 디인터리빙 과정은 도 31에서 설명한 타임 인터리빙 과정의 역과정에 해당한다.
- [628] 본 발명의 일 실시예에 따른 하나의 TI 블록은 4개의 FEC 블록들로 구성이 되며, 각 FEC 블록길이는 8개의 셀로 구성될 수 있다. 따라서 TI 메모리 크기는 8 x 4 행렬 배열 (또는 32x1)의 크기와 동일하며, 열(column)의 길이와 행(row)의 길이는 각각 FEC 블록 길이 (또는 타임 인터리빙 템스)와 FEC 개수와 같음을 알 수 있다.
- [629] 도 34의 좌측에 도시된 TDI 인풋 FEC 블록들에 대응하는 블록은 타임 인터리버에 순차적으로 입력되는 FEC 블록들의 셀들을 나타내며, TDI 인풋 메모리 인덱스(TDI input memory indexes)에 대응하는 블록은 순차적으로 입력되는 FEC 블록들의 셀들에 대응하는 메모리 인덱스들을 나타낸다.
- [630] 도 34의 가운데에 도시된 TDI FEC 블록들에 대응하는 블록은 TDI 메모리에 저장된 i번째 FEC 블록의 n번째 셀(cell) 값들을 나타내며, TDI 메모리 인덱스 (TDI memory indexes)에 대응하는 도면은 TDI 메모리에 저장된 FEC 블록의 셀(cell)들의 순서를 지시하는 메모리 인덱스들을 나타낸다.
- [631] (a)는 TDI 라이팅 동작 (TDI writing operation)을 나타낸다. 상술한 바와 같이, 순차적으로 입력된 FEC 블록들은 TDI 메모리에 사선 (diagonal) 방향으로 순차적으로 라이팅 (writing) 될 수 있다. 따라서 입력된 FEC 블록들의 셀들은 순차적으로 저장되어 TDI 메모리 인덱스에 라이팅 (writing) 된다.
- [632] (b)는 TDI 리딩 동작 (TDI reading operation)을 나타낸다. 도면에 도시된 바와 같이, TDI 메모리에 저장된 셀 (cell) 값들은 메모리 인덱스 0, 1, 2, 3... 에 따라 컬럼 (column) 방향으로 리딩 (reading)되어 출력될 수 있다.
- [633] 도 34의 우측에 도시된 TDI 아웃풋 FEC 블록들 (TDI output FEC blocks) 에 대응하는 블록은, 본 발명의 일 실시예에 따른 타임 디인터리빙을 통해 출력된 셀(cell) 값들을 순차적으로 나타낸다. TDI 아웃풋 FEC 블록들 (TDI output memory indexes)에 대응하는 블록은 본 발명의 일 실시예에 따른 타임 디인터리빙을 통해 출력된 셀 (cell) 값들에 대응하는 메모리 인덱스들을 나타낸다.
- [634] 결과적으로, 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TDI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고널 타입 TDI(diagonal-type TDI)를 수행할 수 있다.
- [635] 도 35는 본 발명의 일 실시예에 따른 TDI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [636] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TDI 아웃풋 메모리 인덱스 값들을 순차적으로

발생시켜 다이아고널 타입 TDI (diagonal-type TDI)를 수행할 수 있다.

- [637] 도 35에 도시된 (a)는 상술한 순차적으로 입력되는 FEC 블록들에 대해 다이아고널 타입 TDI (diagonal-type TDI)를 위한 메모리 인덱스를 생성시키는 메모리 인덱스 생성 과정을 나타내며, (b)는 메모리 인덱스 발생 과정을 나타낸 수학적식이다.
- [638] 또한, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 복수 개의 FEC 블록들이 복수 개의 TI 블록으로 팩킹(packaging) 및 구성되어 전송되는 베리어블 데이터 레이트(variable data-rate) 시스템일 수 있다. 이 경우 하나의 TI 블록에 포함된 FEC 블록 개수는 각 TI 블록 별로 다를 수 있다.
- [639] 도 36은 본 발명의 일 실시예에 따른 베리어블 데이터 레이트(variable data-rate) 시스템을 나타낸 개념도이다.
- [640] 구체적으로, 도 36은 하나의 신호 프레임에 매핑되는 TI 블록들을 나타낸 도면이다.
- [641] 상술한 바와 같이 본 발명의 일 실시예에 따른 베리어블 데이터 레이트 (variable data-rate) 시스템의 경우, 방송 신호 송신 장치는 복수 개의 FEC 블록들을 복수 개의 TI 블록으로 팩킹(packaging)하여 전송할 수 있다. 이 경우 하나의 TI 블록에 포함되는 FEC 블록 개수는 각 TI 블록마다 다를 수 있다.
- [642] 즉, 도면에 도시된 바와 같이, 하나의 신호 프레임은 N_{TI}_NUM개의 TI 블록들로 구성될 수 있으며, 각 TI 블록은 N_{FEC}_NUM 개의 FEC 블록들을 포함할 수 있다. 이 경우, 각 TI 블록에 포함된 FEC 블록들의 개수는 다를 수 있다.
- [643] 이하에서는 상술한 베리어블 데이터 레이트 (variable data-rate) 시스템에서 수행될 수 있는 타임 인터리빙에 대해 설명한다. 이는 상술한 타임 인터리빙의 또 다른 실시예로서, 방송 신호 수신 장치가 싱글 메모리를 갖는 경우에도 적용될 수 있다는 장점을 가진다.
- [644] 본 발명의 다른 실시예에 따른 타임 인터리빙은 상술한 다이아고널 타입 TI (diagonal-type TI)와 동일하게 호칭될 수 있으며, 본 발명의 일 실시예에 따른 방송 신호 송신 장치 내의 타임 인터리버에서 수행될 수 있다. 또한 이에 대한 역과정으로서, 타임 디인터리빙은 다이아고널 타입 TDI (diagonal-type TDI)라고 호칭될 수 있으며 본 발명의 일 실시예에 따른 방송 신호 수신 장치 내의 타임 디인터리버에서 수행될 수 있다. 구체적인 수행 장치의 명칭이나 수행 장치의 위치 또는 수행 장치의 기능 등은 설계자의 의도에 따라 변경 가능하다. 이하 구체적인 동작을 설명한다.
- [645] 상술한 바와 같이, TI 블록들 내에 포함된 FEC 블록들의 개수가 서로 다른 경우, 각 TI 블록마다 서로 다른 다이아고널 타입 TI (diagonal-type TI) 방식을 적용해야 한다. 하지만 이러한 방식은 방송 신호 수신 장치가 싱글 메모리를 사용하는 경우, 이에 대응하는 디인터리빙이 수행될 수 없다는 문제점이 있다.
- [646] 따라서 본 발명의 방송 신호 송신 장치는 하나의 다이아고널 타입 TI

(diagonal-type TI) 방식을 결정하고 모든 TI 블록들에 대해 동일하게 적용하도록 하는 것을 일 실시예로 할 수 있다. 또한 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 이에 대응하여 싱글 메모리(single-memory)를 사용하여 복수 개의 TI 블록들을 순차적으로 디인터리빙(deinterleaving) 할 수 있다.

- [647] 이 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 모든 TI 블록들에 대해 적용되는 하나의 다이아고널 타입 TI (diagonal-type TI) 방법을 하나의 신호 프레임 내에서 FEC 블록 개수를 가장 많이 포함하고 있는 TI 블록을 기준으로 하여 결정할 수 있다. 또한 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 하나의 신호 프레임 내에서 가장 많은 FEC 블록의 개수와 가장 적은 FEC 블록의 개수의 중간 값에 해당하는 TI 블록 또는 임의의 TI 블록을 기준으로 하여 하나의 다이아고널 타입 TI (diagonal-type TI) 방법을 결정할 수 있다. 이는 설계자의 의도에 따라 변경 가능하다.
- [648] 이 경우, FEC 블록 개수를 가장 많이 포함하고 있는 TI 블록과 대비하여 FEC 블록의 개수가 적은 TI 블록에 대해 상술한 다이아고널 타입 TI (diagonal-type TI)를 어떻게 적용할 것인지 여부가 문제될 수 있다.
- [649] 따라서 본 발명의 방송 신호 송신 장치는 발생하는 메모리 인덱스를 모니터링하여 적용 여부를 결정하는 것을 일 실시예로 할 수 있다.
- [650] 구체적으로, 본 발명의 방송 신호 송신 장치는 발생된 TI 메모리 인덱스들이 임의의 TI 블록내의 전체 셀 개수를 초과하는 경우, 초과하는 TI 메모리 인덱스를 무시하는 것을 일 실시예로 할 수 있다. 구체적으로, TI 블록내의 전체 셀 개수를 초과하는 경우, 가상의 FEC 블록들을 추가(zero padding)하여 다이아고널 타입 TI (diagonal-type TI)을 수행할 수 있다. 또한 본 발명의 방송 신호 송신 장치는 상술한 다이아고널 타입 TI (diagonal-type TI) 방법을 서로 다른 TI 블록들에 대해 적용함에 있어서, FEC 블록 개수가 적은 TI 블록부터 순차적으로 FEC 블록 개수의 개수에 따라 적용하는 것을 일 실시예로 할 수 있다. 따라서 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 싱글 메모리(single-memory)를 간단히 운영할 수 있다. 구체적인 내용은 후술한다.
- [651] 이하의 수학식은 상술한 모든 TI 블록들에 대해 적용되는 하나의 다이아고널 타입 TI (diagonal-type TI) 방법을 결정하는 과정을 나타낸다.
- [652] 수학식 12

[수식12]

for $0 \leq j \leq TI_NUM - 1$

$$N_r = \max(N_{FEC_Size,0}, N_{FEC_Size,0}, \dots, N_{FEC_Size,TI_NUM-1})$$

$$= \max_j(N_{FEC_Size,j})$$

$$N_c = \max(N_{FEC_NUM,0}, N_{FEC_NUM,0}, \dots, N_{FEC_NUM,TI_NUM-1})$$

$$= \max_j(N_{FEC_NUM,j})$$

$TI_NUM - 1$: 하나의 싱글 프레임 내의 TI 블록들의 총 개수

$N_{FEC_Size,j}$: j번째 TI 블록내의 FEC 블록 사이즈

$N_{FEC_NUM,j}$: j번째 TI 블록내의 FEC 블록들의 총 개수

- [653] 도 37은 본 발명의 또 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [654] 구체적으로 도 37은 베리어블 데이터 레이트(variable data-rate) 시스템에서 다이아고널 타입 TI(diagonal-type TI)가 적용된 일 실시예를 나타낸다.
- [655] (a)는 4개의 FEC 블록들을 포함하는 TI block 0에 대해 다이아고널 타입 TI(diagonal-type TI)가 적용되는 과정을 나타내며, (b)는 5개의 FEC 블록들을 포함하는 TI block 1에 대해 다이아고널 타입 TI(diagonal-type TI)가 적용되는 과정을 나타낸다.
- [656] TI FEC 블록들에 대응하는 블록들은 각 TI 블록에 포함된 FEC 블록들 및 각 FEC 블록들에 포함된 셀 값들을 나타낸다. TI 메모리 인덱스(TI memory indexes)에 대응하는 블록들은 TI 블록들에 포함된 셀 값들에 대응하는 메모리 인덱스를 나타낸다.
- [657] 각 TI 블록들은 하나의 신호 프레임에 포함되며, 각 FEC 블록은 8개의 셀들을 포함할 수 있다.
- [658] 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 두 개의 TI 블록들에 대해 동일하게 적용하기 위한 다이아고널 타입 TI(diagonal-type TI) 방식을 결정할 수 있다. 상술한 바와 같이, 본 발명의 일 실시예에 따른 다이아고널 타입 TI(diagonal-type TI) 방식은 하나의 신호 프레임 내에서 FEC 블록 개수를 가장 많이 포함하고 있는 TI 블록을 기준으로 하여 결정되므로, 도 37의 경우, TI block 1을 기준으로 다이아고널 타입 TI(diagonal-type TI) 방식이 결정된다. 따라서 TI 메모리의 크기는 8 x 5 행렬 배열 (또는 40x1)의 크기와 동일할 수 있다.
- [659] (a)의 상단에 도시된 바와 같이, TI block 0에 포함된 FEC 블록들은 4개로서, TI block 1에 포함된 FEC 블록들의 개수보다 적다. 따라서, 본 발명의 일 실시예에

따른 방송 신호 송신 장치는 TI block 0에 대하여, TI 블록의 가장 마지막에 zero 값을 갖는 버추얼(virtual) FEC 블록(23000)을 부가(zero-padding)하고 해당 셀들을 TI 메모리에 컬럼 와이즈 라이팅(column-wise writing) 할 수 있다. (virtual) FEC 블록이 추가되는 위치는 설계자의 의도에 따라 변경 가능하다.

- [660] 이후 (a)의 하단에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 TI 메모리에 라이팅(writing)된 셀들을 사선(diagonal) 방향으로 리딩(reading) 할 수 있다. 이 경우, 마지막 컬럼(column)은 버추얼(virtual) FEC 블록에 해당하므로 해당 셀들은 무시하고 리딩(reading)을 수행할 수 있다.
- [661] TI block 1에 대하여, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 (b)의 상단 및 하단에 도시된 바와 같이 상술한 방법에 따라 컬럼 와이즈 라이팅(column-wise writing)을 수행하고, 다이아고널 리딩(diagonal reading)을 수행할 수 있다.
- [662] 상술한 바와 같이, 본 발명의 일 실시예에 따른 다이아고널 타입 TI(diagonal-type TI)는 적은 FEC 블록들을 포함하는 TI 블록에 대해 먼저 적용되므로, 도 38의 경우, TI block 0에 대해서 먼저 적용될 수 있다.
- [663] 도 38은 본 발명의 다른 실시예에 따른 TI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [664] 도 38은 상술한 두 개의 TI 블록(TI block 0 및 TI block 1)에 대해 TI 아웃풋 메모리 인덱스를 생성하는 과정 및 TI 아웃풋 메모리 인덱스에 대응하는 TI 아웃풋 FEC 블록들(TI output FEC blocks)을 나타낸다.
- [665] TI 아웃풋 메모리 인덱스(TI output memory indexes)에 대응하는 블록들은 TI 아웃풋 메모리 인덱스를 생성하는 과정을 나타내며, TI 아웃풋 FEC 블록들(TI output FEC blocks)에 대응하는 블록들은 생성된 TI 아웃풋 메모리 인덱스에 대응하는 FEC 블록들의 셀 값들을 나타낸다.
- [666] (a)는 TI block 0의 TI 아웃풋 메모리 인덱스 발생 과정을 나타낸다. (a)의 상단에 도시된 바와 같이, TI 메모리 인덱스들이 TI block 0 내의 전체 셀 개수를 초과하는 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 버추얼 FEC 블록내의 셀들에 해당하는 32 내지 39번에 대응하는 TI 메모리 인덱스를 무시할 수 있다. 이를 스킵 오퍼레이션(skip operation) 이라고 호칭할 수 있다. 그 결과, (a)의 가운데에 도시된 바와 같이, 스킵된 TI 메모리 인덱스들을 제외하고 리딩(reading)을 수행할 수 있는 최종 아웃풋 메모리 인덱스가 발생된다. (a)의 하단에는 최종 아웃풋 메모리 인덱스에 대응하는 출력 FEC 블록들의 셀 값들이 도시되어 있다.
- [667] (b)는 TI block 1의 TI 아웃풋 메모리 인덱스 발생 과정을 나타낸다. TI block 1의 경우 스킵 오퍼레이션(skip operation)이 적용되지 않음을 확인할 수 있다. 구체적인 과정은 상술한 바와 동일하다.
- [668] 이하의 수학식은 상술한 베리어블 데이터 레이트(variable data-rate) 시스템에서 적용될 수 있는 다이아고널 타입 TI (diagonal type TI)을 수행하기 위한 아웃풋

메모리 인덱스 발생 과정을 나타낸다.

[669] 수학식 13

[수식13]

```

for 0 ≤ j ≤ TI - NUM - 1, 0 ≤ k ≤ NrNc - 1
    Ccnt, j = 0
    rj, k = mod( k, Nr ),
    sj, k = mod( rj, k, Nc ),
    ej, k = mod( sj, k + ⌊  $\frac{k}{N_r}$  ⌋, Nc )
    θj(k) = Nrej, k + rj, k

    if θj(k) ≤ NFEC - Sizej NFEC - NUMj
        πj(Ccnt, j) = θj(k)
        Ccnt, j = Ccnt, j + 1
    end
end

```

C_{cnt} : j번째 TI 블록을 위한 액츄얼(actual) TI 아웃풋 메모리 인덱스의 카운터 (counter of actual TI output memory-index)

$\theta_j(k)$: j번째 TI 블록을 위한 템포럴 TI 아웃풋 메모리 인덱스 (temporal TI output memory-index)

$\pi_j(k)$: j번째 TI 블록을 위한 액츄얼 TI 아웃풋 메모리 인덱스(actual TI output memory-index)

[670] 상술한 수학식에서 if 조건부는 상술한 스킵 오퍼레이션(skip operation)을 나타낸다.

[671] 도 39는 본 발명의 일 실시예에 따른 TI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.

[672] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고널 타입 TI(diagonal-type TI)를 수행할 수 있다.

[673] 도 39에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 이니셜 밸류(initial values)를 설정할 수 있다(S25000). 즉, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 모든 TI 블록들에 대해 적용되는 하나의 다이아고널 타입 TI(diagonal-type TI) 방법을 하나의 신호 프레임 내에서 FEC 블록 개수를 가장 많이 포함하고 있는 TI 블록을 기준으로 하여 결정할 수 있다.

[674] 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 템포럴 TI 메모리 인덱스(Temporal TI memory-index)를 생성할 수 있다(S25100). 즉, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 FEC 블록의 개수가 설정된 TI 메모리 인덱스보다 작은 TI block들에 대하여 버추얼(virtual) FEC 블록을

부가(padding)하여 TI 메모리에 라이팅(writing) 할 수 있다.

- [675] 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 생성된 TI 메모리 인덱스의 가용성(availability)을 평가(evaluate)할 수 있다(S25200). 즉, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 TI 메모리에 라이팅(writing)된 셀들을 사선(diagonal) 방향으로 리딩(reading) 할 수 있다. 이 경우, 버추얼(virtual) FEC 블록에 해당하는 셀들은 무시하고 리딩(reading)을 수행할 수 있다.
- [676] 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 최종 TI 메모리 인덱스를 생성할 수 있다(S25300).
- [677] 도 39에 도시된 순서도는 도 36 내지 38에서 설명한 TI 아웃풋 메모리 인덱스를 생성하는 과정에 대응되며, 설계자의 의도에 따라 변경 가능하다.
- [678] 도 40은 본 발명의 또 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [679] 도 40에 도시된 타임 디인터리빙 과정은 도 37 내지 도 39에서 설명한 타임 인터리빙 과정의 역과정에 해당하며, 상술한 TI block 0 및 TI block 1을 실시예로 설명한다.
- [680] 특히 본 발명의 또 다른 실시예에 따른 타임 디인터리빙은 방송 신호 수신 장치가 싱글 메모리를 사용하는 경우에 적용될 수 있다.
- [681] 이와 같은 싱글 메모리 사용을 위해, 본 발명의 또 다른 실시예에 따른 타임 디인터리빙은 인터리빙된 TI 블록의 리딩 오퍼레이션과 라이팅 오퍼레이션을 동시에 수행할 수 있다. TDI 과정은 효율적인 TDI 구현을 위해 클로즈드 폼(closed form)으로 표현될 수 있다.
- [682] 본 발명의 또 다른 실시예에 따른 타임 디인터리빙은 4개의 단계의 과정들을 통해 진행 될 수 있다.
- [683] 도 40의 (a)는 타임 디인터리빙의 첫번째 단계(step 1)를 나타낸다. TI 블록 0의 TDI 프로세싱을 수행하기 전에, TI 프로세싱 수행동안 무시되는 메모리 인덱스에 해당하는 셀 값을 TI 룰(rule)을 이용하여 0 (또는 특정 식별 값)으로 설정할 수 있다. 즉, (a)의 상단에 도시된 블록은 TI block 0의 최종 아웃풋 메모리 인덱스에 대응하는 출력 FEC 블록들의 셀 값들을 나타내며, (a)의 하단에 도시된 블록은 스킵 오퍼레이션에서 스킵된 메모리 인덱스에 대응하는 셀 값들을 제로로 세팅하여 생성한 FEC 블록들의 셀 값들을 나타낸다.
- [684] 두번째 단계 (step 2)로서, 첫번째 단계의 아웃풋은 8x5 크기의 싱글 메모리에 라이팅(writing)된다. 라이팅 디렉션(writing direction)은 TI 프로세싱의 리딩 디렉션(reading direction)과 동일하다. 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 입력되는 첫 번째 TI 블록에 대해 송신단의 TI의 첫번째 역 과정으로서 다이아고널 라이팅(diagonal writing) 동작 과정을 수행할 수 있다. 즉, 다이아고널 라이팅(diagonal writing)의 방향은 송신단에서 이루어진 다이아고널 리딩(diagonal reading)의 방향과는 반대 방향으로 이루어질 수 있다.
- [685] 도 40의 (b)는 타임 디인터리빙의 세번째 단계(step 3)를 나타낸다.

- [686] TDI FEC 블록들에 대응하는 블록들은 입력되는 FEC 블록들의 셀 값들을 나타낸다. TDI 메모리 인덱스에 대응하는 블록들은 FEC 블록들의 셀 값들에 대응하는 TDI 메모리 인덱스를 나타낸다.
- [687] 두번째 단계 이후, 컬럼 와이즈 리딩 동작 (column-wise reading operation)이 수행된다. 타임 디인터리빙의 컬럼 와이즈 리딩 동작의 방향은 타임 인터리빙 프로세싱의 라이팅 디렉션과 동일하다. 이 때, 만약 리딩 값(reading value)이 0이면 무시할 수 있다. 이러한 스킵 오퍼레이션은 상술한 방송 신호 송신 장치에서 수행된 스킵 오퍼레이션과 상응한다.
- [688] 이하의 수학식은 상술한 TDI 메모리 인덱스를 발생하는 과정을 나타낸다.
- [689] 수학식 14
- [수식14]

$$\begin{aligned}
 & \text{for } 0 \leq k \leq N_c N_r - 1, 0 \leq j \leq TI_NUM - 1 \\
 & \quad C_{cnt, j} = 0 \\
 & \quad t_j = \text{mod}(N_c N_r - (j + 1)N_r + 1, N_c N_r), \\
 & \quad v_j = t_j \text{ mod } (k, N_r), \\
 & \quad \theta_j^{-1}(k) = \text{mod}\left(N_r \left\lfloor \frac{k}{N_r} \right\rfloor + \text{mod}(v_j, N_c N_r), N_c N_r\right), \\
 & \quad \text{if } M(\theta_j^{-1}(k)) \neq 0 \text{ (a value)} \\
 & \quad \quad \pi_j^{-1}(C_{cnt, j}) = \theta_j^{-1}(k) \\
 & \quad \quad C_{cnt, j} = C_{cnt, j} + 1 \\
 & \quad \text{end} \\
 & \text{end}
 \end{aligned}$$

$C_{cnt, j}$: j번째 TI 블록을 위한 액추얼(actual) TDI 아웃풋 메모리 인덱스의 카운터 (counter of actual TDI output memory-index)

$\theta_j^{-1}(k)$: j번째 TI 블록을 위한 템포럴 TDI 아웃풋 메모리 인덱스 (temporal TDI output memory-index)

$M(\theta_j^{-1}(k))$: $\theta_j^{-1}(k)$ 에 대한 리저브드(reserved)셀 값

$\pi_j^{-1}(k)$: j번째 TI 블록을 위한 액추얼 TDI 아웃풋 메모리 인덱스 (actual TDI output memory-index)

- [690] 상술한 수학식에서 if 조건부는 상술한 스킵 오퍼레이션, 즉, TDI 출력 메모리 인덱스에 저장되어 있는 cell 값이 0 (또는 강제로 삽입한 내용임을 확인 수 있는 임의의 값) 일 경우 인덱스를 무시하는 과정을 나타낸다.
- [691] 도 41은 본 발명의 또 다른 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [692] 상술한 바와 같이 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 싱글 메모리를 이용하여 타임 디인터리빙을 수행할 수 있다. 따라서 상술한 타임

다인터리빙의 네번째 단계(step 4)로서, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 TI 블록 0을 reading 하는 동시에 TI 블록 1을 라이팅(writing)할 수 있다.

[693] (a)는 TI 블록 0을 리딩(reading) 하는 동시에 라이팅(writing)되는 TI 블록 1의 TDI FEC 블록과 TDI 메모리 인덱스를 나타낸다. 상술한 바와 같이 라이팅(writing) 과정은 방송 신호 수신 장치에서 수행된 다이아고널 리딩(diagonal reading)의 방향과는 반대 방향으로 이루어질 수 있다.

[694] (b)는 TI 블록 1의 라이팅(writing)에 따른 아웃풋 TDI 메모리 인덱스(output TDI memory indexes)를 나타낸다. 이 경우, 저장된 TI 블록 1내의 FEC 블록들의 배열은 방송 신호 송신 장치의 TI 메모리에 저장된 FEC 블록들의 배열과 다를 수 있다. 즉, 방송 신호 송신 장치에서 수행한 라이팅(writing) 과 리딩(reading)의 역 과정은 싱글 메모리의 경우 동일하게 적용할 수 없는 경우가 발생할 수 있다.

[695] 도 42는 본 발명의 일 실시예에 따른 라이팅(writing) 방법을 나타낸다.

[696] 상술한 바와 같이, 방송 신호 송신 장치에서 수행한 라이팅(writing) 과 리딩(reading)의 역 과정은 싱글 메모리의 경우 동일하게 적용할 수 없는 경우를 방지하기 위해서 본 발명에서는 TI 메모리에 매트릭스 형태로 FEC 블록을 라이팅(writing)하는 방법을 제안한다.

[697] 도 42에 도시된 라이팅(writing) 방법은 상술한 본 발명의 일 실시예에 따른 타임 인터리빙 및 타임 디인터리빙 모두에 동일하게 적용될 수 있다.

[698] (a)는 벡터 형태로 FEC 블록들의 셀들을 메모리에 라이팅(writing) 하는 경우를 나타낸다. 이는 상술한 라이팅(writing) 방법과 동일하다.

[699] (b)는 매트릭스 형태로 FEC 블록들의 셀들을 메모리에 라이팅(writing) 하는 경우를 나타낸다. 즉, 각 FEC 블록들은 $m \times n$ 의 형태의 매트릭스 형태로 라이팅(writing)될 수 있다.

[700] 이 경우 매트릭스의 크기는 설계자의 의도에 따라 변경 가능하며, 방송 신호 송신 장치에서 수행한 라이팅(writing) 과 리딩(reading)의 역 과정을 방송 신호 수신 장치가 싱글 메모리의 경우에도 동일하게 적용할 수 있다는 장점이 있다.

[701] 도 43은 본 발명의 일 실시예에 따른 TDI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.

[702] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고널 타입 TI(diagonal-type TI)를 수행할 수 있다.

[703] 도 43에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 이니셜 밸류(initial values)를 설정할 수 있다(S29000). 즉, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 첫번째 TI 블록의 TDI 프로세싱을 수행하기 전에, TI 프로세싱 수행동안 무시되는 메모리 인덱스에 해당하는 셀 값을 TI 룰(rule)을 이용하여 0(또는 특정 식별 값)으로 설정할 수 있다.

[704] 이후, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 템포럴 TDI 메모리

인덱스(Temporal TI memory-index)를 생성할 수 있다(S29100). 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 입력되는 첫 번째 TI 블록에 대해 송신단의 TI의 첫번째 역 과정으로서 다이아고널 라이팅(diagonal writing) 동작 과정을 수행할 수 있다. 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 생성된 TI 메모리 인덱스의 가용성(availability)을 평가(evaluate)할 수 있다(S29200). 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 최종 TI 메모리 인덱스를 생성할 수 있다(S29300).

- [705] 도 43에 도시된 순서도는 도 40 내지 42에서 설명한 TDI 아웃풋 메모리 인덱스를 생성하는 과정에 대응되며, 설계자의 의도에 따라 변경 가능하다.
- [706] 도 44는 본 발명의 다른 실시예에 따른 타임 인터리빙 과정을 나타낸 도면이다.
- [707] 상술한 바와 같이 본 발명의 일 실시예에 따른 방송 신호 송신 장치에 포함된 Time interleaver (또는 타임 인터리버 블록)는 여러 개의 FEC block들에 속하는 cell들을 서로 시간 축에 따라 인터리빙하여 출력하는 과정을 수행한다.
- [708] 본 발명의 다른 실시예에 따른 타임 인터리버는 서로 다른 FEC 블록들을 다이아고날 (diagonal) 방향으로 리딩 (reading)할 때, 리딩 디렉션 (reading direction)의 다이아고날 슬로프 (diagonal slope)의 크기를 변경하여 타임 인터리빙을 수행할 수 있다. 즉, 본 발명의 일 실시예에 따른 타임 인터리버는 TI 리딩 패턴 (reading pattern) 또는 다이아고날-와이즈 리딩 패턴 (diagonal-wise reading pattern)을 변경할 수 있다. 본 발명의 일 실시예에 따른 타임 인터리빙은 다이아고날-타입 타임 인터리빙 (diagonal-type Time interleaving) 또는 다이아고날-타입 TI (diagonal-type TI), 또는 플렉서블 다이아고날-타입 타임 인터리빙 (flexible diagonal-type time interleaving) 또는 플렉서블 다이아고날-타입 TI (flexible diagonal-type TI)라고 호칭될 수 있다.
- [709] 도면에 도시된 (a)는 본 발명의 일 실시예에 따른 타임 인터리빙의 라이팅 디렉션(writing direction)을 도시한 도면이며, (b)는 본 발명의 일 실시예에 따른 타임 인터리빙의 리딩 디렉션(reading direction)을 도시한 도면이다.
- [710] 구체적으로, (a)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 입력된 FEC 블록들을 $N_r \times N_c$ 의 크기를 갖는 TI 메모리에 컬럼 (column) 방향으로 순차적으로 쓸 수 (writing)할 수 있다(Column-wise writing). 구체적인 설명은 도 30에서 설명한 바와 같다.
- [711] 이후, (b)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 컬럼(column) 방향으로 라이팅(writing)된 FEC 블록들을 다이아고날 (diagonal) 방향으로 리딩(reading)할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 한 주기 (one period) 동안, 다이아고날 리딩 또는 다이아고날-와이즈 리딩(diagonal reading, diagonal-wise reading)을 수행할 수 있다. 특히 이 경우, 도 (b)에 도시된 바와 같이 TI 리딩 디렉션(reading direction)의 다이아고날 슬로프(diagonal slope)은 각 TI 블록마다 또는 수퍼 프레임 단위마다 다르게 설정될 수 있다.

- [712] 즉, 첫번째 열부터 (가장 왼쪽 컬럼의 첫번째 열에서 시작한 우측 방향으로) 마지막 열까지 다이아고날 와이즈 리딩을 수행하는 동안, N_r 개의 셀들은 (b)에 도시된 것과 같이 읽히게 된다.
- [713] 특히 (b)에 도시된 바와 같이 TI 리딩 디렉션 (reading direction)의 다이아고날 슬로프는 각 TI 블록마다 또는 수퍼 프레임 단위마다 다르게 설정될 수 있다. 도 16은 TI 라이팅 디렉션 (writing direction)의 다이아고날 슬로프가 다이아고날 슬로프 -1 또는 다이아고날 슬로프 -2인 경우를 나타내고 있다.
- [714] TI 리딩 디렉션의 다이아고날 슬로프다이아고날 슬로프가 diagonal slope-1인 경우, 첫 번째 주기에 대응하는 다이아고날 리딩 과정은 메모리 행렬의 (0,0)에서 시작하여 row의 맨 하단의 셀을 읽을 때까지 수행되므로, 서로 다른 FEC 블록들 내의 셀들을 고르게 인터리빙될 수 있다. 다음 주기의 다이아고날 리딩은 그림에서 ① ② ③ ... 순서대로 진행될 수 있다.
- [715] 또한, 또한, TI 리딩 디렉션의 다이아고날 슬로프-2인 경우, TI 다이아고날 리딩은 TI 리딩 디렉션의 다이아고날 슬로프에 따라 첫번째 주기 동안 메모리 행렬의 (0,0)에서 시작하여 특정 시프팅 값에 따른 특정 FEC 블록에 포함된 셀들을 읽을 때까지 수행될 수 있다. 이는 설계자의 의도에 따라 변경 가능한 사항이다.
- [716] 도 45는 본 발명에 따른 다이아고날 슬로프들의 실시예를 나타낸 도면이다.
- [717] 도 45는 TI 블록의 N_c 의 크기가 7, N_r 의 크기가 11인 경우의 다이아고날 슬로프-1부터 다이아고날 슬로프-6까지의 실시예를 나타낸다. 본 발명의 일 실시예에 따른 다이아고날 슬로프의 크기는 설계자의 의도에 따라 변경 가능하다.
- [718] 본 발명의 일 실시예에 따른 타임 인터리버는 맥시멈 TI 메모리 크기에 따라 TI 리딩의 다이아고날 슬로프의 크기를 변경하여 TI 리딩 패턴(reading pattern)을 변경할 수 있다. TI 리딩 패턴은 시간축상에서 연속적으로 전송되는 신호 프레임들의 집합인 수퍼 프레임 단위로 변경될 수 있으며, TI 리딩 패턴에 관한 정보는 상술한 스테틱 PLS 시그널링 데이터를 통해 전송될 수 있다.
- [719] 도 45에 도시된 TI 리딩(reading)의 다이아고날 슬로프들을 사용하는 다이아고날-타입 TI의 경우에도, 상술한 도 31에서 설명한 타임 인터리빙 과정 내지 도 32에서 설명한 TI 아웃풋 메모리 인덱스를 생성하는 과정이 동일하게 적용될 수 있다.
- [720] 즉, 본 발명의 일 실시예에 따른 타임 인터리버는 도 31에서 설명한 바와 같이, 순차적으로 입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고날-타입 TI를 수행할 수 있다.
- [721] 이하의 수학식은 도 45에서 설명한 다양한 TI 리딩의 다이아고날 슬로프 값들이 설정된 경우, 다이아고날-타입 TI를 수행하기 위한 메모리 인덱스 발생 과정을 나타낸다.
- [722] 수학식 15

[수식15]

$$\begin{aligned}
 r_k &= \text{mod}(k, N_r), \\
 t_k &= \text{mod}(S_T \times r_k, N_c), 1 \leq S_T < N_c \\
 c_k &= \text{mod}(t_k + \left\lfloor \frac{k}{N_r} \right\rfloor, N_c) \\
 \pi(k) &= N_r c_k + r_k, \text{ for } 0 \leq k \leq N-1
 \end{aligned}$$

S_T : 인터리빙에 사용될 대이아고날 슬로프 (diagonal slope for use in interleaving, constant value)

N_r : 행의 크기 (row size)

N_c : 열의 크기 (column size)

N : TI 블록내 총 셀의 크기 (total cell size in TI block), $N = N_c N_r$

$\lfloor \cdot \rfloor$: 하한 연산 (floor operation)

mod : 나머지 연산(modulo operation)

$\pi(k)$: TI 아웃풋 메모리 인덱스 (TI output memory index)

- [723] 본 발명의 일 실시예에 따른 방송 신호 수신 장치에 포함된 타임 디인터리버(또는 타임 디인터리버 블록)는 상술한 대이아고날-타임 TI의 역과정을 수행할 수 있다. 즉, 본 발명의 일 실시예에 따른 타임 디인터리버는 대이아고날-타임 TI이 수행되어 전송된 FEC block들을 입력받고 TI 메모리에 대이아고날 방향으로 writing operation을 수행 후 순차적으로 reading operation을 수행하여 타임 디인터리빙을 수행할 수 있다. 본 발명의 일 실시예에 따른 타임 디인터리빙은 대이아고날-타임 TDI (diagonal-type TDI) 또는 대이아고날-타임 타임 디인터리빙 (diagonal-type time deinterleaving) 또는 플렉서블 대이아고날-타임 타임 디인터리빙 (flexible diagonal-type time deinterleaving) 또는 플렉서블 대이아고날-타임 TDI (flexible diagonal-type TDI)라고 호칭될 수 있다. 구체적인 수행 장치의 명칭이나 수행 장치의 위치 또는 수행 장치의 기능 등은 설계자의 의도에 따라 변경 가능하다.
- [724] 도 46은 본 발명의 일 실시예에 따른 타임 디인터리빙 과정을 나타낸 도면이다.
- [725] 도 46에 도시된 타임 디인터리빙 과정은 도 44에서 설명한 타임 인터리빙 과정의 역과정에 해당한다.
- [726] (a)는 본 발명의 일 실시예에 따른 타임 디인터리빙의 라이팅 디렉션 (writing direction)을 도시한 도면이며, (b)는 본 발명의 일 실시예에 따른 타임 디인터리빙의 리딩 디렉션 (reading direction)을 도시한 도면이다.
- [727] 구체적으로 (a)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 타임 디인터리버는 송신측에서 대이아고날-타임 TI이 수행된 FEC 블록들을

입력받고, TDI(time deinterleaver) 메모리에 다이아고날 방향으로 쓰기(writing)를 수행할 수 있다(Diagonal-wise writing).

- [728] 이 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 한 주기 (one period) 동안, 다이아고날 라이팅 (diagonal writing)을 수행할 수 있다. 특히 도 (a)에 도시된 바와 같이 TDI 라이팅 디렉션 (writing direction)의 다이아고날 슬로프의 값은 각 TDI 블록마다 또는 수퍼 프레임 단위마다 다르게 설정될 수 있다. 도 20은 TDI 라이팅 디렉션(writing direction)의 다이아고날 슬로프가 다이아고날 슬로프-1 또는 다이아고날 슬로프-2인 경우를 나타내고 있다.
- [729] TDI 라이팅 디렉션 (writing direction)의 다이아고날 슬로프가 다이아고날 슬로프-1인 경우, 첫 번째 주기에 해당하는 다이아고날 라이팅 (diagonal writing)은 메모리 행렬의 (0,0)에서 시작하여 열의 맨 하단의 셀을 읽을 때까지 수행된다. 각 주기의 다이아고날 라이팅 (diagonal writing)은 그림에서 ① ② ③ ... 순서대로 진행될 수 있다.
- [730] 또한, TDI 라이팅 디렉션(writing direction)의 다이아고날 슬로프가 다이아고날 슬로프-2인 경우, TDI 다이아고날 라이팅(diagonal writing)은 첫 번째 주기 동안 메모리 행렬의 (0,0)에서 시작하여 특정 시프팅 값에 따른 특정 FEC 블록에 포함된 셀들을 읽을 때까지 수행될 수 있다. 이는 설계자의 의도에 따라 변경 가능한 사항이다. 또한 (b)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 타임 디인터리버는 다이아고날 방향으로 쓰여진 FEC 블록들을 컬럼 (column) 방향으로 순차적으로 읽기 (reading)를 수행 할 수 있다(Column-wise reading).
- [731] 도 45에 도시된 TI 리딩(reading)의 다이아고날 슬로프들을 사용하는 다이아고날-타입 TI의 경우에도, 상술한 도 46에서 설명한 타임 디인터리빙 과정이 동일하게 적용될 수 있다.
- [732] 즉, 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TDI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고날-타입 TDI를 수행할 수 있다.
- [733] 도 47은 본 발명의 일 실시예에 따른 TDI 아웃풋 메모리 인덱스를 생성하는 과정을 나타낸 도면이다.
- [734] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TDI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 diagonal-type TDI를 수행할 수 있다.
- [735] 도 47에 도시된 (a)는 상술한 순차적으로 입력되는 FEC 블록들에 대해 diagonal-type TDI를 위한 메모리 인덱스를 생성시키는 메모리 인덱스 생성 과정을 나타내며, (b)는 메모리 인덱스 발생 과정을 나타낸 수학적식이다.
- [736] 이하의 수학적식은 도 45에서 설명한 다양한 TI 리딩(reading)의 다이아고날 슬로프 값들이 설정된 경우, 다이아고날-타입 TDI를 수행하기 위한 TDI 아웃풋 메모리 인덱스 발생 과정을 나타낸다.
- [737] 수학적식 16

[수식16]

$$S_R = N_c - S_T, \quad 1 \leq S_R < N_c$$

$$r_k = \text{mod}(k, N_r),$$

$$t_k = \text{mod}(S_R \times r_k, N_c),$$

$$c_k = \text{mod}\left(t_k + \left\lfloor \frac{k}{N_r} \right\rfloor, N_c\right)$$

$$\pi^{-1}(k) = N_r c_k + r_k, \text{ for } 0 \leq k \leq N-1$$

S_T : 인터리빙에 사용될 다이아고날 슬로프 (diagonal slope for use in interleaving, constant value)

S_R : 디인터리빙에 사용될 다이아고날 슬로프 (diagonal slope for use in deinterleaving, constant value)

N_r : 행의 크기 (row size)

N_c : 열의 크기 (column size)

N : TI 블록내 총 셀의 크기 (total cell size in TI block), $N = N_c N_r$

$\lfloor \cdot \rfloor$: 하한 연산 (floor operation)

mod : 나머지 연산(modulo operation)

$\pi^{-1}(k)$: TI 아웃풋 메모리 인덱스 (TI output memory index)

[738] 도 48은 본 발명의 다른 실시예에 따른 variable data-rate 시스템을 나타낸 개념도이다.

[739] 구체적으로, 도 48에 도시된 하나의 전송 슈퍼 프레임은 NIF_NUM개의 인터리빙 프레임, (Interleaving Frame, IF)들로 구성되며 각 IF는 NFEC_NUM 개의 FEC 블록들을 포함할 수 있다. 이 경우, 각 IF에 포함된 FEC 블록의 개수는 서로 다를 수 있다. 본 발명의 일 실시예에 따른 IF는 타임 인터리빙을 수행하기 위한 블록으로 정의될 수 있으며, 상술한 TI 블록으로 호칭될 수 있다.

[740] 구체적인 내용은 도 36에서 설명한 바와 같다.

[741] 상술한 바와 같이, 본 발명의 방송 신호 송신 장치는 발생된 TI 메모리 인덱스들이 임의의 IF 내의 전체 셀 개수를 초과하는 경우, 해당 IF에 대하여 가상의 FEC 블록들을 추가하여 (zero padding) diagonal-type TI을 수행할 수 있다. 이 경우, zero padding된 가상의 FEC 블록들은 데이터를 포함하지 않으므로 다이아고날-타입 TI의 reading 과정에서 skip 된다. 이를 skip operation이라 호칭할 수 있다. 따라서 TI 아웃풋 메모리 인덱스는 실제 데이터를 포함하는 셀들에 대응하는 값들만을 포함할 수 있다. skip operation에 대해서는 후술한다.

[742] 이하의 수학적식은 상술한 모든 IF에 대해 적용되는 하나의 다이아고날-타입 TI 방법을 결정하는 과정을 나타낸다. 구체적으로 하기의 수학적식은 하나의 다이아고날-타입 TI 방법을 결정하는데 있어서 하나의 슈퍼 프레임 내에서 FEC 블록 개수를 가장 많이 포함하고 있는 IF와 관련하여 컬럼 (column) 및 로(row)의 크기를 결정하는 과정을 나타낸다.

[743] 수학적식 17

[수식17]

$$\text{for } 0 \leq j \leq N_{IF_NUM} - 1$$

$$N_r = \max(N_{FEC_Size,0}, N_{FEC_Size,1}, \dots, N_{FEC_Size,N_{IF_NUM}-1})$$

$$= \max_j(N_{FEC_Size,j})$$

$$N_c = \max(N_{FEC_NUM,0}, N_{FEC_NUM,1}, \dots, N_{FEC_NUM,N_{IF_NUM}-1})$$

$$= \max_j(N_{FEC_NUM,j})$$

N_{IF_NUM} : 싱글 슈퍼 프레임 내의 IF들의 총 개수 (Total number of IFs in a single super-frame)

$N_{FEC_NUM,j}$: j번째 IF 내의 총 FEC 블록들의 개수 (Total number of FEC blocks in the jth IF)

$N_{FEC_Size,j}$: j번째 IF 내의 FEC 블록 사이즈 (FEC block size in the jth IF)

[744] 또한, 도 37에서 설명한 베리어블 데이터 레이트(variable data-rate) 시스템에서 다이아고널 타입 TI(diagonal-type TI)가 적용된 일 실시예는 복수개의 FEC 블록들을 포함하는 IF에도 동일하게 적용될 수 있다.

[745] 각 IF는 하나의 슈퍼 프레임에 포함될 수 있다.

[746] 따라서 상술한 바와 같이 zero padding에 따른 다이아고날-타입 TI 방식을 이용하여, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 single-memory인 경우에도 이에 대응하는 디인터리빙을 수행할 수 있다.

[747] 또한, 도 38에서 설명한 TI 아웃풋 메모리 인덱스를 생성하는 과정은 복수개의 FEC 블록들을 포함하는 IF에도 동일하게 적용될 수 있다.

[748] 이하의 수학적식은 상술한 베리어블 데이터 레이트(variable data-rate) 시스템에서 적용될 수 있는 다이아고날-타입 TI를 수행하기 위한 아웃풋 메모리 인덱스 발생 과정을 나타낸다.

[749] 수학적식 18

[수식18]

```

for 0 ≤ j ≤ NIF_NUM - 1, 0 ≤ k ≤ NrNc - 1
  Ccnt,j = 0
  rj,k = mod( k, Nr ),
  tj,k = mod( ST × rj,k, Nc ), 1 ≤ ST < Nc
  cj,k = mod( tj,k + ⌊  $\frac{k}{N_r}$  ⌋, Nc )
  θj(k) = Nrcj,k + rj,k
  if θj(k) ≤ NFEC_Size,jNFEC_NUM,j
    πj(Ccnt,j) = θj(k)
    Ccnt,j = Ccnt,j + 1
  end
end

```

S_T : 인터리빙에 사용될 다이아고날 슬로프 (diagonal slope for use in interleaving, constant value)

$C_{cnt,j}$: j번째 TI 블록을 위한 액추얼 TI 아웃풋 메모리 인덱스의 카운터 (counter of actual TI output memory-index for the jth TI block)

$\theta_j(k)$: j번째 TI블록을 위한 템포럴 TI 아웃풋 메모리 인덱스 (temporal TI output memory-index for the jth TI block)

$\pi_j(k)$: j번째 TI블록을 위한 액추얼 TI 아웃풋 메모리 인덱스 (actual TI output memory-index for the jth TI block)

[750] 상술한 수학식에서 이프 (if) 조건부는 상술한 스킵 오퍼레이션 (skip operation)을 나타낸다. 또한 본 수학식은 상술한 다이아고날 슬로프에 따른 diagonal type TI을 수행하기 위한 아웃풋 메모리 인덱스 발생 과정을 나타낸다. 따라서 다이아고날 슬로프 값을 하나의 변수로 규정하고 있다. 본 발명의 일 실시예에 따른 다이아고날 슬로프는 상술한 시프트 값(shift value)와 동일한 의미로 사용될 수 있으며, 상술한 수학식의 ST는 인터리빙에 사용되는 시프트 밸류를 의미할 수 있다.

[751] 또한, 도 39에서 설명한 순서도는 복수개의 FEC 블록들을 포함하는 IF에도 동일하게 적용될 수 있다.

[752] 또한 도 40 내지 도 41에서 설명한 본 발명의 또 다른 실시예에 따른 타임 디인터리빙 과정은 복수개의 FEC 블록들을 포함하는 IF에도 동일하게 적용될 수 있다.

[753] 이하의 수학식은 복수개의 FEC 블록들을 포함하는 IF에 적용되는 TDI 메모리 인덱스를 발생하는 과정을 나타낸다.

[754] 수학식 19

[수식19]

```

for  $0 \leq k \leq N_c N_r - 1, 0 \leq j \leq IF\_NUM - 1$ 
 $C_{cnt,j} = 0$ 
 $S_{R,j} = \text{mod}(S_{R,j-1} - S_T, N_c)$ , where  $S_{R,0} = N_c - S_T$ ;
 $r_{j,k} = \text{mod}(k, N_r)$ ;
 $t_{j,k} = \text{mod}(S_{R,j} \times r_{j,k}, N_c)$ ;
 $c_{j,k} = \text{mod}(t_{j,k} + \left\lfloor \frac{k}{N_r} \right\rfloor, N_c)$ 
 $\theta_j^{-1}(k) = N_r c_{j,k} + r_{j,k}$ ;
    if  $M(\theta_j^{-1}(k)) \neq 0(\text{a value})$ 
         $\pi_j^{-1}(C_{cnt,j}) = \theta_j^{-1}(k)$ 
         $C_{cnt,j} = C_{cnt,j} + 1$ 
    end
end

```

$C_{cnt,j}$: j번째 IF를 위한 액츄얼 TDI 아웃풋 메모리-인덱스의 카운터(counter of actual TDI output memory-index for the jth IF)

$\theta_j^{-1}(k)$: $\theta_j^{-1}(k)$ 에서의 리저브드 셀 밸류 (the reserved cell value at $\theta_j^{-1}(k)$)

$M(\theta_j^{-1}(k))$: j번째 IF에 대한 템포럴 TDI 아웃풋 메모리-인덱스 (temporal TDI output memory-index for the jth IF)

$\pi_j^{-1}(k)$: j번째 IF에 대한 액츄얼 TDI 아웃풋 메모리-인덱스 (actual TDI output memory-index for the jth IF)

[755] 상술한 수학식에서 이프 (if) 조건부는 상술한 스킵 오퍼레이션 (skip operation), 즉, TDI 출력 메모리 인덱스에 저장되어 있는 셀 값이 0 (또는 강제로 삽입한 내용임을 확인 수 있는 임의의 값) 일 경우 인덱스를 무시하는 과정을 나타낸다.

[756] 또한 본 수학식은 상술한 다이아고날 슬로프에 따른 다이아고날-타입 TI에 대응하는 타임 디인터리빙을 수행하기 위한 TDI 메모리 인덱스를 발생하는 과정을 나타낸다.

[757] 또한 도 42에서 설명한 본 발명의 일 실시예에 따른 writing 방법은 복수개의 FEC 블록들을 포함하는 IF에도 동일하게 적용될 수 있다.

[758] 도 49는 본 발명의 일 실시예에 따른 TDI 메모리 인덱스 생성 과정을 나타낸 순서도 이다.

[759] 상술한 바와 같이 본 발명의 일 실시예에 따른 타임 디인터리버는 순차적으로 입력되는 FEC 블록들에 대하여 TI 아웃풋 메모리 인덱스 값들을 순차적으로 발생시켜 다이아고날-타입 TI를 수행할 수 있다.

[760] 도 49에 도시된 바와 같이, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 초기값들(이니셜 밸류, initial values)을 설정할 수 있다(S30000). 즉, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 첫번째 IF에 대해 TDI를 수행하기 전에, TI 룰을 이용하여 TI 과정에서 무시된 메모리 인덱스에 대응하는 셀 밸류값을 제로(zero) 또는 아이덴티피케이션 밸류(identification value)로 설정할 수 있다. 이후, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 TDI에 사용될

다이하고날 슬로프를 계산할 수 있다(S30100).

- [761] 이후, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 템포럴 TI 메모리-인덱스 (Temporal TI memory-index)를 생성할 수 있다(S30200). 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 입력되는 첫 번째 IF에 대해 송신단의 TI의 첫번째 역 과정으로서 다이하고날 라이팅 (diagonal writing) 동작 과정을 수행할 수 있다. 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 생성된 TI 메모리-인덱스 (memory-index)의 가용성 (availability)을 평가(evaluate)할 수 있다(S30300). 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 최종 TI 메모리-인덱스 (memory-index)를 생성할 수 있다(S30400).
- [762] 도 49에 도시된 순서도는 상술한 TDI 아웃풋 메모리 인덱스를 생성하는 과정에 대응되며, 설계자의 의도에 따라 변경 가능하다.
- [763] 도 50은 본 발명의 일 실시예에 따른 IF 단위의 TI 패턴 베리에이션 (Pattern Variation)을 나타낸다.
- [764] 상술한 바와 같이 본 발명의 일 실시예에 따른 방송 신호 송신 장치 (또는 타임 인터리버)는 수퍼 프레임 단위 또는 IF 단위로 다이하고날 슬로프를 다르게 적용할 수 있다.
- [765] 도 50은 각 IF에 다이하고날 슬로프를 다르게 적용하여 TI 패턴을 변화시키는 실시예로서, IF에 포함된 FEC 블록들의 개수가 짝수인 경우 및 홀수인 경우에 따라 각 IF에 다이하고날 슬로프를 다르게 적용하기 위한 실시예를 나타낸다. FEC 블록들의 개수가 짝수인 경우, 인터리빙 뎀스를 (interleaving depth)를 감소시키는 다이하고날 슬로프가 존재할 수 있기 때문이다.
- [766] 도 50에 도시된 실시예는 하나의 수퍼 프레임 내에 포함된 IF의 개수가 6이고, 각 IF에 포함된 FEC 블록의 길이인 N_r 값이 11인 경우로서, 다이하고날 슬로프는 FEC 블록들의 개수가 7일 때 적용되도록 결정된 경우의 실시예를 나타낸다.
- [767] (a)는 IF에 포함된 FEC 블록들의 개수가 홀수 즉, 7인 경우의 실시예로서, 본 발명의 일 실시예에 따른 타임 인터리버는 6개의 IF들에 대하여 도 45에서 설명한 다이하고날 슬로프들을 중복되지 않도록 랜덤하게 선택하여 적용할 수 있다. (b)는 각 IF에 포함된 FEC 블록들의 개수가 짝수 즉, 6인 경우의 실시예로서, 도 45에서 설명한 다이하고날 슬로프의 값들은 FEC 블록의 개수가 7일 때 적용되도록 설정된 경우의 실시예를 나타낸다. 이 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 각 IF가 7개의 FEC 블록들을 포함하고 있다고 가정하고, 즉, 상술한 버추얼 (virtual) FEC 블록을 추가하고, 임의의 다이하고날 슬로프를 적용하여 다이하고날 리딩 (diagonal reading)을 수행할 수 있다. 이 경우, 상술한 바와 같이, 버추얼 (virtual) FEC 블록의 셀들은 스킵 오퍼레이션 (skip operation)을 통해 무시될 수 있다.
- [768] 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 하나의 수퍼 프레임 내에 가장 많은 FEC 블록을 가지고 있는 IF를 선택하여, N_c 값을 결정할 수 있다. N_c 를 결정하는 과정은 상술한 수학식 17과 같다.

[769] 이후, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 결정된 N_c 값이 짝수인지 홀수인지 판단하고 짝수인 경우, 상술한 바와 같이 버추얼 (virtual) FEC 블록을 추가할 수 있다. 이하의 수학적식은 N_c 값이 짝수인 경우, 버추얼 (virtual) FEC 블록을 추가하여 홀수로 만드는 과정을 나타낸다.

[770] 수학적식 20

[수식20]

if $\text{mod}(N_c, 2) = 0$

$N_c = N_c + 1$

elseif $\text{mod}(N_c, 2) = 1$

$N_c = N_c$

[771] 이후 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 다이나고날 슬로프들을 다양한 방법에 따라 순차 또는 랜덤하게 발생시킬 수 있다. 이하의 수학적식은 QP (quadratic polynomial) 방식을 사용하여 각 IF에 사용될 다이나고날 슬로프를 생성하는 과정을 나타낸다.

[772] 수학적식 21

[수식21]

$$H_j = \left(\gamma + q \times \frac{(j+1)(j+2)}{2} \right) \bmod N_{Div}, \text{ for } j = 0, \dots, N_{IF_NUM} - 1$$

if $1 \leq H_j < N_c - 1$

$S_{T,j} = H_j$

else

$S_{T,j} = \text{mod}(H_j, N_c - 1)$

end

N_{Div} : QP의 디비전 밸류 (division value of QP, $N_{Div} = 2^n$, where $\lceil \log_2(N_c / 2) \rceil < n \leq \lceil \log_2(N_c) \rceil$)

q : N_{Div} 에 대한 관련 프라임 밸류 (a relative prime value to N_{Div})

γ : QP의 오프셋 밸류 (an offset value of a QP)

$\lceil \cdot \rceil$: 셀 연산 (ceil operation)

[773] QP 방식은 본 발명의 일 실시예에 해당하며, PP (primitive polynomial) 방식으로 대체될 수 있다. 이는 설계자의 의도에 따라 변경가능하다.

[774] 다음의 수학적식은 다이나고날 슬로프를 순차적으로 발생시키는 과정을 나타낸다.

[775] 수학적식 22

[수식22]

$$S_{T,j} = \text{mod}(j, N_c - 1) + 1,$$

for $j = 0, \dots, N_{IF_NUM} - 1$

[776] 이후 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 수학적 식 17 및 수학적 식 20 내지 22의 과정으로 생성된 변수들을 고려하여 타임 인터리빙을 수행할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치의 TI 아웃풋 메모리 인덱스를 생성하는 과정은 상술한 수학적 식 18로 표현될 수 있다. 상술한 수학적 식 18은 수학적 식 21 내지 22에 의해 생성된 다이아고날 슬로프를 주요 변수로 포함할 수 있다. 또한 수학적 식 18에서 설명한 스킵 오퍼레이션 (skip operation)은 N_c 의 길이가 짝수이던지 홀수이던지 관계없이 적용될 수 있다.

[777] 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 상술한 방송 신호 송신 장치에 대응하여 타임 디인터리빙을 수행할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 방송 신호 수신 장치의 TDI 아웃풋 메모리 인덱스를 생성하는 과정은 상술한 수학적 식 19로 표현될 수 있다. 수학적 식 19는 수학적 식 21 내지 22로 표현된 생성 과정에 의해 생성된 다이아고날 슬로프를 주요 변수로서 포함할 수 있다. 또한 수학적 식 19에서 설명한 스킵 오퍼레이션 (skip operation)은 N_c 의 길이가 짝수이던지 홀수이던지 관계없이 적용될 수 있다.

[778] 또한 상술한 바와 같이 TI 패턴과 관련된 정보는 상술한 스테틱 (static) PLS 시그널링 데이터를 통해 전송될 수 있다. TI 패턴 변경여부에 대한 정보는 TI_Var 로 표현될 수 있으며 1비트의 크기를 가질 수 있다. TI_Var 의 값이 0인 경우, TI 패턴의 변화가 없음을 의미한다. 따라서 본 발명의 일 실시예에 따른 방송 신호 수신기는 디폴트 (default) 값으로서 변수 ST 값을 1로 결정할 수 있다. TI_Var 의 값이 1인 경우, TI 패턴의 변화가 있음을 의미한다. 이 경우, 본 발명의 일 실시예에 따른 방송 신호 수신기는 변수 ST 값을 ST_j 로 결정할 수 있다.

[779] 하기의 수학적 식은 수학적 식 18의 다른 실시예로서, 복수개의 FEC 블록들을 포함하는 IF에 적용되는 다이아고날-타임 TI을 수행하기 위한 아웃풋 메모리 인덱스 발생 과정을 나타낸다.

[780] 수학적 식 23

[수식23]

```

for 0 ≤ j ≤ NIF_NUM - 1, 0 ≤ k ≤ NrNc - 1
    Cent,j = 0,      1 ≤ ST,j < Nc
    rj,k = mod( k, Nr ),
    tj,k = mod( rj,k, Nc ),
    cj,k = mod( ST,j × tj,k + ⌊  $\frac{k}{N_r}$  ⌋, Nc )
    θj(k) = Nrcj,k + rj,k
    if θj(k) ≤ NFEC_Size,jNFEC_NUM,j
        πj(Cent,j) = θj(k)
        Cent,j = Cent,j + 1
    end
end

```

S_T : 인터리빙에 사용될 대각선 슬로프 (diagonal slope for use in interleaving, constant value)
 $C_{ent,j}$: j번째 TI 블록을 위한 액추얼 TI 아웃풋 메모리 인덱스의 카운터 (counter of actual TI output memory-index for the jth TI block)
 $\theta_j(k)$: j번째 TI블록을 위한 템포럴 TI 아웃풋 메모리 인덱스 (temporal TI output memory-index for the jth TI block)
 $\pi_j(k)$: j번째 TI블록을 위한 액추얼 TI 아웃풋 메모리 인덱스 (actual TI output memory-index for the jth TI block)

[781] 하기의 수학식은 수학식 19의 다른 실시예로서, 복수개의 FEC 블록들을 포함하는 IF에 적용되는 TDI 메모리 인덱스를 발생하는 과정을 나타낸다.

[782] 수학식 24

[수식24]

```

for  $0 \leq k \leq N_c N_r - 1, 0 \leq j \leq N_{IF\_NUM} - 1$ 
 $C_{cnt,j} = 0$ 
 $S_{R,j} = \text{mod}(S_{R,j-1} - S_{T,j}, N_c)$ , where  $S_{R,0} = N_c - S_{T,0}$ ,
 $r_{j,k} = \text{mod}(k, N_r)$ ,
 $t_{j,k} = \text{mod}(S_{R,j} \times r_{j,k}, N_c)$ ,
 $c_{j,k} = \text{mod}(t_{j,k} + \left\lfloor \frac{k}{N_r} \right\rfloor, N_c)$ 
 $\theta_j^{-1}(k) = N_r c_{j,k} + r_{j,k}$ ,
    if  $M(\theta_j^{-1}(k)) \neq 0$  (a value)
         $\pi_j^{-1}(C_{cnt,j}) = \theta_j^{-1}(k)$ 
         $C_{cnt,j} = C_{cnt,j} + 1$ 
    end
end

```

$C_{cnt,j}$: j번째 IF를 위한 액추얼 TDI 아웃풋 메모리-인덱스의 카운터(counter of actual TDI output memory-index for the jth IF)

$M(\theta_j^{-1}(k))$: $\theta_j^{-1}(k)$ 에서의 리저브드 셀 밸류 (the reserved cell value at $\theta_j^{-1}(k)$)

$\theta_j^{-1}(k)$: j번째 IF에 대한 템포럴 TDI 아웃풋 메모리-인덱스 (temporal TDI output memory-index for the jth IF)

$\pi_j^{-1}(k)$: j번째 IF에 대한 액추얼 TDI 아웃풋 메모리-인덱스 (actual TDI output memory-index for the jth IF)

[783] 이하의 수학식은 버스트 채널에서 가장 큰 퍼포먼스를 제공하기 위한 최적의 시프트 밸류(shift value)의 계산 과정을 나타낸다. 본 발명의 일 실시예에 따른 시프트 밸류는 리딩이 수행되는 TI 패턴을 결정하기 위한 것으로 다이아고날 슬로프의 크기와 동일하다

[784] 수학식 25

[수식25]

$$S_T = \frac{N'_c - 1}{2} \text{ for } \begin{cases} N'_c = N_c + 1, & \text{if } N_c \bmod 2 = 0 \\ N'_c = N_c, & \text{if } N_c \bmod 2 = 1 \end{cases}$$

N_c : 열의 크기 (column size)

[785] 따라서, IF의 개수가 2이고, 두 개의 IF 내의 FEC 블록의 사이즈가 8로 동일하고 첫번째 IF의 FEC 블록의 개수가 4, 두번째 IF의 FEC 블록의 개수가 5인 경우, TI를 위한 행의 맥시멈 크기는 8이 되고, 열의 맥시멈 크기는 5가 된다.

[786] 이 경우, 수학식 25를 사용하면 최적의 시프트 밸류는 2가 됨을 알 수 있다.

[787] 이하의 수학식은 버스트 채널에서 가장 큰 퍼포먼스를 제공하기 위한 최적의 시프트 밸류(shift value)의 계산 과정을 나타낸다.

[788] 수학식 26
[수식26]

$$S_T = \frac{N'_c - 1}{2} + 1 \text{ for } \begin{cases} N'_c = N_c + 1, & \text{if } N_c \bmod 2 = 0 \\ N'_c = N_c, & \text{if } N_c \bmod 2 = 1 \end{cases}$$

N_c : 열의 크기 column size

- [789] 따라서, IF의 개수가 2이고, 두 개의 IF 내의 FEC 블록의 사이즈가 8로 동일하고 첫번째 IF의 FEC 블록의 개수가 4, 두번째 IF의 FEC 블록의 개수가 5인 경우, TI를 위한 행의 맥시멈 크기는 8이 되고, 열의 맥시멈 크기는 5가 된다.
- [790] 이 경우, 수학식 26을 사용하면 최적의 시프트 벨류는 3이 됨을 알 수 있다.
- [791] 도 51은 본 발명의 일 실시예에 따른 IF 인터리빙을 도시한 도면이다.
- [792] 본 발명의 일 실시예에 따른 IF 인터리빙은 베리어블 데이터 레이트 (variable data-rate) 전송 시스템을 위한 것으로, 상술한 다이아고날-와이즈 리딩(diagonal-wise reading)을 위한 동일한 패턴을 유지하고, 버추얼 (virtual) FEC 블록들에 대해 스킵 오퍼레이션(skip operation)을 수행하는 것을 일 실시예로 한다.
- [793] 또한, 도면에 도시된 바와 같이, IF내에 포함된 FEC 블록들의 개수가 서로 다른 경우, 동일한 IF 인터리빙 (또는 트위스티드 블록 인터리빙, twisted block interleaving)을 결정하여 적용할 수 있다.
- [794] 이를 통해 수신기에서는 단일 메모리를 사용하여 IF 디인터리빙을 수행할 수 있다.
- [795] 이하에서는 인터-프레임 인터리빙 (inter-frame interleaving)의 실시예로 컨벌루셔널 인터리빙(convolutional interleaving, 또는 CI)을 설명한다.
- [796] 본 발명의 일 실시예에 따른 CI는 IF들간의 인터리빙으로 정의할 수 있다. 각 IF는 인터리빙 유닛, 즉, IU(interleaving Unit)에 의해 나뉘질 수 있다.
- [797] 본 발명의 일 실시예에 따른 CI의 출력 IF들 중, 버추얼 (virtual) IU에 대해서는 스타트-스킵 오퍼레이션 (start-skip operation) 및 스톱-스킵핑 오퍼레이션 (stop-skipping operation)이 적용될 수 있다.
- [798] 도 52는 본 발명의 일 실시예에 따른 CI를 나타낸 도면이다.
- [799] 도 52는 컨스탄트 데이터-레이트 (constant data-rate) 전송을 고려한 CI를 나타낸 도면이다.
- [800] 도면의 왼쪽에 도시된 블록들은 CI의 인풋에 해당하는 IF들을 나타낸다. 본 도면에서는 IF가 4개인 실시예를 나타낸다.
- [801] 도면의 가운데에 도시된 블록은 CI를 수행하기 위한 컨벌루셔널 인터리버 (Convolutional interleaver) 내의 레지스터 블록 (register block)을 나타낸다. 본 발명의 일 실시예에 따른 레지스터 블록의 크기는 상술한 IU를 기본 단위로

- 결정될 수 있다. 본 도면은 IU의 개수는 3개인 경우의 레지스터 블록을 나타낸다.
- [802] 도면의 오른쪽에 도시된 블록들은 CI의 출력에 해당하는 IF들을 나타낸다. CI 초기 동작의 경우, 레지스터 블록 내에 일부 IU의 경우, IU 내부가 다 채워지지 않으므로 더미 (dummy) IU가 출력될 수 있다. 이러한 더미 IU에 대해서는 상술한 스타트-스킵핑 오퍼레이션이 수행될 수 있다. 본 발명의 일 실시예에 따른 더미 IU는 버추얼 IU로 호칭할 수도 있다.
- [803] CI 마지막 동작의 경우, 레지스터 블록 내의 일부 IU 내부가 다 채워지지 않으므로 역시 더미 IU가 출력될 수 있다. 이러한 더미 IU에 대해서는 엔드-스킵핑 오퍼레이션이 수행될 수 있다.
- [804] 도 53은 본 발명의 다른 실시예에 따른 CI를 나타낸 도면이다.
- [805] 도 53은 베리어블 데이터-레이트 (variable data-rate) 전송을 고려한 CI를 나타낸다.
- [806] 도면의 왼쪽에 도시된 블록들은 CI의 인풋에 해당하는 IF들을 나타낸다. 본 도면에서는 IF가 3개인 실시예를 나타낸다.
- [807] 본 발명의 일 실시예에 따른 IF 크기는 IF들 중 가장 큰 크기에 해당하는 IF 크기에 따라 결정되며, 결정된 IF크기를 동일하게 보전하는 것을 일 실시예로 할 수 있다. 또한, CI의 메모리는 IU 크기에 따라 결정될 수 있다.
- [808] 도면의 오른쪽은 CI를 수행하기 위한 컨벌루셔널 인터리버 (Convolutional interleaver) 내의 레지스터 블록을 나타낸다.
- [809] CI를 위한 레지스터 블록의 크기는 각 IF 블록을 IU로 분할한 이후 크기가 가장 큰 IU를 기본 단위로 결정될 수 있다. 본 도면은 IU의 개수가 3개인 경우를 나타낸다.
- [810] CI 초기 동작의 경우, 레지스터 블록 내에 일부 IU의 경우, IU 내부가 다 채워지지 않으므로 더미 IU가 출력될 수 있다. 이러한 더미 IU에 대해서는 상술한 스타트-스킵핑 오퍼레이션이 수행될 수 있다.
- [811] CI 마지막 동작의 경우, 레지스터 블록 내의 일부 IU 내부가 다 채워지지 않으므로 역시 더미 IU가 출력될 수 있다. 이러한 더미 IU에 대해서는 엔드-스킵핑 오퍼레이션이 수행될 수 있다.
- [812] 도 54는 본 발명의 일 실시예에 따른 CI의 출력 IF들을 나타낸 도면이다.
- [813] 도 54는 도 53에서 설명한 CI의 출력에 해당하며, IU내의 X로 표기된 블록들은 버추얼 IU로서, 상술한 스타트-스킵핑 오퍼레이션 및 엔드-스킵핑 오퍼레이션에 의해 무시될 수 있다.
- [814] 도 55는 본 발명의 다른 실시예에 따른 타임 인터리버를 나타낸다.
- [815] 본 발명의 다른 실시예에 따른 타임 인터리버는 컨벌루셔널 인터리버 및 블록 인터리버를 포함할 수 있다. 본 발명의 일 실시예에 따른 컨벌루셔널 인터리버는 상술한 도 51 내지 도 53에서 설명한 CI를 수행할 수 있으며, 본 발명의 일 실시예에 따른 블록 인터리버는 컨벌루셔널 인터리버에서 출력된 IF들에 대하여 상술한 도 26 내지 도 50에서 설명한 인터리빙을 수행할 수 있다. 본 발명의 일

실시예에 따른 블록 인터리버는 트위스티드 블록 인터리버(twisted block interleaver)로 호칭할 수 있다.

- [816] 컨벌루셔널 인터리버 및 블록 인터리버의 위치 및 호칭은 설계자의 의도에 따라 변경가능하다.
- [817] 도 56은 본 발명의 일 실시예에 따른 블록 인터리버의 동작을 나타낸 도면이다.
- [818] 본 발명의 일 실시예에 따른 블록 인터리버는 컨벌루셔널 인터리버에서 출력된 IF들에 대하여 도 26 내지 도 50에서 설명한 인터리빙을 수행할 수 있다.
- [819] 본 발명의 일 실시예에 따른 블록 인터리버는 CI의 출력에 대해 스타트 스킵핑 오퍼레이션 및 엔드-스킵핑 오퍼레이션을 수행하고, IU 내의 데이터들을 연속적으로 세로 방향으로 적층시켜 IF 블록들을 얻을 수 있다. 본 도면은 3개의 IF들을 얻은 경우를 나타낸다. 이후, 블록 인터리버는 IF 블록들에 대해 상술한 다이아고날 리딩 (diagonal reading)을 수행할 수 있다. 상술한 바와 같이 IF 블록 내의 버추얼 (virtual) FEC 블록의 셀들은 스킵 오퍼레이션 (skip operation)을 통해 무시될 수 있다.
- [820] 도 57은 본 발명의 다른 실시예에 따른 블록 인터리버의 동작을 나타낸 도면이다.
- [821] 본 발명의 일 실시예에 따른 블록 인터리버는 CI의 출력에 대해 스타트 스킵핑 오퍼레이션 및 엔드-스킵핑 오퍼레이션을 수행하고, IU내의 데이터들을 연속적으로 가로 방향으로 적층시켜 IF블록들을 얻을 수 있다. 이후, 블록 인터리버는 IF 블록들에 대해 다이아고날 리딩(diagonal reading)을 수행할 수 있다. 상술한 바와 같이 IF 블록 내의 버추얼 (virtual) FEC 블록의 셀들은 스킵 오퍼레이션 (skip operation)을 통해 무시될 수 있다.
- [822] 도 58은 본 발명의 다른 실시예에 따른 타임 디인터리버를 나타낸 도면이다.
- [823] 본 발명의 다른 실시예에 따른 타임 디인터리버는 블록 디인터리버 및 컨벌루셔널 디인터리버를 포함할 수 있다. 본 발명의 다른 실시예에 따른 타임 디인터리버는 도 56에서 설명한 타임 인터리버의 역과정에 해당하는 동작을 수행할 수 있다. 즉, 본 발명의 일 실시예에 따른 블록 디인터리버는 도 26 내지 도 50에서 설명한 인터리빙의 역과정을 수행할 수 있으며, 본 발명의 일 실시예에 따른 컨벌루셔널 디인터리버는 상술한 도 51 내지 도 53에서 설명한 CI의 역과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 블록 디인터리버는 트위스티드 블록 디인터리버(twisted block deinterleaver)로 호칭할 수 있다.
- [824] 블록 디인터리버 및 컨벌루셔널 디인터리버의 위치 및 호칭은 설계자의 의도에 따라 변경가능하다.
- [825] 본 발명의 일 실시예에 따른 컨벌루셔널 인터리버의 전반적인 입출력 동작 과정은 상술한 IF를 기반으로 이루어질 수 있다. 각 IF는 IU로 분할되어 컨벌루셔널 인터리버로 입력될 수 있다. 이 경우, IU 개수의 정수배에 대응하여 IF의 FEC 블록의 크기가 할당될 수 있다. 이와 같은 할당과정은 수신기의 디인터리빙 과정에서 필요한 프로세싱의 과부하(burden)을 효과적으로 줄일 수

있다.

- [826] 도 59는 본 발명의 다른 실시예에 따른 CI를 나타낸 도면이다.
- [827] 도면의 왼쪽에 도시된 블록들은 CI의 인풋에 해당하는 IF들을 나타낸다. 본 도면에서는 IF가 3개인 실시예를 나타낸다.
- [828] 도면의 가운데에 도시된 블록은 CI를 수행하기 위한 컨벌루셔널 인터리버 (Convolutional interleaver) 내의 레지스터 블록 (register block)을 나타낸다. 본 발명의 일 실시예에 따른 레지스터 블록의 크기는 상술한 IU를 기본 단위로 결정될 수 있다. 본 도면은 IU의 개수는 3개인 경우의 레지스터 블록을 나타낸다.
- [829] 도면의 오른쪽에 도시된 블록들은 CI의 출력에 해당하는 IF들을 나타낸다.
- [830] 도 60은 본 발명의 일 실시예에 따른 컨벌루셔널 인터리버와 블록 인터리버간의 인터페이스 프로세싱을 나타낸 도면이다.
- [831] 도면에 도시된 바와 같이 인터페이스 프로세싱은 CI의 포스트-프로세싱 (post-processing)에 해당하며, 블록 인터리빙의 프리-프로세싱(pre-processing)에 해당한다.
- [832] 본 발명의 일 실시예에 따른 인터페이스 프로세싱은 스킵핑 오퍼레이션(skipping operation) 및 패러럴 투 시리얼 오퍼레이션 (parallel to serial operation)으로 구성될 수 있다. 스킵핑 오퍼레이션은 컨벌루셔널 인터리버의 출력에 해당하는 IF 내의 버추얼 FEC 블록들에 대하여 수행될 수 있으며, 패러럴 투 시리얼 오퍼레이션은 스킵핑 오퍼레이션이 수행된 FEC 블록에 대해 수행될 수 있다. 특히 스킵핑 오퍼레이션은 수신기의 디인터리빙 과정에서 필요한 프로세싱의 과부하(burden)을 효과적으로 줄일 수 있다.
- [833] 도 61은 본 발명의 다른 실시예에 따른 블록 인터리빙을 나타낸 도면이다.
- [834] 블록 인터리빙은 상술한 인터페이스 프로세싱의 출력 데이터에 대해 수행될 수 있다. 구체적인 내용은 도 26 내지 도 50에서 설명한 바와 같다.
- [835] 도 62는 본 발명의 다른 실시예에 따른 variable data-rate 시스템을 나타낸 개념도이다.
- [836] 구체적으로, 도 62에 도시된 하나의 전송 슈퍼 프레임은 NTL_NUM개의 TI 그룹들로 구성되며, 각 TI 그룹은 N BLOCK_TI 개의 FEC 블록들을 포함할 수 있다.
- [837] 이 경우, 각 TI 그룹에 포함된 FEC 블록의 개수는 서로 다를 수 있다. 본 발명의 일 실시예에 따른 TI 그룹은 타임 인터리빙을 수행하기 위한 블록으로 정의될 수 있으며, 상술한 TI 블록 또는 IF와 동일한 의미로 사용될 수 있다.
- [838] 구체적인 내용은 도 36 및 도 48에서 설명한 바와 같다.
- [839] 본 발명에서는 TI 그룹 내에 포함된 FEC 블록들의 개수가 서로 다른 경우, 하나의 트위스티드 로-컬럼 블록 인터리빙 룰(twisted row-column block interleaving rule)을 이용하여 TI 그룹들에 대한 인터리빙을 수행하는 것을 일 실시예로 할 수 있다. 이를 통해 수신기는 단일 메모리를 사용하여 디인터리빙을 수행할 수 있다.

- [840] 이하에서는 매 TI 그룹마다 FEC 블록 개수가 변할 수 있는 베리어블 비트-레이트 (variable bit-rate, VBR) 전송을 고려한 입력 FEC block의 메모리 배열 방법 및 타임 인터리버의 리딩 (reading) 동작을 설명한다.
- [841] 도 63은 본 발명의 블록 인터리빙의 라이팅(writing) 및 리딩 (reading) 오퍼레이션의 일 실시예를 나타낸다. 도 63은 도 26의 다른 실시예에 해당한다. 구체적인 내용은 생략한다.
- [842] 도 64는 본 발명의 일 실시예에 따른 블록 인터리빙을 나타낸 수학적식이다.
- [843] 도면에 도시된 수학적식은 각 TI 그룹 단위로 적용되는 블록 인터리빙을 나타낸다. 수학적식에 도시된 바와 같이, 시프트 밸류는 TI 그룹에 포함된 FEC 블록들의 개수가 홀수인 경우 및 짝수인 경우 각각 계산될 수 있다. 즉, 본 발명의 일 실시예에 따른 블록 인터리빙은 FEC 블록들의 개수를 홀수로 만든 후 시프트 밸류를 계산할 수 있다.
- [844] 본 발명의 일 실시예에 따른 타임 인터리버는 슈퍼 프레임 내에서 가장 큰 FEC 블록 개수를 갖는 TI group을 기준으로 인터리빙과 관련된 파라미터들을 결정할 수 있다. 이를 통해 수신기는 단일 메모리 사용하여 디인터리빙을 수행할 수 있다.
- [845] 이때, 결정된 FEC 블록을 가장 많이 포함하고 있는 TI 그룹의 FEC 블록 개수보다 적은 FEC 블록을 갖는 TI 그룹에 대해서는 부족한 FEC 블록의 개수에 해당하는 버추얼 (virtual) FEC 블록들을 추가할 수 있다.
- [846] 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들은 실제 FEC 블록들 앞에 삽입될 수 있다. 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 하나의 트위스티드 로-컬럼 블록 인터리빙 룰(twisted row-column block interleaving rule)을 이용하여 TI 그룹들에 대한 인터리빙을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 타임 인터리버는 리딩(reading) 동작에서 버추얼 (virtual) FEC 블록들에 해당되는 메모리-인덱스 (memory-index)가 발생하는 경우 상술한 스킵 오퍼레이션을 수행할 수 있다. 이후 라이팅 (writing) 동작 시, 입력된 TI 그룹의 FEC 블록들의 개수와 리딩 (reading)시 출력 TI 그룹의 FEC 블록들의 개수를 일치 시킨다. 결과적으로, 본 발명의 일 실시예에 따른 타임 인터리빙에 따르면, 수신기에서 효율적인 싱글-메모리 디인터리빙(single-memory deinterleaving)을 수행하기 위하여 버추얼 (virtual) FEC 블록을 삽입하더라도 스킵 오퍼레이션을 통해 실제 전송되는 데이터-레이트의 손실은 발생하지 않을 수 있다.
- [847] 도 65는 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들을 나타낸 도면이다.
- [848] 도면의 좌측은 맙시엄 FEC 블록들의 개수와 TI 그룹에 포함된 실제 FEC 블록들의 개수 및 맙시엄 FEC 블록들의 개수와 실제 FEC 블록들의 개수간의 차이를 나타낸 파라미터 및 버추얼 (virtual) FEC 블록들의 개수를 도출하기 위한 수학적식을 나타낸다.

- [849] 도면의 우측은 TI 그룹 내에 버추얼 (virtual) FEC 블록들이 삽입된 실시예를 나타낸다. 이 경우 상술한 바와 같이 버추얼 (virtual) FEC 블록들은 실제 FEC 블록의 앞에 삽입될 수 있다.
- [850] 도 66은 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 리딩 (reading) 동작을 나타낸 수학적식이다.
- [851] 도면에 표시된 스킵 오퍼레이션은 리딩(reading) 동작에서 버추얼 (virtual) FEC 블록들을 스킵하는 역할을 수행할 수 있다.
- [852] 도 67은 본 발명의 일 실시예에 따른 타임 인터리빙의 프로세스를 나타낸 순서도이다.
- [853] 본 발명의 일 실시예에 따른 타임 인터리버는 이니셜 밸류(initial value)를 셋업할 수 있다(S67000).
- [854] 이후 본 발명의 일 실시예에 따른 타임 인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 실제 FEC 블록들을 라이팅 (writing)할 수 있다(S67100).
- [855] 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 템포럴 TI 어드레스(temporal TI address)를 생성할 수 있다(S67200).
- [856] 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 생성된 TI 리딩 어드레스 (reading address)의 가용성 (availability)를 평가할 수 있다(S67300). 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 최종 TI 리딩 어드레스 (reading address)를 생성할 수 있다(S67400).
- [857] 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 실제 FEC 블록들을 리딩(reading)할 수 있다(S67500).
- [858] 도 68은 본 발명의 일 실시예에 따른 시프트 밸류 및 맥시멈 TI 블록의 크기를 결정하는 과정을 나타낸 수학적식이다.
- [859] 본 도면은 TI 그룹이 2개이고, TI 그룹내의 셀의 개수는 30이고, 첫번째 TI 그룹에 포함된 FEC 블록의 개수가 5이고 두번째 TI 블록에 포함된 FEC 블록의 개수가 6인 경우의 실시예를 나타낸다. 맥시멈 FEC 블록의 개수는 6이 되나, 짝수이므로, 시프트 밸류를 구하기 위한 조정된 맥시멈 FEC 블록의 개수는 7이 될 수 있으며, 시프트 밸류는 4로 계산될 수 있다.
- [860] 도 69 내지 도 71은 도 68에서 설명한 실시예의 TI 과정을 나타낸 도면이다.
- [861] 도 69는 본 발명의 일 실시예에 따른 라이팅 (writing) 오퍼레이션을 나타낸다.
- [862] 도 69는 도 68에서 설명한 두 개의 TI 그룹에 대한 라이팅 (writing) 오퍼레이션을 나타낸다.
- [863] 도면의 왼쪽에 도시된 블록은 TI 메모리 어드레스 어레이(memory address array)를 나타내며, 도면의 오른쪽에 도시된 블록은 연속한 두 개의 TI 그룹들에 대해 각각 버추얼(virtual) FEC 블록들이 각각 2개 및 1개가 삽입된 경우의 라이팅 (writing) 오퍼레이션을 나타낸다. 상술한 바와 같이 조정된 맥시멈 FEC 블록의 개수는 7이므로, 첫번째 TI 그룹에는 두 개의 버추얼(virtual) FEC 블록들이 삽입되며, 두번째 TI 그룹에는 한 개의 버추얼(virtual) FEC 블록이 삽입된다.

- [864] 도 70은 본 발명의 일 실시예에 따른 리딩 (reading) 오퍼레이션을 나타낸다.
- [865] 도면의 왼쪽에 도시된 블록은 TI 메모리 어드레스 어레이(memory address array)를 나타내며, 도면의 오른쪽에 도시된 블록은 연속한 두 개의 TI 그룹들에 대해 각각 버추얼(virtual) FEC 블록들이 각각 2개 및 1개가 삽입된 경우의 리딩 (reading) 오퍼레이션을 나타낸다. 이 경우, 버추얼(virtual) FEC 블록들에도 실제 FEC 블록과 동일하게 리딩 (reading) 오퍼레이션이 수행될 수 있다.
- [866] 도 71은 본 발명의 일 실시예에 따른 리딩 (reading) 오퍼레이션에서 스킵 오퍼레이션이 수행된 결과를 나타낸다.
- [867] 도면에 도시된 바와 같이 두 개의 TI 그룹내에는 버추얼(virtual) FEC 블록들이 스킵될 수 있다.
- [868] 도 72 내지 73은 도 69 내지 도 71에서 설명한 TI의 역과정인 타임 디인터리빙을 나타낸다. 구체적으로 도 72는 첫번째 TI 그룹에 대한 타임 디인터리빙을 나타내며 도 73은 두번째 TI 그룹에 대한 타임 디인터리빙을 나타낸다.
- [869] 도 72는 본 발명의 일 실시예에 따른 타임 디인터리빙의 라이팅 (writing) 과정을 나타낸다.
- [870] 이 경우, 도 68에서 설명한 파라미터는 동일하게 적용될 수 있다.
- [871] 도면의 왼쪽에 도시된 블록은 TI 메모리 어드레스 어레이(memory address array)를 나타내며, 도면의 가운데 도시된 블록은 타임 디인터리버에 입력된 첫번째 TI 그룹을 나타내며, 도면의 오른쪽에 도시된 블록은 연속한 첫번째 TI 그룹에 대해 스킵된 버추얼(virtual) FEC 블록들을 고려하여 수행된 라이팅 (writing) 과정을 나타낸다.
- [872] 도면에 도시된 바와 같이, TI 과정에서 스킵된 2 개의 버추얼 (virtual) FEC 블록들은 정확한 리딩 (reading) 오퍼레이션을 위해 라이팅 (writing) 과정에서 복원될 수 있다. 이 경우, 스킵된 2 개의 버추얼 (virtual) FEC 블록들의 위치 및 양은 임의의 알고리즘을 통해 추정될 수 있다.
- [873] 도 73은 본 발명의 다른 실시예에 따른 타임 디인터리빙의 라이팅 (writing) 과정을 나타낸다.
- [874] 도면의 왼쪽에 도시된 블록은 TI 메모리 어드레스 어레이(memory address array)를 나타내며, 도면의 가운데 도시된 블록은 타임 디인터리버에 입력된 두번째 TI 그룹을 나타내며, 도면의 오른쪽에 도시된 블록은 연속한 두번째 TI 그룹에 대해 스킵된 버추얼(virtual) FEC 블록들을 고려하여 수행된 라이팅 (writing) 과정을 나타낸다.
- [875] 도면에 도시된 바와 같이, TI 과정에서 스킵된 1 개의 버추얼 (virtual) FEC 블록들은 정확한 리딩 (reading) 오퍼레이션을 위해 라이팅 (writing) 과정에서 복원될 수 있다. 이 경우, 스킵된 1 개의 버추얼 (virtual) FEC 블록들의 위치 및 양은 임의의 알고리즘을 통해 추정될 수 있다.
- [876] 도 74는 본 발명의 다른 실시예에 따른 타임 디인터리빙의 리딩 (reading) 오퍼레이션을 나타내는 수학적식이다.

- [877] 수신기에서 사용되는 TDI 시프트 밸류는 송신기에서 사용된 시프트 밸류에 의해 결정될 수 있으며, 스킵 오퍼레이션 (skip operation)은 송신부와 유사하게 리딩 (reading) 오퍼레이션에서 버추얼 (virtual) FEC 블록들을 스킵하는 역할을 수행할 수 있다.
- [878] 도 75는 본 발명의 일 실시예에 따른 타임 디인터리빙의 프로세스를 나타낸 순서도이다.
- [879] 본 발명의 일 실시예에 따른 타임 디인터리버는 이니셜 밸류(initial value)를 셋업할 수 있다(S75000).
- [880] 이후 본 발명의 일 실시예에 따른 타임 디인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 실제 FEC 블록들을 라이팅 (writing)할 수 있다(S75100).
- [881] 이후, 본 발명의 일 실시예에 따른 타임 디인터리버는 템포럴 TDI 어드레스(temporal TDI address)를 생성할 수 있다(S75200).
- [882] 이후, 본 발명의 일 실시예에 따른 타임 디인터리버는 생성된 TDI 리딩 어드레스 (reading address)의 가용성 (availability)를 평가할 수 있다(S75300). 이후, 본 발명의 일 실시예에 따른 타임 디인터리버는 최종 TDI 리딩 어드레스 (reading address)를 생성할 수 있다(S75400).
- [883] 이후, 본 발명의 일 실시예에 따른 타임 디인터리버는 실제 FEC 블록들을 리딩(reading)할 수 있다(S75500).
- [884] 도 76은 본 발명의 다른 실시예에 따른 타임 디인터리버를 나타낸 블록도이다.
- [885] 구체적으로, 본 발명의 일 실시예에 따른 타임 디인터리버는 트위스티드 블록 디인터리버(block interleaver)와 컨볼루션 디인터리버(convolutional interleaver)를 포함할 수 있다. 본 발명의 일 실시예에 따른 컨볼루션 디인터리버는 전술한 디인터리빙 방법을 사용할 수 있다.
- [886] 본 발명의 일 실시예에 따른 타임 디인터리버는 블록 디인터리빙(또는 트위스티드 블록 디인터리빙)동작을 수행한 후, 컨볼루션 디인터리빙 동작을 수행할 수 있다.
- [887] 본 발명의 일 실시예에 따른 타임 디인터리버의 각 디인터리버 블록은 전술한 트위스티드 블록 디인터리빙 및 컨볼루션 디인터리빙 방법을 수행할 수 있다. 따라서 본 발명의 일 실시예에 따른 타임 디인터리버는 디인터리빙 프레임(Interleaving frame, IF) 내의 FEC 블록의 개수가 일정한 컨스탄트 비트 레이트(Constant bit rate, CBR) 시스템뿐만 아니라 디인터리빙 프레임 내의 FEC 블록의 개수가 변하는 베리어블 비트 레이트(Variable bit rate, VBR) 시스템에도 적용될 수 있다.
- [888] 구체적으로 본 발명의 일 실시예에 따른 타임 디인터리버는 디인터리빙 프레임(IF)를 기반으로 동작할 수 있다. 이 경우, 각 디인터리빙 프레임은 디인터리빙 유닛(Interleaving Unit)으로 분할되어 컨볼루션 디인터리버에 입력될 수 있다.
- [889] 이하, 타임 디인터리빙 동작의 일 실시예로서, CBR 시스템이며, FEC 블록의 크기가 30, IU는 3인 경우를 설명한다.
- [890] 도 77 내지 도 79은 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리빙 동작과 컨볼루션 디인터리빙 동작을 나타낸 도면이다.

- [891] 구체적으로 도 77는 트위스티드 블록 인터리빙 동작을 나타낸 도면이다. 상술한 바와 같이 본 발명의 일 실시예에 따른 인터리빙 동작은 인터리빙 프레임(Interleaving Frame)을 기반으로 수행될 수 있다. 도면의 좌측은 각 IF에 적용되는 다이아고널 와이즈 리딩 프로세스(diagonal-wise reading process)을 나타낸다. 도면의 우측은 본 발명의 일 실시예에 따른 트위스티드 블록 인터리버의 출력 IF에 적용되는 다이아고널 와이즈 라이팅 프로세스(diagonal-wise writing process)를 나타낸다. 각 IF에 적용되는 구체적인 트위스티드 블록 인터리빙 동작은 전술한 내용과 동일하므로 생략한다.
- [892] 도 78 내지 도 79는 컨볼루션 인터리빙 동작을 나타낸 도면이다.
- [893] 구체적으로 도 78는 컨볼루션 인터리빙 동작을 나타내며, 도 79는 컨볼루션 인터리버의 리딩 동작(reading operation)에 따른 출력(output) 프레임을 나타낸다. 본 도면들에 도시된 컨볼루션 인터리빙 동작은 IF를 기반으로 수행되며, 컨볼루션 인터리버의 리딩 동작은 프레임을 기반으로 수행될 수 있다. 구체적인 세부 동작은 전술한 내용과 동일하다.
- [894] 도 80은 본 발명의 일 실시예에 따른 타임 디인터리버를 나타낸 블록도이다.
- [895] 구체적으로 본 발명의 일 실시예에 따른 타임 디인터리버는 도 76 내지 도 79에서 설명한 본 발명의 일 실시예에 따른 타임 인터리버의 역과정을 수행할 수 있다. 본 발명의 일 실시예에 따른 타임 디인터리버는 컨볼루션 디인터리버(convolutional deinterleaver)와 트위스티드 블록 디인터리버(block deinterleaver)를 포함할 수 있다.
- [896] 도 81은 타임 인터리버 및 타임 디인터리버의 메모리 구성(memory configuration)을 도시한 도면이다. 도면의 좌측은 송신단의 타임 인터리버의 메모리 구성을 도시하며, 도면의 우측은 수신단의 타임 디인터리버의 메모리 구성을 도시한다.
- [897] 수신단의 타임 디인터리버의 메모리 구성은 송신단의 타임 인터리버의 메모리 구성의 역방향으로 설계될 수 있다. 구체적으로 수신단의 타임 디인터리버의 메모리 구성은 도 78에 도시된 송신단의 컨볼루션 인터리빙 동작을 고려하여 설계될 수 있다.
- [898] 도 82는 본 발명의 일 실시예에 따른 타임 디인터리빙 동작을 나타낸 도면이다. 구체적으로 도 82는 도 76 내지 도 79에서 설명한 타임 인터리빙의 역동작에 상응하는 타임 디인터리빙 동작을 나타낸다. 따라서, 각 프레임에 대해 컨볼루션 디인터리빙 수행 후, 트위스티드 블록 디인터리빙이 수행될 수 있다.
- [899] 도 76 내지 도 82에서 설명한 트위스티드 블록 인터리빙(또는 디인터리빙) 및 컨볼루션 인터리빙(또는 디인터리빙) 각각의 동작은 전술한 본 발명의 일 실시예에 따른 인터리빙(또는 디인터리빙) 동작과 동일 할 수 있다.
- [900] 도 83은 본 발명의 일 실시예에 따른 타임 인터리버의 구조를 나타낸 도면이다. 본 발명의 일 실시예에 따른 타임 인터리버는 하이브리드 타임 인터리버(Hybrid Time Interleaver)라고 호칭할 수 있다.

- [901] 도 83에 도시된 바와 같이 본 발명의 일 실시예에 따른 타임 인터리버는 인트라 프레임 인터리빙(Intra frame interleaving)과 인터 프레임 인터리빙(Inter frame interleaving)을 수행할 수 있다. 구체적으로 상술한 트위스티드 블록 인터리버가 인트라 프레임 인터리빙을, 컨볼루션 인터리버가 인트라 프레임 인터리빙을 수행할 수 있다. 각 인터리빙(인터리버) 블록의 동작은 전술한 내용과 동일하다.
- [902] 도 84은 컨볼루션 인터리빙 이후 리딩 오퍼레이션(reading operation) 동작을 나타낸 도면이다. 구체적으로 리딩 오퍼레이션 동작 과정과 리딩(reading) 결과 출력을 나타낸다. 이하, CBR 시스템이며, FEC 블록의 크기가 30, IU는 3인 경우의 구체적인 리딩 오퍼레이션 동작을 설명한다. 본 발명의 일 실시예에 따른 컨볼루션 인터리버의 리딩 동작은 IF(인터리빙 프레임)을 기반으로 수행될 수 있다. 즉, 도면에 도시된 바와 같이 동일한 프레임 내에서 IF 별로 순서대로 행 방향(row-wise)으로 리딩 동작을 수행할 수 있다.
- [903] 도 85는 본 발명의 일 실시예에 따른 타임 디인터리버(Time Deinterleaver)의 구조를 나타낸 도면이다. 본 발명의 일 실시예에 따른 타임 디인터리버는 도 50에서 설명한 하이브리드 타임 인터리버의 역 과정을 수행할 수 있다. 따라서 본 발명의 일 실시예에 따른 타임 디인터리버는 하이브리드 타임 디인터리버(Hybrid Time Deinterleaver)라고 호칭할 수 있다.
- [904] 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버는 인터 프레임 디인터리빙(Inter frame deinterleaving)과 인트라 프레임 디인터리빙(Intra frame deinterleaving)을 수행할 수 있다.
- [905] 도 86 내지 도 87는 본 발명의 일 실시예에 따른 타임 디인터리빙의 동작을 나타낸 도면이다.
- [906] 도 86은 본 발명의 일 실시예에 따른 컨볼루션 디인터리빙 동작을 나타낸 도면이다. 도 86에 도시된 컨볼루션 디인터리빙 동작은 도 78에서 설명한 컨볼루션 인터리빙 역동작에 해당할 수 있다. 구체적으로 도 86은 도 81에서 설명한 타임 디인터리버의 메모리 구성을 갖는 타임 디인터리버의 구체적인 동작을 나타낸 도면이다. 도 86의 좌측은 타임 디인터리버로 입력되는 인터리빙 프레임(IF inputs to time deinterleaver)을 도시하는 도면이다.
- [907] 도 86의 본 발명의 일 실시예에 따른 컨볼루션 디인터리빙 동작은 프레임 간 수행되며, 컨볼루션 디인터리버는 입력 프레임들을 IF 단위로 출력할 수 있다.
- [908] 도 87는 본 발명의 일 실시예에 따른 트위스티드 디인터리빙 동작을 나타낸 도면이다.
- [909] 도 87에 도시된 트위스티드 디인터리빙 동작은 도 77에서 설명한 트위스티드 인터리빙 역동작에 상응할 수 있다. 도 87의 좌측은 컨볼루션 디인터리버의 출력 IF를 나타낸다. 도 87의 우측은 트위스티드 블록 디인터리버의 출력 IF를 나타낸다. 구체적은 본 발명의 일 실시예에 따른 트위스티드 디인터리버는 다이아고널 와이즈 리딩 프로세스(diagonal-wise reading process)와 다이아고널 와이즈 라이팅 프로세스(diagonal-wise writing process)를 순차적으로 수행할 수

있다. 결과적으로 트위스티드 블록 디인터리버는 도 64에 도시된 입력 IF와 동일한 IF를 출력할 수 있다.

- [910] 이하, PLP (Physical Layer Pipe) 모드에 따라 컨볼루션 인터리버(Convolution Interleaver, CI)와 블록 인터리버(Block Interleaver, BI)를 선택적으로 사용하거나, 모두 사용하는 타임 인터리버의 구조 및 타임 인터리빙 방법을 설명한다. 본 발명의 일 실시예에 따른 PLP는 상술한 DP와 동일한 개념으로 사용되는 피지컬 패스(physical path)로서, 호칭은 설계자의 의도에 따라 변경 가능하다.
- [911] 본 발명의 일 실시예에 따른 PLP 모드는 방송 신호 송신기 또는 방송 신호 송신 장치에서 처리하는 PLP 개수에 따라 싱글 PLP(single PLP) 모드 또는 멀티플 PLP(multiple PLP)모드를 포함할 수 있다. 싱글 PLP 모드는 방송 신호 송신 장치에서 처리하는 PLP 개수가 하나인 경우를 의미한다. 싱글 PLP 모드는 싱글 PLP로 호칭할 수도 있다.
- [912] 멀티플 PLP모드는 방송 신호 송신 장치에서 처리하는 PLP 개수가 하나 이상인 경우로서, 멀티플 PLP 모드는 멀티플 PLP로 호칭할 수도 있다.
- [913] 본 발명에서는 PLP 모드에 따라 서로 다른 타임 인터리빙 방법을 적용하는 타임 인터리빙을 하이브리드 타임 인터리빙(Hybrid Time Interleaving)이라 호칭할 수 있다. 본 발명의 일 실시예에 따른 하이브리드 타임 인터리빙은 멀티플 PLP 모드의 경우, 각 PLP별로 (혹은 PLP 레벨에서) 적용된다.
- [914] 도 88는 PLP 개수에 따라 적용하는 인터리빙 타입을 표로 도시한 도면이다. 본 발명의 일 실시예에 따른 타임 인터리버는 PLP_NUM의 값을 기반으로 인터리빙 타입(Interleaving type)이 결정될 수 있다. PLP_NUM는 PLP 모드를 나타내는 시그널링 필드(signaling field)이다. PLP_NUM의 값이 1인 경우, PLP 모드는 싱글 PLP이다. 본 발명의 일 실시예에 따른 싱글 PLP는 컨볼루션 인터리버(Convolutional Interleaver, CI)만 적용될 수 있다.
- [915] PLP_NUM의 값이 1보다 큰 경우, PLP 모드는 멀티플 PLP이다. 본 발명의 일 실시예에 따른 멀티플 PLP는 컨볼루션 인터리버(Convolutional Interleaver, CI)와 블록 인터리버(Block Interleaver, BI)가 적용될 수 있다. 이 경우, 컨볼루션 인터리버는 인터 프레임 인터리빙(Inter frame interleaving)을 수행할 수 있으며, 블록 인터리버는 인트라 프레임 인터리빙(Intra frame interleaving)을 수행할 수 있다. 인터 프레임 인터리빙 및 인트라 프레임 인터리빙의 구체적인 내용은 전술한 내용과 동일하다.
- [916] 도 89는 상술한 하이브리드 타임 인터리버 구조의 제 1 실시예를 포함하는 블록도이다. 제 1 실시예에 따른 하이브리드 타임 인터리버는 블록 인터리버(BI)와 컨볼루션 인터리버(CI)를 포함할 수 있다. 본 발명의 타임 인터리버는 BICM 체인(BICM chain) 블록과 프레임 빌더(Frame Builder) 사이에 위치할 수 있다. 도 89 내지 도 90에 도시된 BICM 체인 블록은 도 5에 도시된 BICM 블록의 처리 블록(5000) 중 타임 인터리버(5050)를 제외한 블록들을 포함할 수 있다. 도 89 내지 도 90에 도시된 프레임 빌더는 도 1의 프레임

빌딩(1020)블록의 동일한 역할을 수행할 수 있다.

- [917] 상술한 바와 같이 하이브리드 타임 인터리버 구조의 제 1 실시예에 따른 블록 인터리버는 PLP_NUM 값에 따라 적용 여부가 결정될 수 있다. 즉, PLP_NUM=1인 경우, 블록 인터리버는 적용되지 않고(블록인터리버 오프(off)), 컨볼루션 인터리버만 적용된다. PLP_NUM>1인 경우, 블록 인터리버와 컨볼루션 인터리버가 모두 적용(블록 인터리버 온(on))될 수 있다. PLP_NUM>1인 경우 적용되는 컨볼루션 인터리버의 구조 및 동작은 PLP_NUM=1인 경우 적용되는 컨볼루션 인터리버의 구조 및 동작과 동일하거나 유사할 수 있다.
- [918] 도 90은 상술한 하이브리드 타임 인터리버 구조의 제 2 실시예를 포함하는 블록도이다.
- [919] 하이브리드 타임 인터리버 구조의 제 2 실시예에 포함되는 각 블록의 동작은 도 89에서 설명한 내용과 동일하다. 하이브리드 타임 인터리버 구조의 제 2 실시예에 따른 블록 인터리버는 PLP_NUM 값에 따라 적용 여부가 결정될 수 있다. 제 2 실시예에 따른 하이브리드 타임 인터리버의 각 블록들은 본 발명의 실시예에 따른 동작들을 수행할 수 있다. 이 때, PLP_NUM=1인 경우와 PLP_NUM>1인 경우 적용되는 컨볼루션 인터리버의 구조 및 동작이 서로 다를 수 있다.
- [920] 도 91은 하이브리드 타임 디인터리버의 구조의 제 1 실시예를 포함하는 블록도이다.
- [921] 제 1 실시예에 따른 하이브리드 타임 디인터리버는 상술한 제 1 실시예에 따른 하이브리드 타임 인터리버의 역동작에 상응하는 동작을 수행할 수 있다. 따라서, 도 91의 제 1 실시예에 따른 하이브리드 타임 디인터리버는 컨볼루션 디인터리버(Convolutional deinterleaver, CDI)와 블록 디인터리버(Block deinterleaver, BDI)를 포함할 수 있다.
- [922] PLP_NUM>1인 경우 적용되는 컨볼루션 디인터리버의 구조 및 동작은 PLP_NUM=1인 경우 적용되는 컨볼루션 디인터리버의 구조 및 동작과 동일하거나 유사할 수 있다.
- [923] 하이브리드 타임 디인터리버 구조의 제 1 실시예에 따른 블록 디인터리버는 PLP_NUM 값에 따라 적용 여부가 결정될 수 있다. 즉, PLP_NUM=1인 경우, 블록 디인터리버는 적용되지 않고(블록 디인터리버 오프(off)), 컨볼루션 디인터리버만 적용된다.
- [924] 하이브리드 타임 디인터리버의 컨볼루션 디인터리버는 인터 프레임 디인터리빙(Inter frame deinterleaving)을 수행할 수 있으며, 블록 디인터리버는 인트라 프레임 디인터리빙(Intra frame deinterleaving)을 수행할 수 있다. 인터 프레임 디인터리빙 및 인트라 프레임 디인터리빙의 구체적인 내용은 전술한 내용과 동일하다.
- [925] 도 91 내지 도 92에 도시된 BICM 디코딩(BICM decoding) 블록은 도 89 내지 도 90의 BICM 체인(BICM chain)블록의 역동작을 수행할 수 있다.

- [926] 도 92는 하이브리드 타임 디인터리버의 구조의 제 2 실시예를 포함하는 블록도이다.
- [927] 제 2 실시예에 따른 하이브리드 타임 디인터리버는 상술한 제 2 실시예에 따른 하이브리드 타임 인터리버의 역동작에 상응하는 동작을 수행할 수 있다. 하이브리드 타임 디인터리버 구조의 제 2 실시예에 포함되는 각 블록의 동작은 도 91에서 설명한 내용과 동일할 수 있다.
- [928] 하이브리드 타임 디인터리버 구조의 제 2 실시예에 따른 블록 디인터리버는 PLP_NUM 값에 따라 적용 여부가 결정될 수 있다. 제 2 실시예에 따른 하이브리드 타임 디인터리버의 각 블록들은 본 발명의 실시예에 따른 동작들을 수행할 수 있다. 이 때, PLP_NUM=1인 경우와 PLP_NUM>1인 경우 적용되는 컨볼루션 디인터리버의 구조 및 동작이 서로 다를 수 있다.
- [929] 이하에서는 본 발명의 다른 실시예에 따른 타임 인터리버를 설명한다. 본 발명의 다른 실시예에 따른 타임 인터리버는 PLP 모드에 따라 셀 인터리빙, 블록 인터리빙 및 컨볼루션 인터리빙을 수행할 수 있다. 본 발명의 일 실시예에 따른 인터리버는 타임 인터리버 또는 하이브리드 인터리버라고 호칭될 수 있으며, 셀 인터리버, 블록 인터리버 및 컨볼루션 인터리버를 포함포함 할 수 있다.
- [930] 블록 인터리버 및 컨볼루션 인터리버는 하이브리드 타임 인터리버로 호칭될 수 있다. 이하에서 설명하는 하이브리드 타임 인터리버는 도 88 내지 도 92에서 설명한 하이브리드 타임 인터리버의 다른 실시예로서 PLP 모드에 따라 동작할 수 있다.
- [931] 각 장치의 호칭 및 위치 등은 설계자의 의도에 따라 변경 가능하다.
- [932] 도 93은 본 발명의 일 실시예에 따른 인터리버 구조를 나타내는 도면이다. 본 발명의 일 실시예에 따른 인터리버는 도면에 도시된 바와 같이 셀 인터리버(Cell interlaver)와 하이브리드 타임 인터리버를 포함할 수 있다. 본 발명의 일 실시예에 따른 인터리버는 셀 인터리버, 하이브리드 타임 인터리버 이외에 기타 다른 인터리버(other interleaver)를 더 포함할 수 있다. 기타 인터리버는 설계자의 의도에 따라 다양한 방식의 인터리빙을 수행할 수 있다.
- [933] 또한, 본 발명에서 멀티플 PLP는 M-PLP 또는 PLP_NUM>1로 표현될 수 있으며, 싱글 PLP는 S-PLP 또는 PLP_NUM=1로 표현될 수 있다. PLP 모드에 대한 정보는 신호 프레임 내에서 PLP_NUM 시그널링 필드를 통해 전송되며, PLP_NUM 값은 셀 인터리버 및/또는 하이브리드 타임 인터리버 이후에 위치하는 멀티플렉서에 입력될 수 있다.
- [934] 본 발명의 일 실시예에 따른 PLP_NUM은 신호 프레임 내의 프리앰블 또는 프리앰블 심볼에 포함될 수 있다. 본 발명의 일 실시예에 따른 프리앰블 또는 프리앰블 심볼은 L1 시그널링 필드를 포함할 수 있으며, 상술한 PLP_NUM 필드는 L1 시그널링 필드에 포함될 수 있다. PLP_NUM 필드는 도 14 내지 도 15에서 설명한 NUM_DP 필드와 동일한 개념으로, 호칭은 설계자의 의도에 따라

변경될 수 있다.

- [935] 본 발명의 일 실시예에 따른 셀 인터리버는 PLP 모드에 따라 동작할 수 있으며, 셀 인터리버에 대응하는 수신부의 셀 디인터리버는 메모리없이 동작할 수 있다. 본 발명의 일 실시예에 따른 셀 인터리버는 모디파이드 셀 인터리버(modified)로 호칭할 수 있다. 구체적으로 본 발명의 일 실시예에 따른 셀 인터리버는 PLP 모드에 따라 생략되거나 본 발명의 일 실시예에 따른 셀 인터리버의 동작은 PLP 모드에 따라 변경될 수 있다. 셀 인터리버의 구체적인 동작 과정은 후술한다.
- [936] 셀 인터리빙 이후, 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 PLP 모드에 따른 하이브리드 타임 인터리빙을 수행할 수 있다. 구체적으로, PLP 모드가 멀티플 PLP인 경우, 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 트위스티드 블록 인터리빙 및 컨볼루셔널 인터리빙을 수행할 수 있다. 이 경우 컨볼루션 인터리빙은 DVB-NGH 시스템과 같은 종래 방식의 컨볼루션 인터리빙이 될 수 있으며, 이를 NGH-CI라 호칭할 수 있다. 컨볼루션 인터리빙 방식은 설계자의 의도에 따라 변경가능하다.
- [937] PLP 모드가 싱글 PLP인 경우, 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 트위스티드 블록 인터리빙을 수행하지 않고 임의의 컨볼루션 인터리빙만을 수행할 수 있다. 임의의 컨볼루션 인터리빙은 상술한 컨벤셔널 컨볼루션 인터리빙(conventional CI) 또는 NGH-CI가 아닌 컨볼루션 인터리버를 의미할 수 있으며, 이는 설계자의 의도에 따라 변경가능한 사항이다.
- [938] 도면에 도시된 바와 같이 PLP 모드가 멀티플 PLP인 경우, 하이브리드 타임 인터리버는 트위스티드 블록 인터리버와 컨볼루셔널 인터리버를 포함할 수 있다. 이 경우, 트위스티드 블록 인터리버의 상태는 온 (on)으로 표현될 수 있다.
- [939] PLP 모드가 싱글 PLP인 경우, 하이브리드 타임 인터리버는 컨볼루셔널 인터리버만을 포함할 수 있다. 따라서 트위스티드 블록 인터리버의 상태는 오프 (off)로 표현될 수 있다.
- [940] 본 발명의 일 실시예에 따른 블록 인터리버의 상태는 상술한 PLP_NUM 필드를 기반으로 변경될 수 있다.
- [941] 도 94는 PLP 모드가 M-PLP인 경우, 본 발명의 일 실시예에 따른 인터리버의 구조를 나타낸 도면이다.
- [942] 구체적으로 도 94는 M-PLP인 경우, 인터리버의 메모리 구조를 나타낸 도면이다. 인터리버의 구조 및 순서는 도 93에서 설명한 내용과 동일하므로 생략한다.
- [943] 도 94에 도시된 바와 같이 본 발명의 일 실시예에 따른 타임 인터리버에 포함되는 셀 인터리버와 하이브리드 타임 인터리버에 포함되는 트위스티드 블록 인터리버는 더블 메모리(double memory)를 기반으로 동작할 수 있다. 구체적으로 더블 메모리는 메모리 뱅크 A와 메모리 뱅크 B를 포함하며, 메모리 뱅크 A로 TI 블록들이 순차적으로 입력 및 라이트(write 또는 writing)되고, 메모리 뱅크 B에서 리드 아웃(read out) 된다

- [944] 프레임 생성(frame building)처리 과정에 앞서, 인터리버는 각 PLP 처리에 있어 버퍼(buffer)와 같은 역할을 수행할 수 있다. 이는 멀티플 PLP로 구성된 신호 프레임을 생성하기 위함이다. 도 94에 도시된 트위스티드 블록 인터리버(TBI)와 컨볼루션 인터리버(CI)의 메모리가 상술한 버퍼의 동작을 수행할 수 있다. 각 PLP에 대해, 제 1 TI 블록은 TBI의 제 1 메모리에 라이팅(writing) 될 수 있다. 이후, 제 2 TI 블록은 TBI의 제 2 메모리에 라이팅(writing) 될 수 있으며, 동시에 TBI의 제 1 메모리는 제 1 TI 블록에 대해 리딩 동작을 수행할 수 있다. 동시에, 제 1 메모리로부터 리딩 아웃(read out)된 TI 블록(인트라 프레임 인터리빙 TI 블록)은 CI의 메모리로 전송된다. 상술한 TI 블록의 전송은 선입선출(FIFO, first-in-first-out) 쉬프트 레지스터 프로세스(process) 등과 같은 방법을 기반으로 수행될 수 있다. 인트라 프레임 인터리빙 동작은 TBI에 의해 동작될 수 있다. 반면, 인터 프레임 인터리빙 동작은 TBI와 CI가 함께 수행될 수 있다. 트위스티드 블록의 총 메모리, 컨볼루션 인터리버 그리고 셀 인터리버는 PLP에 할당된(allocated) 총 메모리를 초과하지 않는다. 또한, 각 TI 블록(그룹)의 총 메모리는 최대 메모리 크기를 초과하지 않는다. 최대 메모리의 크기는 설계자의 의도에 따라 변경 가능하다.
- [945] 만약, 타임 인터리버 이후에 셀 인터리버가 위치하면, 수신단에서는 송신단의 역과정으로서, 셀 디인터리버 이후에 타임 디인터리버가 위치할 수 있다. 이 경우, 본 발명의 일 실시예에 따른 프레임 빌더(Frame Builder, 1020) 또는 프레임 파서(Frame Parser, 9010)는 TI block (또는 인터리빙 프레임, 인터리빙 유닛) 단위 기반으로 프레임 빌딩 또는 프레임 파싱 동작을 수행할 수 있다. 이후, 본 발명의 일 실시예에 따른 셀 디인터리버는 셀(cell) 단위 기반으로 셀 인터리빙을 수행하고, 타임 디인터리버는 TI block (또는 인터리빙 프레임, 인터리빙 유닛) 단위 기반으로 타임 인터리빙을 처리할 수 있다. 이 때, 데이터의 처리 단위가 TI block (또는 인터리빙 프레임, 인터리빙 유닛)에서 셀(cell) 단위로, 다시 셀 단위가 TI block (또는 인터리빙 프레임, 인터리빙 유닛)으로 변경됨에 따른 추가적인 매핑 정보가 필요할 수 있다. 추가적인 매핑 정보는 L1 시그널링 필드를 통해 전송 될 수 있다. 이에 따라 L1 시그널링 정보의 양이 증가할 수 있고, 수신단의 데이터 처리의 복잡도 역시 증가할 수 있다. 따라서 본 발명의 일 실시예에 따른 인터리버와 같이, 셀 인터리버가 타임 인터리버 이전에 위치하는 경우, 방송 신호 수신 장치의 디인터리빙 과정에서 추가적인 매핑 정보가 필요하지 않으므로 발생 가능한 복잡도를 감소시킬 수 있는 장점이 있다.
- [946] 도 95는 도 93 내지 도 94에서 설명한 인터리버의 동작에 상응하는 디인터리버의 구조를 나타낸 도면이다. 본 발명의 일 실시예에 따른 디인터리버의 동작은 상술한 인터리버 동작의 역순으로 수행될 수 있다. 따라서 본 발명의 일 실시예에 따른 디인터리버는 하이브리드 타임 디인터리빙, 기타 디인터리빙 및 셀 디인터리빙을 수행할 수 있다. 이 경우, 인터리버와 마찬가지로 PLP_NUM 값은 하이브리드 타임 디인터리버 이전에 위치하는

멀티플렉서 및/또는 셀 디인터리버에 입력될 수 있다.

- [947] 또한, PLP_NUM 필드가 지시하는 PLP 모드에 따라 본 발명의 일 실시예에 따라 하이브리드 타임 디인터리버는 컨볼루셔널 디인터리빙을 수행한 뒤, (트위스티드) 블록 디인터리빙을 수행하거나(트위스티드 블록 디인터리버 온(On)), 수행하지 않을 수 있다(트위스티드 블록 디인터리버 오프(Off)).
- [948] 도 93에 언급한 바와 같이 본 발명의 일 실시예에 따른 PLP_NUM은 신호 프레임 내의 프리앰블 또는 프리앰블 심볼에 포함될 수 있다. 본 발명의 일 실시예에 따른 프리앰블 또는 프리앰블 심볼은 L1 시그널링 필드를 포함할 수 있으며, 상술한 PLP_NUM 필드는 L1 시그널링 필드에 포함될 수 있다. 따라서, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 L1 시그널링 필드가 포함하는 PLP_NUM 필드 값을 획득하여 타임 디인터리빙을 수행할 수 있다.
- [949] 이하에서는 본 발명의 일 실시예에 따른 셀 인터리버(cell interleaver) 또는 모디파이드 셀 인터리버(modified cell interleaver) 상세 동작을 설명한다.
- [950] 도 96은 셀 인터리버의 리딩-라이팅(reading-writing) 동작 과정을 나타낸 수학적식이다. 본 발명의 일 실시예에 따른 수학적식의 구체적인 설명은 도면에 기재된 바와 동일하다. 본 발명의 일 실시예에 따른 퍼뮤테이션 평선 $Lr(q)$ (permutation function or random generator)는 임의의 PRBS(Pseudorandom binary sequence) 일 수 있다. 또한 본 발명의 일 실시예에 따른 임의의 PRBS는 DVB-T2 (또는 DVB-NGH)의 셀 인터리버 또는 프리퀀시 인터리버 동작 시 사용되는 PRBS(Pseudorandom binary sequence)를 포함할 수 있다.
- [951] 본 발명의 일 실시예에 따른 퍼뮤테이션 평선은 인터리빙 시퀀스로 호칭할 수 있다.
- [952] 도 97은 본 발명의 일 실시예에 따른 셀 인터리버에 적용될 수 있는 쉬프트 밸류(shift value)와 이에 따른 인터리빙 시퀀스를 수학적식으로 나타낸 도면이다. 본 발명의 일 실시예에 따른 셀 인터리버에 적용될 수 있는 쉬프트 밸류는 PLP 모드에 따라 달라질 수 있다. S-PLP인 경우, 쉬프트 밸류는 $P(0)$ 으로 고정값(fixed value)을 가질 수 있다. 또는 S-PLP인 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 셀 인터리버 동작을 생략하고 타임 인터리버 동작만 수행할 수도 있다. 반면, M-PLP인 경우, 쉬프트 밸류는 $P(r)$ 로 r 값에 따라 가변하는 값(variable value)을 가질 수 있다.
- [953] $Lr(q)$ 는 퍼뮤테이션 평선(permutation function) 또는 인터리빙 시퀀스(interleaving sequence)를 지시한다. $L0(q)$ 는 베이직 퍼뮤테이션 평선을 의미한다.
- [954] 따라서, 쉬프트 밸류가 고정값인지 가변하는 값인지에 따라 퍼뮤테이션 평선도 각각 고정 또는 가변할 수 있다.
- [955] 본 발명의 일 실시예에 따른 셀 인터리버 이후의 블록 인터리버는 트위스티드 블록 인터리버 또는 임의의 블록 인터리버일 수 있다. 이하 도 98 내지 도 103에서는 본 발명의 일 실시예에 따른 트위스티드 블록 인터리버의 동작을 설명한다. 본 발명의 일 실시예에 따른 블록 인터리버는 전술한 바와 같이 셀

인터리버 이후에 동작할 수 있다.

- [956] 도 98은 VBR(variable bit rate) 시스템인 경우 트위스티드 리딩(twisted reading) 동작에 필요한 관련 파라미터(parameter) 정의 및 버추얼 FEC 블록(virtual FEC block)을 나타낸 도면이다.
- [957] 도면의 좌측은 버추얼 맥시멈 FEC 블록들의 개수와 TI 블록(또는 IF)에 포함된 액추얼(actual) 맥시멈 FEC 블록들의 개수 및 맥시멈 FEC 블록들의 개수와 액추얼(actual) FEC 블록들의 개수간의 차이를 나타낸 파라미터 및 버추얼(virtual) 맥시멈 FEC 블록들의 개수를 도출하기 위한 수학적식을 나타낸다.
- [958] 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 TI 그룹들에 대한 인터리빙을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 타임 인터리버는 리딩(reading) 동작에서 버추얼 (virtual) FEC 블록들에 해당되는 메모리-인덱스 (memory-index)가 발생하는 경우 상술한 스킵 오퍼레이션을 수행할 수 있다. 이후 라이팅 (writing) 동작 시, 입력된 TI 그룹의 FEC 블록들의 개수와 리딩 (reading)시 출력 TI 그룹의 FEC 블록들의 개수를 일치 시킨다. 결과적으로, 본 발명의 일 실시예에 따른 타임 인터리빙에 따르면, 수신기에서 효율적인 싱글-메모리 디인터리빙(single-memory deinterleaving)을 수행하기 위하여 버추얼 (virtual) FEC 블록을 삽입하더라도 스킵 오퍼레이션을 통해 실제 전송되는 데이터-레이트의 손실은 발생하지 않을 수 있다.
- [959] 버추얼 맥시멈 FEC 블록 개수는 액추얼 맥시멈 FEC 블록의 개수에 따라 결정되며, 액추얼 맥시멈 FEC 블록의 개수는 시그널링에 의해 정해진 값을 갖는다.
- [960] 액추얼 맥시멈 FEC 블록의 개수 는 설계자의 의도에 따라 L1 시그널링 (또는 L1 dynamic 필드) 을 통해 전송되거나, 송신기에서 정해진 값 (known data) 으로 지정될 수 있다.
- [961] 도면의 우측은 TI 그룹 내에 버추얼 (virtual) FEC 블록들이 삽입된 실시예를 나타낸다. 이 경우 상술한 바와 같이 버추얼 (virtual) FEC 블록들은 액추얼(actual) FEC 블록의 앞에 삽입될 수 있다.
- [962] 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록의 삽입 위치는 설계자의 의도에 따라 액추얼(actual) FEC 블록의 앞에 삽입되거나 액추얼(actual) FEC 블록들의 사이에 삽입될 수 있다.
- [963] 액추얼 맥시멈 FEC 블록은 실제 맥시멈 FEC 블록이라 호칭할 수 있다.
- [964] 도 99는 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.
- [965] 도면에 도시된 수학적식은 각 TI 블록 단위로 적용되는 트위스티드 블록 인터리빙을 나타낸다. 수학적식에 도시된 바와 같이, 시프트 밸류는 TI 블록에 포함된 버추얼 맥시멈 FEC 블록 개수를 기반으로 계산될 수 있다.
- [966] 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버 동작에 사용되는

파라미터들은 수퍼 프레임 내에서 버추얼 맥시멈 FEC 블록 개수를 갖는 TI 블록을 기준으로 결정된다.

- [967] 결정된 버추얼 맥시멈 FEC 블록을 가장 많이 포함하고 있는 TI 블록의 FEC 블록 개수보다 적은 FEC 블록을 갖는 TI 블록이 있을 수 있다. 이 경우, 부족한 FEC 블록의 개수에 해당하는 버추얼 (virtual) FEC 블록들을 해당 TI 블록에 추가할 수 있다.
- [968] 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들은 실제 FEC 블록들 앞에 삽입될 수 있다. 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 하나의 트위스티드 로-컬럼 블록 인터리빙 룰(twisted row-column block interleaving rule)을 이용하여 TI 그룹들에 대한 인터리빙을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 리딩(reading) 동작에서 버추얼 (virtual) FEC 블록들에 해당되는 메모리-인덱스 (memory-index)가 발생하는 경우 상술한 스킵 오퍼레이션을 수행할 수 있다. 이후 라이팅 (writing) 동작 시, 입력된 TI 그룹의 FEC 블록들의 개수와 리딩 (reading)시 출력 TI 그룹의 FEC 블록들의 개수를 일치 시킨다. 결과적으로, 본 발명의 일 실시예에 따른 타임 인터리빙에 따르면, 수신기에서 효율적인 싱글-메모리 디인터리빙(single-memory deinterleaving)을 수행하기 위하여 버추얼 (virtual) FEC 블록을 삽입하더라도 스킵 오퍼레이션을 통해 실제 전송되는 데이터-레이트의 손실은 발생하지 않을 수 있다.
- [969] 도 100 은 VBR(variable bit rate) 시스템이며 쉬프트 벨류(shift value, ST)가 1로 고정된 경우, 트위스티드 리딩(twisted reading) 동작에 필요한 관련 파라미터(parameter) 정의 및 버추얼 FEC 블록(virtual FEC block)을 나타낸 도면이다.
- [970] 도면의 우측은 TI 그룹 내에 버추얼 (virtual) FEC 블록들이 삽입된 실시예는 도 98과 동일하다. 쉬프트 벨류가 1로 고정된 경우, 버추얼 맥시멈 FEC 블록의 개수($N'_{FEC_TI_max}$)는 필요하지 않다.
- [971] 도 101은 쉬프트 벨류(ST)가 1로 고정된 경우, 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다.
- [972] 쉬프트 벨류가 1로 고정된 경우, 버추얼 맥시멈 FEC 블록의 개수($N'_{FEC_TI_max}$)는 필요하지 않다. 따라서 쉬프트 벨류(ST)가 1로 고정된 경우, 본 발명의 일 실시예에 따른 트위스티드 리딩 (twisted reading)은 액추얼 FEC 블록의 개수(N_{FEC_TI})를 기반으로 동작함을 알 수 있다.
- [973] 상술한 바와 같이 도면에 표시된 스킵 오퍼레이션은 트위스티드 리딩(twisted reading) 동작에서 버추얼 (virtual) FEC 블록들을 스킵하는 역할을 수행할 수 있다.
- [974] 도 102는 쉬프트 벨류(ST)에 따른 본 발명의 일 실시예에 따른 트위스티드 리딩 (twisted reading) 동작을 나타낸다.

- [975] 구체적으로 도 102는 $NFEC_TI_max=2$, $NFEC_TI=2$, $Ncells=6$ 인 경우, 본 발명의 일 실시예에 따른 트위스티드 리딩(*twisted reading*) 동작을 나타내는 도면이다. 도 102의 상단에는 트위스티드 리딩 동작에 필요한 파라미터들의 값과 쉬프트 밸류들을 도시한다.
- [976] 도 102의 중단은 쉬프트 밸류가 2인 경우($ST=2$)의 트위스티드 리딩 동작을 구체적으로 도시한 도면이다. 도 98 내지 도 99에서 설명한 트위스티드 리딩 동작에 필요한 파라미터 및 수학적식을 기반으로 한다.
- [977] 도 102의 하단은 쉬프트 밸류가 1인 경우($ST=1$)의 트위스티드 리딩 동작을 구체적으로 도시한 도면이다. 도 100 내지 도 101에서 설명한 트위스티드 리딩 동작에 필요한 파라미터 및 수학적식을 기반으로 한다.
- [978] 도 102가 도시하는 트위스티드 리딩 동작은 도 77에서 상술한 트위스티드 블록인터리빙 동작의 다른 실시예일 수 있다. 도면에 도시된 바와 같이 본 발명의 일 실시예에 따른 트위스티드 리딩 동작은 해당 TI 블록에 대해 쉬프트 밸류에 따라 로우(*row*) 방향으로 스킵(*skip*)할 수 있고, 이후, 대각선 컬럼 방향으로 리딩될 수 있다.
- [979] 도 103은 기존의 블록 인터리버의 리딩 동작을 나타내는 실시예이다. 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 상술한 바와 같이 트위스티드 블록 인터리빙 이외에도 다른 방식을 사용하는 블록 인터리빙을 수행할 수 있다. 여기서 다른 방식이란, 기존의 알려진 블록 인터리빙 방식을 포함할 수 있다.
- [980] 이하에서는, 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버에 포함되는 컨볼루션 인터리버의 동작에 대하여 설명한다. 이하에서 설명하는 컨볼루션 인터리버의 동작은 멀티플 PLP에 대하여 트위스티드 블록 인터리버 또는 블록 인터리버의 동작 이후에 동작하는 경우에 해당한다.
- [981] 도 104는 본 발명의 일 실시예에 따른 컨볼루션 인터리버의 동작에 필요한 파라미터들을 나타낸다. 본 발명의 일 실시예에 따른 컨볼루션 인터리버는 DVB-NGH 표준에 기재된 컨볼루션 인터리버일 수 있다. 이하, 명세서 및 도면에서 NGH-CI라 호칭할 수 있다. 본 발명의 일 실시예에 따른 컨볼루션 인터리버는 인터리빙 유닛을 기반으로 동작할 수 있다. 이 경우, 각 TI 블록 또는 IF는 인터리빙 유닛(*Interleaving Unit*)으로 분할되어 컨볼루션 인터리버에 입력될 수 있다.
- [982] 본 발명의 일 실시예에 인터리빙 프레임(*Interleaving frame*, IF)은 일정한 개수의 FEC 블록을 포함하는 컨스탄트 비트 레이트(*Constant bit rate*, CBR) 시스템뿐만 아니라 인터리빙 프레임 내의 FEC 블록의 개수가 변하는 베리어블 비트 레이트(*Variable bit rate*, VBR) 시스템에도 적용될 수 있다. 따라서 인터리빙 프레임으로부터 분할된 인터리빙 유닛은 하나 이상의 FEC 블록을 포함할 수 있고, 설계자의 의도에 따라 하나의 인터리빙 유닛에 포함되는 FEC 블록의 개수는 변경 가능하다.
- [983] 도면에 기재된 각 파라미터가 지시하는 정보를 설명한다.

- [984] NFEC_TI_max는 상술한 바와 같이 하나의 TI 블록에 포함될 수 있는 최대 FEC 블록의 개수를 지시하는 파라미터이다. NIU는 인터리빙 유닛들(IUs)의 개수를 지시하는 파라미터이다. LIU는 IU의 로우 사이즈(row size)(또는 IU 길이(length))를 지시하는 파라미터이다. LIU_min은 IU 길이, 즉, LIU의 최소 길이를 지시하는 파라미터이다.
- [985] 도 104의 하단은 하나의 IU의 크기를 도식화하여 나타낸 그림이다. 도시된 바와같이 IU의 가로 길이는 NFEC_TI_max이며, 세로 길이는 LIU이다.
- [986] 도 105는 본 발명의 일 실시예에 따른 NGH-CI의 구조를 나타낸다. 본 발명의 일 실시예에 따른 NGH-CI는 셀 인터리버, 블록 인터리버(트위스티드 블록 인터리버 또는 임의의 블록 인터리버) 이후에 위치할 수 있다.
- [987] 본 발명의 일 실시예에 따른 NGH-CI는 NIU개의 브랜치(branch)를 포함할 수 있다. 각 브랜치를 기반으로 IF(또는 TI 블록)의 콘텐츠(또는 데이터)를 개별적으로 처리할 수 있다.
- [988] M-PLP를 위한 HTI(Hybrid Time Interleaver)는 인터 프레임 인터리빙을 수행하기 위해, 컨볼루션 인터리버는 FEC 블록들을 복수의 방송 신호 프레임에 분산(spread) 시킬 수 있다. 상술한 컨볼루션 인터리버의 구체적인 도 105에 도시된 바와 같다. NIU개의 브랜치(branches)들로 구성된 딜레이 라인(delay line)은 TI 블록을 NIU개의 인터리빙 유닛으로 쪼개고, 복수의 방송 신호 프레임에 분산시킬 수 있다. 이후, 각 브랜치는 FIFO 레지스터의 시퀀스(sequence)에 연결되어 딜레이 엘리먼트(delay elements)로써 동작할 수 있다. FIFO 레지스터가 최대 저장할 수 있는 MU의 개수를 $M_{i,j}$ 로 나타낼 수 있다. 가장 상단의 브랜치는 FIFO 레지스터를 포함하지 않을 수 있다. 하단의 브랜치로 내려올 수록 추가 FIFO 레지스터를 더 포함할 수 있다.
- [989] FIFO 레지스터의 크기는 다음과 같은 방법으로 구할 수 있다.
- [990] $LIU = \text{floor}(N_r / NIU)$ 라고 정의한다. 여기서 $\text{floor}(x)$ 는 x 이하의 정수 중 가장 큰 정수를 의미한다. 첫 번째 $N_{\text{large}} = N_r \bmod NIU$ 딜레이 브랜치에 연결된 FIFO 레지스터들은 $M_{i,j} = (LIU + 1) \cdot NFEC_TI_MAX$ 개의 MU를 포함할 수 있다. 여기서 mod는 모듈로(modulo)연산을 의미한다.
- [991] 다음 $N_{\text{small}} = NIU - N_{\text{large}}$ 딜레이 브랜치에 연결된 FIFO 레지스터들은 $M_{i,j} = LIU \cdot NFEC_TI_MAX$ 개의 MU를 포함할 수 있다.
- [992] N_r 이 NIU의 정수 배일 때, (즉, 상술한 식에 따를 때 $N_{\text{large}} = 0$ 를 의미할 수 있다.) 모든 FIFO 레지스터들은 정확히 $LIU \cdot NFEC_TI_MAX$ 개의 MU를 포함하는 것을 알 수 있다. 블록 인터리버의 컬럼의 개수는 $NFEC_TI(n,s)$ 로 나타낼 수 있으며, TI 블록마다 변경될 수 있다.
- [993] TBI와 CI에 연결된 스위치 s_0 과 s_1 은 $NFEC_TI_MAX$ 개의 MU를 각 브랜치에 통과 시키면서 상위 브랜치부터 하위 브랜치까지 차례로 연결될 수 있다. 마지막 브랜치(또는 최하위 브랜치)까지 이동하여 연결된 스위치는 다시 첫 번째 브랜치로 이동하여 연결될 수 있다. $NFEC_TI(n,s) < NFEC_TI_MAX$ 인 경우,

버추얼 MU는 HTI, TBI, CI의 아웃풋으로 라이팅되지 않을 수 있다. 버추얼 MU는 TBI로부터 CI를 거쳐 라이팅될 수 있다.

- [994] NFEC_TI_MAX는 블록 인터리버의 맥시멈 컬럼(column)의 개수를 나타낸다. 반면, 스위치 s0과 s1은 매 행(row)마다 포지션(position)을 변경하며 블록 인터리버로부터 리딩 동작을 수행할 수 있다.
- [995] TBI는 프레임의 IJUMP의 정수배 출력 셀들로 구성될 수 있다. 이 경우, TI 블록은 $(PI-1) \times IJUMP + 1$ 개의 방송 신호 프레임에 분산될 수 있다.
- [996] 만약 인터 프레임 인터리빙이 사용되지 않는 경우, TBI 많이 사용될 수 있다. 이 경우, TBI는 NFEC_TI_MAX 개의 컬럼(columns)과 Nr 개의 로우(row)를 기반으로 동작할 수 있다.
- [997] 인터리빙 프레임이 포함하는 하나 이상의 TI 블록($NTI > 1$)에 대하여 TBI는 각 방송 신호 프레임에 대해 여러 차례 순차적으로 적용될 수 있다. 이 경우, TI 블록 인덱스 s는 항상 0이다.
- [998] NGH-CI는 NGH 표준에 기재된 내용을 기반으로 동작할 수 있다.
- [999] 이하에서는 본 발명의 일 실시예에 따른 디인터리버의 동작을 설명한다. 본 발명의 일 실시예에 따른 디인터리버는 셀 디인터리버(또는 모디파이 셀 디인터리버) 및 타임 디인터리버를 포함할 수 있다. 본 발명의 일 실시예에 따른 디인터리버의 구조는 도 95에 도시된 바와 동일할 수 있다. 따라서, 본 발명의 일 실시예에 따른 디인터리버는 도 96 내지 도 105에서 설명한 본 발명의 일 실시예에 따른 인터리버 동작의 역순으로 동작할 수 있다. 본 발명의 일 실시예에 따른 방송 수신 장치의 셀 디인터리버는 추가적인 버퍼(additional buffer) 또는 추가적인 메모리(additional memory) 없이 동작할 수 있다. 이는 본 발명의 일 실시예에 따른 방송 신호 송신 장치의 트위스티드 블록 인터리버에서 수행된 트위스티드 라이팅(twisted writing) 동작으로 인한 효과이다.
- [1000] 본 발명의 일 실시예에 따른 디인터리버의 구체적인 동작은 도 95에서 설명한 바와 동일하다.
- [1001] 도 106은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다. 구체적으로 도 106은 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(twisted reading) 동작을 나타내는 수학적식이다. 도 106의 수학적식은 도 99에서 설명한 트위스티드 블록 인터리버의 트위스티드 리딩 동작을 나타내는 수학적식에 대응된다. 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(twisted reading) 동작에 사용되는 쉬프트 밸류(SR)는 도 106의 하단에 기재된 수학적식을 기반으로 계산될 수 있다.
- [1002] 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버는 싱글 메모리 디인터리빙(single-memory deinterleaving)을 수행할 수 있다.
- [1003] 도 107은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다. 구체적으로 도 107은

쉬프트 밸류(SR)이 1로 고정된 경우, 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(twisted reading) 동작을 나타내는 수학적식이다. 도 107의 수학적식은 도 101에서 설명한 트위스티드 블록 인터리버의 트위스티드 리딩 동작을 나타내는 수학적식에 대응된다. 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(twisted reading) 동작에 사용되는 쉬프트 밸류(SR)는 도 107의 하단에 기재된 수학적식을 기반으로 계산될 수 있다.

- [1004] 마찬가지로 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버는 싱글 메모리 디인터리빙(single-memory deinterleaving)을 수행할 수 있다.
- [1005] 도 108은 본 발명의 일 실시예에 따른 NGH-CDI의 구조를 나타낸다. 본 발명의 일 실시예에 따른 NGH-CDI(Convolutional deinterleaver)는 도 105에서 설명한 NGH-CI 동작의 역순으로 동작할 수 있다. 본 발명의 일 실시예에 따른 NGH-CDI는 NIU개의 브랜치(branch)를 포함할 수 있다. 각 브랜치를 기반으로 IF(또는 TI 블록)의 콘텐츠(또는 데이터)를 개별적으로 처리할 수 있다. NGH-CDI는 NGH 표준에 기재된 내용을 기반으로 동작할 수 있으므로, 구체적인 내용은 생략한다.
- [1006] 이하 도 109 내지 도 112에서는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버/하이브리드 타임 디인터리버의 구체적인 동작을 설명한다. 도 109 내지 도 112의 하이브리드 타임 인터리버/하이브리드 타임 디인터리버의 동작은 동일한 파라미터 값을 기반으로 동작하는 일 실시예를 나타낸다.
- [1007] 도 109는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다. 구체적으로 도 109는 트위스티드 블록 인터리버와 NGH-CI를 포함하는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버 동작을 나타낸다.
- [1008] 구체적으로 도 109의 상단은 하이브리드 타임 인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 구체적인 파라미터의 값은 도 109의 상단에 기재된 바와 동일하다.
- [1009] 도 109의 하단은 제 1 TI 블록(또는 제 1 IF)가 입력된 경우, 하이브리드 타임 인터리버 동작을 나타낸다. 도 109의 하단의 하이브리드 타임 인터리버는 도 109의 상단에 기재된 파라미터 값을 기반으로 동작한다. 도 109의 하단에 도시된 하이브리드 타임 인터리버의 동작은 쉬프트 밸류(ST)값이 가변(variable)하는 경우를 가정한다. 트위스티드 블록 인터리버에 입력된 제 1 TI 블록은 트위스티드 블록 인터리빙 처리된 후, 트위스티드 BI 아웃풋 셀들(Twisted BI output cells)로 출력된다. 쉬프트 밸류(ST)값이 2를 적용하여 출력한 트위스티드 BI 아웃풋 셀들(Twisted BI output cells)은 도시된 바와 같다. 이후, 트위스티드 BI 아웃풋 셀들은 NGH-CI로 입력된다. NGH-CI의 동작은 상술한 바와 같이 NGH 표준에 기재된 내용과 동일하므로 생략한다. 도 109의 하단은 NGH-CI 아웃풋 셀들(NGH-CI output cells)과 NGH-CI 메모리 스테이터스(NGH-CI memory

status)를 나타낸다.

- [1010] 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버는 쉬프트 벨류(ST)값이 1로 고정(fixed)된 경우에도 도 109의 하단과 동일하게 동작할 수 있다. 또한 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버가 노멀 블록 인터리버(normal BI)를 포함하는 경우에도 유사하게 동작할 수 있다.
- [1011] 도 110은 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다. 구체적으로 도 110의 상단은 하이브리드 타임 인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 구체적인 파라미터의 값은 도 109의 상단에 기재된 바와 동일하다.
- [1012] 구체적으로 도 110의 하단은 제 2 TI 블록(또는 제 2 IF)가 입력된 경우, 하이브리드 타임 인터리버 동작을 나타낸다. 구체적인 동작은 도 109에 기재된 내용과 동일하며, NGH-CI 아웃풋 셀들(NGH-CI output cells)이 제 1 TI 블록 중 NGH-CI 메모리에 저장된 셀들을 포함하고 있음을 알 수 있다.
- [1013] 도 111은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다. 구체적으로 도 111의 상단은 하이브리드 타임 디인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 도 109의 상단에 기재된 바와 동일하다.
- [1014] 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버는 하이브리드 타임 인터리버 동작의 역순에 따라 동작할 수 있다.
- [1015] 도 111의 하단은 제 1 TI 블록(또는 제 1 IF)가 입력된 경우, 하이브리드 타임 디인터리버 동작을 나타낸다. 도 111의 하단에 도시된 바와 같이 제 1 NGH-CDI 인풋 셀들(NGH-CDI input cells)은 도 109의 NGH-CI 아웃풋 셀들과 동일하다.
- [1016] NGH-CDI와 트위스티드 BDI (Block deinterleaver)의 구체적인 동작 과정은 도 111의 하단에 도시된 바와 같다.
- [1017] 도 112는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다. 구체적으로 도 112의 상단은 하이브리드 타임 디인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 구체적인 파라미터의 값은 도 109의 상단에 기재된 바와 같다.
- [1018] 도 111의 하단에 도시된 바와 같이 제 2 NGH-CDI 인풋 셀들(NGH-CDI input cells)은 도 110의 NGH-CI 아웃풋 셀들과 동일하다.
- [1019] NGH-CDI와 트위스티드 BDI의 구체적인 동작 과정은 도 112의 하단에 도시된 바와 같다.
- [1020] 전술한 도면들에서 설명한 NGH-CI는 컨볼루셔널 딜레이 라인(Convolutional Delay-line)으로 칭할 수 있다. 아래에서는 컨볼루셔널 딜레이 라인(Convolutional Delay-line)에 대해 설명하도록 한다. 또한 컨볼루셔널 딜레이 라인(Convolutional Delay-line)은 본 명세서에서 컨볼루셔널 인터리버로 칭할 수 있다. 여기서 컨볼루셔널 딜레이 라인(Convolutional Delay-line)을 지칭하는 컨볼루셔널 인터리버는 아래에서 설명할 S-PLP 모드에서 사용되는 컨볼루셔널 인터리버와

구분되는 다른 컨볼루셔널 인터리버일 수 있다. 또한 전술한 도면들에서 설명한 NGH-CDI는 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 역처리(inverse processing)으로 칭할 수 있다. 아래에서는 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 역처리(inverse processing)에 대해 설명하도록 한다.

[1021]

[1022] 이하에서는 본 발명의 다른 실시예에 따른 타임 인터리버를 설명한다. 본 발명의 다른 실시예에 따른 타임 인터리버는 PLP 모드에 따라 셀 인터리빙, 블록 인터리빙 및 컨볼루셔널 딜레이 라인을 수행할 수 있다. 본 발명의 일 실시예에 따른 인터리버는 타임 인터리버 또는 하이브리드 인터리버라고 호칭될 수 있으며, 셀 인터리버, 블록 인터리버 및 컨볼루셔널 딜레이 라인을 포함 할 수 있다.

[1023] 블록 인터리버 및 컨볼루셔널 딜레이 라인은 하이브리드 타임 인터리버로 호칭될 수 있다. 이하에서 설명하는 하이브리드 타임 인터리버는 전술한 하이브리드 타임 인터리버의 다른 실시예로서 PLP 모드에 따라 동작할 수 있다.

[1024] 각 장치의 호칭 및 위치 등은 설계자의 의도에 따라 변경 가능하다.

[1025] 도 113은 본 발명의 일 실시예에 따른 인터리버 구조를 나타내는 도면이다. 본 발명의 일 실시예에 따른 인터리버는 PLP 모드에 따라 다르게 구성될 수 있다. 즉 S-PLP 모드의 인터리버는 셀 인터리버 및 컨볼루셔널 인터리버를 포함할 수 있다. 실시예에 따라 S-PLP 모드의 인터리버는 셀 인터리버와 컨볼루셔널 인터리버 사이에 다른 인터리버(other interleaver)를 더 포함 수도 있다. 또한 M-PLP 모드의 인터리버는 셀 인터리버 및 하이브리드 타임 인터리버를 포함할 수 있다. 여기서 하이브리드 타임 인터리버는 트위스티드 블록 인터리버 및 컨볼루셔널 딜레이 라인(Convolutional Delay-line)을 포함할 수 있다. 전술한 바와 같이 컨볼루셔널 딜레이 라인은 컨볼루셔널 인터리버로 칭할 수 있다. 실시예에 따라 M-PLP 모드의 인터리버는 셀 인터리버와 하이브리드 인터리버 사이에 다른 인터리버(other interleaver)를 더 포함 수도 있다. 다른 인터리버는 설계자의 의도에 따라 다양한 방식의 인터리빙을 수행할 수 있다.

[1026] 또한, 본 발명에서 멀티플 PLP는 M-PLP 또는 $PLP_NUM > 1$ 로 표현될 수 있으며, 싱글 PLP는 S-PLP 또는 $PLP_NUM = 1$ 로 표현될 수 있다. PLP 모드에 대한 정보는 신호 프레임 내에서 PLP_NUM 시그널링 필드를 통해 전송될 수 있다.

[1027] 본 발명의 일 실시예에 따른 PLP_NUM은 신호 프레임 내의 프리앰블 또는 프리앰블 심볼에 포함될 수 있다. 본 발명의 일 실시예에 따른 프리앰블 또는 프리앰블 심볼은 L1 시그널링 필드를 포함할 수 있으며, 상술한 PLP_NUM 필드는 L1 시그널링 필드에 포함될 수 있다. PLP_NUM 필드는 도 14 내지 도 15에서 설명한 NUM_DP 필드와 동일한 개념으로, 호칭은 설계자의 의도에 따라 변경될 수 있다.

[1028] 본 발명의 일 실시예에 따른 셀 인터리버는 PLP 모드에 따라 동작할 수 있으며, 셀 인터리버에 대응하는 수신부의 셀 디인터리버는 메모리없이 동작할 수 있다.

본 발명의 일 실시예에 따른 셀 인터리버는 모디파이드(modified) 셀 인터리버로 호칭할 수 있다. 모디파이드 셀 인터리버는 PLP 모드가 S-PLP 모드이거나 M-PLP 모드일 때 모두 사용될 수 있다. 구체적으로 본 발명의 일 실시예에 따른 셀 인터리버는 PLP 모드에 따라 생략되거나 본 발명의 일 실시예에 따른 셀 인터리버의 동작은 PLP 모드에 따라 변경될 수 있다. 본 발명의 일 실시예에 따른 모디파이드 셀 인터리버는 버퍼에 대해 선형 쓰기 오퍼레이션(linear writhing operation)을 수행하고, 버퍼로부터 랜덤 읽기 오퍼레이션을 수행할 수 있다. 모디파이드 셀 인터리버는 M-PLP 모드에서 매 FEC 블록 또는 매 FEC 블록 페어(block pair)마다 인터리빙 패턴을 변경할 수 있다. 또한 모디파이드 셀 인터리버는 S-PLP 모드에서 매 FEC 블록 또는 매 FEC 블록 페어(block pair)마다 인터리빙 패턴을 변경할 수 있다. 또한 실시예에 따라 모디파이드 셀 인터리버는 S-PLP 모드에서 하나의 인터리빙 패턴을 사용하고 패턴을 변경하지 않을 수도 있다. 셀 인터리버의 구체적인 동작 과정은 후술한다.

[1029] 셀 인터리빙 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 PLP 모드에 따른 타임 인터리빙을 수행할 수 있다. 구체적으로, PLP 모드가 멀티플 PLP인 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 하이브리드 타임 인터리버를 이용하여 트위스티드 블록 인터리빙 및 컨볼루셔널 딜레이 라인(Convolutional Delay-line)을 수행할 수 있다.

[1030] PLP 모드가 싱글 PLP인 경우, 본 발명의 일 실시예에 따른 타임 인터리버는 셀 인터리빙 이후 임의의 컨볼루션 인터리빙만을 수행할 수 있다. 임의의 컨볼루션 인터리빙은 상술한 컨볼루셔널 딜레이 라인(Convolutional Delay-line)이 아닌 종래의 컨벤셔널(conventional) 컨볼루션 인터리버를 의미할 수 있으며, 이는 설계자의 의도에 따라 변경 가능한 사항이다.

[1031] 도면에 도시된 바와 같이 PLP 모드가 멀티플 PLP인 경우, 하이브리드 타임 인터리버는 트위스티드 블록 인터리버와 컨볼루셔널 딜레이 라인(Convolutional Delay-line)을 포함할 수 있다. 이 경우, 트위스티드 블록 인터리버의 상태는 온(on)으로 표현될 수 있다.

[1032] PLP 모드가 싱글 PLP인 경우, 하이브리드 타임 인터리버는 트위스티드 블록 인터리버를 제외한 임의의 컨볼루셔널 인터리버만을 포함할 수 있다. 다시 말하면, 하나의 타임 인터리버가 S-PLP모드와 M-PLP 모드로 사용되는 경우, 타임 인터리버는 하이브리드 타임 인터리버를 포함할 수 있다. 여기서, 하이브리드 타임 인터리버에 포함된 트위스티드 블록 인터리버는 싱글 PLP 모드에서 사용되지 않을 수 있다. 또한 하이브리드 타임 인터리버는 싱글 PLP 모드에서 임의의 컨볼루셔널 인터리버로 동작할 수 있다. 이 때 트위스티드 블록 인터리버는 싱글 PLP 모드에서 오프(off) 상태로 표현될 수 있다.

[1033] 본 발명의 일 실시예에 따른 블록 인터리버의 상태는 상술한 PLP_NUM 필드를 기반으로 변경될 수 있다.

[1034] 도 114는 PLP 모드가 M-PLP인 경우, 본 발명의 일 실시예에 따른 인터리버의

구조를 나타낸 도면이다.

- [1035] 구체적으로 도 114는 M-PLP인 경우, 인터리버의 메모리 구조를 나타낸 도면이다. 인터리버의 구조 및 순서는 도 113에서 설명한 내용과 동일하므로 생략한다.
- [1036] 도 114에 도시된 바와 같이 본 발명의 일 실시예에 따른 타임 인터리버에 포함되는 셀 인터리버와 트위스티드 블록 인터리버는 더블 메모리(double memory)를 기반으로 동작할 수 있다. 구체적으로 더블 메모리는 메모리 뱅크 A와 메모리 뱅크 B를 포함하며, 메모리 뱅크 A로 TI 블록들이 순차적으로 입력 및 라이트(write 또는 writing)되고, 메모리 뱅크 B에서 리드 아웃(read out) 될 수 있다.
- [1037] 프레임 생성(frame building)처리 과정에 앞서, 인터리버는 각 PLP 처리에 있어 버퍼(buffer)와 같은 역할을 수행할 수 있다. 이는 멀티플 PLP로 구성된 신호 프레임을 생성하기 위함이다. 도 114에 도시된 트위스티드 블록 인터리버(TBI)와 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 메모리가 상술한 버퍼의 동작을 수행할 수 있다. 각 PLP에 대해, 제 1 TI 블록은 TBI의 제 1 메모리에 라이팅(writing) 될 수 있다. 이후, 제 2 TI 블록은 TBI의 제 2 메모리에 라이팅(writing) 될 수 있으며, 동시에 TBI의 제 1 메모리는 제 1 TI 블록에 대해 리딩 동작을 수행할 수 있다. 동시에, 제 1 메모리로부터 리딩 아웃(read out)된 TI 블록(인트라 프레임 인터리빙 TI 블록)은 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 메모리로 전송된다. 상술한 TI 블록의 전송은 선입선출(FIFO, first-in-first-out) 쉬프트 레지스터 프로세스(process) 등과 같은 방법을 기반으로 수행될 수 있다. 인트라 프레임 인터리빙 동작은 TBI에 의해 동작될 수 있다. 반면, 인터 프레임 인터리빙 동작은 TBI와 컨볼루셔널 딜레이 라인(Convolutional Delay-line)가 함께 수행될 수 있다. 트위스티드 블록의 총 메모리, 컨볼루션 인터리버 그리고 셀 인터리버는 PLP에 할당된(allocated) 총 메모리를 초과하지 않는다. 또한, 각 TI 블록(그룹)의 총 메모리는 최대 메모리 크기를 초과하지 않는다. 최대 메모리의 크기는 설계자의 의도에 따라 변경 가능하다.
- [1038] 전술한 인터리버 내의 셀 인터리버와 타임 인터리버의 동작 순서는 도 94에서 전술한 바와 같이 방송 신호 수신 장치의 디인터리빙 과정에서 추가적인 매핑 정보가 필요하지 않으므로 발생 가능한 복잡도를 감소시킬 수 있는 장점이 있다.
- [1039] 도 115는 도 113 내지 도 114에서 설명한 인터리버의 동작에 상응하는 디인터리버의 구조를 나타낸 도면이다. 본 발명의 일 실시예에 따른 디인터리버의 동작은 상술한 인터리버 동작의 역순으로 수행될 수 있다. 본 발명의 일 실시예에 따른 디인터리버는 PLP 모드에 따라 다르게 구성될 수 있다. 즉 S-PLP 모드의 인터리버는 컨볼루셔널 디인터리버 및 셀 디인터리버를 포함할 수 있다. 실시예에 따라 S-PLP 모드의 디인터리버는 컨볼루셔널 디인터리버 및 셀 디인터리버 사이에 다른 디인터리버(other interleaver)를 더 포함 수도 있다. 또한 M-PLP 모드의 디인터리버는 컨볼루셔널 딜레이 라인(Convolutional

Delay-line), 트위스티드 블록 디인터리버 및 셀 디인터리버를 포함할 수 있다. 실시예에 따라 M-PLP 모드의 디인터리버는 트위스티드 블록 디인터리버와 셀 디인터리버 사이에 다른 디인터리버(other deinterleaver)를 더 포함 수도 있다. 다른 디인터리버는 설계자의 의도에 따라 다양한 방식의 디인터리빙을 수행할 수 있다.

[1040] 또한, 본 발명의 일 실시예에 따른 타임 인터리버는 PLP_NUM 필드가 지시하는 PLP 모드에 따라 타임 디인터리빙을 수행할 수 있다. 즉, S-PLP 모드에서는 컨볼루셔널 디인터리빙 및 셀 디인터리빙을 순차적으로 수행할 수 있다. 여기서 컨볼루셔널 디인터리빙 및 셀 디인터리빙 사이에 다른 디인터리빙이 더 수행될 수 있다. 또한 즉, M-PLP 모드에서는 컨볼루셔널 딜레이 라인, 트위스티드 블록 디인터리빙 및 셀 디인터리빙을 순차적으로 수행할 수 있다. 여기서 트위스티드 블록 디인터리빙 및 셀 디인터리빙 사이에 다른 디인터리빙이 더 수행될 수 있다. 다시 말하면, 타임 인터리버는 컨볼루셔널 디인터리빙 또는 컨볼루셔널 딜레이 라인을 수행한 뒤, 트위스티드 블록 디인터리빙을 수행하거나(트위스티드 블록 디인터리버 온(On)), 수행하지 않을 수 있다(트위스티드 블록 디인터리버 오프(Off)).

[1041] 도 113에 언급한 바와 같이 본 발명의 일 실시예에 따른 PLP_NUM은 신호 프레임 내의 프리앰블 또는 프리앰블 심볼에 포함될 수 있다. 본 발명의 일 실시예에 따른 프리앰블 또는 프리앰블 심볼은 L1 시그널링 필드를 포함할 수 있으며, 상술한 PLP_NUM 필드는 L1 시그널링 필드에 포함될 수 있다. 따라서, 본 발명의 일 실시예에 따른 방송 신호 수신 장치는 L1 시그널링 필드가 포함하는 PLP_NUM 필드 값을 획득하여 타임 디인터리빙을 수행할 수 있다.

[1042] 이하에서는 본 발명의 일 실시예에 따른 셀 인터리버(cell interleaver) 또는 모디파이드 셀 인터리버(modified cell interleaver) 상세 동작을 설명한다.

[1043] 도 116은 본 발명의 다른 실시예에 따른 셀 인터리버에 적용될 수 있는 쉬프트 밸류(shift value)와 이에 따른 인터리빙 시퀀스를 수학적 식으로 나타낸 도면이다. 본 발명에 따른 셀 인터리버는 도 96에서 설명한 바와 같이 동작할 수 있다. 도 97에서 설명한 바와 다르게 본 발명의 다른 실시예에 따른 셀 인터리버에 적용되는 S-PLP의 쉬프트 밸류는 고정값 또는 가변하는 값을 가질 수 있다. 본 발명의 다른 실시예에 따른 셀 인터리버에 적용되는 S-PLP의 쉬프트 밸류가 가변하는 값을 갖는 경우, 도 97에서 설명한 M-PLP의 가변 인터리빙 시퀀스와 동일한 값을 가질 수 있다. M-PLP의 쉬프트 밸류는 도 97에서 설명한 바와 동일하게 가변하는 값으로 설정될 수 있다.

[1044] 또는 S-PLP인 경우, 본 발명의 일 실시예에 따른 방송 신호 송신 장치는 셀 인터리버 동작을 생략하고 타임 인터리버 동작만 수행할 수도 있다.

[1045] 본 발명의 일 실시예에 따른 셀 인터리버 이후의 블록 인터리버는 트위스티드 블록 인터리버 또는 임의의 블록 인터리버일 수 있다. 이하 도 117 내지 도 118에서는 본 발명의 일 실시예에 따른 트위스티드 블록 인터리버의 동작을

설명한다. 본 발명의 일 실시예에 따른 블록 인터리버는 전술한 바와 같이 셀 인터리버 이후에 동작할 수 있다.

- [1046] 도 117은 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다. 이는 도 98에 도시된 트위스티드 리딩 동작에 적용될 수 있다. 도면에 도시된 수학적식은 각 TI 블록 단위로 적용되는 트위스티드 블록 인터리빙을 나타낸다. 수학적식에 도시된 바와 같이, 쉬프트 밸류는 TI 블록에 포함된 버추얼 맥시멈 FEC 블록 개수를 기반으로 계산될 수 있다. 본 발명의 일 실시예에 따른 하이브리드 타입 인터리버 동작에 사용되는 파라미터들은 수퍼 프레임 내에서 버추얼 맥시멈 FEC 블록 개수를 갖는 TI 블록을 기준으로 결정된다. 결정된 버추얼 맥시멈 FEC 블록을 가장 많이 포함하고 있는 TI 블록의 FEC 블록 개수보다 적은 FEC 블록을 갖는 TI 블록이 있을 수 있다. 이 경우, 부족한 FEC 블록의 개수에 해당하는 버추얼 (virtual) FEC 블록들을 해당 TI 블록에 추가할 수 있다. 본 발명의 일 실시예에 따른 버추얼 (virtual) FEC 블록들은 실제 FEC 블록들 앞에 삽입될 수 있다. 이후, 본 발명의 일 실시예에 따른 타임 인터리버는 버추얼 (virtual) FEC 블록들을 고려하여 하나의 트위스티드 로-컬럼 블록 인터리빙 룰(twisted row-column block interleaving rule)을 이용하여 TI 그룹들에 대한 인터리빙을 수행할 수 있다. 또한 본 발명의 일 실시예에 따른 하이브리드 타입 인터리버는 리딩(reading) 동작에서 버추얼 (virtual) FEC 블록들에 해당되는 메모리-인덱스(memory-index)가 발생하는 경우 상술한 스킵 오퍼레이션을 수행할 수 있다. 이후 라이팅(writing) 동작 시, 입력된 TI 그룹의 FEC 블록들의 개수와 리딩(reading)시 출력 TI 그룹의 FEC 블록들의 개수를 일치 시킨다. 결과적으로, 본 발명의 일 실시예에 따른 타임 인터리빙에 따르면, 수신기에서 효율적인 싱글-메모리 디인터리빙(single-memory deinterleaving)을 수행하기 위하여 버추얼 (virtual) FEC 블록을 삽입하더라도 스킵 오퍼레이션을 통해 실제 전송되는 데이터-레이트의 손실은 발생하지 않을 수 있다.

- [1047] 도 118은 본 발명의 일 실시예에 따라 쉬프트 밸류(ST)가 1로 고정된 경우, 버추얼 (virtual) FEC 블록들이 삽입된 이후 트위스티드 리딩 (twisted reading) 동작을 나타낸 수학적식이다. 쉬프트 밸류가 1로 고정된 경우, 버추얼 맥시멈 FEC 블록의 개수($N'_{FEC_TI_max}$)는 필요하지 않다. 따라서 쉬프트 밸류(ST)가 1로 고정된 경우, 본 발명의 일 실시예에 따른 트위스티드 리딩 (twisted reading)은 액추얼 FEC 블록의 개수(N_{FEC_TI})를 기반으로 동작함을 알 수 있다. 상술한 바와 같이 도면에 표시된 스킵 오퍼레이션은 트위스티드 리딩(twisted reading) 동작에서 버추얼 (virtual) FEC 블록들을 스킵하는 역할을 수행할 수 있다.

- [1048] 도 119는 본 발명의 일 실시예에 따른 하이브리드 타입 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학적식이다. 구체적으로 도 119는 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(twisted reading) 동작을 나타내는 수학적식이다. 도 119의 수학적식은 도

117에서 설명한 트위스티드 블록 인터리버의 트위스티드 리딩 동작을 나타내는 수학식에 대응된다. 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(*twisted reading*) 동작에 사용되는 쉬프트 밸류(*SR_j*)는 도 119의 하단에 기재된 수학식을 기반으로 계산될 수 있다. 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버는 싱글 메모리 디인터리빙(*single-memory deinterleaving*)을 수행할 수 있다.

- [1049] 도 120은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 트위스티드 블록 디인터리빙을 나타내는 수학식이다. 구체적으로 도 120은 쉬프트 밸류(*ST*)가 1로 고정된 경우, 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(*twisted reading*) 동작을 나타내는 수학식이다. 도 120의 수학식은 도 118에서 설명한 트위스티드 블록 인터리버의 트위스티드 리딩 동작을 나타내는 수학식에 대응된다. 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버의 트위스티드 리딩(*twisted reading*) 동작에 사용되는 쉬프트 밸류(*SR_j*)는 도 120의 하단에 기재된 수학식을 기반으로 계산될 수 있다. 마찬가지로 본 발명의 일 실시예에 따른 트위스티드 블록 디인터리버는 싱글 메모리 디인터리빙(*single-memory deinterleaving*)을 수행할 수 있다.
- [1050] 이하 도 121 내지 도 125에서는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버/하이브리드 타임 디인터리버의 구체적인 동작을 설명한다. 도 121 내지 도 125의 하이브리드 타임 인터리버/하이브리드 타임 디인터리버의 동작은 동일한 파라미터 값을 기반으로 동작하는 일 실시예를 나타낸다.
- [1051] 도 121은 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다. 구체적으로 도 121은 트위스티드 블록 인터리버와 컨볼루셔널 딜레이 라인(*Convolutional Delay-line*)를 포함하는 하이브리드 타임 인터리버 동작을 나타낸다.
- [1052] 구체적으로 도 121의 상단은 하이브리드 타임 인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 구체적인 파라미터의 값은 도 121의 상단에 기재된 바와 동일하다.
- [1053] 도 121의 하단은 제 1 TI 블록(또는 제 1 IF)이 입력된 경우, 하이브리드 타임 인터리버 동작을 나타낸다. 도 121의 하단의 하이브리드 타임 인터리버는 도 121의 상단에 기재된 파라미터 값을 기반으로 동작한다. 도 121의 하단에 도시된 하이브리드 타임 인터리버의 동작은 쉬프트 밸류(*ST*)값이 가변(*variable*)하는 경우에 적용될 수 있으며, 쉬프트 밸류 값이 1로 고정된 경우에도 동일하게 적용될 수 있다. 트위스티드 블록 인터리버에 입력된 제 1 TI 블록은 트위스티드 블록 인터리빙 처리된 후, 트위스티드 BI 아웃풋 셀들(*Twisted BI output cells*)로 출력된다. 쉬프트 밸류(*ST*)값이 1을 적용하여 출력한 트위스티드 BI 아웃풋 셀들(*Twisted BI output cells*)은 도시된 바와 같다. 이후, 트위스티드 BI 아웃풋 셀들은 컨볼루셔널 딜레이 라인(*Convolutional Delay-line*)로 입력된다.

컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 동작은 전술한 바와 같다. 도 121의 하단은 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 아웃풋 셀들(Convolutional Delay-line output cells)과 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 메모리 스테이터스(Convolutional Delay-line memory status)를 나타낸다. 즉, 트위스티드 BI에서 출력된 트위스티드 BI 아웃풋 셀들이 컨볼루셔널 딜레이 라인으로 입력되면, 도시된 바와 같이 일부 셀들은 컨볼루셔널 딜레이 라인의 아웃풋 셀들로 출력되고, 다른 일부 셀들은 컨볼루셔널 딜레이 라인의 메모리에 저장되어 딜레이될 수 있다. 딜레이된 일부 셀들은 뒤따르는 제2 TI 블록에 포함된 셀들과 함께 출력될 수 있다.

[1054] 도 122는 본 발명의 일 실시예에 따른 하이브리드 타임 인터리버의 동작을 나타내는 도면이다. 제 1 TI 블록에 이어 제2 TI 블록이 트위스티드 블록 인터리버에 입력되면 인터리빙 처리된 후, 트위스티드 BI 아웃풋 셀들(Twisted BI output cells)로 출력된다. 이후, 트위스티드 BI 아웃풋 셀들은 컨볼루셔널 딜레이 라인(Convolutional Delay-line)로 입력된다. 도 122의 하단은 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 아웃풋 셀들(Convolutional Delay-line output cells)과 컨볼루셔널 딜레이 라인(Convolutional Delay-line)의 메모리 스테이터스(Convolutional Delay-line memory status)를 나타낸다. 즉, 트위스티드 BI에서 출력된 제2 TI 블록에 대한 트위스티드 BI 아웃풋 셀들이 컨볼루셔널 딜레이 라인으로 입력되면, 도시된 바와 같이 일부 셀들은 컨볼루셔널 딜레이 라인의 아웃풋 셀들로 출력되고, 다른 일부 셀들은 컨볼루셔널 딜레이 라인의 메모리에 저장되어 딜레이될 수 있다. 여기서 컨볼루셔널 딜레이 라인의 아웃풋 셀들은 제2 TI 블록에 대한 트위스티드 BI 아웃풋 셀들 중 일부 및 컨볼루셔널 딜레이 라인의 메모리에 저장되어 있던 제1 TI 블록에 대한 트위스티드 BI 아웃풋 셀들을 포함할 수 있다.

[1055] 도 123은 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다. 구체적으로 도 123의 상단은 하이브리드 타임 디인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버는 하이브리드 타임 인터리버 동작의 역순에 따라 동작할 수 있다.

[1056] 도 123의 하단은 첫번째 입력 셀들이 컨볼루셔널 딜레이 라인에 입력된 경우, 하이브리드 타임 디인터리버 동작을 나타낸다. 도 123에 도시된 바와 같이 컨볼루셔널 딜레이 라인의 인풋 셀들(Convolutional Delay-line input cells)은 도 121의 컨볼루셔널 딜레이 라인의 아웃풋 셀들과 동일하다.

[1057] 컨볼루셔널 딜레이 라인과 트위스티드 BDI(Block deinterleaver)의 구체적인 동작 과정은 도 123에 도시된 바와 같다. 즉 컨볼루셔널 딜레이 라인의 첫번째 인풋 셀들이 컨볼루셔널 딜레이 라인에 입력된 되면, 컨볼루셔널 딜레이 라인의 인풋 셀들 중 일부는 컨볼루셔널 딜레이 라인의 아웃풋 셀들로 출력되고, 다른 일부는 컨볼루셔널 딜레이 라인의 메모리에 저장되어 딜레이될 수 있다. 도

123에 도시된 바와 같이 컨볼루셔널 딜레이 라인은 첫번째 인풋 셀들에 대한 아웃풋 셀들을 출력하지 않을 수 있다. 이는 컨볼루셔널 딜레이 라인에 입력되는 첫번째 인풋셀들이 데이터를 포함하지 않는 블랭크 셀들을 포함하고 있기 때문이다. 컨볼루셔널 딜레이 라인의 아웃풋 셀들이 출력되지 않음에 따라 트위스티드 BDI에 대한 입력 셀들 및 출력 셀들도 입력 또는 출력되지 않을 수 있다. 결과적으로 첫번째 TI 블록이 입력된 경우에 타임 디인터리버의 출력 셀은 출력되지 않을 수 있다.

[1058] 도 124는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다. 구체적으로 도 124의 상단은 하이브리드 타임 디인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 도 124는 두번째 입력 셀들이 컨볼루셔널 딜레이 라인에 입력된 경우, 하이브리드 타임 디인터리버 동작을 나타낸다. 도 124에 도시된 바와 같이 컨볼루셔널 딜레이 라인의 인풋 셀들(Convolutional Delay-line input cells)은 도 122의 컨볼루셔널 딜레이 라인의 아웃풋 셀들과 동일하다.

[1059] 컨볼루셔널 딜레이 라인과 트위스티드 BDI (Block deinterleaver)의 구체적인 동작 과정은 도 124에 도시된 바와 같다. 즉 컨볼루셔널 딜레이 라인의 두번째 인풋 셀들이 컨볼루셔널 딜레이 라인에 입력된 되면, 컨볼루셔널 딜레이 라인의 인풋 셀들 중 일부는 컨볼루셔널 딜레이 라인의 아웃풋 셀들로 출력되고, 다른 일부는 컨볼루셔널 딜레이 라인의 메모리에 저장되어 딜레이될 수 있다. 도 124에 도시된 바와 같이 컨볼루셔널 딜레이 라인은 메모리에 저장되어 있던 첫번째 인풋 셀들 및 두번째 인풋 셀들 중 일부를 함께 출력할 수 있다. 즉, 컨볼루셔널 딜레이 라인은 전술한 과정을 통하여 인터리빙 과정에서 제1 TI 블록에 포함되어 있던 셀들을 함께 출력할 수 있다. 또한 컨볼루셔널 딜레이 라인은 두번째 인풋 셀들 중 인터리빙 과정에서 제2 TI 블록에 포함되어 있던 셀들을 메모리에 저장할 수 있다. 컨볼루셔널 딜레이 라인의 아웃풋 셀들은 트위스티드 BDI에 입력될 수 있으며 트위스티드 BDI의 메모리에 저장될 수 있다. 이 때, 트위스티드 BDI의 출력 셀들은 출력되지 않을 수 있다. 결과적으로 두번째 TI 블록이 입력된 경우에도 타임 디인터리버의 출력 셀은 출력되지 않을 수 있다.

[1060] 도 125는 본 발명의 일 실시예에 따른 하이브리드 타임 디인터리버의 동작을 나타내는 도면이다. 구체적으로 도 125의 상단은 하이브리드 타임 디인터리버 동작에 필요한 파라미터들의 구체적인 값을 나타낸다. 도 125는 세번째 입력 셀들이 컨볼루셔널 딜레이 라인에 입력된 경우, 하이브리드 타임 디인터리버 동작을 나타낸다. 트위스티드 BDI (Block deinterleaver)의 구체적인 동작 과정은 도 125에 도시된 바와 같다. 즉 컨볼루셔널 딜레이 라인에 세번째 인풋 셀들이 입력되었다고 가정하면, 트위스티드 BDI는 트위스티드 BDI의 메모리에 저장된 셀들에 대해 트위스티드 블록 디인터리빙을 적용할 수 있다. 트위스티드 BDI는 싱글 메모리를 이용하여 트위스티드 블록 디인터리빙을 수행할 수 있으며 도

125에 도시된 바와 같이 트위스티드 BDI의 출력 셀들을 출력할 수 있다. 즉 타임 인터리빙의 출력 셀들이 출력될 수 있다. 여기서 트위스티드 BDI의 출력 셀들은 도 121에서 트위스티드 BI에 입력되었던 입력 셀들과 동일하게 출력됨을 볼 수 있다.

[1061] 전술한 바와 같이 본 발명에 따른 타임 인터리버는 PLP 모드에 적응적으로 인터리빙을 적용할 수 있으며 트위스티드 블록 인터리버 및 컨볼루셔널 딜레이 라인을 포함하는 하이브리드 타임 인터리버로써 동작할 수 있다.

[1062] 본 발명의 일 실시예에 따른 인터리버는 PLP 모드에 따라 다르게 구성될 수 있다. 전술한 바와 같이 S-PLP 모드의 타임 인터리버는 셀 인터리버 및/또는 컨볼루셔널 인터리버(Convolutional interleaver, CI)를 포함할 수 있다. 여기서 S-PLP 모드의 타임 인터리버는 컨볼루셔널 인터리버만을 포함할 수도 있다. 여기서 컨볼루셔널 인터리버는 컨벤셔널 CI(conventional CI)를 포함한 임의의 CI가 될 수 있다. 실시예에 따라 S-PLP 모드의 인터리버는 셀 인터리버와 컨볼루셔널 인터리버 사이에 다른 인터리버(other interleaver)를 더 포함 수도 있다. 다른 인터리버는 설계자의 의도에 따라 다양한 방식의 인터리빙을 수행할 수 있다. 각 장치의 호칭 및 위치 등은 설계자의 의도에 따라 변경 가능하다. 아래에서는 전술한 S-PLP 모드의 타임 인터리버가 포함하는 셀 인터리버 및 컨볼루셔널 인터리버에 대해 설명할 수 있다. S-PLP 모드의 타임 인터리버가 포함하는 셀 인터리버는 도 116에서 설명한 셀 인터리버와 동일할 수 있으며, S-PLP의 쉬프트 밸류는 고정값 또는 가변하는 값을 가질 수 있다.

[1063] 도 126은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버의 구조를 나타내는 도면이다. 컨볼루셔널 인터리버(CI)의 입력 신호는 입력 셀들로 표현될 수 있다. 전술한 바와 같이 본 발명의 타임 인터리버는 S-PLP모드에서 셀 인터리빙을 수행한 후 컨볼루셔널 인터리빙을 수행할 수 있다. 즉, 셀 인터리버의 출력 신호 또는 출력 셀들은 CI의 입력 신호 또는 입력 셀들로 정의될 수 있다. CI는 입력 셀들에 대해 FIFO(first in first out) 프로세싱을 수행할 수 있다. 여기서 CI에 포함된 메모리 유닛 또는 인터리빙 유닛은 1개의 셀 또는 2개 이상의 연속된 셀들을 함께 저장할 수 있다. 즉 CI에 포함된 메모리 유닛 또는 인터리빙 유닛은 셀들의 페어를 저장할 수 있다. 특히 CI에 포함된 메모리 유닛 또는 인터리빙 유닛은 2개 이상의 셀들을 저장함으로써 인터리빙 뎀스(depth)를 증가시킬 수 있는 효과가 있다. 여기서 2개 이상의 셀들은 서로 연속된 셀들일 수 있다. 도면에서 M은 CI에 포함된 메모리를 의미하며, 첨자인 i 및 j는 i번째 로우 및 j번째 칼럼을 의미할 수 있다. 또한 CI는 N_row 개의 로우와 또한 N_column 개의 칼럼을 포함할 수 있다. N_cell은 셀 인터리빙되는 셀들의 개수 또는 FEC 블록의 사이즈를 의미할 수 있다. 본 명세서에서, S-PLP모드의 CI에서 사용되는 FEC 블록이란 명칭은 FEC 프레임으로 칭할 수도 있다.

[1064] 도 127은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버에서 사용되는 파라미터들을 나타낸다. 전술한 CI의 구성에 필요한 N_cells, N_row, N_column

파라미터들간의 관계는 다음과 같다. 첫번째 케이스인 Case-1에서 N_column은 N_row가 주어졌을 때 N_row-1로 정의되며, 이때 N_row의 값은 N_cells과 정수배 관계를 가지도록 설정될 수 있다. 이러한 파라미터 설정은 방송 신호 수신 장치에 포함된 컨볼루셔널 디인터리버(convolutional deinterleaver, CDI)의 초기 동작 시 첫 번째 입력 cell이 컨볼루셔널 디인터리버(convolutional deinterleaver, CDI)의 메모리에 들어가는 위치를 고정 시킬 수 있는 장점을 지닌다. 다만, N_row 파라미터 결정에 있어서 flexibility를 제한할 수 있다.

- [1065] 두번째 케이스인 Case-2에서 N_column은 N_row가 주어졌을 때 N_row-1로 정의되며, 이때 N_row의 값은 0과 설정된 N_max_row 범위 내에서 임의의 고정값 또는 변수로 설정될 수 있다. 이러한 파라미터 설정은 방송 신호 수신 장치에 포함된 CDI의 초기 동작 시 첫 번째 입력 cell이 CDI의 메모리에 들어가는 위치를 고정 시킬 수 없으며, 결과적으로 첫 번째 cell이 들어갈 위치 정보가 필요할 수 있다. 이러한 정보는 방송 신호 송신 장치가 L1 signaling을 포함한 시그널링 방법을 통해 방송 신호 수신 장치에게 알려줄 수 있다. Case-2는 N_row 파라미터 결정에 있어서 flexibility를 높일 수 있는 효과를 가지며, case-1보다 일반적인 경우를 커버할 수 있다.
- [1066] 세번째 케이스인 Case-3에서 N_column=N_row=0 인 경우는 CI가 off되는 경우를 나타낸다. 즉, 본 발명의 일 실시예에 따른 S-PLP 모드의 타임 인터리버는 셀 인터리버와 CI를 포함할 수 있고, CI는 실시예에 따라 또는 시그널링되는 정보에 따라 선택적으로 동작하거나 또는 동작하지 않을 수 있다. 아래에서 CI가 타임 인터리빙에 사용되지 않는 경우를 CI가 off된 경우로 표현할 수 있으며, CI가 타임 인터리빙에 사용된 경우를 CI가 on된 경우로 표현할 수 있다.
- [1067] 상술한 케이스에 따라 CI에 대응하는 CDI가 동작하기 위해 요구되는 signaling 정보는 다음과 같이 정의될 수 있다. 즉, CI/CDI 관련 시그널링 정보는 최대 로우 사이즈 정보, 로우 사이즈 정보, 첫번째 셀이 입력되는 로우의 위치 정보, FEC 블록 위치 정보 및/또는 셀 인터리빙 패턴 정보를 포함할 수 있다. 이러한 정보는 방송 신호 송신 장치가 L1 signaling을 포함한 시그널링 방법을 통해 방송 신호 수신 장치에게 알려줄 수 있다.
- [1068] 최대 로우 사이즈 정보는 PLP_TI_NUM_ROW_MAX로 표현될 수 있으며, super-frame 내에서 사용된 CI/CDI의 최대 row size 정보를 나타낼 수 있다. 로우 사이즈 정보는 PLP_TI_NUM_ROW 로 표현될 수 있으며, frame 내에서 사용된 CI/CDI의 row size 정보를 나타낼 수 있다. 첫번째 셀이 입력되는 로우의 위치 정보는 PLP_TI_START_ROW 로 표현될 수 있으며, CDI 동작시 첫 번째 입력 cell이 들어가는 row의 위치 정보를 나타낼 수 있다. 즉 PLP_TI_START_ROW는 각 방송 신호 프레임의 시작에서 인터리버 셀렉터의 포지션을 나타낼 수 있으며 L1D_CI_start_row로 표시될 수도 있다. FEC 블록 위치 정보는 PLP_TI_FECBLOCK_START 또는 L1D_CI_fecframe_start로 표현될 수 있으며, CDI 동작 후 첫 번째 완전한 FEC block(first complete FEC block)이 시작되는 위치

정보를 나타낼 수 있다. 여기서 위치 정보는 메모리 유닛의 인덱스를 의미할 수 있다. 아래에서 첫 번째 완전한 FEC block은 첫 번째 완전한 FEC frame(first complete FEC frame)으로 지칭될 수 있다. 도식된 수식은 FEC 블록 위치 정보를 도출하는데 사용될 수 있다. PLP_TI_FECBLOCK_START가 “don't care”로 설정된 경우, 그 값은 N_row 과 N_column의 곱으로 도출될 수 있다. 또한 그 외의 경우, PLP_TI_FECBLOCK_START는 PLP_TI_NUM_ROW, PLP_TI_START_ROW, N_cells 및 N_row-1, N_column-1에 기초한 메모리 값을 이용하여 도식된 수식과 같이 도출할 수 있다. 셀 인터리빙 패턴 정보는 PLP_TI_CELLINV_START 로 표현될 수 있으며, CDI 동작 후 완전한 첫 번째 FEC block에 적용된 cell interleaving의 pattern 관련 정보를 나타내며, 관련 정보를 얻는 방법은 다를 수 있다.

- [1069] 도 128은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버 및 시그널링 정보를 생성하는 방법을 나타낸다. 도 128은 CI 동작 설명에 앞서 타임 인터리빙의 구성을 나타낼 수 있다. 도 128에서 셀 인터리버와 관련된 파라미터로써 N_cells를 10으로 설정하며, 하나의 타임 인터리빙 그룹(TI group)은 3개의 FEC 블록들로 구성되어 있고 이때 사용된 셀 인터리빙 패턴은 매 FEC block 마다 변경된다고 가정할 수 있다. 또한 CI 출력 신호에 대해 매 frame은 30개 cells로 구성된다고 가정할 수 있다. 본 명세서에서 타임 인터리빙 그룹은 FEC 프레임들의 그룹으로 칭할 수 있다.
- [1070] 도 129는 본 발명의 일 실시예에 따른 방송 신호 송신 장치가 인터리빙 관련 시그널링 정보를 획득하기 위한 방법을 나타낸다. 방송 신호 송신 장치는 방송 신호 수신 장치에 포함된 CDI 및 셀 디인터리버의 초기 동기를 위해 시그널링 정보를 생성하고 전송할 수 있다. 도 129에서는 셀 인터리빙 패턴 정보인 PLP_TI_CELLINV_START 및 FEC 블록 위치 정보인 PLP_TI_FECBLOCK_START를 획득하는 방법을 나타낸다. 아래에서는 방송 송신 장치에 포함된 스케줄러가 각 셀 인터리빙된 FEC 블록에 사용된 셀 인터리빙 패턴 및 FEC 블록 내에서의 셀의 순서를 알고 있음을 가정할 수 있다.
- [1071] 도 129의 좌측에서 각 cell에 표기된 숫자는 해당 FEC 블록에 사용된 셀 인터리빙의 패턴의 순서를 나타내며 궁극적으로 셀 인터리빙 패턴 정보인 PLP_TI_CELLINV_START 관련 정보 획득을 위함이다. 하나의 FEC 블록에 대해서는 하나의 셀 인터리빙 패턴이 사용될 수 있다. 즉, 셀 인터리빙 패턴은 FEC 블록 단위로 적용될 수 있으며 변경될 수 있다. 따라서 각 FEC 블록은 동일한 숫자를 가질 수 있다. 예를 들어, 제1 TI 그룹의 세번째 FEC 블록에 표기된 “2”는 2번째 cell-interleaving pattern이 사용되었음을 의미한다. 실제 시스템에서 사용된 셀 인터리빙 패턴의 순서는 셀 인터리버의 동작 알고리즘과 연계될 수 있다. 즉 DVB T2/NGH 표준에서 사용된 symbol offset addition의 “k” 인자에 상응할 수 있다.
- [1072] 도 129의 우측에서 각 cell에 표기된 숫자는 해당 FEC block에서 cell의 순서를

나타낼 수 있다. 이는 FEC 블록 위치 정보인 PLP_TI_FECBLOCK_START 관련 정보 획득을 위함이다. 예로 제1 TI 그룹의 각 FEC 블록에 표기된 “9”는 각 FEC 블록의 9번째 cell을 의미할 수 있다.

- [1073] 또한 PLP_TI_START_ROW, PLP_TI_NUM_ROW 등의 시그널링 정보는 CI 동작 과정을 통해 얻어질 수 있다.
- [1074] 도 130은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버의 동작을 나타낸 도면이다. 이는 전술한 N_cells, N_row, N_column 파라미터들간의 관계 중 첫번째 케이스와 두번째 케이스에 적용될 수 있다. 여기서, CI는 N_row가 4이고 N_column이 3인 구조를 갖는다고 가정할 수 있다.
- [1075] 도 130의 상단은 데이터 셀 관련 CI 동작에 대한 설명이며, 도시된 바와 같이 데이터-셀 인터리빙 뿐만 아니라 PLP_TI_NUM_ROW_MAX, PLP_TI_NUM_ROW, PLP_TI_START_ROW 등 3가지 시그널링 정보 획득을 수행하는 실시예를 나타낼 수 있다.
- [1076] 도 130의 중단은 PLP_TI_CELLINV_START 관련 시그널링 정보를 얻기 위해 매 FEC 블록마다 사용된 셀 인터리빙 패턴을 데이터-셀 과 동기화 시켜 CI를 동작 시키는 실시 예를 보인다. 자세한 동작 실시 예 및 정보 획득 방법에 대해서는 아래에서 설명하기로 한다.
- [1077] 도 130의 하단은 PLP_TI_FECBLOCK_START 관련 시그널링 정보를 얻기 위해 FEC 블록 내에서 셀의 순서를 데이터-셀 과 동기화 시켜 CI를 동작 시키는 실시 예를 보인다. 자세한 동작 실시 예 및 정보 획득 방법에 대해서는 아래에서 설명하기로 한다.
- [1078] 도 131은 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버가 프레임을 구성하는 방법을 나타낸다. 즉, CI는 초기 동작 후 30개의 셀들을 이용하여 첫 번째 프레임을 구성할 수 있다. 도시된 바와 같이 첫 번째 프레임의 첫 번째 셀은 CI의 스위치가 로우 0에 위치 했을 시 메모리의 값이며, 마지막 셀은 CI의 스위치가 로우 1에 위치 했을 시 메모리의 값이다. 즉, 첫번째 프레임의 첫번째 셀은 전술한 TI 그룹 0에 포함된 FEC 블록 0의 로우 0에 해당하는 셀의 값이며, 마지막 셀은 전술한 TI 그룹 0에 포함된 FEC 블록 2의 로우 5에 해당하는 셀의 값이다. 이때 첫번째 프레임 구성에 있어서 메모리의 더미 셀들은 버리지 않고 데이터로 간주하여 프레임 구성에 포함될 수 있다. 더불어 CDI에 필요한 관련 시그널링 정보는 도시된 바와 같이 인터리빙 전 초기 CI 메모리 상태를 관찰하여 정의될 수 있다. 즉 컨볼루셔널 인터리버의 로우 사이즈 정보인 PLP_TI_NUM_ROW는 4로 설정될 수 있으며, 첫번째 셀이 입력되는 로우의 위치 정보인 PLP_TI_START_ROW는 전술한 바와 같이 0으로 설정될 수 있다. 또한 FEC 블록 위치 정보인 PLP_TI_FECBLOCK_START는 “don't care”로 설정될 수 있으며 이때 “don't care”는 N_row*N_column을 나타낼 수 있다. 또한 셀 인터리빙 패턴 정보인 PLP_TI_CELLINV_START는 TI 그룹 0에 포함된 FEC 블록 0의 로우 0에 해당하는 셀에 적용된 패턴인 0으로 설정될 수 있다.

- [1079] 도 132는 본 발명의 일 실시예에 따른 컨볼루셔널 인터리버가 프레임을 구성하는 방법을 나타낸다. 즉, CI는 첫번째 프레임을 구성한 30개의 셀들 이후에 위치한 다른 30개의 셀들을 이용하여 두 번째 프레임을 구성할 수 있다. 전송한 바와 같이 방송 신호 수신 장치의 CDI에 필요한 관련 시그널링 정보는 인터리빙 전 CI 메모리 상태를 관찰하여 정의될 수 있다. 즉, 컨볼루셔널 인터리버의 로우 사이즈 정보인 PLP_TI_NUM_ROW는 4로 설정될 수 있다. 두번째 프레임의 첫번째 셀은 첫번째 프레임의 마지막 셀에 대한 스위치의 로우 값의 다음 값을 가질 수 있다. 즉, 전송한 실시예에서 첫번째 프레임의 마지막 셀에 대한 CI 스위치의 로우 값이 1이었으므로, 두번째 프레임의 첫번째 셀에 대한 CI 스위치는 로우 2에 위치할 수 있다. 따라서 첫번째 셀이 입력되는 로우의 위치 정보인 PLP_TI_START_ROW는 두번째 프레임에 대해 2로 설정될 수 있다.
- [1080] 또한 FEC 블록 위치 정보인 PLP_TI_FECBLOCK_START는 전송한 수식에 의하여 2로 설정될 수 있다. 즉, 전송한 수식에 따라 $(4-2-1)+(10-9)$ 에 의해 2를 도출할 수 있다. 이 때, 9는 M_{3,2}의 메모리의 셀 순서 값을 의미할 수 있다.
- [1081] 또한 셀 인터리빙 패턴 정보인 PLP_TI_CELLINV_START는 PLP_TI_FECBLOCK_START 정보와 동기화 되어 획득된다. 즉 그림에서 PLP_TI_FECBLOCK_START와 같은 위치에서 얻는 PLP_TI_CELLINV_START 관련 정보는 패턴 “1”을 나타낼 수 있다. 이때 주요하게 PLP_TI_CELLINV_START 정보는 “1”을 사용하지 않고, 다음 인터리빙 패턴 순서 정보 “2”로 설정될 수 있다. 즉, 셀 인터리빙 패턴 정보는 FEC 블록 위치 정보와 같은 위치에서 얻는 패턴 정보의 다음 인터리빙 패턴 순서 정보로 설정될 수 있다.
- [1082] 도 133은 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 구조를 나타내는 도면이다. 방송 신호 수신 장치에 포함된 컨볼루셔널 디인터리버(CDI)는 방송 신호 송신 장치의 역순으로 동작할 수 있다. 컨볼루셔널 디인터리버(CDI)의 출력 신호는 출력 셀들로 표현될 수 있다. 전송한 바와 같이 본 발명의 타임 디인터리버는 S-PLP모드에서 컨볼루셔널 디인터리빙을 수행한 후 셀 디인터리빙을 수행할 수 있다. 즉, 셀 디인터리버의 입력 신호 또는 입력 셀들은 CDI의 출력 신호 또는 출력 셀들로 정의될 수 있다. CDI는 입력 셀들에 대해 FIFO(first in first out) 프로세싱을 수행할 수 있다. 여기서 CDI에 포함된 메모리 유닛 또는 디인터리빙 유닛은 1개의 셀 또는 2개 이상의 연속된 셀들을 함께 저장할 수 있다. 즉 CDI에 포함된 메모리 유닛 또는 인터리빙 유닛은 셀들의 페어를 저장할 수 있다. 여기서 2개 이상의 셀들은 서로 연속된 셀들일 수 있다. 도면에서 M_{i,j}은 CDI에 포함된 메모리를 의미하며, 첨자인 i 및 j는 i번째 로우 및 j번째 칼럼을 의미할 수 있다. 또한 CDI는 N_{row} 개의 로우와 또한 N_{column} 개의 칼럼을 포함할 수 있다. N_{cell}은 셀 디인터리빙되는 셀들의 개수 또는 FEC 블록의 사이즈를 의미할 수 있다.
- [1083] 도 134는 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 동작 방법을

나타낸다. 아래에서 설명하는 컨볼루셔널 디인터리버는 전술한 컨볼루셔널 디인터리버의 동작에서 가정했던 사항들이 동일하게 적용되며, 두번째 프레임부터 프레임 동기화 되며 정확한 시그널링 정보가 검출되었음을 가정할 수 있다. 도식된 바와 같이 컨볼루셔널 디인터리버는 시그널링 정보는 전술한 최대 로우 사이즈 정보인 PLP_TI_NUM_ROW_MAX, 로우 사이즈 정보인 PLP_TI_NUM_ROW, 첫번째 셀이 입력되는 로우의 위치 정보인 PLP_TI_START_ROW, 셀 인터리빙 패턴 정보인 PLP_TI_CELLINV_START 및/또는 FEC 블록 위치 정보인 PLP_TI_FECBLOCK_START 중 적어도 하나를 수신하고 이용할 수 있다. 도식된 바와 같이 방송 신호 수신 장치는 PLP_TI_NUM_ROW_MAX는 4, PLP_TI_NUM_ROW는 4, PLP_TI_START_ROW는 2, PLP_TI_CELLINV_START는 2, PLP_TI_FECBLOCK_START는 2로 설정된 시그널링 정보를 수신할 수 있다.

[1084] 우선적으로 컨볼루셔널 디인터리버의 구조는 PLP_TI_NUM_ROW_MAX 및/또는 PLP_TI_NUM_ROW 중 적어도 하나를 이용하여 구성될 수 있다. 즉, PLP_TI_NUM_ROW_MAX 및/또는 PLP_TI_NUM_ROW의 값이 4로 설정되어 있으므로, 컨볼루셔널 디인터리버의 구조는 N_row가 4, N_column이 3으로 설정될 수 있다. N_column은 N_row-1로 얻어질 수 있기 때문이다. 구체적인 컨볼루셔널 디인터리버의 동작은 다음 도면에서 설명할 수 있다.

[1085] 도 135는 본 발명의 일 실시예에 따른 컨볼루셔널 디인터리버의 동작 방법을 나타낸다. 전술한 바와 같이 컨볼루셔널 디인터리버는 두번째 프레임부터 프레임 동기화 되었다고 가정할 수 있다. 아래에서는 전술한 컨볼루셔널 디인터리버에 출력된 두번째 프레임을 이용하여 컨볼루셔널 디인터리버의 동작 방법을 설명할 수 있다. 도식된 바와 같이 컨볼루셔널 디인터리버는 PLP_TI_START_ROW 및 PLP_TI_FECBLOCK_START를 이용하여 동작할 수 있다. 즉 컨볼루셔널 디인터리버는 PLP_TI_START_ROW=2 정보를 이용하여, 첫 번째 cell을 row 2에 입력할 수 있다. 또한 interleaving 후 첫번째 완전한 FEC block(first complete FEC block)은 PLP_TI_FECBLOCK_START=2 정보를 이용하여 CDI 출력 신호에 대해 2번째 셀부터 시작할 수 있다. 이후 interleaving 후 셀 디인터리버는 첫번째 완전한 FEC block(first complete FEC block)에 대해 PLP_TI_CELLINV_START 정보에 기초한 2번째 interleaving pattern을 이용하여 셀 디인터리빙을 수행할 수 있다.

[1086] 이하에서는 본 발명의 다른 실시예에 따른 타임 인터리빙에 이용되는 시그널링 정보에 대해 설명할 수 있다. 타임 인터리빙에 이용되는 시그널링 정보는 L1 시그널링을 통해 방송 신호 송신 장치로부터 방송 신호 수신 장치로 전달될 수 있다. L1 시그널링에 포함되는 L1 시그널링 정보는 static 시그널링 및 dynamic 시그널링을 포함할 수 있으며, 아래에서 설명하는 TI 시그널링 정보는 L1 시그널링에 포함된 static 시그널링 또는 dynamic 시그널링을 통해 방송 신호 수신 장치로 전달될 수 있다.

- [1087] 도 136은 본 발명의 일 실시예에 따른 타임 인터리버를 나타낸다. 즉, 도 136의 (a)는 본 발명의 일 실시예에 따른 방송 신호 송신 시스템에서 PLP 모드에 따른 타임 인터리버의 구성을 나타낸다. 전술한 바와 같이 타임 인터리버는 Multiple-PLP (M-PLP) 모드에서 트위스티드 BI와 컨볼루셔널 딜레이 라인(convolutional delay-line)을 포함할 수 있다. 전술한 바와 같이 컨볼루셔널 딜레이 라인은 컨볼루셔널 인터리버로 칭할 수 있다. 이와 같이 트위스티드 BI와 컨볼루셔널 딜레이 라인(convolutional delay-line)을 포함하는 타임 인터리버를 하이브리드 TI로 칭할 수 있다. 이와 달리 single-PLP (S-PLP) 모드 경우 임의의 컨볼루셔널 인터리버(convolutional interleaver, CI)만이 사용될 수 있다.
- [1088] (모디파이드) 셀 인터리버는 S-PLP & M-PLP 모드에서 모두 적용될 수 있으며, PLP 모드에 따라 같거나 다른 동작 및 세부 특징을 가질 수 있다.
- [1089] TI를 구성하는 각 블록에 TI 시그널링 정보를 이용하여 동작할 수 있다. 즉, 도시된 바와 같이 TI에 포함된 셀 인터리버, 트위스티드 BI, 컨볼루셔널 딜레이 라인 및 CI는 TI 시그널링 정보에 따라 동작할 수 있다. TI 시그널링 정보는 구성정보(configurable) 시그널링 및 다이내믹 시그널링을 포함할 수 있다.
- [1090] 도 136의 (b)는 본 발명의 일 실시예에 따른 타임 인터리버를 등가적으로 나타낸 블록도이다. 전술한 타임 인터리버와 동일한 구성을 포함할 수 있으며, Multiple-PLP (M-PLP) 모드에서 트위스티드 BI와 컨볼루셔널 딜레이 라인(convolutional delay-line)을 포함하고, single-PLP (S-PLP) 모드 경우 임의의 컨볼루셔널 인터리버(convolutional interleaver, CI)를 포함할 수 있다. 또한 TI는 각 PLP 모드에서 셀 인터리버를 더 포함할 수 있다. 도시된 바와 같이 TI 시그널링은 TI에 포함된 셀 인터리버, 트위스티드 BI, 컨볼루셔널 딜레이 라인 및 CI의 동작에 관련된 정보를 전달할 수 있으며 configurable 시그널링 및 다이내믹 시그널링을 포함할 수 있다. 또한 각 PLP 모드에서 타임 인터리버가 다른 인터리버(other interleaver)를 더 포함하는 경우, 해당 인터리버에도 TI 시그널링 정보가 전달될 수 있다.
- [1091] 본 발명에서는 TI에 포함된 각 블록 운영을 위해 필요로 하는 신호 정보의 정의에 대해 기술할 수 있다.
- [1092] 도 137은 본 발명의 일 실시예에 따른 타임 인터리빙 시그널링 정보 중 일부를 나타낸다. TI 시그널링 정보는 configurable 시그널링 필드 및 다이내믹 시그널링 필드를 포함할 수 있다. 도 137에서는 configurable 시그널링 필드에 포함된 정보를 설명할 수 있다. configurable 시그널링 필드는 슈퍼 프레임 안에서 일정한(constant) 값을 갖는 TI 시그널링 정보를 포함할 수 있다. 즉, configurable 시그널링 필드에 포함된 정보는 슈퍼 프레임 단위로 변경되며 동일 슈퍼 프레임 내에서는 변경되지 않을 수 있다. configurable 시그널링 필드는 PLP의 개수를 나타내는 NUM_PLP에 따라 S-PLP 모드와 M-PLP mode로 구분하여 시그널링할 수 있다.
- [1093] S-PLP 모드의 CI를 동작시키기 위한 시그널링 정보는

PLP_TI_NUM_ROW_MAX, PLP_TI_ROW_SIZE, PLP_TI_START_ROW 및/또는 PLP_TI_FECBLOCK_START를 포함할 수 있다. 또한 S-PLP 모드의 CI를 동작시키기 위한 시그널링 정보는 FRAME_INTERVAL을 더 포함할 수 있다. 각 시그널링에 대한 정의는 아래에서 자세히 설명하도록 한다. 이때 플렉서블한 CI 동작 지원을 위해서 추가적인 시그널링 정보가 S-PLP모드를 위한 configurable 시그널링 필드에 추가 될 수 있다.

- [1094] PLP_TI_NUM_ROW_MAX는 CI를 구성하는 딜레이 라인의 최대 개수를 나타내는 정보로써 각 딜레이 라인은 로우로 표현될 수 있다.
- [1095] PLP_TI_NUM_ROW는 CI를 구성하는 딜레이 라인의 개수를 나타내는 정보로써 각 딜레이 라인은 로우로 표현될 수 있다.
- [1096] PLP_TI_START_ROW는 타임 디인터리버의 스위치의 시작 위치를 나타내는 정보로써 스위치가 FEC 프레임의 시작 부분에서 어느 로우부터 디인터리빙을 시작해야하는지를 나타낼 수 있다. 즉, PLP_TI_START_ROW는 신호 프레임의 시작 부분에서 인터리버 셀렉터의 위치를 나타내는 정보일 수 있다. 본 명세서에서 디인터리버의 스위치는 셀렉터 또는 정류자(commutator)로 표현될 수 있다. 본 명세서에서 PLP_TI_START_ROW는 L1D_CI_start_row로 표현될 수도 있다.
- [1097] PLP_TI_FECBLOCK_START는 ATSC 신호 프레임 내에서 첫번째 완전한 FEC 블록의 시작 위치를 나타내는 정보이다. 본 명세서에서 S-PLP 모드와 관련된 FEC 블록은 FEC 프레임으로 칭할 수 있으며, PLP_TI_FECBLOCK_START는 L1D_CI_fecframe_start로 표현될 수도 있다.
- [1098] FRAME_INTERVAL은 아래 M-PLP 모드에서 설명하도록 한다.
- [1099] M-PLP 모드의 하이브리드 TI를 동작 시키기 위해 필요한 시그널링 정보는 PLP_NUM_BLOCKS_MAX, TIME_IL_LENGTH, TIME_IL_TYPE, FRAME_INTERVAL 등이며, 각 시그널링에 대한 정의는 아래에서 자세히 설명하도록 한다.
- [1100] PLP_NUM_BLOCKS_MAX는 FEC 블록들의 최대 개수를 나타내는 정보이다. 즉 PLP_NUM_BLOCKS_MAX는 현재 PLP를 위한 인터리빙 프레임 당 FEC 블록들의 최대 개수를 나타낼 수 있다.
- [1101] TIME_IL_TYPE은 1 비트 필드로써 타임 인터리빙의 타입 또는 모드를 나타내는 정보일 수 있다. 본 명세서에서 TIME_IL_TYPE은 L1D_HTI_inter_frame으로 칭할 수도 있다. TIME_IL_TYPE의 값이 0으로 설정되면, 프레임간 인터리빙(inter-frame interleaving)이 사용되지 않음을 나타낼 수 있으며, 프레임 내 인터리빙(intra-frame interleaving)이 사용됨을 나타낼 수 있다. 여기서 인터리빙 프레임은 하나 또는 복수개의 TI 블록들을 포함할 수 있다. TIME_IL_TYPE의 값이 1로 설정되면, 프레임간 인터리빙(inter-frame interleaving)이 사용됨을 나타낼 수 있으며, 하나의 인터리빙 프레임은 하나의 TI 블록을 포함할 수 있다. 또한 인터리빙 프레임에 포함된 하나의 TI 블록은 복수

개의 ATSC 방송 신호 프레임에 걸쳐 스프레드될 수 있다.

- [1102] TIME_IL_LENGTH는 전술한 TIME_IL_TYPE에 따라 다음과 같이 정의될 수 있다. 본 명세서에서 TIME_IL_LENGTH는 L1D-HTI_num_ti_blocks로 나타낼 수도 있다. TIME_IL_LENGTH는 TIME_IL_TYPE의 값이 1로 설정된 경우, 프레임들의 개수를 나타내는 P_I를 의미할 수 있다. 여기서 프레임들의 개수란 타임 인터리빙에 의해 하나의 TI 블록에 속한 메모리 유닛이 스프레드되어 운반되는 프레임들의 개수를 의미할 수 있다.
- [1103] TIME_IL_LENGTH는 TIME_IL_TYPE의 값이 0으로 설정된 경우, 인터리빙 프레임 당 TI 블록들의 개수인 N_TI를 나타내는 정보로써 하나의 인터리빙 프레임에 몇 개의 TI 블록들이 포함되었는지를 나타낼 수 있다.
- [1104] 만약 하나의 인터리빙 프레임 당 하나의 TI 블록이 포함되고, 하나의 인터리빙 프레임당 하나의 신호 프레임이 존재하는 경우, TIME_IL_LENGTH는 1로 설정되고 TIME_IL_TYPE은 0으로 설정될 수 있다. 만약 PLP에 대해 타임 인터리빙이 사용되지 않는다면, TIME_IL_LENGTH는 0으로 설정되고 TIME_IL_TYPE도 0으로 설정될 수 있다.
- [1105] FRAME_INTERVAL은 ATSC 프레임 인터벌인 I_JUMP를 나타내는 정보이다. FRAME_INTERVAL은 연계된 PLP를 위한 슈퍼프레임 내에서의 ATSC 프레임 인터벌을 나타낼 수 있다. 또한 FRAME_INTERVAL은 하나의 TI 블록에 속한 메모리 유닛들을 운반하는 두 개의 ATSC 프레임 간의 거리를 나타낼 수도 있다. 슈퍼프레임 내에서 매 프레임마다 나타나지 않고 일부 프레임에서만 나타나는 PLP들에 대해 FRAME_INTERVAL의 값은 연속한 프레임들 사이의 인터벌과 동일한 값을 가질 수 있다. 예를 들어 어떤 PLP가 프레임 1, 프레임 4 및 프레임 7에 속한 경우, FRAME_INTERVAL의 값은 3으로 설정될 수 있다. 다른 예로 어떤 PLP가 매 프레임마다 등장하는 경우 FRAME_INTERVAL의 값은 1로 설정될 수 있다.
- [1106] 도 138은 본 발명의 일 실시예에 따른 타임 인터리빙 시그널링 정보 중 다른 일부를 나타낸다. TI 시그널링 정보는 configurable 시그널링 필드 및 다이내믹 시그널링 필드를 포함할 수 있다. 도 138에서는 다이내믹 시그널링 필드에 포함된 정보를 설명할 수 있다. 다이내믹 시그널링 필드는 하나의 프레임 내에서 일정한(constant) 값을 갖는 TI 시그널링 정보를 나타낼 수 있다. 다이내믹 시그널링 필드에 포함된 정보는 매 프레임마다 변경될 수 있다. 즉, 다이내믹 시그널링 필드에 포함된 정보는 프레임 단위로 변경되며 동일 프레임 내에서는 변경되지 않을 수 있다. 다이내믹 시그널링 필드는 PLP의 개수를 나타내는 NUM_PLP에 따라 S-PLP 모드와 M-PLP mode로 구분하여 시그널링할 수 있다.
- [1107] S-PLP 모드의 CI를 동작시키기 위한 시그널링 정보는 PLP_TI_NUM_ROW, PLP_TI_START_ROW 및/또는 PLP_TI_FECBLOCK_START를 포함할 수 있다. 각 시그널링에 대한 정의는 아래에서 자세히 설명하도록 한다. 여기서, PLP_TI_NUM_ROW, PLP_TI_START_ROW, PLP_TI_FECBLOCK_START

정보는 CI 구조 및 동작이 매 frame마다 바뀌지 않을 경우, 사용되지 않거나 정의가 되지 않을 수도 있다.

- [1108] PLP_TI_NUM_ROW는 CI를 구성하는 딜레이 라인의 개수를 나타내는 정보로써 각 딜레이 라인은 로우로 표현될 수 있다.
- [1109] PLP_TI_START_ROW는 타임 디인터리버의 스위치의 시작 위치를 나타내는 정보로써 스위치가 FEC 프레임의 시작 부분에서 어느 로우부터 디인터리빙을 시작해야하는지를 나타낼 수 있다. 본 명세서에서 디인터리버의 스위치는 셀렉터 또는 정류자(commutator)로 표현될 수 있다. 본 명세서에서 PLP_TI_START_ROW는 L1D_CI_start_row로 표현될 수도 있다.
- [1110] PLP_TI_FECBLOCK_START는 ATSC 신호 프레임 내에서 첫번째 완전한 FEC 블록의 시작 위치를 나타내는 정보이다. 본 명세서에서 S-PLP 모드와 관련된 FEC 블록은 FEC 프레임으로 칭할 수 있으며, PLP_TI_FECBLOCK_START는 L1D_CI_fecframe_start로 표현될 수도 있다.
- [1111] M-PLP 모드의 하이브리드 TI를 동작 시키기 위해 필요한 시그널링 정보는 PLP_NUM_BLOCKS를 포함할 수 있다. PLP_NUM_BLOCKS는 8비트가 할당된 필드일 수 있다. PLP_NUM_BLOCKS는 현재 PLP에 대한 인터리빙 프레임에 포함된 FEC 블록들의 개수를 나타내는 정보를 나타낼 수 있다. 본 명세서에서 PLP_NUM_BLOCKS는 L1D_HTI_num_fec_blocks으로 표현될 수 있다.
- [1112] 도 139는 본 발명의 일 실시예에 따른 타임 디인터리버를 나타낸다. 즉, 도 139의 (a)는 본 발명의 일 실시예에 따른 방송 신호 수신 시스템에서 PLP 모드에 따른 타임 디인터리버의 구성을 나타낸다. 전술한 바와 같이 타임 디인터리버는 Multiple-PLP (M-PLP) 모드에서 컨볼루셔널 딜레이 라인(convolutional delay-line)과 트위스티드 BDI를 포함할 수 있다. 본 명세서에서 타임 디인터리버에 포함된 컨볼루셔널 딜레이 라인은 타임 인터리버에 포함된 컨볼루셔널 딜레이 라인의 인버스 프로세싱(inverse processing)을 수행할 수 있다. 이와 같이 컨볼루셔널 딜레이 라인(convolutional delay-line)과 트위스티드 BDI를 포함하는 타임 디인터리버를 하이브리드 TDI로 칭할 수 있다. 이와 달리 single-PLP (S-PLP) 모드 경우 임의의 컨볼루셔널 디인터리버(convolutional deinterleaver, CDI)만이 사용될 수 있다.
- [1113] (모디파이드) 셀 디인터리버는 S-PLP & M-PLP 모드에서 모두 적용될 수 있으며, PLP 모드에 따라 같거나 다른 동작 및 세부 특징을 가질 수 있다.
- [1114] TDI를 구성하는 각 블록에 TI 시그널링 정보를 이용하여 동작할 수 있다. 즉, 도 139의 바와 같이 TDI에 포함된 셀 디인터리버, 트위스티드 BDI, 컨볼루셔널 딜레이 라인 및 CDI는 TI 시그널링 정보에 따라 동작할 수 있다. TI 시그널링 정보는 구성정보(configurable) 시그널링 및 다이내믹 시그널링을 포함할 수 있다. TDI가 수신하여 이용하는 TI 시그널링 정보는 전술한 방송 신호 송신 장치가 전송한 TI 시그널링 정보와 동일한 정보이며, L1 시그널링을 통해 방송 신호 수신 장치가 수신할 수 있다.

- [1115] 도 139의 (b)는 본 발명의 일 실시예에 따른 타임 디인터리버를 등가적으로 나타낸 블록도이다. 전술한 타임 디인터리버와 동일한 구성을 포함할 수 있으며, Multiple-PLP (M-PLP) 모드에서 컨볼루셔널 딜레이 라인(convolutional delay-line) 및 트위스티드 BDI를 포함하고, single-PLP (S-PLP) 모드 경우 임의의 컨볼루셔널 인터리버(convolutional deinterleaver, CDI)를 포함할 수 있다. 또한 TDI는 각 PLP 모드에서 셀 디인터리버를 더 포함할 수 있다. 도시된 바와 같이 TI 시그널링은 TI에 포함된 셀 디인터리버, 트위스티드 BDI, 컨볼루셔널 딜레이 라인 및 CDI의 동작과 관련된 전달할 수 있으며 configurable 시그널링 및 다이내믹 시그널링을 포함할 수 있다. 또한 각 PLP 모드에서 타임 디인터리버가 다른 디인터리버(other interleaver)를 더 포함하는 경우, 해당 디인터리버에도 TI 시그널링 정보가 전달될 수 있다. TDI가 수신하여 이용하는 TI 시그널링 정보는 전술한 방송 신호 송신 장치가 전송한 TI 시그널링 정보와 동일한 정보이며, L1 시그널링을 통해 방송 신호 수신 장치가 수신할 수 있다.
- [1116] 도 140은 본 발명의 일 실시예에 따른 방송 신호 송신 장치의 동작 방법을 나타낸 도면이다. 방송 신호 송신 장치는 데이터를 인코딩할 수 있다(S14010). 방송 신호 송신 장치는 PLP 단위로 입력되는 PLP 데이터를 FEC 인코딩할 수 있다. 전술한 바와 같이 PLP 데이터는 BCH 인코더 및 LDPC 인코더 중 적어도 하나를 이용하여 PLP 데이터를 인코딩할 수 있으며 인코딩된 PLP 데이터는 추가적으로 비트 인터리버에 의해 인터리빙되거나 및 심볼 매핑에 의해 심볼 단위로 매핑될 수도 있다.
- [1117] 방송 신호 송신 장치는 인코딩된 데이터를 인터리빙할 수 있다(S14020). 인코딩된 PLP 데이터는 타임 인터리버에 의해 인터리빙 될 수 있다. 타임 인터리버는 전술한 바와 같이 PLP 모드에 따라 다르게 동작할 수 있다. 즉 타임 인터리버는 S-PLP 모드와 M-PLP 모드에서 각각 다르게 동작할 수 있으며 타임 인터리버를 구성하는 적어도 하나 이상의 인터리버도 각 모드에서 서로 다를 수 있다. 자세한 설명은 전술한 도면에 대한 설명으로 대신할 수 있다. 타임 인터리버는 인터리빙 파라미터에 따라 동작할 수 있다. 타임 인터리빙 시에 참조된 인터리빙 파라미터들은 시그널링 정보를 구성할 수 있다. 방송 신호 송신 장치는 인터리빙 파라미터들에 대한 시그널링 정보를 전술한 L1 시그널링을 통해 방송 신호 수신 장치에 전달할 수 있다. 방송 신호 수신 장치에 전달된 인터리빙 파라미터들은 디인터리빙 동작시 참조될 수 있다. 인터리빙 파라미터들에 대한 자세한 설명은 전술한 도면에 대한 설명으로 대신할 수 있다.
- [1118] 방송 신호 송신 장치는 인터리빙된 데이터를 포함하는 신호 프레임을 빌딩할 수 있다(S14030). 방송 신호 송신 장치는 인터리빙된 PLP 데이터 및 전술한 L1 시그널링 정보를 포함하는 방송 신호 프레임을 빌딩할 수 있다. 여기서 L1 시그널링 정보는 인터리빙 파라미터를 포함할 수 있다.
- [1119] 방송 신호 송신 장치는 빌딩된 신호 프레임을 전송할 수 있다(S14040). 방송 신호 송신 장치는 빌딩된 신호 프레임을 변조하고 전송할 수 있다. 신호

- 프레임은 OFDM 변조 방식으로 변조될 수 있으며 RF를 통해 전송될 수 있다.
- [1120] 도 141은 본 발명의 일 실시예에 따른 방송 신호 수신 장치의 동작 방법을 나타낸 도면이다. 방송 신호 수신 장치는 방송 신호를 수신할 수 있다(S14110). 방송 신호 수신 장치는 튜너를 이용하여 RF를 통해 방송 신호를 수신할 수 있다. 방송 신호 수신 장치는 수신된 방송 신호를 OFDM 방식으로 복조할 수 있다.
- [1121] 방송 신호 수신 장치는 수신된 방송 신호에 포함된 신호 프레임을 파싱할 수 있다(S14120). 방송 신호 수신 장치는 프레임 파서를 이용하여 복조된 방송 신호로부터 얻어진 신호 프레임을 파싱할 수 있다. 방송 신호 수신 장치는 파싱된 신호 프레임에 포함된 데이터를 획득할 수 있다.
- [1122] 방송 신호 수신 장치는 획득한 데이터를 디인터리빙할 수 있다(S14130). 획득한 데이터는 PLP 데이터일 수 있으며 방송 신호 수신 장치는 송신단의 인터리빙의 역과정인 디인터리빙을 수행할 수 있다. 방송 신호 수신 장치에 포함된 디인터리버는 L1 시그널링을 통해 수신된 정보에 포함된 인터리빙 파라미터를 참조하여 디인터리빙을 수행할 수 있다. 디인터리빙의 수행 방법 및 인터리빙 파라미터에 대한 자세한 설명은 전술한 도면에 대한 설명으로 대신할 수 있다.
- [1123] 방송 신호 수신 장치는 디인터리빙된 데이터를 디코딩할 수 있다(S14140). 타임 디인터리빙된 PLP 데이터는 디코더에 의해 디코딩될 수 있다. 타임 디인터리빙된 PLP 데이터는 디코딩되기 전 심볼 디매핑에 의해 비트 단위로 디매핑될 수 있으며 비트 디인터리버에 의해 비트 디인터리빙 될 수도 있다. 이와 같은 과정을 통해 방송 신호 수신 장치는 원하는 데이터를 사용자에게 제공할 수 있다.
- [1124] 전술한 바와 같이 본 발명에 의한 방송 신호 송신 장치 및 방송 신호 수신 장치는 타임 인터리빙 및 타임 디인터리빙을 이용하여 전송되는 방송 신호의 강건성(robustness)를 높일 수 있다. 이를 통해 방송 신호는 무선 채널의 특성에 의한 신호 감쇄 및 페이딩에 강한 특성을 가질 수 있으며, 방송 신호 송신 장치는 높은 품질의 방송 콘텐츠를 사용자에게 제공할 수 있는 효과가 있다.
- [1125] 본 발명의 사상이나 범위를 벗어나지 않고 본 발명에서 다양한 변경 및 변형이 가능함은 당업자에게 이해된다. 따라서, 본 발명은 첨부된 청구항 및 그 동등 범위 내에서 제공되는 본 발명의 변경 및 변형을 포함하는 것으로 의도된다.
- [1126] 본 명세서에서 장치 및 방법 발명이 모두 언급되고, 장치 및 방법 발명 모두의 설명은 서로 보완하여 적용될 수 있다.

[1127]

발명의 실시를 위한 형태

[1128] 다양한 실시예가 본 발명을 실시하기 위한 최선의 형태에서 설명되었다.

[1129]

산업상 이용가능성

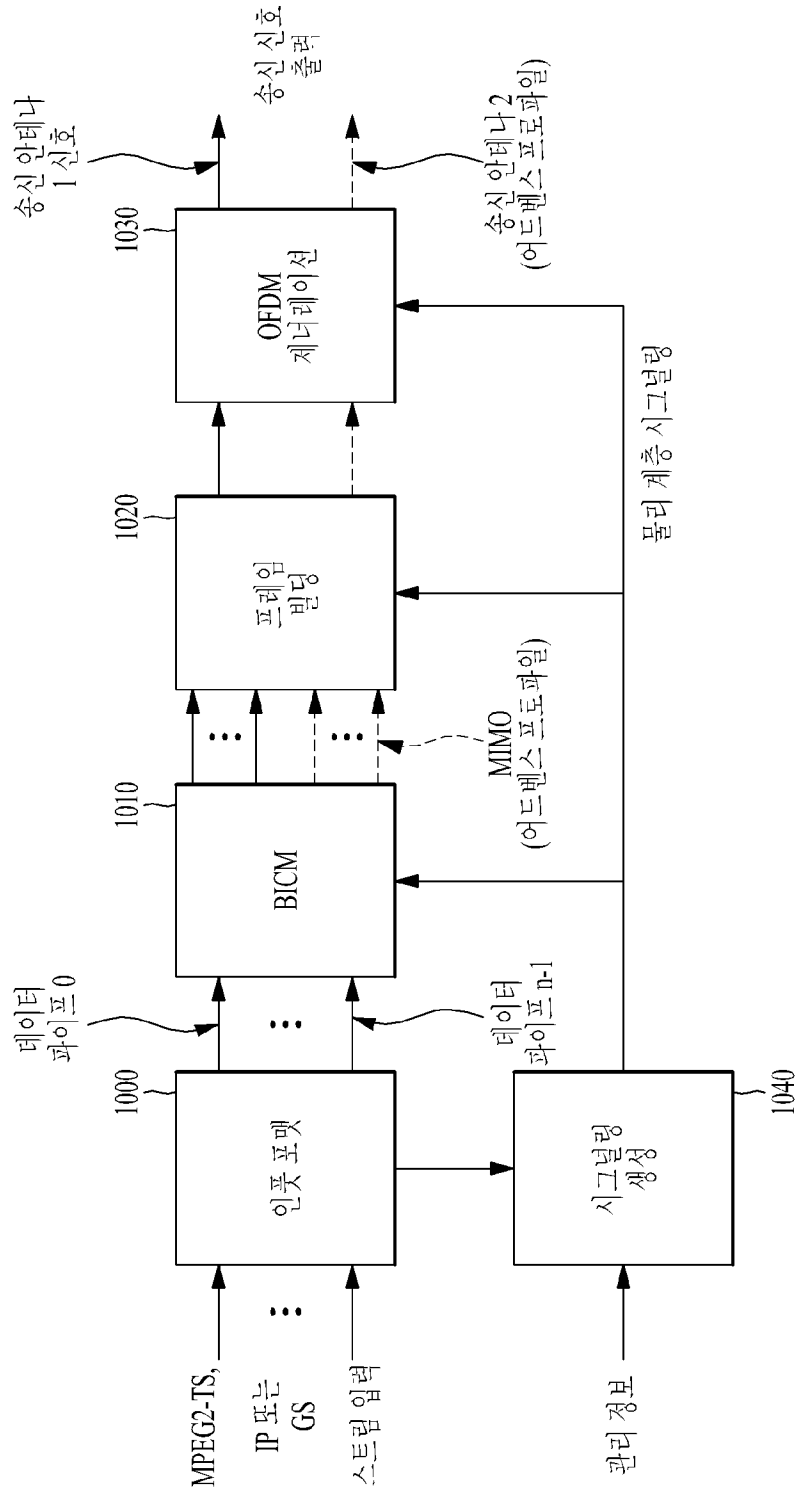
[1130] 본 발명은 일련의 방송 신호 제공 분야에서 이용된다.

- [1131] 본 발명의 사상이나 범위를 벗어나지 않고 본 발명에서 다양한 변경 및 변형이 가능함은 당업자에게 자명하다. 따라서, 본 발명은 첨부된 청구항 및 그 동등 범위 내에서 제공되는 본 발명의 변경 및 변형을 포함하는 것으로 의도된다.

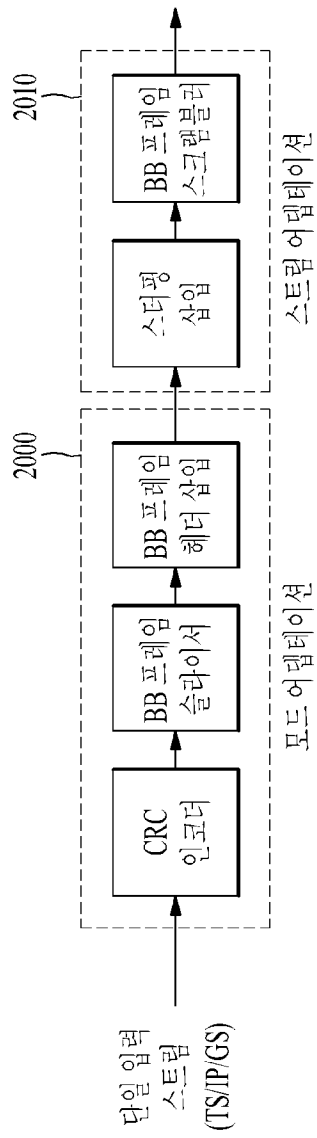
청구범위

- [청구항 1] 방송 신호들을 수신하는 단계;
 상기 수신한 방송 신호들을 OFDM (Orthogonal Frequency Division Multiplex) 방식으로 디모듈레이팅하는 단계;
 상기 디모듈레이팅된 방송 신호들로부터 적어도 하나 이상의 신호 프레임의 파싱(parsing)하는 단계로서, 하나의 신호 프레임은 적어도 하나의 피지컬 경로(physical path)에 대응하는 서비스 데이터를 포함하고;
 상기 적어도 하나 이상의 신호 프레임에 포함된 서비스 데이터를 타임 디인터리빙하는 단계;
 상기 타임 디인터리빙된 서비스 데이터를 디코딩하는 단계를 포함하는 방송 신호 수신 방법.
- [청구항 2] 제 1 항에 있어서, 상기 타임 디인터리빙 단계는 단일 피지컬 경로 모드인 경우 제1 컨볼루셔널 디인터리빙하는 단계를 포함하고, 복수 피지컬 경로 모드인 경우 제2 컨볼루셔널 디인터리빙, 블록 디인터리빙 및 셀 디인터리빙하는 단계를 포함하는 방송 신호 수신 방법.
- [청구항 3] 방송 신호들을 수신하는 수신부;
 상기 수신한 방송 신호들을 OFDM (Orthogonal Frequency Division Multiplex) 방식으로 디모듈레이팅하는 디모듈레이터;
 상기 디모듈레이팅된 방송 신호들로부터 적어도 하나 이상의 신호 프레임의 파싱(parsing)하는 프레임 파서로서, 하나의 신호 프레임은 적어도 하나의 피지컬 경로(physical path)에 대응하는 서비스 데이터를 포함하고;
 상기 적어도 하나 이상의 신호 프레임에 포함된 서비스 데이터를 타임 디인터리빙하는 타임 디인터리버;
 상기 타임 디인터리빙된 서비스 데이터를 디코딩하는 디코더를 포함하는 방송 신호 수신 장치.
- [청구항 4] 제 3 항에 있어서, 상기 타임 디인터리버는 단일 피지컬 경로 모드인 경우 제1 컨볼루셔널 디인터리버를 포함하고, 복수 피지컬 경로 모드인 경우 제2 컨볼루셔널 디인터리버, 블록 디인터리버 및 셀 디인터리버를 포함하는 방송 신호 수신 장치.

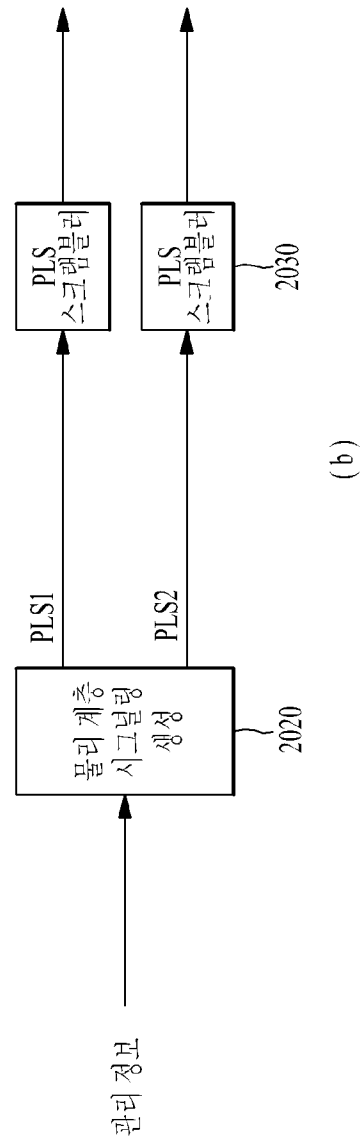
[도 1]



[도2]

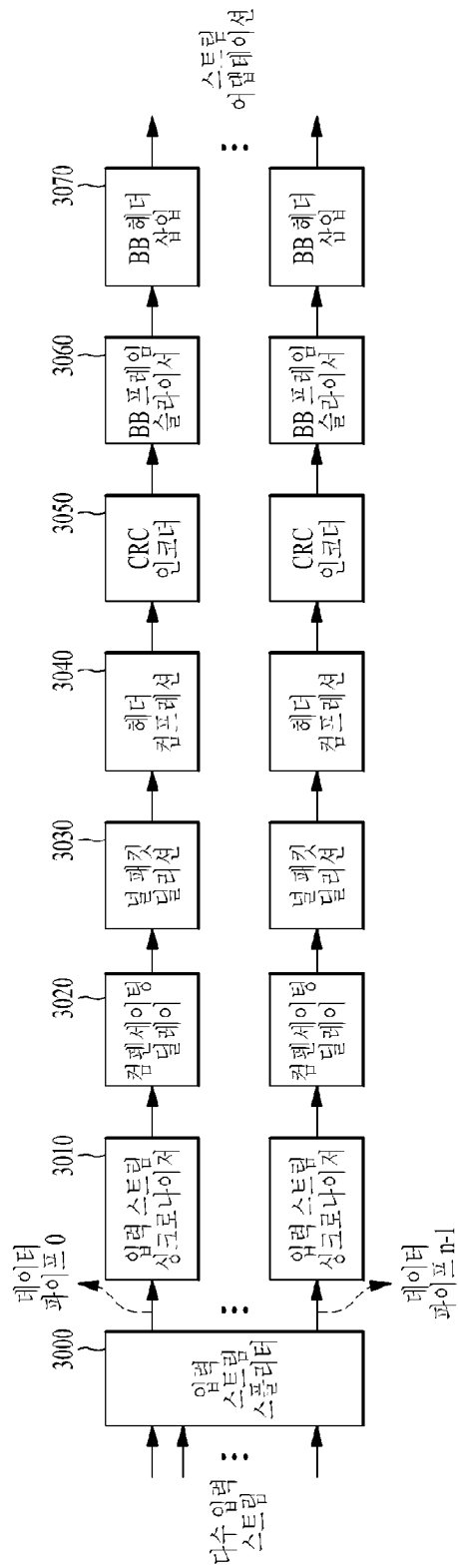


(a)

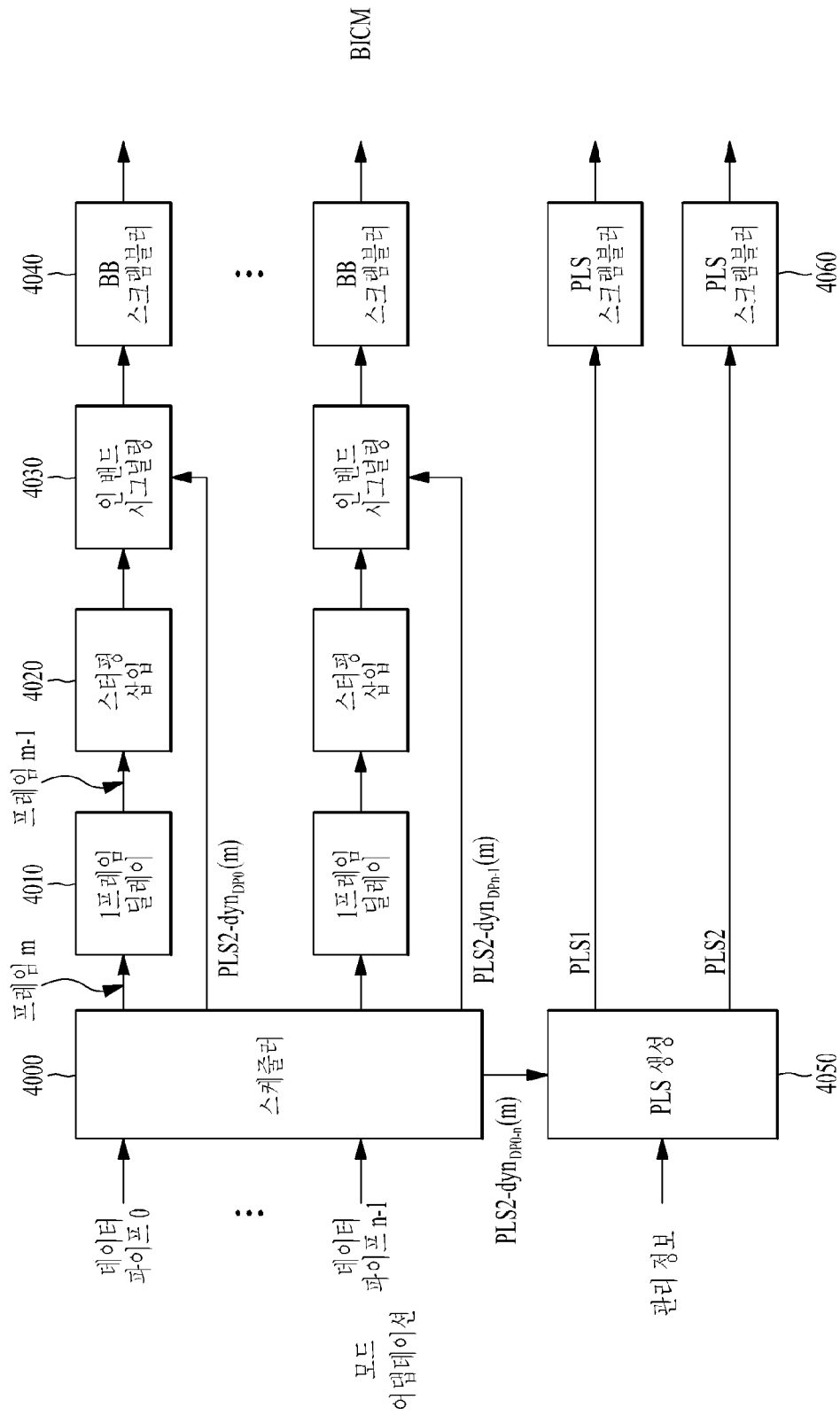


(b)

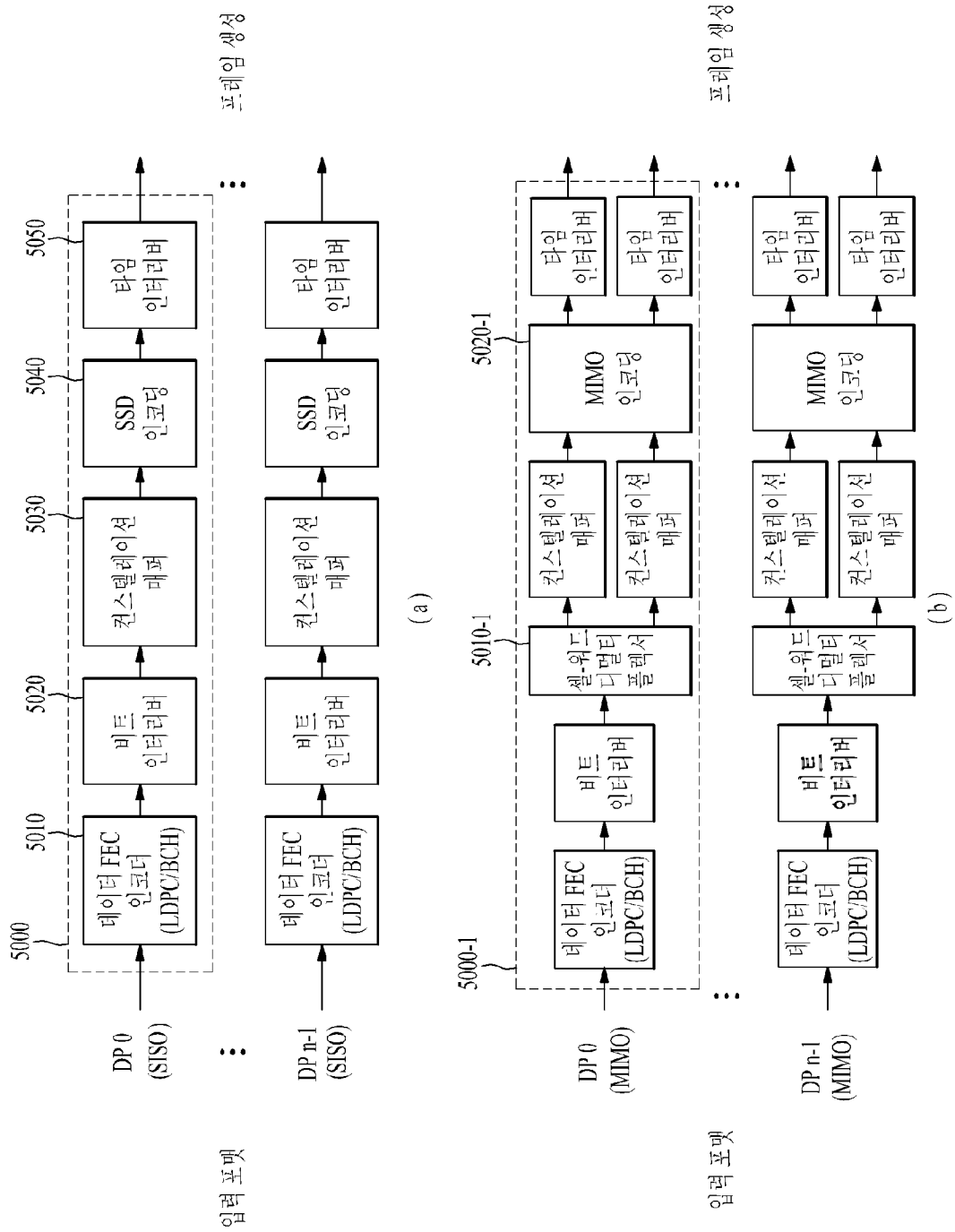
[도3]



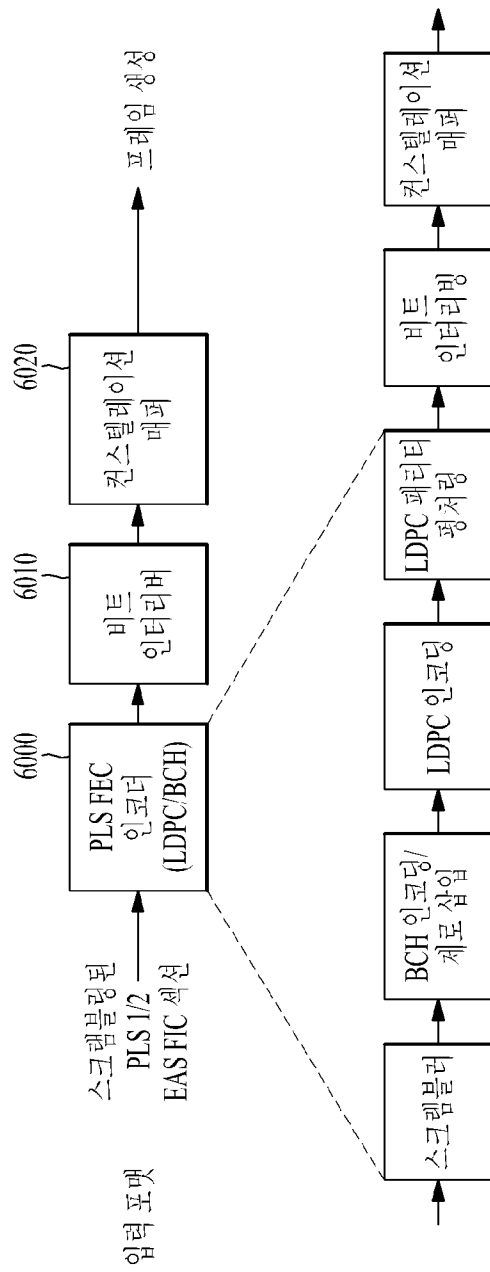
[도4]



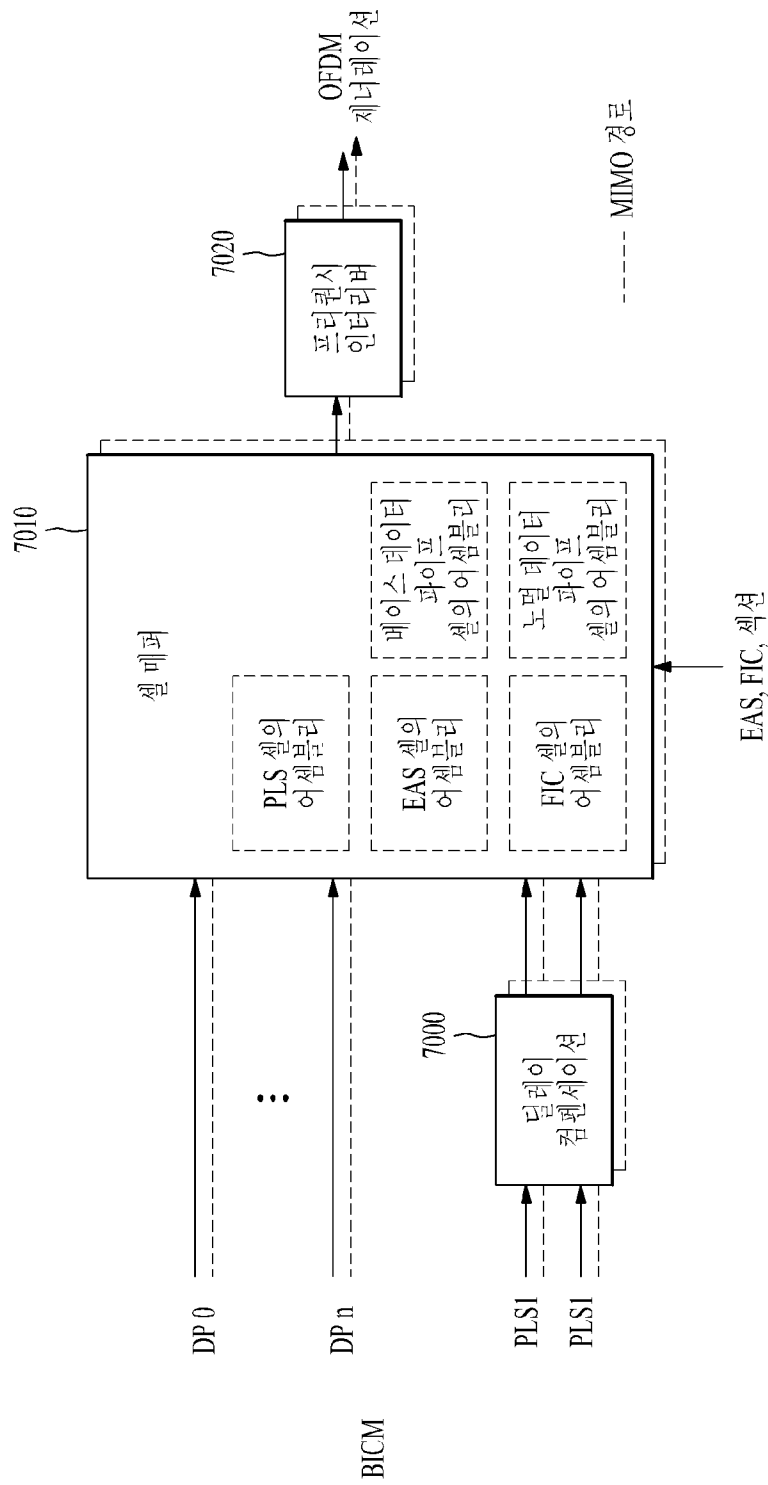
[도5]



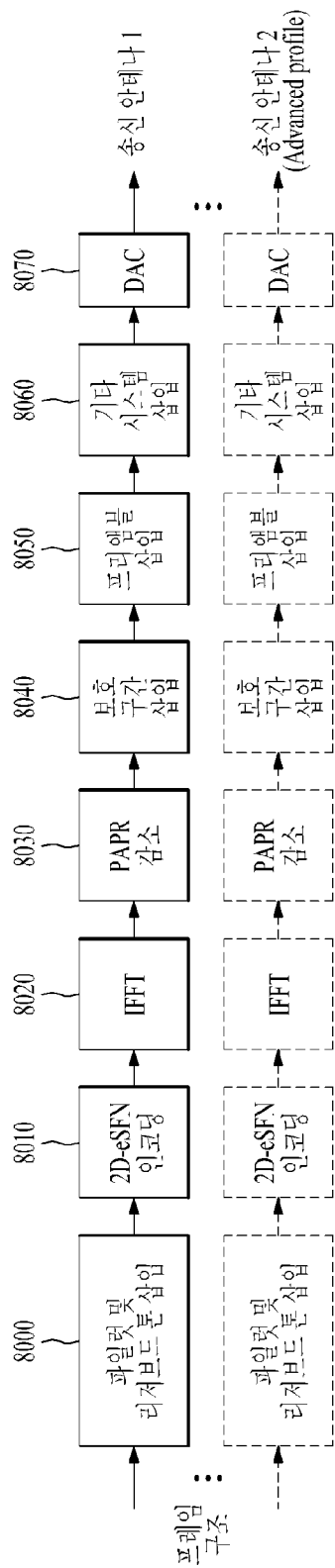
[도6]



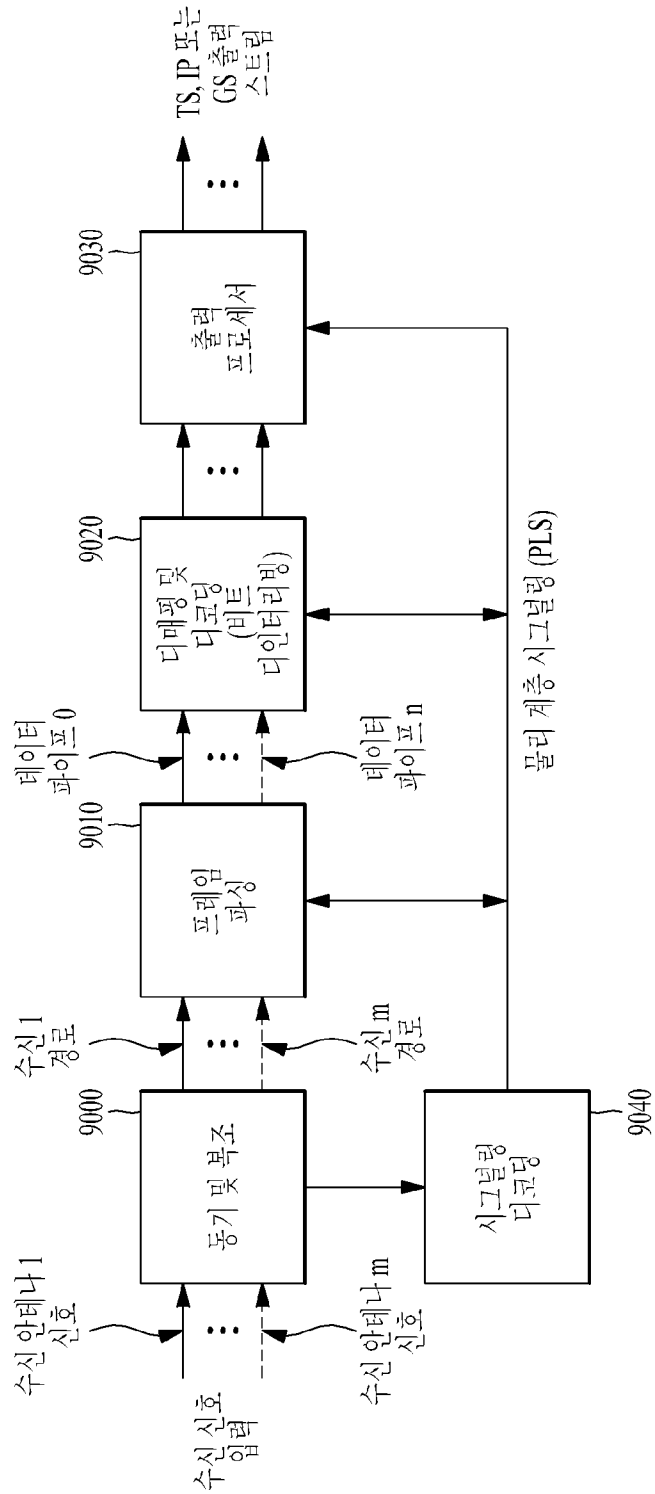
[도7]



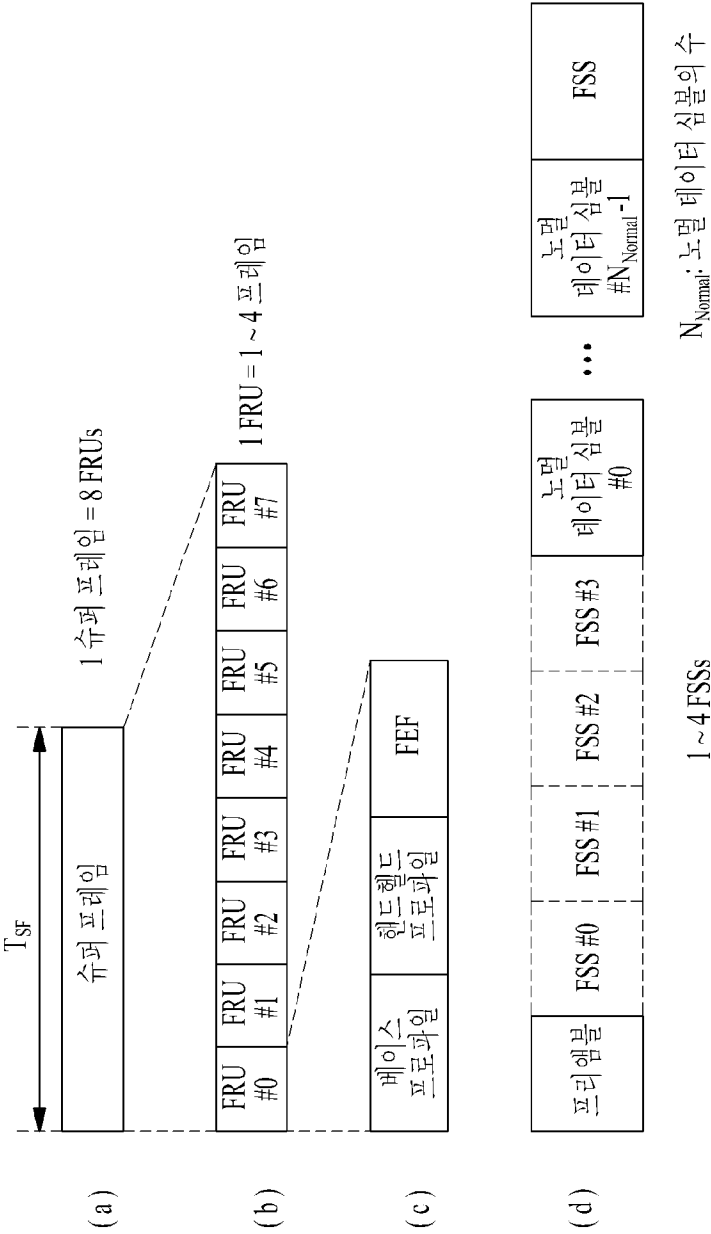
[도8]



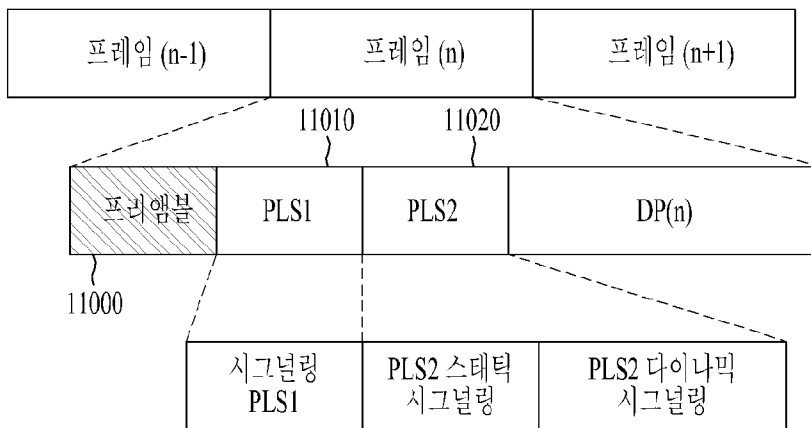
[도9]



[도10]



[도11]



[도12]

콘텐츠	비트
PHY_PROFILE	3
FFT_SIZE	2
GI_FRACTION	3
EAC_FLAG	1
PILOT_MODE	1
PAPR_FLAG	1
FRU_CONFIGURE	3
RESERVED	7

[도13]

콘텐츠	비트
PREAMBLE DATA	20
NUM_FRAME FRU	2
PAYLOAD_TYPE	3
NUM_FSS	2
SYSTEM_VERSION	8
CELL_ID	16
NETWORK_ID	16
SYSTEM_ID	16
for i = 0:3	
FRU_PHY_PROFILE	3
FRU_FRAME_LENGTH	2
FRU_GI_FRACTION	3
RESERVED	4
end	
PLS2_FEC_TYPE	2
PLS2_MOD	3
PLS2_SIZE_CELL	15
PLS2_STAT_SIZE_BIT	14
PLS2_SYN_SIZE_BIT	14
PLS2_REP_FLAG	1
PLS2_REP_SIZE_CELL	15
PLS2_NEXT_FEC_TYPE	2
PLS2_NEXT_MODE	3
PLS2_NEXT_REP_FLAG	1
PLS2_NEXT_REP_SIZE_CELL	15
PLS2_NEXT_REP_STAT_SIZE_BIT	14
PLS2_NEXT_REP_DYN_SIZE_BIT	14
PLS2_AP_MODE	2
PLS2_AP_SIZE_CELL	15
PLS2_NEXT_AP_MODE	2
PLS2_NEXT_AP_SIZE_CELL	15
RESERVED	32
CRC 32	32

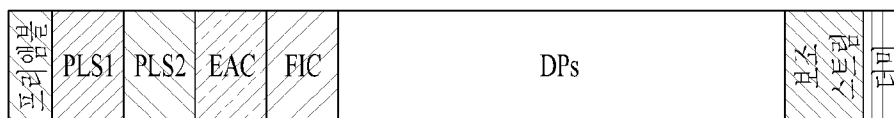
[도 14]

콘텐츠	비트
FIC_FLAG	1
AUX_FLAG	1
NUM_DP	6
for i = 1: NUM_DP	
DP_ID	6
DP_TYPE	3
DP_GROUP_ID	8
BASE_DP_ID	6
DP_FEC_TYPE	2
DP_COD	4
DP_MOD	4
DP_SSD_FLAG	1
if PHY_PROFILE = '010'	
DP_MIMO	3
end	
DP_TI_TYPE	1
DP_TI_LENGTH	2
DP_TI_BYPASS	1
DP_FRAME_INTERVAL	2
DP_FIRST_FRAME_IDX	5
DP_NUM_BLOCK_MAX	10
DP_PAYLOAD_TYPE	2
DP_INBAND_MODE	2
DP_PROTOCOL_TYPE	2
DP_CRC_MODE	2
if DP_PAYLOAD_TYPE == TS('00')	
DNP_MODE	2
ISSY_MODE	2
HC_MODE_TS	2
if HC_MODE_TS == '01' or '10'	
PID	13
end	
if DP_PAYLOAD_TYPE == IP('01')	
HC_MODE_IP	2
end	
RESERVED	8
end	
if FIC_FLAG == 1	
FIC_VERSION	8
FIC_LENGTH_BYTE	13
RESERVED	8
end	
if AUX_FLAG == 1	
NUM_AUX	4
AUX_CONFIG_RFU	8
for i = 1: NUM_AUX	
AUX_STREAM_TYPE	4
AUX_PRIVATE_CONF	28
end	
end	

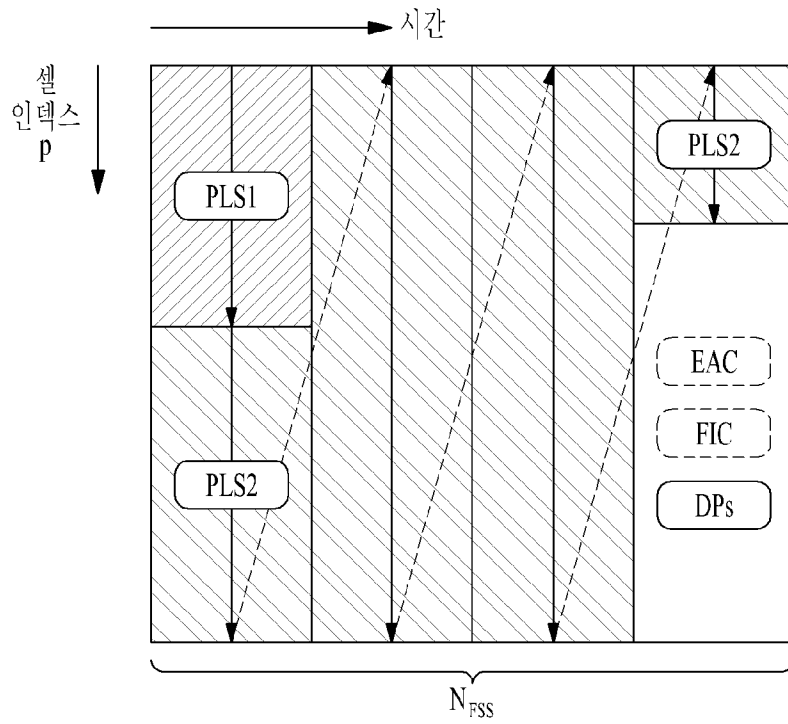
[도 15]

콘텐츠		비트
FRAME_INDEX		5
PLS_CHANGE_COUNTER		4
FIC_CHANGE_COUNTER		4
RESERVED		16
for i = 1: NUM_DP		
	DP_ID	6
	DP_START	15 (또는 13)
	DP_NUM_BLOCK	10
end	RESERVED	8
EAC_FLAG		1
EAS_WAKE_UP_VERSION_NUM		8
if EAC_FLAG == 1		
	EAC_LENGTH_BYTE	12
else		
	EAC_COUNTER	12
end		
for i=1:NUM_AUX		
	AUX_PRIVATE_DYN	48
end		
CRC 32		32

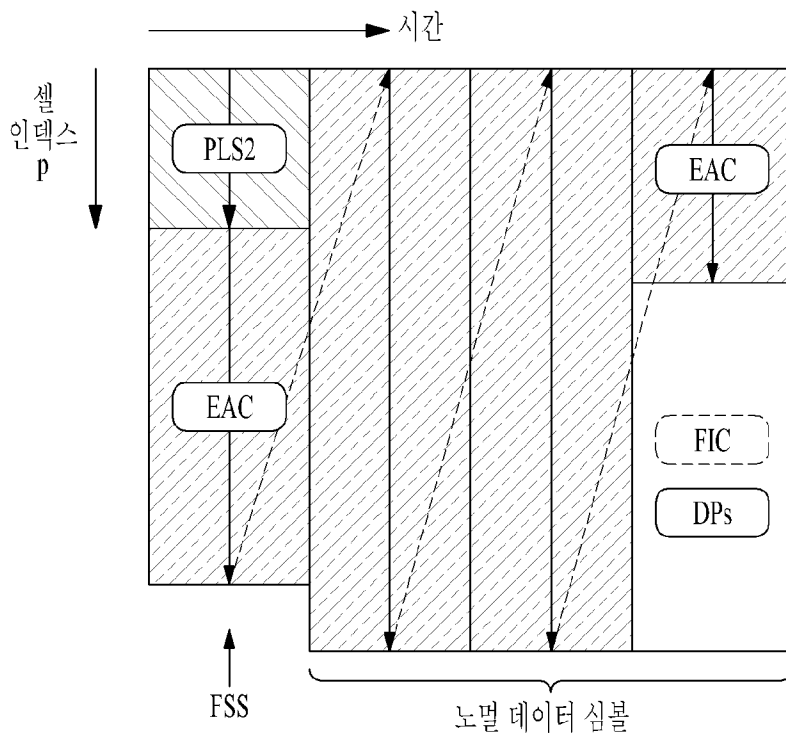
[도 16]



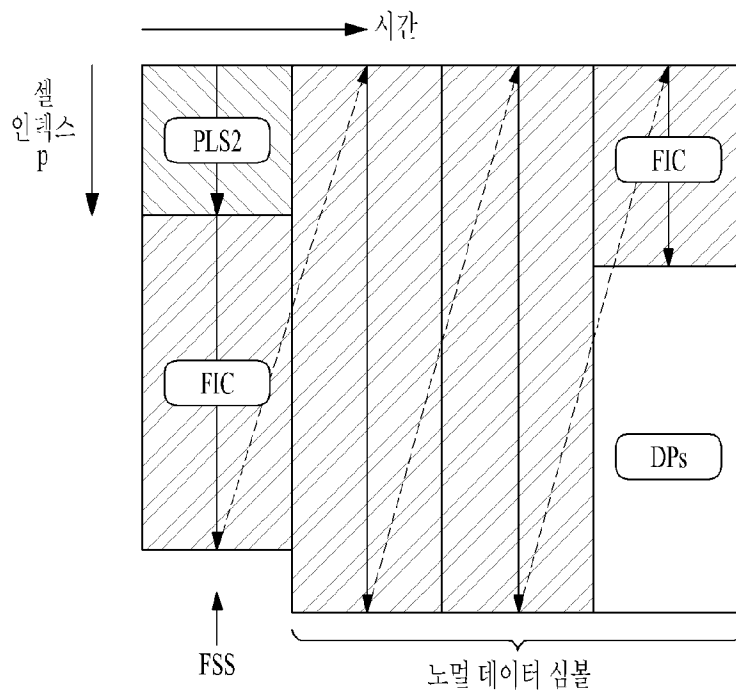
[도17]



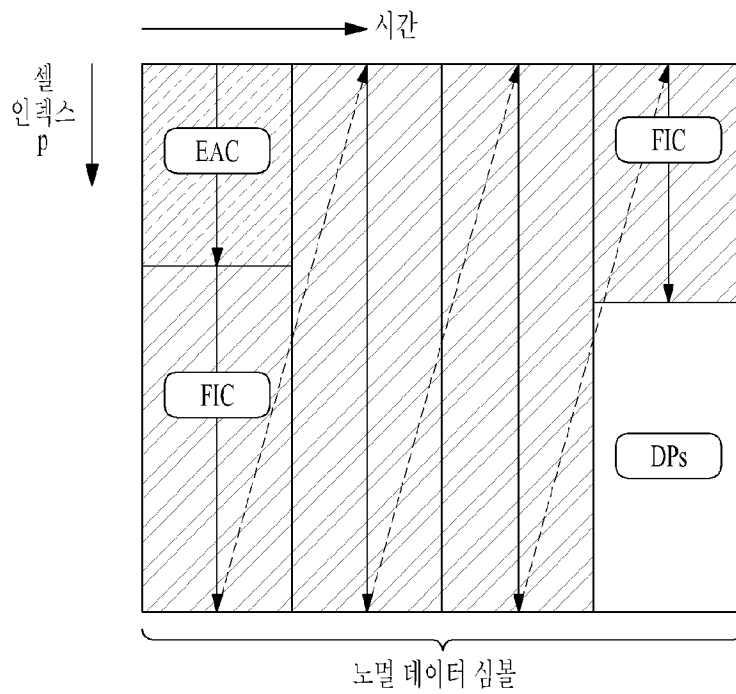
[도18]



[도19]

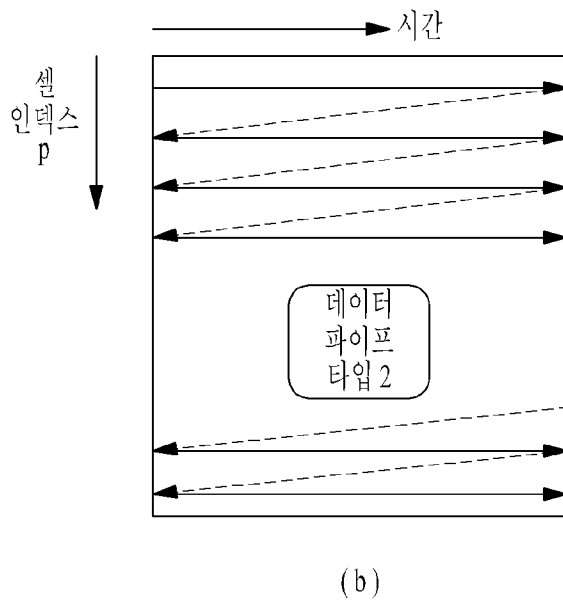
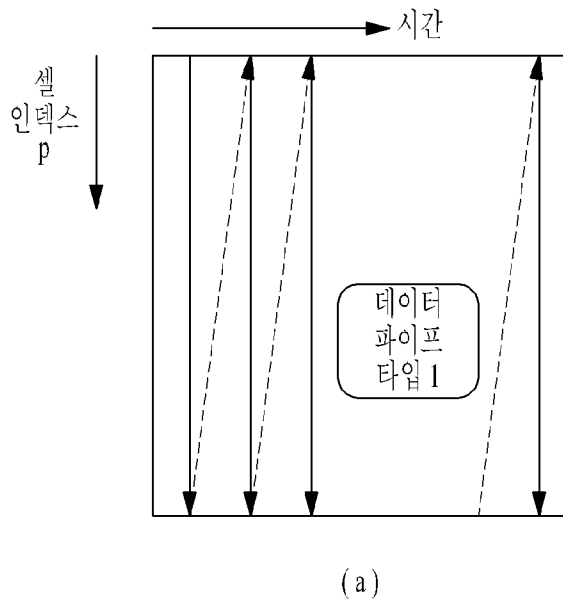


(a)

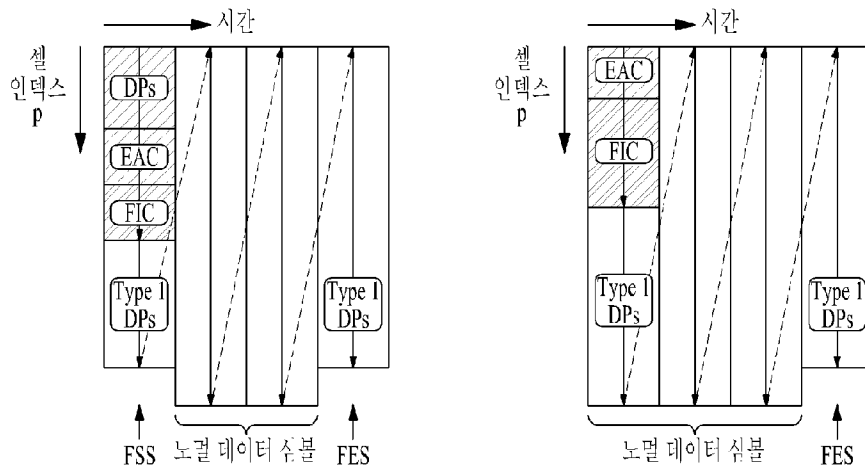


(b)

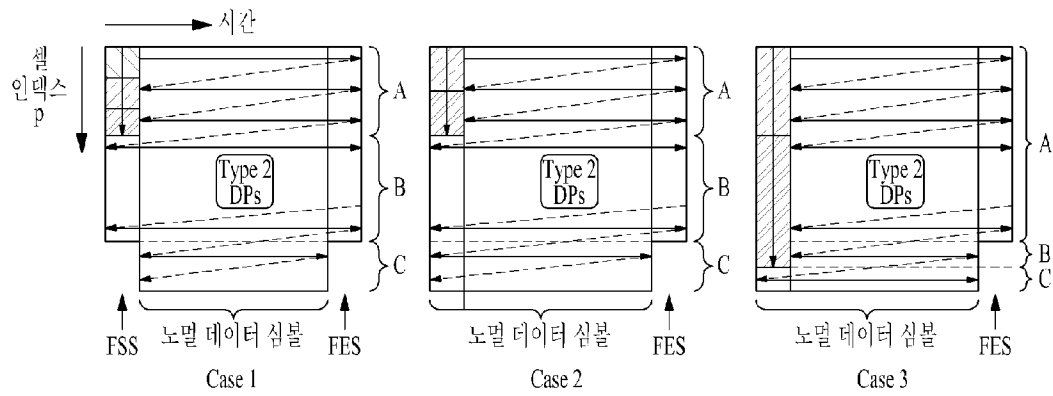
[도20]



[도21]

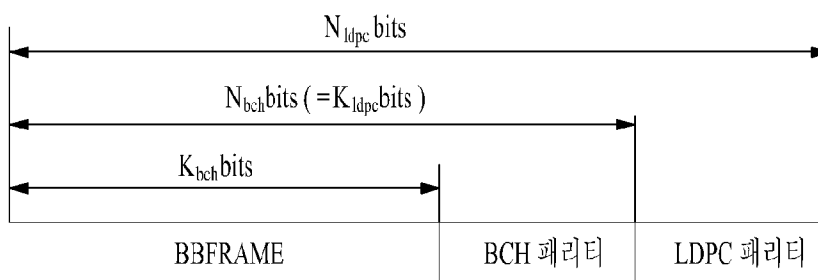


(a)



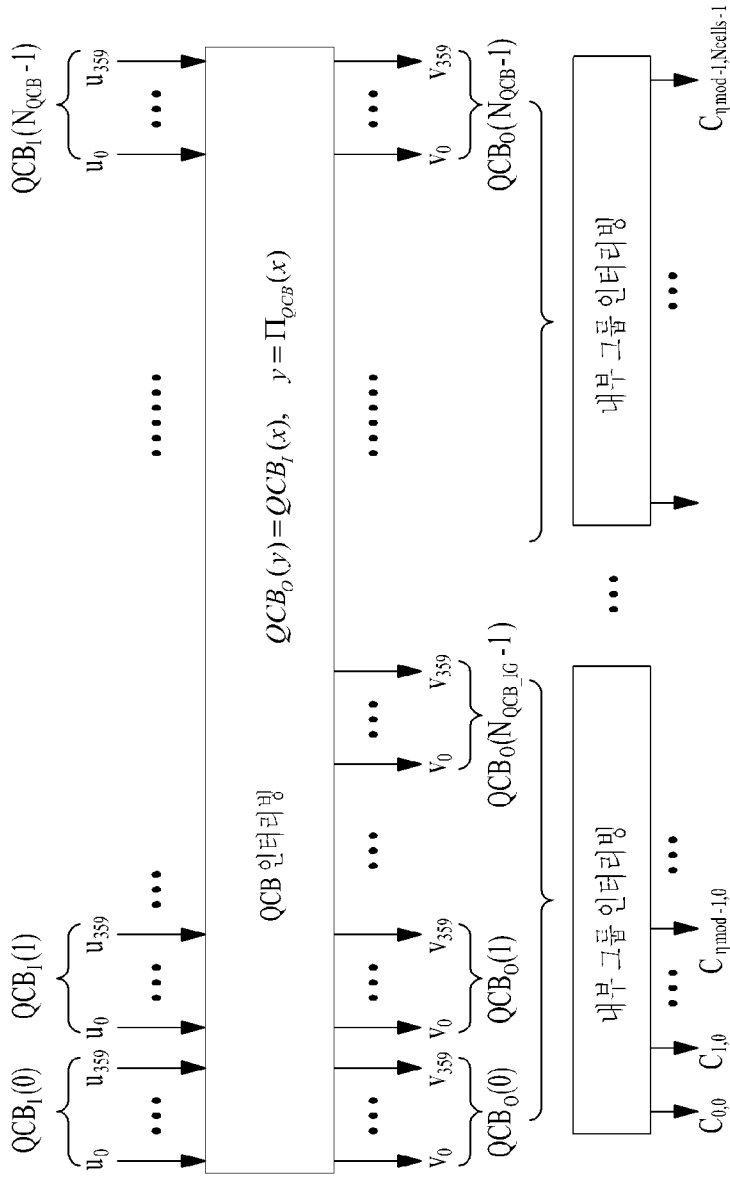
(b)

[도22]

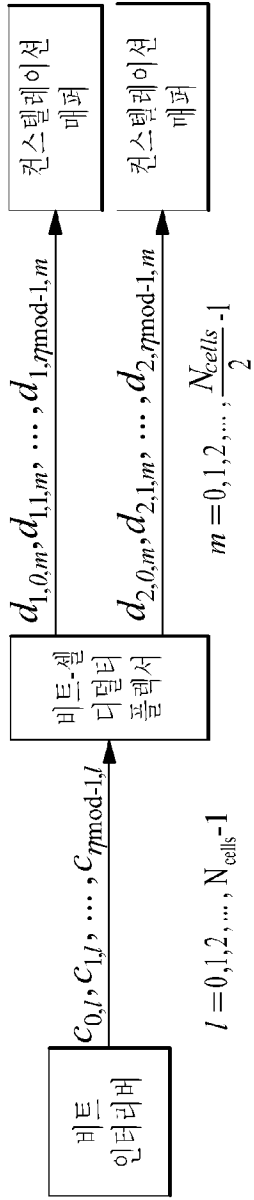


[도23]

$N_{QCB} = 45$, 쇼트 LDPC 블록의 경우
 $N_{QCB} = 180$, 롱 LDPC 블록의 경우



[도24]

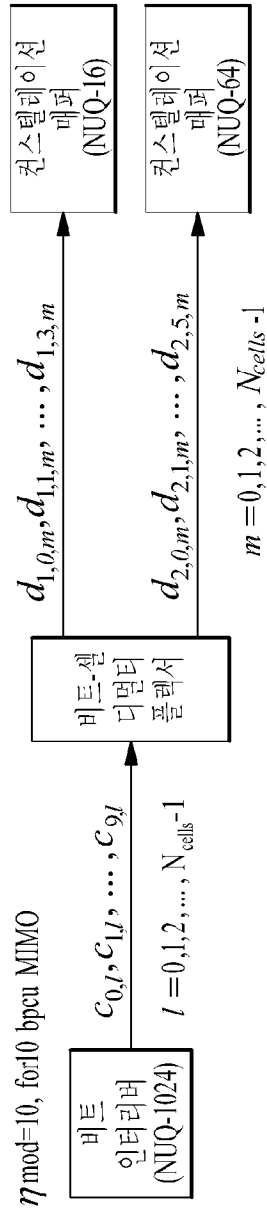


$$\eta \text{mod} = \begin{cases} 4, & \text{for 8 bpcu MIMO} \\ 6, & \text{for 12 bpcu MIMO} \end{cases}$$

$$d_{1,k,m} = c_{k,2m}, \quad k = 0, 1, \dots, \eta \text{mod}-1, \quad m = 0, 1, \dots, \frac{N_{\text{cells}}}{2}-1$$

$$d_{2,k,m} = c_{k,2m+1}$$

(a)

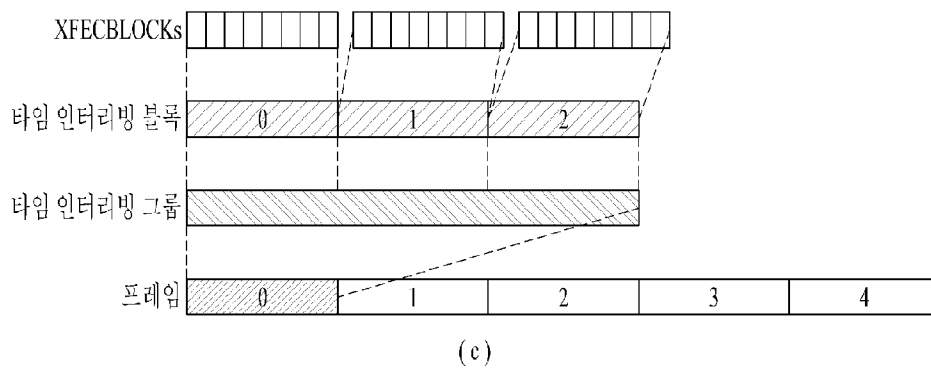
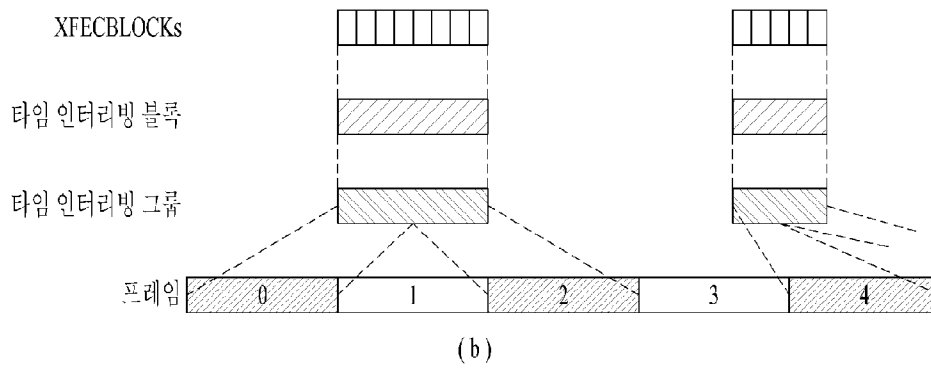
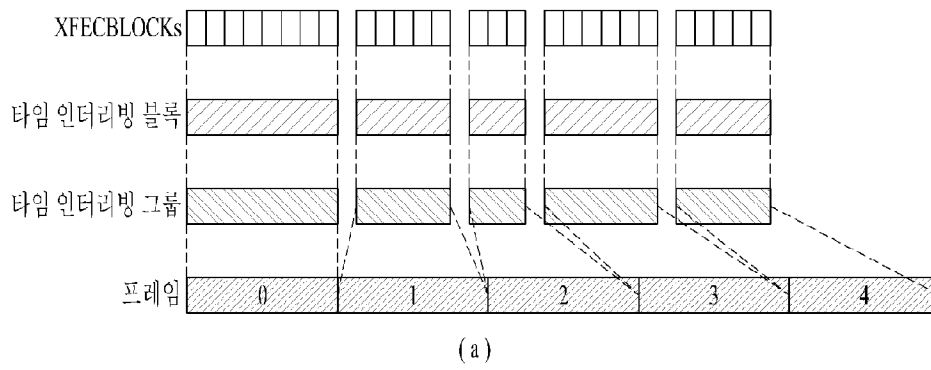


(b)

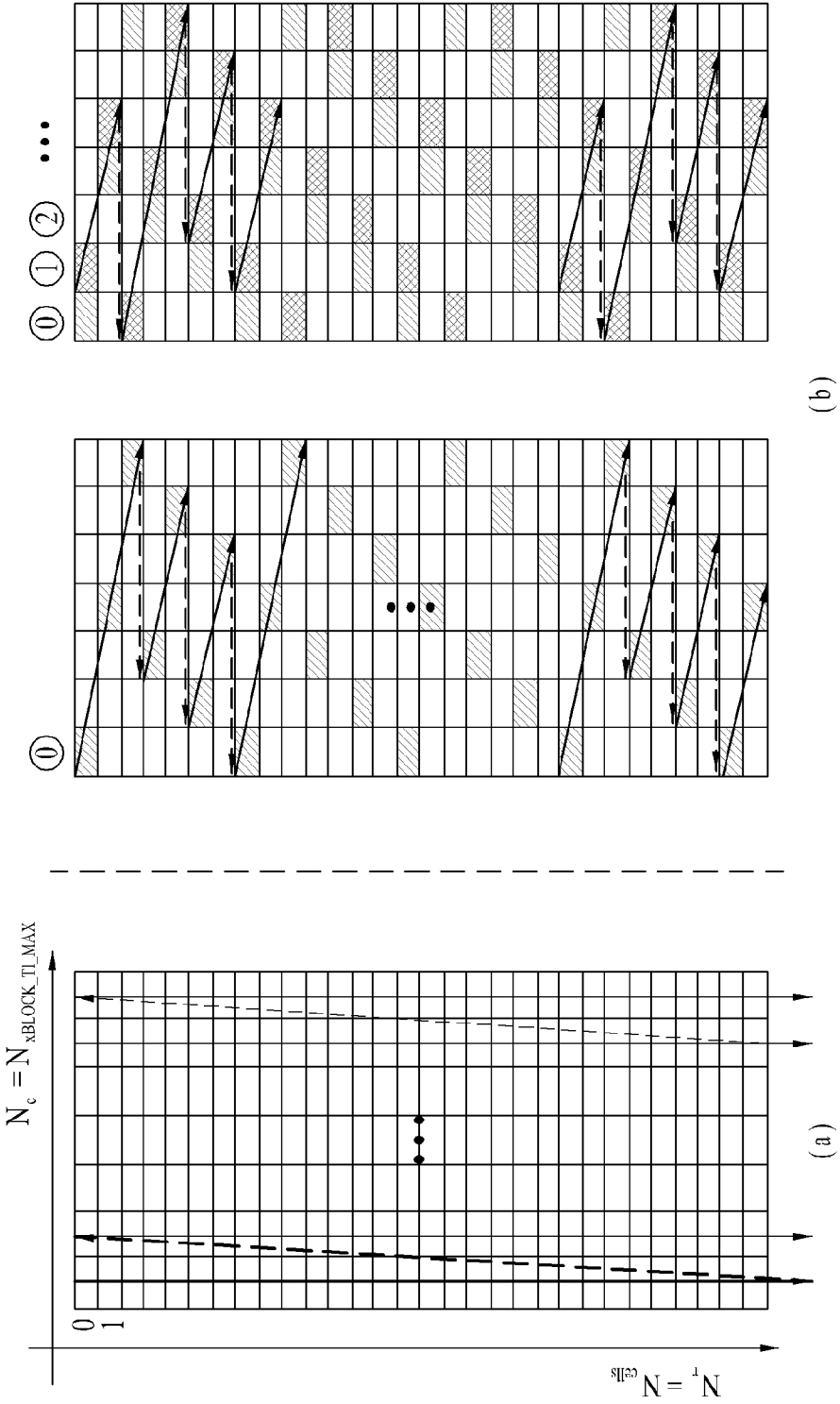
$$\{d_{1,0,m}, d_{1,1,m}, d_{1,2,m}, d_{1,3,m}\} = \{c_{0,m}, c_{1,m}, c_{4,m}, c_{5,m}\}$$

$$\{d_{2,0,m}, d_{2,1,m}, d_{2,2,m}, d_{2,3,m}, d_{2,4,m}, d_{2,5,m}\} = \{c_{2,m}, c_{3,m}, c_{6,m}, c_{7,m}, c_{8,m}, c_{9,m}\}, \quad m = 0, 1, \dots, N_{\text{cells}}-1$$

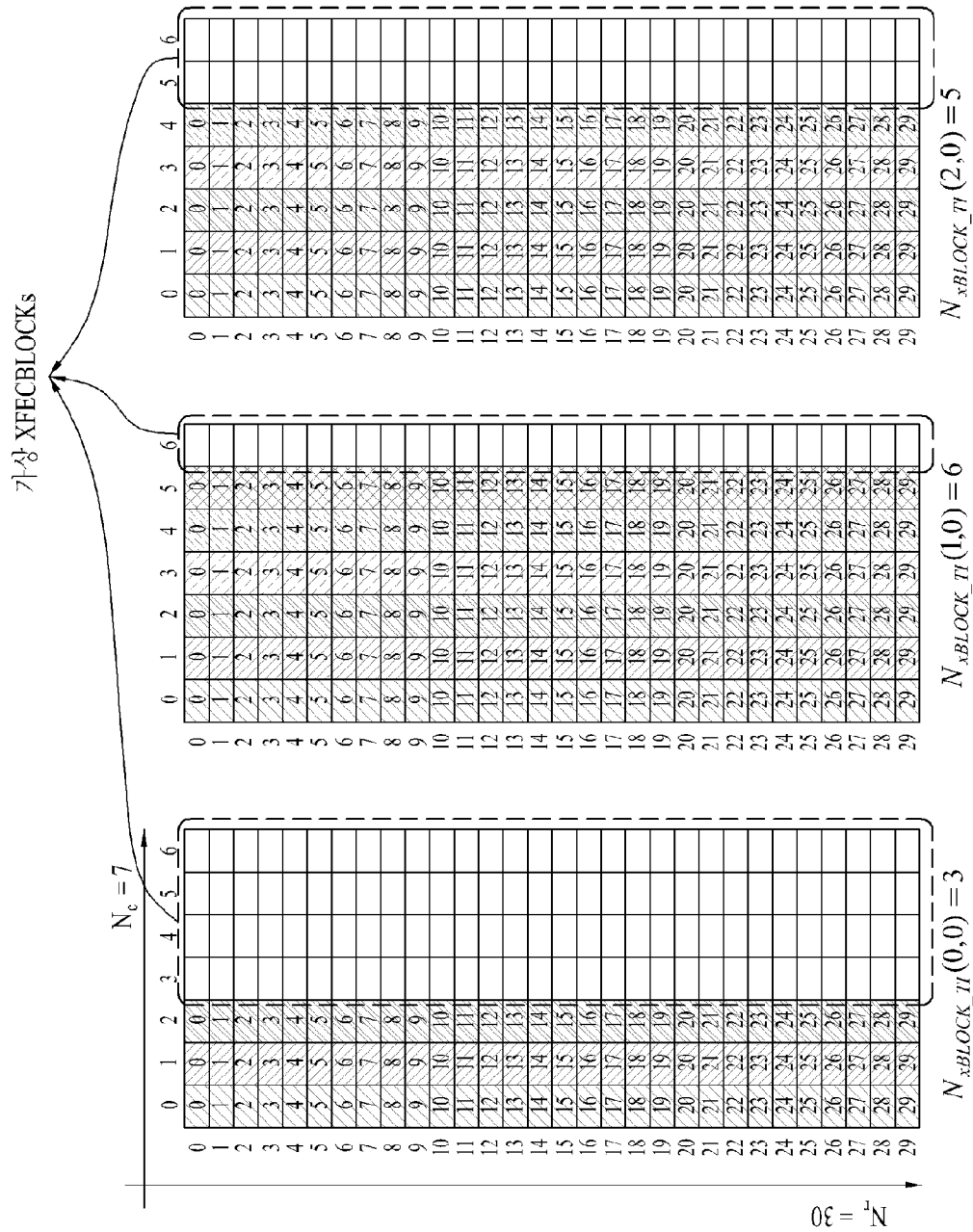
[도25]



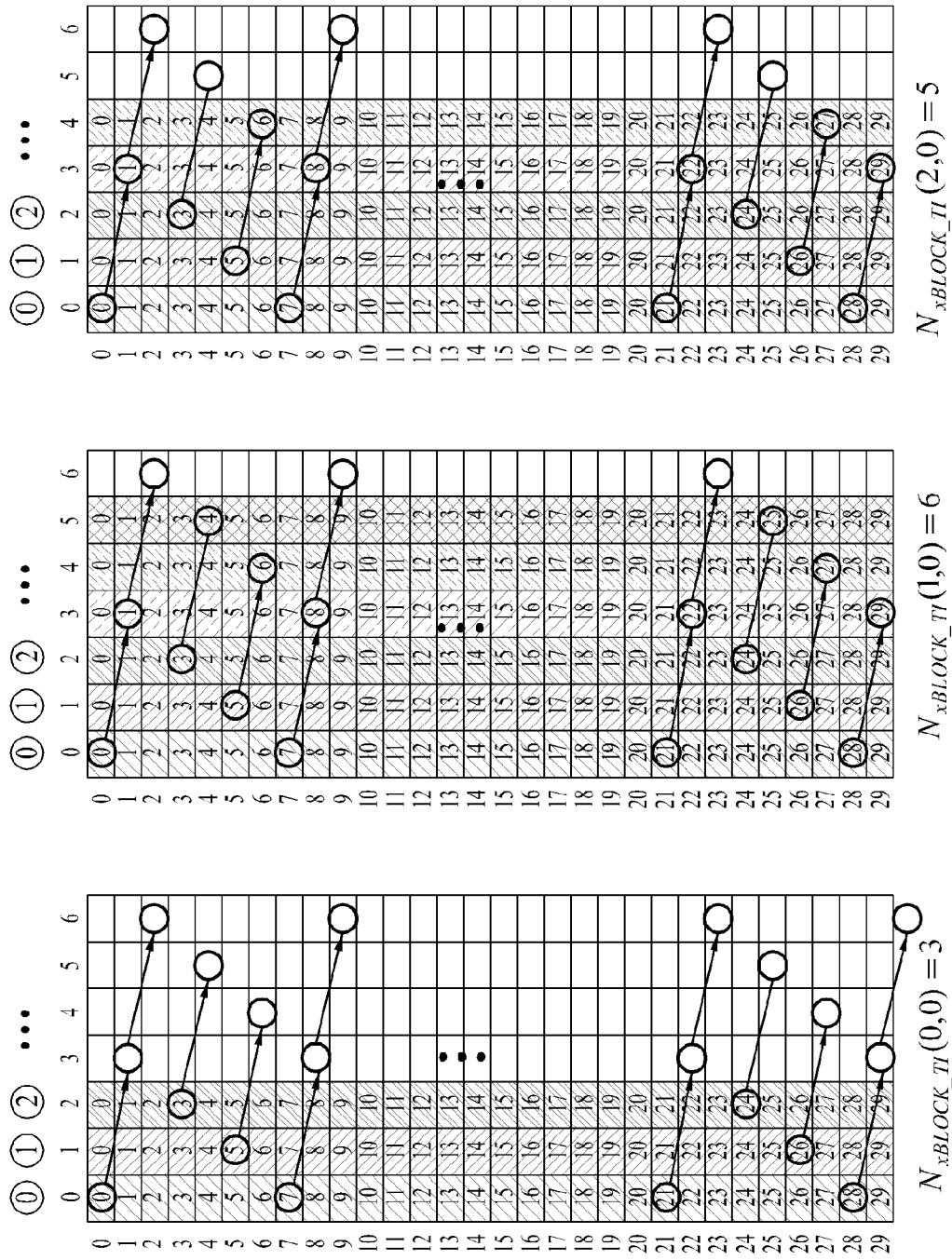
[도26]



[도27]



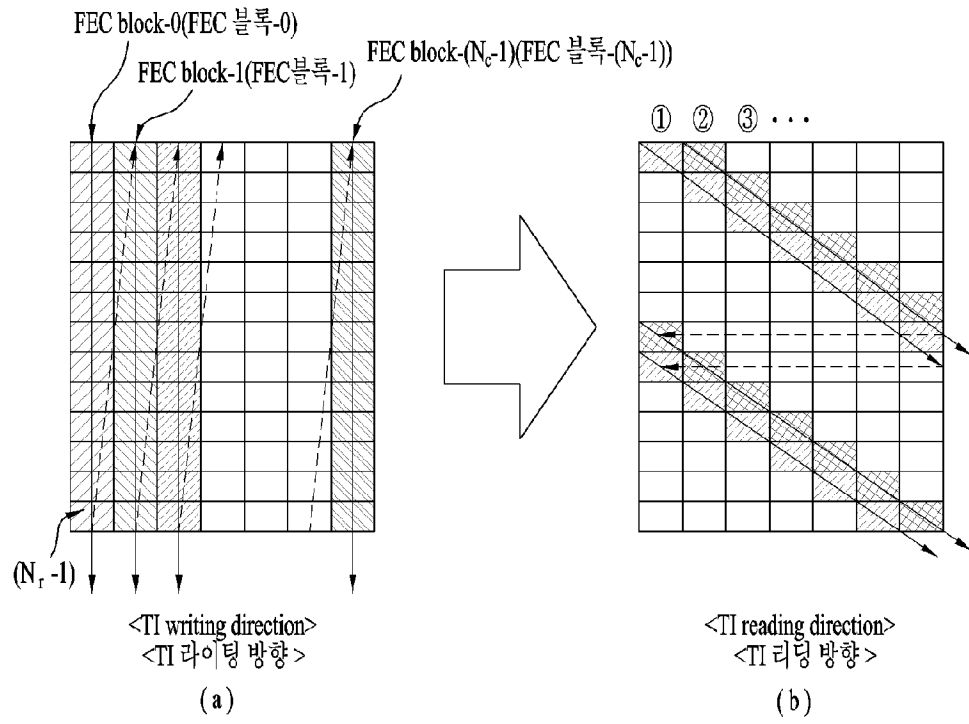
[도28]



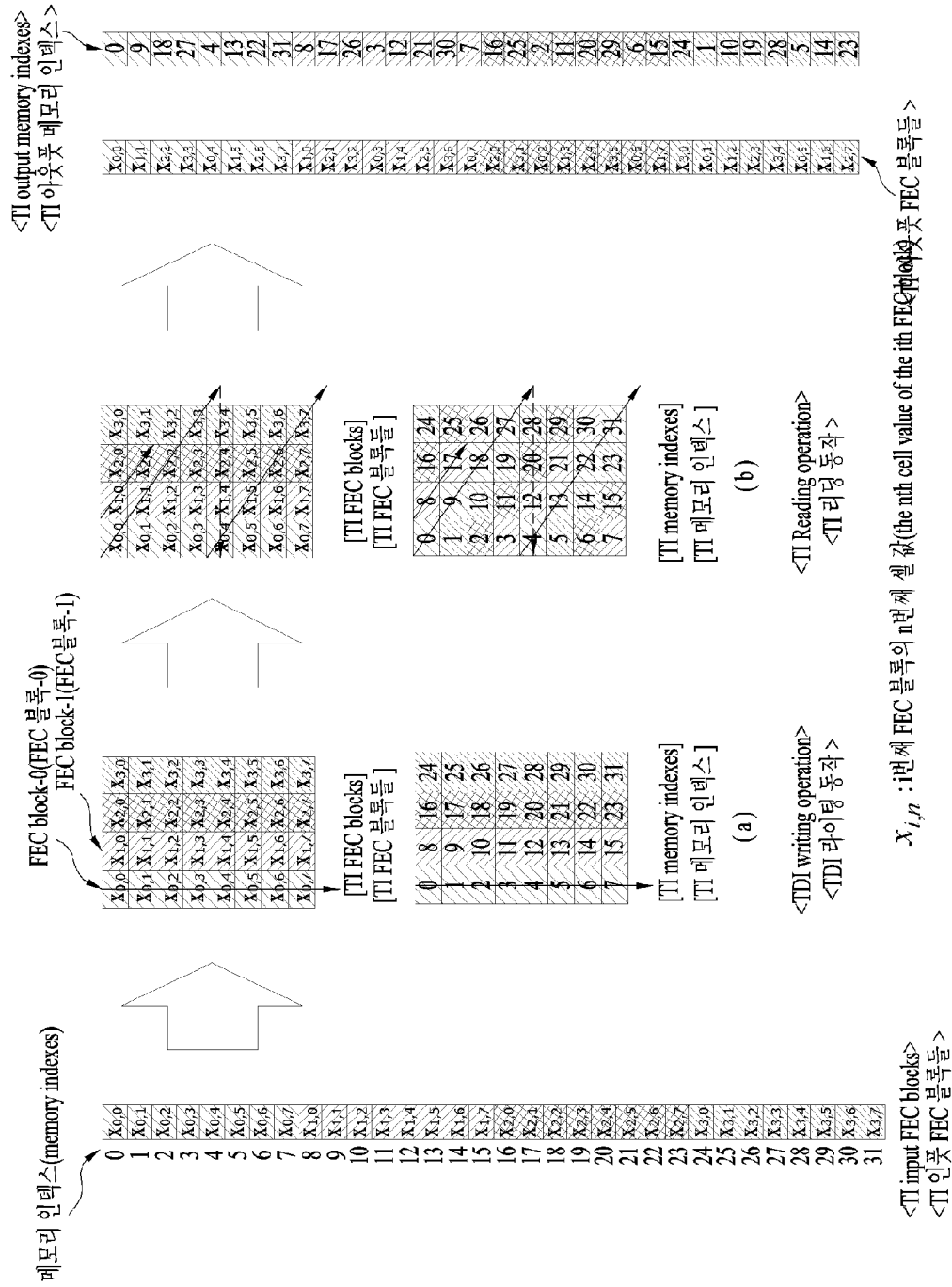
[도29]

$N_{xBLOCK_TI}(0,0)=3$			$N_{xBLOCK_TI}(1,0)=6$			$N_{xBLOCK_TI}(2,0)=5$		
0	1	2	0	1	2	3	4	5
0	0	22	0	5	9	14	20	24
1	3	11	1	6	10	16	21	25
2	5	14	3	7	11	17	22	27
3	7	16	4	8	12	18	23	28
4	10	18	5	9	14	19	25	29
5	12	21	6	10	15	20	26	1
6	14	23	7	12	16	21	27	2
7	17	25	8	13	17	23	28	3
8	19	28	10	14	18	24	29	4
9	21	2	11	15	19	25	0	5
10	24	4	12	16	21	26	1	6
11	26	6	13	17	22	27	2	8
12	28	9	14	19	23	28	3	9
13	0	11	15	20	24	0	4	10
14	2	13	17	21	25	1	6	11
15	5	16	18	22	26	2	7	12
16	7	18	19	23	28	4	8	13
17	9	20	20	24	29	5	9	15
18	12	23	21	26	0	6	10	16
19	14	25	22	27	2	7	11	17
20	16	27	24	28	3	8	13	18
21	19	1	25	29	4	9	14	19
22	21	4	26	0	5	11	15	20
23	23	6	27	1	6	12	16	22
24	26	8	28	2	7	13	17	23
25	28	11	29	3	9	14	18	24
26	0	13	0	4	10	15	20	25
27	2	15	1	5	11	16	21	26
28	4	18	2	7	12	18	23	27
29	5	20	3	8	13	19	23	29
0	0	10	0	5	9	14	20	24
1	1	12	1	6	10	16	21	25
2	3	14	3	7	11	17	22	27
3	5	15	4	8	12	18	23	28
4	6	16	5	9	14	19	25	29
5	7	17	6	10	15	20	26	1
6	8	19	7	12	16	21	27	2
7	10	21	8	13	17	23	28	3
8	12	22	10	14	18	24	29	4
9	13	23	11	15	19	25	0	5
10	14	24	12	16	21	26	1	6
11	15	26	13	17	22	27	2	8
12	17	28	14	19	23	28	3	9
13	19	29	15	20	24	0	4	10
14	20	0	17	21	25	1	6	11
15	21	2	18	22	26	2	7	12
16	22	3	19	23	28	4	8	13
17	24	4	20	24	29	5	9	15
18	26	5	21	26	0	6	10	16
19	27	7	22	27	2	7	11	17
20	28	9	23	28	3	8	13	18
21	29	10	24	29	4	9	14	19
22	0	11	25	0	5	11	15	20
23	1	12	26	1	6	12	16	22
24	2	14	27	2	7	13	17	23
25	3	16	28	3	9	14	18	24
26	5	17	29	4	10	15	20	25
27	7	18	0	5	11	16	21	26
28	8	19	1	6	12	18	23	27
29	9	21	2	7	13	19	23	29

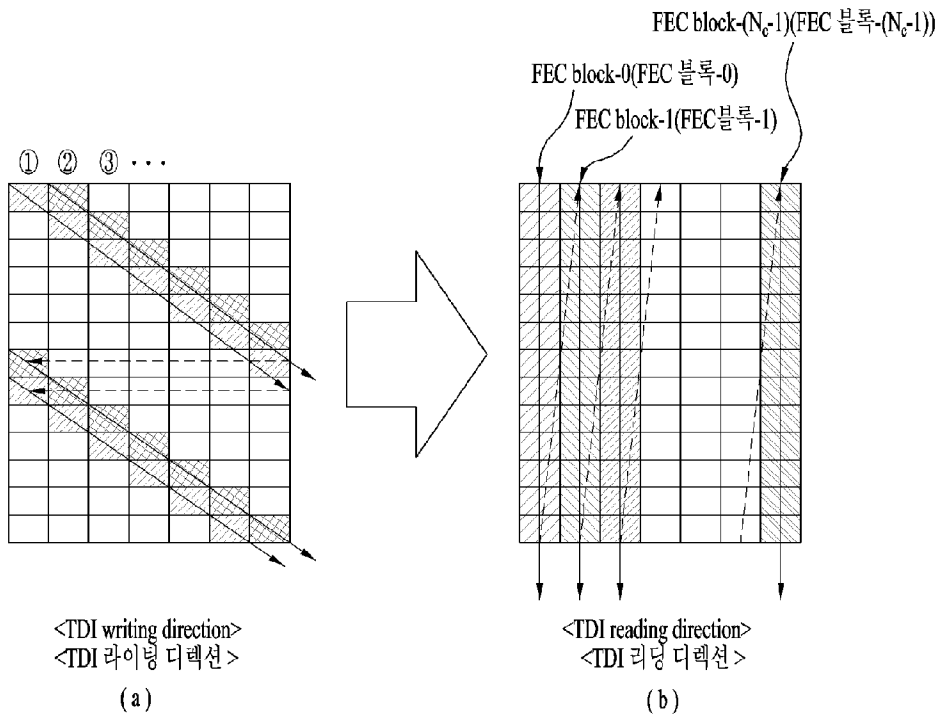
[도30]



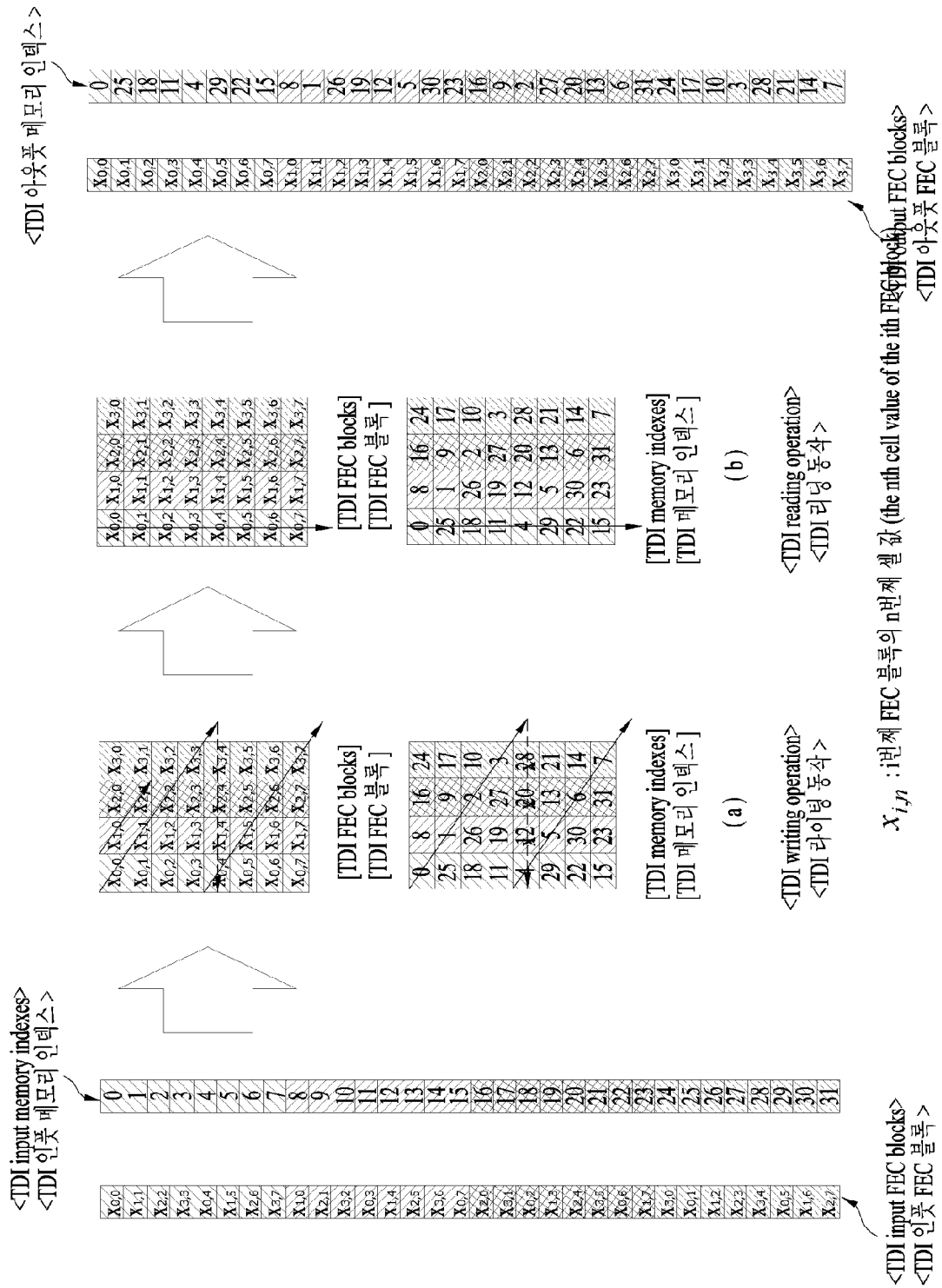
[도31]



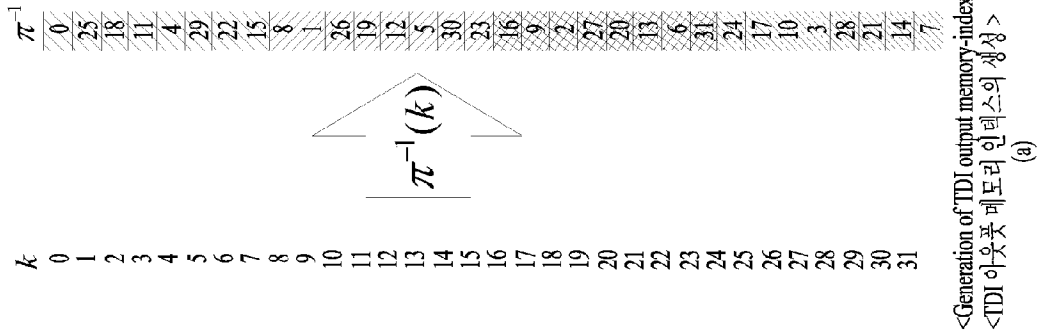
[도33]



[도 34]



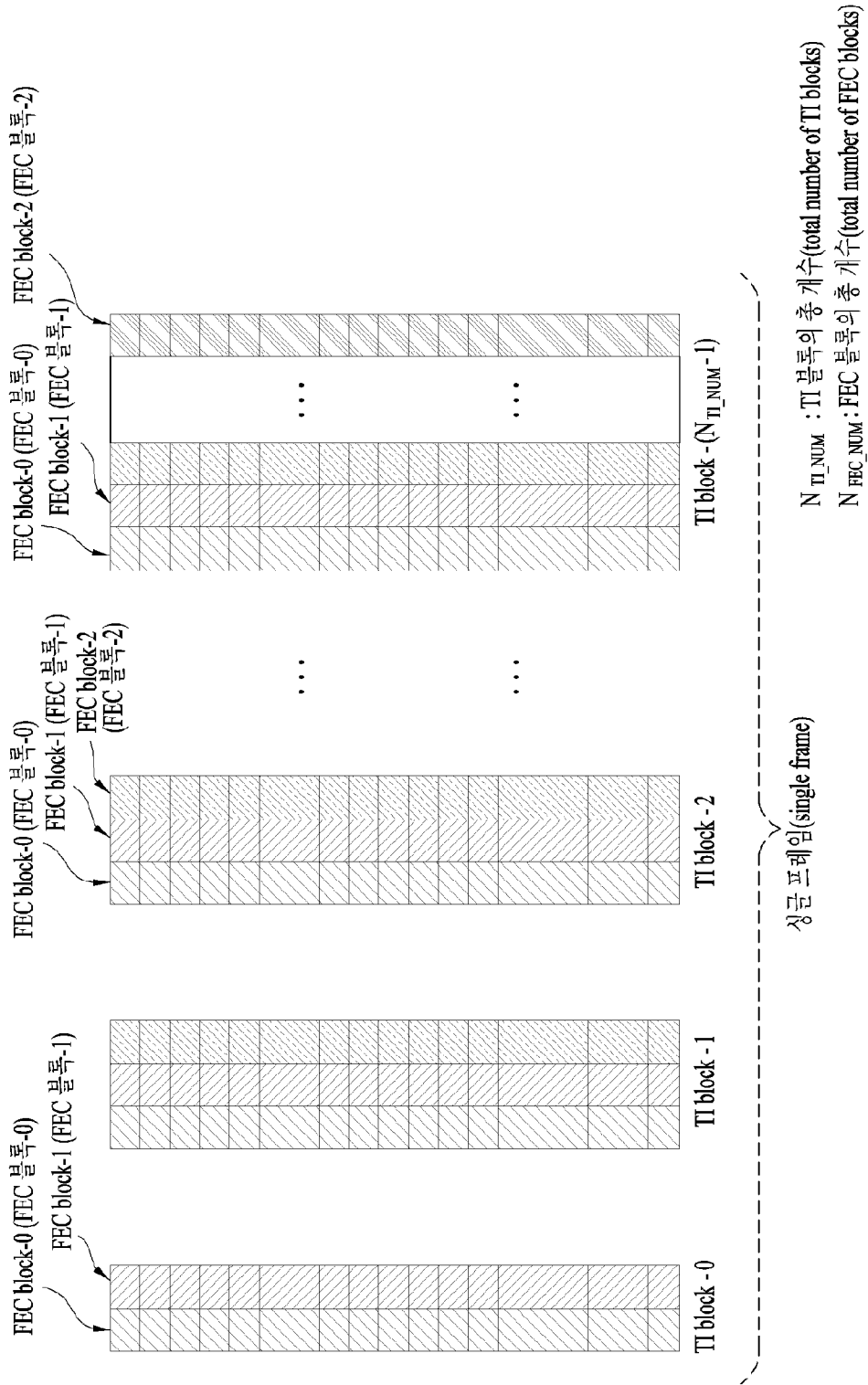
[도35]



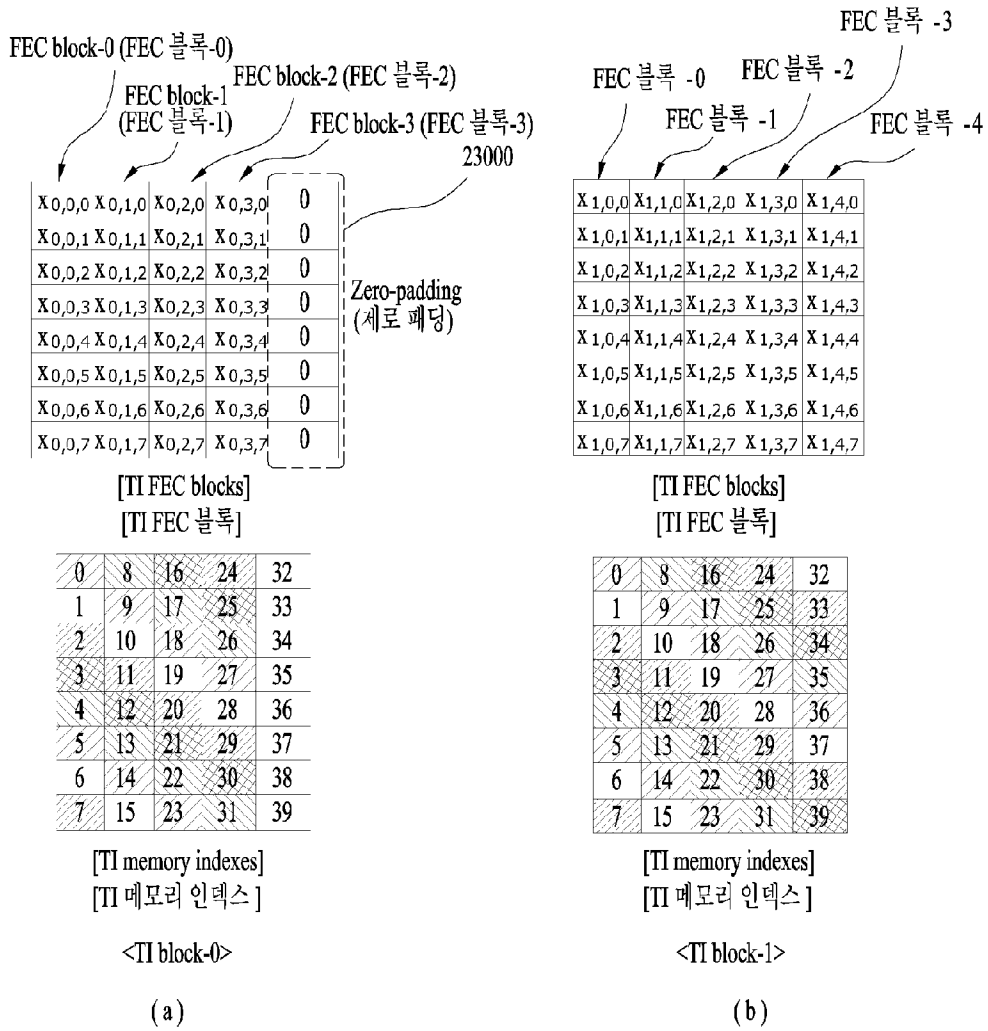
(b)

$$\begin{aligned}
 t &= \text{mod}(N - N_r + 1, N), \\
 v &= t \text{mod}(k, N_r), \\
 \pi^{-1}(k) &= \text{mod}\left(N_r \left\lfloor \frac{k}{N_r} \right\rfloor + \text{mod}(v, N), N\right) \text{ for } 0 \leq k \leq N-1
 \end{aligned}$$

[도36]



[도37]



$x_{j,i,n}$: j번째 TI 블록이 포함하는 i번째 FEC 블록의 n번째 셀 값
(the nth cell value of the ith FEC block in the jth TI block)

[도38]

(a) -TI 블록-0에 대해 (for TI block-0)

TI 아웃풋 메모리 인덱스 <TI output memory indexes>

 $0 < k < 5 \cdot 8 - 1$

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39
~~0~~	~~9~~	~~18~~	~~27~~	~~36~~	~~5~~	~~14~~	~~23~~	~~8~~	~~17~~	~~26~~	~~4~~	~~13~~	~~22~~	~~31~~	~~16~~	~~25~~	~~34~~	~~3~~	~~12~~	~~21~~	~~30~~	~~29~~	~~28~~	~~7~~	~~22~~	~~1~~	~~10~~	~~19~~	~~28~~	~~37~~	~~6~~	~~15~~							

 $C_{ent,0}$

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
~~0~~	~~9~~	~~18~~	~~27~~	~~5~~	~~14~~	~~23~~	~~8~~	~~17~~	~~26~~	~~4~~	~~13~~	~~22~~	~~31~~	~~16~~	~~25~~	~~3~~	~~12~~	~~21~~	~~30~~	~~24~~	~~2~~	~~11~~	~~20~~	~~29~~	~~7~~	~~1~~	~~10~~	~~19~~	~~28~~	~~6~~	~~15~~

<TI output FEC blocks>

final output memory indexes

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31								
~~X_{0,0,0}~~	~~X_{0,1,1}~~	~~X_{0,2,2}~~	~~X_{0,3,3}~~	~~X_{0,4,4}~~	~~X_{0,5,5}~~	~~X_{0,6,6}~~	~~X_{0,7,7}~~	~~X_{0,8,8}~~	~~X_{0,9,9}~~	~~X_{0,10,10}~~	~~X_{0,11,11}~~	~~X_{0,12,12}~~	~~X_{0,13,13}~~	~~X_{0,14,14}~~	~~X_{0,15,15}~~	~~X_{0,16,16}~~	~~X_{0,17,17}~~	~~X_{0,18,18}~~	~~X_{0,19,19}~~	~~X_{0,20,20}~~	~~X_{0,21,21}~~	~~X_{0,22,22}~~	~~X_{0,23,23}~~	~~X_{0,24,24}~~	~~X_{0,25,25}~~	~~X_{0,26,26}~~	~~X_{0,27,27}~~	~~X_{0,28,28}~~	~~X_{0,29,29}~~	~~X_{0,30,30}~~	~~X_{0,31,31}~~	~~X_{0,32,32}~~	~~X_{0,33,33}~~	~~X_{0,34,34}~~	~~X_{0,35,35}~~	~~X_{0,36,36}~~	~~X_{0,37,37}~~	~~X_{0,38,38}~~	~~X_{0,39,39}~~

(b) -TI 블록-1에 대해 (for TI block-1)

TI 아웃풋 메모리 인덱스 <TI output memory indexes>

 $0 \leq k \leq 5 \cdot 8 - 1$

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	
~~0~~	~~9~~	~~18~~	~~27~~	~~36~~	~~5~~	~~14~~	~~23~~	~~8~~	~~17~~	~~26~~	~~35~~	~~4~~	~~13~~	~~22~~	~~31~~	~~16~~	~~25~~	~~34~~	~~3~~	~~12~~	~~21~~	~~30~~	~~29~~	~~28~~	~~7~~	~~22~~	~~1~~	~~10~~	~~19~~	~~28~~	~~37~~	~~6~~	~~15~~							

 $C_{ent,1}$

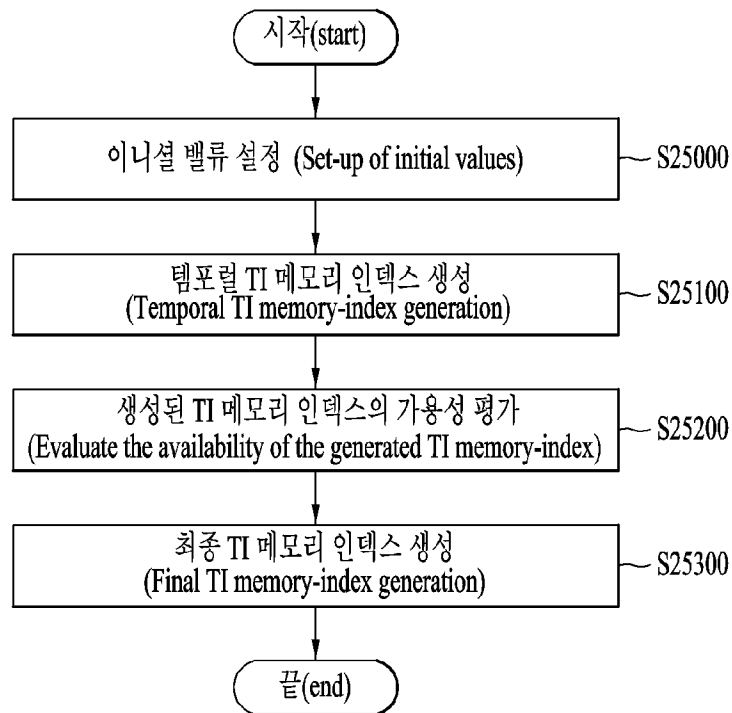
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	
~~0~~	~~9~~	~~18~~	~~27~~	~~36~~	~~5~~	~~14~~	~~23~~	~~8~~	~~17~~	~~26~~	~~35~~	~~4~~	~~13~~	~~22~~	~~31~~	~~16~~	~~25~~	~~34~~	~~3~~	~~12~~	~~21~~	~~30~~	~~29~~	~~28~~	~~7~~	~~22~~	~~1~~	~~10~~	~~19~~	~~28~~	~~37~~	~~6~~	~~15~~							

final output memory indexes

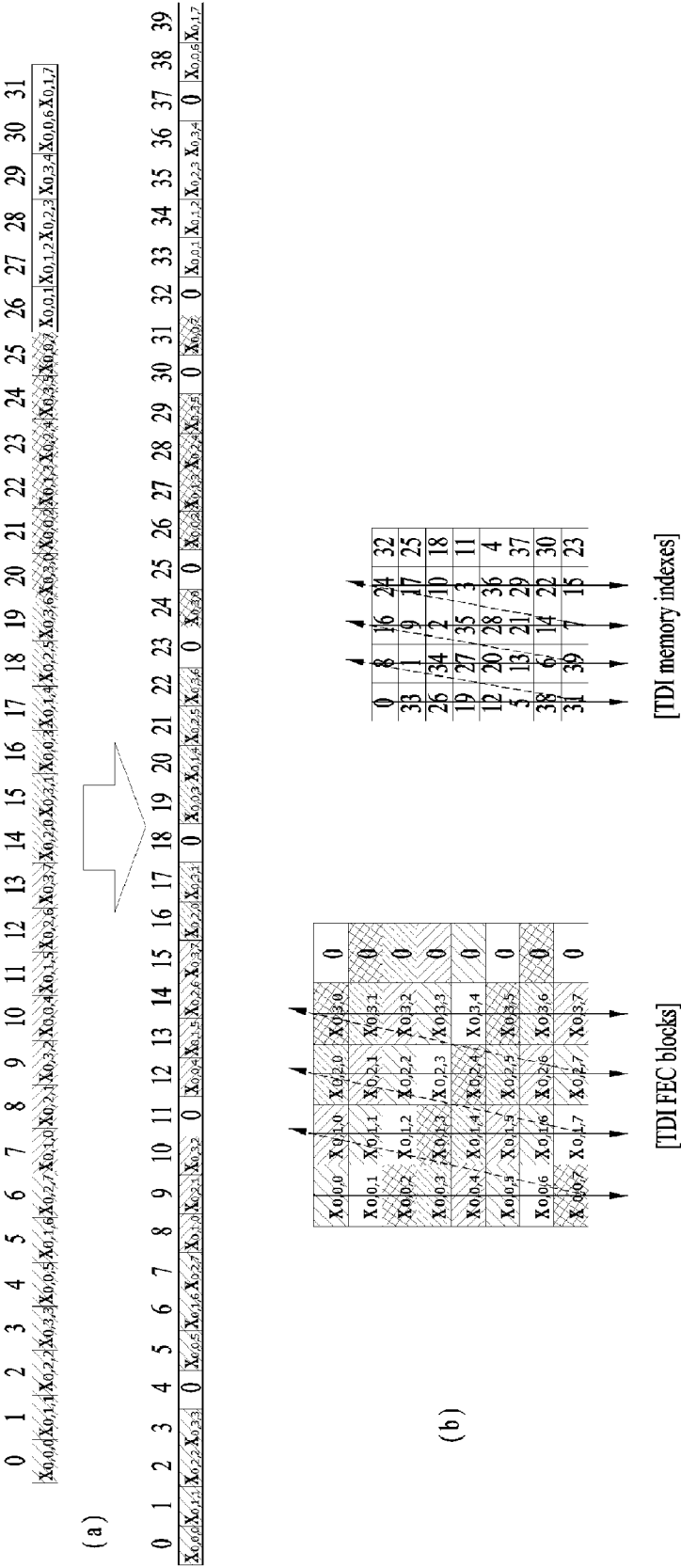
TI 아웃풋 FEC 블록 <TI output FEC blocks>

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39
~~X_{1,0,0}~~	~~X_{1,1,1}~~	~~X_{1,2,2}~~	~~X_{1,3,3}~~	~~X_{1,4,4}~~	~~X_{1,5,5}~~	~~X_{1,6,6}~~	~~X_{1,7,7}~~	~~X_{1,8,8}~~	~~X_{1,9,9}~~	~~X_{1,10,10}~~	~~X_{1,11,11}~~	~~X_{1,12,12}~~	~~X_{1,13,13}~~	~~X_{1,14,14}~~	~~X_{1,15,15}~~	~~X_{1,16,16}~~	~~X_{1,17,17}~~	~~X_{1,18,18}~~	~~X_{1,19,19}~~	~~X_{1,20,20}~~	~~X_{1,21,21}~~	~~X_{1,22,22}~~	~~X_{1,23,23}~~	~~X_{1,24,24}~~	~~X_{1,25,25}~~	~~X_{1,26,26}~~	~~X_{1,27,27}~~	~~X_{1,28,28}~~	~~X_{1,29,29}~~	~~X_{1,30,30}~~	~~X_{1,31,31}~~	~~X_{1,32,32}~~	~~X_{1,33,33}~~	~~X_{1,34,34}~~	~~X_{1,35,35}~~	~~X_{1,36,36}~~	~~X_{1,37,37}~~	~~X_{1,38,38}~~	~~X_{1,39,39}~~

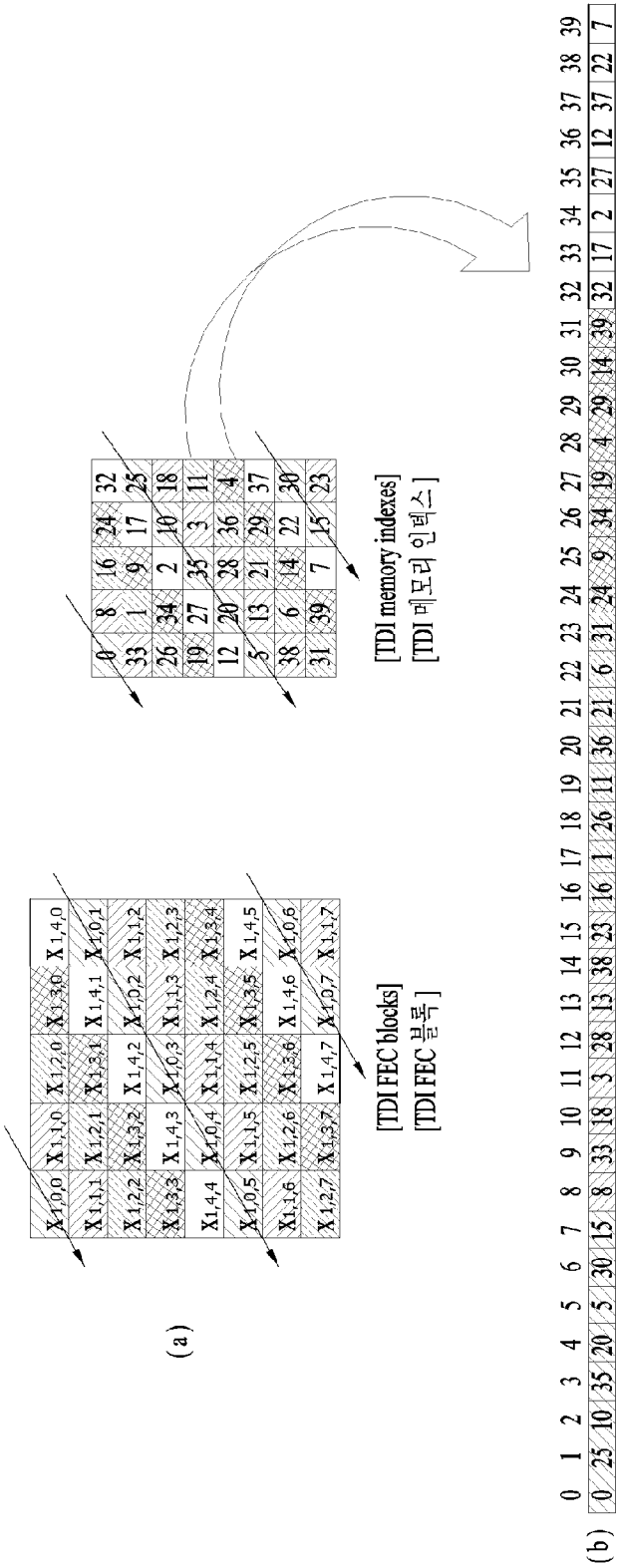
[도39]



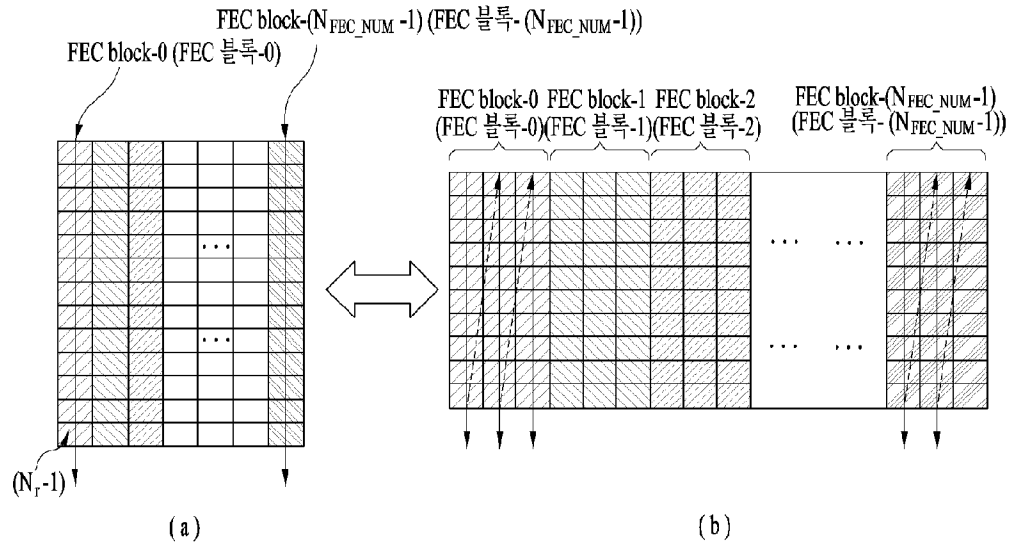
[도40]



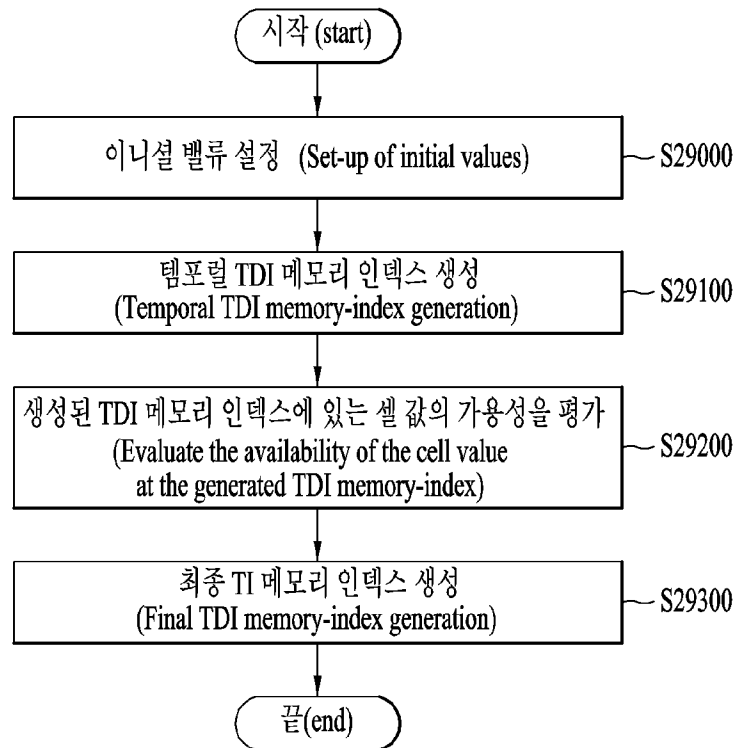
[도41]



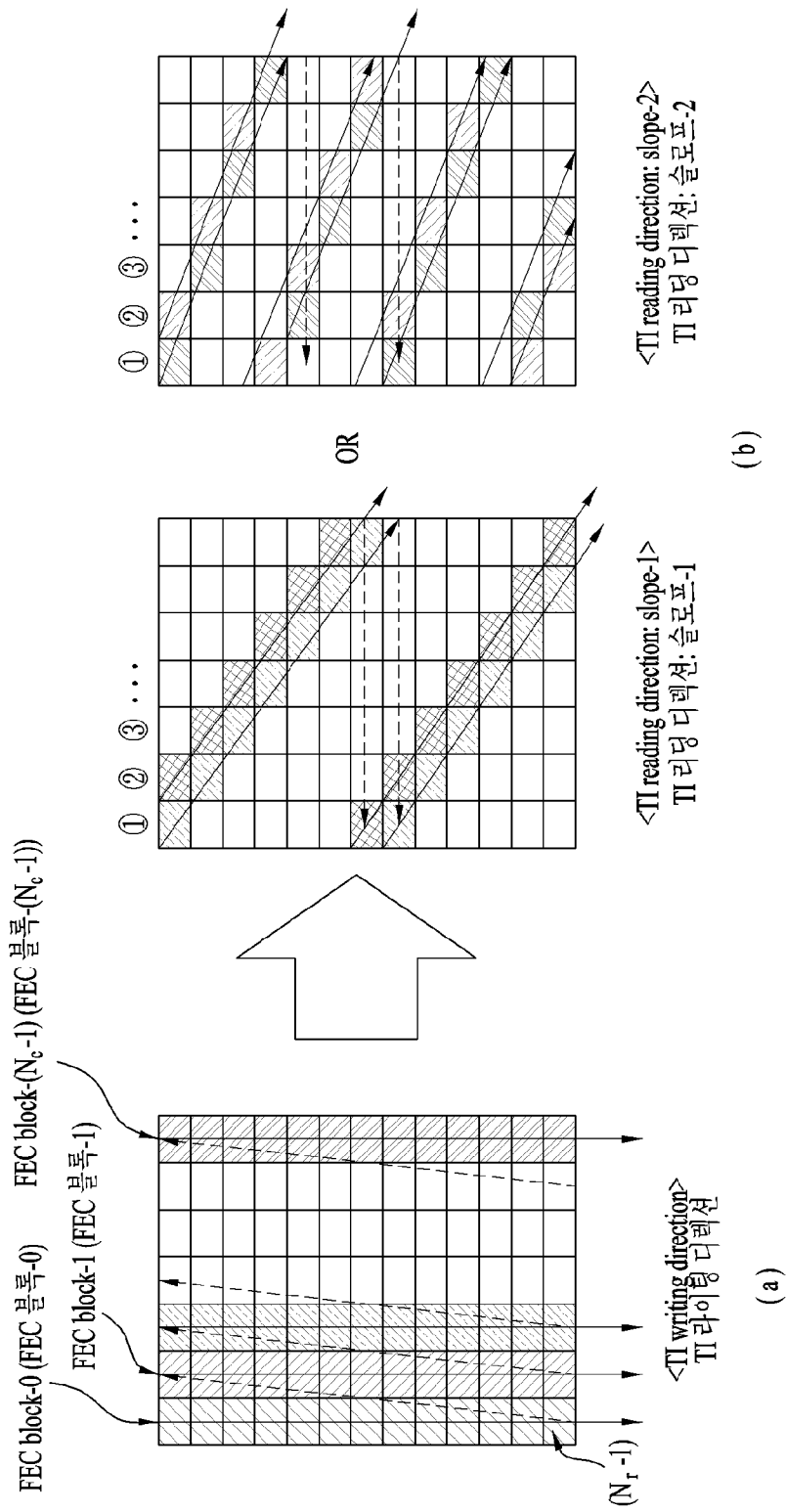
[도42]



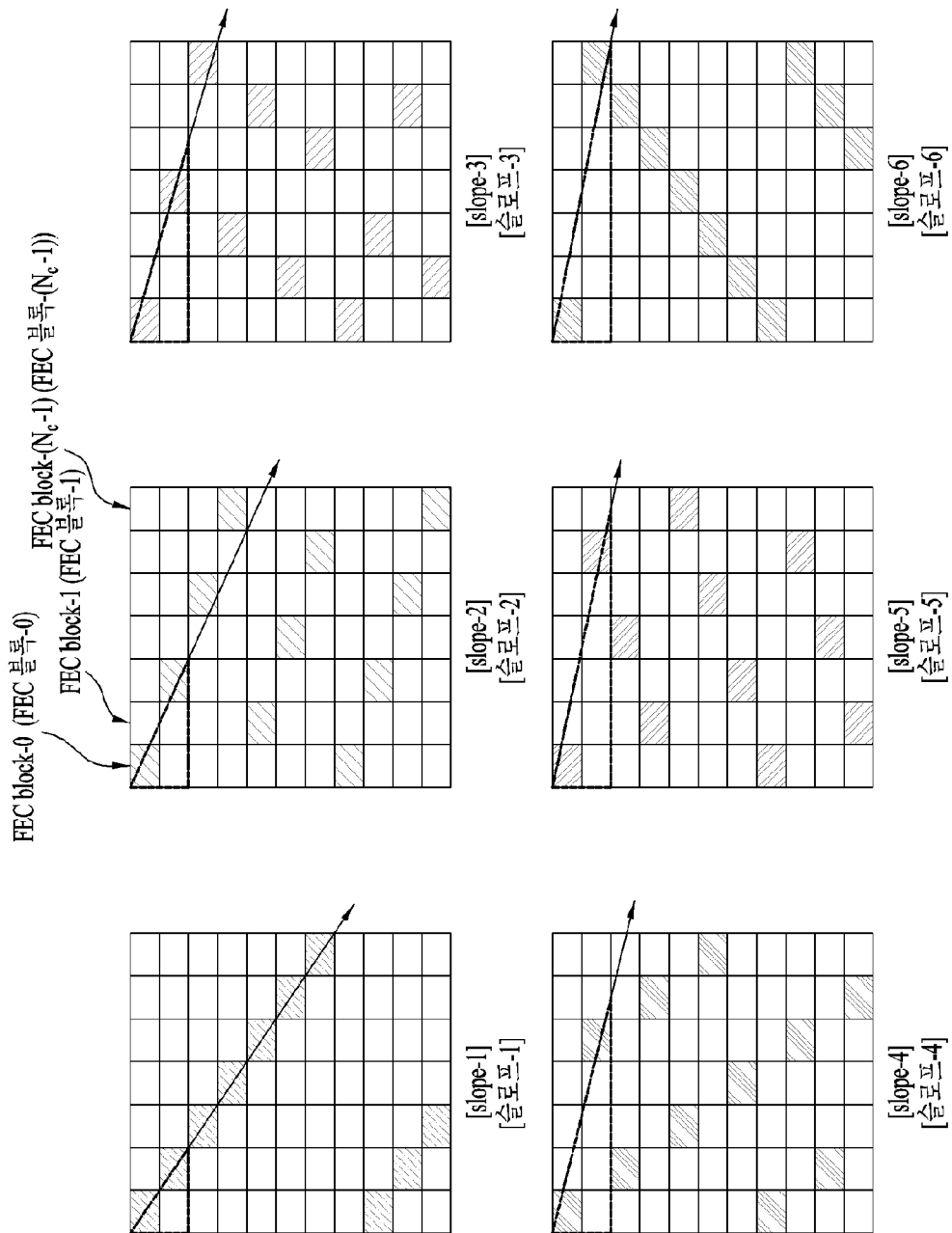
[도43]



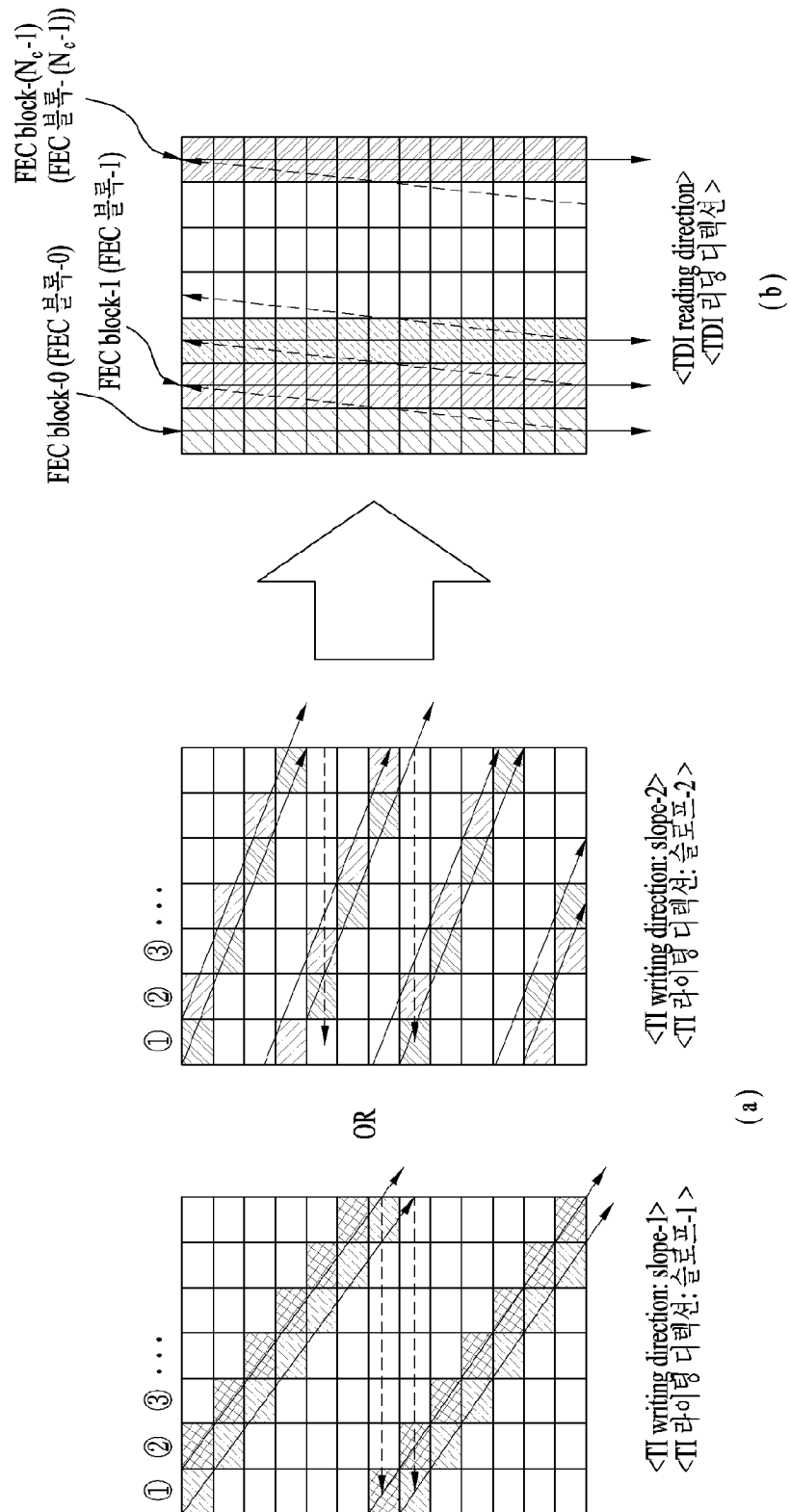
[도44]



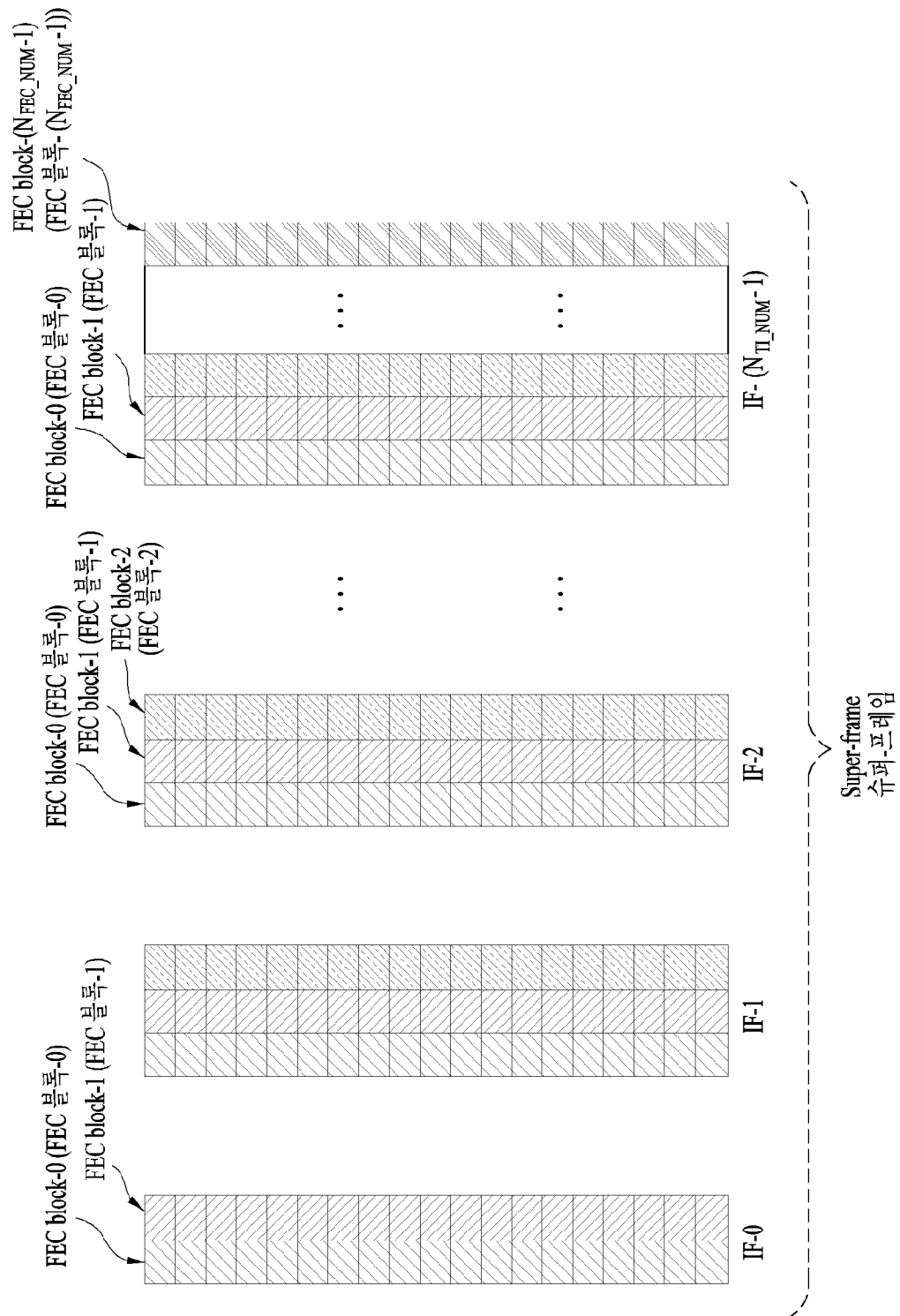
[도45]



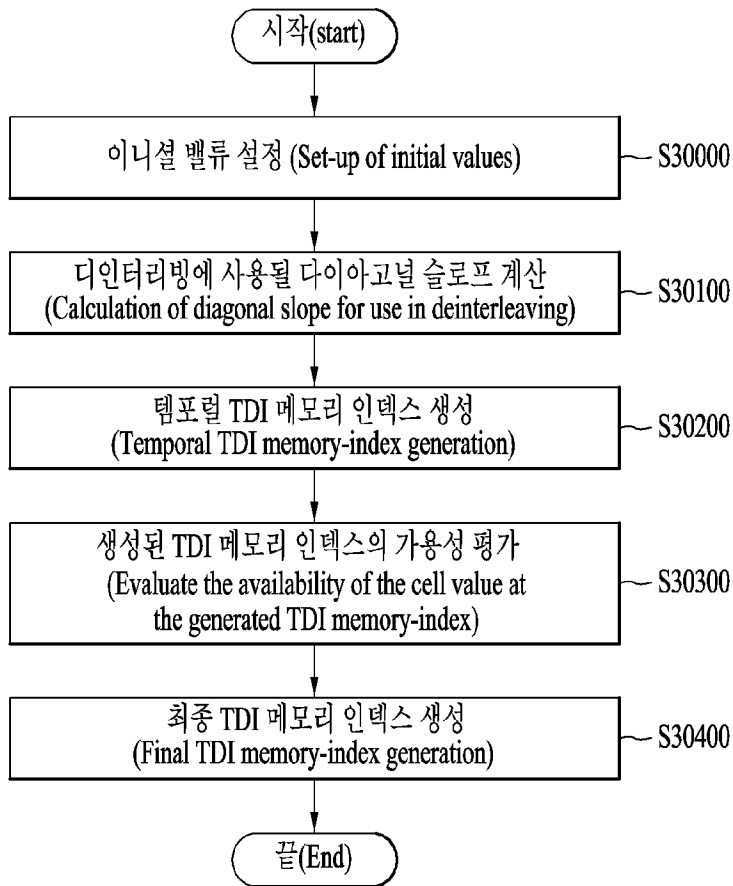
[도46]



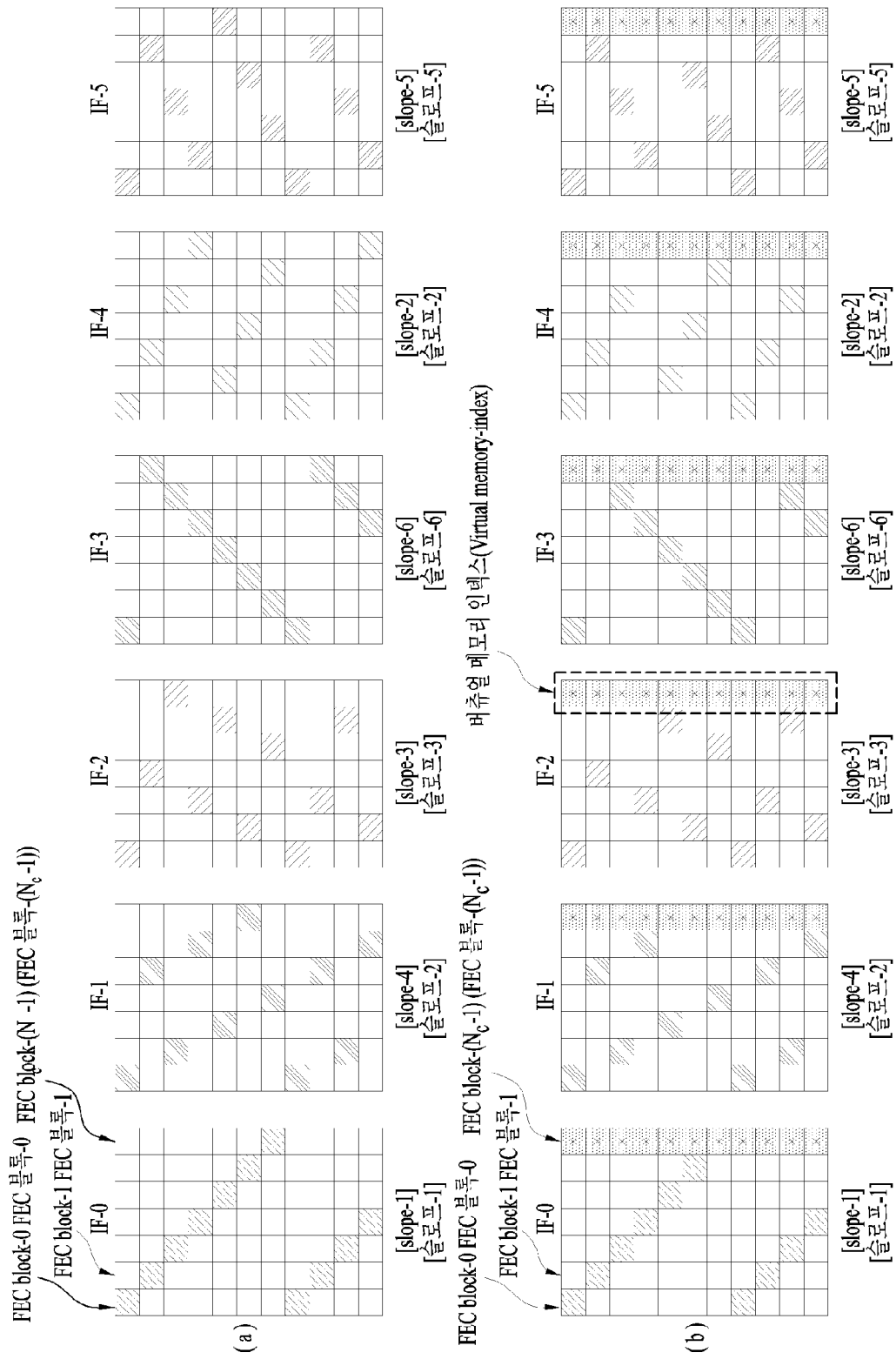
[도48]



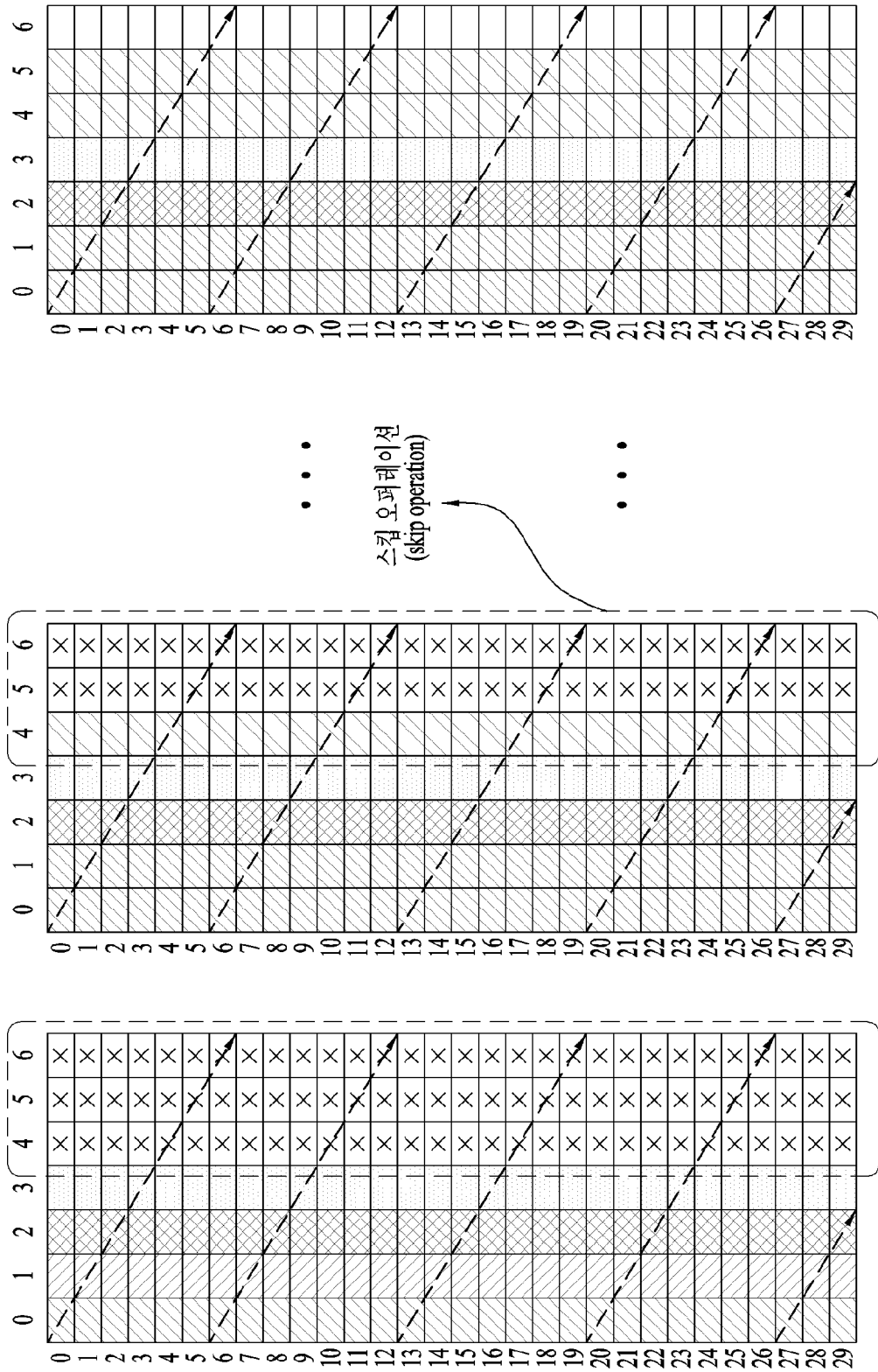
[도49]



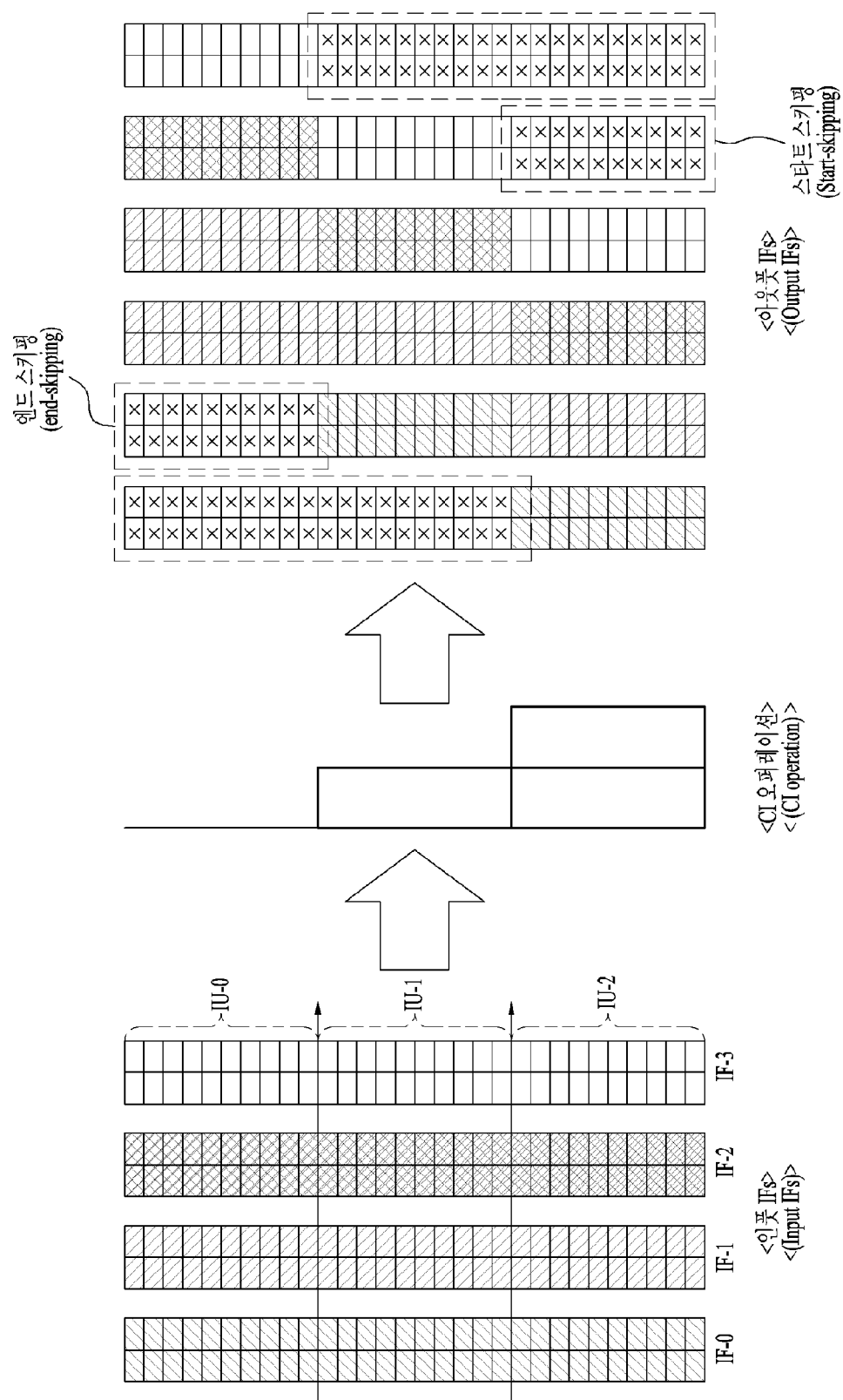
[도50]



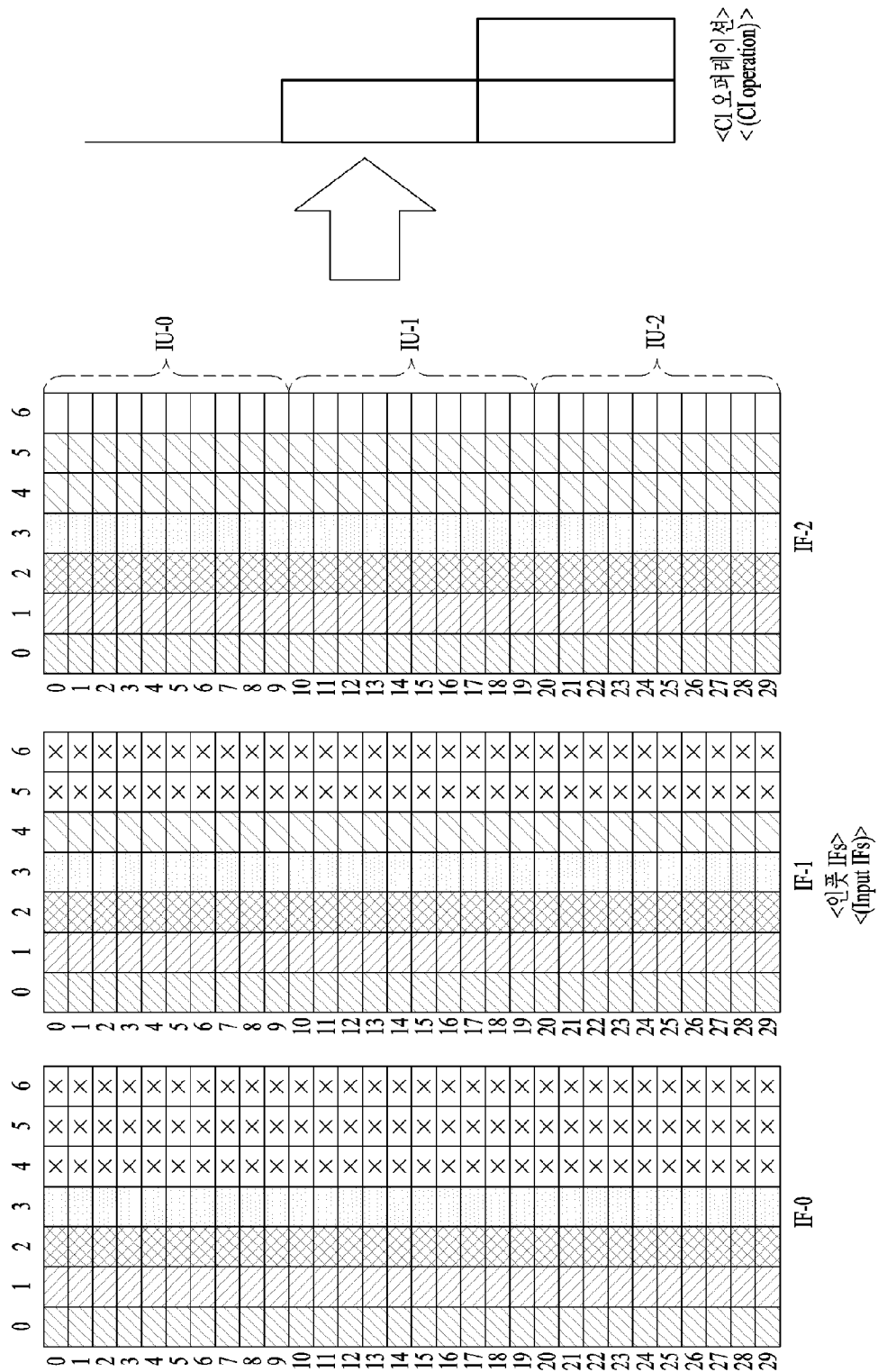
[도51]



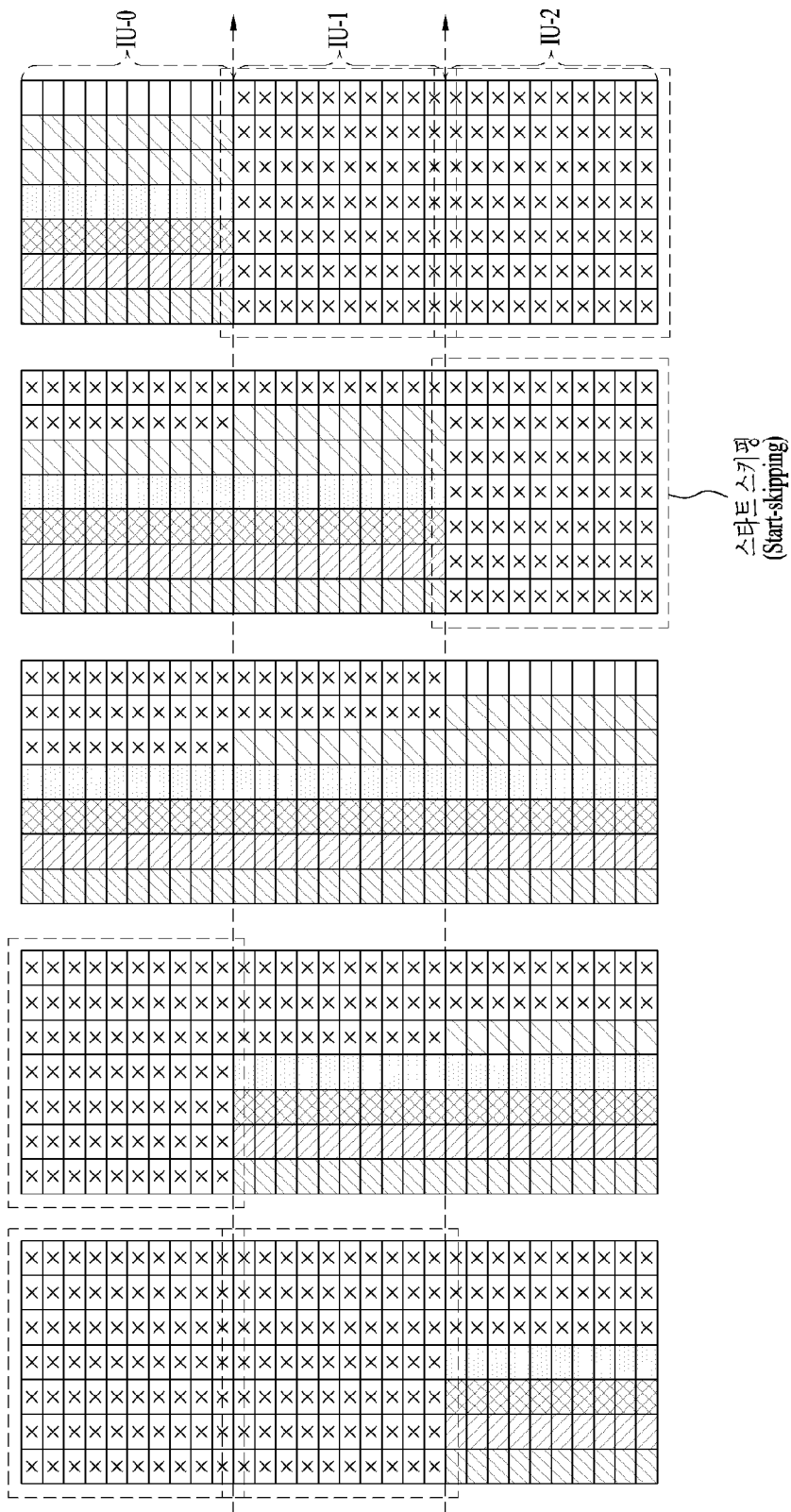
[도52]



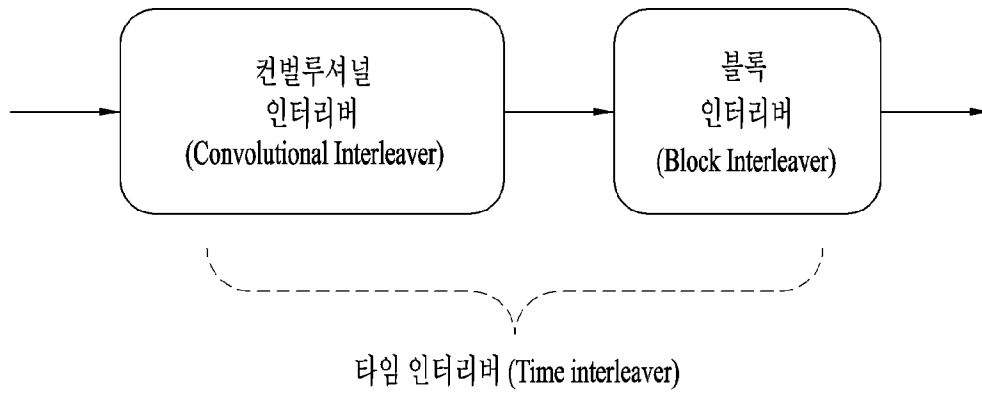
[도53]



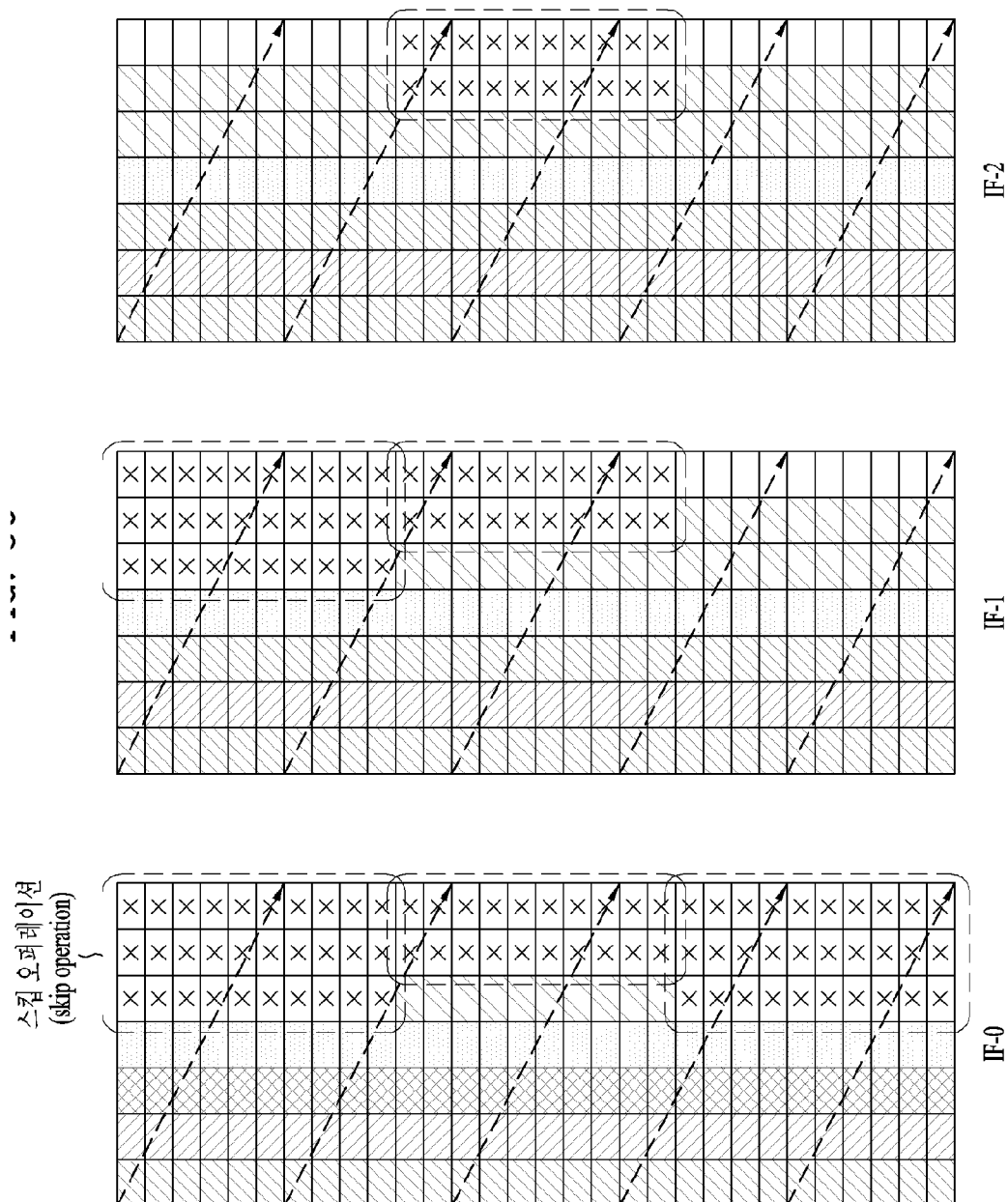
[도54]



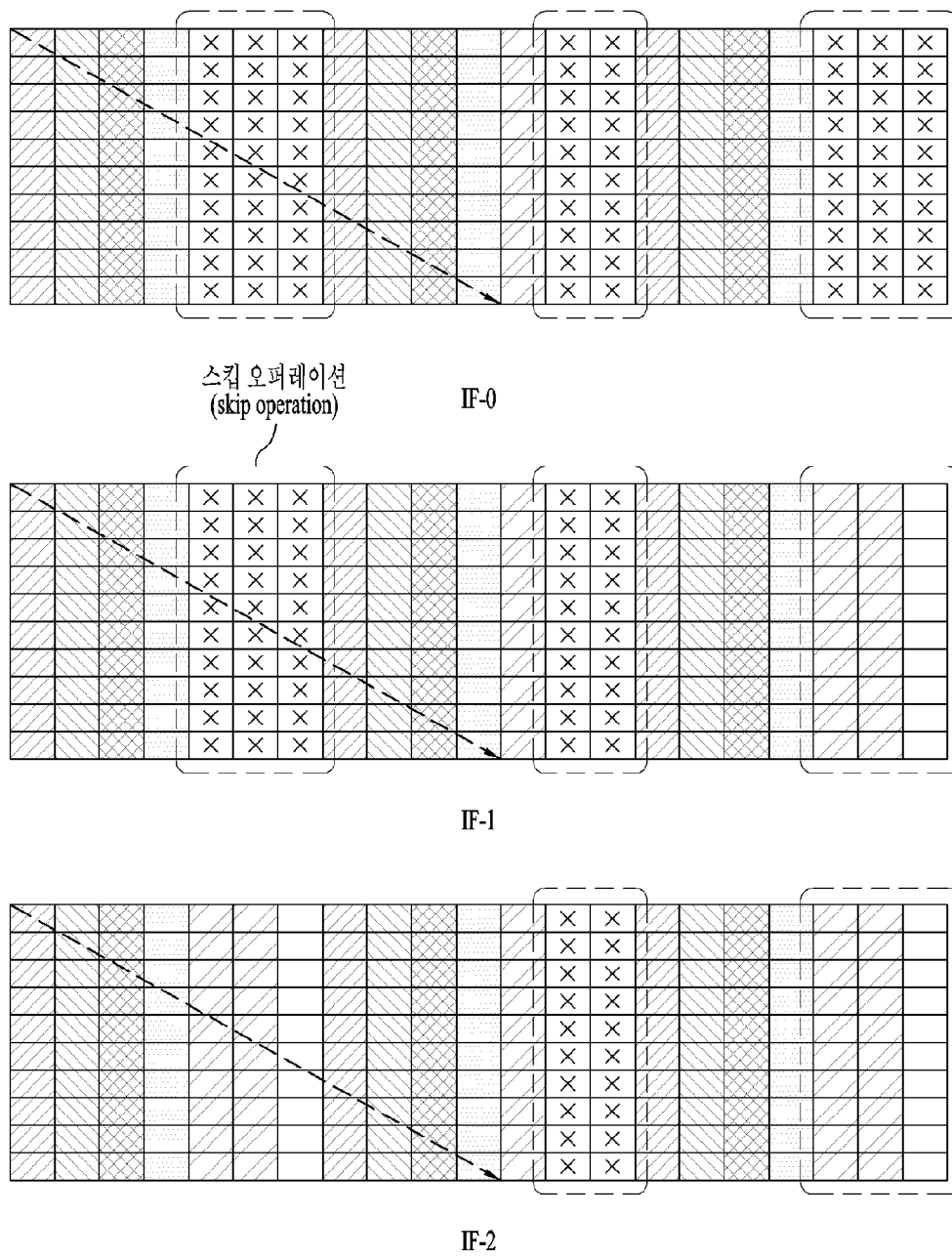
[도55]



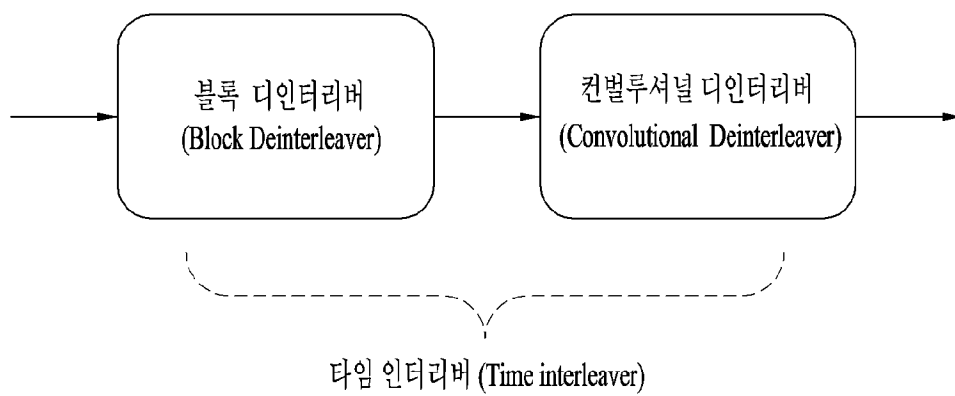
[도56]



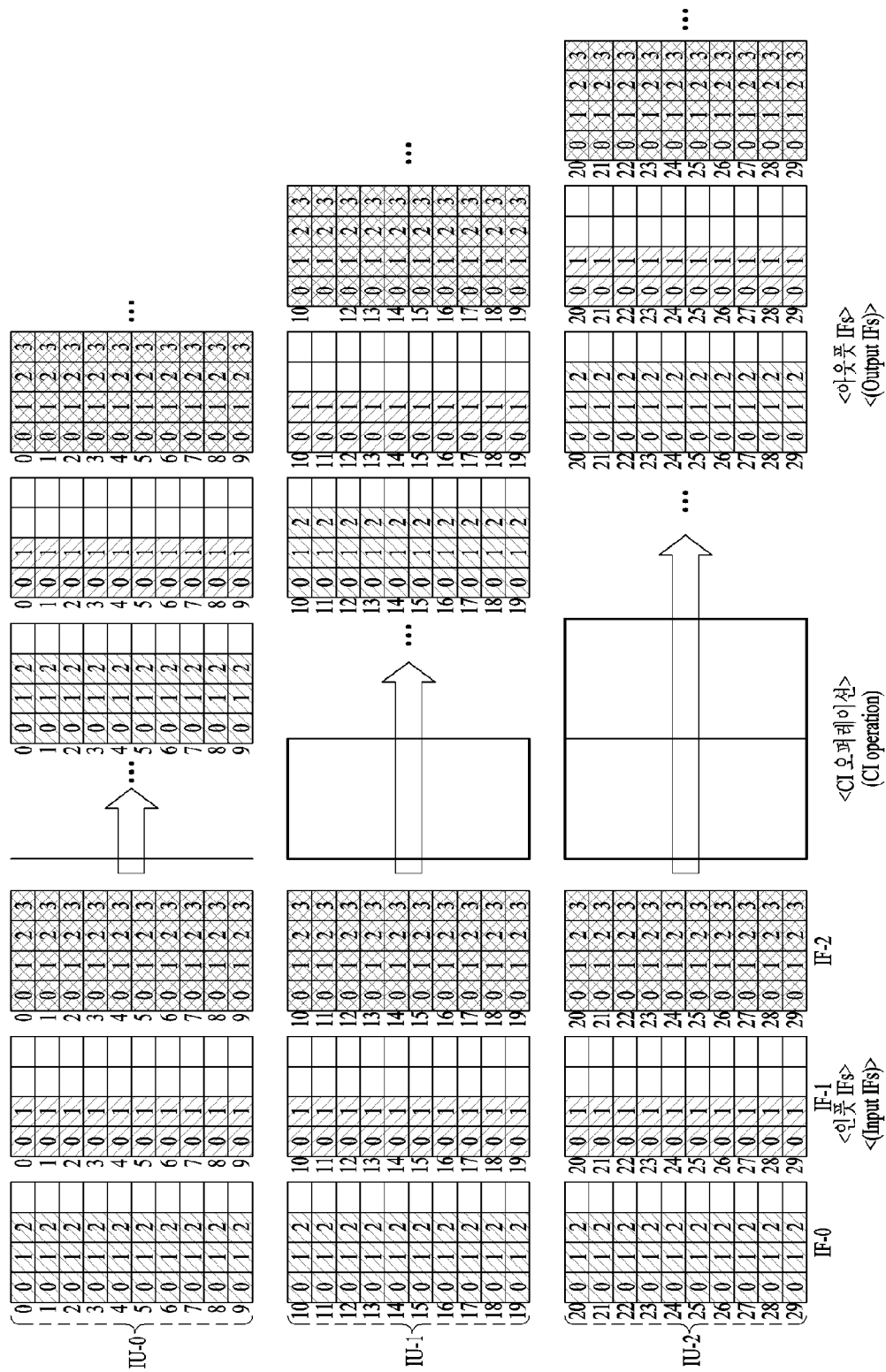
[도57]



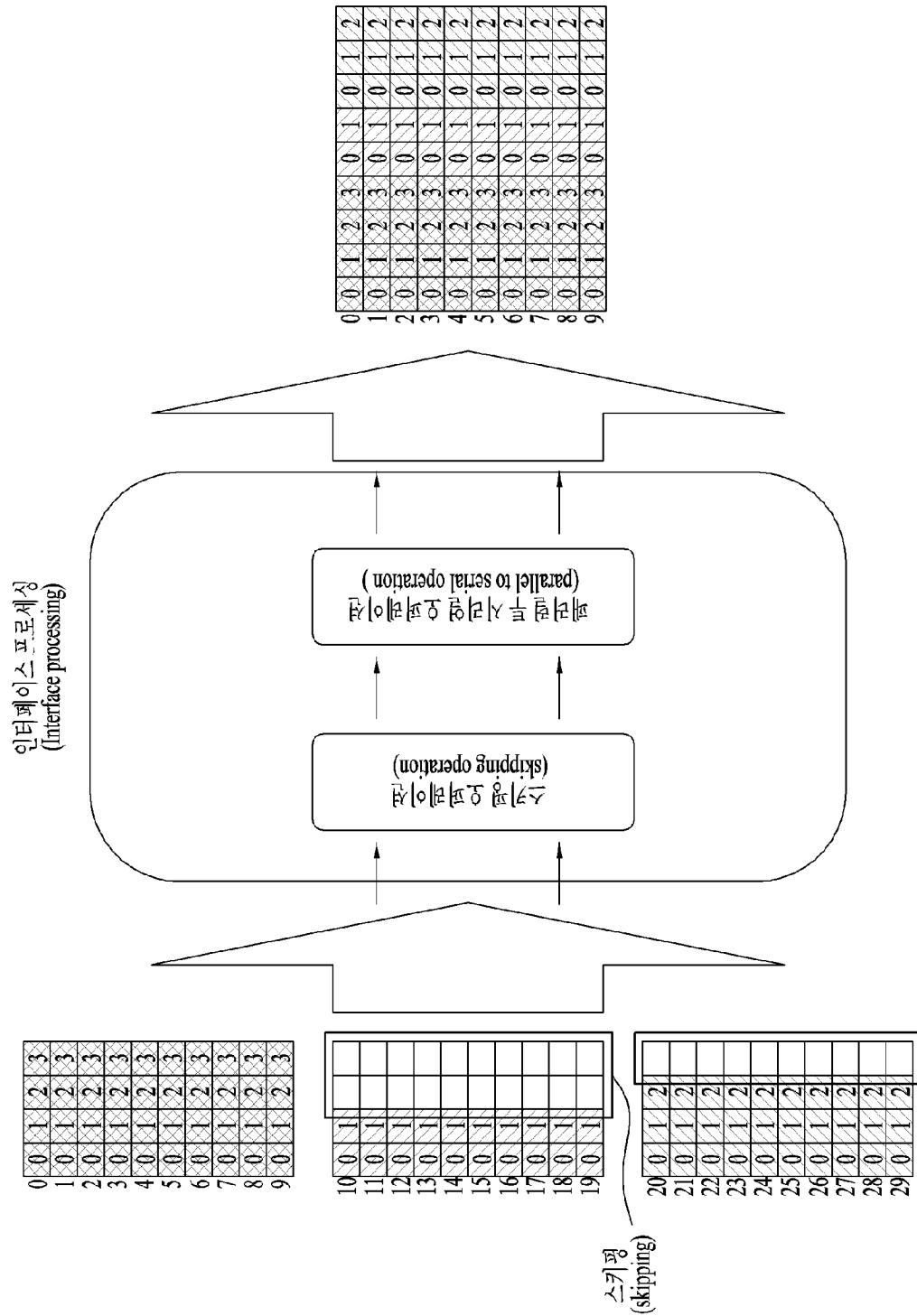
[도58]



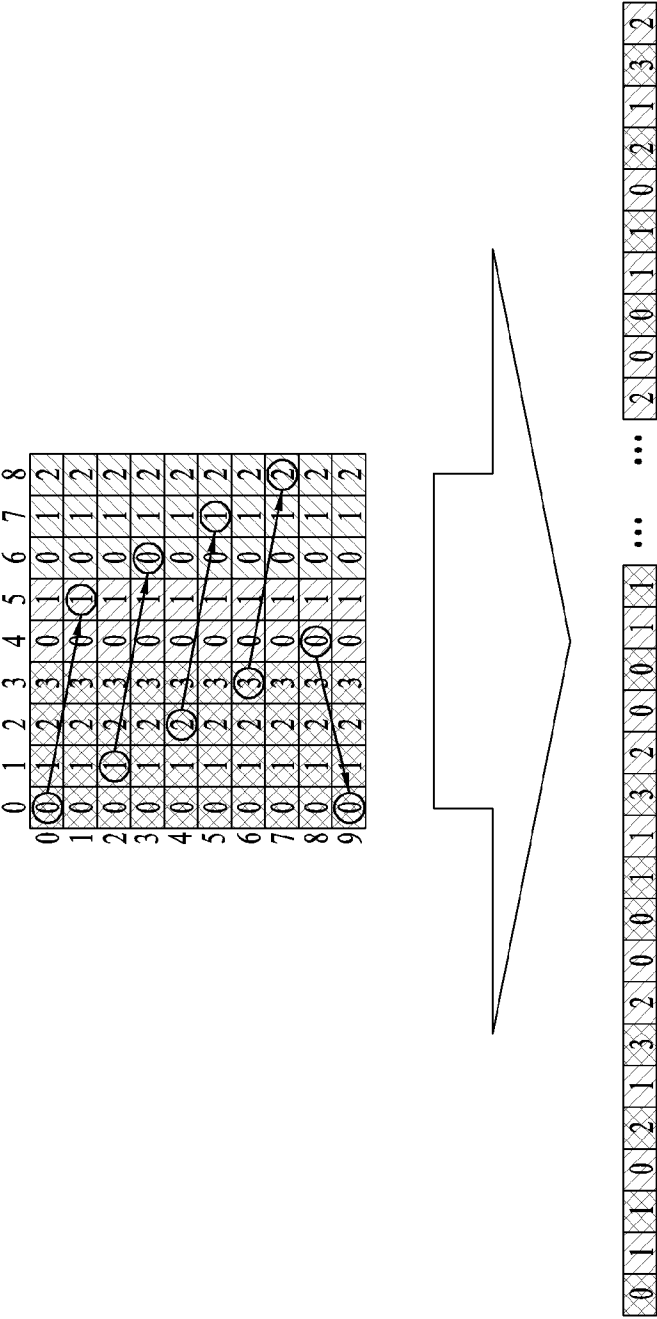
[도59]



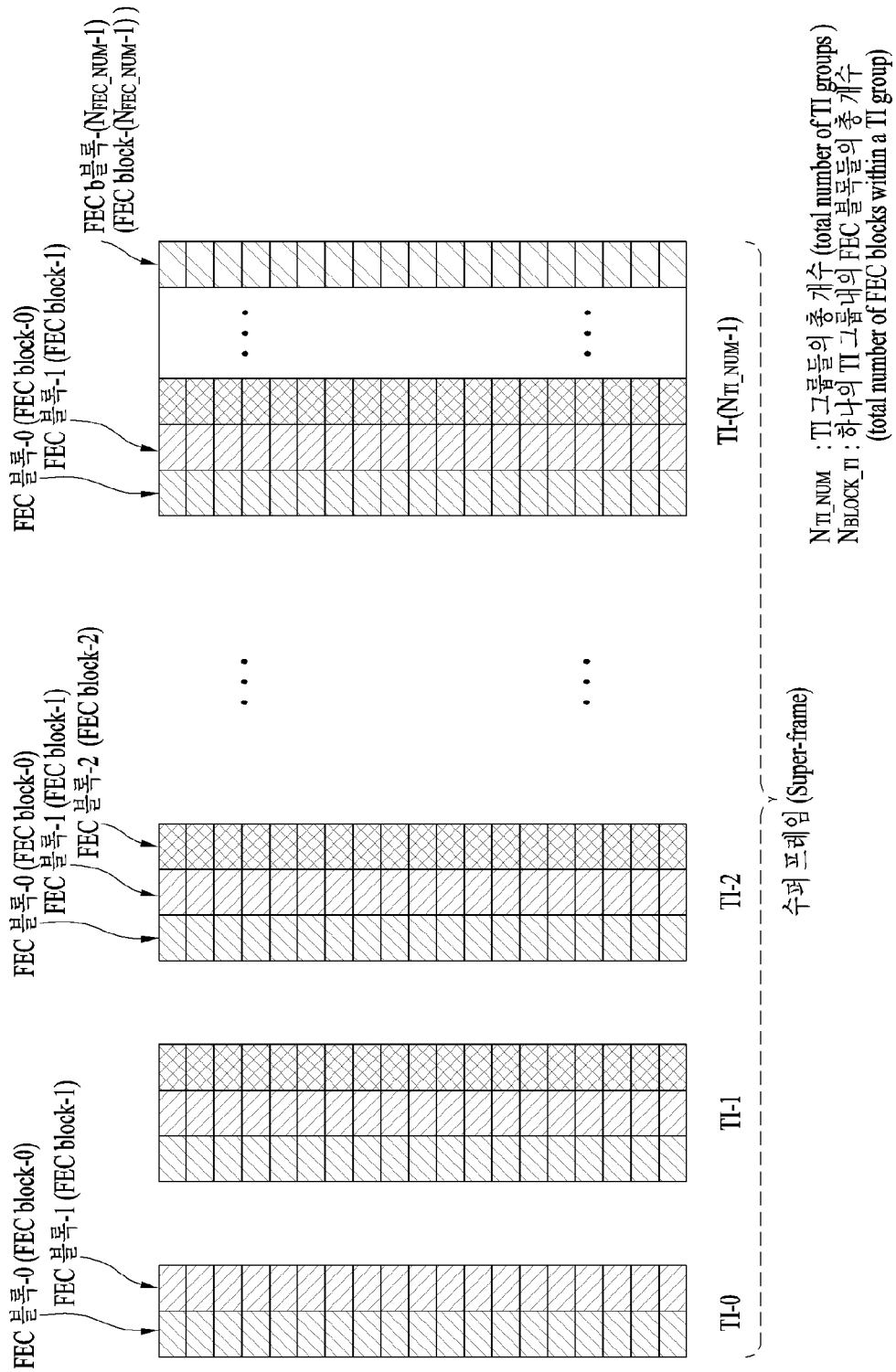
[도60]



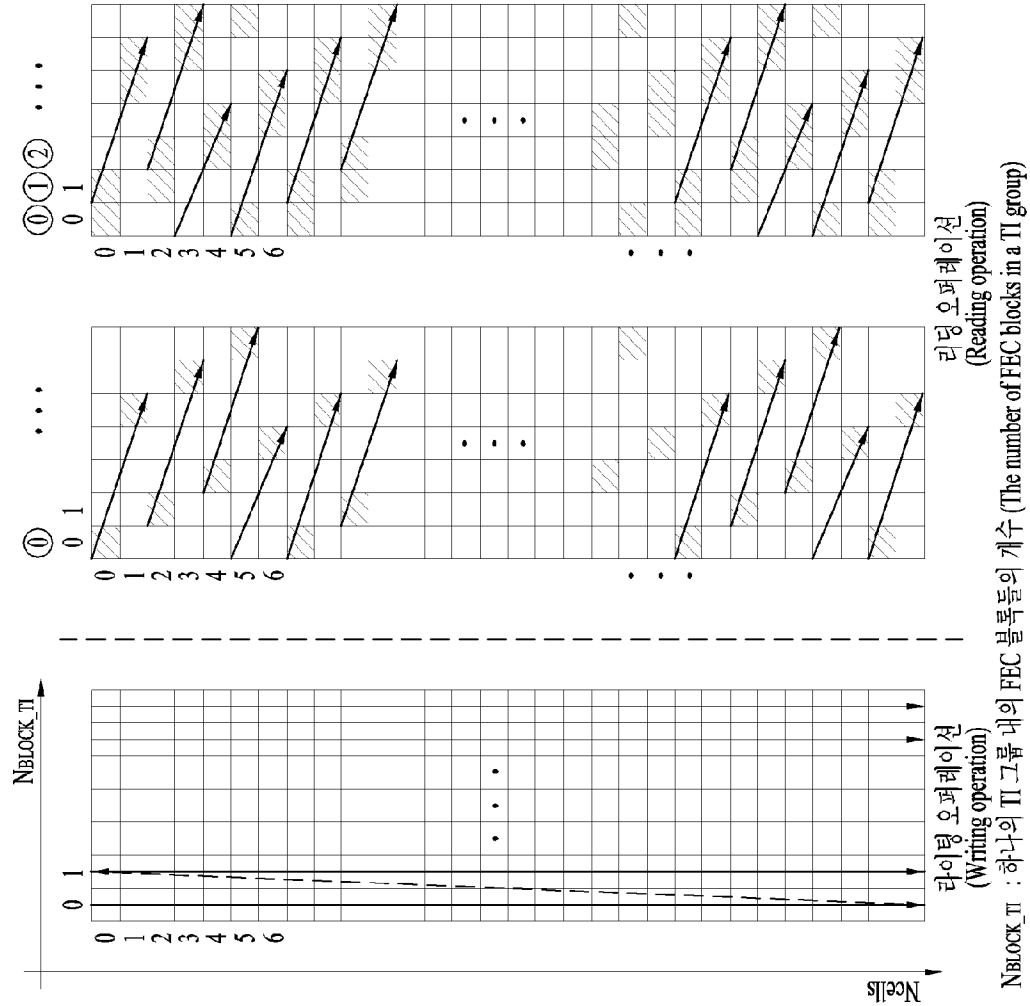
[도61]



[도 62]



[도63]



[도64]

for $0 \leq k \leq N_{cells} N_{BLOCK_TI} - 1$

$$r_k = \text{mod}(k, N_{cells}),$$

$$t_k = \text{mod}(S_T \times r_k, N_{BLOCK_TI}),$$

$$c_k = \text{mod}\left(t_k + \frac{k}{N_{cells}} \right, N_{BLOCK_TI}),$$

$$\pi(k) = N_{cells} c_k + r_k$$

end

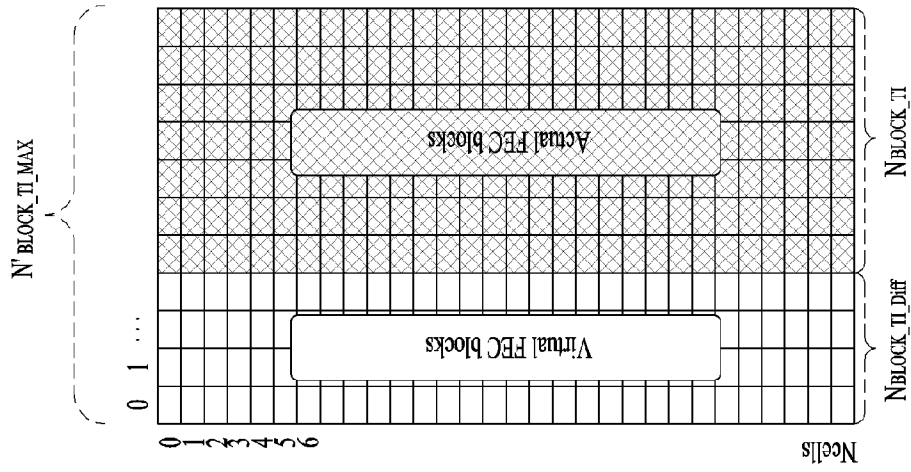
where S_T is defined as

$$S_T = \frac{N_{BLOCK_TI} - 1}{2} + 1 \text{ for } \begin{cases} N_{BLOCK_TI} = N_{BLOCK_TI} + 1, & \text{if } N_{BLOCK_TI} \bmod 2 = 0 \\ N_{BLOCK_TI} = N_{BLOCK_TI}, & \text{if } N_{BLOCK_TI} \bmod 2 = 1 \end{cases}$$

$\pi(k)$: 리딩 메모리 데이터를 위한 K 번째 어드레스 (the k-th address for reading memory data)

S_T : 인터리빙내에서 사용될 시프트 벨류 (shift value for use in interleaving (constant value))

[도65]



$N'_{BLOCK_TI_MAX}$: 하나의 TI 그룹내의 FEC 블록의 메시지 개수
(Maximum number of FEC blocks in a TI group)

N_{BLOCK_TI} : 하나의 TI 그룹 내의 액추얼 FEC 블록들의 개수
(The actual number of FEC blocks in a TI group)

$N_{BLOCK_TI_Diff} = N'_{BLOCK_TI_MAX} - N_{BLOCK_TI}$

$$\begin{cases} N'_{BLOCK_TI_MAX} = N_{BLOCK_TI_MAX} + 1, & \text{if } N_{BLOCK_TI_MAX} \bmod 2 = 0 \\ N'_{BLOCK_TI_MAX} = N_{BLOCK_TI_MAX}, & \text{if } N_{BLOCK_TI_MAX} \bmod 2 = 1 \end{cases}$$

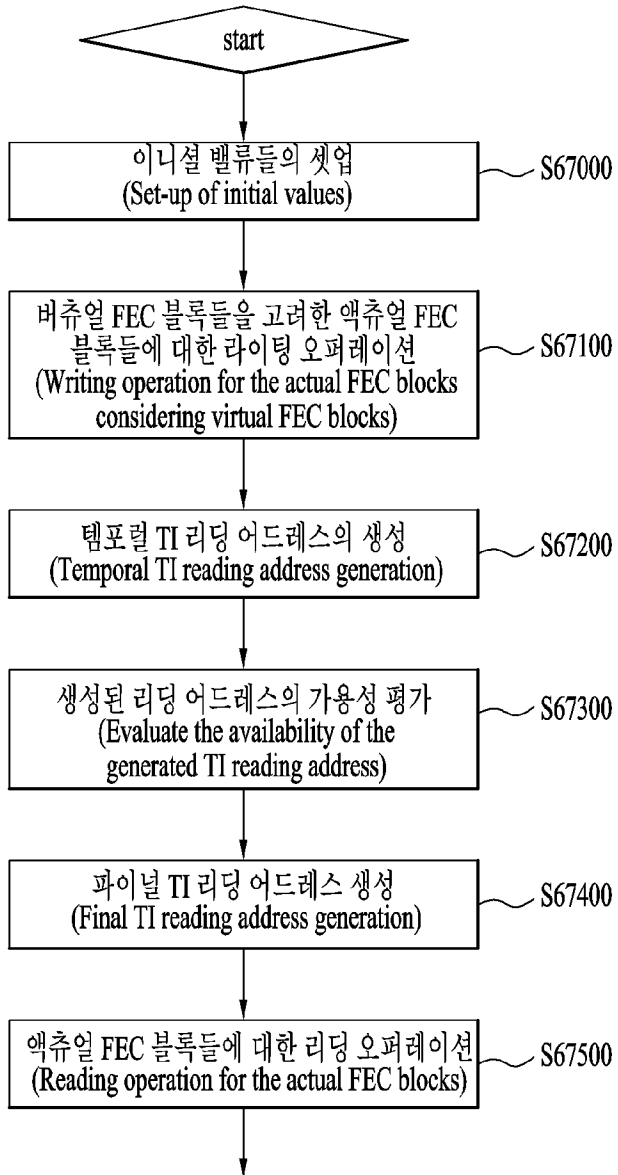
$$N_{BLOCK_TI_Diff,j} = N'_{BLOCK_TI_MAX} - N_{BLOCK_TI,j}$$

[도66]

for $0 \leq k \leq N_{cells} \cdot N'_{BLOCK_TI_MAX} - 1$
 $r_k = \text{mod}(k, N_{cells})$,
 $t_k = \text{mod}(S_T \times r_k, N'_{BLOCK_TI_MAX})$,
 $c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N'_{BLOCK_TI_MAX})$,
 $V(k) = N_{cells} \cdot c_k + r_k$,
 {
 if $V(k) \geq N_{cells} \cdot N'_{BLOCK_TI_Diff}$
 $\pi(C_{cnt}) = \theta(k)$,
 $C_{cnt} = C_{cnt} + 1$,
 end
 }
 end
 where
 $C_{cnt} = 0$,
 $S_T = \frac{N'_{BLOCK_TI_MAX} - 1}{2} + 1$ for {
 if $N'_{BLOCK_TI_MAX} = N_{BLOCK_TI_MAX} + 1$,
 if $N'_{BLOCK_TI_MAX} \bmod 2 = 0$
 if $N'_{BLOCK_TI_MAX} = N_{BLOCK_TI_MAX}$,
 if $N'_{BLOCK_TI_MAX} \bmod 2 = 1$,
 $N_{BLOCK_TI_Diff} = N'_{BLOCK_TI_MAX} - N_{BLOCK_TI}$

버추얼 FEC 블록들에
 대한 스킵 오프레이션
 (Skip virtual FEC blocks)

[도67]



[도68]

$$N_{TI_NUM}=2, N_{cells}=30,$$
$$N_{BLOCK_TI,0}=5,$$
$$N_{BLOCK_TI,1}=6,$$

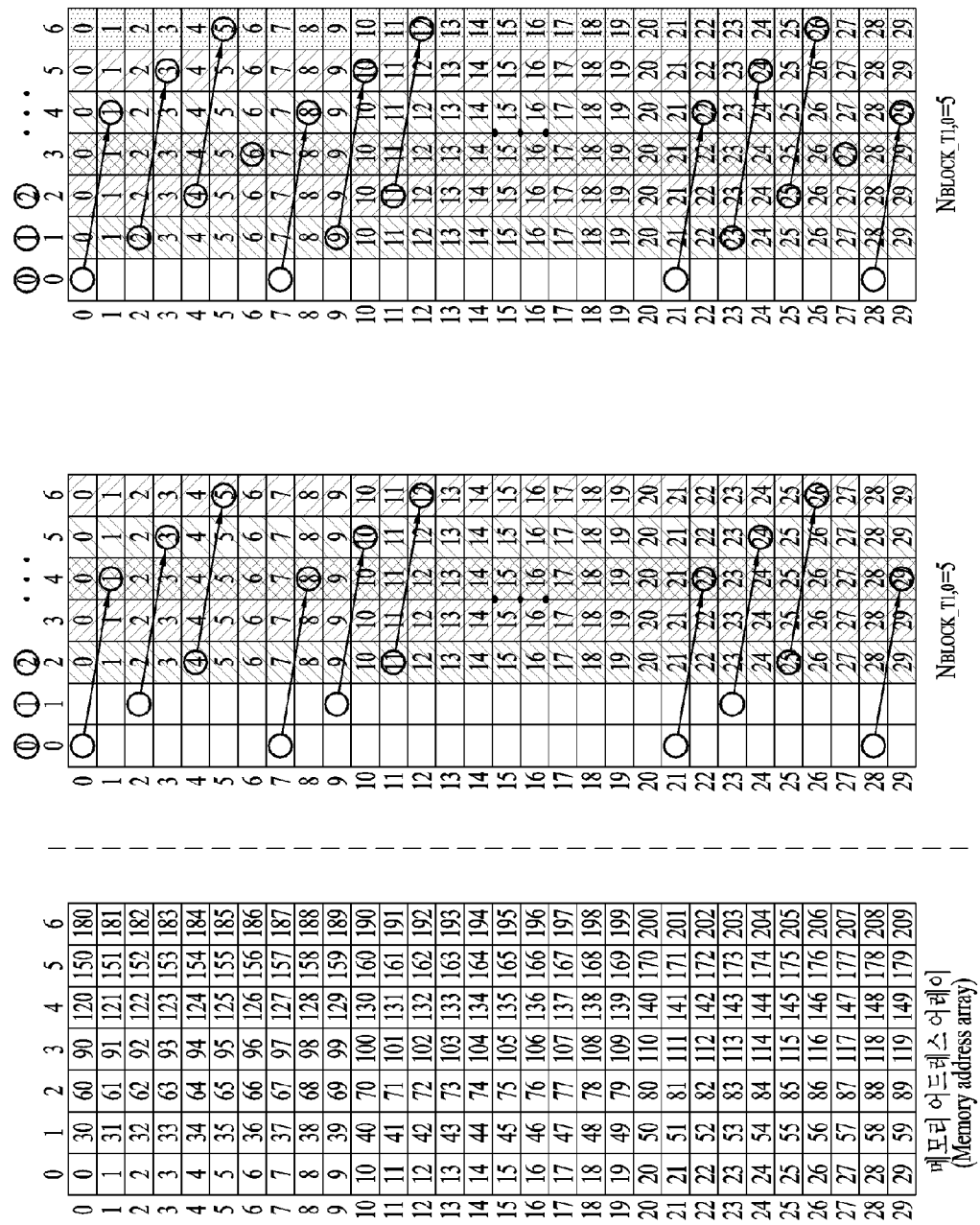
□ At that time, $N_{cells}=30, N_{BLOCK_TI_MAX}=\max(5,6)=6$

$$S_T = \underbrace{\frac{N'_{BLOCK_TI_MAX}-1}{2}+1}_{S_T=4} \quad \text{for} \quad \underbrace{\left\{ \begin{array}{l} N'_{BLOCK_TI_MAX}=N_{BLOCK_TI_MAX}+1, \quad \text{if } N_{BLOCK_TI_MAX} \bmod 2 = 0 \\ N'_{BLOCK_TI_MAX}=N_{BLOCK_TI_MAX}, \quad \text{if } N_{BLOCK_TI_MAX} \bmod 2 = 1 \end{array} \right.}_{N'_{BLOCK_TI_MAX}=7}$$

	0	1	2	3	4	5	6
0	0	30	60	90	120	150	180
1	1	31	61	91	121	151	181
2	2	32	62	92	122	152	182
3	3	33	63	93	123	153	183
4	4	34	64	94	124	154	184
5	5	35	65	95	125	155	185
6	6	36	66	96	126	156	186
7	7	37	67	97	127	157	187
8	8	38	68	98	128	158	188
9	9	39	69	99	129	159	189
10	10	40	70	100	130	160	190
11	11	41	71	101	131	161	191
12	12	42	72	102	132	162	192
13	13	43	73	103	133	163	193
14	14	44	74	104	134	164	194
15	15	45	75	105	135	165	195
16	16	46	76	106	136	166	196
17	17	47	77	107	137	167	197
18	18	48	78	108	138	168	198
19	19	49	79	109	139	169	199
20	20	50	80	110	140	170	200
21	21	51	81	111	141	171	201
22	22	52	82	112	142	172	202
23	23	53	83	113	143	173	203
24	24	54	84	114	144	174	204
25	25	55	85	115	145	175	205
26	26	56	86	116	146	176	206
27	27	57	87	117	147	177	207
28	28	58	88	118	148	178	208
29	29	59	89	119	149	179	209

메모리 어드레스 어레이
(Memory address array)

[도70]



[도71]

	0	1	2	3	4
0	1	13	25	7	19
1	3	15	27	9	21
2	4	16	28	10	22
3	5	17	29	11	23
4	6	18	0	12	24
5	8	20	2	14	26
6	10	22	4	16	28
7	11	23	5	17	29
8	12	24	6	18	0
9	13	25	7	19	1
10	15	27	9	21	3
11	17	29	11	23	5
12	18	0	12	24	6
13	19	1	13	25	7
14	20	2	14	26	8
15	22	4	16	28	10
16	24	6	18	0	12
17	25	7	19	1	13
18	26	8	20	2	14
19	27	9	21	3	15
20	29	11	23	5	17
21	1	13	25	7	19
22	2	14	26	8	20
23	3	15	27	9	21
24	4	16	28	10	22
25	6	18	0	12	24
26	8	20	2	14	26
27	9	21	3	15	27
28	10	22	4	16	28
29	11	23	5	17	29

NBLOCK_T1,0=5

	0	1	2	3	4	5
0	1	6	11	16	21	26
1	2	7	12	17	22	27
2	3	8	13	18	23	28
3	4	9	14	19	24	29
4	5	10	15	20	25	0
5	6	11	16	21	26	1
6	8	13	18	23	28	3
7	9	14	19	24	29	4
8	10	15	20	25	0	5
9	11	16	21	26	1	6
10	12	17	22	27	2	7
11	13	18	23	28	3	8
12	15	20	25	0	5	10
13	16	21	26	1	6	11
14	17	22	27	2	7	12
15	18	23	28	3	8	13
16	19	24	29	4	9	14
17	20	25	0	5	10	15
18	22	27	2	7	12	17
19	23	28	3	8	13	18
20	24	29	4	9	14	19
21	25	0	5	10	15	20
22	26	1	6	11	16	21
23	27	2	7	12	17	22
24	29	4	9	14	19	24
25	0	5	10	15	20	25
26	1	6	11	16	21	26
27	2	7	12	17	22	27
28	3	8	13	18	23	28
29	4	9	14	19	24	29

NBLOCK_T1,0=6

[도 72]

메모리 어드레스 어레이 (Memory address array)							TDI 인풋 (TDI input) N _{BLOCK TDI} = 5							라이팅 결과 (Writing result)						
0	1	2	3	4	5	6	0	1	2	3	4	5	6	0	1	2	3	4	5	6
0	0	30	60	90	120	150	180	1	13	25	7	19		0	0	0	0	0	0	0
1	1	31	61	91	121	151	181	3	15	27	9	21		1	1	1			1	1
2	2	32	62	92	122	152	182	4	16	28	10	22		2	2	2	2	2	2	2
3	3	33	63	93	123	153	183	5	17	29	11	23		3	3			3	3	3
4	4	34	64	94	124	154	184	6	18	0	12	24		4	4	4	4	4		
5	5	35	65	95	125	155	185	8	20	2	14	26		5			5	5	5	5
6	6	36	66	96	126	156	186	10	22	4	16	28		6	6	6	6			6
7	7	37	67	97	127	157	187	11	23	5	17	29				7	7	7	7	7
8	8	38	68	98	128	158	188	12	24	6	18	0		8	8	8			8	8
9	9	39	69	99	129	159	189	13	25	7	19	1			9	9	9	9	9	
10	10	40	70	100	130	160	190	15	27	9	21	3		10	10		10	10	10	10
11	11	41	71	101	131	161	191	17	29	11	23	5		11	11	11	11			
12	12	42	72	102	132	162	192	18	0	12	24	6		12			12	12	12	12
13	13	43	73	103	133	163	193	19	1	13	25	7		13	13	13	13			13
14	14	44	74	104	134	164	194	20	2	14	26	8				14	14	14	14	14
15	15	45	75	105	135	165	195	22	4	16	28	10		15	15	15		15	15	15
16	16	46	76	106	136	166	196	24	6	18	0	12		16	16	16	16	16	16	
17	17	47	77	107	137	167	197	25	7	19	1	13		17	17		17	17	17	17
18	18	48	78	108	138	168	198	26	8	20	2	14		18	18	18	18			
19	19	49	79	109	139	169	199	27	9	21	3	15		19		19	19	19	19	19
20	20	50	80	110	140	170	200	29	11	23	5	17		20	20	20	20			20
21	21	51	81	111	141	171	201	1	13	25	7	19			21	21	21	21	21	21
22	22	52	82	112	142	172	202	2	14	26	8	20		22	22	22		22	22	22
23	23	53	83	113	143	173	203	3	15	27	9	21		23	23	23	23	23	23	
24	24	54	84	114	144	174	204	4	16	28	10	22		24	24		24	24	24	24
25	25	55	85	115	145	175	205	6	18	0	12	24		25	25	25	25			
26	26	56	86	116	146	176	206	8	20	2	14	26		26		26	26	26	26	26
27	27	57	87	117	147	177	207	9	21	3	15	27		27	27	27	27			27
28	28	58	88	118	148	178	208	10	22	4	16	28			28	28	28	28	28	28
29	29	59	89	119	149	179	209	11	23	5	17	29		29	29	29		29	29	29

[도73]

메모리 어드레스 어레이 (Memory address array)							TDI 인풋 (TDI input) N _{Block} _T1,0=6							라이팅 결과 (Writing result)						
0	1	2	3	4	5	6	0	1	2	3	4	5	6	0	1	2	3	4	5	6
0	0	30	60	90	120	150	180	1	6	11	16	21	26	0	0	0	0	0	0	0
1	1	31	61	91	121	151	181	2	7	12	17	22	27	1	1	1	1	1	1	1
2	2	32	62	92	122	152	182	3	8	13	18	23	28	2	2	2	2	2	2	2
3	3	33	63	93	123	153	183	4	9	14	19	24	29	3	3	3	3	3	3	3
4	4	34	64	94	124	154	184	5	10	15	20	25	0	4	4	4	4	4	4	4
5	5	35	65	95	125	155	185	6	11	16	21	26	1	5	5	5	5	5	5	5
6	6	36	66	96	126	156	186	7	12	17	22	27	2	6	6	6	6	6	6	6
7	7	37	67	97	127	157	187	8	13	18	23	28	3	7	7	7	7	7	7	7
8	8	38	68	98	128	158	188	9	14	19	24	29	4	8	8	8	8	8	8	8
9	9	39	69	99	129	159	189	10	15	20	25	0	5	9	9	9	9	9	9	9
10	10	40	70	100	130	160	190	11	16	21	26	1	6	10	10	10	10	10	10	10
11	11	41	71	101	131	161	191	12	17	22	27	2	7	11	11	11	11	11	11	11
12	12	42	72	102	132	162	192	13	18	23	28	3	8	12	12	12	12	12	12	12
13	13	43	73	103	133	163	193	14	19	24	29	4	9	13	13	13	13	13	13	13
14	14	44	74	104	134	164	194	15	20	25	0	5	10	14	14	14	14	14	14	14
15	15	45	75	105	135	165	195	16	21	26	1	6	11	15	15	15	15	15	15	15
16	16	46	76	106	136	166	196	17	22	27	2	7	12	16	16	16	16	16	16	16
17	17	47	77	107	137	167	197	18	23	28	3	8	13	17	17	17	17	17	17	17
18	18	48	78	108	138	168	198	19	24	29	4	9	14	18	18	18	18	18	18	18
19	19	49	79	109	139	169	199	20	25	0	5	10	15	19	19	19	19	19	19	19
20	20	50	80	110	140	170	200	21	26	1	6	11	16	20	20	20	20	20	20	20
21	21	51	81	111	141	171	201	22	27	2	7	12	17	21	21	21	21	21	21	21
22	22	52	82	112	142	172	202	23	28	3	8	13	18	22	22	22	22	22	22	22
23	23	53	83	113	143	173	203	24	29	4	9	14	19	23	23	23	23	23	23	23
24	24	54	84	114	144	174	204	25	0	5	10	15	20	24	24	24	24	24	24	24
25	25	55	85	115	145	175	205	26	1	6	11	16	21	25	25	25	25	25	25	25
26	26	56	86	116	146	176	206	27	2	7	12	17	22	26	26	26	26	26	26	26
27	27	57	87	117	147	177	207	28	3	8	13	18	23	27	27	27	27	27	27	27
28	28	58	88	118	148	178	208	29	4	9	14	19	24	28	28	28	28	28	28	28
29	29	59	89	119	149	179	209							29	29	29	29	29	29	29

[도74]

for $0 \leq k \leq N_{cells}N'_{BLOCK_TI_MAX}-1$

$$r_k = \text{mod}(k, N_{cells}),$$

$$t_k = \text{mod}(S_R \times r_k, N'_{BLOCK_TI_MAX}),$$

$$c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N'_{BLOCK_TI_MAX}),$$

$$V(k) = N_{cells}c_k + r_k,$$

버추얼 FEC 블록들에
대한 스킵오퍼레이션
(Skip virtual FEC blocks)

$$\begin{array}{l} \text{if } V(k) \geq N_{cells}N_{BLOCK_TI_Diff} \\ \quad \pi(C_{cnt}) = \theta(k), \\ \quad C_{cnt} = C_{cnt} + 1, \\ \text{end} \end{array}$$

end

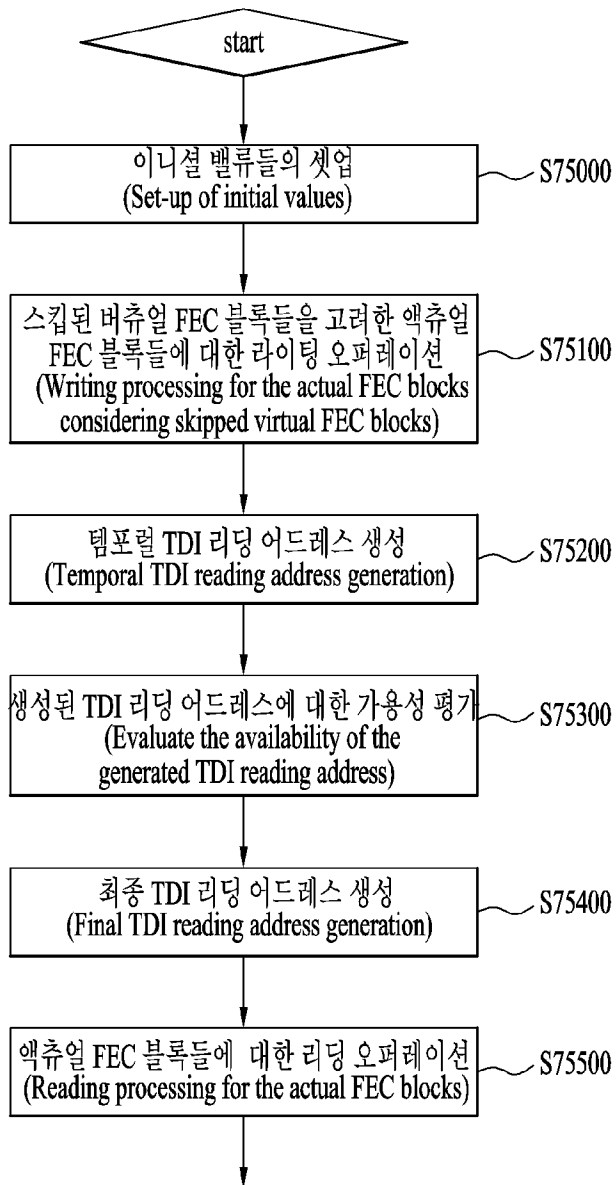
where

$$C_{cnt} = 0,$$

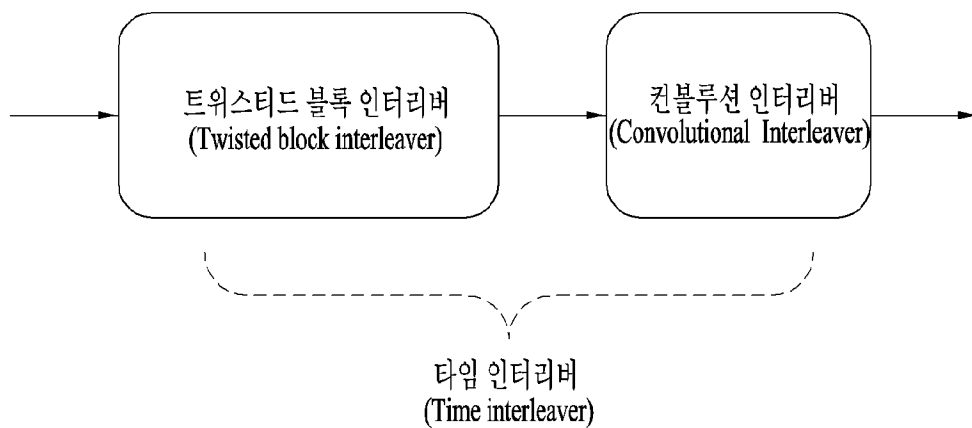
$$S_R = N'_{BLOCK_TI_MAX} - S_T,$$

$$N_{BLOCK_TI_Diff} = N'_{BLOCK_TI_MAX} - N_{BLOCK_TI}$$

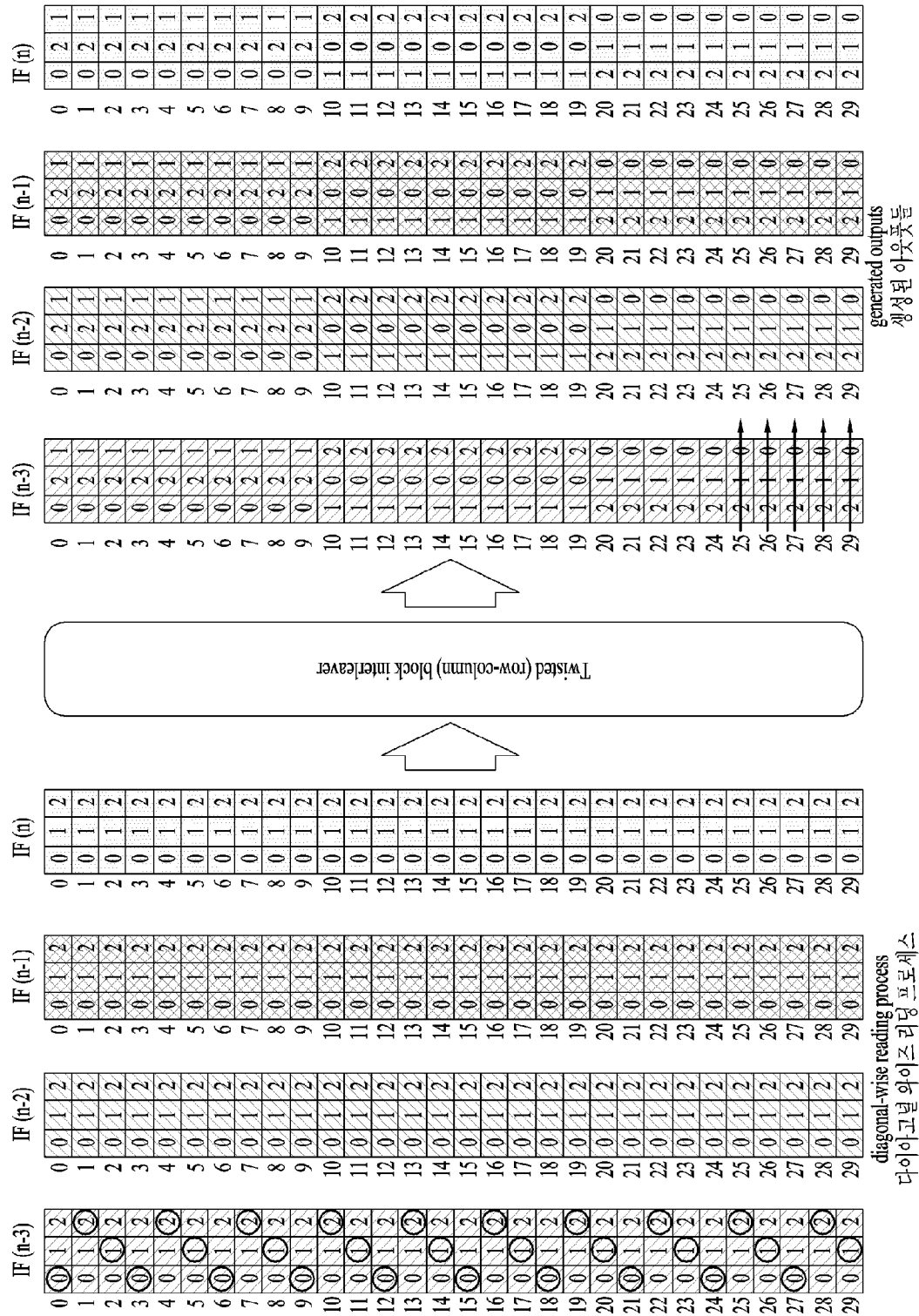
[도75]



[도76]

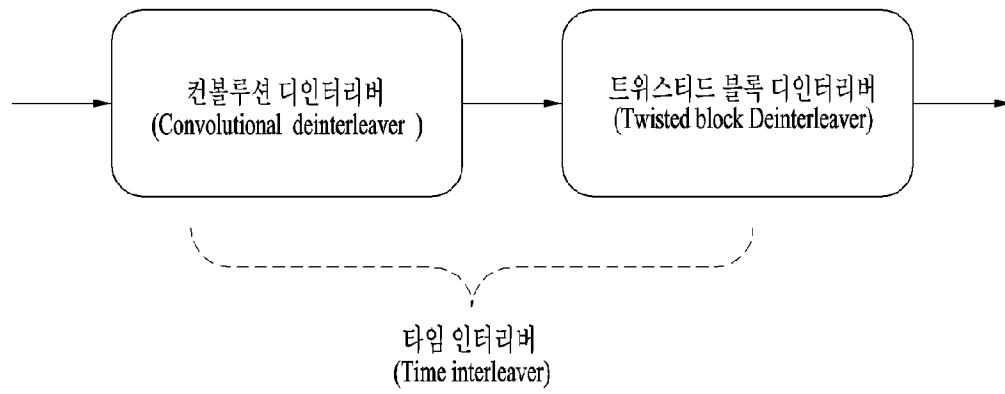


[도77]

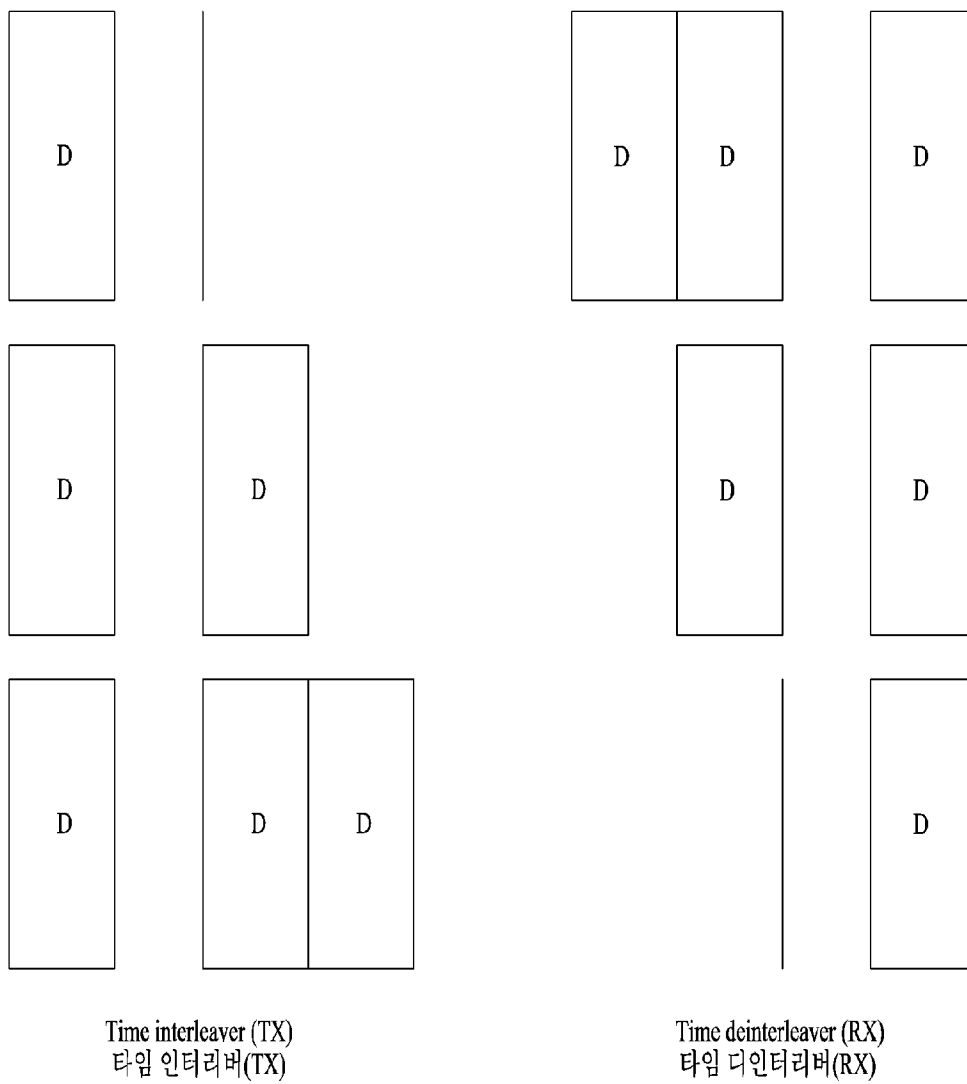


The diagram illustrates a 3D convolutional layer structure. It consists of three input planes (IF (n-3), IF (n-2), IF (n-1)) and three output planes (OF (n-3), OF (n-2), OF (n-1)). The input planes are shown as grids of values, with some cells highlighted in red. The output planes are shown as grids of values, with some cells highlighted in red. The depth planes (D) are shown as grids of values, with some cells highlighted in red. The diagram shows the flow of data from the input planes through the convolution operation to the output planes, with the depth planes representing the spatial dimensions of the feature maps.

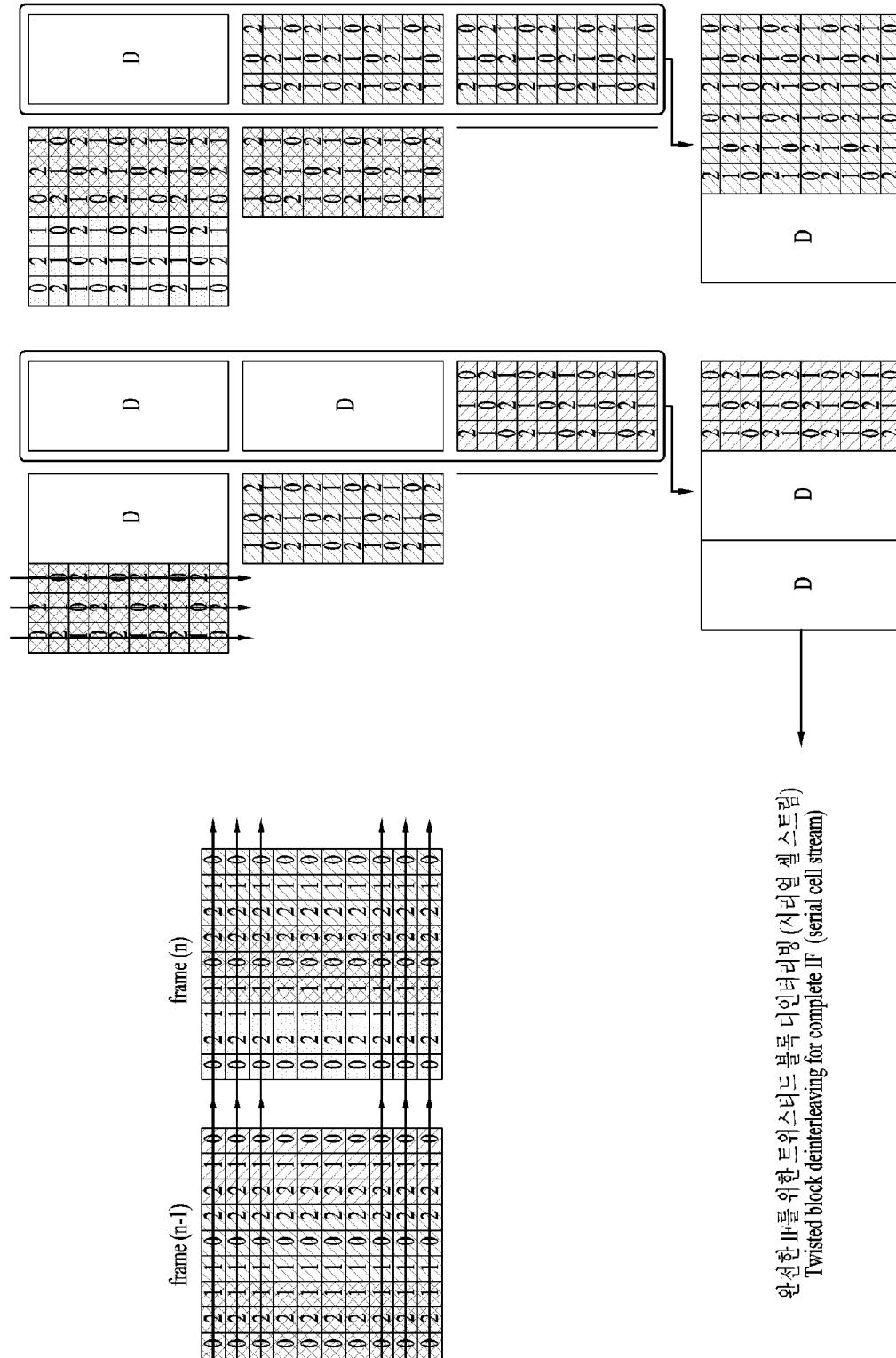
[도80]



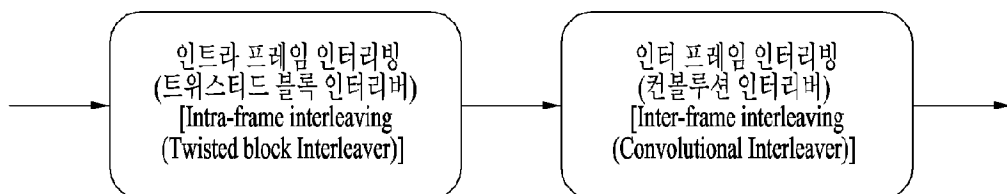
[도81]



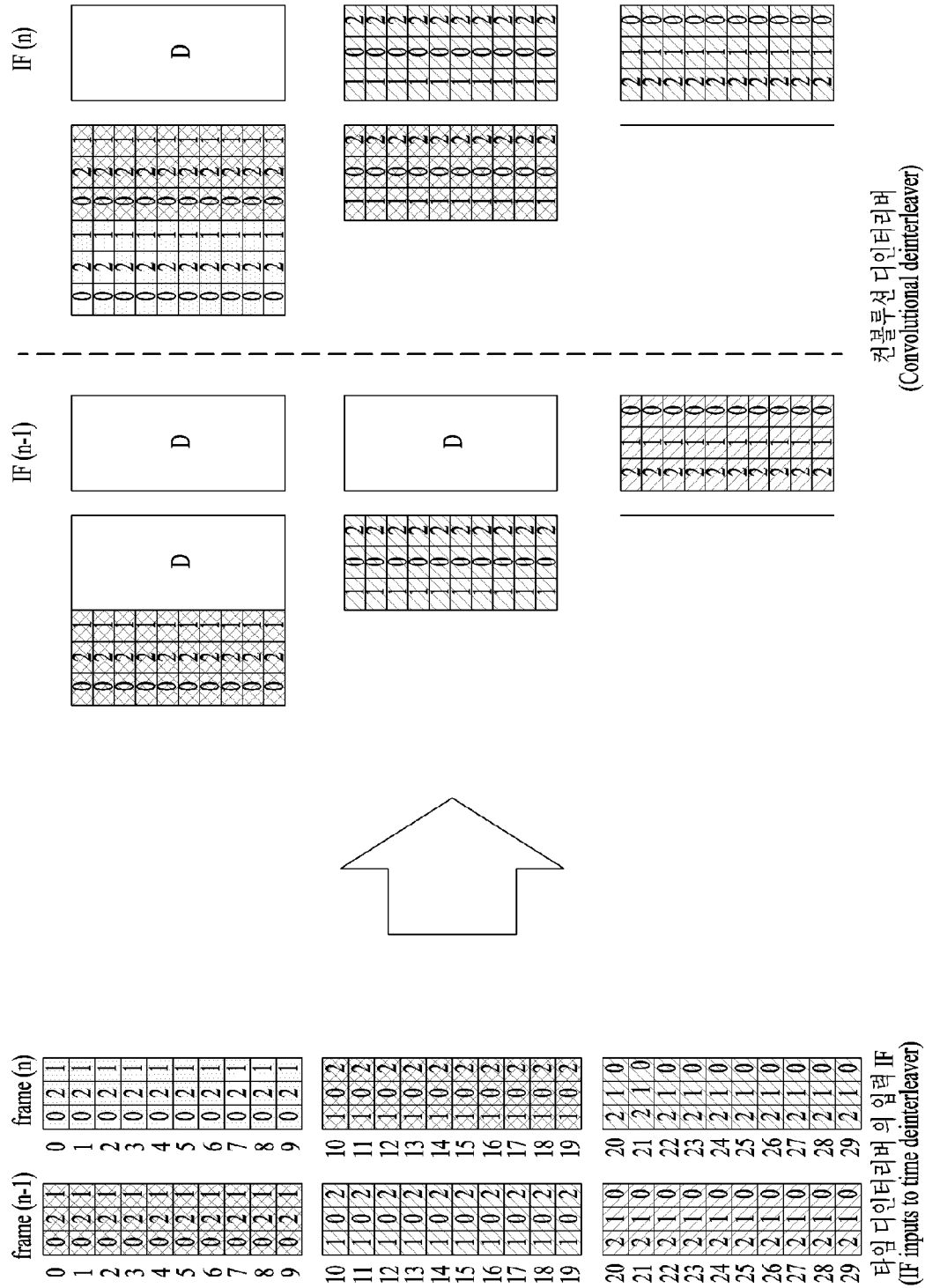
[도82]



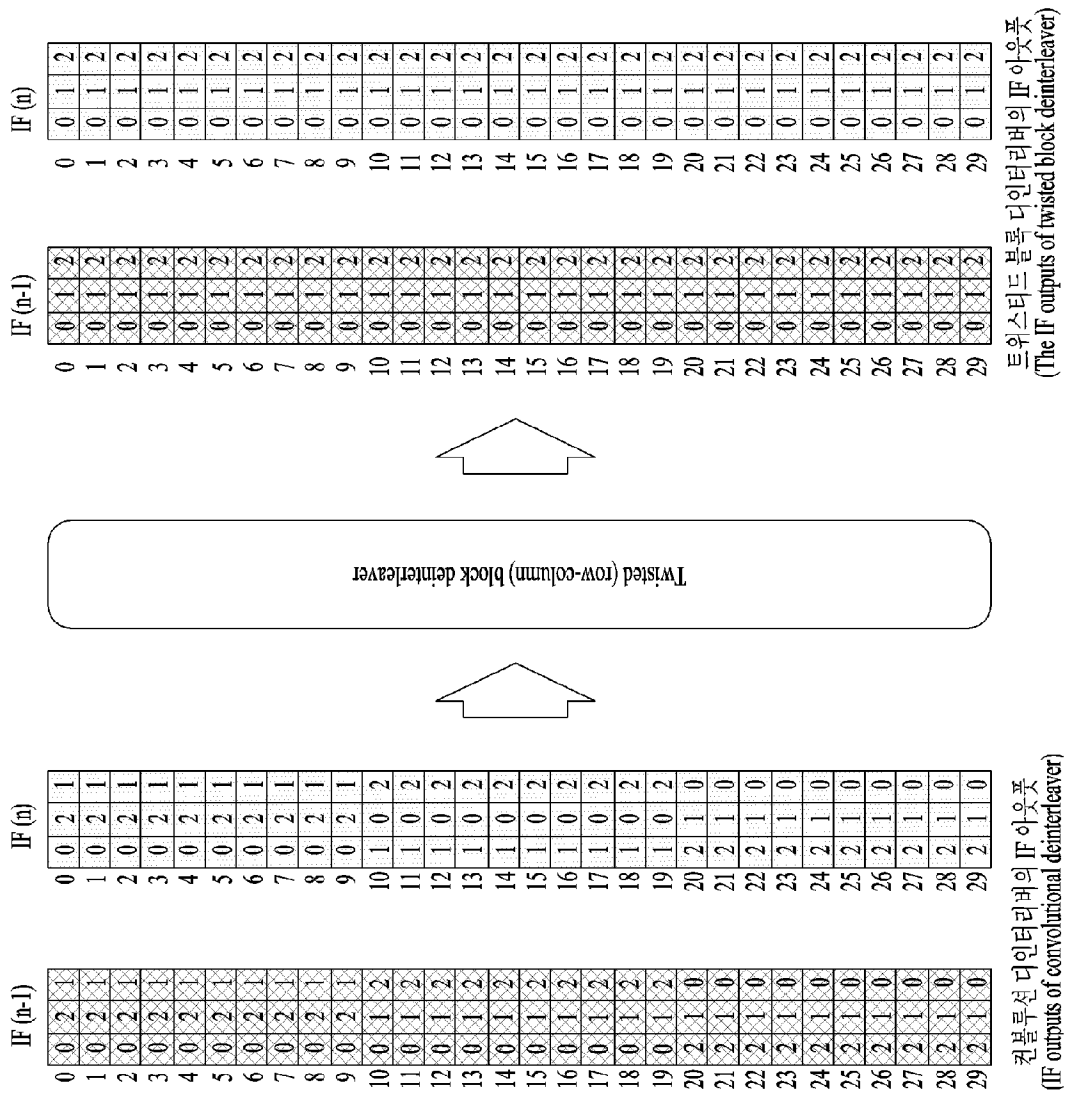
[도83]



[도86]



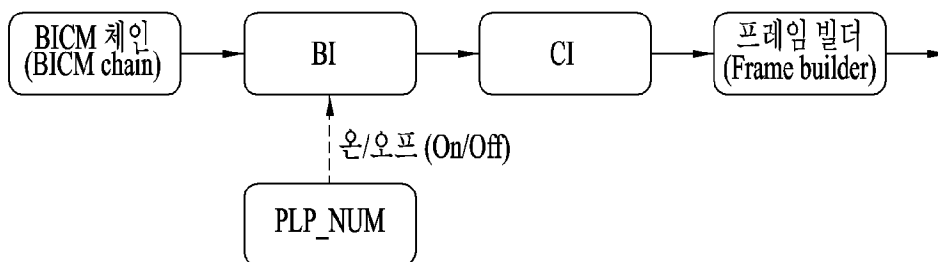
[도87]



[도88]

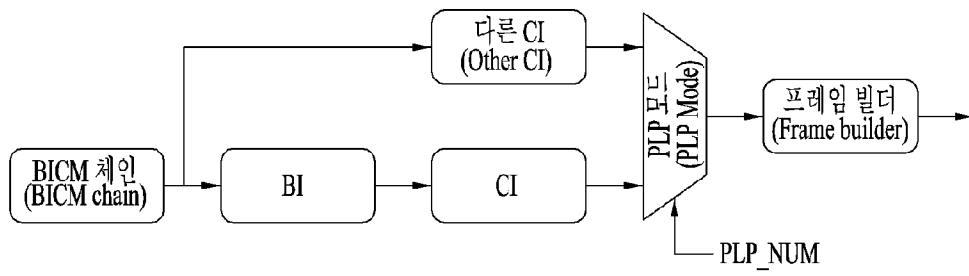
PLP_NUM	1	>1
Interleaving type 인터리빙 타입	CI	CI+BI

[도89]



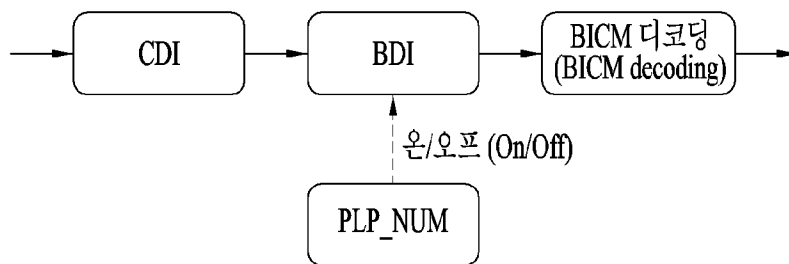
하이브리드 TI 스트럭처 : 예-1
 <Hybrid TI structure: example-1>

[도90]



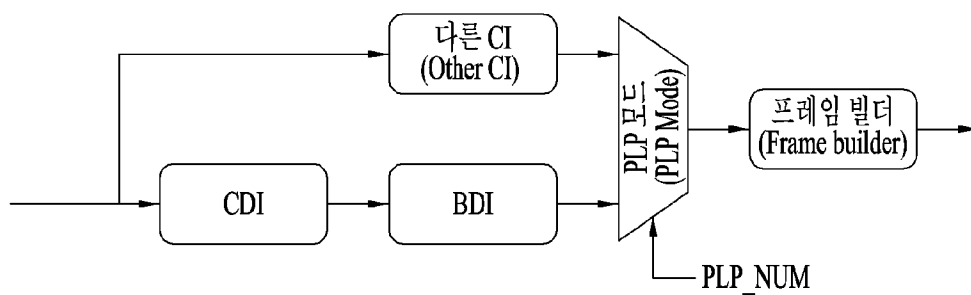
하이브리드 TI 스트럭처: 예-1
 <Hybrid TI structure: example-2>

[도91]



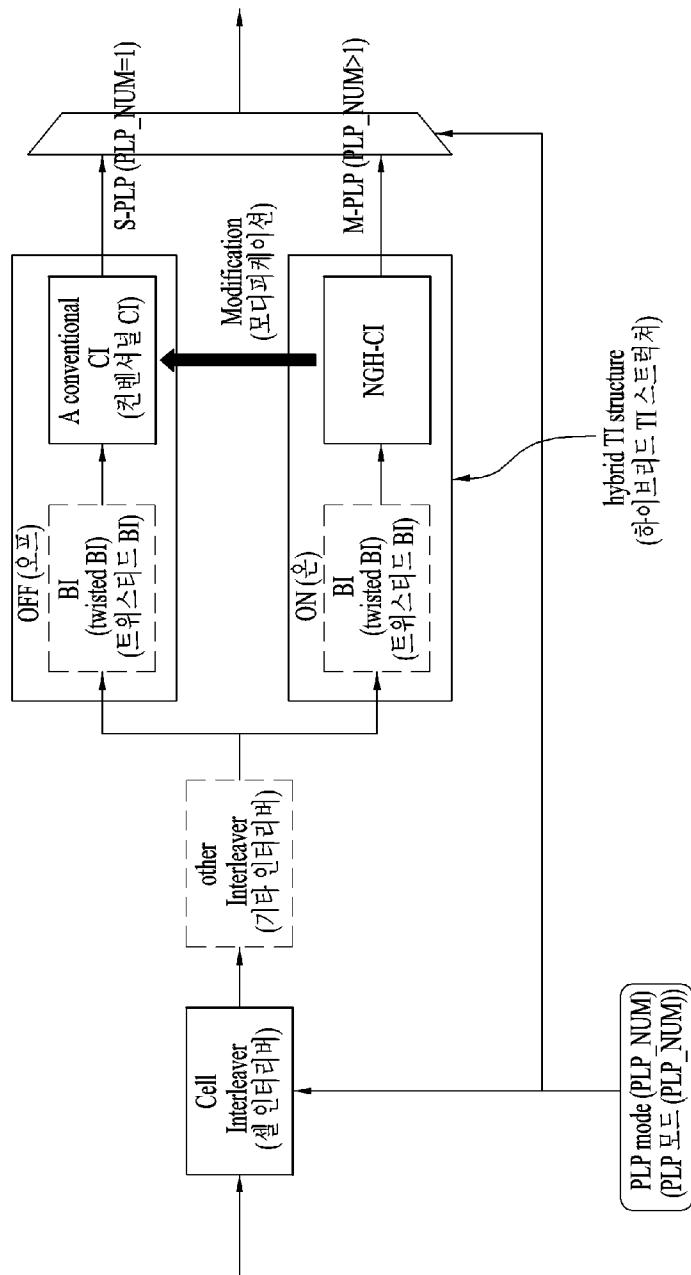
하이브리드 TDI 스트럭처: 예-1
 <Hybrid TDI structure: example-1>

[도92]

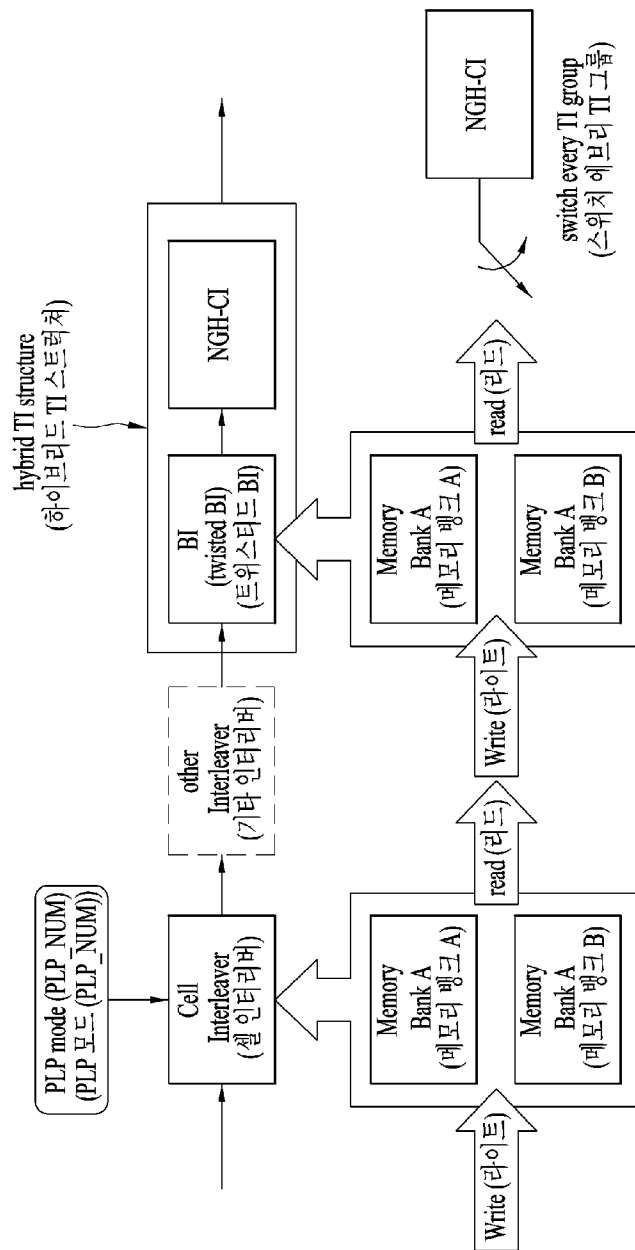


하이브리드 TDI 스트럭처: 예-2
 <Hybrid TDI structure: example-2>

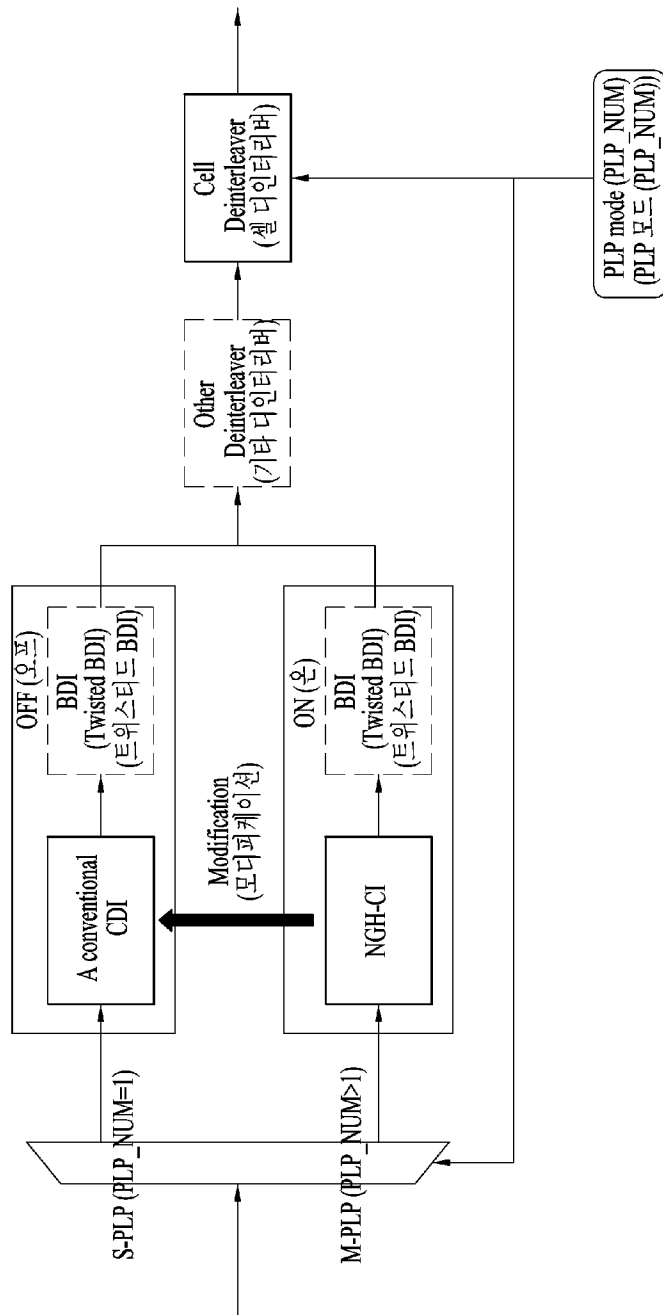
[도93]



[도94]



[도95]



[도96]

1. 인풋 FEC 블록은 인덱스 r 의 FEC 블록의 데이터 셀 $G(r)$:

(The input FEC block shall be the data cells $G(r)$ of the FEC block of index r :)

$$G(r) = [g_{r,0}, g_{r,1}, g_{r,2}, \dots, g_{r,N_{\text{cells}}-2}, g_{r,N_{\text{cells}}-1}]$$

2. 아웃풋 FEC 블록은 인덱스 r 의 FEC 블록의 데이터 셀 $T(r)$:

(The input FEC block shall be the data cells $G(r)$ of the FEC block of index r :)

$$T(r) = [t_{r,0}, t_{r,1}, t_{r,2}, \dots, t_{r,N_{\text{cells}}-2}, t_{r,N_{\text{cells}}-1}]$$

3. 인터리빙 프로세서는 다음과 같이 정의된다.

(The interleaving processor is defined as)

$$t_{r,q} = g_{r,L_{\pi(q)}}, \text{ for } q = 0, \dots, N_{\text{cells}}-1$$

여기서 $L_{\pi(q)}$ 는 퍼뮤테이션 평성이고 다음과 같이 주어진다.

(where $L_{\pi(q)}$ is a permutation function and it is given by)

$$L_{\pi(q)} = [L_0(q) + P(r)] \bmod N_{\text{cells}}$$

여기서 $L_0(q)$ 는 기본 퍼뮤테이션 이고, $P(r)$ 은 TI-블록의 r 번째 FEC블록의 쉬프트 밸류로 사용된다.

where $L_{\pi(q)}$ is the basic permutation function and

$P(r)$ is a shift value to be used in the r th FEC block of the TI-block

[도97]

▪ Multiple-PLP (멀티플-PLP) (M-PLP)

- ◆ 인터리빙 프레임 내의 매 FEC 블록마다 인터리빙 시퀀스 변경
(Change interleaving sequence every FEC block within an interleaving frame)

$$t_{r,q} = g_{r,L_{\pi(q)}}, \text{ for } q = 0, \dots, N_{\text{cells}}-1$$

where $L_{\pi(q)}$ is a permutation function and it is given by

$$L_{\pi(q)} = [L_0(q) + \overline{P(r)}] \bmod N_{\text{cells}}$$

where $L_0(q)$ is the basic permutation function and

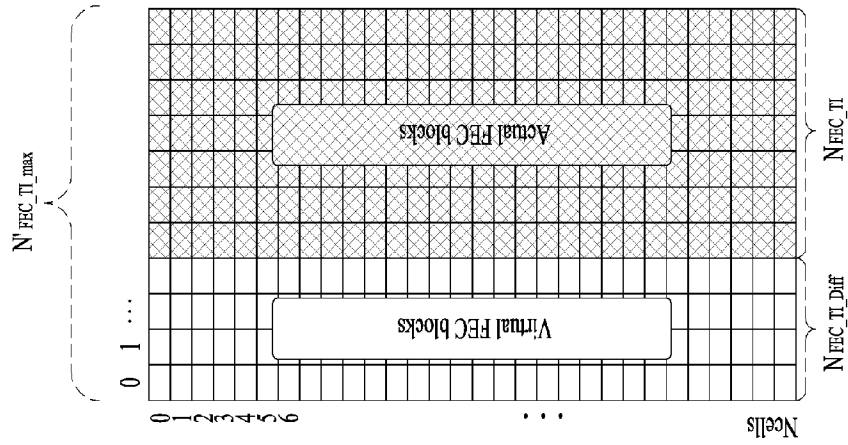
$P(r)$ is a shift value to be used in the r th FEC block of the TI-block,

▪ Single-PLP (싱글-PLP) (S-PLP)

- ◆ 인터리빙 시퀀스를 고정
(Fix interleaving sequence)

$$L_{\pi(q)} = [L_0(q) + \overline{P(0)}] \bmod N_{\text{cells}}$$

[도98]



$N_{FEC_TI_max}^v$:

하나의 TI의 블록(또는 IF)이 포함하는 버추얼 엑추얼 FEC블록 개수
(the virtual maximum FEC block number in a TI block (or IF))

$N_{FEC_TI}^a$:

하나의 TI의 블록(또는 IF)이 포함하는 액추얼 FEC블록 개수
the actual FEC block number in a TI block (or IF)

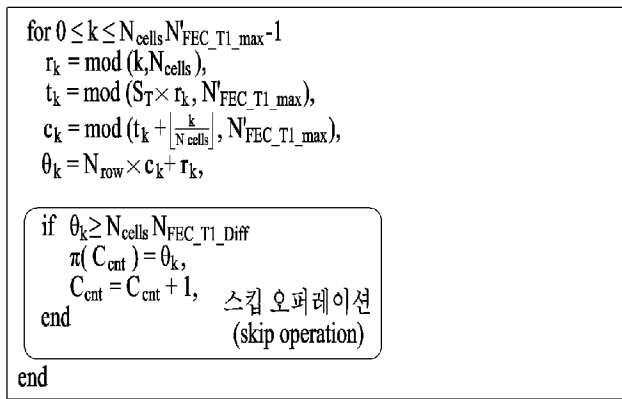
$N_{FEC_TI_Diff} = N_{FEC_TI_max}^v - N_{FEC_TI}^a$:

하나의 TI의 블록(또는 IF)이 포함하는 버추얼 FEC블록 개수
the virtual FEC block number in a TI block (or IF)

$$\begin{cases} N_{FEC_TI_max}^a = N_{FEC_TI_max}^v + 1, & \text{if } N_{FEC_TI_max}^v \bmod 2 = 0 \\ N_{FEC_TI_max}^a = \lceil N_{FEC_TI_max}^v \rceil, & \text{if } N_{FEC_TI_max}^v \bmod 2 = 1 \end{cases}$$

시그널링에 의해 정해지는 액추얼 엑추얼 FEC 블록 개수
(Actual maximum FEC block number given by signaling)

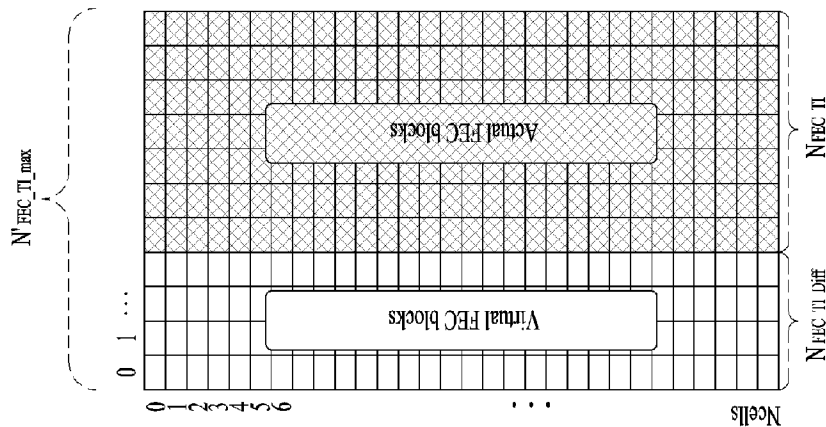
[도99]



$C_{\text{cnt}} = 0$ 일때, S_T 는 다음과 같이 정의 된다.
 where $C_{\text{cnt}} = 0$, and S_T is a shift value is defined as

$$S_T = \frac{N_{\text{FEC_T1_max}} - 1}{2} + 1$$

[도100]



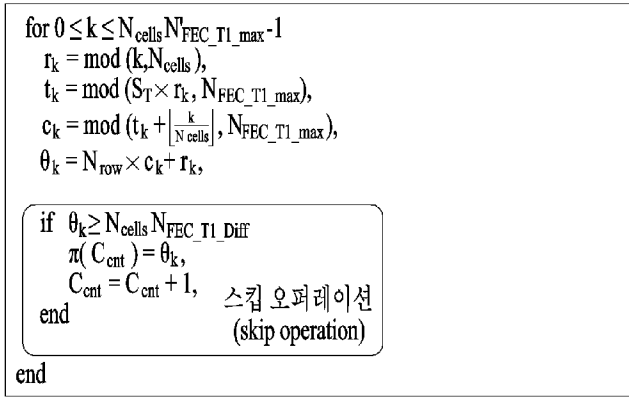
$N_{\text{FEC_T1}} :$

하나의 T1의 블록(또는 IF)이 포함하는 예측 FEC 블록 개수
 the actual FEC block number in a T1 block (or IF)

$N_{\text{FEC_T1_Diff}} = N_{\text{FEC_T1_max}} - N_{\text{FEC_T1}} :$

하나의 T1의 블록(또는 IF)이 포함하는 예측 FEC 블록 개수
 the virtual maximum FEC block number in a T1 block (or IF)

[도 101]



where $C_{\text{cnt}} = 0$, and $(S_T = 1)$

[도 102]

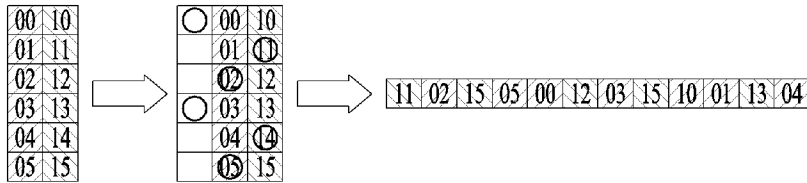
$$N_{\text{FEC_T1_max}} = 2, N_{\text{FEC_T1}} = 2, N_{\text{cells}} = 6$$

쉬프트 밸류 계산 :

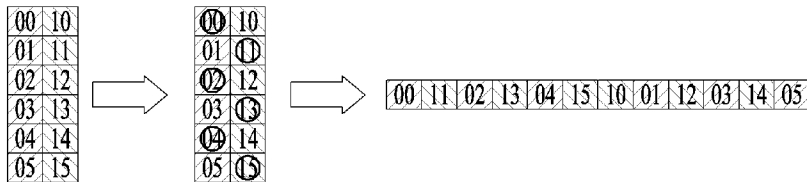
Shift value calculation as :

$$S_T = \frac{N_{\text{FEC_T1_max}} - 1}{2} + 1 = 2 \text{ with } N_{\text{FEC_T1_max}} = 2 + 1 = 3, \text{ or } S_T = 1$$

$S_T = 2$ case

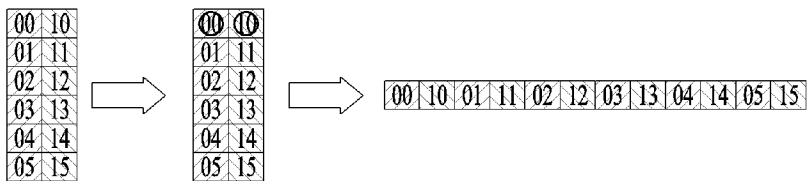


$S_T = 1$ case



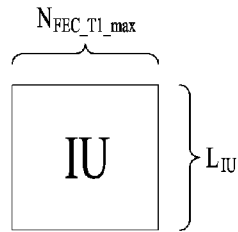
[도 103]

$$N_{\text{FEC_T1_max}} = 2, N_{\text{FEC_T1}} = 2, N_{\text{cells}} = 6$$

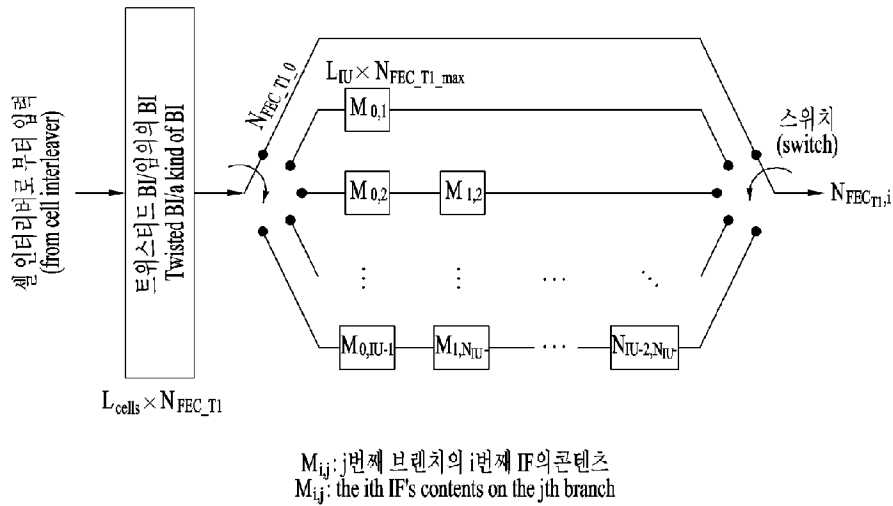


[도 104]

1. $N_{\text{FEC_T1_max}}$ 은 최대값. FEC 수는 T1블록에 포함.
1. $N_{\text{FEC_T1_max}}$ is the max. FEC number contained in a T1 block
2. N_{IU} : 인터리빙 유닛들 (IUs)의 개수,
2. N_{IU} : the number of interleaving units (IUs),
3. $L_{\text{IU}} \in \{L_{\text{IU,min}}, L_{\text{IU,min}}+1\}$: IU의 로우 사이즈 (row size)
 $L_{\text{IU,min}}$ 은 IU 최소 길이이고, IU 최소길이는 4. 와 같이 정의 된다..
3. $L_{\text{IU}} \in \{L_{\text{IU,min}}, L_{\text{IU,min}}+1\}$: a row size of an IU
where $L_{\text{IU,min}}$ is the minimum IU length and it is defined as
3. $L_{\text{IU,min}} = \left\lceil \frac{N_{\text{cells}}}{N_{\text{IU}}} \right\rceil$



[도 105]



[도 106]

```

for  $0 \leq k \leq N_{\text{cells}} N'_{\text{FEC\_T1\_max}} - 1$ 
   $r_k = \text{mod}(k, N_{\text{cells}})$ ,
   $t_k = \text{mod}(S_T \times r_k, N'_{\text{FEC\_T1\_max}})$ ,
   $c_k = \text{mod}(t_k + \lfloor \frac{k}{N_{\text{cells}}} \rfloor, N'_{\text{FEC\_T1\_max}})$ ,
   $\theta_k = N_{\text{row}} \times c_k + r_k$ ,

  if  $k \geq N_{\text{cells}} N'_{\text{FEC\_T1\_Diff}}$ 
     $\pi(C_{\text{cnt}}) = \theta_k$ ,
     $C_{\text{cnt}} = C_{\text{cnt}} + 1$ ,   스킵 오퍼레이션
  end                      (skip operation)
end

```

$C_{\text{cnt}} = 0$, 이고 쉬프트 밸류 S_R 는 다음과 같이 정의 된다.
 where $C_{\text{cnt}} = 0$, and S_R is a shift value is defined as

$$S_R = \text{mod}(S_R - S_T, N'_{\text{FEC_T1_max}})$$

[도 107]

```

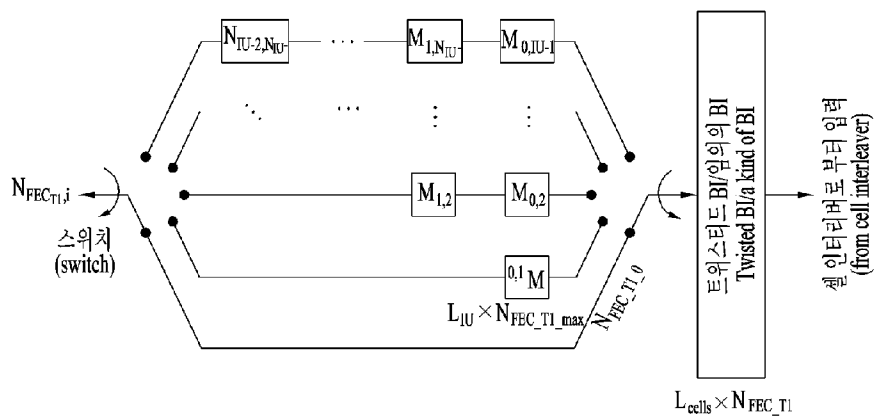
for  $0 \leq k \leq N_{\text{cells}} N'_{\text{FEC\_T1\_max}} - 1$ 
   $r_k = \text{mod}(k, N_{\text{cells}})$ ,
   $t_k = \text{mod}(S_T \times r_k, N'_{\text{FEC\_T1\_max}})$ ,
   $c_k = \text{mod}(t_k + \lfloor \frac{k}{N_{\text{cells}}} \rfloor, N'_{\text{FEC\_T1\_max}})$ ,
   $\theta_k = N_{\text{row}} \times c_k + r_k$ ,

  if  $k \geq N_{\text{cells}} N'_{\text{FEC\_T1\_Diff}}$ 
     $\pi(C_{\text{cnt}}) = \theta_k$ ,
     $C_{\text{cnt}} = C_{\text{cnt}} + 1$ ,   스킵 오퍼레이션
  end                      (skip operation)
end

```

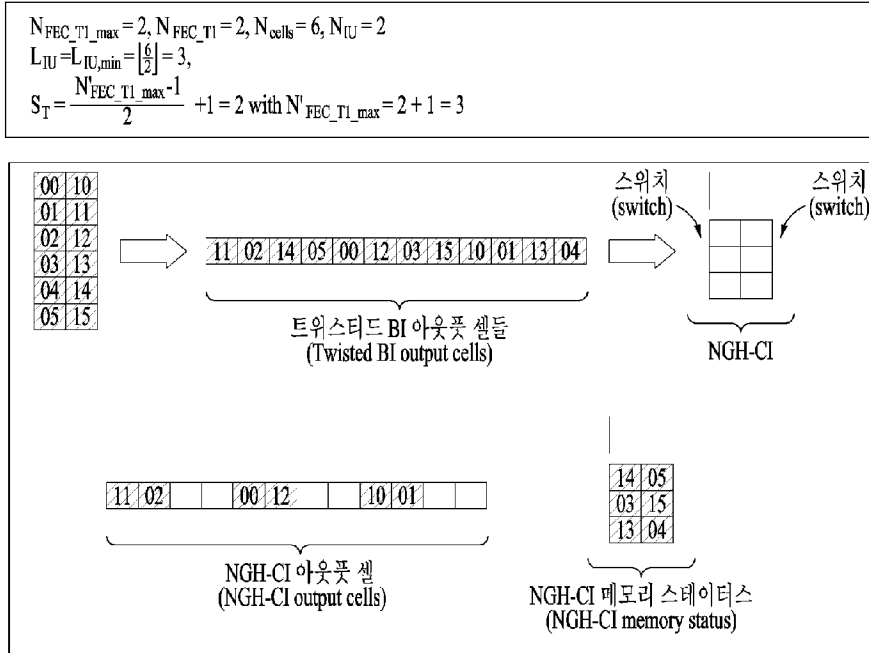
where $C_{\text{cnt}} = 0$, and $S_R = \text{mod}(S_R - S_T, N'_{\text{FEC_T1_max}})$ with $S_T = 1$

[도 108]

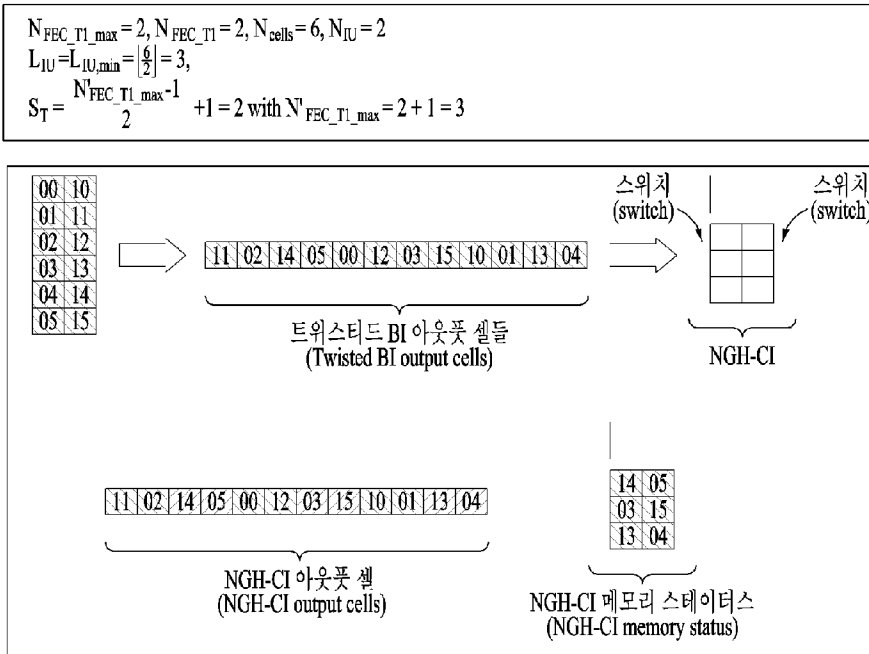


$M_{i,j}$: j번째 브랜치의 i번째 IF의 콘텐츠
 $M_{i,j}$: the ith IF's contents on the jth branch

[도 109]



[도 110]

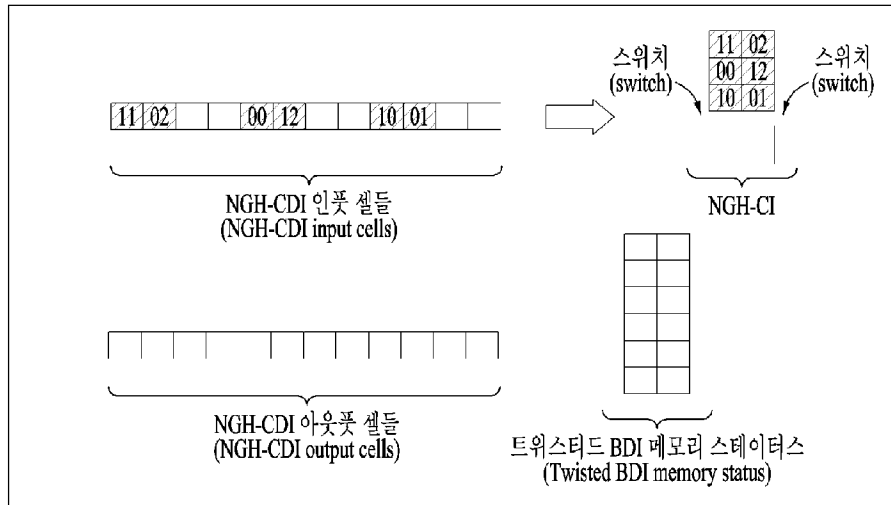


[도 111]

$$N_{FEC_T1_max} = 2, N_{FEC_T1} = 2, N_{cells} = 6, N_{IU} = 2$$

$$L_{IU} = L_{IU,min} = \left\lfloor \frac{6}{2} \right\rfloor = 3,$$

$$S_T = \frac{N'_{FEC_T1_max} - 1}{2} + 1 = 2 \text{ with } N'_{FEC_T1_max} = 2 + 1 = 3$$

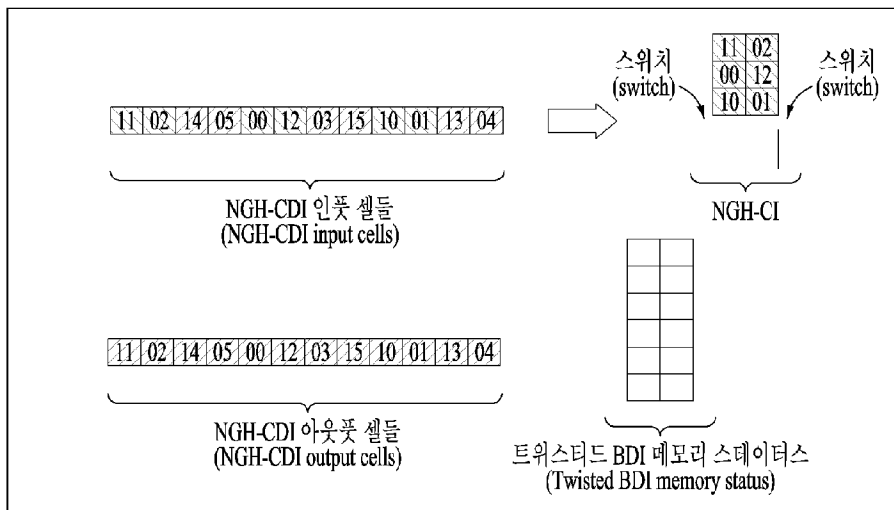


[도 112]

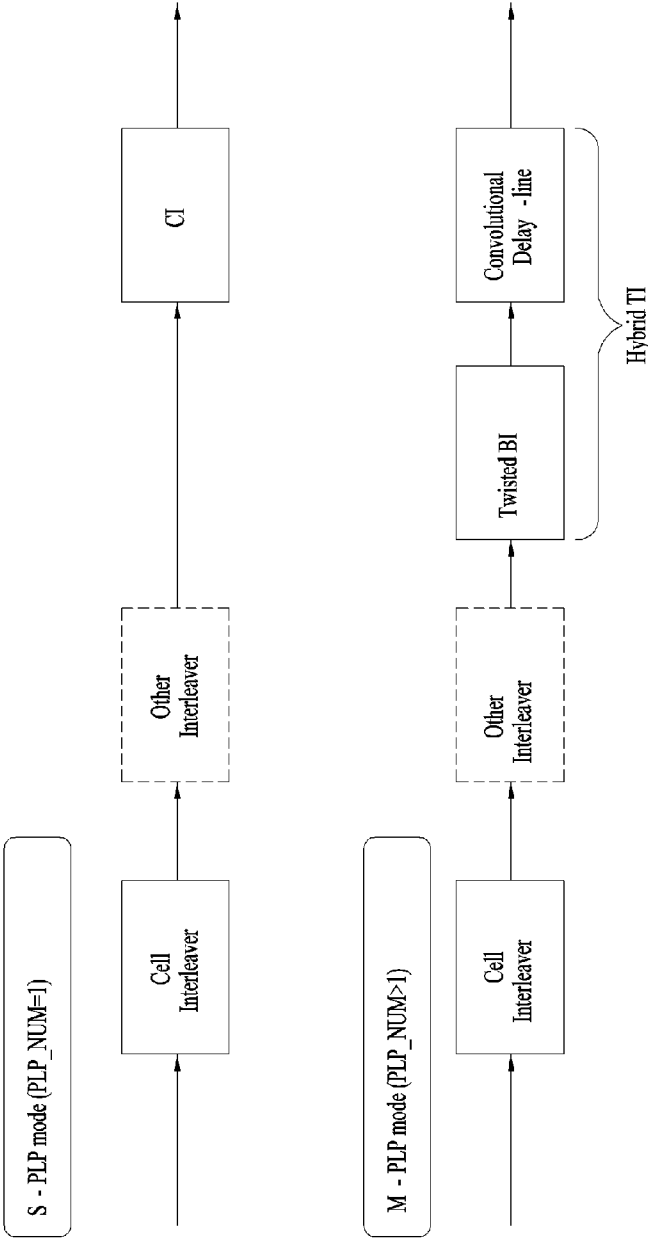
$$N_{FEC_T1_max} = 2, N_{FEC_T1} = 2, N_{cells} = 6, N_{IU} = 2$$

$$L_{IU} = L_{IU,min} = \left\lfloor \frac{6}{2} \right\rfloor = 3,$$

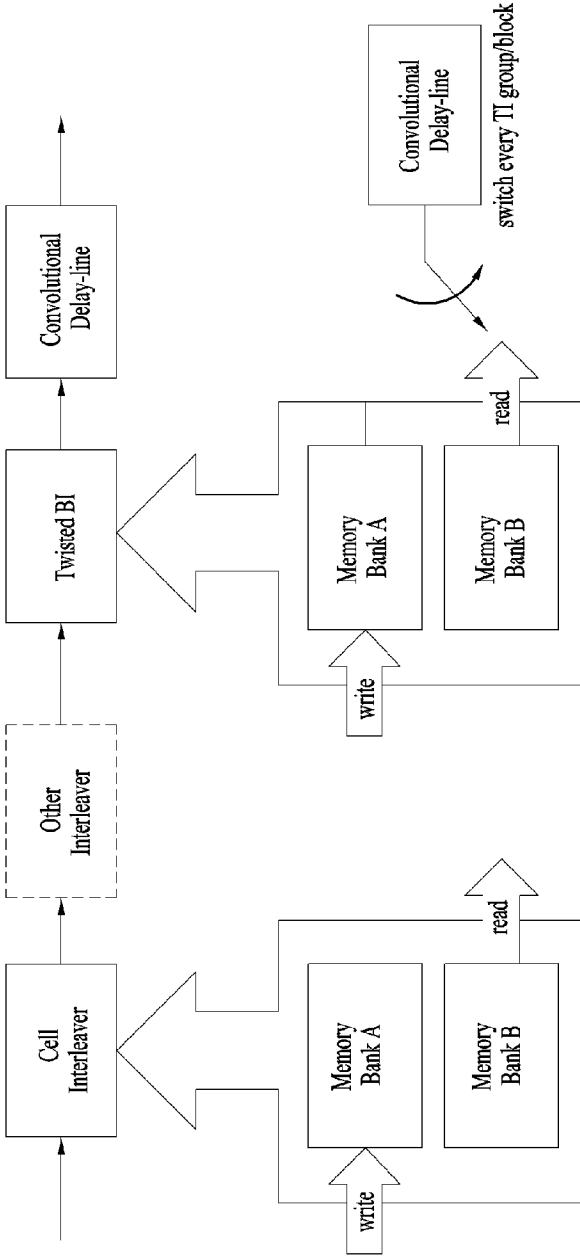
$$S_T = \frac{N'_{FEC_T1_max} - 1}{2} + 1 = 2 \text{ with } N'_{FEC_T1_max} = 2 + 1 = 3$$



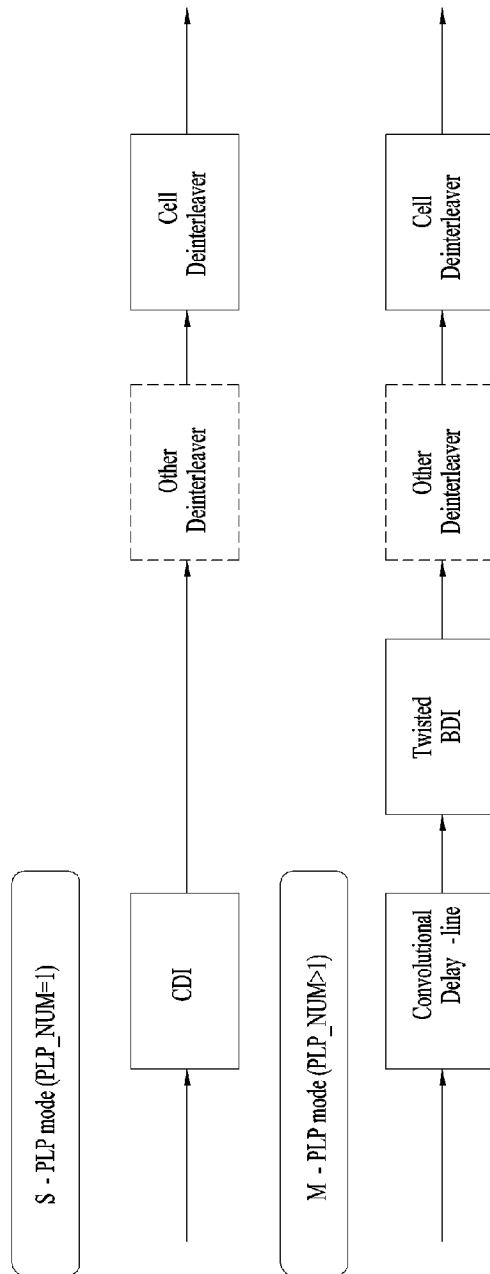
[도113]



[도114]



[도115]



[도116]

- Single -PLP (S -PLP)

* Fix interleaving sequence

$$L_{r(q)} = [L_0(q) + P(0)] \bmod N_{\text{cells}},$$

* Change interleaving sequence every FEC block within an interleaving frame as like M-PLP

$$L_{r(q)} = [L_0(q) + P(r)] \bmod N_{\text{cells}},$$

[도117]

$C_{cnt} = 0$,
 for $0 \leq k \leq N_{cells} N_{FEC_TI_max} - 1$
 $r_k = \text{mod}(k, N_{cells})$,
 $t_k = \text{mod}(S_T \times r_k, N'_{FEC_TI_max})$,
 $c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N'_{FEC_TI_max})$,
 $\theta_k = N_{cells} \times c_k + r_k$,

if $\theta_k \geq N_{cells} N_{FEC_TI_Diff}$
 $\pi(C_{cnt}) = \theta_k$,
 $C_{cnt} = C_{cnt} + 1$
 end skip operation

end

where S_T is a shift value is defined as

$$S_T = \frac{N'_{FEC_TI_max} - 1}{2} + 1$$

[도118]

$C_{cnt} = 0$,
 for $0 \leq k \leq N_{cells} N_{FEC_TI_max} - 1$
 $r_k = \text{mod}(k, N_{cells})$,
 $t_k = \text{mod}(r_k, N_{FEC_TI_max})$,
 $c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N_{FEC_TI_max})$,
 $\theta_k = N_{cells} \times c_k + r_k$,

if $k \geq N_{cells} N_{FEC_TI_Diff}$
 $\pi(C_{cnt}) = \theta_k$,
 $C_{cnt} = C_{cnt} + 1$
 end skip operation

end

where $S_T = 1$ is assumed

[도 119]

$C_{cnt} = 0$,
 for $0 \leq k \leq N_{cells} N_{FEC_TI_max} - 1$
 $r_k = \text{mod}(k, N_{cells})$,
 $t_k = \text{mod}(S_{R,j} \times r_k, N_{FEC_TI_max})$,
 $c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N_{FEC_TI_max})$,
 $\theta_k = N_{cells} \times c_k + r_k$,

if $k \geq N_{cells} N_{FEC_TI_Diff}$
 $\pi(C_{cnt}) = \theta_k$,
 $C_{cnt} = C_{cnt} + 1$
 end skip operation

end

$S_{R,j}$ is a shift value is defined as

$S_{R,j} = \text{mod}(S_{R,j-1} - S_T, N_{FEC_TI_max})$ with $S_{R,-1} = 0, j = 0, 1, \dots$

[도 120]

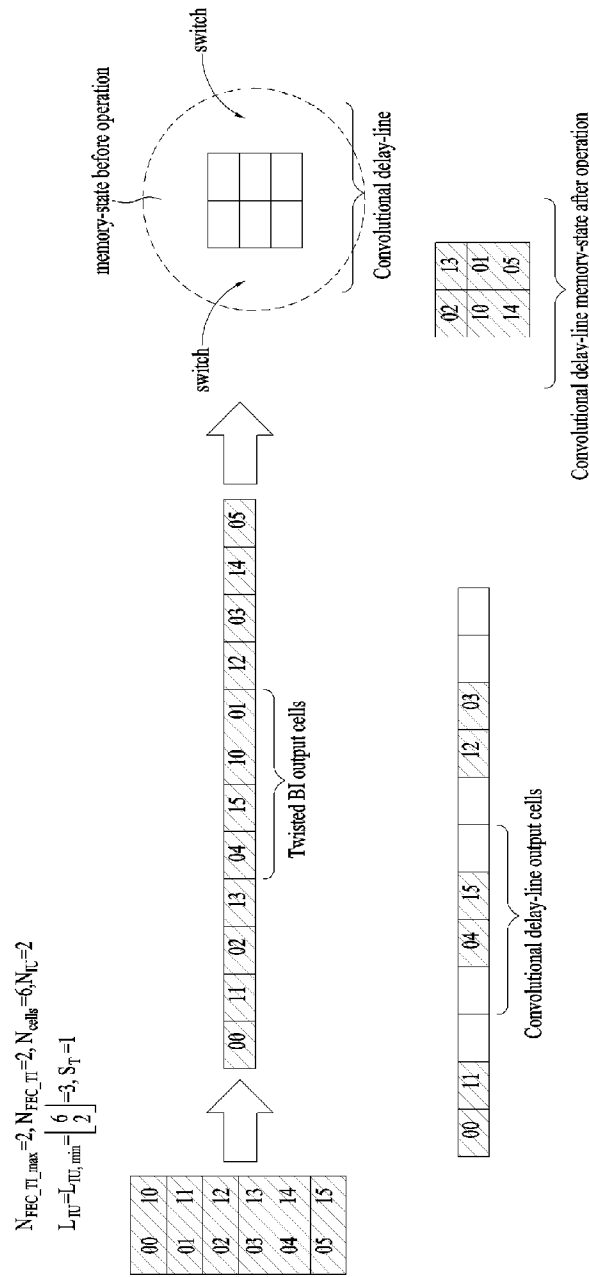
$C_{cnt} = 0$,
 for $0 \leq k \leq N_{cells} N_{FEC_TI_max} - 1$
 $r_k = \text{mod}(k, N_{cells})$,
 $t_k = \text{mod}(S_{R,j} \times r_k, N_{FEC_TI_max})$,
 $c_k = \text{mod}(t_k + \left\lfloor \frac{k}{N_{cells}} \right\rfloor, N_{FEC_TI_max})$,
 $\theta_k = N_{cells} \times c_k + r_k$,

if $k \geq N_{cells} N_{FEC_TI_Diff}$
 $\pi(C_{cnt}) = \theta_k$,
 $C_{cnt} = C_{cnt} + 1$
 end skip operation

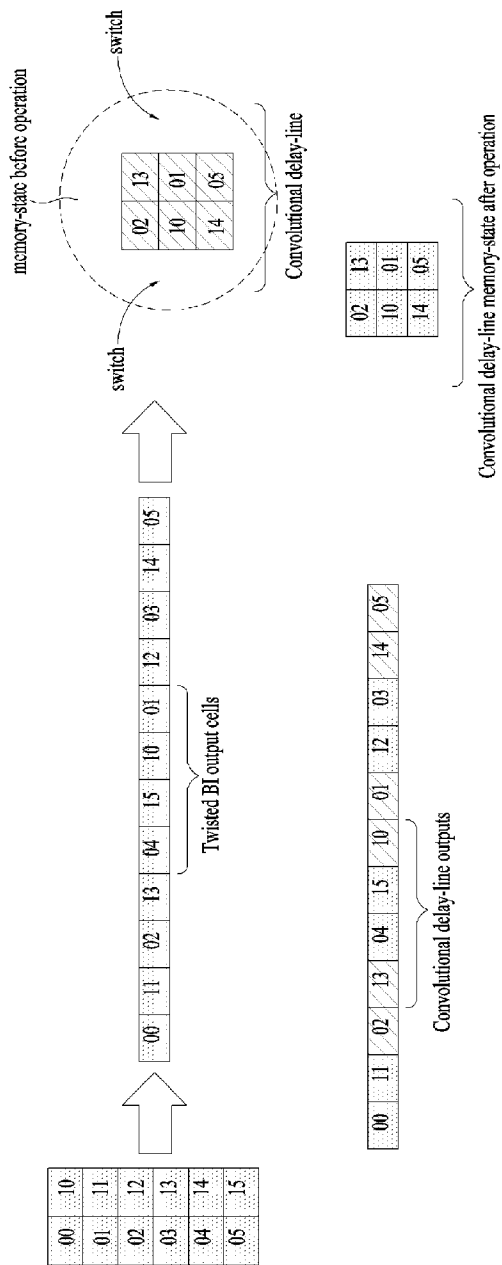
end

$S_{R,j} = \text{mod}(S_{R,j-1} - 1, N_{FEC_TI_max})$ with assumption of $S_T = 1$ and $S_{R,-1} = 0, j = 0, 1, \dots$

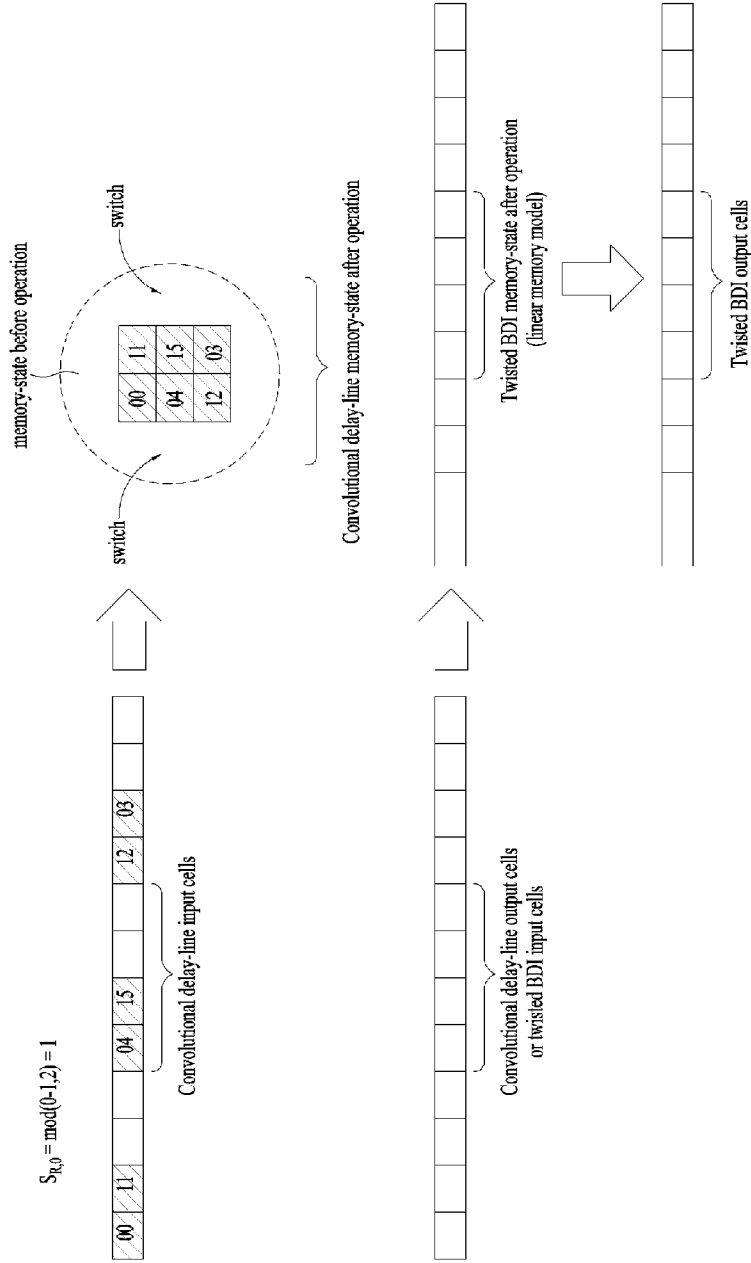
[도121]



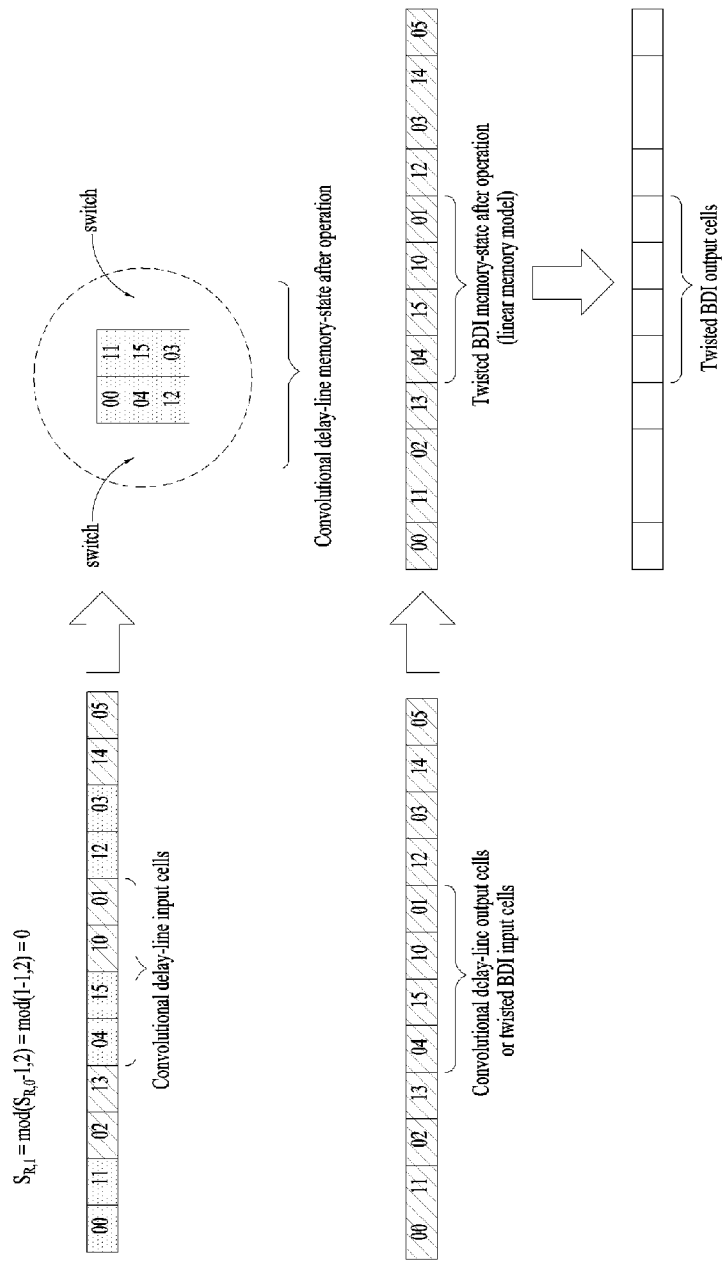
[도122]



[도 123]

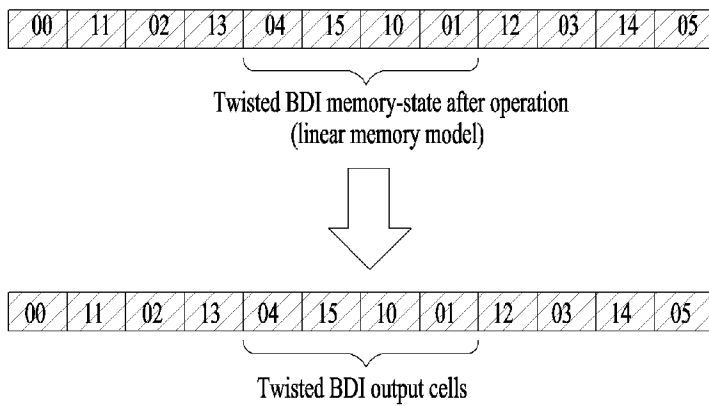


[도 124]

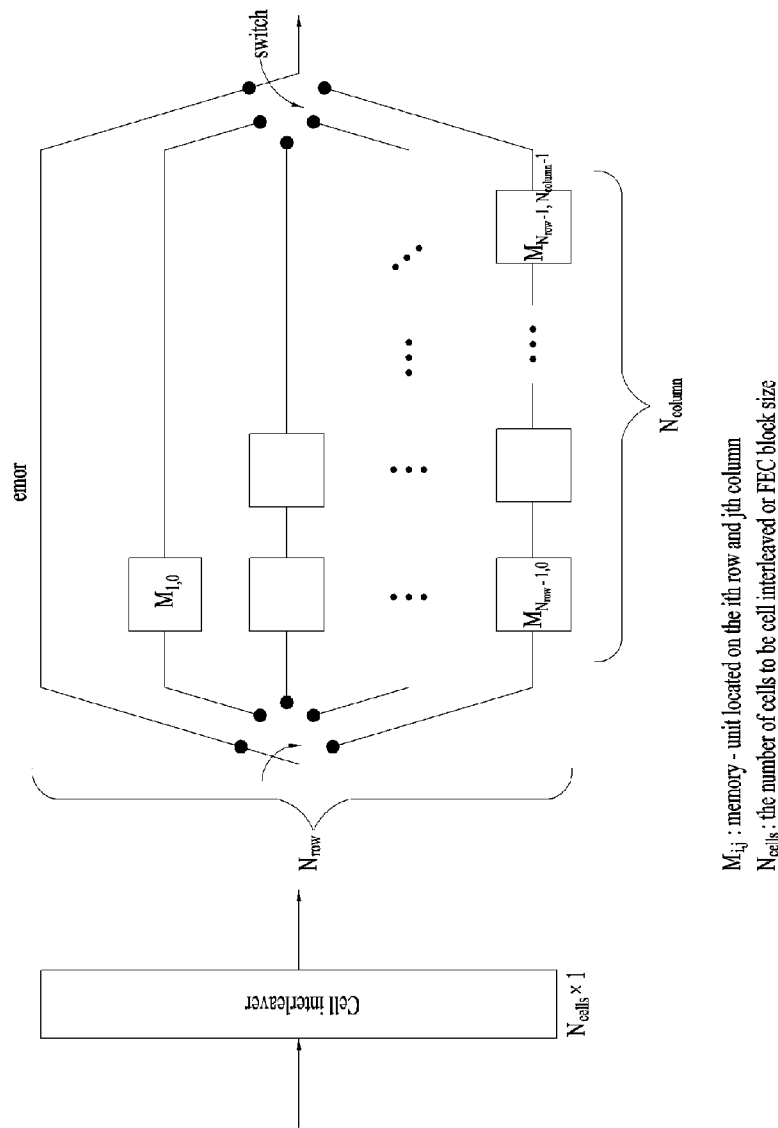


[도 125]

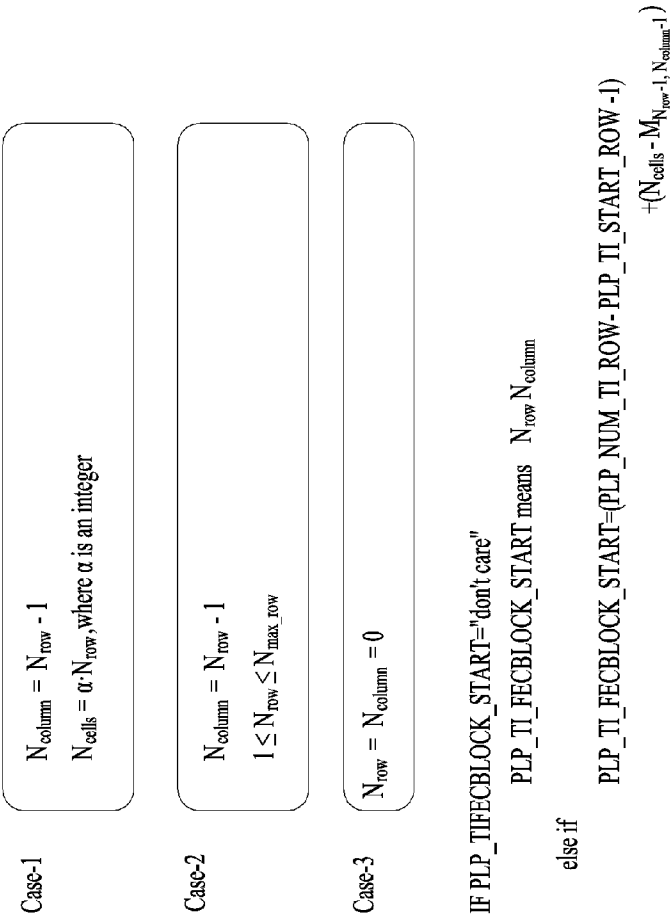
$$S_{R,2} = \text{mod}(S_{R,1}-1, 2) = \text{mod}(0-1, 2) = 1$$



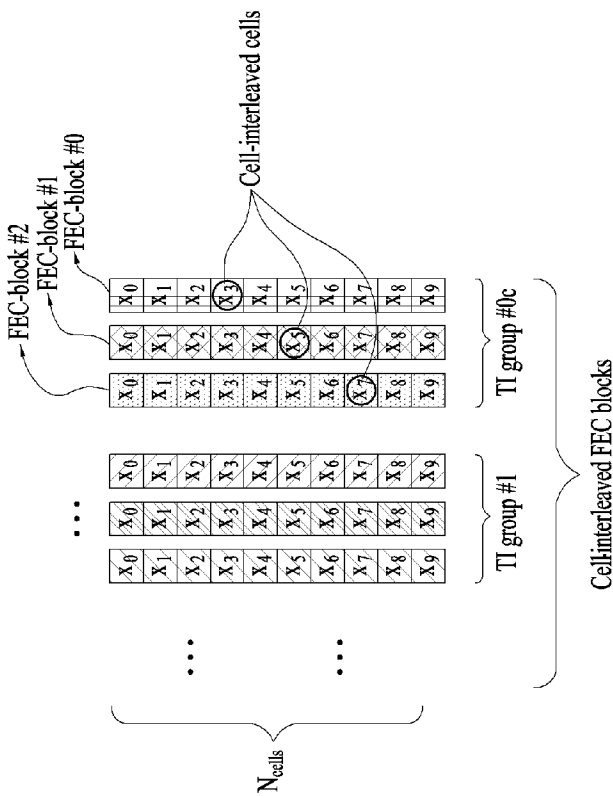
[도 126]



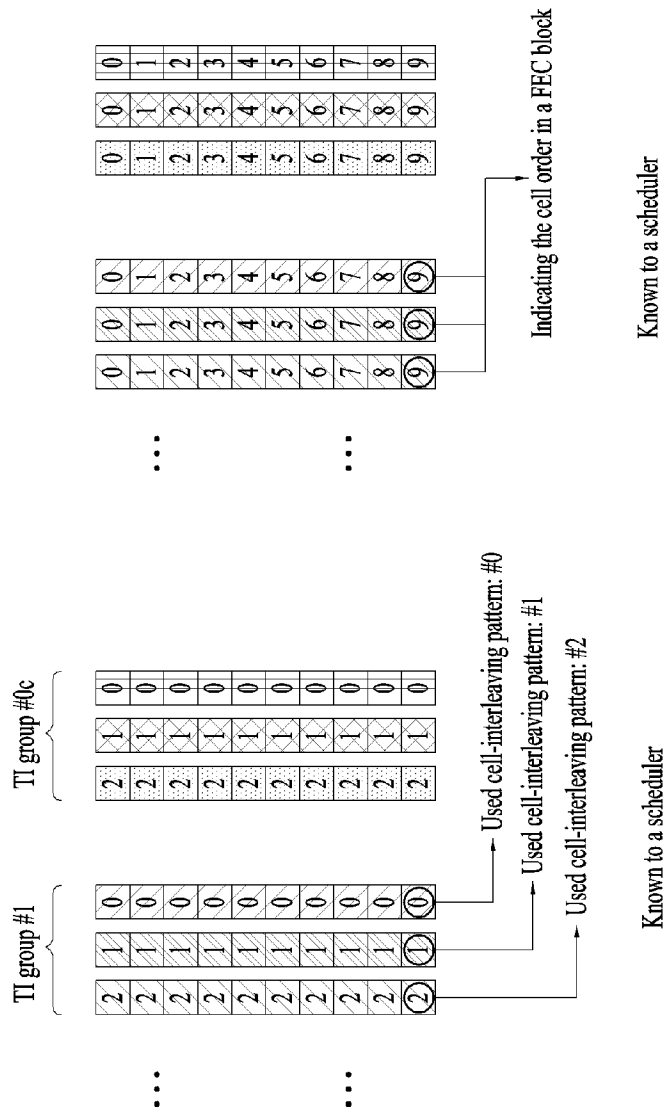
[도127]



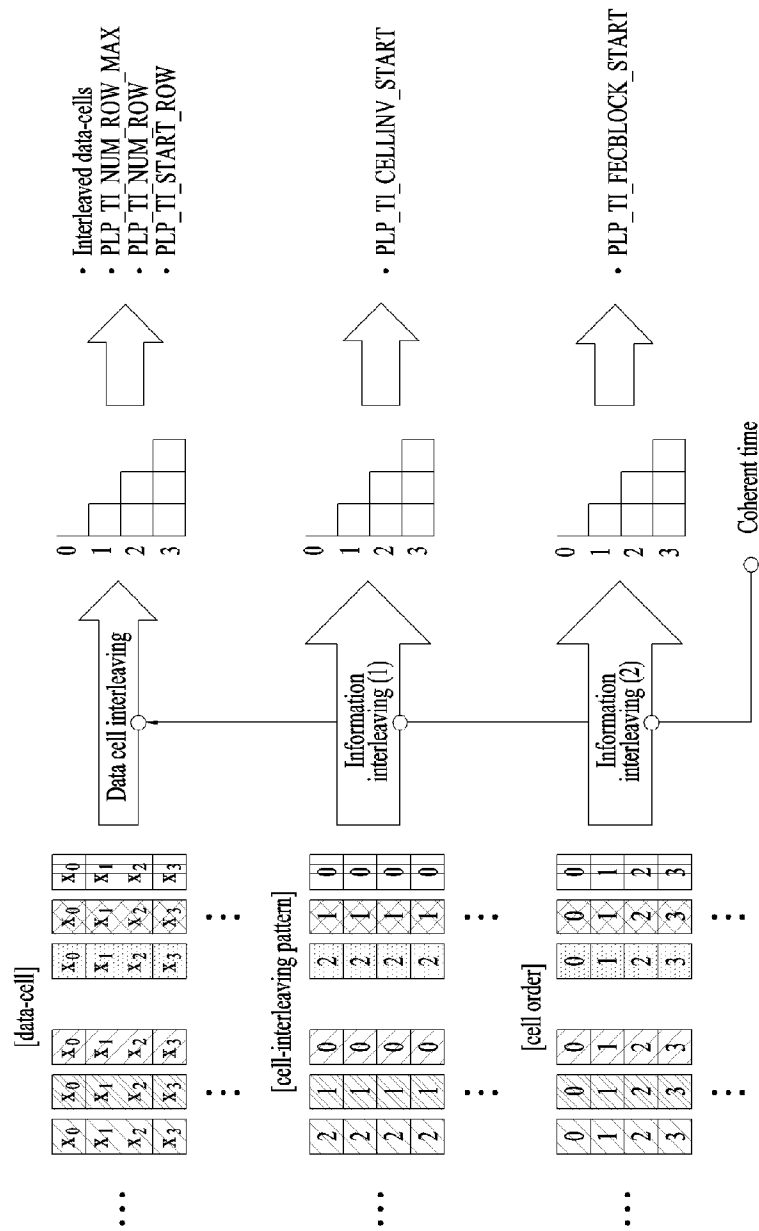
[도128]



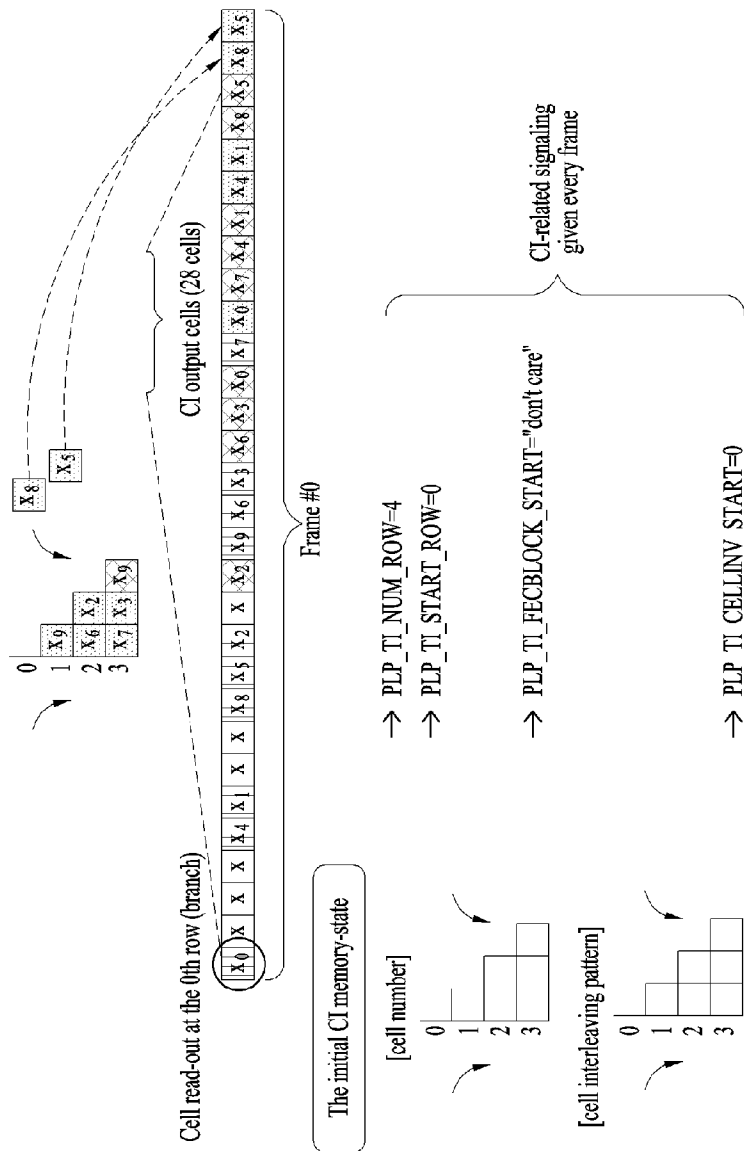
[도129]



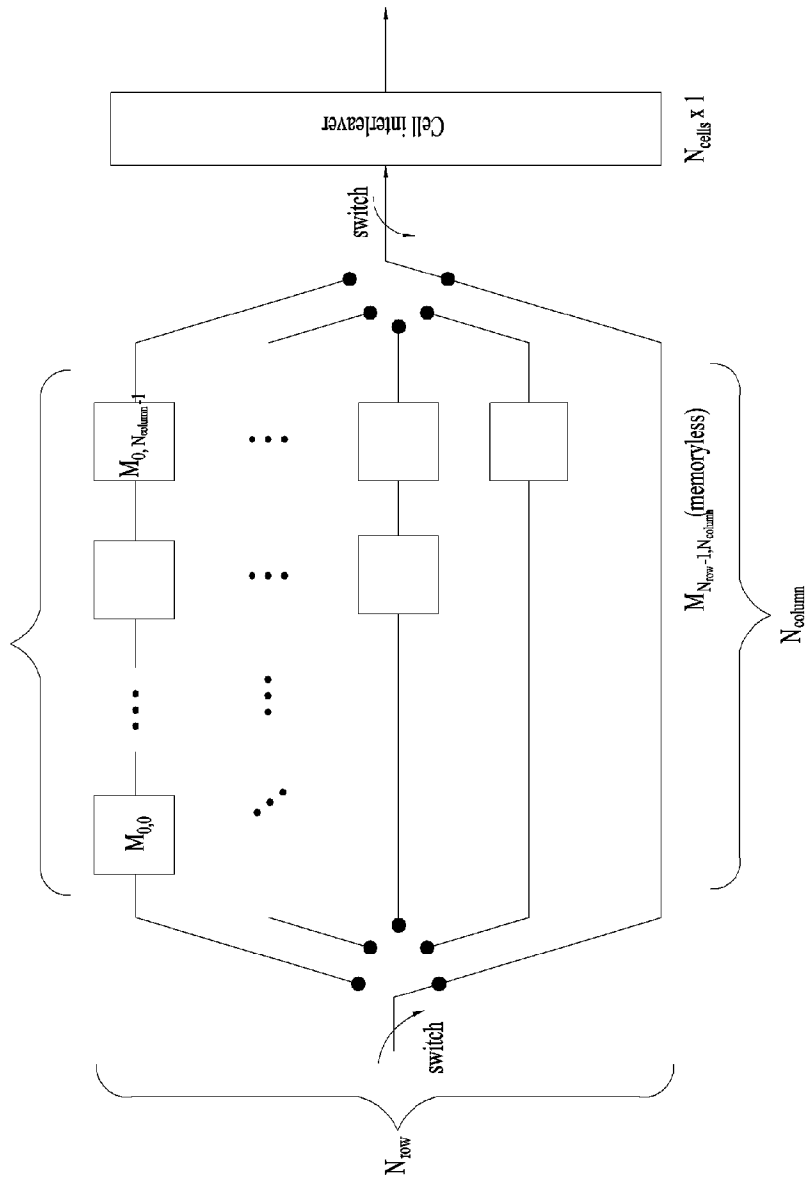
[도 130]



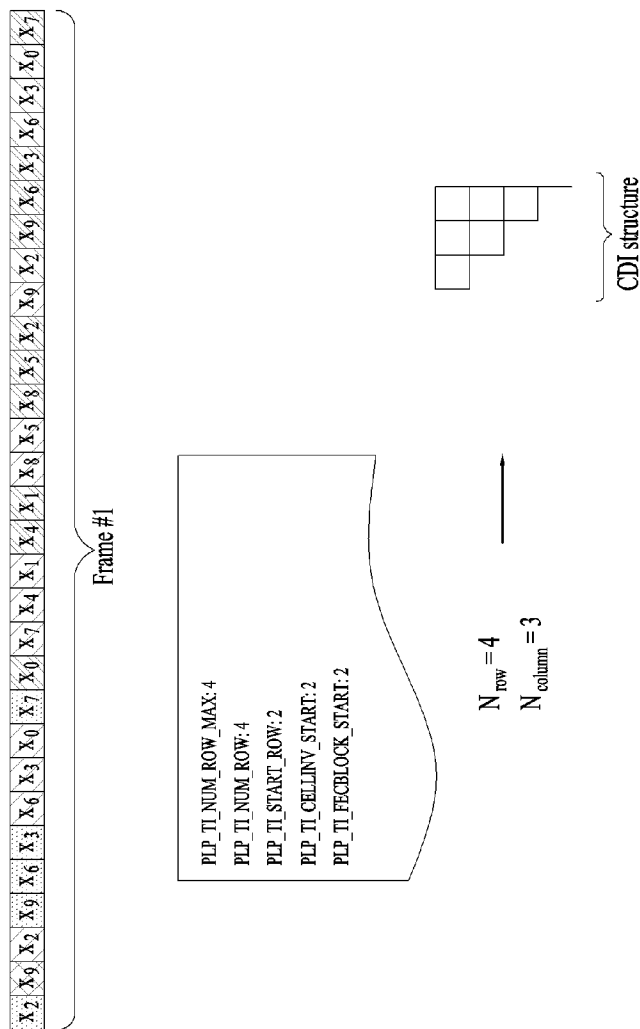
[도131]



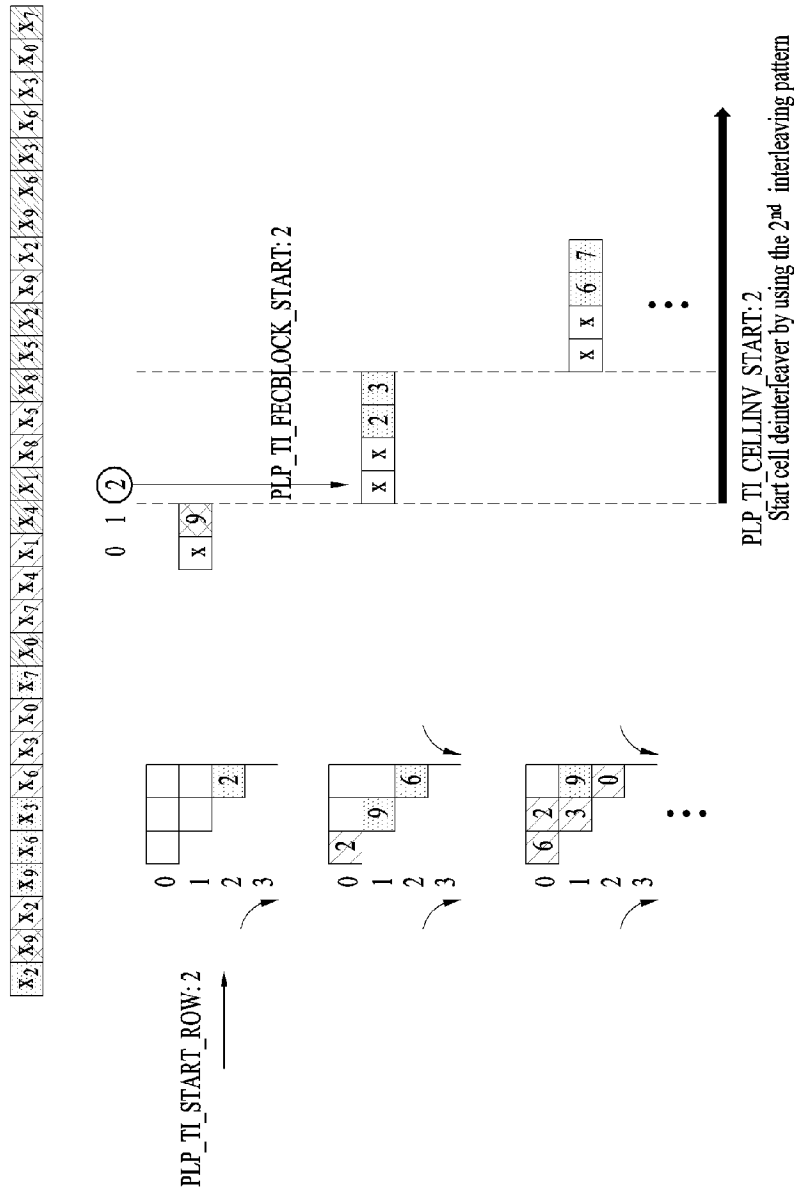
[도133]



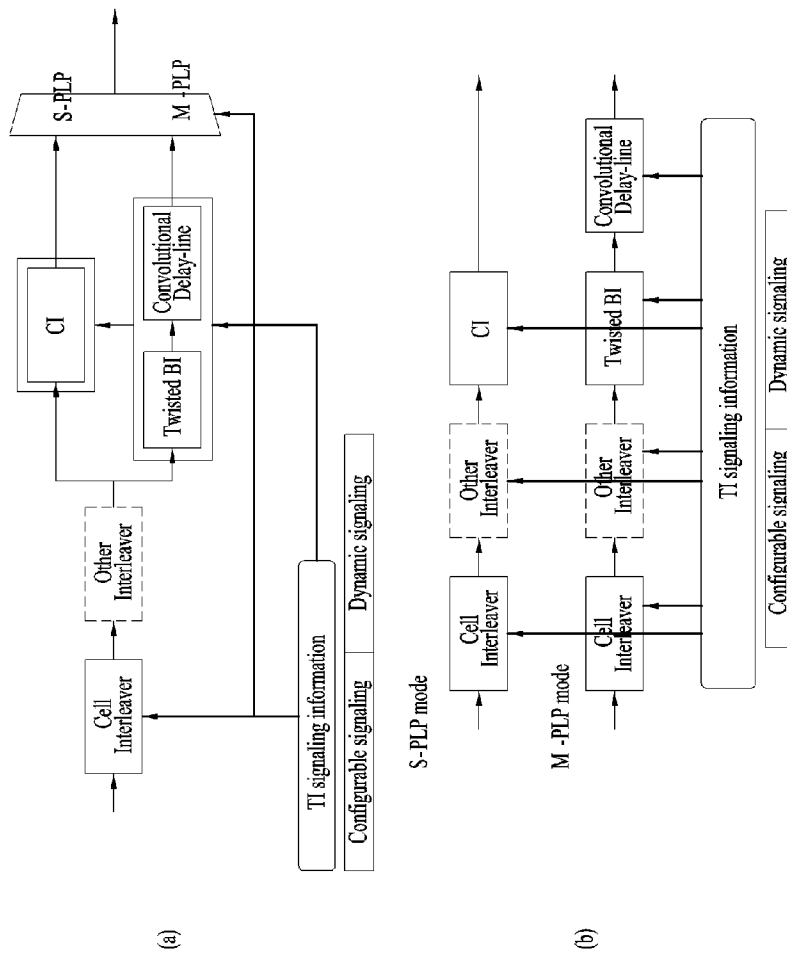
[도134]



[도135]



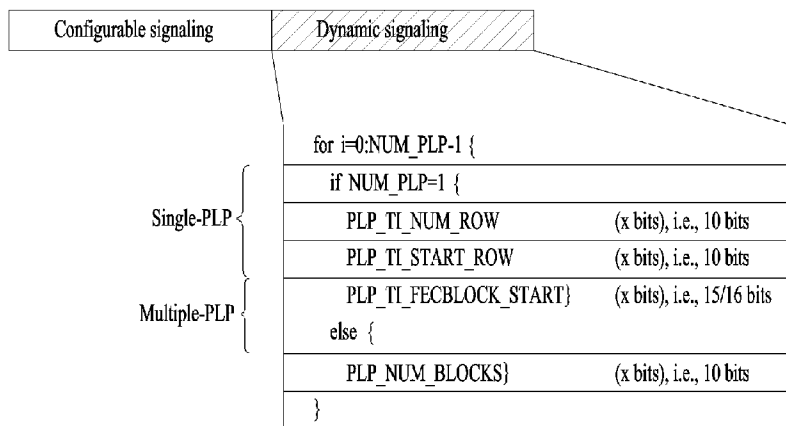
[도136]



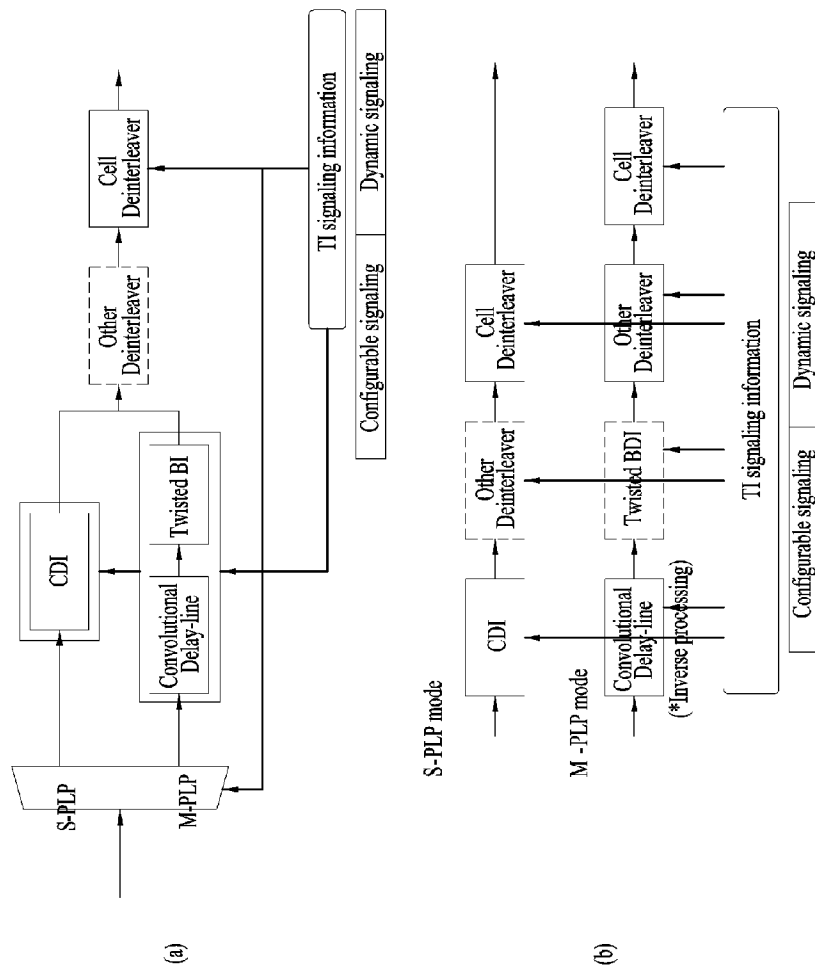
[도137]

Configurable signaling		Dynamic signaling	
NUM_PLP	(x bits), i.e., 8 bits	Single-PLP	
for i=0:NUM_PLP -1 {			
if NUM_PLP=1 {			
PLP_TI_NUM_ROW_MAX	(x bits), i.e., 10 bits		
PLP_TI_NUM_ROW	(x bits), i.e., 10 bits		
PLP_TI_START_ROW	(x bits), i.e., 10 bits	Multiple-PLP	
PLP_TI_FECBLOCK_START}	(x bits), i.e., 15/16 bits		
else {			
TIME_IL_LENGTH	(x bits), i.e., 8 bits		
TIME_IL_TYPE	(x bits), i.e., 1 bit		
PLP_NUM_BLOCKS_MAX }	(x bits), i.e., 10 bits		
FRAME_INTERVAL	(x bits), i.e., 8 bits		
}			

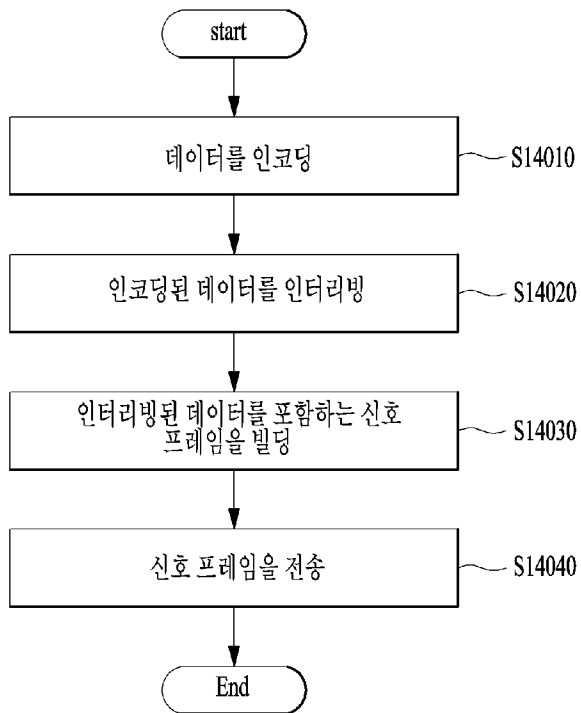
[도138]



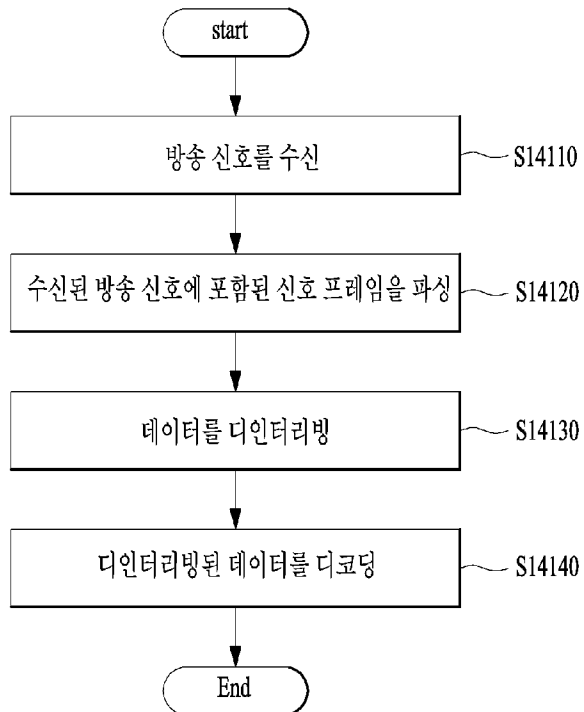
[도139]



[도 140]



[도 141]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/006924**A. CLASSIFICATION OF SUBJECT MATTER*****H04N 21/235(2011.01)i, H04N 21/234(2011.01)i, H04N 21/236(2011.01)i, H04J 11/00(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N 21/235; H04N 7/015; H03M 13/05; G06F 11/10; H04L 12/56; H04N 21/234; H04N 21/236; H04J 11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: time deinterleaving, PLP mode, convolutional deinterleaving, cell deinterleaving

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103780568 A (LG ELECTRONICS INC.) 07 May 2014 See paragraph [0096]; claim 16; and figure 7.	1,3
A		2,4
A	WO 2012-138180 A2 (SAMSUNG ELECTRONICS CO., LTD.) 11 October 2012 See paragraphs [0418], [0419]; and figure 3.	1-4
A	US 2010-0251078 A1 (TAKASHI, Yokokawa et al.) 30 September 2010 See paragraphs [0038], [0039]; and figure 1.	1-4
A	KR 10-2011-0129380 A (LG ELECTRONICS INC.) 01 December 2011 See paragraphs [0012], [0026]; and figure 50.	1-4
A	US 2012-0327955 A1 (HERRMANN, Frank et al.) 27 December 2012 See paragraphs [0118], [0129]; and figure 3.	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 OCTOBER 2015 (21.10.2015)

Date of mailing of the international search report

22 OCTOBER 2015 (22.10.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/006924

Patent document cited in search report	Publication date	Patent family member	Publication date
CN 103780568 A	07/05/2014	NONE	
WO 2012-138180 A2	11/10/2012	CA 2832627 A1	11/10/2012
		CN 103460690 A	18/12/2013
		KR 10-2012-0115123 A	17/10/2012
		US 2014-0036759 A1	06/02/2014
		WO 2012-138180 A3	10/01/2013
US 2010-0251078 A1	30/09/2010	CN 101848047 A	29/09/2010
		CN 101848047 B	14/11/2012
		EP 2234274 A2	29/09/2010
		EP 2234274 A3	12/09/2012
		EP 2234274 B1	22/01/2014
		ES 2449620 T3	20/03/2014
		JP 05440836 B2	12/03/2014
		JP 2010-226474 A	07/10/2010
		RU 2010110157 A	27/09/2011
		RU 2494538 C2	27/09/2013
		TW 201136184 A	16/10/2011
		TW 1419479B	11/12/2013
		US 8799739 B2	05/08/2014
KR 10-2011-0129380 A	01/12/2011	AT 520236 T	15/08/2011
		AU 2009-341664 A1	10/09/2010
		AU 2009-341664 B2	20/03/2014
		CN 102292984 A	21/12/2011
		CN 102292984 B	11/12/2013
		DK 2226983 T3	28/11/2011
		DK 2387192 T3	14/10/2013
		EP 2226983 A1	08/09/2010
		EP 2226983 B1	10/08/2011
		EP 2387192 A1	16/11/2011
		EP 2387192 B1	31/07/2013
		EP 2387193 A1	16/11/2011
		EP 2387193 B1	04/07/2012
		ES 2371537 T3	04/01/2012
		ES 2390571 T3	14/11/2012
		ES 2429351 T3	14/11/2013
		PL 2226983 T3	31/01/2012
		PT 2226983 E	25/11/2011
		PT 2387192 E	07/10/2013
		PT 2387193 E	04/10/2012
		SI 2226983 T1	30/12/2011
		SI 2387193 T1	31/12/2012
		US 08670494 B2	11/03/2014
		US 2011-0274204 A1	10/11/2011
		US 2014-133592 A1	15/05/2014
		WO 2010-101328 A1	10/09/2010

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/006924

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2012-0327955 A1	27/12/2012	EP 2362650 A1	31/08/2011
		EP 2540084 A1	02/01/2013
		JP 05439601 B2	12/03/2014
		JP 05681272 B2	04/03/2015
		JP 2013-520036 A	30/05/2013
		JP 2014-096814 A	22/05/2014
		TW 201145879 A	16/12/2011
		US 2015-0113584 A1	23/04/2015
		US 8929401 B2	06/01/2015
		WO 2011-105096 A1	01/09/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04N 21/235(2011.01)i, H04N 21/234(2011.01)i, H04N 21/236(2011.01)i, H04J 11/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04N 21/235; H04N 7/015; H03M 13/05; G06F 11/10; H04L 12/56; H04N 21/234; H04N 21/236; H04J 11/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 타임 디인터리빙, PLP 모드, 컨벌루션 디인터리빙, 셀 디인터리빙

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	CN 103780568 A (LG ELECTRONICS INC.) 2014.05.07 단락 [0096]; 청구항 16; 및 도면 7 참조.	1,3
A		2,4
A	WO 2012-138180 A2 (SAMSUNG ELECTRONICS CO., LTD.) 2012.10.11 단락 [0418], [0419]; 및 도면 3 참조.	1-4
A	US 2010-0251078 A1 (YOKOKAWA TAKASHI 등) 2010.09.30 단락 [0038], [0039]; 및 도면 1 참조.	1-4
A	KR 10-2011-0129380 A (엘지전자 주식회사) 2011.12.01 단락 [0012], [0026]; 및 도면 50 참조.	1-4
A	US 2012-0327955 A1 (FRANK HERRMANN 등) 2012.12.27 단락 [0118], [0129]; 및 도면 3 참조.	1-4

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 10월 21일 (21.10.2015)

국제조사보고서 발송일

2015년 10월 22일 (22.10.2015)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

이진익

전화번호 +82-42-481-5770



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
CN 103780568 A	2014/05/07	없음	
WO 2012-138180 A2	2012/10/11	CA 2832627 A1 CN 103460690 A KR 10-2012-0115123 A US 2014-0036759 A1 WO 2012-138180 A3	2012/10/11 2013/12/18 2012/10/17 2014/02/06 2013/01/10
US 2010-0251078 A1	2010/09/30	CN 101848047 A CN 101848047 B EP 2234274 A2 EP 2234274 A3 EP 2234274 B1 ES 2449620 T3 JP 05440836 B2 JP 2010-226474 A RU 2010110157 A RU 2494538 C2 TW 201136184 A TW I419479B US 8799739 B2	2010/09/29 2012/11/14 2010/09/29 2012/09/12 2014/01/22 2014/03/20 2014/03/12 2010/10/07 2011/09/27 2013/09/27 2011/10/16 2013/12/11 2014/08/05
KR 10-2011-0129380 A	2011/12/01	AT 520236 T AU 2009-341664 A1 AU 2009-341664 B2 CN 102292984 A CN 102292984 B DK 2226983 T3 DK 2387192 T3 EP 2226983 A1 EP 2226983 B1 EP 2387192 A1 EP 2387192 B1 EP 2387193 A1 EP 2387193 B1 ES 2371537 T3 ES 2390571 T3 ES 2429351 T3 PL 2226983 T3 PT 2226983 E PT 2387192 E PT 2387193 E SI 2226983 T1 SI 2387193 T1 US 08670494 B2 US 2011-0274204 A1 US 2014-133592 A1 WO 2010-101328 A1	2011/08/15 2010/09/10 2014/03/20 2011/12/21 2013/12/11 2011/11/28 2013/10/14 2010/09/08 2011/08/10 2011/11/16 2013/07/31 2011/11/16 2012/07/04 2012/01/04 2012/11/14 2013/11/14 2012/01/31 2011/11/25 2013/10/07 2012/10/04 2011/12/30 2012/12/31 2014/03/11 2011/11/10 2014/05/15 2010/09/10

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2012-0327955 A1	2012/12/27	EP 2362650 A1	2011/08/31
		EP 2540084 A1	2013/01/02
		JP 05439601 B2	2014/03/12
		JP 05681272 B2	2015/03/04
		JP 2013-520036 A	2013/05/30
		JP 2014-096814 A	2014/05/22
		TW 201145879 A	2011/12/16
		US 2015-0113584 A1	2015/04/23
		US 8929401 B2	2015/01/06
		WO 2011-105096 A1	2011/09/01