

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-211175

(P2008-211175A)

(43) 公開日 平成20年9月11日(2008.9.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 P	5 F O 3 8
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07 (2006.01)	HO 1 L 27/04	E
HO 1 L 25/18 (2006.01)	HO 1 L 27/04	H
HO 1 L 21/822 (2006.01)		

審査請求 有 請求項の数 5 O L 外国語出願 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2007-326290 (P2007-326290)
 (22) 出願日 平成19年12月18日 (2007.12.18)
 (31) 優先権主張番号 11/612, 563
 (32) 優先日 平成18年12月19日 (2006.12.19)
 (33) 優先権主張国 米国 (US)

(71) 出願人 507403713
 アドバンスド チップ エンジニアリング
 テクノロジー インコーポレイテッド
 Advanced Chip Engin
 eering Technology I
 ncorporated
 台湾, シンチュ カウンティ 303, フ
 コウ タウンシップ, ギャングフ エヌ.
 ロード, ナンバー 65
 No. 65, Guangfu N. Rd
 ., Hukou Township, Hs
 inchu County 303, Ta
 iwan

(74) 代理人 110000671
 八田国際特許業務法人

最終頁に続く

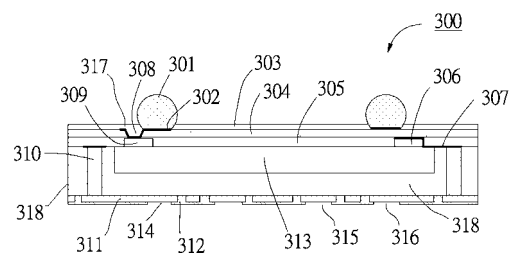
(54) 【発明の名称】 接地能力を高めたアンテナ内蔵の3Dパッケージ構造

(57) 【要約】 (修正有)

【課題】 接地能力を強めて、アンテナを内蔵する3D電子パッケージ構造を提供する。

【解決手段】 パッケージユニット300はユニットの上部および下部表面上の信号接触302, 314, 315, 316を通してマルチチップスタックを成し遂げることができる。単一または複数の接地層311は、半導体素子のための接地を容易にするためにパッケージユニット300の基板の裏にあり、ウェーハレベルパッケージングプロセスに適用される。前記接地層311は電子素子の信号伝送路である。また、電子素子層313の周囲の単一または複数のピアホールは、パッケージ構造の上部および下部表面の間の電気信号接続を可能にし、パッケージユニット300のさらなる機能性を可能にする。さらに、接地層311はアンテナを内蔵した3Dスタックパッケージ構造を構成するための円形の信号通信路を有する。

【選択図】 図3A



【特許請求の範囲】

【請求項 1】

電子素子を形成するための基板と、
 電子素子によって占める領域が前記基板の領域より小さいかまたは等しく、前記基板の第 1 表面上に形成される電子素子と、
 前記電子素子の表面上に配される接触パッドと、
 前記電子素子の周囲に分布するバッファ領域と、
 前記基板の第 2 の表面上に形成され、その場所で、前記バッファ領域はその上に形成されたビアホール、および前記バッファ領域の上部表面と前記接地層との間に信号接触を構成するための前記ビアホールまたはホール壁の内部に満たされている導電物質を含む、接地層と、
 前記電子パッケージ構造の少なくとも一つの側に形成される信号通信路と、
 前記信号通信路の端部に形成され、前記電子パッケージ構造の少なくとも一つにわたって分布する信号接触と、
 を含む、電子パッケージ構造。

10

【請求項 2】

前記電子パッケージ構造の両側に形成された信号通信路は、信号伝送のために前記ビアホールを通して信号接触を達成する、請求項 1 の電子パッケージ構造。

【請求項 3】

前記接地層は熱導体であって、
 前記熱導体の物質は、Cu、Ni、Fe、Al、Co、Fe、またはこれらの組み合わせたものを含み、前記ビアホールの内部に満たされた導電物質は、Sn、Ag、Al、Be、Cu、Ni、Rh、W、またはこれらの組み合わせたものを含む、請求項 1 の電子パッケージ構造。

20

【請求項 4】

電子素子を形成するための複数の基板と、
 複数の電子素子によって占める領域が前記複数の基板の領域より小さいかまたは等しく、前記複数の基板の第 1 表面上に形成される複数の電子素子と、
 前記複数の電子素子の表面上に配される複数の接触パッドと、
 前記複数の電子素子の周囲に分布する複数のバッファ領域と、
 前記複数の基板の第 2 表面上に形成され、その場所で、前記複数のバッファ領域はその上に形成された複数のビアホール、および前記複数のバッファ領域の上部表面と複数の接地層との間に信号接触を構成するための前記複数のビアホールまたはホール壁の内部に満たされている導電物質を含む、複数の接地層と、
 電子パッケージ構造の少なくとも一つの側に形成される複数の信号通信路と、
 前記複数の信号通信路の端部に形成され、前記電子パッケージ構造の少なくとも一つにわたって分布する信号接触と、
 前記複数の信号接触上に形成される複数の固定構造と、
 を含む、複数のパッケージユニットを有する 3D 電子パッケージ構造。

30

【請求項 5】

前記複数の接地層は熱導体であって、
 前記熱導体の物質は、Cu、Ni、Fe、Al、Co、Fe、またはこれらの組み合わせたものを含み、前記ビアホールの内部に満たされた導電物質は、Sn、Ag、Al、Be、Cu、Ni、Rh、W、またはこれらの組み合わせたものを含む、請求項 6 に記載の複数のパッケージユニットを有する 3D 電子パッケージ構造。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の分野

本発明は、電子パッケージ構造に関し、特に、接地能力を高めたアンテナ内蔵の 3D パ

50

パッケージユニットに関するものであって、そこで、単一または複数の接地層はパッケージユニットの基板の裏にあり、パッケージユニットの両側の信号接触を通してマルチチップスタックを達成することができる。

【背景技術】

【0002】

従来技術の説明

現在の電子製品は、小型化され、高性能、高精度、および高い信頼性を有する傾向にある。その結果、回路素子の分布密度は非常に高くなり、また回路の容積は実質的に減少する。しかしながら、電子製品の回路がより精巧になるにつれて、多くの素子は狭いスペースに形成され、互いの信号干渉の影響を受けやすくなる。その結果、電子製品の信号安定度は影響を受ける。一番の共通課題は、電磁妨害 (Electromagnetic Interference: EMI) とノイズである。EMIは、主に、放射電磁妨害と伝導電磁妨害とに分けられる。放射電磁妨害は、伝送媒体のない空間を通して直接伝わるため、遮へい、または接地によって除去されることができるだけである。本発明は、接地能力を高めた3Dパッケージユニットを開示する。そこで、単一または複数の接地層は、積層されたパッケージユニットの電気パフォーマンスを改善し、高密度の電子素子に対するEMIを減少させるために基板の裏にある。

10

【0003】

従来技術の積層された集積回路 (IC) チップパッケージは、米国特許第6387728号において開示され、図1を参照する。第1のICチップ103は、パッケージ100の基板102の上に配置される。また、ワイヤボンディングオペレーションは、複数の結合線 (bonding wires) 104が形成され、第1のICチップ103と基板102とを電氣的に接続する第1のICチップ103上で行われる。また、接着層105は、その上に第2のICチップ106を付着するために第1のICチップ103上に覆われている。同様に、複数の結合線107は、第2のICチップ106と基板102とを接続するためにワイヤボンディングオペレーションを使用することによって形成される。同様に、複数の結合線107は、第2のICチップ106と基板102とを接続するためにワイヤボンディングオペレーションを使用することによって形成される。その手順の後、成形材料108は、全ての素子を包むために基板102上に配される。この結果、積層されたICチップのパッケージ工程が完結する。2以上のチップは一緒に積層され、チップの数を増やす一方、効果的にスペースを確保するために積層されたICパッケージ内の基板を共有する。しかしながら、結合線が基板と接続した後、チップ内部でのみ行われる信号伝送のために信号遅延がしばしば起こりうる。加えて、このパッケージ構造において、信号伝送路があまりに長いので、このような構造が高周波電子要素に適用されれば、ノイズがしばしば発生し、それによって電子素子の信号制御に影響を及ぼす。

20

30

【0004】

高密度ICチップパッケージ構造は、米国特許第6236115号に開示され、図2を参照する。パッケージ構造は、積層されているチップを使用することによって形成される。しかし、上記のように、結合線を使用することによって生じるチップ間の信号伝送の可能な信号遅延を減らすために、第1のICチップ201、第2のICチップ202、および第3のICチップ203はワイヤボンディングオペレーションによって電氣的な経路を形成しない。本特許は、主に、チップに形成されている複数のピアホール206を利用し、ホール壁に金属配線204を、導電性の固定構造205とともに配置する。上記のパッケージ構造において、チップ間の伝送路が減少されることができるともかわらず、ICチップの増加した分布密度のために異なる形式のチップ間の信号干渉の可能性は増加する。それ故に、電子製品の信号安定度は影響を受ける。

40

【0005】

したがって、システムオンチップ (SOC) パッケージは、マイクロエレクトロニクス、高周波通信、または動作センサーなどのマルチチップ (multiple chips) を製造し、積層されたパッケージの技術コストを減少し、パッケージ容積の小型化を達成する傾

50

向になっていくにつれて、高密度、高信頼性を有する構成および電氣的性質を開発すること、および要求されたアプリケーション機能に従って柔軟な調整を行うことができるマルチマイクロエレクトロニクス素子を伴うパッケージ構造を設計し、組み立てることが差し迫った問題になる。

【発明の開示】

【0006】

本発明の概要

上記で論じた従来技術の背景、およびシステムオンチップ(SOC)パッケージは、マイクロエレクトロニクス、高周波通信または動作センサーなどのマルチプルチップを製造する傾向になっていることを踏まえて、本発明の目的は以下のように示す。

10

【0007】

本発明は、複数のマイクロ電子素子を有するウェーハレベルパッケージユニットを提供する電子パッケージ構造およびその物を提案する。そこにおいて、上部および下部表面上の伝導配線パターンは、信号伝送路および時間を減少するためのアプリケーション環境と機能の要求に従う単一または複数の小型化されて積層されたパッケージ構造を柔軟に果たすことができる。したがって、積層されたパッケージモジュールの使用周波数および効率を強化する。

【0008】

本発明の他の目的は、全てのパッケージユニットは、ウェーハまたは基板上に製造されるパッチであって、それゆえ、各々の個々のパッケージユニットの製造コストを減らす電子パッケージ構造を提供することにある。

20

【0009】

本発明のさらに他の目的は、単一または複数の接地層が電気パフォーマンスを高めるために基板の裏にあって、それゆえ、高密度電子素子に対する電磁妨害(EMI)は減らす電子パッケージ構造を提供することである、

上記の論じた目的を達成するために、本発明の提案された電子パッケージ構造は、電子素子を形成するための単一または複数の基板を含む。単一または複数の電子素子は、基板の第1の表面上に形成され、電子素子によって占められる領域は、基板のそれより小さいか、または等しい。単一または複数の接触パッド(contact pads)は、上記の電子素子の表面上に配置される。単一または複数のバッファ領域(buffer area)は、上記の電子素子周辺に分布する。単一または複数の接地層(grounding layers)は、上記の基板の第2の表面上に形成される。前記バッファ領域は、その上に形成された単一または複数のビアホール(via holes)を含み、導電材料は前記バッファ領域と前記接地層の上の表面間の単独結合を確立するためにビアホールおよびホール壁(hole walls)内部で充填される。単一または複数の信号通信路は、上記の電子パッケージ構造の少なくとも一つの側の上に形成される。単一または複数の信号接触(signal contacts)は、前記信号通信路の端部に形成され、上記の電子パッケージ構造の少なくとも一つの側で分布される。

30

【0010】

上記目的、特徴、効果は、添付図面と共に、以下の好ましい実施形態の詳細な説明から明らかになる。

40

【0011】

図面の簡単な説明

本発明の好ましい実施形態は、さらなる以下の説明と添付の図面において説明される。

【0012】

図1は、従来技術の積層されたICチップパッケージ構造の回路図である。

【0013】

図2は、ウェーハドリリングを使用することにより形成される従来技術の高密度ICチップパッケージ構造の回路図である。

【0014】

50

図 3 A は、本発明の第 1 の実施形態と本発明のパッケージユニットの断面図（図 3 B に
おいて A - A ' 線から用いられる）である。

【 0 0 1 5 】

図 3 B は、本発明の第 1 の実施形態の可能な下面図であって、図 3 A に対応する。

【 0 0 1 6 】

図 4 A は、本発明の第 1 の実施形態に従う基板上的可能な分布の拡大図である。

【 0 0 1 7 】

図 4 B は、本発明の第 1 の実施形態に従う基板上的可能な横断面図であって、図 4 A に
おける拡大領域に対応する。

【 0 0 1 8 】

図 5 A は、ウェーハスタッキング (w a f e r s t a c k i n g) の回路図である。

【 0 0 1 9 】

図 5 B は、ウェーハスタッキングの後、分離またはダイシングプロセスの側面図であっ
て、図 5 A に対応する。

【 0 0 2 0 】

図 6 は、本発明の第 2 の実施形態と、本発明のパッケージユニットによって設定される
第 1 タイプの積層されたパッケージの断面回路図である。

【 0 0 2 1 】

図 7 は、本発明の第 3 の実施形態と、本発明のパッケージユニットによって設定される
第 2 タイプの積層されたパッケージの断面回路図である。

【 0 0 2 2 】

図 8 は、本発明の第 4 の実施形態と、本発明のパッケージユニットによって設定される
第 3 タイプの積層されたパッケージの断面回路図である。

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

好適な実施の形態の説明

本発明において、電子パッケージ構造が開示される。より具体的には、本発明は、接地
能力を高めた 3 D パッケージユニットを提案し、ユニットの両側に接点信号を通してマル
チチップスタッキング (m u l t i - c h i p s t a c k i n g) を達成できる。本発
明の実施形態は、以下で詳細に述べられ、好ましい実施形態は、説明のみのためであり、
本発明の制限を目的としない。

【 0 0 2 4 】

図 3 A は、本発明の第 1 のパッケージユニット 3 0 0 の断面図であって、それは図 3 B
における A - A ' 線から取得する。好ましい実施形態の基板 3 1 8 の材質は、S i、G e
、S n、C、または半導体部材の他のタイプと一緒に上記の部材の組合せでありうる。第
1 の電子素子層 (e l e c t r o n i c e l e m e n t l a y e r) 3 1 3 は、周知
の半導体プロセスを使用することによって基板 3 1 8 上に形成され、電子素子は、能動素
子、受動素子、検出装置、試験装置、マイクロエレクトロメカニカル (M E M) チップ、
またはそれらの組合せでありうる。基板 3 1 8 上であって、第 1 電子素子層 3 1 3 に占め
られていない位置はバッファ領域 (特に図 3 では示さず) である。バッファ領域は、その
中で形成される電気回路を有しないので、その領域はその領域内の第 2 のビアホール 3 1
0 を形成するために利用され、導電材料は、基板 3 1 8 の上部および下部表面間の電気チ
ャネル (e l e c t r i c a l c h a n n e l s) を形成するためのビアホールまたは
ホール壁の内部に充填される。第 2 のビアホール 3 1 0 は、機械ドリル (m a c h i n e
d r i l l i n g)、レーザードリル (l a s e r d r i l l i n g)、ドライエツ
チング (d r y e t c h i n g)、ウェットエッチング (w e t e t c h i n g)、
または他の適切な方法を用いることによって形成され、内部に充填される導電部材は、S
n、A g、A u、A l、B e、C u、N i、R h、W、またはこれらの組合せでありうる
。

【 0 0 2 5 】

10

20

30

40

50

装置の内部回路と外部通信間の信号伝送路である第1の接触パッド309および第2の接触パッド306は、第1の電子素子層313上に配置される。第1の電子素子層313上の第1の内部導電層307は、スパッタリング、電気めっき、または他の適切な方法を用いることにより形成され、第1の接触パッド309および第2の接触パッド306の回路信号は再分配されうる。第1のカバー層304および第2のカバー層305は、パッケージユニット表面のレベルを強化するための単一のカバー層に結合されうる。そして、パターンニングプロセスは、第2の内部導電層317および第1のビアホール308を形成し、上記の回路信号の再分配で強める間に実行され、スタッキング間の第1のパッケージユニット300の機能性をより可能にする。

【0026】

電子素子接地層 (electronic element grounding layer) 311は、第1のパッケージユニット300の下部表面に形成され、そして接地層の材質は、Cu、Ni、Fe、Al、Co、Au、またはこれらの組合せでありうる。電子素子接地層であるほかに、この金属層はまた、第1の電子素子層313によって生成された熱エネルギーを放出するのを補助する良好な熱導体である。電子素子接地層311は、機械加工、ドライエッチング、ウェットエッチング、またはレーザドリルを用いることによって信号通信路を形成することができる。図3Aは、パターンニングプロセス後の側面図である。第1の回路保護層303および第2の回路保護層312は、第1の内部導電層307、第2の内部導電層317、電子素子接地層311のための保護を提供するために、第1のパッケージユニット300の上部および下部表面上に形成される。第1の信号接触302、第2の信号接触314、第3の信号接触315、および第4の信号接触316の位置は、保護層で定義される。そして、信号接触は、スクリーン印刷 (screen printing)、ステンシル印刷 (stencil printing)、シリンダコーティング (cylinder coating)、インクジェットコーティング (inkjet coating)、リソグラフィ (lithography)、または何か適切なプロセスを使用することによって、その上にある保護層 (図3において特に示さず) を形成することができる。固定構造 (fixation structures) 301は、第1のパッケージユニット300と他の電子デバイス間の回路信号を接続するために上記の信号接触保護層の上に形成される。図3Aに示すように、第1の電子素子313内部の回路信号の伝送路は、1) 第2の接触パッド306、第1の内部導電層307、第2のビアホール、電子素子接地層311、第3の信号接触315 (第1のパッケージユニット300の下部表面)、2) 第1の接触パッド309、第2の内部導電層317、第1の信号接触302、信号伝送固定構造301 (第1パッケージユニット300の上部表面) でありうる。第1電子素子層313における電気信号は、第1のパッケージユニット300の上部および下部表面に移動されうる。好ましい実施形態の上記構造は、目的のみを説明するためのものであって、発明を制限するものではない。

【0027】

図3Aに対応して、図3Bは本発明の第1の実施形態の可能な下面図であって、説明を簡単にするために、図3Aにおける第2の回路保護層312はこの図では省略されている。パターンニングプロセスの後、電子素子接地層311において、第1の信号通信路321、第2の信号通信路325、第3の信号通信路326、および第4の信号通信路327が形成される。なぜなら、第1のパッケージユニット300の上部表面上の第1の電子素子層313は、図3Bに示すことができないので、第1の電子素子層313は点線により示される。第1の電子素子層313における接地信号は、電子素子の設置を完全にするために、第3のビアホール322を介して電子素子接地層311に送信されることができる。第2のビアホールは第1のパッケージユニット300周辺で分布されて、そして、信号接触の構造を達成するために、第3の信号通信路326および第2の信号接触314の間の接続を用いることができる。パターンニングプロセスの後、電子素子接地層311は、第5の信号接触323としてテスト専用接触を形成でき、テスト機能を伴う電子パッケージ構造を形成するためにパッケージ構造の内部の電子素子のテスト信号に連結される。さらに

10

20

30

40

50

、無線信号受信アンテナ324は、パターンングプロセスを通して形成されることができ
る。そして、第1のパッケージユニット300は、円形の信号通信路を使用することによ
って外界と無線信号伝送を実行できる。本発明を制限することよりむしろ説明の目的のた
めここに述べられている本発明の特定の実施形態が理解されよう。

【0028】

図4Aは、本発明の第1の実施形態にしたがって基板上に可能な分布の拡大図である。
接地能力を高めた複数の3Dパッケージユニットは、ウェーハ400上に配置され、第1
の電子素子層450、第2の電子素子層460、第3の電子素子層470、および第4の
電子素子層480は、この平面図の拡大領域430に含まれる。単一または複数の第2の
ビアホール402は、マシンドリリング、レーザードリリング、ドライエッチング、また
はウェットエッチングを使用することによって、電子素子層間であってバッファ領域40
8上に形成されることができ。第1の電子素子層450内部の信号は、パッケージユニ
ットの下部表面上の電子素子層に送信されることができ。第1の内部接触層404に沿
って第1の接触パッド401から、第2のビアホール402、およびパッケージユニット
の下部表面上の信号接触は、接地層をパターンングすることによって設定される。第2
の電子素子層460内部の電気信号は、図3Aの第1の実施形態の方法を使用することによ
って、第2の接触パッド409を介してパッケージユニットの表面上の信号接触の構造を
実行できる。全ての上記のパッケージユニットは、ウェーハまたは基板上に製造されるバ
ッチであって、このように、それぞれ個々のパッケージユニットの製造コストは、減らさ
れることができる。ウェーハ400は、ウェーハ上につくられるウェーハスクライプライン
(wafer scribe line) 403に沿って切り離される。それによって
、接地能力が高められた個々の3Dパッケージユニットを形成する。

10

20

【0029】

図4Aの拡大領域に対応し、図4Bは、本発明の第1の実施形態による基板上の可能な
断面図である。第1の電子素子層450および第2の電子素子層460は、電子素子基板
407上であって、そしてバッファ領域は電子素子層周辺にある。第1の信号接触406
と信号伝送固定構造405は、第1の電子素子層450の上にある。メソッド(method)
を分けるダイ(die)は、図に示されるように、ウェーハスクライプライン40
3に沿って、第2のビアホール402を除外しているバッファ領域上で実行される。本発
明を限定するというよりむしろ説明の目的で、本発明の特定の実施形態がここに述べられ
ていることが認められる。

30

【0030】

図5Aは、ウェーハスタッキングの回路図である。本発明の接地能力を高めた複数の3
Dパッケージユニットは、それぞれ、第1のウェーハ501および第2のウェーハ502
上に配置される。ウェーハスタッキングの進行が完全なものにされたあと、ダイ分割は実
行されうる。図5Bに示すように、図5Aに対応する図は、ウェーハスタッキング後の分
離またはダイシングプロセスの側面図である。図において、第1の電子素子層550およ
び第2の電子素子層560は、ウェーハ502上であって、第3の電子素子層570およ
び第4の電子素子層580は、第1のウェーハ501上にある。第1の電子素子層550
および第3の電子素子層570の間の電子信号は、信号を送信する能力を有する第1の固
定構造505を通して送信されることができ。そして、第2の電子素子層560および
第4の電子素子層580の間の電子信号は、信号を送信する能力を有する第2の固定構造
506を通して送信されることができ。ウェーハは、ウェーハ上のウェーハスクライプ
ライン507に沿って分離され、分けられる。それによって、接地能力を高めた個々の3
Dパッケージユニットを形成する。

40

【0031】

図6は、本発明の第2の実施形態であって、本発明のパッケージユニットにより設定さ
れる第1タイプの積層されたパッケージの断面回路図である。第1の電子素子層605は
、第1のパッケージユニット610であって、第2の電子素子層606は、第2のパッケ
ージユニット620にある。2つの電子素子層の間の電子信号は、第2の信号伝送固定構

50

造604を通して送信されることができる。信号接触602は、基板601上に形成される。第1のパッケージユニット610、第2のパッケージユニット620、および基板601は、積層されたパッケージを達成するために第1の信号伝送固定構造603を使用することによって信号接触を形成することができる。本発明を限定するというよりむしろ説明の目的で、本発明の特定の実施形態がここに述べられていることが認められる。

【0032】

図7は、本発明の第3の実施形態であって、本発明のパッケージユニットにより設定される第2タイプの積層されたパッケージの断面回路図である。信号接触は、第1のパッケージユニット710、第2のパッケージユニット720、および第3のパッケージユニット730の上部および下部側の接触ノード(contact nodes)に対応する上に形成される。第1のパッケージユニット710および第2のパッケージユニット720の間の電子信号は、第2の信号伝送固定構造を通して送信されることができる。そして、第2のパッケージユニット720および第3のパッケージユニット730の間の電子信号は、信号伝送接着物質を通して送信されることができる。本発明の接地能力を高めた3Dパッケージユニットのパッケージ構造上の下部表面はパターン化された金属層(接地層)を有しているため、信号通信路はそれらの上に形成されることができる。第1の信号通信路709は、第3の信号伝送固定構造707と第4の信号伝送固定構造708との間の信号結合を提供するための接地層を使用することによって第1のパッケージユニット710上に形成される。信号接触702は基板701上にあって、第1のパッケージユニット710、第2のパッケージユニット720、第3のパッケージユニット、および基板701は、積層されたパッケージングを達成するための第1の信号伝送固定構造703および第2の信号伝送固定構造704を使用することによって信号接触を構成する。パッケージ構造の信頼性を強めるために、接着物質705は、その強さを強めるために固定構造703の周囲に適用されることができる。本発明を限定するというよりむしろ説明の目的で、本発明の特定の実施形態がここに述べられていることが認められる。

【0033】

図8は、本発明の第4の実施形態であって、本発明のパッケージユニットにより設定される第3タイプの積層されたパッケージの断面回路図である。異なるサイズの第2のパッケージユニット820および第3のパッケージユニット830は、第1のパッケージユニット810上に設置される。第1のパッケージユニット810および第2のパッケージユニット820の間の信号伝送は、信号伝送接着物質805を使用することによって実行される。そして、第1のパッケージユニット810および第3のパッケージユニットの間の信号伝送は、第2の信号伝送固定構造804を使用することによって実行される。信号接触802は、基板801上に形成され、そして第1のパッケージユニット810、第2のパッケージユニット820、第3のパッケージユニット830、および基板801は、積層されたパッケージングを達成するための第1の信号伝送固定構造803をしようすることによって信号接触を構成できる。

【0034】

上述から、本発明の特定の実施形態は本発明の目的のためにここに述べられていることが認められる。しかし、様々な修正および変更が、本発明の思想および見解から逸脱しない技術における当業者によってつくられうる。したがって、本発明は、添付された請求の範囲によって限定されない。

【図面の簡単な説明】

【0035】

【図1】従来技術の積層されたICチップパッケージ構造の回路図である。

【図2】ウェーハドリリングを使用することにより形成される従来技術の高密度ICチップパッケージ構造の回路図である。

【図3A】本発明の第1の実施形態と本発明のパッケージユニットの断面図(図3BにおいてA-A'線から用いられる)である。

【図3B】本発明の第1の実施形態の可能な下面図であって、図3Aに対応する。

10

20

30

40

50

【図 4 A】本発明の第 1 の実施形態に従う基板上的可能な分布の拡大図である。

【図 4 B】本発明の第 1 の実施形態に従う基板上的可能な横断面図であって、図 4 A における拡大領域に対応する。

【図 5 A】ウェーハスタッキング (wafer stacking) の回路図である。

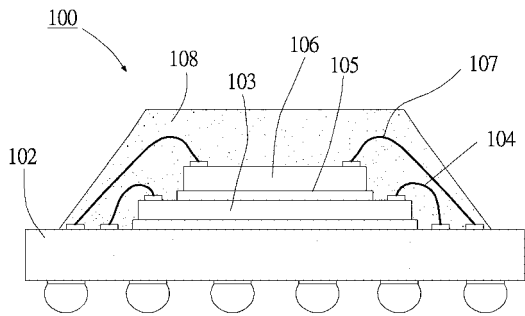
【図 5 B】ウェーハスタッキングの後、分離またはダイシングプロセスの側面図であって、図 5 A に対応する。

【図 6】本発明の第 2 の実施形態と、本発明のパッケージユニットによって設定される第 1 タイプの積層されたパッケージの断面回路図である。

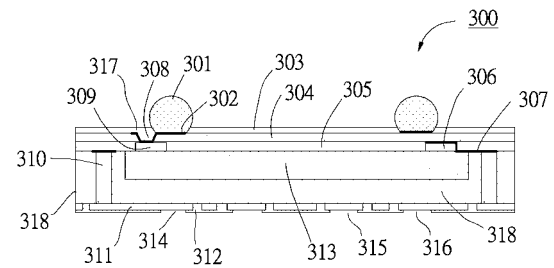
【図 7】本発明の第 3 の実施形態と、本発明のパッケージユニットによって設定される第 2 タイプの積層されたパッケージの断面回路図である。

【図 8】本発明の第 4 の実施形態と、本発明のパッケージユニットによって設定される第 3 タイプの積層されたパッケージの断面回路図である。

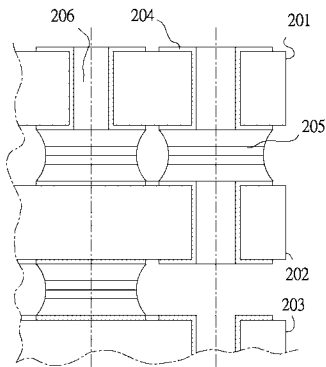
【図 1】



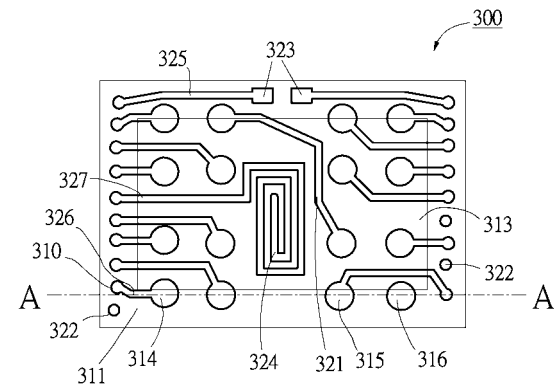
【図 3 A】



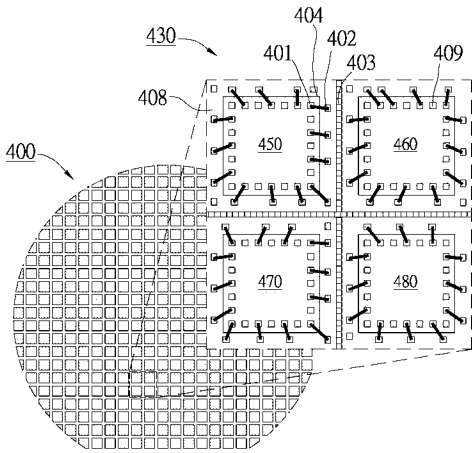
【図 2】



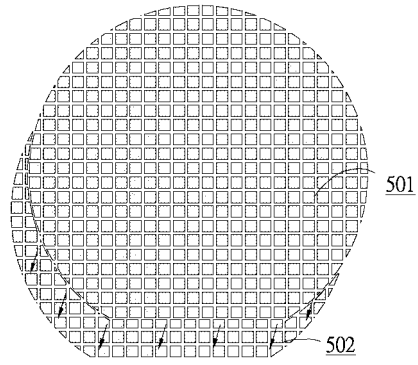
【図 3 B】



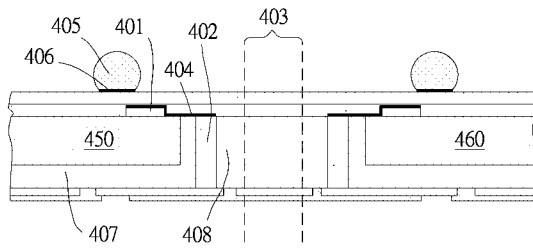
【 図 4 A 】



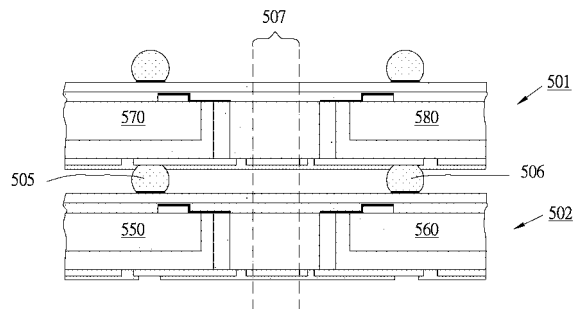
【 図 5 A 】



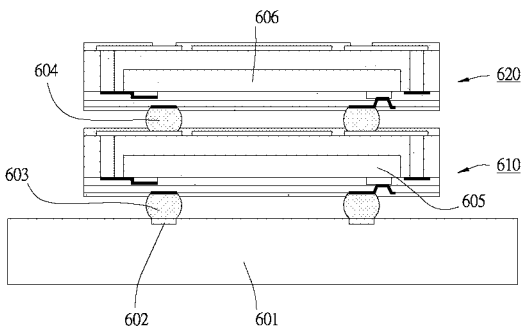
【 図 4 B 】



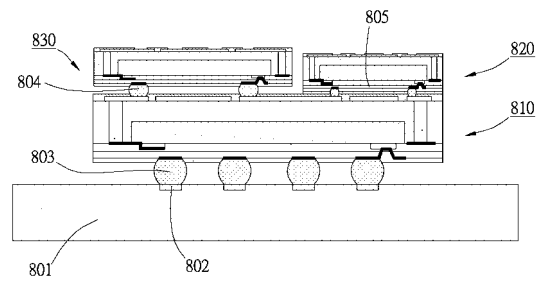
【 図 5 B 】



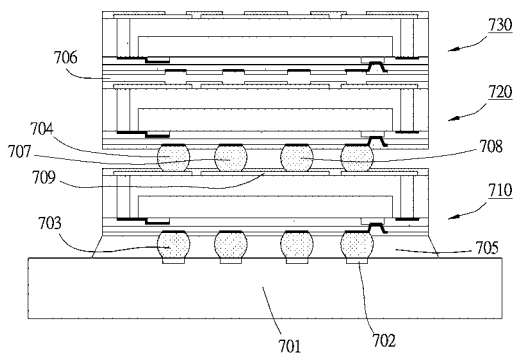
【 図 6 】



【 図 8 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/04 (2006.01)

(72)発明者 ミン - チ ユー
台湾,シンチュ シティー ガオツエイ ロード,レーン 162,アレイ 16,ナンバー 1
6

(72)発明者 チエン - チャ チウ
台湾,タオユエン カウンティ,ジョンリー シティ,ナンユエン セカンド ロード,レーン
1,アレイ 6,ナンバー 24

(72)発明者 コウ - ニン チャン
台湾,シンチュ シティー ジャンジョン ロード,ナンバー 100 - 6

(72)発明者 ウェン - クン ヤン
台湾,シン - チュ シティー,アン - カン ストリート,レーン6,ナンバー 47

Fターム(参考) 5F038 AZ04 BE07 BH10 BH19 CD02 DT04 EZ19 EZ20

【外国語明細書】

2008211175000001.pdf

2008211175000002.pdf

2008211175000003.pdf

2008211175000004.pdf