

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月12日(12.12.2019)



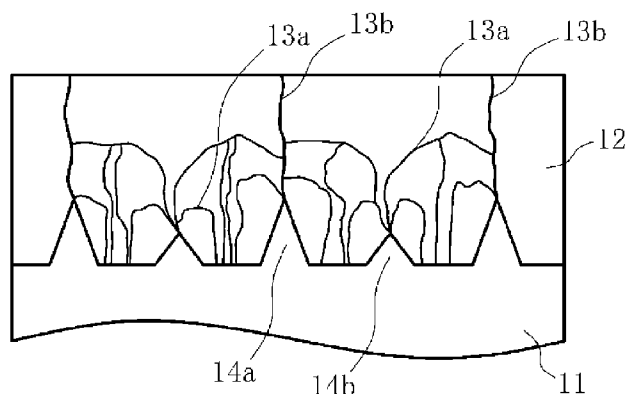
(10) 国際公開番号

WO 2019/235459 A1

- (51) 国際特許分類:
H01L 33/22 (2010.01) *H01L 33/32* (2010.01) 県静岡市清水区北脇500番地 株式会社小糸製作所静岡工場内 Shizuoka (JP).
- (21) 国際出願番号: PCT/JP2019/022117 (74) 代理人: 特許業務法人 信栄特許事務所(SHIN-EI PATENT FIRM, P.C.); 〒1050003 東京都港区西新橋一丁目7番13号 虎ノ門イーストビルディング8階 Tokyo (JP).
- (22) 国際出願日: 2019年6月4日(04.06.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-107594 2018年6月5日(05.06.2018) JP
特願 2019-095079 2019年5月21日(21.05.2019) JP
- (71) 出願人: 株式会社小糸製作所(KOITO MANUFACTURING CO., LTD.) [JP/JP]; 〒1088711 東京都港区高輪4丁目8番3号 Tokyo (JP).
- (72) 発明者: 大長 久 芳 (DAICHO Hisayoshi); 〒4248764 静岡県静岡市清水区北脇500番地 株式会社小糸製作所静岡工場内 Shizuoka (JP). 神野 大樹(JINNO Daiki); 〒4248764 静岡
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SUBSTRATE FOR SEMICONDUCTOR GROWTH, SEMICONDUCTOR ELEMENT, SEMICONDUCTOR LIGHT EMITTING ELEMENT AND METHOD FOR PRODUCING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法



(57) Abstract: A substrate for semiconductor growth, which has the r-plane of a sapphire (11) as a main surface, and in which the main surface is provided with a plurality of projections (14a, 14b). This substrate for semiconductor growth is configured such that: the projections (14a, 14b) have a length of 2,000 nm or less in a predetermined first direction among in-plane directions of the main surface; and the heights of adjacent projections (14a, 14b) are different from each other.

(57) 要約: サファイア(11)のr面を主面とし、主面に凸形状(14a, 14b)が複数形成されており、凸形状(14a, 14b)は、主面の面内方向のうちの所定の第1方向における長さが2000nm以下であり、隣り合う凸形状(14a, 14b)の高さが異なっている半導体成長用基板。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法

技術分野

[0001] 本発明は、半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法に関し、特に a 面 GaN 結晶層を成長させる半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法に関する。

背景技術

[0002] 近年になって、照明用途に用いられる紫色から青色を発光する LED として、非極性や半極性の面方位を主面とした GaN 系材料で活性層を形成するものが提案されている。GaN 系半導体層では、a 面や m 面が非極性面であり、半極性面の代表例として r 面がある。

[0003] 特許文献 1 には、サファイア基板の r 面上に有機金属気相成長法 (MOCVD 法: Metal Organic Chemical Vapor Deposition) を用いて a 面 GaN 層を成長させる技術が開示されている。これらの非極性面や半極性面を用いた GaN 系半導体層では、積層方向へのpiezo電界の影響を低減してドループ特性を改善することができる。

[0004] 図 14 は、r 面サファイア基板の平坦な主面に a 面 GaN 層を成長させた状態を示す模式断面図である。r 面サファイア基板 1 上に、MOCVD 法等によって a 面 GaN 層 2 を成長させると、主面から厚み方向に欠陥 3 が継続して欠陥密度が高い a 面 GaN 層 2 となってしまう。

[0005] また従来から、c 面サファイア基板上に窒化物半導体層を成長させる場合に、サファイア基板に凹凸構造を形成して (PSS: Patterned Sapphire Substrate) おくことで、窒化物半導体層の欠陥密度を低減する技術が用いられている。c 面を主面とする PSS 基板では、成長する半導体層の主面も面内異方性の小さい c 面であるため等方的に成

長が進行し、凹凸構造上に横方向に成長する半導体層中で転位が屈曲して、半導体層の表面にまで継続する転位や欠陥が減少する。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開2008-214132号公報

発明の概要

発明が解決しようとする課題

[0007] 図15は、r面サファイア基板の主面に凸形状を形成したPSS基板を用いてa面GaN層を成長させた状態を示す模式断面図である。r面サファイア基板1の主面に円錐状の凸形状4を複数形成し、MOCVD法等によってa面GaN層2を成長させると、凸形状4の間の平坦な領域でa面GaN層2が横方向に成長し、欠陥3が横方向に曲げられる。これにより、複数の欠陥3は平坦な領域と凸形状4の頂点近傍に集約され、a面GaN層2内の欠陥3の密度を低減することができる。

[0008] しかし、r面サファイア基板1上に形成されるa面GaN層2では、成長面内に±c軸方向やm軸方向が存在するため、r面を主面とするPSS基板を用いても面内異方性により異常成長が生じ、結晶性が良好で表面平坦性に優れた高品質なa面GaN層2を得ることが困難であった。

[0009] r面サファイア基板1においても、例えば、凸形状4のサイズを1μm未満のナノサイズにすることで異常成長を抑制して表面平坦性に優れたa面GaN層2を形成することはできる。しかし、隣り合う凸形状4の間に形成される平坦部から直上に向かって成長する欠陥について、凸形状4が低くなることで頂点近傍に集約される効果が小さくなり、欠陥3の密度（欠陥密度）を低減することも限界があった。

[0010] そこで本発明は、上記従来の問題点に鑑みなされたものであり、結晶性が良好で表面平坦性に優れた高品質なa面GaN層を成長させることが可能な半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法

を提供することを目的とする。

課題を解決するための手段

- [0011] 上記課題を解決するために、本発明の半導体成長用基板は、サファイアの r 面を主面とし、前記主面に凸形状が複数形成されており、前記凸形状は、前記主面の面内方向のうちの所定の第 1 方向における長さが 2000 nm 以下であり、隣り合う前記凸形状の高さが異なっていることを特徴とする。
- [0012] このような本発明の半導体成長用基板では、高さの異なる上記サイズの凸形状が隣り合うことで、小さい凸形状の頂点に集約された欠陥が再び横方向成長し、大きい凸形状の頂点に再集約される。これにより欠陥密度をさらに低減し、結晶性が良好で表面平坦性に優れた高品質な a 面 GaN 層を成長させることが可能となる。
- [0013] また本発明の一態様では、前記凸形状は、前記主面の面内方向における最大寸法が $1\text{ }\mu\text{m}$ 未満である。
- [0014] また本発明の一態様では、前記凸形状の高さは、前記主面内に 3 種類以上存在する。
- [0015] また本発明の一態様では、同じ高さの前記凸形状が前記サファイアの c 軸方向に沿って形成されている。
- [0016] また本発明の一態様では、異なる高さの隣り合う前記凸形状が一体化している。
- [0017] また上記課題を解決するために、本発明の半導体成長用基板は、サファイアの r 面を主面とし、前記主面に凸形状が複数形成されており、前記凸形状が前記サファイアの c 軸方向に沿って形成され、前記凸形状は、前記主面の面内において前記 c 軸と直交する方向の長さである幅 D が 1200 nm 以下であり、前記凸形状の高さ H と前記幅 D のアスペクト比 H/D が 1 以上 4 以下の範囲であることを特徴とする。
- [0018] また本発明の一態様では、前記凸形状の間隔 S が 200 nm 以上 500 nm 以下の範囲である。
- [0019] また本発明の一態様では、前記凸形状は、前記主面から立ち上がって形成

された側壁面部と、前記側壁面より上方に形成された曲面部とを有する。

[0020] また本発明の一態様では、前記曲面部は、前記凸形状の幅Dを直径とする円とは異なる曲率で形成されており、前記凸形状の頂部には2つの前記曲面部が交わる稜線部が形成されている。

[0021] また上記課題を解決するために本発明の半導体素子は、上記何れか一つに記載の半導体成長用基板を用い、前記半導体成長用基板上に機能層を備えることを特徴とする。

[0022] また上記課題を解決するために本発明の半導体発光素子は、上記何れか一つに記載の半導体成長用基板を用い、前記半導体成長用基板上に活性層を備えることを特徴とする。

[0023] また上記課題を解決するために本発明の半導体素子製造方法は、r面を主面とするサファイア上に、前記主面の面内方向のうちの所定の第1方向における長さが2000nm以下である凸形状を、隣り合う凸形状の高さが異なるように、複数形成する工程と、前記主面上に窒化物半導体層を成長する工程と、を備えることを特徴とする。

[0024] このような本発明の半導体素子製造方法では、高さの異なるナノサイズの凸形状が隣り合うことで、小さい凸形状の頂点に集約された欠陥が再び横方向成長し、大きい凸形状の頂点に再集約される。これにより欠陥密度をさらに低減し、結晶性が良好で表面平坦性に優れた高品質なa面GaN層を成長させることが可能となる。

発明の効果

[0025] 本発明では、結晶性が良好で表面平坦性に優れた高品質なa面GaN層を成長させることが可能な半導体成長用基板、半導体素子、半導体発光素子および半導体素子製造方法を提供することができる。

図面の簡単な説明

[0026] [図1]第1実施形態における半導体成長用基板を示す模式断面図である。

[図2A] r面サファイア基板11上に形成された凸形状14a, 14bの配置例を示す模式平面図であり、凸形状14a, 14bを正方格子状に配置した

例である。

[図2B] r面サファイア基板11上に形成された凸形状14a, 14bの配置例を示す模式平面図であり、凸形状14a, 14bを三角格子状に配置した例である。

[図3]第2実施形態の半導体装置であるLEDを示す模式断面図である。

[図4]第3実施形態における半導体成長用基板を示す模式断面図である。

[図5A]第4実施形態における半導体成長用基板を示す模式斜視図であり、凸形状14a, 14bが円錐形状の例である。

[図5B]第4実施形態における半導体成長用基板を示す模式斜視図であり、凸形状14a, 14bがライン形状の例である。

[図6]第5実施形態における半導体成長用基板を示す模式断面図である。

[図7] r面サファイア基板21上に円錐状の凸形状を三角格子状に配置した例を示す模式平面図である。

[図8]図7に示した半導体成長用基板にa面GaN層12を結晶成長させた表面のカソードルミネッセンス像である。

[図9A]図8に示した半導体成長用基板とa面GaN層12の断面TEM像であり、c軸に沿った断面を示す図である。

[図9B]図8に示した半導体成長用基板とa面GaN層12の断面TEM像であり、m軸に沿った断面を示す図である。

[図10]第6実施形態における半導体成長用基板を示す模式斜視図である。

[図11A]凸形状32の構造を模式的に示す部分拡大断面図であり、頂部断面が半円形状の例である。

[図11B]凸形状32の構造を模式的に示す部分拡大断面図であり、頂部に稜線部が形成された例である。

[図12A]凸形状のアスペクト比 H/D が小さい場合の欠陥継続を模式的に示す断面図である。

[図12B]凸形状のアスペクト比 H/D が小さい場合の欠陥継続を模式的に示す斜視図である。

[図13A]凸形状のアスペクト比 H/D が適切な場合の欠陥阻止を模式的に示す断面図である。

[図13B]凸形状のアスペクト比 H/D が適切な場合の欠陥阻止を模式的に示す斜視図である。

[図14] r 面サファイア基板の平坦な主面に a 面 GaN 層を成長させた状態を示す模式断面図である。

[図15] r 面サファイア基板の主面に凸形状を形成した $NPSS$ 基板を用いて a 面 GaN 層を成長させた状態を示す模式断面図である。

発明を実施するための形態

[0027] (第1実施形態)

以下、本発明の実施の形態について、図面を参照して詳細に説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付すものとし、適宜重複した説明は省略する。図1は、本発明の第1実施形態における半導体成長用基板を示す模式断面図である。

[0028] 図1に示すように、本実施形態の半導体成長用基板は、六方晶の r 面を主面とする r 面サファイア基板11と、 r 面サファイア基板11上に形成された a 面を主面とする a 面 GaN 層12を備えている。また、 r 面サファイア基板1の主面には、例えば、ナノサイズの凸形状14a, 14bが形成されている ($NPSS$: $Nano-Patterned\ Sapphire\ Substrate$)。ここでは r 面サファイア基板1として傾斜角度が0度のジャスト基板を示したが、 r 面を所定の面方位に数度傾斜させたオフ基板としてもよい。

[0029] a 面 GaN 層12は、主面が a 面となるように成長された下地層であり、その上に窒化物半導体層をエピタキシャル成長するための層である。 a 面 GaN 層12の形成方法としては、 $MOCVD$ 法や $HVPE$ 法 (ハイドライド気相成長法: $Hydride\ Vapor\ Phase\ Epitaxy$) などの公知の方法を用いることができるが、 $MOCVD$ 法を用いることが好ましい。 a 面 GaN 層12の膜厚は特に限定されないが、 $1\mu m$ 以上形成す

ることが好ましい。

[0030] また、 r 面サファイア基板11と a 面Ga N 層12との間に、格子不整合を緩和するためのAl N バッファ層を形成してもよい。Al N バッファ層の厚みとしては、厚くしすぎると a 面Ga N 層12の結晶品質が低下するため5～300nmの範囲が好ましく、5～90nmの範囲がより好ましく、5～30nmの範囲がさらに好ましい。

[0031] 凸形状14a, 14bは、 r 面サファイア基板11の主面を加工して形成された突起であり、例えば円錐形状の突起を複数規則的に配置したものが挙げられる。凸形状14a, 14bは、前記主面の面内方向のうちの所定の第1方向（例えば、 m 軸方向）における長さが2000nm以下である。凸形状14a, 14bは、ナノサイズであることが好ましい。ここで、凸形状14a, 14bがナノサイズであるとは、凸形状14a, 14bを構成する凸部の面内方向における最大寸法が1 μ mに満たないことをいう。ここでは凸形状14a, 14bの形状として円錐形状を例として挙げたが、四角錐や三角錐であってもよい。

[0032] 凸形状14a, 14bのサイズとしては、好ましくは底面が直径300以上2000nm以下で、高さが350以上2000nm以下の範囲であり、より好ましくは直径300以上1000nm未満で、高さが400以上1000nm未満の範囲である。また、凸形状14a, 14bの高さの差は100～1000nmの範囲が好ましく、隣り合う凸形状14a, 14bの間隔は30～400nmが好ましい。具体的な凸形状14a, 14bのサイズとしては、例えば凸形状14aを直径900nmで高さ800nmとし、凸形状14bを直径900nmで高さ400nmとする。凸形状14aと凸形状14bとの間隔は100nmとする。

[0033] また、図1に示したように、互いに隣り合う凸形状14aと凸形状14bは高さが異なっており、 r 面サファイア基板11の主面からの高さが大きい凸形状14aと、小さい凸形状14bが交互に配置されている。隣り合う凸形状14a, 14b同士のピッチは1 μ m以上であってもよいが、 a 面Ga

N層12の結晶品質を向上させるためには1 μ m未満のピッチで形成することが好ましい。

[0034] r面サファイア基板11の表面に上記凸形状14a, 14bを形成する方法としては、公知のナノインプリントとパターニングを用いることができる。一例として、r面サファイア基板11上にレジスト膜を塗布し、凸形状14a, 14bに対応したパターンが形成されたモールドを用い、ナノインプリント技術を用いてレジスト膜にパターンを転写する。次にパターンが転写されたレジスト膜とr面サファイア基板11に対して、塩素系ガスを用いて異方性エッチングすることで、上記凸形状14a, 14bがr面サファイア基板11上に形成される。

[0035] 次に、上記凸形状14a, 14bを複数形成したr面サファイア基板11(NPSS)上に、例えば膜厚が30nm程度のAlNバッファ層をスパッタ法等で形成する。AlNバッファ層を形成するスパッタ法としては、AlNをターゲット材としてArガスを用いることがより好ましい。ターゲット材となるAlNとしては単結晶基板であっても粉末焼体であってもよく、その状態や形態は限定されない。

[0036] 次に、AlNバッファ層の表面を洗浄した後に、キャリアガスとして水素、窒素を用い、V族原料としてアンモニア(NH₃)を用い、III族原料としてTMG(Trimethyl Gallium)を用いて、MOCVD法でa面GaN層12を成長させる。成長条件の一例としては、温度を1010℃まで昇温した後に成長温度を一定とし、リアクタ圧力とV/III比および成長時間を変更する2段階の成長シーケンスを用いる。例えば、はじめにV/III比を4000~5000程度、圧力を900~1000hPaとして10~20分程度維持し、次にV/III比を100~200程度、圧力を100~150hPaとして90~120分維持する。a面GaN層12を成長した後に室温まで冷却して取り出すことで、r面サファイア基板11の主面に上記凸形状14a, 14bが複数形成され、AlNバッファ層およびa面GaN層12が形成された本実施形態の半導体成長用基板を得

ることができる。

[0037] 図1に示したように、a面Ga₂N層12が成長する際に、凸形状14a、14bの間における平坦面で生じた欠陥13aは、横方向成長によって小さい凸形状14bの頂点に集約されていく。次に、a面Ga₂N層12が小さい凸形状14bを埋める程度に成長した後は、横方向成長は大きい凸形状14a方向に向かう。これにより、凸形状14a周辺や凸形状14bの頂点周辺に存在する欠陥13aは、さらに凸形状14aの頂点方向に曲げられて集約されて欠陥13bとなる。

[0038] このように、r面サファイア基板11上に形成する凸形状14a、14b高さを異ならせることで、a面Ga₂N層12に存在していた欠陥13aは最終的に大きい凸形状14aの頂点付近に集約された欠陥13bとなる。したがって、a面Ga₂N層12の最表面にまで続く欠陥13bの密度は、凸形状14a、14b全体の密度よりも小さくなる。これにより、本実施形態の半導体成長用基板は、結晶性が良好で表面平坦性に優れた高品質なa面Ga₂N層を成長させることが可能となる。

[0039] 図2A及び図2Bは、r面サファイア基板11上に形成された凸形状14a、14bの配置例を示す模式平面図である。図2Aは凸形状14a、14bを正方格子状に配置した例である。図2Bは凸形状14a、14bを三角格子状に配置した例である。図2A及び図2B中の横方向はr面サファイア基板11のm軸方向であり、縦方向はc軸方向である。

[0040] 図2Aに示した正方格子状の配置では、実線で示した大きい凸形状14aと、破線で示した小さい凸形状14bとが縦方向と横方向に交互に隣り合うように1:1の比率で配列されている。したがって、図1に示したように欠陥13aが大きい凸形状14aの頂点付近で欠陥13bに集約されることで、全てを同じ高さの凸形状とする図15の従来例よりも、欠陥密度を1/2程度に低減することができる。

[0041] 図2Bに示した三角格子状の配置では、大きい凸形状14aの周囲を6個の小さい凸形状14bでおり、凸形状14aは凸形状14bと隣り合って1

：2の比率で配列されている。したがって、全てを同じ高さの凸形状とする図15の従来例よりも、欠陥密度を1／3程度に低減することができる。なお、本明細書において「隣り合う凸形状の高さが異なる」とは、1の凸形状の高さが、当該1の凸形状と隣り合う複数の他の凸形状のうち、少なくとも1以上の他の凸形状の高さと異なっていることをいう。例えば、図2Bのように、高さが同一である凸形状14b同士が隣り合う部分があってもよい。

[0042] 図2A及び図2Bでは、凸形状14a, 14bの間隔を一定にした例を示したが、一定でなくともよい。また、凸形状14a, 14bの高さに応じて両者の間隔を異ならせてもよい。例えば凸形状14a, 14bを高く形成した場合に凸形状14a, 14bの間隔を狭くしてもよい。

[0043] 上述したように本実施形態の半導体成長用基板では、r面サファイア基板11の主面に上記サイズの凸形状14a, 14bを複数形成しており、隣り合う凸形状14aと14bの高さが異なっているので、欠陥13bを大きい凸形状14aに集約し、欠陥密度を低減することができる。また、その上に成長するa面Ga_{0.9}N層12の結晶性が良好で、異常成長を抑制して表面平坦性に優れた高品質なものとなる。

[0044] (第2実施形態)

次に、本発明の第2実施形態について図3を用いて説明する。図3は本実施形態の半導体装置であるLEDを示す模式断面図である。図3に示すようにLED10は、r面サファイア基板11、ナノサイズの凸形状14a, 14b、a面Ga_{0.9}N層12、活性層15、p型半導体層16、n側電極17、p側電極18を有している。

[0045] 第1実施形態と同様に、r面サファイア基板11を用意し、上記サイズの凸形状14a, 14bを形成し、MOCVD法でa面Ga_{0.9}N層12をエピタキシャル成長させる。続いて、MOCVD法で活性層15、p型半導体層16を順次成長させて半導体基板を得る。

[0046] 次に、フォトリソグラフィーとエッチングによりp型半導体層16と活性層15の一部を除去してa面Ga_{0.9}N層12の一部を露出させる。次に、a面

GaN層12とp型半導体層16の露出面に蒸着等により電極材料を形成し、ダイシングして個別チップ化することでLED10を得る。

[0047] 活性層15は、a面GaN層12上にエピタキシャル成長され、a面を主面とする半導体層である。活性層15層内で電子と正孔が発光再結合することでLED10が発光する。活性層15は、a面GaN層12とp型半導体層16よりもバンドギャップが小さい材料で構成されており、例えばInGaN、AlInGaNなどが挙げられる。活性層15は意図的に不純物を含まないノンドープとしてもよく、n型不純物を含むn型やp型不純物を含むp型としてもよい。活性層15は、a面を主面とする半導体層なので、厚膜化してもピエゾ電界による電子と正孔の空間的な分離は生じにくく、電流密度を高くしても効率的に電子と正孔が発光再結合できる。

[0048] p型半導体層16は、活性層15上にエピタキシャル成長され、a面を主面とする半導体層である。p型半導体層16は、p側電極18から正孔が注入されて活性層15に正孔を供給する層である。

[0049] ここではa面GaN層12、p型半導体層16をそれぞれ単層で説明したが、それぞれ材料や組成の異なる複数の層を含んでいてもよい。例えば、a面GaN層12とp型半導体層16に、クラッド層、コンタクト層、電流拡散層、電子ブロック層、導波路層などを含めてもよい。また、活性層15も単層で説明したが、多重量子井戸構造（MQW：Multi Quantum Well）などの複数層で構成してもよい。

[0050] 本実施の形態でも、高さの異なる凸形状14a、14bが隣り合って形成されたr面サファイア基板11（NPSS）上にa面GaN層12、活性層15、p型半導体層16をエピタキシャル成長している。したがって、第1実施形態で述べたようにa面GaN層12は結晶性も表面平坦性も良好であり、欠陥密度も低減されている。したがって、欠陥密度が低減されたa面GaN層12上に成長された活性層15、p型半導体層16も結晶性と表面平坦性が良好となる。これにより、活性層15、p型半導体層16の特性も良好になり、LEDの外部量子効率の向上などが見込まれる。

[0051] 本発明の半導体装置であるLEDは、上述したようにpiezo電界によるドメインが少なく、且つa面内での異方性が小さく良好な結晶品質であることから高輝度化を実現できる。その結果、本発明に係る半導体装置は、車両用灯具などの灯具に用いることでチップ数の低減や高出力化を図ることが可能となる。また、半導体装置はLEDに限定されず、半導体レーザであってもよく、二次元電子ガスを発生させる機能層を有する高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）等の他の用途であってもよい。

[0052] （第3実施形態）

次に、本発明の第3実施形態について図4を用いて説明する。図4は、第3実施形態における半導体成長用基板を示す模式断面図である。本実施形態では、r面サファイア基板11の表面に3種類の高さの凸形状14a～14cが形成されており、a面GaN層12が凸形状14a～14cを埋めるように成長している。一番高い凸形状14aの隣には2番目に高い凸形状14bが配置され、凸形状14bの隣に一番小さい凸形状14cが配置されている。ここでは高さの異なる3種類の凸形状14a～14cを説明するが、さらに多数の高さ水準の凸形状を形成するとしてもよい。

[0053] 本実施形態でも、a面GaN層12が成長する際に、凸形状14a～14cの間における平坦面で生じた欠陥13aは、横方向成長によって一番小さい凸形状14cの頂点に集約されていく。次に、a面GaN層12が凸形状14cを埋める程度に成長した後は、横方向成長は中程度の凸形状14b方向に向かう。これにより、凸形状14cの頂点周辺に存在する欠陥13aは、さらに凸形状14bの頂点方向に曲げられて集約される。さらに、a面GaN層12が凸形状14bを埋める程度に成長した後は、横方向成長は一番大きい凸形状14a方向に向かい、凸形状14bの頂点周辺に存在する欠陥13aは、さらに凸形状14aの頂点方向に曲げられて欠陥13bに集約される。

[0054] 本実施形態では、3種類以上の高さの異なる凸形状14a～14cにより

、欠陥 13 a を最も高い凸形状 14 a の頂点近傍で欠陥 13 b に集約できる。したがって、a 面 GaN 層 12 は、欠陥密度をさらに低減して結晶性を良好なものとし、異常成長を抑制して表面平坦性に優れた高品質なものとなる。

[0055] (第 4 実施形態)

次に、本発明の第 4 実施形態について図 5 A 及び図 5 B を用いて説明する。図 5 A 及び図 5 B は、第 4 実施形態における半導体成長用基板を示す模式斜視図である。図 5 A は円錐形状の例を示し、図 5 B はライン形状の例を示している。図 5 A 及び図 5 B 中の奥行方向は r 面サファイア基板 11 の c 軸方向であり、横方向は m 軸方向である。

[0056] 図 5 A に示した例では、円錐形状の凸形状 14 a ~ 14 c で高さが同じものを c 軸方向に沿って並べて配置している。具体的な凸形状 14 a ~ 14 c のサイズとしては、例えば凸形状 14 a を直径 600 nm で高さ 1050 nm とし、凸形状 14 b を直径 600 nm で高さ 700 nm とし、凸形状 14 c を直径 600 nm で高さ 350 nm とする。また、凸形状 14 a と凸形状 14 b との間隔は 90 nm とし、凸形状 14 b と凸形状 14 c との間隔は 120 nm とする。

[0057] 図 5 B に示した例では、高さの異なるライン形状の凸形状 14 a, 14 b を c 軸方向に沿って形成している。具体的な凸形状 14 a, 14 b のサイズとしては、例えば凸形状 14 a の幅が 500 nm で高さ 800 nm とし、凸形状 14 b の幅が 500 nm で高さ 400 nm とする。凸形状 14 a, 14 b は間隔 150 nm の平坦部を介して隣り合っている。なお、本明細書において、「幅」とは、主面 (r 面) の面内において c 軸方向と直交する方向の長さのことをいう。図 5 B に示した例では、凸形状 14 a, 14 b が c 軸方向に沿って形成されており c 軸方向には 2000 nm を超えているが、幅方向における長さは 2000 nm に満たないため、本発明の範囲に含まれる。

[0058] ここでは図 5 A に円錐形状の凸形状 14 a ~ 14 c を形成した例を示し、図 5 B にライン形状の凸形状 14 a, 14 b を形成した例を示したが、円錐

形状とライン形状を同一の r 面サファイア基板 11 上に混在させるとしてもよい。 a 面 GaN 層 12 をエピタキシャル成長させる際には、 c 軸方向への成長速度が m 軸方向よりも大きいため、欠陥は m 軸方向に沿って曲げられることになる。したがって、図 5 A 及び図 5 B で示したように高さの同じ凸形状 14 a ~ 14 c や 14 a, 14 b を c 軸に沿って形成することで、効果的に欠陥 13 a を最も高い凸形状 14 a の頂点近傍に集約することができる。

[0059] (第 5 実施形態)

次に、本発明の第 5 実施形態について図 6 を用いて説明する。図 6 は、第 5 実施形態における半導体成長用基板を示す模式断面図である。本実施形態では、図 6 に示すように高さの異なる凸形状 14 a, 14 b が隣り合っ一体化している。平面的な配置は図 2 A に示した正方格子状であってもよく、図 2 B に示した三角格子状であってもよい。また、図 5 A 及び図 5 B に示したように、高さの同じ凸形状 14 a, 14 b を c 軸方向に沿って形成するとしてもよい。

[0060] 具体的な凸形状 14 a, 14 b のサイズとしては、例えば凸形状 14 a を直径 700 nm で高さ 800 nm とし、凸形状 14 b を直径 400 nm で高さ 400 nm とする。凸形状 14 a, 14 b の頂点間隔を 100 nm とすることで、凸形状 14 b の頂点が凸形状 14 a の範囲内となり、両者は隣り合いながらも一体化されている。

[0061] 本実施形態の半導体成長用基板でも、 r 面サファイア基板 11 の主面にナノサイズの凸形状 14 a, 14 b を複数形成しており、隣り合う凸形状 14 a と 14 b の高さが異なっているので、欠陥 13 b を大きい凸形状 14 a に集約し、欠陥密度を低減することができる。また、その上に成長する a 面 GaN 層 12 の結晶性が良好で、異常成長を抑制して表面平坦性に優れた高品質なものとなる。

[0062] (第 6 実施形態)

次に、本発明の第 6 実施形態について図 7 ~ 図 13 B を用いて説明する。図 7 は r 面サファイア基板 21 上に円錐状の凸形状を三角格子状に配置した

例を示す模式平面図である。図7に示したように、 r 面サファイア基板21上に断面が円錐形状の凸形状22を三角格子状に形成する。ここで、凸形状22のサイズは第1～第5実施形態で述べたものと同程度である。また、図7中の横方向が r 面サファイア基板21の c 軸方向であり、縦方向が m 軸方向であり、 c 軸方向に最近接の凸形状22が並んでいる。

[0063] 図8は、図7に示した半導体成長用基板に a 面Ga N 層12を結晶成長させた表面のカソードルミネッセンス像である。図8中に複数の矢印で示した箇所には、 c 軸方向に沿って黒い領域が並んでおり、凸形状22の配置に対応して欠陥が集約されている。

[0064] 図9A及び図9Bは、図8に示した半導体成長用基板21と a 面Ga N 層12の断面TEM像である。図9Aは c 軸に沿った断面を示し、図9Bは m 軸に沿った断面を示している。図9Aは図7中のA-A断面であり、 c 軸方向に沿って配列した凸形状22の中心位置での断面である。図9Bは図7中のB-B断面である。図9Aでは c 軸方向に沿った全域に欠陥が残っているが、図9Bでは凸形状22の間では欠陥が斜め方向に曲がっており、凸形状22の頂部近傍に集約されている。この欠陥の曲がり、 a 面Ga N 層12の横方向成長によるものであり、 a 面Ga N 層12の表面に至るまでに可能な限り欠陥を減少させることが好ましい。

[0065] 図10は、第6実施形態における半導体成長用基板を示す模式斜視図である。本実施形態の半導体成長用基板は、 r 面サファイア基板31上に凸形状32が c' 軸方向に沿って複数形成されている。凸形状32は、主面（ r 面）の面内において c' 軸と直交する幅方向の長さである幅が1200nm以下である。また、凸形状32は、幅および高さが1 μ m未満であることが好ましい。図10では凸形状32の延伸する方向が c' 軸方向と一致している例を示したが、30°未満の角度だけ c' 軸に対して斜め方向に伸びていてもよい。なお、 c' 軸とは、 c 軸を r 面サファイア基板31上に投影した方位である。

[0066] 図11A及び図11Bは、凸形状32の構造を模式的に示す部分拡大断面

図である。図 1 1 A は頂部断面が半円形状の例を示し、図 1 1 B は頂部に稜線部が形成された例を示している。図 1 1 A に示した例では、r 面サファイア基板 3 1 の主面から側壁面部 3 3 が立ち上がって形成されており、側壁面部 3 3 の上方には曲面部 3 4 が形成されている。側壁面部 3 3 は主面に対して垂直に形成されていることが好ましいが、主面に対して傾斜する面として形成されていてもよい。また、曲面部 3 4 は断面が半円形状に形成された曲面である。曲面部 3 4 の曲面は、側壁面部 3 3 の幅を直径とした円を想定した場合、当該円の曲率と同程度の曲率で形成されている。曲面部 3 4 の最上部は、凸形状 3 2 の頂部 3 5 となっている。

[0067] 図 1 1 B に示した例でも、r 面サファイア基板 3 1 の主面から側壁面部 3 3 が立ち上がって形成されており、側壁面部 3 3 の上方には曲面部 3 4 が形成されている。図 1 1 B の例では、曲面部 3 4 は凸形状 3 2 の幅を直径とする円を想定した場合、当該円の曲率とは異なる曲率で形成された曲面である。凸形状 3 2 の頂部 3 5 は 2 つの曲面部 3 4 が交わって c 軸に沿った稜線部を構成している。

[0068] 側壁面部 3 3 が r 面サファイア基板 3 1 の主面に対して略垂直であるため、a 面 GaN 層 1 2 を結晶成長させる際には側壁面部 3 3 の表面からは結晶成長しない。また、側壁面部 3 3 よりも上方には曲面部 3 4 が形成されており、曲面部 3 4 が所定の曲率をもって形成されているため、サファイアにおける特定の結晶面方位が露出しない。これにより、曲面部 3 4 の表面からも a 面 GaN 層 1 2 は結晶成長しにくくなる。したがって、a 面 GaN 層 1 2 は、凸形状 3 2 同士の間で露出する主面から結晶成長する。特に、図 1 1 B に示した、凸形状 3 1 の頂部 3 5 に稜線部が構成されている例では、頂部 3 5 の周辺においてもサファイアの r 面が露出せず、頂部 3 5 からの a 面 GaN 層 1 2 の結晶成長を効果的に抑制することができる。

[0069] 図 1 2 A 及び図 1 2 B は、凸形状 3 2 のアスペクト比 H/D が小さい場合の欠陥継続を模式的に示す図である。図 1 2 A は断面図であり、図 1 2 B は斜視図である。凸形状 3 2 の幅を D とし、高さを H とし、凸形状 3 2 同士の

間隔をSとする。図12A及び図12Bでは高さHと幅Dの比率であるアスペクト比 H/D が0.7の場合を例示している。図12A及び図12Bに示したように、アスペクト比 H/D が1未満の場合には、r面サファイア基板31の主面から成長したa面Ga_{0.5}N層12が横方向成長しても、欠陥が側壁面部33と曲面部34を超えて凸形状32よりも上方に継続してしまう。したがって、a面Ga_{0.5}N層12の表面では、凸形状32の上方に欠陥密度の高い領域が形成され、凸形状32の間には欠陥密度の低い領域が形成される。

[0070] 図13A及び図13Bは、凸形状のアスペクト比 H/D が適切な場合の欠陥阻止を模式的に示す図である。図13Aは断面図であり、図13Bは斜視図である。図13A及び図13Bでは高さHと幅Dの比率であるアスペクト比 H/D が1.4の場合を例示している。図13A及び図13Bに示したように、アスペクト比 H/D が1以上の場合には、r面サファイア基板31の主面から成長したa面Ga_{0.5}N層12が横方向成長することで、欠陥が側壁面部33に到達してa面Ga_{0.5}N層12中に埋まるため、凸形状32よりも上方に継続しない。したがって、a面Ga_{0.5}N層12の表面全域にわたって欠陥密度を低減することができる。

[0071] 凸形状32の間隔Sは、狭すぎるとa面Ga_{0.5}N層12の結晶成長時に原料供給が阻害されて良好に結晶成長を行うことが困難になり、広すぎると結晶成長が開始する主面の面積が大きくなるため貫通転位や欠陥が発生する領域が多くなる。したがって間隔Sは、200nm以上500nm以下の範囲が好ましく、300nm以上400nm以下の範囲であることがより好ましい。

[0072] 凸形状32の高さHは、低すぎると図12A及び図12Bに示したように横方向成長でも側壁面部33に到達せず欠陥を低減できず、高すぎるとa面Ga_{0.5}N層12の結晶成長時に原料供給が阻害されて良好に結晶成長を行うことが困難になる。したがって高さHは、500nm以上1200nm以下の範囲が好ましく、700nm以上1000nm未満の範囲であることがより好ましい。

[0073] 凸形状32の幅Dは、大きすぎると横方向成長でa面Ga₂N層12が凸形状32全体を埋めて成長するまでの厚さが必要になるため好ましくなく、小さすぎると凸形状32の上方でのa面Ga₂N層12の横方向成長が継続されず、欠陥の低減が不十分になるため好ましくない。したがって幅Dは、300nm以上1200nm以下の範囲が好ましく、500nm以上1000nm未満の範囲であることがより好ましい。

[0074] アスペクト比H/Dは、a面Ga₂N層12の横方向成長で貫通転位や欠陥を側壁面部33に到達させるために1以上が必要であるが、大きすぎるとa面Ga₂N層12の結晶成長時に原料供給が阻害されて良好に結晶成長を行うことが困難になる。したがってアスペクト比H/Dは、1以上4以下の範囲が好ましく、1以上2以下の範囲であることがより好ましい。

[0075] 上述したように本実施形態の半導体成長用基板では、r面サファイア基板31の主面に上記サイズの凸形状32を複数形成しており、凸形状32がサファイアのc軸方向に沿って形成されて高さHと幅Dのアスペクト比H/Dが1以上4以下の範囲であることで、横方向成長で欠陥を凸形状32の側壁面部に到達させて欠陥密度を低減することができる。また、その上に成長するa面Ga₂N層12の結晶性が良好で、異常成長を抑制して表面平坦性に優れた高品質なものとなる。

[0076] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0077] 本出願は、2018年6月5日出願の日本特許出願（特願2018-107594）及び2019年5月21日出願の日本特許出願（特願2019-95079）に基づくものであり、これらの内容はここに参照として取り込まれる。

符号の説明

[0078] 10…LED

1 1, 2 1, 3 1 … r 面サファイア基板

1 2 … a 面 G a N 層

1 3 a, 1 3 b … 欠陥

1 4 a ~ 1 4 c, 2 2, 3 2 … 凸形状

3 3 … 側壁面部

3 4 … 曲面部

3 5 … 頂部

1 5 … 活性層

1 6 … p 型半導体層

1 7 … n 側電極

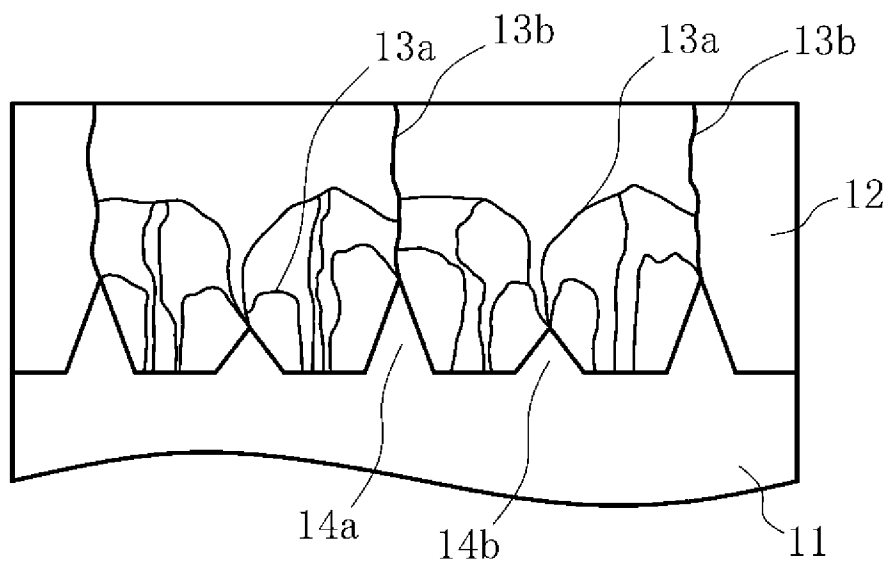
1 8 … p 側電極

請求の範囲

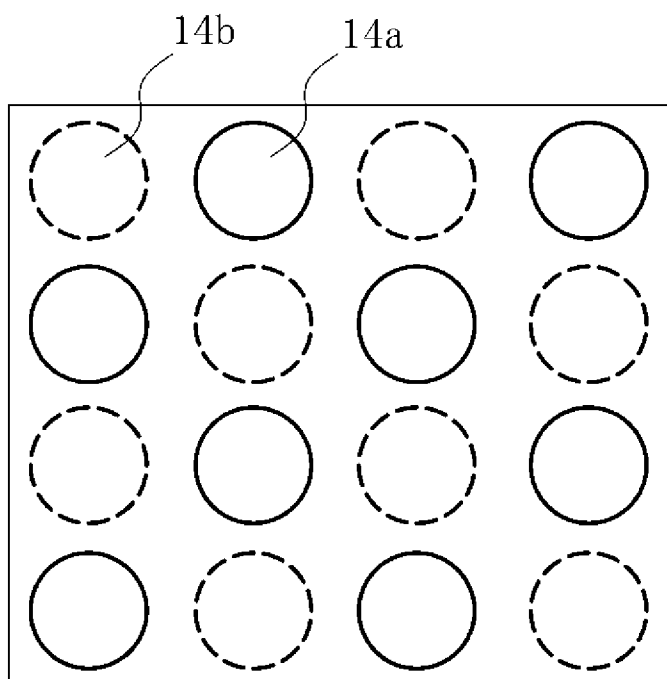
- [請求項1] サファイアのr面を主面とし、前記主面に凸形状が複数形成されており、
- 前記凸形状は、前記主面の面内方向のうちの所定の第1方向における長さが2000nm以下であり、隣り合う前記凸形状の高さが異なっていることを特徴とする半導体成長用基板。
- [請求項2] 請求項1に記載の半導体成長用基板であって、
- 前記凸形状は、前記主面の面内方向における最大寸法が1μm未満であることを特徴とする半導体成長用基板。
- [請求項3] 請求項1または2に記載の半導体成長用基板であって、
- 前記凸形状の高さは、前記主面内に3種類以上存在することを特徴とする半導体成長用基板。
- [請求項4] 請求項1から3の何れか一つに記載の半導体成長用基板であって、
- 同じ高さの前記凸形状が前記サファイアのc軸方向に沿って形成されていることを特徴とする半導体成長用基板。
- [請求項5] 請求項1から4の何れか一つに記載の半導体成長用基板であって、
- 異なる高さの隣り合う前記凸形状が一体化していることを特徴とする半導体成長用基板。
- [請求項6] サファイアのr面を主面とし、前記主面に凸形状が複数形成されており、
- 前記凸形状が前記サファイアのc軸方向に沿って形成され、
- 前記凸形状は、前記主面の面内において前記c軸と直交する方向の長さである幅Dが1200nm以下であり、
- 前記凸形状の高さHと前記幅Dのアスペクト比 H/D が1以上4以下の範囲であることを特徴とする半導体成長用基板。
- [請求項7] 請求項6に記載の半導体成長用基板であって、
- 前記凸形状の間隔Sが200nm以上500nm以下の範囲であることを特徴とする半導体成長用基板。

- [請求項8] 請求項6または7に記載の半導体成長用基板であって、
前記凸形状は、前記主面から立ち上がって形成された側壁面部と、
前記側壁面より上方に形成された曲面部とを有することを特徴とする
半導体成長用基板。
- [請求項9] 請求項8に記載の半導体成長用基板であって、
前記曲面部は、前記凸形状の幅Dを直径とする円とは異なる曲率で
形成されており、
前記凸形状の頂部には2つの前記曲面部が交わる稜線部が形成され
ていることを特徴とする半導体成長用基板。
- [請求項10] 請求項1から9の何れか一つに記載の半導体成長用基板を用い、
前記半導体成長用基板上に機能層を備えることを特徴とする半導体
素子。
- [請求項11] 請求項1から9の何れか一つに記載の半導体成長用基板を用い、
前記半導体成長用基板上に活性層を備えることを特徴とする半導体
発光素子。
- [請求項12] r面を主面とするサファイア上に、前記主面の面内方向のうちの所
定の第1方向における長さが2000nm以下である凸形状を、隣り
合う凸形状の高さが異なるように、複数形成する工程と、
前記主面上に窒化物半導体層を成長する工程と、を備えることを特
徴とする半導体素子製造方法。

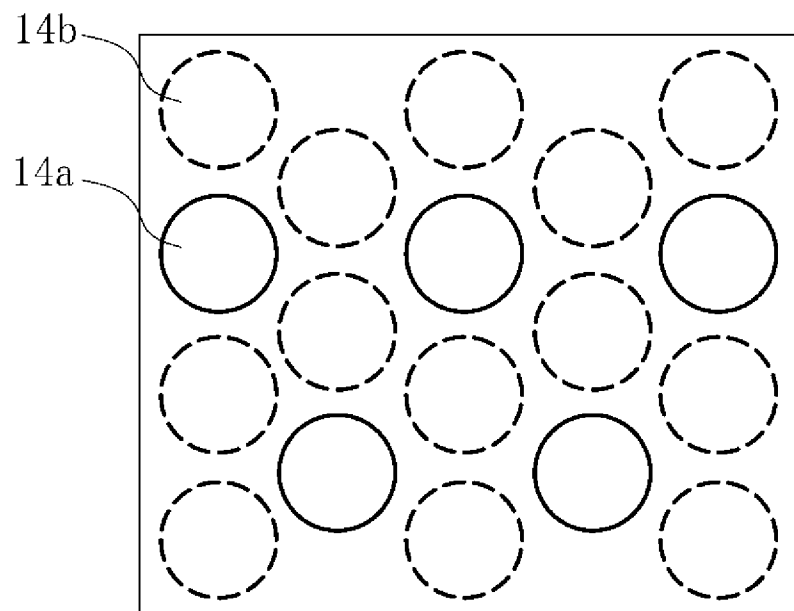
[図1]



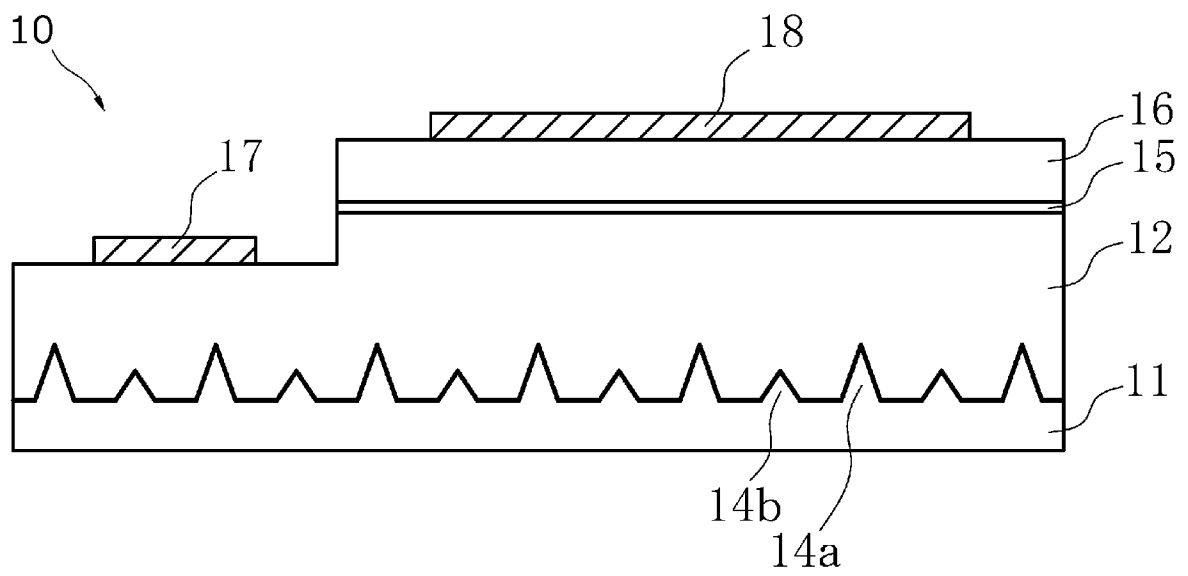
[図2A]



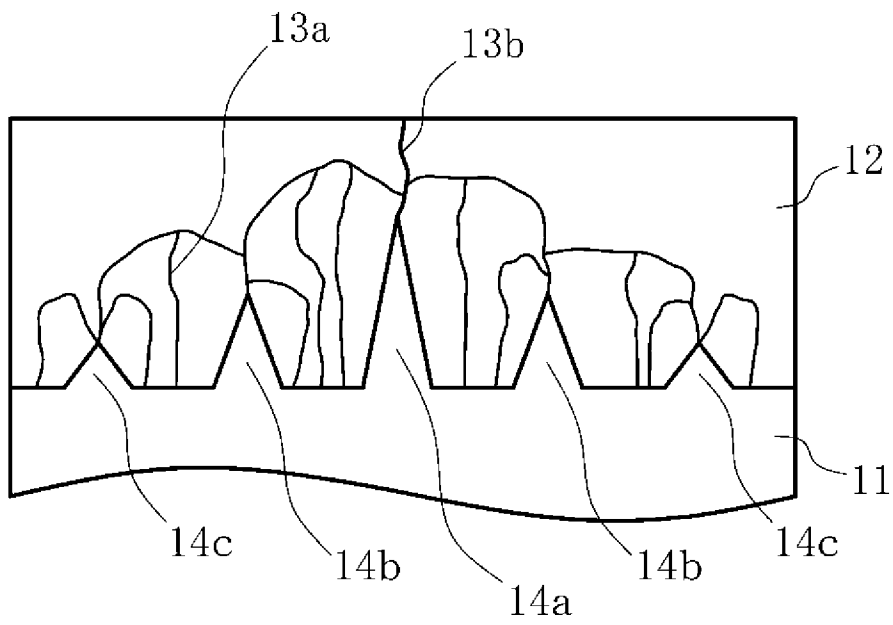
[図2B]



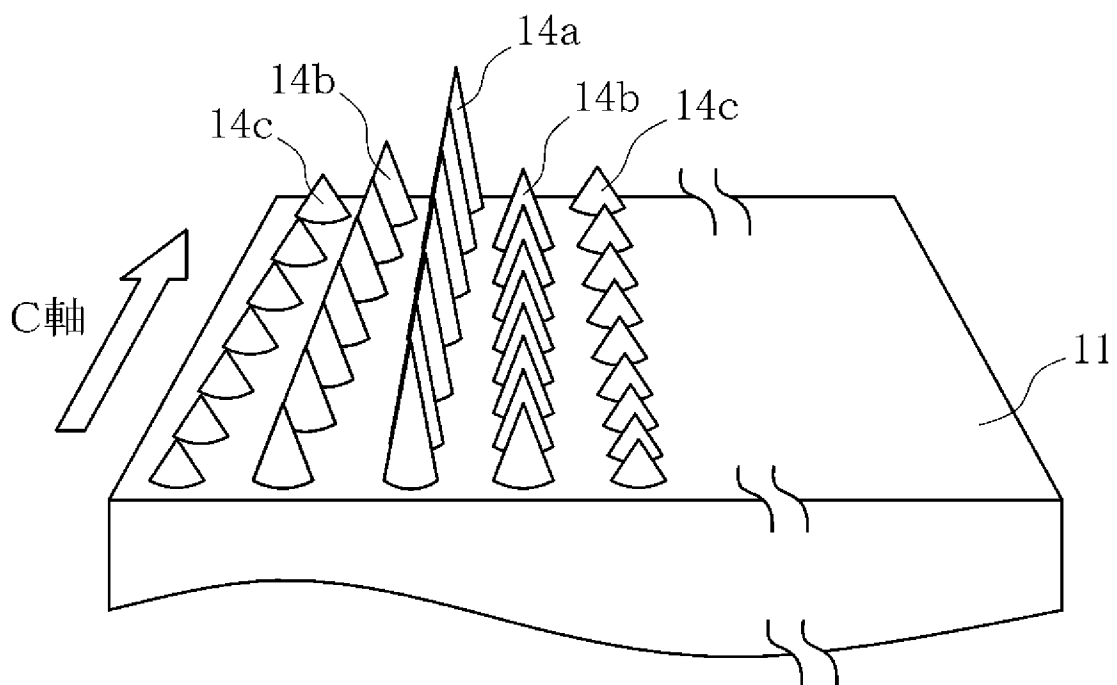
[図3]



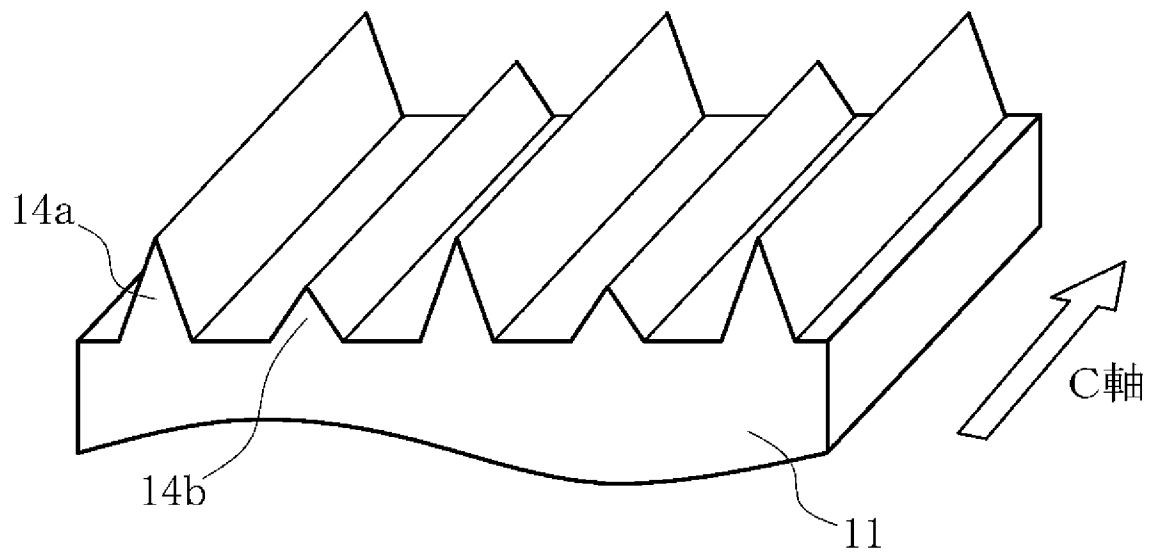
[図4]



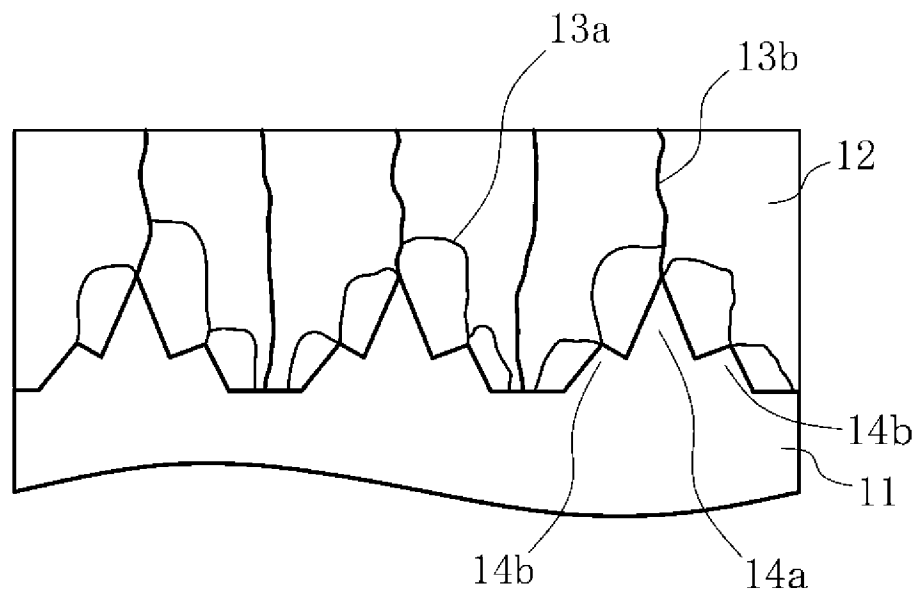
[図5A]



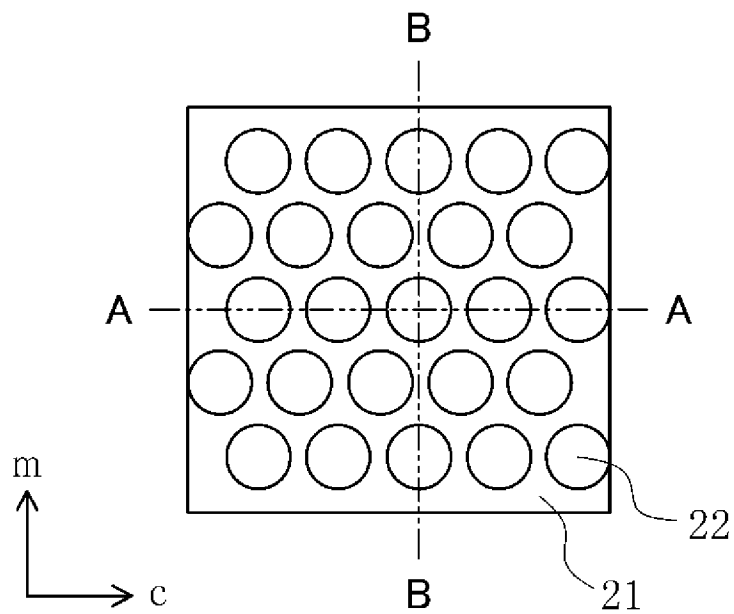
[図5B]



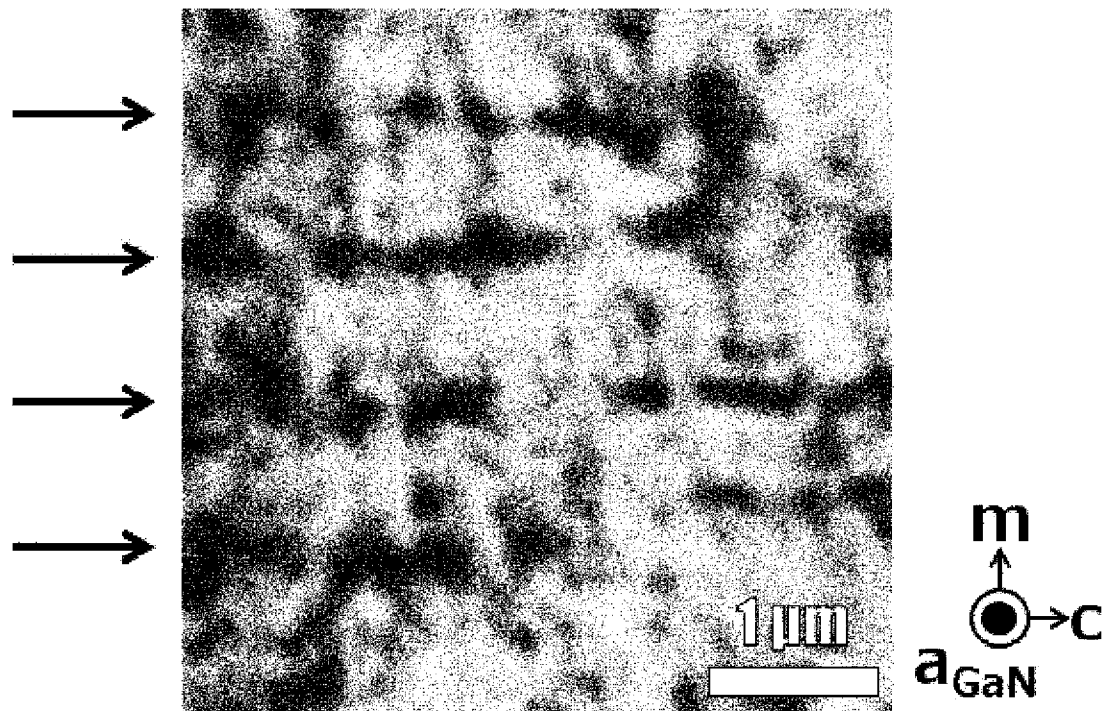
[図6]



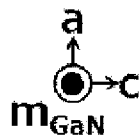
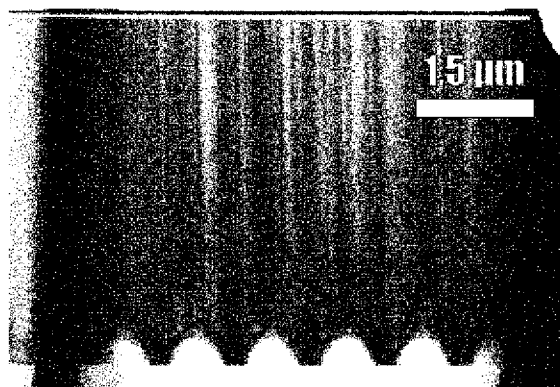
[図7]



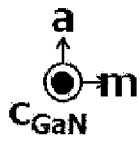
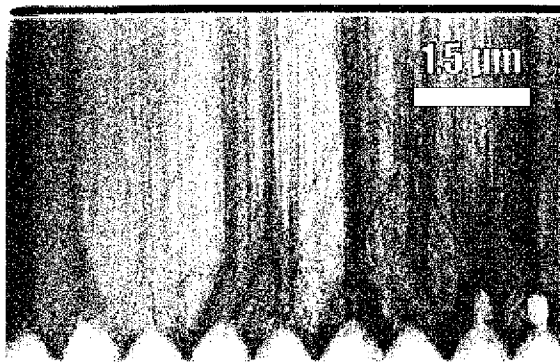
[図8]



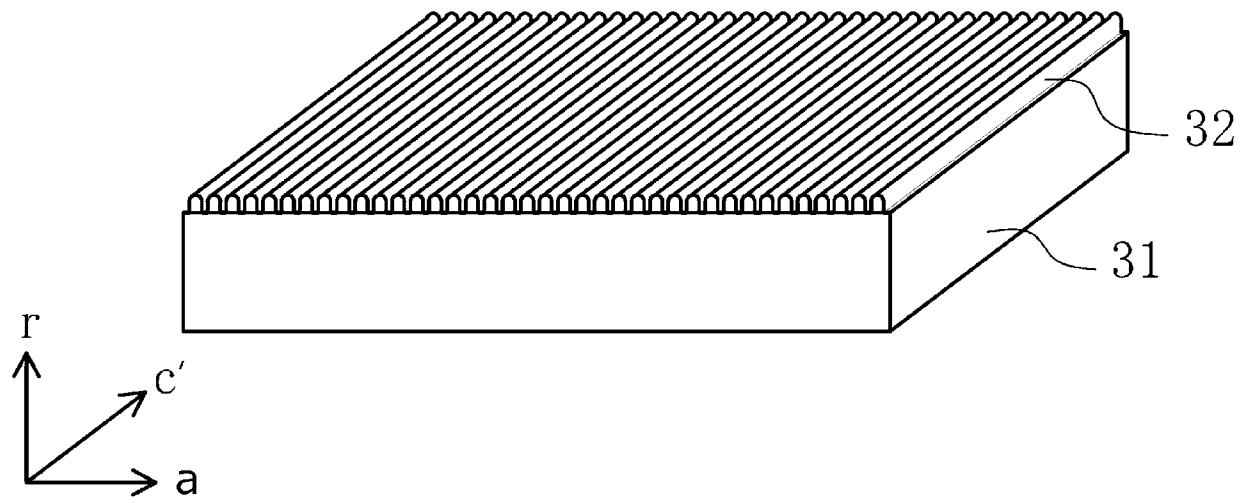
[図9A]



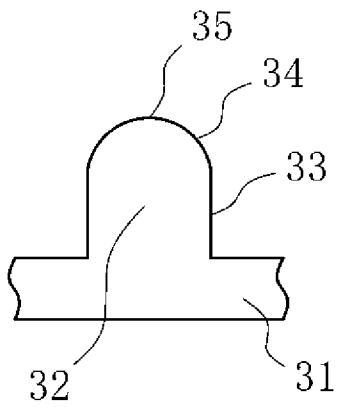
[図9B]



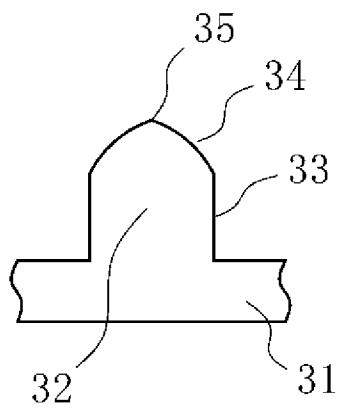
[図10]



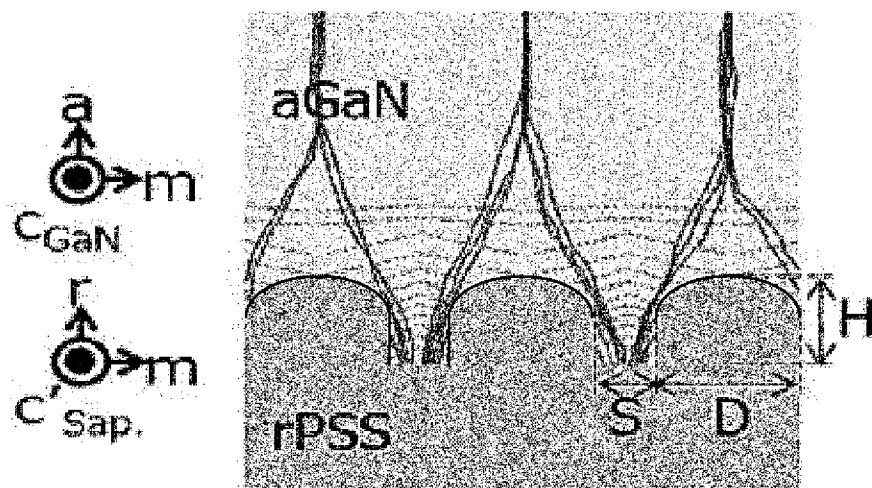
[図11A]



[図11B]

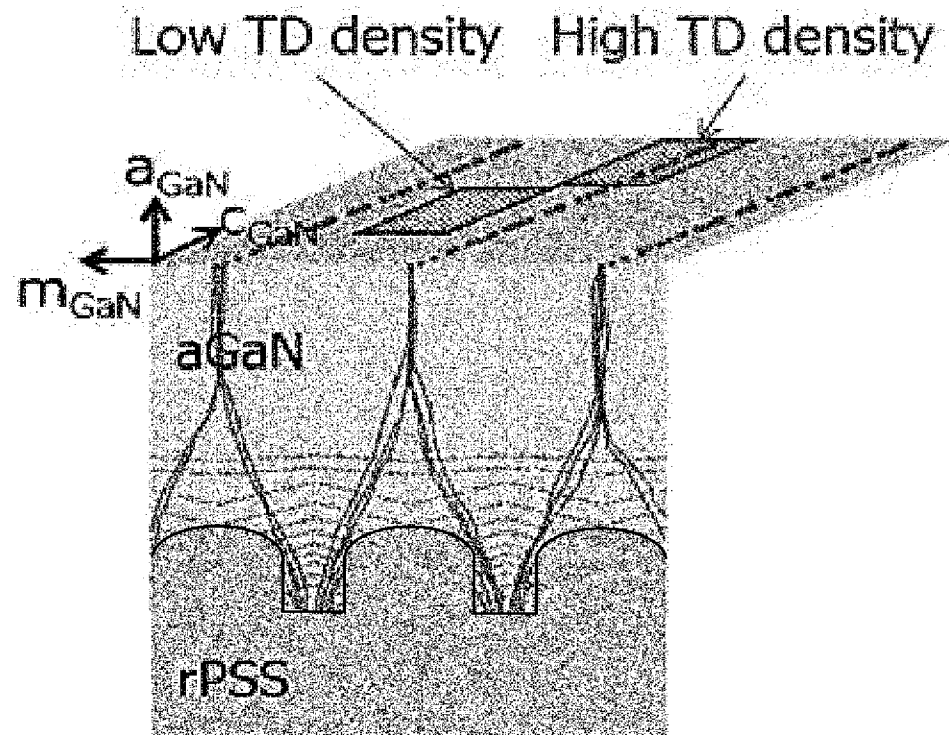


[図12A]

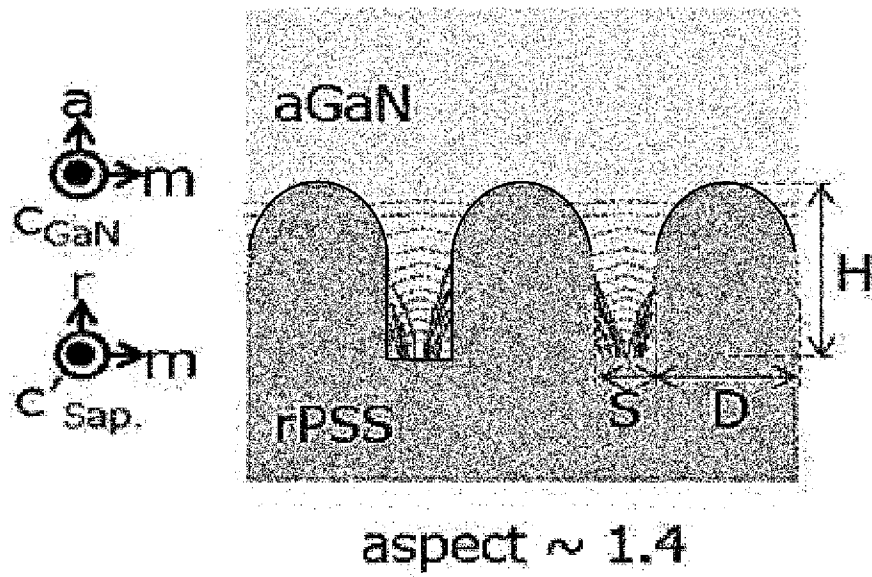


aspect ~ 0.7

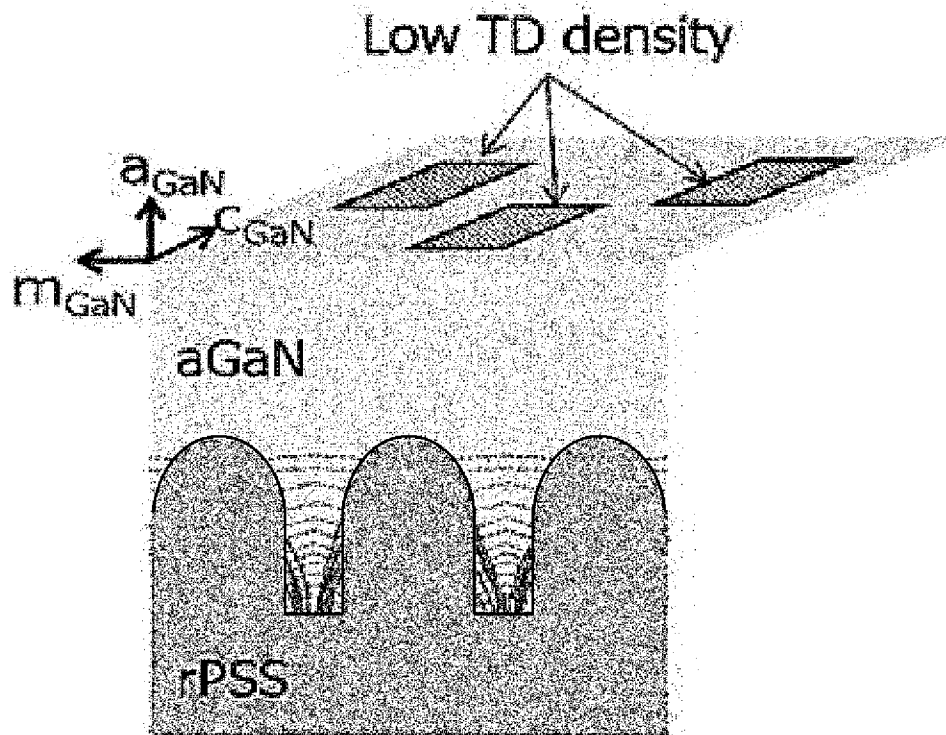
[図12B]



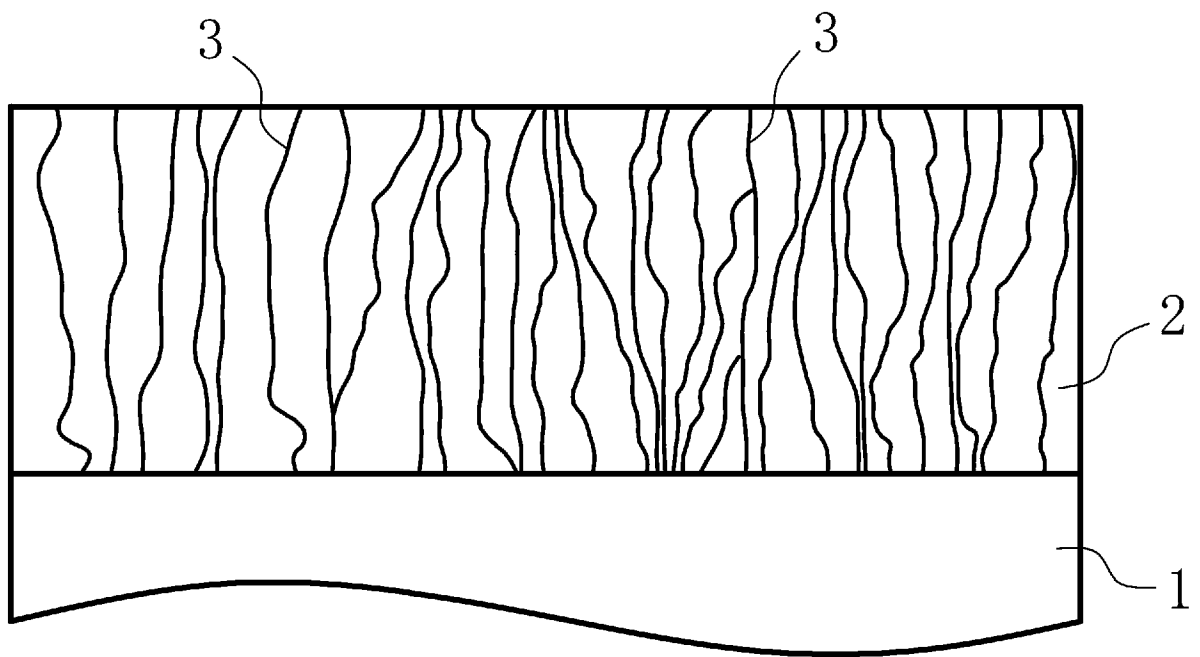
[図13A]



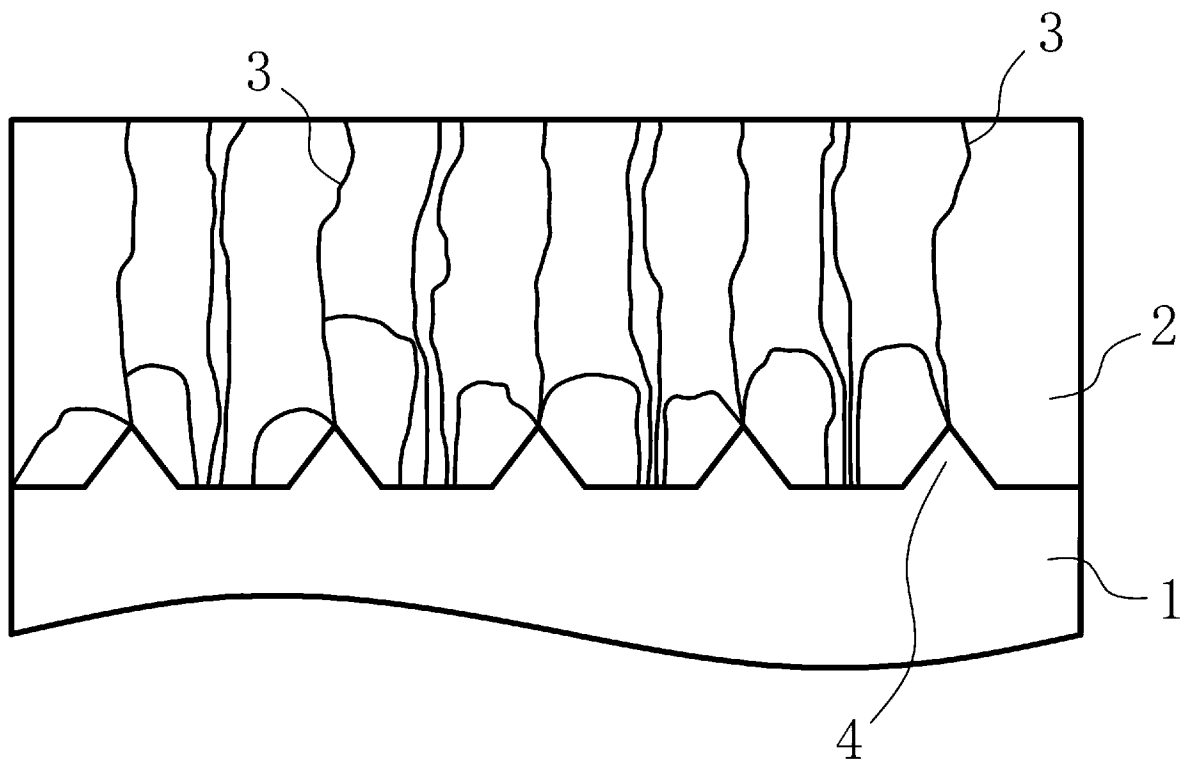
[図13B]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/022117

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L33/22 (2010.01) i, H01L33/32 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L33/22, H01L33/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-211075 A (TOYODA GOSEI CO., LTD.) 20 October 2011, entire text, all drawings & US 2011/0244610 A1	1-12
A	WO 2013/128894 A1 (YAMAGUCHI UNIVERSITY) 06 September 2013, entire text, all drawings (Family: none)	1-12
A	US 2015/0137072 A1 (GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY) 21 May 2015, entire text, all drawings (Family: none)	1-12

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19.06.2019

Date of mailing of the international search report
02.07.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/22(2010.01)i, H01L33/32(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/22, H01L33/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-211075 A（豊田合成株式会社）2011.10.20, 全文全図 & US 2011/0244610 A1	1-12
A	WO 2013/128894 A1（国立大学法人山口大学）2013.09.06, 全文全図（ファミリーなし）	1-12
A	US 2015/0137072 A1（GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY）2015.05.21, 全文全図（ファミリーなし）	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

19.06.2019

国際調査報告の発送日

02.07.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

村井 友和

2 K

3207

電話番号 03-3581-1101 内線 3255